



21 世纪电子电气工程师系列

数字电路

(日) 正田英介 主编
常深信彦 编著

双色

ART 21
电子电气工程师

科学出版社

OHM 社

(TM-0060.0101)

责任编辑 赵丽艳 樊友民

责任制作 魏 谨

封面制作 李 祥

ART21

电子电气工程师

21 世纪电子电气工程师系列

电磁学

自动控制

模拟电路

信息处理

电力系统

半导体器件

接地技术与接地系统

电力电子学

数字电路

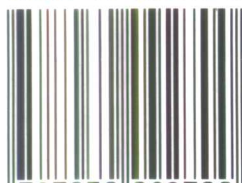
电动机器

通信技术

电工电路

图像电子学

ISBN 7-03-009270-8



9 787030 092700 >

ISBN 7-03-009270-8/TM · 60

定 价: 15.00 元

数字电路

〔日〕正田英介 主编 常深信彦 编著
白玉林 译



科学出版社 OHM 社
2001 北京

图字:01-2000-3685 号

Original Japanese edition

Arute 21 Digital Kairo

by Nobuhiko Tsunefuka et al.

Copyright © 1997 by Nobuhiko Tsunefuka

Published by Ohmsha, Ltd.

This Chinese language edition is co-published by Ohmsha, Ltd. and Science Press.

Copyright © 2001

All rights reserved.

本书中文版权为科学出版社和 OHM 社所共有

アルテ21

デジタル回路

常深信彦 オーム社 1997

图书在版编目(CIP)数据

数字电路/常深信彦编著;白玉林译. —北京:科学出版社, 2001

(21 世纪电子电气工程师系列/(日)正田英介主编)

ISBN 7-03-009270-8

I. 数… II. ①常… ②白… III. 数字电路 IV. TN79

中国版本图书馆 CIP 数据核字(2001)第 13654 号

北京东方科龙电脑图文制作有限公司 制作

科学出版社 OHM 社 出版

北京东黄城根北街 16 号 邮政编码:100717

中国科学院印刷厂 印刷

科学出版社发行 各地新华书店经销

2001 年 6 月第 一 版 开本: A5(889×1230)

2001 年 6 月第一次印刷 印张: 5 1/4

印数: 1—4 000 字数: 157 000

定 价: 15.00 元

(如有印装质量问题,我社负责调换(新欣))

主编的话

当今,电子设备已广泛应用于国民经济的各个领域,为了用好这些电子设备,科技人员必须掌握电子技术方面的有关知识。与此同时,电子技术的应用领域也在迅速扩展,人材需求量很大的状况一直没有改变。因此对电子工程专业的毕业生有必要从应用的角度进行二次培训,也有必要为非电专业的技术工作者学习电气电子技术的基础知识创造更多的机会。

为了适应这一形势的需要,组织编写了“21世纪电子电气工程师系列”丛书,目的是编写一套全面系统介绍电子电气专业基础知识,既适用于企业内部职工培训,也适于非电专业初学者阅读的新型教科书。丛书编委都是在日本有名的电子、电气企业中长期从事职工教育培训的专家,丛书结构及各册内容均由编委会讨论决定。

本套丛书的特点首先表现在教材内容紧密联系实际。通过产品和技术模型说明基础知识与产品、系统的关系,通过具体产品的结构和系统中所发生的现象说明其工作原理或理论。另外,本丛书的所有执笔者都是在相应企业中长期从事实际技术工作或从事职工教育工作的专家,具有丰富的实际经验,书中的举例和例题都是他们多年工作经验的结晶。

此外,在电子技术的专业教学中,由于内容非常广泛,所以以往在对教学内容细化的同时常常忽略了对基础内容的充分消化。本丛书充分注意到了这一问题,从现象入手说明原理,从而保证了基础知识易学易懂,教材内容紧密联系实际。本丛书除了用于企业内部职工教育外,还可用于大专或中等专业学校的专业课教学。

由于受产业全球化和地球环境社会的影响,21世纪的工程学科必将会发生巨大地变化。读者通过对本套丛书的学习,可以对新时期的电子技术的基础有较充分的了解,在各种领域的产品和系统的革新中发挥自己的聪明才智。

东京理科大学教授,工学博士
正田英介

21 世纪电子电气工程师系列

编辑委员会

主 编 正田英介 (东京大学)

编 委 楠本一幸 (株式会社东芝)

島田 弥 (三菱电机株式会社)

高木正藏 (东芝综合人材开发株式会社)

常深信彦 (株式会社日立制作所 日立京浜工业专科学院)

丹羽信昭 (东京电力株式会社 东电学园)

春木 弘 (富士电机株式会社)

吉冈芳夫 (株式会社日立制作所)

吉永 淳 (福井工业大学 前三菱电机株式会社)

执 笔 谷本哲三 (株式会社日立制作所 日立京浜工业专科学院)

村松菊雄 (三菱电机株式会社)

太田 诚 (三菱电机セミコンダクタ・ソフトウェア株式会社)

篠手喜男 (株式会社东芝)

常深信彦 (株式会社日立制作所 日立京浜工业专科学院)

前 言

现在,几乎所有的家电产品、工业设备、信息设备等都装有电子电路。其中最常用的是以微机芯片为中心的 digital 电路。过去常用 digital 电路按一定逻辑关系构成标准逻辑 IC(集成电路)来使用,而现在常常在单个芯片内组合多种逻辑关系,或用数个 PLD(可程序逻辑元件)组成某些逻辑关系。这样一来,似乎学习 digital 电路变得不太重要了,但若从充分了解硬件和软件的不同作用,设计出最适当、最精致的电子电路的角度来看,学习 digital 电路的知识变得更加重要了。

本书的目的与结构如下。

第 1~3 章,学习 digital 电路设计的基础知识,并培养数字化的思维方式。第 4、5 章根据从第 1~3 章学到的数字化思维方式,讲解微机、存储器的动作与应用。而第 6 章则通过微机和存储芯片构成的电子设备从 digital 信号的输入、输出方面进行讲解。第 7、8 章讲述为了设计和生产出高可靠性的电子设备所需要的 digital 电路方面的知识。具体内容如下:

第 1 章 学习作为 digital 电路基础的逻辑代数的表示方法,即逻辑式、逻辑符号和真值表等。

第 2 章 学习利用由逻辑元件组合设计而成的逻辑电路实现各种 digital 电路的设计方法。

第 3 章 学习作为基本存储记忆元件的各种触发器以及使用触发器实现相应目的的时序电路的设计方法。

第 4 章 学习使用基本逻辑元件和存储元件设计集成化的各种 RAM 或 ROM 存储器 IC 以及它们的存储或消去等动作的知识。

第 5 章 学习利用第 1~3 章所掌握的 digital 电路知识来构成微机的动作和应用。

第 6 章 学习由微机芯片、digital 电路和存储器等所组成的、用于处理 digital 信号的输入输出设备的原理和特征。

第 7 章 学习 digital 电路的噪声对策设计。

第8章 学习数字 IC 芯片的可靠性设计、制造过程中的管理、设计过程中的可靠性设计,以及在实际组装过程中的工程管理等,以确保电子产品的高可靠性。

本书的第1~3章由谷本哲三、第4章由村松菊雄、第5章由太田 诚、第6章由旗手喜男、第7、8章由常深信彦执笔。对主编东京大学正田英介教授和各位编委以及欧姆社(OHMSHA)出版部等的大力支持,深表谢意。

最后,希望各位读者能灵活运用从本书学到的数字电路知识,取得更大成就。

常深信彦



数字电路

内 容 简 介

“21世纪电子电气工程师系列”是企业技术/管理干部知识更新用新型教科书。丛书特点是重视理论联系实际，用现象说明原理。反映该专业领域最新进展，通过产品与技术模型提示学科基础知识。丛书各册执笔者均是在国际知名企业中长期从事技术、教育工作的专家。书中举例及例题均源于他们多年的工作实践。

本书介绍了数字电路基本知识。全书共八章，前三章为数字电路设计必备的基础知识，目的在于使读者树立数字化思维方式；在此基础上，第四章至第六章讲解微型计算机、存储器的工作原理及其应用，最后两章介绍高可靠性电子设备设计中的噪声对策及可靠性设计。

本书可作为企业工程技术人员培训的专用教科书，也可供高等学校相关专业及高、中职职业学校相关专业师生学习参考。

编著者简介

正田英介

1965年 东京大学研究生院数理系博士
毕业

1965年 获工学博士

现 在 东京大学工学部电工学专业教授

常深信彦

1968年 大阪大学基础工学部控制专业
毕业

现 在 株式会社日立制作所
日立京滨工业专科学院电子工
学专业主任教授

译者简介

白玉林

1970年 北京大学数学力学系计算数学
专业毕业

1984年 北方交通大学计算机网络专业
硕士研究生毕业

现 在 铁道科学院电子计算技术研究
所副研究员

目 录

第 1 章 逻辑代数

1.1 逻辑运算的基本要素	1
1.2 逻辑运算符号与基本定律	2
1.3 基本准则	3
1.3.1 异或逻辑	3
1.3.2 同或逻辑	4
1.4 逻辑代数的公式	4
1.4.1 德·摩根定理	4
1.4.2 对偶原理	5
1.5 逻辑式的标准形与变换形	5
1.5.1 逻辑式的形式	5
1.5.2 逻辑式的标准展开	6
1.5.3 逻辑式化简的基础	7
练 习 题	8

第 2 章 逻辑电路

2.1 电路符号与电路图	9
2.2 逻辑 IC 的种类和电气性能	10
2.2.1 逻辑 IC 的种类	10
2.2.2 IC 内逻辑元件的配置与电压	11
2.2.3 输出形式	13
2.2.4 线或逻辑	15
2.2.5 传输延迟时间	16

2.3	逻辑电路的种类与复杂性	16
2.3.1	组合电路	16
2.3.2	时序电路	16
2.3.3	逻辑电路的化简指标	17
2.4	用图表表示逻辑式	18
2.5	利用维奇图法化简逻辑式	19
2.5.1	化简为加法标准形	19
2.5.2	化简为乘法标准形	20
2.5.3	注意事项	21
2.6	有禁止组合时的化简	21
2.7	NAND 电路与 NOR 电路	23
2.8	随机逻辑与阵列逻辑	24
2.8.1	随机逻辑	24
2.8.2	阵列逻辑	25
	练习题	27

第 3 章 触发器及其应用

3.1	触发器的工作原理	29
3.2	触发器的种类	30
3.2.1	异步式触发器	30
3.2.2	同步化 R-S 触发器(钟控 R-S 触发器)	30
3.2.3	同步式触发器(边缘触发器)	31
3.3	触发器的特性表与特性方程	32
3.3.1	R-S 触发器	32
3.3.2	T 触发器(Trigger)	32
3.3.3	D 触发器(delayed)	33
3.3.4	J-K 触发器	34
3.4	触发器的应用方程与输入方程	35
3.4.1	R-S 触发器的输入方程	35
3.4.2	T 触发器的输入方程	37

3.4.3	D触发器的输入方程	37
3.4.4	J-K触发器的输入方程	37
3.5	触发器的应用例子	38
3.6	状态转换图与状态转换表	40
3.7	用状态转换表进行时序电路的设计	40
3.7.1	例 题	41
3.7.2	状态转换表	41
3.7.3	状态分配	42
3.7.4	应用方程	42
3.7.5	输入方程	43
3.7.6	电路图	43
3.8	同步计数器的设计	44
	练 习 题	46

第4章 微机及外围电路

4.1	微机的应用与种类	49
4.1.1	微处理器的应用例(PC机)	49
4.1.2	单片机的应用	50
4.1.3	小 结	52
4.2	微机的结构	53
4.2.1	微机的系统结构	54
4.2.2	CPU的作用	54
4.2.3	系统总线	57
4.2.4	存储器	57
4.2.5	外围电路的功能	58
4.2.6	并行输入输出电路	59
4.2.7	串行输入输出电路	61
4.3	微机的指令与软件	66
4.3.1	指令的构成	66
4.3.2	指令集	67

4.3.3	程序设计与软件开发工具	67
4.3.4	小 结	69
4.4	实际系统开发过程	69
4.5	微机使用时的注意点	70
4.5.1	Reset(复位)电路	70
4.5.2	振荡电路	71
4.5.3	中 断	72
	练 习 题	73

第 5 章 存储器电路

5.1	存储器芯片介绍	75
5.1.1	存储器芯片	75
5.1.2	存储器芯片的分类	76
5.1.3	RAM	77
5.2	SRAM	78
5.2.1	SRAM 的动作	79
5.3	DRAM	80
5.3.1	DRAM 的动作	81
5.4	专用存储器	88
5.4.1	视频 RAM	88
5.4.2	同步 DRAM	89
5.4.3	RDRAM(Rambus DRAM)	92
5.4.4	3D-RAM	94
5.4.5	其它的专用存储器	95
5.5	关于 ROM	96
5.5.1	mask ROM	97
5.5.2	EPROM 与 OTPROM	99
5.5.3	EEPROM	99
5.5.4	闪存(flash memory)	100
	练 习 题	101

第6章 数字信号的输入输出

6.1	数字信号的直接输入设备	103
6.2	数字信号的识别设备	108
6.2.1	文字识别	108
6.2.2	语音识别	111
6.3	图像信号的输入设备	112
6.3.1	电子扫描方式	113
6.3.2	行传感器与机械式传送机构的组合	115
6.4	数字信号的输出设备——打印机	117
6.4.1	击打式打印机	117
6.4.2	非击打式打印机	118
6.5	数字信号的输出设备——显示器	122
6.5.1	CRT 显示器	122
6.5.2	液晶显示器(LCD)	123
6.5.3	其它类型的显示器	124
练 习 题		126

第7章 数字电路的噪声对策

7.1	噪声的种类	127
7.2	噪声容限	128
7.2.1	输入电路的噪声容限	129
7.2.2	输出电路的噪声容限	129
7.3	噪声发生、侵入的对策	130
7.3.1	旁路电容	130
7.3.2	衰减电阻	130
7.3.3	噪声处理元件	131
7.3.4	电源滤波	132
7.3.5	自激消除电路	132
7.3.6	接口处的噪声对策	132

7.3.7 机箱的屏蔽	133
7.4 噪声的限制与规定	134
练习题	135

第8章 数字电路的可靠性

8.1 半导体器件的可靠性	137
8.2 半导体器件的故障模式	138
8.2.1 表面退化	138
8.2.2 IC 芯片的布线故障	138
8.2.3 焊接故障	139
8.2.4 封装故障	140
8.2.5 软故障	140
8.2.6 热载流子	140
8.2.7 静电破坏	141
8.2.8 门锁(latch up)	141
8.3 可靠性试验	142
8.4 数字电路的可靠性设计	143
8.4.1 电子元器件的合格认定和保管	144
8.4.2 性能冗余设计(derating)	144
8.4.3 印制电路板的组装与清洗	144
8.4.4 印制电路板组装现场的静电控制	144
8.4.5 电子设备的组装、检查	145
练习题	146

练习题解答	147
参考文献	155

第 1 章 逻辑代数

逻辑代数是英国数学家乔治·布尔(George Bool)提出的理论,是一种把事物的逻辑关系用数学公式表示出来的方法,也称为布尔代数(Bool Algebra)。在逻辑代数中,事物的状态皆可用真(true)和假(false)来表示,它们分别用离散变量的 1 和 0 来代表。其基本运算有逻辑与(AND),逻辑或(OR)和逻辑非(NOT),通过这三种逻辑运算就可以表现所有的逻辑关系。数字电路现在已成为电子学中不可缺少的技术,而逻辑代数则已成为设计数字电路必须的手段。

本章着重讲解逻辑运算的基本概念。并给出运算的基本定理和公式以及逻辑式的标准形及其变化方法等等。

1.1 逻辑运算的基本要素

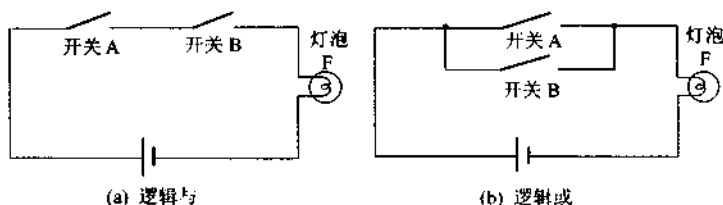


图 1.1 电 路

研究一下图 1.1 那样的电路。即通过开关的操作来控制灯泡的亮灭,开关 A 和 B 为输入,灯泡 F 为输出。把 A,B,F 作为逻辑变量,当开关 ON(闭合)时为 1,OFF(断开)时为 0,灯泡点亮为 1,熄灭为 0。在图 1.1(a)中,

只有当开关 A 与 B 同时为 ON(闭合)时,才会点亮灯泡 F。即只有 $A=B=1$ 时 $F=1$ 。在图 1.1(b)中,只要开关 A 或 B 有一个为 ON(闭合)就会使灯泡 F 点亮。即 A 与 B 中有一个为 1 则 $F=1$ 。把前者那样的功能称为逻辑与(AND),后者那样的功能称为逻辑或(OR)。把这样的功能归纳成表格,则如表 1.1 所示。这样的表格称为真值表(truth table)。

表 1.1 真值表

(a) 逻辑与

输入		输出 F
A	B	
0	0	0
0	1	0
1	0	0
1	1	1

(b) 逻辑或

输入		输出 F
A	B	
0	0	0
0	1	1
1	0	1
1	1	1

表 1.2 逻辑非的真值表

输入 X	输出 Y
0	1
1	0

另外一种不可缺少的基本逻辑运算是逻辑非(NOT),是把输出当作输入的反相处理的要素,像图 1.1 所示的例子中,开关的 ON 与 OFF 以及灯泡的点亮与关灭相互间就是否定的关系。若设输入为 X,输出为 Y,则逻辑非的真值表即如表 1.2 所示。

1.2 逻辑运算符与基本定律

若令输出为 F,则基本逻辑的记述法可如下所示。

(1) A 与 B 的逻辑与 $A \cdot B = F$ 或者 $A \cap B = F$

(2) A 与 B 的逻辑或 $A + B = F$ 或者 $A \cup B = F$

(3) A 的逻辑非 $\bar{A} = F$

一般而论,逻辑与、逻辑或的运算符分别使用 $\cdot$ 与 $+$ 。在不会产生误解的情况下可将逻辑与的运算符 $\cdot$ 省略掉。

下面叙述逻辑代数的基本定律。当进行逻辑式化简时,这些定律特别重要。

(1) 同一律(重叠律)

$$\bullet A+A=A \quad \bullet AA=A$$

(2) 交换律

$$\bullet A+B=B+A \quad \bullet AB=BA$$

(3) 吸收律

$$\bullet 1+A=1 \quad \bullet 0A=0 \quad \bullet 0+A=A \quad \bullet 1A=A$$

(4) 结合律

$$\bullet (A+B)+C=A+(B+C)=A+B+C$$

$$\bullet (AB)C=A(BC)=ABC$$

(5) 分配律

$$\bullet A(B+C)=AB+AC \quad \bullet A+BC=(A+B)(A+C)$$

(6) 反演律

$$\bullet \bar{\bar{A}}=A \quad \bullet A+\bar{A}=1 \quad \bullet A\bar{A}=0$$

为了证明这些基本定律,可将变量 A 与 B 的所有组合代入 0 与 1,利用基本运算(表 1.1 与表 1.2)可确认公式两边取得同样的值。

〈例 1.1〉利用基本定律证明下面的逻辑式成立。

$$(A+B)(A+\bar{B})(\bar{A}+B)=AB$$

【解】 左边 $= (AA+AB+A\bar{B}+\bar{B}B)(\bar{A}+B)$

$$= (A+AB+A\bar{B})(\bar{A}+B) = A(1+B+\bar{B})(\bar{A}+B)$$

$$= A(\bar{A}+B) = A\bar{A}+AB=AB$$

1.3 基本准则

无论利用真值表法还是使用逻辑式的基本运算即逻辑与、逻辑或、逻辑非都可以证明下述特定功能的逻辑关系,并用两种特别的运算符($\oplus$, $\odot$)来表示它们,如下所示。

1.3.1 异或逻辑

将 2 个输入不一致时,输出为 1 的逻辑称为异或(exclusive OR, EOR)。其真值表如表 1.3 所示。

变量 A 与 B 的异或的记述法($\oplus$)与其基本逻辑关系的等价公式如下所示:

表 1.3 异或逻辑的真值表

输入		输出 F
A	B	
0	0	0
0	1	1
1	0	1
1	1	0

$F = A \oplus B$

表 1.4 同或逻辑的真值表

输入		输出 F
A	B	
0	0	1
0	1	0
1	0	0
1	1	1

$F = A \odot B$

$$A \oplus B = \overline{A}B + A\overline{B}$$

1.3.2 同或逻辑

是与异或逻辑输出相反的逻辑。即仅当输入一致时,输出才为 1。其真值表如表 1.4 所示。

同或逻辑的运算符为($\odot$),其等价式如下:

$$A \odot B = AB + \overline{A}\overline{B}$$

1.4 逻辑代数的公式

1.4.1 德·摩根定理

当对某个逻辑式整个取非时,它可以变换为对其中的每个变量取非,同时将其中的运算符也互换,即把逻辑或换为逻辑与,把逻辑与换为逻辑或,从而成为等价的变形。这就称为德·摩根(de Morgan)定理。用一般形式可表示如下:

$$\overline{X_1 + X_2 + X_3 + \cdots + X_n} = \overline{X_1} \overline{X_2} \overline{X_3} \cdots \overline{X_n}$$

$$\overline{\overline{X_1} \overline{X_2} \overline{X_3} \cdots \overline{X_n}} = X_1 + X_2 + X_3 + \cdots + X_n$$

对于两个变量 A, B 的德·摩根定理验证结果可如表 1.5 所示。也可确认上式成立。

$$\begin{aligned}
 \langle \text{例 1.2} \rangle \quad \overline{B(\overline{A+C}) + \overline{BC}} &= \overline{B(\overline{A+C})} \cdot \overline{\overline{BC}} \\
 &= [\overline{B} + \overline{(\overline{A+C})}] (B + \overline{C}) \\
 &= (\overline{B} + A\overline{C})(B + \overline{C})
 \end{aligned}$$

表 1.5 德·摩根定理的验证

(a) $\overline{A+B} = \overline{A}\overline{B}$

A	B	$\overline{A}$	$\overline{B}$	$A+B$	$\overline{A+B}$	$\overline{A}\overline{B}$
0	0	1	1	0	1	1
0	1	1	0	1	0	0
1	0	0	1	1	0	0
1	1	0	0	1	0	0

(b) $\overline{AB} = \overline{A} + \overline{B}$

A	B	$\overline{A}$	$\overline{B}$	AB	$\overline{AB}$	$\overline{A} + \overline{B}$
0	0	1	1	0	1	1
0	1	1	0	0	1	1
1	0	0	1	0	1	1
1	1	0	0	1	0	0

1.4.2 对偶原理

由德·摩根定理可以进一步推导得到,若在逻辑等式的两边把运算符互换,即把逻辑或(+)→逻辑与(·),逻辑与(·)→逻辑或(+),把常数0→1,1→0,经这样变换所得的新等式也成立。将此称为对偶原理。用一般形式可表示如下:

即若 $F(+, \cdot, 0, 1, X_1, X_2, \dots, X_n) = G(+, \cdot, 0, 1, X_1, X_2, \dots, X_n)$ 成立,则下式也成立。

$$F(\cdot, +, 1, 0, X_1, X_2, \dots, X_n) = G(\cdot, +, 1, 0, X_1, X_2, \dots, X_n)$$

【例 1.3】若 $A \cdot (B+C) = A \cdot B + A \cdot C$

则 $A + (B \cdot C) = (A+B) \cdot (A+C)$

对两者实行分配律可证。

【例 1.4】

要证明 $(A+B)(A+\overline{B})(\overline{A}+B) = AB$, 根据对偶原理, 只需证明 $AB + A\overline{B} + \overline{A}B = A+B$ 就可以了。

左边 $= A(B+\overline{B}) + \overline{A}B = A + \overline{A}B = (A+\overline{A})(A+B) = A+B =$ 右边

1.5 逻辑式的标准形与变换形

1.5.1 逻辑式的形式

考虑把表 1.6 所示的真值表用逻辑式来表示。由真值表求出逻辑式

表 1.6 真值表

输入			输出 F
A	B	C	
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

时,可使输出为 1 的所有输入的逻辑与用逻辑或连结在一起即可。在表 1.6 中,输出 F 为 1 的项有 5 种,故可将输出 F 表示成下式:

$$\begin{aligned}
 F &= \bar{A} \bar{B} \bar{C} + \bar{A} \bar{B} C + \bar{A} B \bar{C} + A \bar{B} \bar{C} + A \bar{B} C \\
 &= \bar{A} \bar{B} + \bar{A} B C + A \bar{B} \\
 &= \bar{B} + \bar{A} B C \\
 &= \bar{B} + \bar{A} C
 \end{aligned} \quad (1.1)$$

观察上式的特征可知,取非不跨越多个变量,且变量的逻辑与是由逻辑或相联结着的($\bar{B}$ 可看作 $1 \cdot \bar{B}$)。这样的形式叫作加法标准形。而像 1.1 式那样由所有各项输入变量组成的式子,称为主加法标准形。

若从另一个角度来考虑,即在表 1.6 中,以输出 F 为 0 为条件,用逻辑式来表示则为:

$$\bar{F} = \bar{A} B \bar{C} + A B \bar{C} + A B C \quad (1.2)$$

$$\begin{aligned}
 F &= \overline{\bar{A} B \bar{C} + A B \bar{C} + A B C} \\
 &= (A + \bar{B} + C)(\bar{A} + \bar{B} + C)(\bar{A} + \bar{B} + \bar{C}) \quad (1.3)
 \end{aligned}$$

$$= (\bar{B} + C)(\bar{A} + \bar{B} + \bar{C}) \quad (1.4)$$

可见上式(1.3)与(1.4)是把变量的逻辑或用逻辑与来连结起来的。将此种形式叫作乘法标准形。而式(1.3)使用了所有输入变量的逻辑或项的形式,称为主乘法标准形。

● 1.5.2 逻辑式的标准展开

把逻辑式变换为加法标准形或者乘法标准形,叫作标准展开。下面叙述一下展开为主加法标准形与主乘法标准形的方法。

1) 利用真值表先从逻辑式作成真值表,再把使输出为 1 或者 0 的输入变量的逻辑与用逻辑或相联结。详见 1.5.1 逻辑式的形式一节。

2) 利用分配律和反演律

如下例所示:

$$\begin{aligned}
 F &= \bar{B} + \bar{A} C \\
 &= \bar{B}(A + \bar{A}) + \bar{A} C(B + \bar{B}) \quad (\text{因为 } X + \bar{X} = 1) \\
 &= A \bar{B} + \bar{A} \bar{B} + \bar{A} B C + \bar{A} \bar{B} C
 \end{aligned}$$

$$\begin{aligned}
 &= A\bar{B}(\bar{C}+C) + \bar{A}\bar{B}(\bar{C}+C) + \bar{A}BC + \bar{A}\bar{B}C \\
 &= A\bar{B}\bar{C} + A\bar{B}C + \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + \bar{A}BC + \bar{A}\bar{B}C \quad (1.5)
 \end{aligned}$$

可见式(1.5)为主加法标准形,与式(1.1)一致。为求出主乘法标准形,可将式(1.5)中没有出现过的变量的组合积以逻辑或相连,当作输出 F 的取非(否定),即可求得,利用德·摩根定理还可以把 F 的取非符号去掉,如下所示。

$$\begin{aligned}
 \bar{F} &= \bar{A}\bar{B}\bar{C} + A\bar{B}\bar{C} + ABC \\
 F &= (A + \bar{B} + C)(\bar{A} + \bar{B} + C)(\bar{A} + \bar{B} + \bar{C})
 \end{aligned}$$

可见该式与(1.3)式相一致。

1.5.3 逻辑式化简的基础

把 2 种符号(两项)间具有不同值的单位(变量)个数,称为海明距离。其例如表 1.7 所示。

1.7 海明距离

2 种符号		海明距离
$A\bar{B}CD$	$A\bar{B}CD$	0
$A\bar{B}C\bar{D}$	$ABC\bar{D}$	1
$\bar{A}B\bar{C}D$	$ABCD$	2
$A\bar{B}C\bar{D}$	$\bar{A}BCD$	3
$\bar{A}B\bar{C}D$	$A\bar{B}C\bar{D}$	4

下面显示出对于海明距离为 1 的逻辑与的和,可以用反演律来化简。

$$\begin{aligned}
 ABCD + ABC\bar{D} &= ABC(D + \bar{D}) = ABC \\
 &\quad \uparrow \quad \quad \uparrow \\
 &\quad \text{海明距离 1}
 \end{aligned}$$

又因 AB 与 ABC 的逻辑或为

$$AB + ABC = AB(1 + C) = AB$$

故按主加法标准形展开,也可改写如下。

$$AB + ABC = ABC + AB\bar{C} = AB(C + \bar{C}) = AB \quad (1.6)$$

由式(1.6)可知 AB 与 ABC 的海明距离为 1。

►► 练习题

习题 1

请做出下面逻辑式的真值表。

$$F = (\overline{B} + C)(\overline{A} + B + \overline{C})$$

习题 2

利用德·摩根定理,将下式变为只有单变量逻辑非(一)的形式。

(1) $\overline{A}B + C + \overline{D}$

(2) $\overline{(\overline{A} + B)C + \overline{DE}}$

习题 3

利用基本定理证明下列逻辑式。

(1) $(A + B)(A + C)(\overline{B} + C) = A\overline{B} + BC$

(2) $\overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} = \overline{A} + \overline{BC}$

习题 4

用对偶原理证明下列逻辑式成立。

(1) $(A + \overline{B} + \overline{C})(A + \overline{B} + C)(A + B + C) = A + \overline{BC}$

(2) $(\overline{A} + \overline{B})(\overline{A} + B)(A + B + \overline{C}) = \overline{A}(B + \overline{C})$

习题 5

将下式变换为主加法标准形与主乘法标准形。

(1) $A(\overline{B} + C) + B\overline{C}$

(2) $(A \odot B) \odot C$

第 2 章 逻辑电路

逻辑电路是实施逻辑运算的电路。由于半导体技术的进步,近年多使用逻辑 IC(Integrated Circuit——集成电路,俗称集成块)。它又分为双极型与单极型两种,前者以 TTL(Transistor Transister Logic)为代表,后者以 CMOS 为代表。

本章先讲解设计逻辑电路所必要的电路符号和 IC 芯片的种类及其简单的电气特性。然后介绍为简化逻辑电路所必要的逻辑式化简方法。最后讲述 NAND(与非)电路、NOR(或非)电路以及可编程逻辑阵列。

2.1 电路符号与电路图

可以进行逻辑运算的最小电路,称为逻辑元件。逻辑元件的逻辑式与电路符号如下所示。

(1) 逻辑与(AND, 与门)



$$AB = F$$

(2) 逻辑或(OR, 或门)



$$A + B = F$$

(3) 逻辑非(NOT, 非门)



$$\bar{A} = F$$

(4) NAND 与非门



$$\overline{AB} = F$$

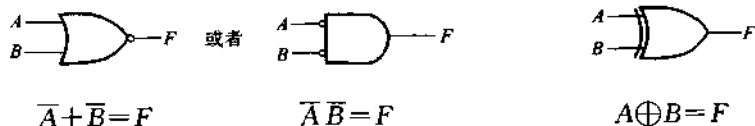
或者



$$\overline{A + B} = F$$

(5) NOR 或非门

(6) 异或逻辑, 异或门



NAND 与 NOR 的真值表如表 2.1 所示。与下式完全对应的逻辑电路例子如图 2.1 所示。

$$F = AB + B\bar{C}(\bar{A} + D)$$

表 2.1 NAND 与 NOR 的真值表

输入		输出 F	
A	B	NAND	NOR
0	0	1	1
0	1	1	0
1	0	1	0
1	1	0	0

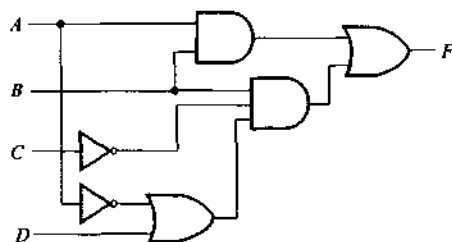
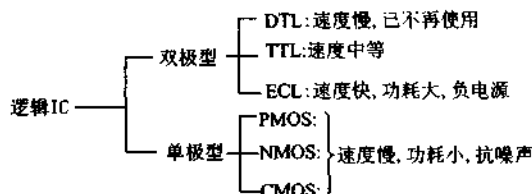


图 2.1 逻辑电路图例

2.2 逻辑 IC 的种类和电气性能

2.2.1 逻辑 IC 的种类

逻辑 IC 的种类与特征如下所示。



一般常使用 TTL 与 CMOS。CMOS 的最大特点是功耗低,但速度慢。近年又出现了高速的 CMOS,用于需要较高速度的产品中。作为有 2 个输入的 NOR 电路,TTL 与 CMOS 的速度(传输延迟时间)与消耗功率的比较,可见表 2.2 所示。

表 2.2 TTL 与 CMOS 的速度与功耗的比较

类型	型号(种类)	传输延迟时间/ns	功耗/mW
TTL	74S02	3	20
	74LS02	9.5	2
	74AS02	1.7	8
	74ALS02	4	1.2
CMOS	74HC02	15	0.006
	74AC02	5	0.02

注:耗电量按单个电路计算。

2.2.2 IC 内逻辑元件的配置与电压

逻辑 IC 芯片被封装于图 2.2 所示的外壳中。以 TTL 电路为例,封装若干个基本逻辑元件于一体,其管脚配置如图 2.3 所示。基本元件有 AND(与),OR(或),NOT(非)等,用这些基本元件还可以构成解码器、寄存器或触发器等器件。

另外,有关逻辑 0,1 与电压的对应关系。TTL 常常以 1.4V 为界限,比它低的电压作为逻辑 0,比它高的电压为逻辑 1。当然实际的动作规定必须由厂家确定。例如,由日本日立公司生产的 HD74LS08(2 输入与门)对应于逻辑 0,1 的额定电压如表 2.3 所示。

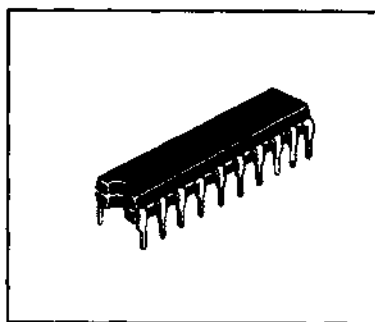


图 2.2 IC 块外壳

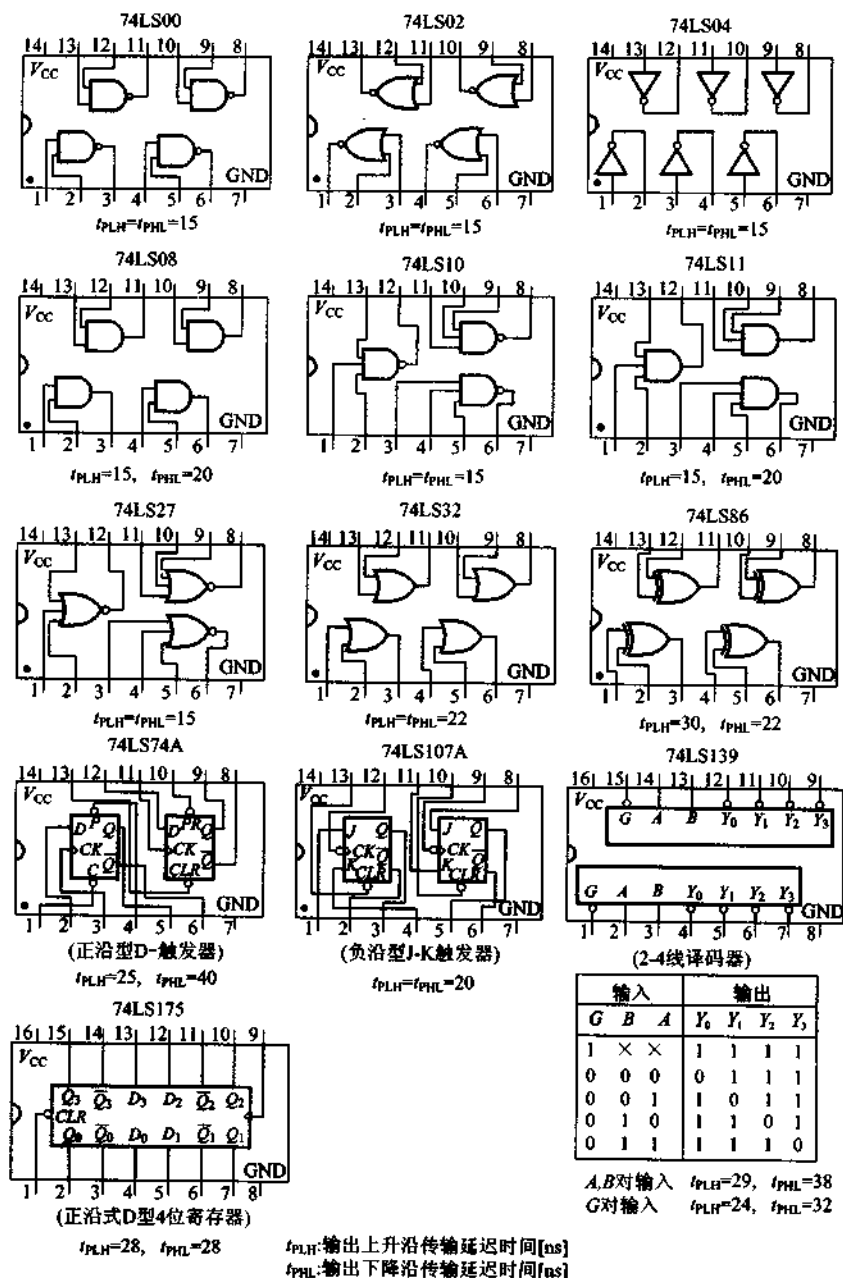


图 2.3 逻辑 IC(TTL) 内逻辑元件的配置

表 2.3 与逻辑 0,1 相应的额定电压 (HD74LS08)

逻辑	输入/V	输出/V
0	0.0~0.8	0.0~0.5
1	2.0~5.0	2.7~5.0

注: 电源电压 5.0V。

在图 2.3 中 V_{CC} 与 GND 表示其间施加有 5V 电源电压, V_{CC} 为 5V 的正端, GND 为电源负端。

2.2.3 输出形式

逻辑 IC(TTL) 的输出形式有 3 种, 其相应的输出部分的电路示于图 2.4。下面分别介绍它们的功能和应用例子。

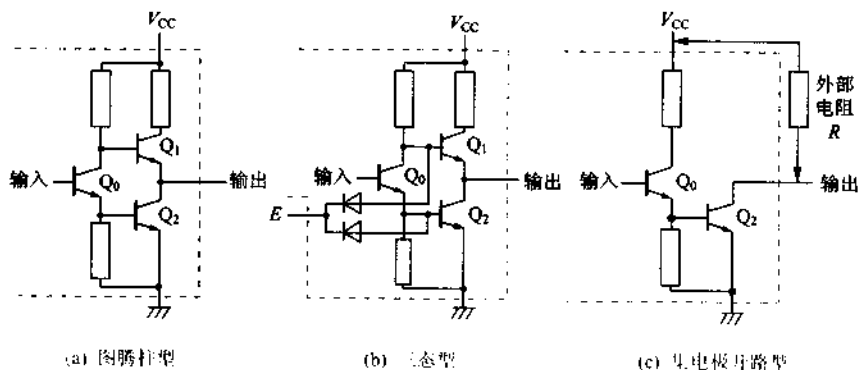


图 2.4 逻辑 IC(TTL) 的输出形式

1 图腾柱型

其输出为 0 或 1。输入若为 1, 因晶体管 Q_2 为 ON 而 Q_1 变为 OFF, 输出则为 0。而若输入为 0, 晶体管 Q_2 为 OFF, Q_1 为 ON, 则输出变为 1。

2 三态型

输出为 0 或 1 时, 皆为高阻抗 (近于断路状态)。当其控制信号 E 为 1

时,因二极管为 OFF,就可当作图腾柱型电路去工作。而当控制信号为 0 时,二极管为 ON,有电流流过,输入端无论是什么状况在晶体管的 Q_1 与 Q_2 的基极上均无电流流过。这样 Q_1 与 Q_2 为 OFF,输出为高阻抗(近于断路状态)。

对于三态型电路的高阻抗性质,可以灵活地用于按分时制在一条线路上传送不同的数据。将这种传输线的集合,称为总线或母线(bus)。其例如图 2.5 所示。

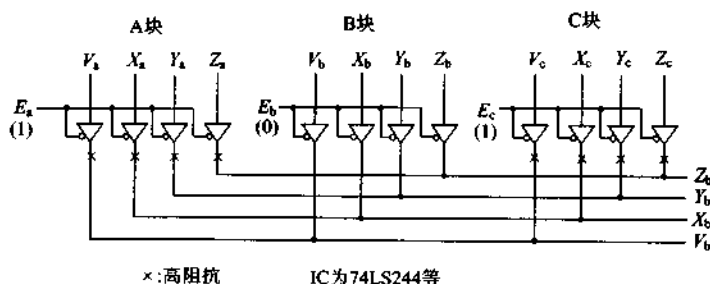


图 2.5 三态输出 IC 的应用

在图 2.5 中,正在传送的是 A,B,C 三组数据中的 B 组数据。微型计算机(微机)的数据输入输出时,会频繁使用这种方法。这时,与数据输入输出的同时,控制信号 E 上的输出当作地址来使用。用控制信号 E 来选择输出想传送的数据,而将其它的数据输出端置于高阻状态,又因若将不同组的数据同时选定,就会使输出相互短路,从而招致 IC 的损坏,故应绝对避免发生这种情况。

当使用三态型等电路时,若输出端为 0 或 1 的状态,称为允许输出(enable——使能),而把高阻等当作无效输出状态,称为禁止输出(disable)。

3 集电极开路型

把晶体管 Q_2 的集电极当作输出端子(它处于开路状态)。无论晶体管 Q_2 是 ON 还是 OFF,因集电极没有施加偏压,故在输出端不会出现 0 或 1。而要得到 0 或者 1,就需在电源 V_{CC} 与输出端子间连接以电阻 R 。在后述的线或逻辑(wired OR)电路中集电极开路型电路会发挥重要作用,它还可以用于驱动在较高电压下工作的继电器(图 2.6(a)),或用于驱动需较大电流

的发光二极管(LED)(图 2.6(b))。

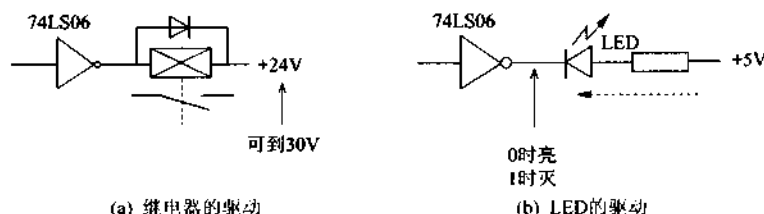


图 2.6 集电极开路输出 IC 的利用例

2.2.4 线或逻辑

利用集电极开路形电路的特点,可以构成 OR 电路。将输出端加上连线,或将电源 V_{CC} 与输出端用电阻相连,使用 2 个集电极开路器件时的原理图如图 2.7 所示。因只要晶体管 Q_2 或者 Q_2' 有一个为 ON(0),就会有电流流经电阻 R 和晶体管通入地线 GND,而不管另一个晶体管是 ON 或 OFF,输出即为 0。在图 2.7 的例中所表示的是 Q_2 为 ON, Q_2' 为 OFF 的情况。将这种把输出端同时相连得到的 OR 电路,称为线或(wired OR)电路。其例如图 2.8 所示。

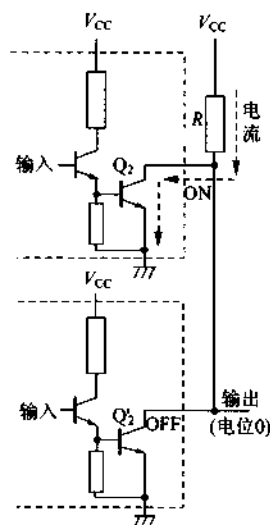


图 2.7 线或的工作原理

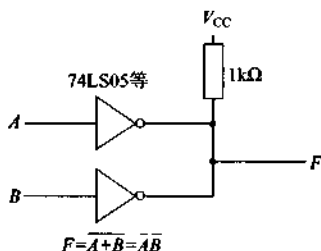


图 2.8 线或的利用例

2.2.5 传输延迟时间

由于 IC 内的逻辑元件是由晶体管和二极管组成的,对于输入信号而言,输出端不能立刻响应。故把从输入后到输出响应所经的时间称为输出传输延迟时间。它又分为输出由 0 变为 1 的输出上升沿传输延迟时间(t_{PLH})和从 1 下降为 0 时的输出下降沿传输延迟时间(t_{PHL})。在表 2.2 中同时表示出这些传输延迟时间的最大值。

2.3 逻辑电路的种类与复杂性

2.3.1 组合电路

组合电路(combination circuit)是指如图 2.9 所示那样,能将输出 F_i 表示成为输入 $A_1 \sim A_m$ 的函数的逻辑电路。

$$F_i = f(A_1, A_2, A_3, \dots, A_m) \quad i=1, 2, 3, \dots, n$$



图 2.9 组合电路

输入变量 $A_1 \sim A_m$ 的 0,1 组合有 2^m 种,对于其中的各个组合均可惟一决定相应的输出 F_i 。也就是说,只要输入不变化,输出就不会变化。组合电路也能用真值表来表示。把真值表用逻辑式来表示的方法,已在第 1 章

第 5 节的〈逻辑式的标准形与变换形〉中讲过了。

2.3.2 时序电路

时序电路(sequential circuit)是指即使输入不变,随着时间的推移,其输出也可能变化的电路。时序电路是如图 2.10 所示由组合电路和存储电路组成。组合电路输出的一部分送入存储电路,它的输出又反馈(feedback)回组合电路。

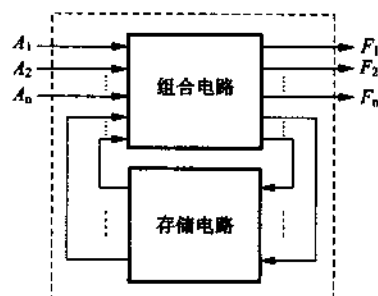


图 2.10 时序电路

时序电路大体上又分为异步型与

同步型。异步型[图 2.11(a)],利用所给的输入和由此所得的波形上升沿或下降沿来形成各次输出。而同步型[图 2.11(b)]则输出变化与时钟脉冲同步。异步型要经若干延迟才会有稳定输出,而同步型因与时钟脉冲同步,输出延迟极小。也就是说同步型是较为理想的电路。存储电路的最小构成单位是触发器(flipflop)。触发器将在后面第 3 章中讲述。

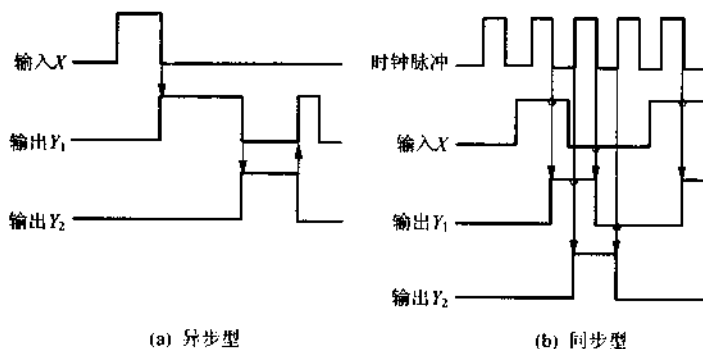


图 2.11 时序电路的动作

2.3.3 逻辑电路的化简指标

同一个逻辑式可以有多种变形,而每个形式都有其相应的逻辑电路,到底哪个电路最简单?这就需要确定一些指标来判定。用于确定逻辑电路复杂性的指标主要有输入数、元件数和级数,它们各自的含意如下。

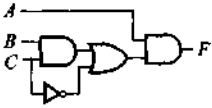
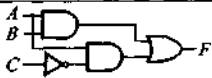
- **输入数** 构成逻辑电路的 AND 电路等逻辑元件的输入端的总数。
- **元件数** 构成逻辑电路的 AND 电路等基本逻辑元件数的总和。
- **级数** 由输入到输出所经过的逻辑元件数的最大值。

要想严格地评价电路的复杂性,可求出上述三种指标的和,其和越小则电路越简单。例如,将下式电路化。

$$F = A(BC + \bar{C}) = AB + A\bar{C} = A(B + \bar{C})$$

可求得三种指标和如表 2.4 所示。从中可看出 No. 3 的指标和最小,因而其电路也最简单。No. 1 与 No. 2 的简化程度相同,但比 No. 3 差。而一般情况下,逻辑式化简时,不必求出三种指标的和,只需求出输入数最少的逻辑式就可以了,且把输入数最少的形式称为最简形式。

表 2.4 逻辑电路与简化的指标

No.	逻辑式	逻辑电路	输入数	元件数	级数	合计
1	$A(BC+\bar{C})$		7	4	3	14
2	$AB+AC$		7	4	3	14
3	$A(B+\bar{C})$		5	3	3	11

2.4 用图表表示逻辑式

讨论逻辑式 $F = A\bar{B}C + ABC$ 。 $A\bar{B}C$ 与 ABC 的海明距离为 1, 故逻辑式可以简化为 $F = AC(\bar{B} + B) = AC$, 变为与 $\bar{B}$ 无关。把具有这种关系的 2 个逻辑与, 称为相互具有邻接关系。为使邻接关系更容易被发现, 可以采用维奇图 (Veitch map) 和卡诺图 (Karnaugh map)。下面解释维奇图的方法。图 2.12 所示为 2~4 个变量的维奇图。

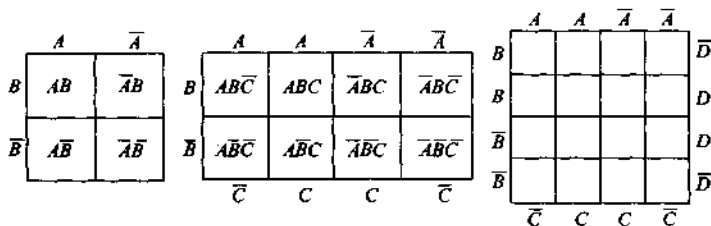


图 2.12 2~4 变量的维奇图

各个方框内所示为变量的逻辑与, 上下或者左右相邻的方框相互间具有邻接关系 (海明距离为 1 的关系)。但斜向之间却不是邻接关系。把 $F = A\bar{B}C + ABC = AC$ 的意义, 利用维奇图法来求, 则如图 2.13(a) 所示, 把 $A\bar{B}C$ 与 ABC 归结为一个方框并以共有的变量替换, 就可求得 AC 。

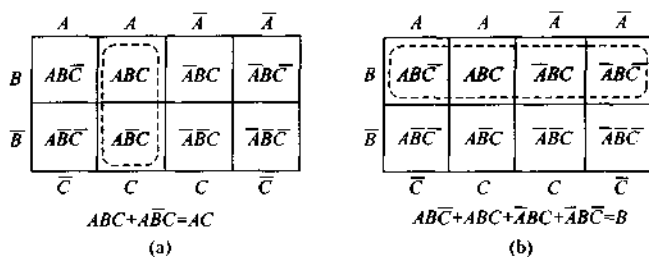


图 2.13 用维奇图法来化简的过程

还可以举出另一个例子,把它用维奇图法化简,如图 2.13(b)所示。可求得各项方框的共有变量为 B ,结果与(2.2)式一致。

$$F = ABC + \bar{A}BC + \bar{A}B\bar{C} + \bar{A}B\bar{C} \quad (2.1)$$

$$= AB(\bar{C} + C) + \bar{A}B(C + \bar{C})$$

$$= AB + \bar{A}B = B(A + \bar{A})$$

$$= B \quad (2.2)$$

2.5 利用维奇图法化简逻辑式

2.5.1 化简为加法标准形

用维奇图把下面的逻辑式按加法标准形化简的过程如图 2.14 所示。

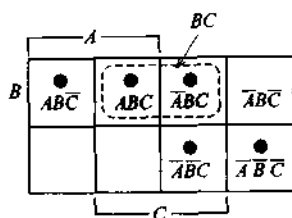
$$F = ABC + BC + \bar{A}\bar{B}C + \bar{A}\bar{B}\bar{C} \quad (2.3)$$

① 先把与式(2.3)的各项(逻辑与)相当的方框用“•”标记出来。

② 找出相邻接的方框,按 2^n 个为一组,用围框把每一组围起来。将此操作对所有的标记方框施行。因化简逻辑式是将变量数和项数尽可能变小,故围框要尽量大,不要遗漏标记框。围框允许与其它框部分重叠。可被围起来的项叫作主项。本例中用两种方式,表示出 2 种围框方法。把在两种方式中都有的主项叫作必须项,不共有的主项称为选择项。采用哪种方式均可。

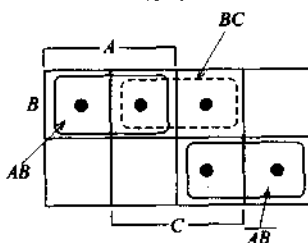
③ 将必须项与选择项用逻辑或连结起来,可得到下式:

$$F = AB + \bar{A}\bar{B} + \begin{cases} BC; \text{方式 1} \\ \bar{A}C; \text{方式 2} \end{cases}$$

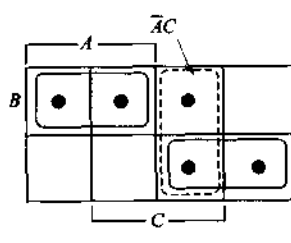


(a) 把式中各项标记在图中

<方式1>



<方式2>



□ : 必须项 □ : 选择项

(b) 利用围框求出必须项与选择项

图 2.14 利用维奇图的化简法(之一)

(AB 与 $\overline{A}\overline{B}$ 为必须项, BC 与 $\overline{A}C$ 为选择项)

上式中任何一个均可称作加法标准形的最简形式。

2.5.2 化简为乘法标准形

把(2.3)式化简为乘法标准形的过程如图(2.15)所示。

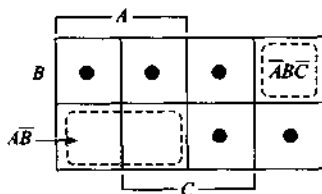


图 2.15 利用维奇图的化简法(之二)

此时利用有 $\cdot$ 标记以外的方框的逻辑或为 $\bar{F}$, 可知 $\bar{F}$ 的最简形式为 $\bar{F} = A\bar{B} + \bar{A}B\bar{C}$, 再根据德·摩根定理化简 F 的逻辑非, 则变为

$$F = \overline{A\bar{B} + \bar{A}B\bar{C}} = (\bar{A} + B)(A + \bar{B} + C)$$

于是求得最简单的乘法标准形的逻辑式。

2.5.3 注意事项

上例中已说明了若干注意事项, 再举一例以便引起重视。把逻辑式置换为维奇图时, 可像图 2.16 所示那样操作。但图 2.16(a) 并非最好的例子。注意下述几点事项后, 可改进为图 2.16(b) 那样的。

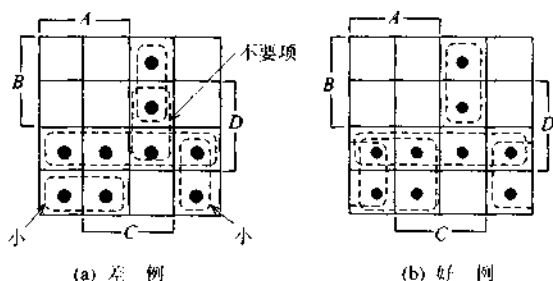


图 2.16 圈框方法的比较

- ① 因允许围框与另外的框重叠, 故要围得尽可能大些。
 - ② 两端的方框皆具有邻接关系。
 - ③ 若某围框内所有的方框已被其它围框所包含, 则该项变成不要项。
- 把图 2.16 改写成逻辑式会变成下式。

由图 2.16(a) 可推出: $F = \bar{B}D + \bar{A}BC + \bar{A}CD + A\bar{B}\bar{D} + \bar{A}\bar{B}\bar{C}$

由图 2.16(b) 可推出: $F = \bar{B}D + A\bar{B} + \bar{B}\bar{C} + \bar{A}BC$

上面 2 个式子是等价的, 但很明显由图 2.16(b) 推出的逻辑式更为简单。

2.6 有禁止组合时的化简

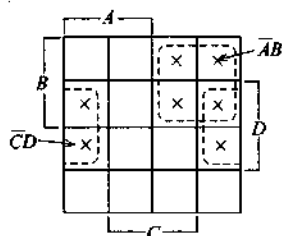
有 A, B, C, D , 4 个变量时, 0 与 1 的组合共有 16 种, 但并非所有组合都

能利用到。即对于某些输入的组合,其输出为 0 为 1 均可。例如,若 $A=1$, $B=0$, $C=1$, $D=0$ 时,输出为 0,1 均可,故称“逻辑与 $A\bar{B}C\bar{D}$ 为禁止组合”。在 4 个变量中,若 $A\bar{D}$ 为禁止组合,则表示无论 B 与 C 取何值,当 $A=1$, $D=0$ 时,输出为 0,1 均可。

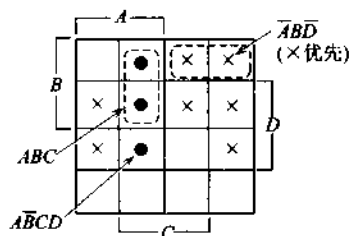
下面讲解利用维奇图化简带有禁止组合的逻辑式,如图 2.17 所示。

$$F = ABC + A\bar{B}CD + \bar{A}B\bar{D}$$

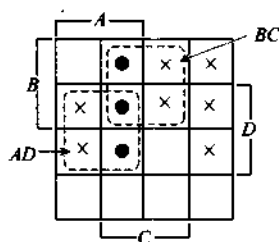
(禁止组合 $\bar{A}B, \bar{C}D$)



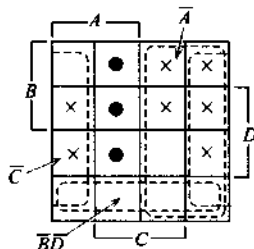
(a) 标出禁止组合



(b) 标出逻辑式的项



(c) 求出 F 的必须项



(d) 求出 $\bar{F}$ 的必须项

图 2.17 有禁止组合时的化简方法

① 把禁止组合的项用“X”标出(图 2.17(a))。

② 把逻辑式 F 的各项用“●”标出。这时的方框内若已被标有“X”的话,则“X”优先(图 2.17(b))。

③ 考虑到“X”代表 1(即 ●)或 0(空白),方框数按 2ⁿ 尽可能大地围出,就可得到下式(图 2.17(c))。

$$F = AD + BC \text{ (加法标准形的最简形式)}$$

④ 要求出 $\bar{F}$ 只需把空白部分用大方框围住即可。这时对标记 $\times$ 的处理(● 还是空白),可作为上述③的独立现象来对待。这样,则按图 2.17 (d)那样去围框,由此可得

$$\bar{F} = \bar{A} + \bar{C} + \bar{B}\bar{D}, \text{去“非”则为}$$

$$F = AC(B+D) \text{ (乘法标准形的最简形式)}$$

2.7 NAND 电路与 NOR 电路

逻辑式可以用逻辑与、逻辑或及逻辑非来表示,而仅用 NAND(与非)及 NOR(或非)也可以表示所有的逻辑式。这个结论源自德·摩根定理。

而逻辑与、逻辑或及逻辑非也能仅用 NAND 和 NOR 来表示,如下所述。

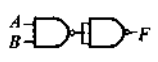
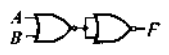
1 仅用 NAND 来表示

$$\text{逻辑非: } \bar{A} = \bar{A} + \bar{A} = \overline{AA}$$

$$\text{逻辑或: } A + B = \overline{\bar{A} + \bar{B}} = \overline{(\bar{A}\bar{A})(\bar{B}\bar{B})}$$

$$\text{逻辑与: } AB = \overline{\bar{A}\bar{B}} = \overline{(\bar{A}B)(A\bar{B})}$$

表 2.5 仅用 NAND 或者 NOR 来表示与或非门

基本逻辑 表示	逻辑与 	逻辑或 	逻辑非 
用 NAND 来表示			
用 NOR 来表示			

2 仅用 NOR 来表示

$$\text{逻辑非: } \bar{A} = \bar{A} \bar{A} = \overline{A + A}$$

$$\text{逻辑或: } A + B = \overline{\bar{A} + \bar{B}} = \overline{(\bar{A} + \bar{B}) + (\bar{A} + \bar{B})}$$

$$\text{逻辑与: } AB = \overline{\bar{A} + \bar{B}} = \overline{A + A + B + B}$$

将其画成电路图,则如表 2.5 所示。例如,若仅用 NAND 构成图 2.1 的电路,则如图 2.18 所示。

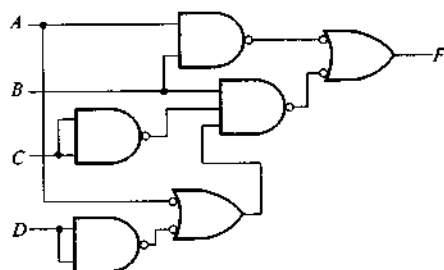


图 2.18 仅用 NAND 构成图 2.1 的电路例

可见仅用 NAND 及 NOR 门构成的电路比只使用与、或、非门来表示的利用价值高,但也存在级数增多并非最简形式等不足。

2.8 随机逻辑与阵列逻辑

2.8.1 随机逻辑

把单个芯片(one chip)内的逻辑元件经过适当组合,实现一定的逻辑电路,称为随机逻辑(random logic)。即使简单的逻辑电路用 1 个 IC 芯片也不一定够,常常要将从数个芯片中的某一部分元件组合在一起实现所需逻辑功能。为避免浪费应尽量减少所用 IC 芯片的个数。例如,对于逻辑一致的式子可变形为

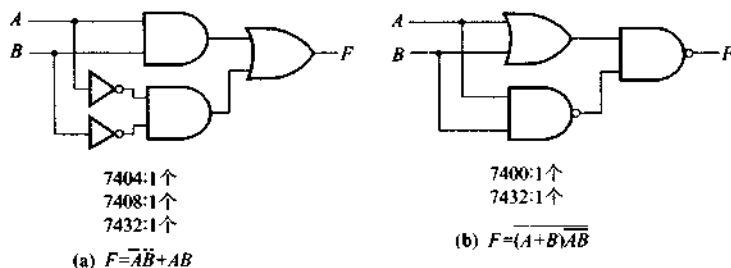


图 2.19 $F = A \oplus B$ 的电路与 IC 个数

$$F = A \odot B$$

$$= \overline{A} \overline{B} + AB \quad (2.4)$$

$$= \overline{(A+B)} + AB \quad (2.5)$$

和(2.4)式与(2.5)式相应的电路,如图 2.19 所示。双方对比可见,由(2.5)式形成的电路(图 2.19(b))不仅元件数少而且所用的 IC 芯片数也少。

2.8.2 阵列逻辑

阵列逻辑(array logic)是用单个 IC 芯片来实现所需逻辑电路,如图 2.20 所示,阵列逻辑由 AND 阵列和 OR 阵列组合而成,通过把处于纵线与横线交点的元件断开或连接构成所需电路。首先利用图 2.21 来说明 AND 交点的工作原理。

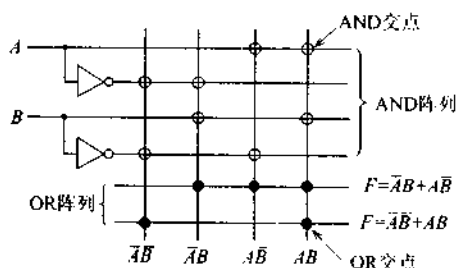


图 2.20 阵列逻辑的原理

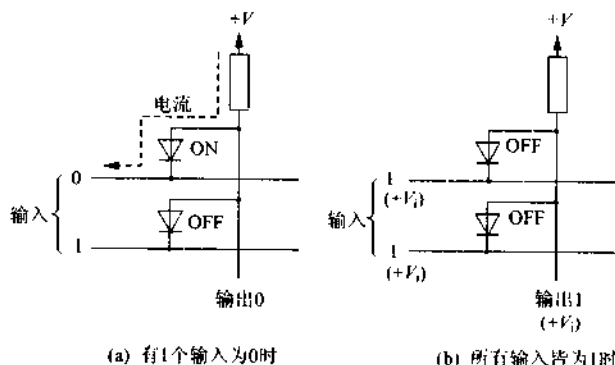


图 2.21 AND 交点的工作原理

AND 交点为二极管结,只要有一个输入(横线)为 0,则二极管就导通,电流流向输入端,故输出(纵线)为 0。若所有输入皆为 1(比电源电压 V 稍低的电压),则所有二极管为关断状态,在输出(纵线)端出现输入电压,即输出为逻辑 1。

OR 交点的工作原理如图 2.22 所示。OR 交点由晶体管和连接在发射极上的电阻组成。只要有一个输入(纵线)为 1(晶体管的基极加有电压的状态),则所连晶体管导通,有电流从电源经电阻流入,在电阻上产生电压降。结果在输出(横线)端得到比电源电压 V 稍低些的电压,即视为逻辑 1。又因输入皆为 0 时,所有的晶体管皆为 OFF,在电阻上也没有电流流过,输出则为 0V(视为逻辑 0)。

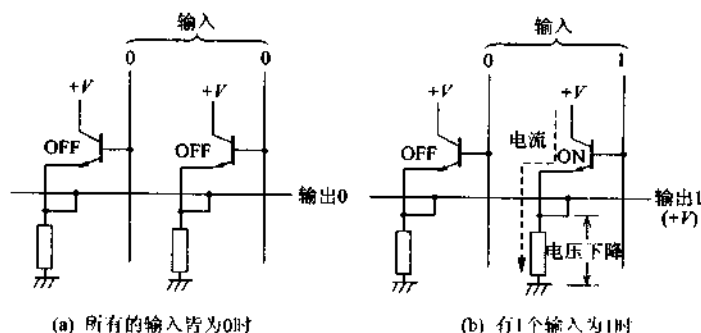


图 2.22 OR 交点的工作原理

一般将适应用户要求定制的阵列逻辑,称为可编程逻辑阵列(PLA; programmable logic array)。PLA 的初始状态时,其 AND 交点与 OR 交点全部处于连接状态,当用户要构成自己的电路时,只需把不要的部分切断即可。而连接或切断的手段则如表 2.6 所示,可使用熔丝(fuse)或者浮栅(FG; floating gate)型晶体管等方法。

熔丝式是在必要的部位把电连接线熔断来实现的,故存在一旦切断就不能复原的缺点。而 FG 型晶体管式是当浮栅部分注入电荷则处于接通状态,当将电荷放电后就变成切断状态。故对于 FG 型晶体管式而言,这种接通、切断操作可以任意反复进行并用编制程序来实现。故如上所述,阵列逻辑既有用单个芯片实现任意逻辑电路的优点,也有因切断过多而浪费元件

且速度较慢的缺点。

表 2.6 可编程逻辑阵列交点的构成

方式 交点	熔丝式	FG 型晶体管式
AND 交点		
OR 交点		

►► 练习题

习题 1

填空题 将适当词语填入下述论述逻辑电路的文章的下划线空白处。

(1) 用于逻辑 IC 芯片中的有源元件,大致可分为(a)_____与(b)_____两种类型。前者又分为 TTL 和(c)_____,(d)_____等,后者有 CMOS,(e)_____,(f)_____等种类。

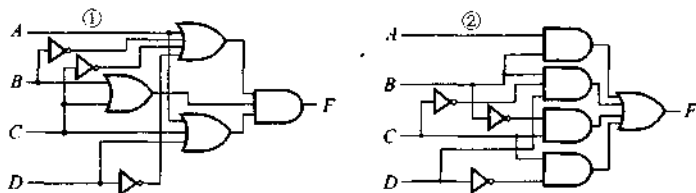
(2) 通过把 IC 芯片中的与门等基本逻辑元件相连而实现相应的逻辑电路功能,称为(a)_____逻辑。在逻辑 IC 中比较常用的是 TTL。TTL 的输出形态可分为(b)_____形,(c)_____形,(d)_____形三种类型。与(b)形输出仅有 0、1 相对,(c)形除 0 或 1 之外,尚有(e)_____的状态。(c)形还可用于按时分制在一条线上传输不同的数据。此种方法称为(f)_____OR。

(3) 可编程逻辑电路的 IC 可简称为(a)_____。它由格子状的 AND 阵列和 OR 阵列组成,作为开关元件 AND 交点可用于(b)_____,OR 交点可用于(c)_____。这种 IC 又分为两类。其一,为使用(d)_____将上述两种开关元件连接起来,用户只需把自己不要的地方切断即可实现相应电路逻辑。另一种为使用(e)_____型的(f)_____来把 AND 交点和 OR 交点的开关元件连接起来,当向

其注入(g) _____ 时就处于接通状态、若放电就变为切断状态。

习题 2

下述两个电路的逻辑是等价的。请求出其元件数、输入数和级数。若它们的和越小其电路越简单。判断下述哪种电路最简单。



习题 3

利用维奇图法,求出下式的加法形与乘法形的最简形式。

$$F = \bar{A}\bar{C} + \bar{A}BC + \bar{A}BCD + ABC\bar{D}$$

习题 4

求出下述真值表的加法形与乘法形的最简形式。

输入			输出 F
A	B	C	
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	1	0	1
1	×	1	—

注: ×: 0 或 1 均可; —: 禁止组合。

第 3 章 触发器及其应用

具有两种稳定状态,当没有输入信号时可处于一种稳定状态从而具有记忆存储功能的电路叫作触发器。它是存储电路的最小单位,在时序电路中占有重要位置。

本章将讲述触发器的原理、种类与特征、触发器的特性方程与应用方程的推导方法与简单应用例子。进而介绍从状态转换表,利用输入方程式采用触发器设计时序电路的方法。

3.1 触发器的工作原理

触发器的原理如图 3.1 所示。它由两个串联的反相器组成。反相器 N_2 的输出接于反相器 N_1 的输入上。由于 N_1 的输出等于 N_2 的输出,故图 3.1 记载的 2 个状态可以永久保持。究竟是哪种状态则由电源接通时决定。组合电路由输入到输出的信号为开环连接,而时序电路的构成要素为触发器,由图 3.1 可知,由正反馈的闭环电路形成。由此原型把存储状态进一步发展成为可由外部进行控制的 R-S 触发器,如图 3.2 所示。触发器有两种状态,即能够存储输出 $Q=0$ ($\bar{Q}=1$)与 $Q=1$ ($\bar{Q}=0$),故也称为双稳电路 (bistable circuit)。

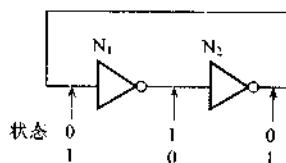
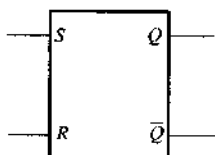
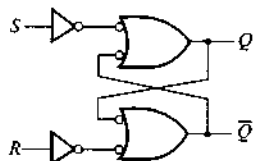


图 3.1 触发器的工作原理



时刻 t		时刻 $t+1$	
R^t	S^t	Q^{t+1}	$\bar{Q}^{t+1}$
0	0	Q^t	$\bar{Q}^t$
0	1	1	0
1	0	0	1
1	1	—	—

图 3.2 R-S 触发器电路与框图和特性表

由于没有设定 Q 的初始化电路,当电源接通时,输出 Q 的状态不确定。下面对 R-S 触发器的动作进行详细说明。

R 和 S 分别为 Reset(复位)和 Set(置位)的简称,作为触发器的输入端, R 与 S 一般为 0,一旦在 S 端输入 1 的信号,则变为 $Q=1(\bar{Q}=0)$ 并存储下来。相反,当在 R 端输入 1 信号,则有 $Q=0(\bar{Q}=1)$ 并被存储下来。若 R 与 S 端同时为 1 会引起不确定的动作,故禁止这样的输入。表示触发器输入输出关系相当于真值表的表格称为特性表。表的左边表示在时刻 t 输入的 R 与 S ,分别用 R' , S' 来表示,右边表示下个时刻 $(t+1)$ 的输出 Q 与 $\bar{Q}$,分别用 Q^{t+1} , $\bar{Q}^{t+1}$ 来表示。若 $Q^{t+1}=Q'$ 和 $\bar{Q}^{t+1}=\bar{Q}'$,则说明它正保存着上一个状态。把 R-S 触发器的动作用时序图来表示则如图 3.3。

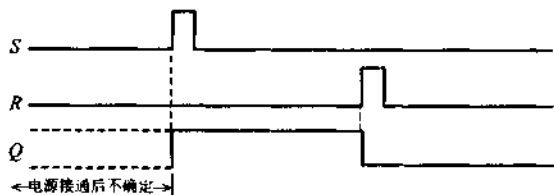


图 3.3 R-S 触发器的时序图

3.2 触发器的种类

按照与时钟脉冲的同步性,触发器大致可分成三种,下面分别举例说明。

3.2.1 异步式触发器

指不能同步动作的触发器,用输入信号来定时记忆动作。图 3.2 的 R-S 触发器就属于这种,它利用 S 和 R 的输入来进行 Set 与 Reset 的存储动作。

3.2.2 同步化 R-S 触发器(钟控 R-S 触发器)

图 3.4 为同步化的 R-S 触发器的框图与时序图。它多设了一个同步信号端子 C ,当此同步信号处于某种状态(0 或 1)时,它的动作与上述异步式相同,除此之外仅保持以前的输出。在图 3.4 的例中,同步信号 C 为 1 时,

与图 3.2 的动作相同,为 0 时就记忆保存着以前的输出状态。由图 3.5 所示的电路结构即可明白上述动作。

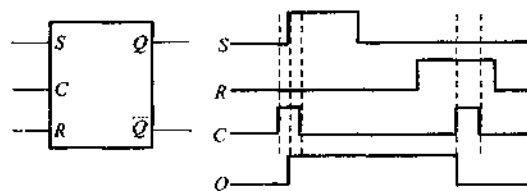


图 3.4 同步化 H-S 触发器与动作

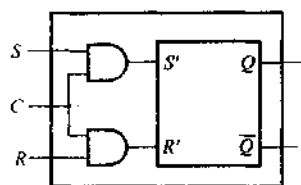


图 3.5 同步化 R-S 触发器的电路构成

3.2.3 同步式触发器(边缘触发器)

它如图 3.6 所示,具有同步信号端子 C,利用从 C 端输入的时钟脉冲的上升沿(图 3.6(a))或者下降沿(图 3.6(b))来定时动作。用脉冲上升沿动作的,称为正沿型,用下降沿动作的,称为负沿型。

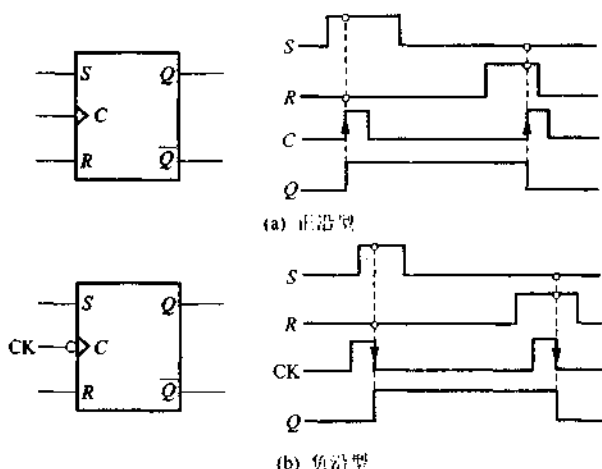


图 3.6 同步式 R-S 触发器及其动作

该种触发器框图的画法与同步化 R-S 触发器相似,仅在时钟脉冲输入部分加“>”标记。尤其当它是负沿型时,还要加“○”标记,如图 3.6 所示。

3.3 触发器的特性表与特性方程

把特性表当作真值表来考虑,就能够导出输出 Q^{n+1} 的逻辑式。并将由时刻 t 的输入或者输出状态来表示时刻 $(t+1)$ 的输出状态的逻辑式叫作特性方程。下面给出一些有代表性的触发器的特性表和特性方程。

3.3.1 R-S 触发器

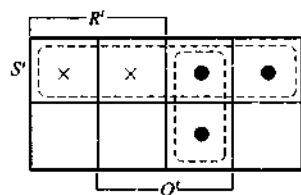


图 3.7 R-S 触发器
特性方程的维奇图

由特性表(图 3.2)可以导出其特性方程如下。

$$Q^{n+1} = \bar{S} \bar{R} Q^n + S \bar{R}$$

$$S'R' = 0 (S'R' \text{ 为禁止组合})$$

进而用维奇图(图 3.7)将其化简,并将代表时刻的上标共用化后可得下式。

$$Q^{n+1} = (S + \bar{R}Q)^n$$

$$(SR)' = 0$$

3.3.2 T 触发器(Trigger)

T 触发器有一个输入端 T ,每当 T 输入脉冲的上升沿或下降沿,其输出的状态就变反。正沿型 T 触发器的电路例子,如图 3.8 所示。该电路的特征是含有 2 个(图 3.2)那样的 R-S 触发器。其中,靠近输入方的为主部(master),靠近输出方的为从部(slave),故这种结构的触发器又称为主-从触发器。正沿型 T 触发器的框图与特性表如表 3.1 所示。在涉及脉冲边沿时,用 $\uparrow$ 表示正沿控制信号,用 $\downarrow$ 表示负沿控制信号。

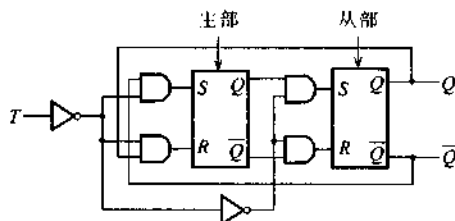


图 3.8 正沿型 T 触发器的电路结构

在求特性方程时,把 $\uparrow$ 当作1,其它(0或1的状态或者 $\downarrow$)当作0,进行编码化后,作成新的特性表(表3.2),可求得特性方程为

$$Q^{n+1} = (\bar{T}Q + T\bar{Q})'$$

其时序图如图3.9所示。这时,每当输入 T 的上升沿时, T 触发器的输出状态就会改变,也可以说变成了把输入脉冲 T 的频率降低一半的分频器了。

表 3.1 T 触发器电路与特性表(1)

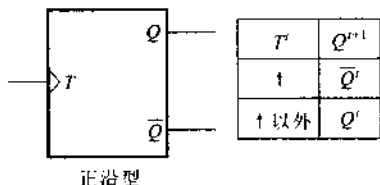


表 3.2 T 触发器的特性表(2)

T	Q^{n+1}
1	$\bar{Q}$
0	Q

注: T 上升沿时为1,其它为0。

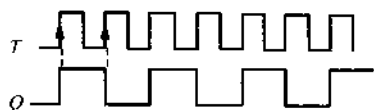


图 3.9 T 触发器的时序图

● 3.3.3 D 触发器 (delayed)

D 触发器是延迟触发器的简称。图3.10是正沿型D触发器的电路构成例。其框图与特性表如表3.3所示。在 C 端输入的时钟脉冲把 D 端的输入同步地传送到输出端。

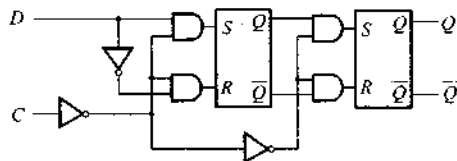
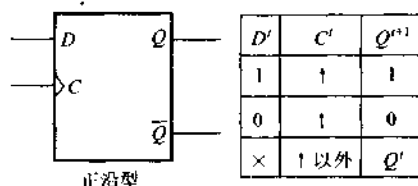


图 3.10 正沿型D触发器的电路构成

表 3.3 D 触发器电路与特性表(1)



在正沿型场合,用在 C 端输入的时钟脉冲的上升沿,把 D 端的输入送到输出端,这以外时均保持输出。由改写后的特性表(表 3.4),可求得其特征方程如下。

$$Q^{n+1} = (CD + C\bar{Q})'$$

时序图例则如图 3.11 所示。

表 3.4 D 触发器的特性表(2)

D'	C'	Q^{n+1}
1	1	1
0	1	0
×	0	Q'

注: C' , 上升沿时为 1, 其它时为 0;

×, 代表 0, 1 均可。

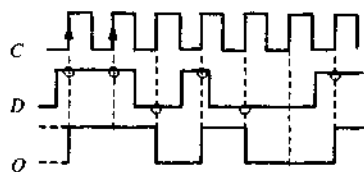


图 3.11 D 触发器的时序图

3.3.4 J-K 触发器

图 3.12 是负沿型 J-K 触发器的电路结构。表 3.5 为其框图与特性表。利用在 C 端输入的时钟脉冲的下降沿进行同步, 根据输入 J 与 K 的组合状态, 其输出产生相应变化。 J, K 皆为 1 时, 当作 T 触发器工作, J 与 K 不同时, 当作 R-S 触发器工作。由表 3.6 所示的特性表可求出其特征方程为

$$Q^{n+1} = [(\bar{K} + \bar{C})Q + JC\bar{Q}]'$$

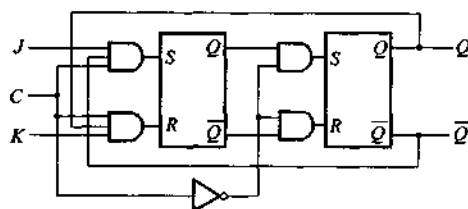
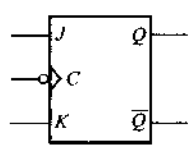


图 3.12 负沿型 J-K 触发器的电路结构

其时序图例则如图 3.13 所示。

表 3.5 J-K 触发器电路与特性表(1)



负沿型

J^i	K^i	C^i	Q^{i+1}
0	0	↓	Q^i
0	1	↓	0
1	0	↓	1
1	1	↓	$\bar{Q}^i$
×	×	↓以外	Q^i

注: C^i 下降沿为 1, 其它为 0; ×, 0, 1 均可。

表 3.6 J-K 触发器的特性表(2)

J^i	K^i	C^i	Q^{i+1}
0	0	1	Q^i
0	1	1	0
1	0	1	1
1	1	1	$\bar{Q}^i$
×	×	0	Q^i

注: C^i 下降沿时为 1, 其它为 0;

× 时, 0, 1 均可。

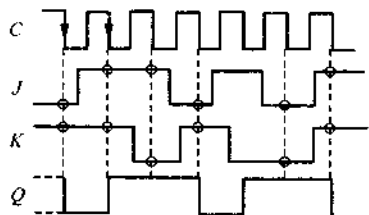


图 3.13 J-K 触发器的时序图

3.4 触发器的应用方程与输入方程

为把触发器应用于时序电路,就必须要有应用方程。应用方程可以由下述逻辑式给出:

$$Q^{i+1} = (g_1 Q + g_2 \bar{Q})^i \quad (g_1 \text{ 与 } g_2 \text{ 中不含有 } Q \text{ 与 } \bar{Q})$$

可把触发器的输入表示为 g_1 , g_2 , Q 的函数,称这样的逻辑式为输入方程。下面就对 R-S 触发器的各个输入信号的输入方程的求法进行详细说明,而对其它有代表性的触发器的输入方程只直接给出表示结果。

3.4.1 R-S 触发器的输入方程

由其特性方程与应用方程可得下列等式:

$$S + \bar{R}Q = g_1 Q + g_2 \bar{Q}$$

$$SR = 0$$

因 g_1, g_2, Q 为已知, 将 0, 1 的所有组合分别赋予它们并求出相应的 R, S , 就可以求得表 3.7 所示的真值表。由此真值表可求出作为 g_1, g_2, Q 的函数的 R, S 的输入方程的一般解, 如下所示。

$$R = \bar{g}_1 \bar{g}_2 Q + g_1 g_2 Q$$

($\bar{g}_1 \bar{g}_2 \bar{Q}$ 与 $g_1 \bar{g}_2 \bar{Q}$ 的组合被禁止)

$$S = \bar{g}_1 g_2 \bar{Q} + g_1 g_2 \bar{Q} \quad (g_1 \bar{g}_2 Q \text{ 与 } g_1 g_2 Q \text{ 的组合被禁止})$$

用维奇图(图 3.14)可将上式化简为

$$R = \bar{g}_1 Q, \quad S = g_2 \bar{Q}$$

又因 $\bar{g}_1 g_2 = 0$ 成立, 则可将维奇图改写成图 3.15 那样, 故可进一步把输入方程化简成下式。

$$R = \bar{g}_1, \quad S = g_2$$

表 3.7 R-S 触发器的输入方程式的真值表

g_1	g_2	Q	R	S
0	0	0	×	0
0	0	1	1	0
0	1	0	0	1
0	1	1	1	0
1	0	0	×	0
1	0	1	0	×
1	1	0	0	1
1	1	1	0	×

注: ×, 0, 1 均可。

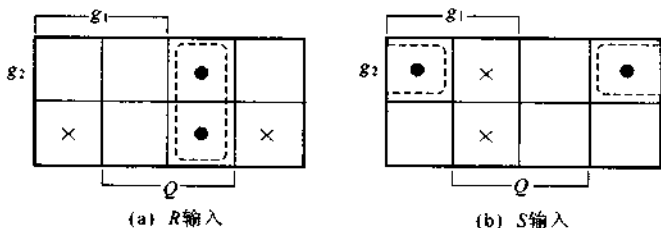


图 3.14 R-S 触发器的输入方程式(一般形)的维奇图

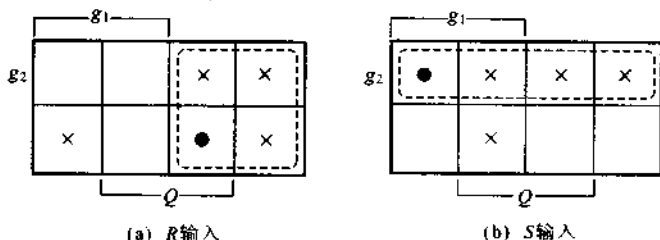


图 3.15 当 R-S 触发器为 $\bar{g}_1 g_2 = 0$ 时的输入方程的维奇图

3.4.2 T 触发器的输入方程

$$T = g_1 Q + g_2 \bar{Q} \quad (\text{其中若 } g_1 = g_2 \text{ 则 } T = g_1)$$

3.4.3 D 触发器的输入方程

$$D = g_1 Q + g_2 \bar{Q}$$

3.4.4 J-K 触发器的输入方程

$$J = g_1, \quad K = g_2$$

〔例题 3.1〕若设应用方程为 $Q^{n+1} = (\bar{A} \bar{B} Q + C \bar{Q})'$

请使用 R-S 触发器实现之。

【解】因 $g_1 = \bar{A} \bar{B}$, $g_2 = C$,

将其代入 R-S 触发器的输入方程, 则有

$$R = g_1 Q = (\bar{A} \bar{B}) Q$$

$$S = g_2 \bar{Q} = C \bar{Q}$$

将其转换为相应电路, 则如

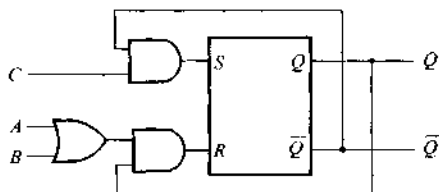


图 3.16 使用 R-S 触发器电路例

图 3.16 所示。

〔例题 3.2〕把 J-K 触发器的功能, 利用 D 触发器来实现。

【解】由 J-K 触发器的应用方程可知 $g_1 = \bar{K}$, $g_2 = J$ 。而 D 触发器的输入方程为

$D = g_1 Q + g_2 \bar{Q} = \bar{K} Q + J \bar{Q}$ 。将其变为相应的电路, 则如图 3.17 所示。

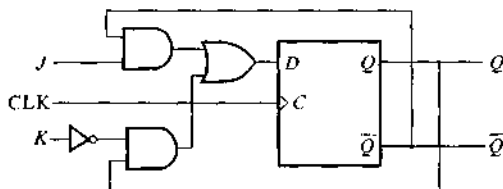


图 3.17 把 J-K 触发器的功能用 D 触发器来实现的电路

3.5 触发器的应用例子

利用 R-S 触发器可以很好地防止开关的抖动现象 (chattering)。所谓抖动,是指如图 3.18 所示,当开关 ON/OFF 时由于接点的振动 (Bouncing)而产生的信号扰乱现象。为防止这种现象的产生,最好采用图 3.19 的电路。利用 R-S 触发器,当开关一旦动作时,无论 ON 还是 OFF,都可将其状态存储下来,就能得到没有抖动的漂亮的信号波形。

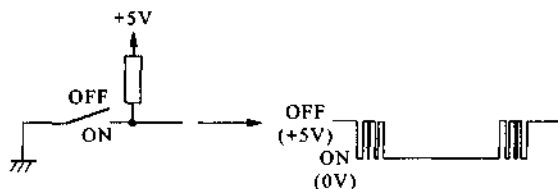


图 3.18 开关的抖动

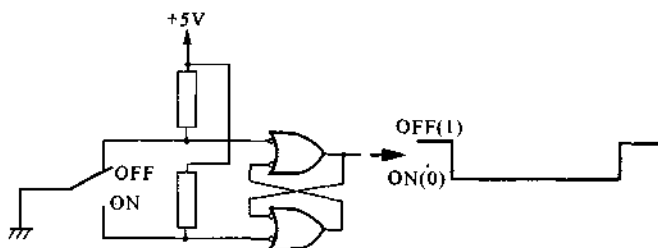


图 3.19 利用 R-S 触发器来防止抖动

利用正沿型 T 触发器可以组成 8 进制计数器。其时序图及构造如图 3.20 所示。每当时钟脉冲 CLK 的上升沿,就进行计数。其特征是时钟脉冲 CLK 只输入到最左边的 T 触发器的时钟输入端(T),而后边的 T 触发器是以前级的计数输出为输入的。因此把这种计数器称为异步式计数器。由于它会将各个触发器的延迟时间累积起来,故缺点是计数速度较慢。

图 3.21 为采用负沿型 J-K 触发器组成的 8 进制计数器。在此例中,时钟脉冲 CLK 的下降沿输入所有的触发器进行计数,把这样的计数器称为同步式计数器。它的输出延迟仅为一个 J-K 触发器的延迟而没有累积。

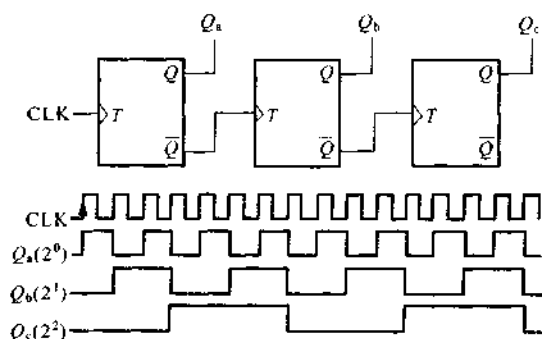


图 3.20 用 T 触发器组成的异步 8 进制计数器

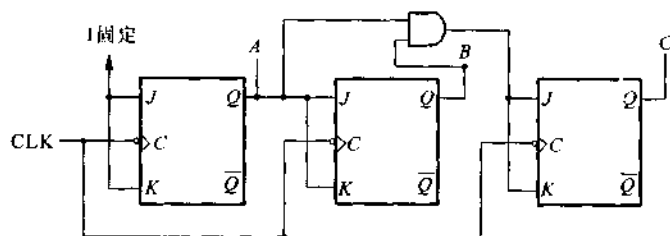


图 3.21 采用 J-K 触发器的同步 8 进制计数器

图 3.22 为采用负沿型 J-K 触发器组成的串行输入的 4 位移位寄存器。用时钟脉冲 CLK 的下降沿定时地把串行数据向右方移位。

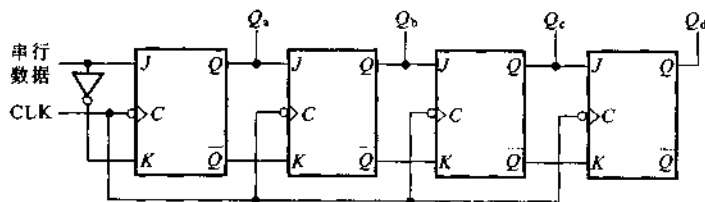


图 3.22 由 J-K 触发器组成的串行输入的 4 位移位寄存器

3.6 状态转换图与状态转换表

由于在时序电路中,电路的状态要顺序逐一改变,故在设计比较复杂的时序电路时,必须确切地知道状态的转换。表示状态转换的方法有图形法(状态转换图)和表格法(状态转换表)。图 3.23 就是 J-K 触发器的状态转换图与状态转换表。

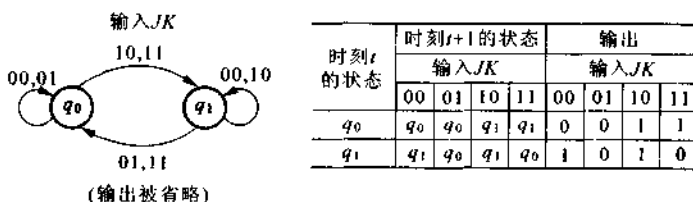


图 3.23 J-K 触发器的状态转换图与状态转换表

在状态转换表中,左边的栏为时刻 t 的状态。J-K 触发器只有 2 个状态,分别叫作输出 $Q=0$ ($\bar{Q}=1$) 的状态 q_0 , 与 $Q=1$ ($\bar{Q}=0$) 的状态 q_1 , 中间的栏目为输入 J 、 K 以及由其转换的状态。而右边的栏目为由每个输入所得到的输出。这里将输出当作 Q 。而状态名在输出处多被省略,本书以后也省略了。

在状态转换图中,常把状态名用圆圈围起来,各个状态间用线相连接,把输入的值写在线的附近,而转换方向则用箭头标出。若有多个输入,则必须明确输入的名字和顺序。这里也没有特别的限制,输出处就不必有记载了。

3.7 用状态转换表进行时序电路的设计

在利用触发器设计时序电路时,状态转换表可以发挥很大的作用。如果要将状态转换表进行化简,就必须采用 Huffman-Mealy 方法,此处不详述。下面仅就不能化简的例题进行说明。

利用状态转换表进行时序电路的设计,可遵从以下的顺序。

① 确定状态名并写入状态转换表。

- ② 若可能的话,将状态转换表化简(本书省略)。
- ③ 对每个状态名分配以适当的 2 进制代码(状态分配)。
- ④ 求出代码各位的应用方程。
- ⑤ 求出代码各位的输入方程。
- ⑥ 画出相应的逻辑电路图。

下面结合具体例题,对上述过程进行具体的说明。

3.7.1 例 题

有一个电机与两个开关 S_s , S_d 。请用 R-S 触发器设计实现一个满足以下要求的时序电路(图 3.24)。



图 3.24 利用开关控制电机的框图

(要求)

- ① 用瞬动型¹⁾开关 S_s 来控制电机的旋转与停止。
- ② 用交替型²⁾开关来设定电机的转动方向。
- ③ 马达停止时,一按开关 S_s ,则马达返回到用开关 S_d 设定的方向。
- ④ 当马达旋转时,即使改变开关 S_d 的状态,其旋转方向也不改变。
- ⑤ 当马达旋转时,按下开关 S_s ,就使马达强制停止。

3.7.2 状态转换表

电机的状态有停止、右转、左转三种,分别以 P、R、L 的名字来代表。可作成状态转换表,如表 3.8 所示。且开关的逻辑如下所述。

- 开关 S_s : ON/OFF=1/0
- 由开关 S_d 发出的转向指令:ON/OFF=右转/左转=1/0

1) 瞬动型开关是按下时为 ON(接通),一放手就 OFF(断开)的开关(即微动开关)。

2) 交替型开关为每按下一次就进行 ON/OFF 变换的开关。

表 3.8 状态转换表

时刻 t 的状态	时刻 $(t+1)$ 的状态输入 S_1S_0			
	0 0	0 1	1 0	1 1
P(停止)	P	P	L	R
R(右转)	R	R	P	P
L(左转)	L	L	P	P

3.7.3 状态分配

状态实际上是指事物的某种形态,要用逻辑电路来实现,就需要给各个状态分配以 2 进制的代码,将其称为状态分配。若状态数为 m ,则应使用满足 $m \leq 2^n$ 的 n 位 2 进制数。本例题的状态数为 3,故需 2 位(bit)即可。表 3.9 为已实行了状态分配的状态转换表。2 位分别叫作 A, B ,称其为状态变量。

表 3.9 状态分配后的转换表

时刻 t 的状态与分配			时刻 $(t+1)$ 的状态输入 S_1S_0							
状态	B	A	0 0		0 1		1 0		1 1	
			B	A	B	A	B	A	B	A
P	0	0	0	0	0	0	1	0	0	1
R	0	1	0	1	0	1	0	0	0	0
L	1	0	1	0	1	0	0	0	0	0

3.7.4 应用方程

应当把时刻 $(t+1)$ 的状态变量 A, B 的逻辑式表示成应用方程的形式。求得逻辑式的方法,与从真值表的求法相同。即把在时刻 $(t+1)$ 变为 1 所需的时刻 t 的条件(逻辑与)用逻辑或连接起来。对变量 A, B 实行这种处理后,可得下式。

$$A^{t+1} = [(\bar{S}_1\bar{S}_0 + \bar{S}_1S_0)\bar{B}A + S_1S_0\bar{B}\bar{A}]'$$

$$B^{t+1} = [(\bar{S}_1\bar{S}_0 + \bar{S}_1S_0)\bar{A}B + S_1\bar{S}_0\bar{A}\bar{B}]'$$

又因 $A'=1, B'=1$ 的组合不存在,故 $(AB)'$ 为禁止组合,可用维奇图法进一步把上式化简为应用方程的形式。故可得,

$$A^{t+1} = (\bar{S}_1A + S_1S_0\bar{B}\bar{A})' \quad (3.1)$$

$$B^{t+1} = (\bar{S}_1B + S_1\bar{S}_0\bar{A}\bar{B})' \quad (3.2)$$

((AB)' 的组合被禁止)

可以在化简式子时,把不存在的状态变量的组合与不存在的输入变量的组合(本例中没有)当作禁止条件,也是一种有效的手段。

应用方程的一般形式为 $Q^{i+1} = (g_1 Q + g_2 \bar{Q})^i$, 故从上式再把 g_1 与 g_2 加上适当的下标,就可求得下式。

$$\text{由式(3.1)可得 } g_{A1} = \bar{S}_s, \quad g_{A2} = S_s S_d \bar{B}$$

$$\text{由式(3.2)可得 } g_{B1} = \bar{S}_s, \quad g_{B2} = S_s \bar{S}_d \bar{A}$$

3.7.5 输入方程

对于 R-S 触发器的输入方程,可在输入量中加以适当下标,像如下那样求得。

$$R_A = \overline{g_{A1}} A = S_s A, \quad S_A = \overline{g_{A2}} \bar{A} = S_s S_d \bar{B} \bar{A} \quad (3.3)$$

$$R_B = \overline{g_{B1}} B = S_s B, \quad S_B = \overline{g_{B2}} \bar{B} = S_s \bar{S}_d \bar{A} \bar{B} \quad (3.4)$$

因 $\overline{g_{A1}} g_{A2} = S_s S_d \bar{B}$ 与 $\overline{g_{B1}} g_{B2} = S_s \bar{S}_d \bar{A}$ 必不为 0, 故上式已是最简式。

3.7.6 电路图

若把输入方程的(3.3)式与(3.4)式画成逻辑电路图,则如图 3.25(a)那样。因 R-S 触发器的输出 A, B 已分配了状态变量,为得到适于实际控制的逻辑,可将这些状态变量用译码器进行变换。

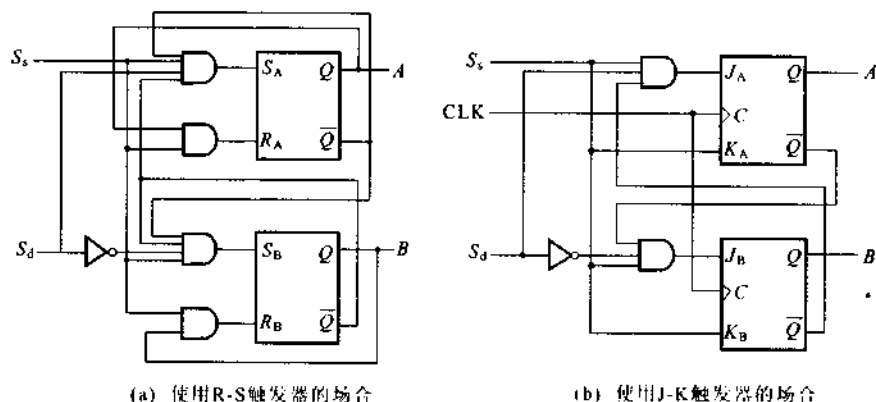


图 3.25 例题的逻辑电路例子

若使用 J-K 触发器, 则电路会更简单。输入 J 与 K 的输入方程为:

$$J_A = g_{A2} = S_s S_d \bar{B}, \quad K_A = \overline{g_{A1}} = S_s$$

$$J_B = g_{B2} = S_s \bar{S}_d \bar{A}, \quad K_B = \overline{g_{B1}} = S_s$$

其电路图如图 3.25(b) 所示。此电路的特征是, 它的状态变化与连续时钟脉冲 CLK 同步。

图 3.25 是把状态转换表(表 3.9)的输入信号 S_s, S_d 与状态变量 A, B 当作输入与输出的电路图。而实际上还需要由开关变为输入信号 S_s 与 S_d 的外围电路, 以及由输出的状态变量 A, B 来驱动马达电机的电路。这些外围驱动电路的例子, 可如图 3.26 与图 3.27 所示。

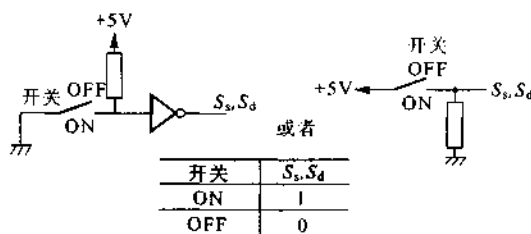


图 3.26 开关输入电路(二例)

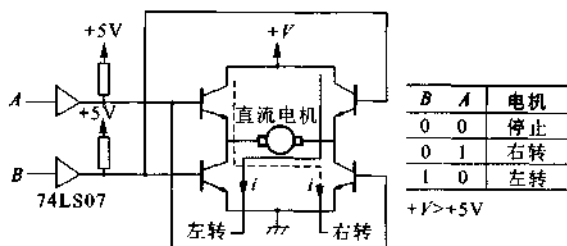


图 3.27 电机驱动电路例

3.8 同步计数器的设计

作为由状态转换表来设计时序电路的又一个例子, 我们来讨论同步 8 进制计数器的设计。表 3.10 是实行了状态分配的转换表。所分配的是计数值, 时刻 $(t+1)$ 的状态为时刻 t 的状态加 1 所成。在 8 进制计数器中, 计

数到 7 时的下一个转换是 0。若把 $A^{t+1}, B^{t+1}, C^{t+1}$ 为 1 的条件在维奇图上画出来, 则得到图 3.28。进而由图中的围框部分, 可求出其应用方程为

$$A^{t+1} = \bar{A}^t = (0A + 1\bar{A})^t \rightarrow g_{A1} = 0, g_{A2} = 1$$

$$B^{t+1} = (\bar{A}B + A\bar{B})^t \rightarrow g_{B1} = \bar{A}, g_{B2} = A$$

$$C^{t+1} = [(\bar{A} + \bar{B})C + AB\bar{C}]^t \rightarrow g_{C1} = \bar{A} + \bar{B}, g_{C2} = AB$$

若将 g_1 与 g_2 代入 J-K 触发器的输入方程, 则可得到下面的逻辑式。

$$J_A = g_{A2} = 1, K_A = \bar{g}_{A1} = 1$$

$$J_B = g_{B2} = A, K_B = \bar{g}_{B1} = \bar{A}$$

$$J_C = g_{C2} = AB, K_C = \bar{g}_{C1} = \overline{A + B}$$

这与图 3.18 所示的同步 8 进制计数器的电路图是一致的。

表 3.10 8 进制计数器的状态分配转换表

时刻 t 的状态与分配				时刻 $(t+1)$ 的状态		
状态(计数)	C	B	A	C	B	A
0	0	0	0	0	0	1
1	0	0	1	0	1	0
2	0	1	0	0	1	1
3	0	1	1	1	0	0
4	1	0	0	1	0	1
5	1	0	1	1	1	0
6	1	1	0	1	1	1
7	1	1	1	0	0	0

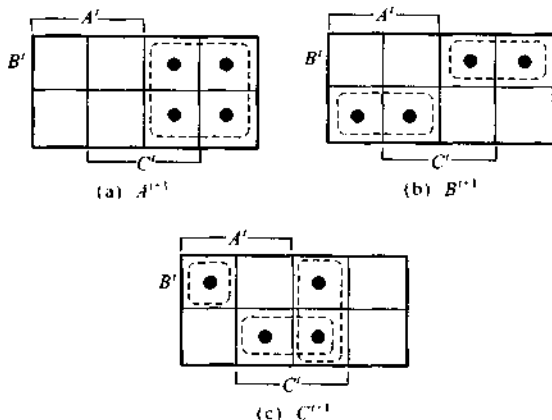
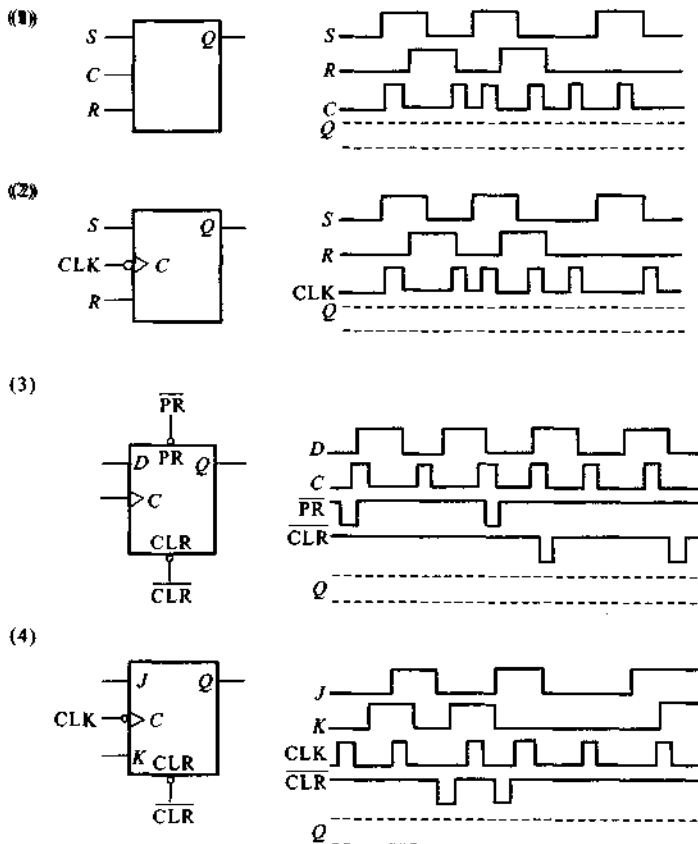


图 3.28 求出同步 8 进制计数器的应用方程的维奇图

►► 练习题

习题 1

请完成下述触发器的时序图。初始状态为 $Q=0$ 。



(注) PR 为 preset 输入, 若 $\overline{PR}=0$, 则不管其它输入的状况为何, 总有 $Q=1$ 。

CLR 为 Clear 输入, 若 $\overline{CLR}=0$, 则不管其它输入的状况为何, 总有 $Q=0$ 。

习题 2

采用同步式 R-S 触发器功能的输入方程, 实现同步式 D 触发器。

习题 3

画出 R-S 触发器与 D 型触发器的状态转换表和状态转移图。

习题 4

请利用 J-K 触发器,设计一个同步 5 进制计数器,并进行相应的状态分配,制作转换表,推导出应用方程和输入方程。

第 4 章 微机及外围电路

在很多人的印象中,微机(micro computer)就是个人计算机(PC机)。PC机与大型计算机的CRT终端确实很相似,可以当作计算机的形象代表。但是,每年产量达100亿个以上的微机(或称微处理器,微电脑等)芯片,却常常用在许多外形不象计算机的电子、电气设备中。

为什么如此众多的电子设备或家用电器产品中使用微机或微机芯片?微机芯片在设备中做了些什么工作?为何没有微机就不行呢?本章将学习微机是怎样工作的,它究竟能做些什么工作及使用方法等内容。

4.1 微机的应用与种类

● 4.1.1 微处理器的应用例(PC机)

个人计算机(PC机)常用于文字处理、报表计算、演示资料制作、活动计划管理、网络终端等办公用途,以及游戏、电子辞典、个人信息管理、家庭财务助手等个人用途。

为此,PC机就主要由能反复使用各种应用程序的系统构成。在这种系统中,要从硬盘或CD-ROM中把目标软件(应用程序)读入进来,临时存储在容量的半导体存储器(DRAM)中,在此程序的基础上进行相应的工作。当工作完成后,接着再把下一个想执行的应用程序,从硬盘或CD-ROM中读入DRAM。

而对这样的从硬盘或CD-ROM读取应用程序的动作,以及对PC机整体进行监视与控制,都是由称为操作系统OS(operation system software)的特别程序来进行的。

最近,由于大容量、低价格的存储技术的发展以及软件技术的进步,已经能把若干个应用程序预先一起读入内存(DRAM),从而可以节省程序的

更替时间,另外,还能通过称作调制解调器(modem)的设备,经由电话线与其它计算机和程序进行数据交换,这在当前也很流行。

这样构成的 PC 机的大规模集成电路 (LSI) 组合如图 4.1 所示。由于 PC 机有着广泛的用途,故要重视其功能的可扩展性。例如,把命令的分析、执行、运算等核心部分都制造在一个称为 MPU (Micro Process Unit) 的 LSI 芯片上,而把若干内存与外围芯片也集成在主板上。

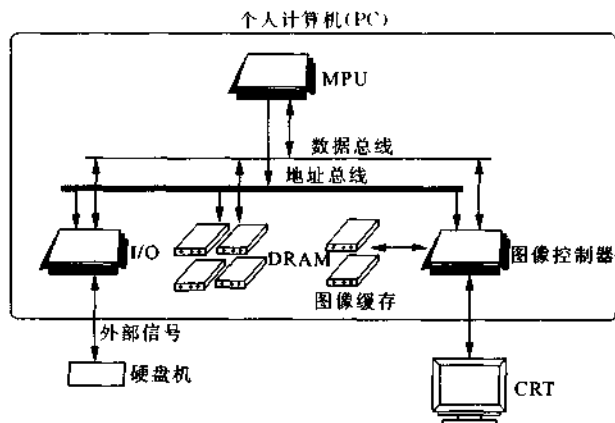


图 4.1 构成个人计算机的 LSI

4.1.2 单片机的应用

许多微机或微机芯片都被嵌入到电子设备中,对机械或其它设备进行控制。常将它们称为“嵌入式应用”,它与 PC 机那样主要用于数据处理的应用是有区别的。

由于嵌入式应用主要设计用于单一目的系统,故不必要有过多的扩展性和冗余性,整个系统较为简单,故有可能把包括输入输出等在内的所有功能作在一块 LSI 芯片中。实际上对应于各种不同的应用而准备了不同功能的芯片,按使用目的不同也分为多种类型,可参照表 4.1。

表 4.1 应用微机芯片的各种设备

应用领域	设备名称
办公设备	PC 机, 打印机, 复印机, 传真机, 电话, 计算器, 电子记事本, 调制解调器
通信设备	多功能电话, 移动电话, 交换机
家用电器	电视, 录像机, 音响, 遥控器, 照相机, 空调, 吹风机, 洗衣机, 电熨斗, 冰箱, 电饭煲, 电子灶
运输设备	发动机控制, 传输控制, 制动控制, 送风控制, 车辆导航, 汽车音响

1 微机芯片在电视中的应用

图 4.2 是微机芯片在电视机中的应用例子。在电视机中的微机芯片可用于调谐控制,音量控制,遥控器信号的接收,屏幕显示控制等。

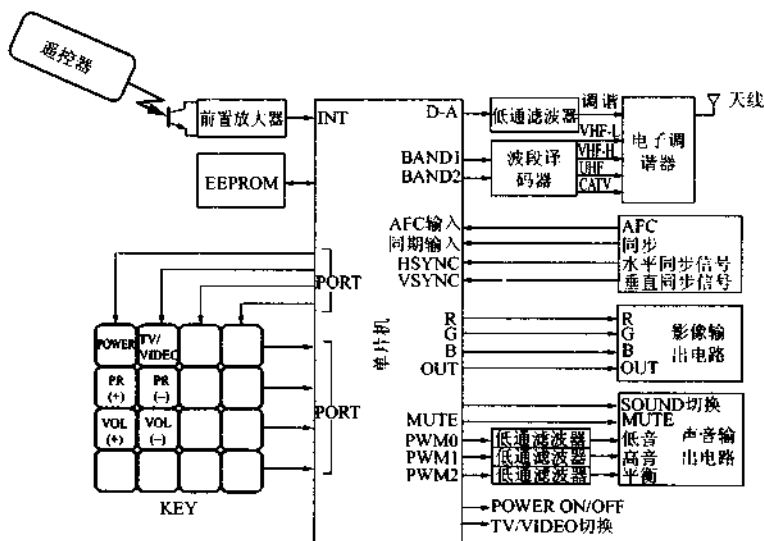


图 4.2 微机芯片在电视机中的应用

在调谐控制模块中电压控制振荡器 VCO (voltage controlled oscillator) 具有通过所给的直流电压能改变振荡频率的性质、可将其用于局部振荡,利用搭载有微机芯片的脉宽调制器 PWM (pulse width modulation) 的功能产生一定周期的方波,当从外部通过由电阻和电容构成的低通滤波器得到任意的直流电压后,将其给与 VCO,从而可以选择任意的电视频道。而微机芯片可以监控为得到各频道的最佳接收状态而使用的检波输出信号,可以把 PWM 的输出进行微量的调整,把每个频道的最佳 PWM 值存放在 EEPROM 中,每次选择频道时,就把 EEPROM 内所记忆的值,由 PWM 输出。

2 微机芯片在发动机控制中的应用

机械控制的典型代表是发动机控制,在这方面应用的例子如图 4.3 所

示。发动机可以利用称为“燃烧”的化学反应得到转矩 (torque)。而能够影响其动作的因素有很多,比如空气量、气温、电池电压等等,对其控制是相当复杂的。其中燃油定时喷射、点火的定时控制甚至需要精确到微秒(μs)。

有关发动机的工作状况和周围环境的信息,可利用各种传感器取得模拟信息或数字信息反馈给微机芯片,以便进行适当的控制。

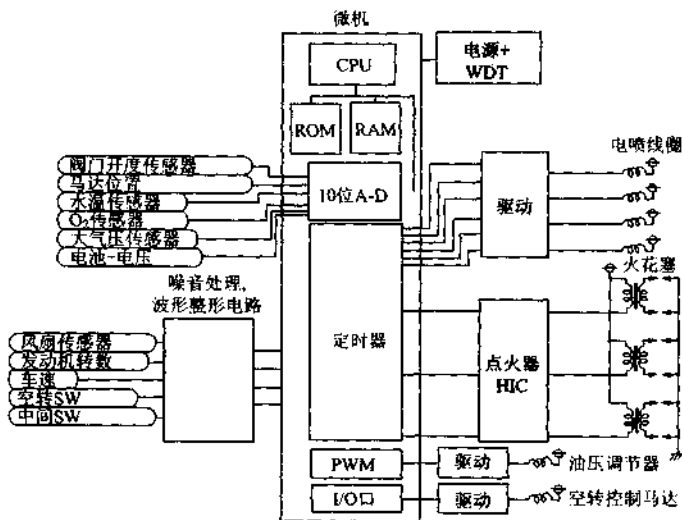


图 4.3 微机芯片在汽车发动机控制中的应用

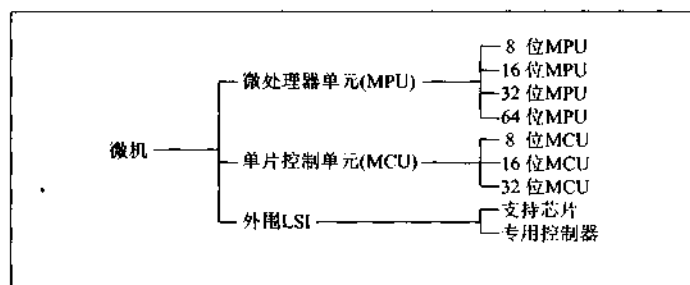
其中,微秒级的高速数字输入信息,是由输入信号检测器、级联式装置等输入处理电路模块来处理的,而不是由软件负责,另外,对于毫秒级的比较低速的数字信号,一般是通过 I/O 端口由软件进行输入处理。而 CPU 则在这些输入信息的基础上,参照大量表格进行多变量的充分计算,从而决定出与工作状况和环境变化相应的控制参数。所得到的控制参数将给与实时输出,级联调节器以及脉宽调制器等输出处理电路群。在输出电路中,微秒级的高速脉冲也不是由软件负担而是自动产生。而输入输出信号处理电路的工作状况,则由状态信息和中断要求反馈给 CPU。

4.1.3 小结

根据组成方法不同,微机系统可分为用于专用目的微控制单元 (micro

control unit) 和主要是通用的微处理器单元(micro processing unit) 以及外围 LSI。在各种处理对象中数据量和要求的性能是不一样的,有鉴于此,就需采用各有特点的微机芯片。总结上述可归纳成表 4.2。

表 4.2 微机的分类



4.2 微机的结构

由前述的应用例可知,所有微机均有一些基本的共同点,在几乎任何应用中,微机都是按照人们的指示,由外部取入信号,再将其与在内部保存的数据相组合并进行加工,然后输出相应的信号使别的电路或产品工作。

也就是说,微机是按图 4.4 所示的过程工作并具有输入、存储、运算、输出等功能的电子设备。任何微机的应用均由这些功能组合而成。

本章就要学习微机的结构和工作原理。

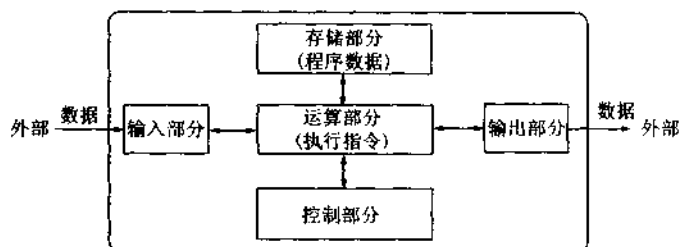


图 4.4 计算机系统的概念

● 4.2.1 微机的系统结构

图 4.5 所示为微机最基本的系统结构。在系统中输入电路、主存储器、CPU (中央处理器、控制部分、运算部分)、输出电路等经由系统总线连接在一起。下面就它们的作用进行一些介绍。

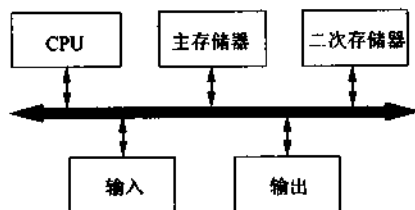


图 4.5 计算机系统的基本结构

● 4.2.2 CPU 的作用

微机的最大特征是 CPU 要按照程序的要求进行动作。在 PC 机中,先把必要的程序从硬盘或软盘读入内存 RAM 中,再在此程序指示下进行工作。而在单片机中,是按照预先存放在 ROM (Read Only Memory) 中的程序指令进行工作的。

CPU 先把程序从 RAM 或 ROM 读入,然后用 CPU 中的指令译码器解读该指令,依照指令解读结果进行演算,对指令中相应的数据进行内存读写,按顺序执行命令。为实现这些功能,在 CPU 中就设有各种寄存器组、ALU(运算器)、指令译码器以及总线接口等部件。

寄存器组是为了更有效地读写数据而设置的记忆电路。寄存器不仅可进行读写,而且具有运算、控制、状态表示等特殊的功能。通过这些寄存器的不同结构给微机以不同的特点和个性。

图 4.6 表示了典型的寄存器组。在累加器(ACC)中存放着被运算数,运算结果也存放在这个累加器中。在微机的指令中,对该累加器进行存取的指令是最常用的。变址寄存器(IX)是在特定的指令中,利用该寄存器的值,计算出要存取数据所存放的地址。此外变址寄存器也可用于临时保存数据等。

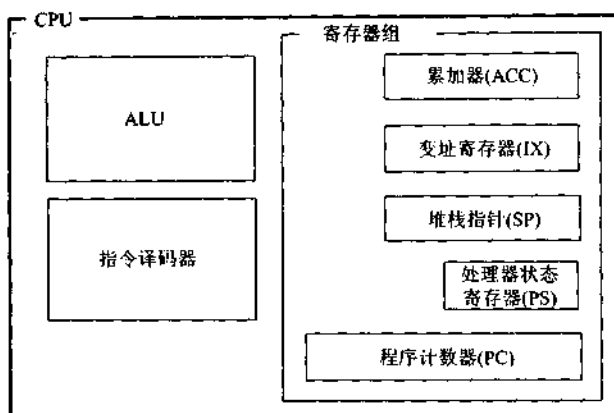


图 4.6 寄存器组

处理器状态寄存器(PS),是用于存放运算结果的进位、正负、溢出等状态(Status)的特殊寄存器。而**程序计数器(PC)**是存放着下一条要执行指令的地址的存储电路。

CPU 中的运算电路称为 **ALU** (arithmetic and logic unit),它除了可以进行加法、减法等数值运算以外,还能进行 AND,OR,NOT 等逻辑演算,也可把 1 个字长的数据按位进行横向移动,执行移位 (shift) 指令。也有的 CPU 具有进行乘除法运算的指令。

除 CPU 之外,还有用于解读指令码,生成内部细致的控制信号的指令译码器,以及包括地址总线、数据总线、控制总线在内的总线缓冲区接口电路等。

图 4.7 以加法命令为例来说明 CPU 的基本动作。

① CPU 为了从内存读出指令,首先要将程序计数器中所显示的地址信息与 Read 信号,输出到系统总线上。

② 在内存,按照地址信息把指定地址的内容输出到数据总线上。

③ CPU 再把数据总线上的“ADD M”指令取到控制部分的指令寄存器中。

④ 用指令译码器解读指令,将与该条指令相应的控制信号输出到运

算器。

⑤ 按照控制信号,把存放着数据的内存地址信息和 Read 信号输出到系统总线上去。

⑥ 从内存,把地址信息指定的操作数据输出到数据总线上去。

⑦ CPU 再把数据总线上的操作数据取到控制部分。

⑧ 把累加器的内容与操作数据相加,将相加结果存放在累加器中。

⑨ 继续执行与下一条指令相应的①动作。

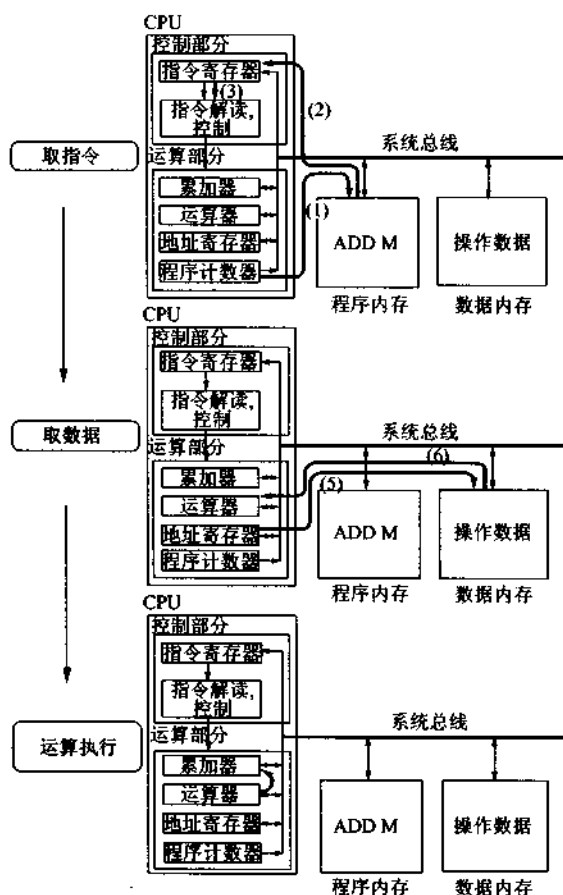


图 4.7 CPU 的基本动作

4.2.3 系统总线

比如相互没有关系的许多乘客,利用一条汽车线路,怀着各种目的,从各个不同的乘车地点,前往各自的目的地,与此类似,在微机系统中,各种数据是经由称为系统总线 (System-Bus)的信号线,送到各自相应的目的地。

总线由很多的发送者和接受者所利用,数据应当准确无误地传送给指定的接受者,为此,与总线相连的存储器或外部设备,都被分配了相应的地址 (ADDRESS)。当要将数据从存储器读出或写入时,就须按照指定的地址,对正确的目的场所进行读写操作(参照图 4.8)。

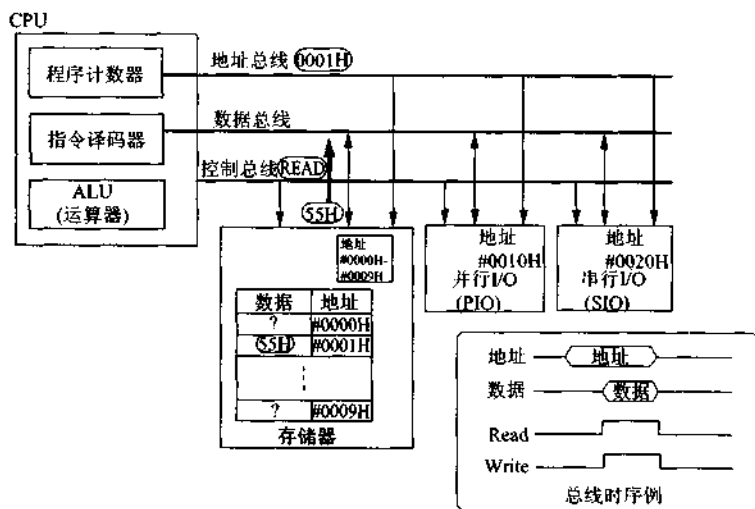


图 4.8 总线的动作

通常总线的使用权由 CPU 控制,CPU 按照地址把 Read 信号或 Write 信号等输出到总线上,再把数据自由地读写到连接在总线上的存储器或外围电路中去。

4.2.4 存储器

如上节所述,存储器有可以自由读写的随机存储器 (RAM) 与只读存储器 (ROM)。用相同存储量进行比较,单从存储器的构造来讲,只读存储

器在价格上更便宜。

它们在实际的微机系统中,多按图 4.9 那样的情况分别使用。

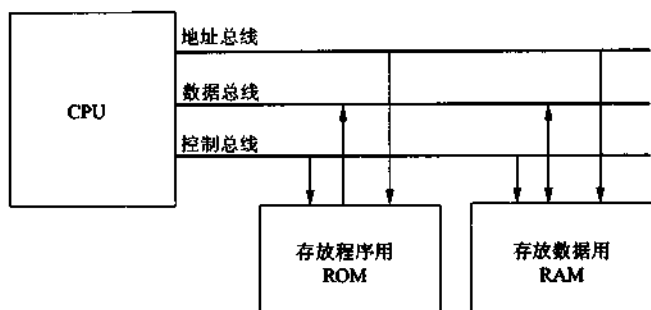


图 4.9 分别使用的存储器

① 由 CPU 读出的程序“指令”,在只读存储器内的连续地址中存放着。

② 指令执行要读写的必要数据,存放在随机存储器中。

随机存储器的代表是 SRAM,由组成电路时起就可以使用它,而作为只读存储器的 EPROM 和闪存 (Flash ROM) 等,在使用前必须预先把数据写好。

● 4.2.5 外围电路的功能

在微机系统中,是以 CPU 为中心来进行读、写、运算等处理的。为了保证这些功能的顺利进行,就需要先把 CPU 要处理的数据(信号)给予它,还要把应当怎样处理的指示输入给它。当 CPU 处理完毕又需把结果数据送到外面去,为变成能为人们所理解的形式,就需要输出功能。另外,还需要给 CPU 传送准确的时间信息的定时器,以让人们容易理解的形式进行显示的 LCD 控制器和 FLD 控制器,把模拟信号转换成数字信号的 AD 变换器等为使 CPU 能正常工作所必要的功能。这些总称为外围功能。

表 4.3 是某种单片微机系列的外围功能的例子。为与所列用途相匹配,就要在微机系统中组装进各种外围功能电路。

本章学习外围功能电路中最基本的输入输出电路。

表 4.3 微型计算机的主要外围功能电路

外围功能	作 用	主要用途
定时器 (timer)	对内部时钟和外部事件进行计数的电路,当达到所定的值时,就产生信号。每到所定的时刻就启动 CPU 进行相应的处理,或对软件不能正确处理的事件给出正确的计时信息	时钟,旋转数,旋转周期测量,位置监测,脉冲宽度调制
A/D 变换器	把模拟信号变换为数字信号的电路。对于单片微机,为适应控制用的变换时间,多为 $2 \sim 10 \mu\text{s}$	电位计,电源电压监视,温度测量
PWM (脉宽调制器)	周期固定不动,通过改变“H”区间与“L”区间之比产生方波信号的电路。将此信号通过积分电路就可以进行电压变换	调节器驱动,电子调谐控制,电子音量控制,DA 变换器
LCDC	液晶显示面板(LCD)的驱动电路。从显示图形用的非常多的像素板到只显示文字用的少数像素用的各种规格的液晶屏幕	洗衣机,吸尘器,视频设备,电熨斗,冷热空调,广播设备等家电产品的显示屏
FLDC	驱动荧光显示管(FLD)的电路。与微机一般的 5V 电源不同,具有一 20~40V 的高电压驱动能力	音频设备,视频设备,电子灶等所用的显示屏
PIO (并行 I/O)	在微机与外部之间,以字节或位为单位进行数字信号交换的电路。是外围电路中最重要基本电路	开关输入,显示输出,调节器控制,延迟控制
SIO (串行 I/O)	在微机与外设之间以字节为单位或把字节单位的并行信息变为按位串行输入输出的电路。仅用较少的信号线,就可实现远距离通信	复印机,VTR 等设备内的微电脑间的通信

● 4.2.6 并行输入输出电路

微机系统与外部的信号交换,有以读取开关或驱动继电器等较慢动作作为对象的控制用输入输出,也有为进行高速数据交换用的通信端口控制等多种情况。把具有这些功能的电路称为并行输入输出电路(PIO: parallel input output port)

由 CPU 方所见的 PIO 的动作,与对内存进行读写的动作是相同的。但内存的读写动作是以字节(Byte)或字(word)为单位的,而像开关信号的输入或 LED 的驱动以及机械系统的控制等,却不是以字节为单位,而多以位(bit)为单位来进行的。因此,市售的单片微机或外围 LSI 芯片中的 PIO,多为采用 bit 为单位的输入输出电路构成。

下面,学习其功能及动作。

1 最简单的 PIO 电路的例子

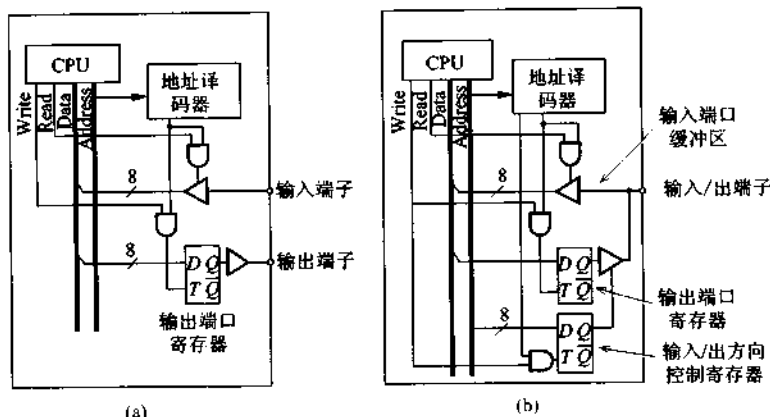


图 4.10 并行输入/出电路例子

图 4.10(a)是最简单的 PIO 的例子。在此电路中, CPU 执行把数据写入 1000H 地址的动作,并用写信号的上升沿将数据写入输出端口寄存器。反之也由 CPU 对 1000H 地址进行读出动作,经由输入缓冲区,也可以读取加在口上的逻辑电平。

2 带有输入输出方向控制寄存器的并行输入输出电路

在(1)的例子中,对于同一个地址的读写是经由不同的端子进行输入输出的。而在实际的系统中,其输入输出的信号数不一定就是以 8bit 为单位的。在这样的场合,用 8bit 为单位进行输入输出不太经济。此时就希望只按照必要的信号位数进行输入或输出即可。

图 4.10(b)就是依此要求而改进的电路,即在图 4.10(a)的电路上增加了输入输出方向控制寄存器。

利用该电路,在表示输入输出控制寄存器的 1001 地址内,写入设定输入输出的数据,对应于该数据之中为 1 的位,可使输入输出控制寄存器的输出变为“H”状态,从而使与此输出相连的三态缓冲区变为“ON”状态。结果,输出端口寄存器的状态呈现为输出端子。

反之,对想当作输入端子使用的位(bit),则写入“0”,而使输入输出方向控制寄存器的输出变为“0”。输出缓冲区变为“OFF”状态。因此即使把

数据写入到输出端口寄存器中,该数据也不会出现在输出端子上。而在此状态下,只能通过输入端口缓冲区,把与此端子相连的外部信号读入。

4.2.7 串行输入输出电路

再研究一下其它的微机或外部设备之间进行 1 个字节 (Byte) 的数据交换的情形。这时到底需要多少条信号线呢? 至少要 8 条数据线以及进行定时控制的 2~3 根信号线。但把采用如此多条线路的信号进行长距离传输时,价格会很高昂,当有外部噪声干扰时,也不好进行防护。

因此就需把在 CPU 数据总线上并列的位信息转换为串行信息,并按一位一位的顺序,进行输入输出的交换,就能减少与其它设备间交换数据所需的信号连接线的数目。这就需要采用串行输入输出电路 (SIO: serial input output port)。SIO 大体可分为时钟同步型 SIO 与时钟、异步型 SIO 两种,可依其特征分别使用。

1 时钟同步型串行输入输出电路

时钟同步型 SIO 的信号端子是由传送数据用的 IN (输入信号), OUT (输出信号), CLK (时钟), STRT (启动) 以及 GND (地线) 所构成。

所连接的信号线数随时钟信号数而增加。为使内部电路简单化,常在电子设备的内部使用多个微机芯片或 LSI 进行通信。所有的微机中,最后都以 8 位为单位进行通信。

下面利用图 4.11 来说明其动作。

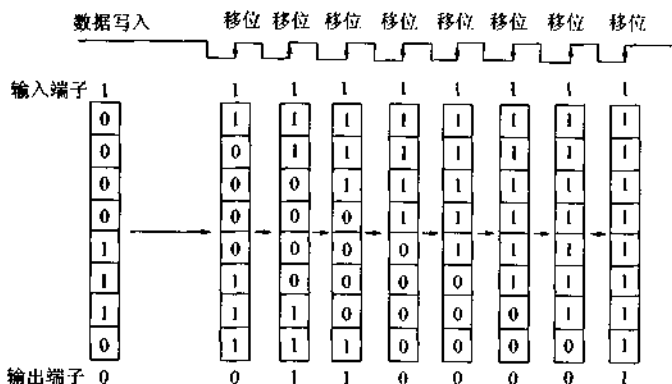


图 4.11 同步式串行输入输出时序例

① 写入想送给数据寄存器的数据。

② 利用 CLK 的下降沿把数据从 OUT 端子输出,同时送出 STRT 信号。

③ 在接收方,用 CLK 的上升沿,将输入端子的数据取入内部,与此同时利用 STRT 信号重置移位寄存器。

④ 在连续 CLK 的同步下进行移位。

⑤ 每当 8 位数据传送完了,就在发送方建立起发送结束的标志。当 CPU 一读到它就知道发送结束了。一旦知道此标志已建立,CPU 就可以把下次要送出的数据写入发送寄存器中。

⑥ 每当接收了 8 位数据时,就建立接收完了标志。CPU 读到此标志就知道接收完了。一旦知道此标志已建立,CPU 就可以从接收寄存器读出接受数据。

2 异步型串行输入输出电路 (UART)

在时钟同步型 SIO 中,除信号线以外,还需要时钟同步脉冲,从而导致信号线数目增加,从原理上说当有噪音加于时钟线上时,会在接收方产生数据读取错误,因此存在通信距离不能过长等缺点。所以在用电话线 (modem) 进行通信,或在复印机等设备内的通信、汽车用 LAN 等要求通信可靠性较高的场合,就需要使用异步 SIO。

异步 SIO 的数据如图 4.12 的时序图所示,由开始位、数据、校验位、停止位组成。与通信规程或用途相适应,所用数据有 8 位或 7 位之分,校验时可以使用偶数或奇数,停止位也可使用 2 位长或 1 位长,它们均可用模式寄存器来进行选择。

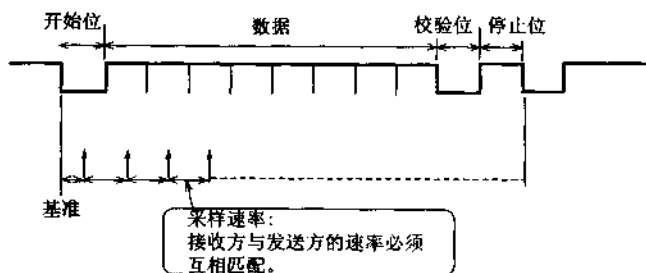


图 4.12 异步式串行输入输出时序图

〈发送信息的过程〉

图 4.13(a)是一个异步型 SIO 发送信息动作的顺序过程的例子。

① 为设置发送数据的长度、停止位的长度、有无校验位以及通信速度等参数,需先把设置数据用软件写入发送模式寄存器。

② 读入发送缓冲区空标志,以便确认在发送缓冲区内没有残留数据(软件)。

③ 当发送缓冲区空标志为 1,即说明发送缓冲区内容为空白时,就把要发送的数据写入数据缓冲区(软件)。并用此写入动作把发送缓冲区空标志置为“0”,即变为数据满(data full)状态。

④ 由此写入动作开始发送信息,与开始位由 D_{out} 端子送出的同时,发送缓冲区空的标志重新置“1”。

⑤ 接着,以开始位的下降沿为起点,每过一定间隔(相当于 1 bit 的时间)就发送数据以及奇偶校验位和停止位。

⑥ 当还有要传送的数据残留时,仍要读取此发送区空标志,直到再度确认变为空区,才能把新的要发送数据写入缓冲区。在将所有要发送的数据全部送出以前,此确认的动作要由软件反复进行。

〈接收信息的过程〉

图 4.13(b)是异步型 SIO 接收信息的动作顺序。

① 为设置接收数据的长度、停止位的长度、有无校验以及通信速度等,需把设置数据写入接收模式寄存器。利用此写入动作变为可以接收信息的状态(软件)。

② 在 D_{in} 端子检测到开始位的下降沿时,以此沿为起点,每过一定间隔(相当于 1bit 的时间)就去读 D_{in} 端子以识别数据和校验位,直到检测出停止位,就当作一次接收结束。

③ 读入接收缓冲区满标志,以确认接收区正在接收数据(软件)。

④ 若接收区的内容已满,则接收区满标志为“1”,就从接收数据区读入接收数据(软件)。并由此读入动作把接收缓冲区满标志变为空状态。

⑤ 读入此接收区满标志,再度确认其变满后,就从缓冲区读出新接收的数据,直到确信所有必要的的数据都被接收前,重复进行此动作(软件)。

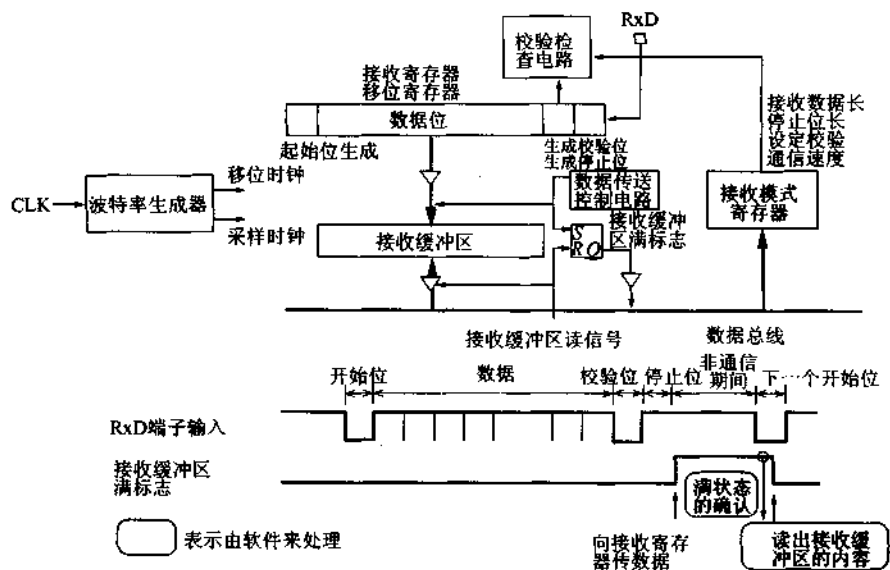
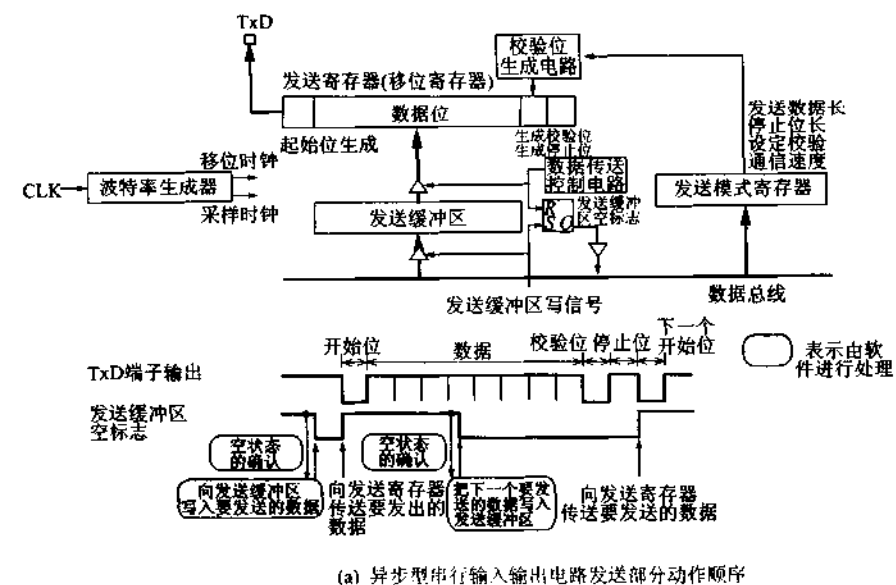


图 4.13 异步型串行输入输出电路收、发动作顺序

3 输入电路的电气特性

端口输入特性的代表是 CMOS 特性与 TTL 特性。在 CMOS 特性中,把判断输入信号为 H(高)电平还是 L(低)电平的基准阈值电平设为 $\frac{1}{2}V_{cc}$,而 TTL 特性则设其为 1.4V 左右,在实际应用时,必须产生这些特性以供使用。

1) CMOS 特性 因阈值电压为 $\frac{1}{2}V_{cc}$,较高,故具有能将较大的噪声除去的特点,另外又因达到阈值电平需要一段时间,故在端口的延迟时间变大,开关速度较慢。

2) TTL 特性 因阈值电平较低,恐怕即使较小的噪声侵入,也会误认为是信号,但因达到阈值电平的时间较短,故容易得到较快的开关速度。

3) 滞后特性(hysteresis) 当以较长的通信线传送信号时,正常信号与外部的噪声成分相重叠,这会变为误动作的原因。若此时采用具有滞后特性的输入端口,就能把相当一部分噪声除去。

4 输出电路的电气特性

输出端口,因 FET 的三极管特性而存在饱和电流值,故具备能充分地驱动外部电路的能力。但若长时间连续使用超出额定值的输出电流,则有可能导致 LSI 的内部连线的断线,这点要格外注意。

输出端口又因构成该端口的晶体管组合不同而分成几种,分别对应于不同用途(参照图 4.14)。

CMOS 端口是由 n 沟道晶体管与 p 沟道晶体管组合而成的。低电平输出时,n 沟道晶体管处于 ON 状态而 p 沟道晶体管为 OFF 状态。与此相反,高电平输出时,n 沟道晶体管为 OFF 状态而 p 沟道晶体管为 ON 状态。由于这种类型的端口一定会有某一方的晶体管处于 ON 状态,故可维持对负载的电流供给,或者由负载吸收电流。因此可将负载连接于端口与 V_{cc} 之间,或者连接于端口与 GND 之间。

n 沟道开放漏极端口,则只由 n 沟道晶体管构成,当此 n 沟道晶体管为 ON 时,电流经负载流入。这时,其输出端子的电平变为低电平(L)。当此晶体管为 OFF 时,则变为高阻状态,由负载来的电流变为 0。这时若连接有从端口对 V_{cc} 的上拉电阻(pullup)的话,则变为高电平(H)。当端口的电流容量不足时,则需外接 pnp 晶体管进行电流放大。

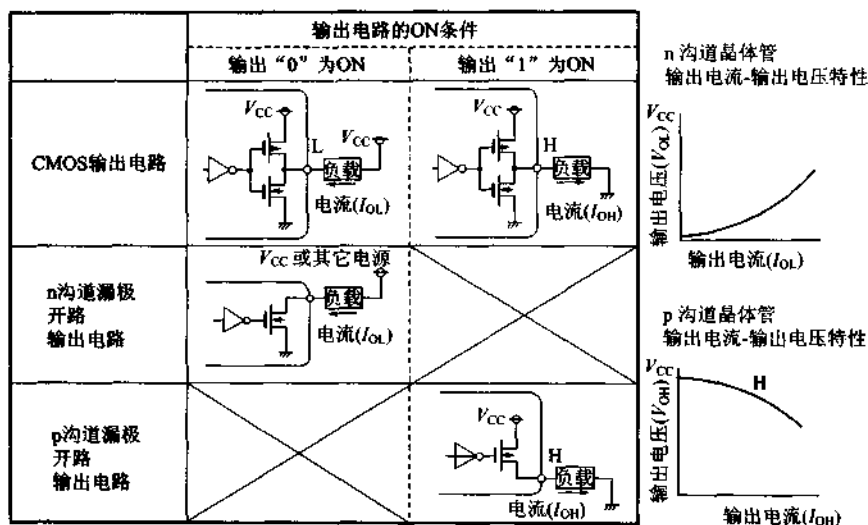


图 4.14 端口的种类与动作

微机的电源电压多为 5V, 而 VTR 或 TV 等家电设备多采用由 12V 系列的电流工作。在这种场合, 为用微机驱动外部设备, 就需进行信号的电平变换。这时, 可以使用 n 沟道漏极开路端口。从 n 沟道漏极开路端口, 通过上拉电阻的上拉作用, 可与 12V 的电源相连接, 这样就可以简单地把微机的 5V 系列信号与外设的 12V 系列信号相连接。

p 沟道漏极开路端口, 仅由 p 沟道晶体管构成, 当此 p 沟道晶体管导通时, 则把电流供给负载。这时, 其输出端子的电平变为高(H)。当此晶体管为 OFF 时, 流向负载的电流变为 0, 变成高阻抗状态。若有下拉 (pull down) 电阻的话, 就变为低(L)电平。当端口的电流容量不足时, 需外接 npn 型晶体管进行电流放大。

4.3 微机的指令与软件

4.3.1 指令的构成

微机所具有的指令种类约有数十到一百几十种左右。每条指令都由一个 2 进制数的代码来定义, 称为指令码或操作码 (operation code), 又称为机

器语言。操作码之后,是表示操作对象的操作数(operand)。所谓操作数,可以是直接被运算的值(immediate value),或者是存放着运算对象的地址(absolute value),以及存放着运算对象的数据的内存地址,或表示程序转移地址与当前指令计数器之值的相对值(relative value)等。可以预先定义好由若干字节组成的指令码。再由 CPU 中的指令译码器顺序解读这些指令,并生成与其相应的各种 CPU 内部的细致控制信号,进而产生 CPU 的相应动作。

4.3.2 指令集

CPU 的指令,按功能可分为传送指令、运算指令、控制指令、特殊指令等。

1) 传送指令(MOVE, ROAD, STORE, SAVE, PUSH, POP, etc.)

用于从存储器向寄存器,或从寄存器向存储器寄存器之间进行数据移动的命令。也包含与输入输出端口或外围功能电路进行的数据交换。

CPU 把数据取入称为装载、装入(load)。而把数据移动到内存去则叫作存储(store)。

2) 运算指令 指进行数据运算的指令,除加法、减法外也包括 AND(与)、OR(或)等逻辑运算。此外还有把多字节的数据向左或右进行一位一位移动的移位指令(shift)和只变更个别位的按位运算指令。

3) 控制指令(JUMP, BRANCH, JUMP SUBROUTINE, RETURN, etc.) 用于根据运算结果,例如判断比较结果是否为零等的状态寄存器内容,来改变程序执行的流程。

又如子程序转移指令,由当前正在执行的程序中,转移到子程序中去执行。在子程序中遇到返回(RETURN)命令后,又返回程序计数器中的原程序断点继续执行。

4) 特殊指令(NOP, STOP, WAIT, OS 控制指令, etc.) 例如 NOP 指令就没有任何操作,而 STOP 指令则会使振荡电路停振,从而可以降低微机所消耗的电力,减少电池等的消耗。对于高性能的微机还包括能方便地装载 OS 的指令等等。

4.3.3 程序设计与软件开发工具

软件的开发顺序为:软件设计,编程序,C 语言编译/汇编,单个软件评价,调试执行。能支持这一连串软件开发的工具一般叫做软件开发环境(参照图 4.15)。

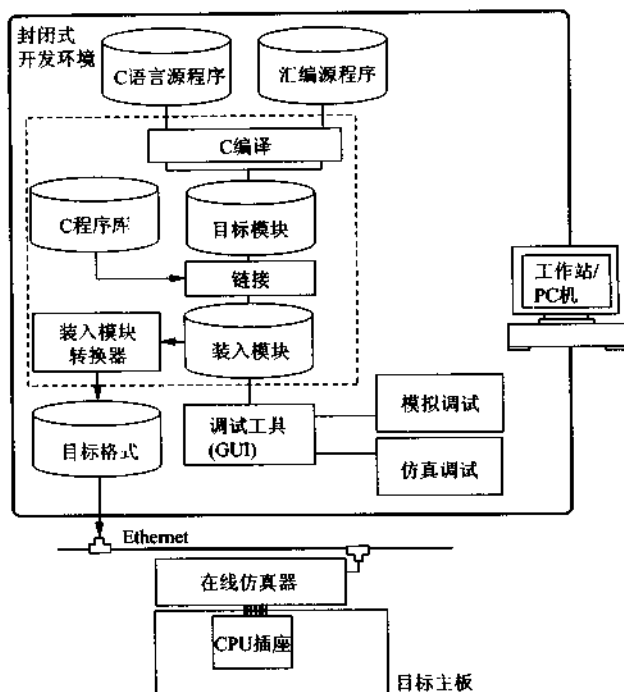


图 4.15 软件开发环境

在编程序 (coding) 阶段, 利用文本编辑程序根据和微机相应的汇编语言或 C 语言的语法, 编制成计算机程序, 将其称为源程序文件。

使用汇编程序将此源文件汇编, 或用 C 编译器对其进行编译, 从而生成目标文件 (module)。

进而再用链接程序 (Link), 把目标文件与已准备好的函数等程序库相结合。将这样作成的文件通过装入模块, 送去进行模拟调试。

通过模拟调试, 可对软件进行个别评价。利用这些结果, 可以对构成软件的各种模块以及软件的总体功能进行评估, 发现不恰当的问题后, 再返回到编码阶段去修改源程序。

接着, 把程序装入搭载着实际的 CPU 的在线仿真器 (in-circuit emulator) 中。在线仿真器连接着开发系统, 它是可以通过实际动作对程序进行确认的设备。为了在仿真器上测试 CPU 的动作或者确认寄存器和存储器的内容, 可以同时利用调试软件 (debugger) 进行测试。若发现不适当之

处,也可以再次返回编码阶段去修改源程序。

4.3.4 小结

一般由软件进行处理时,当系统要求有变动或增加时,适应性较强,或者说灵活性较好,但往往不能同时进行多个处理。而用硬件处理的场合则容易高速进行多个处理,但也存在费用增高且对要求变化的自由度降低等问题。因此,在实际系统中,往往把软件处理与硬件处理巧妙地结合起来。即把性能、价格与系统的灵活性做均衡考虑,是很重要的。

当系统内有较多新开发的要素时,利用软件处理,对系统要求变动等设计变更情况能较好地适应,从而降低风险。反之,若采用了较多的成熟技术时,因设计变更的风险较小,故可采用硬件处理,可较容易得到高性能。

4.4 实际系统开发过程

怎样进行应用微机产品的开发?要经过一些什么过程才能达到批量生产?这些过程可如图 4.16 所示。

下面,按照图 4.16 所示,讲述一下进行开发的流程。

1) 制定产品的设计方案 主要是确定最终产品的性能要求和目标价格。

2) 系统设计 在目标价位的范围内,设法满足性能要求,决定硬件与软件各自分担何种功能,分别作成功能说明书。

3) 硬件设计 在系统设计阶段作成的硬件性能说明书的基础上,开展硬件设计。而硬件设计又可分为机械部分与电子电路部分。这里特指电子电路部分的设计。

4) 为在硬件设计制作的同时,也能开展软件设计工作,在硬件部分完成前,先找一些可替代硬件的设备当作软件开发评价工具。

5) 软件设计 在软件性能说明书的基础上,确定软件的结构,为了适应系统的规模和处理速度以及开发时间等方面的要求,慎重选择操作系统

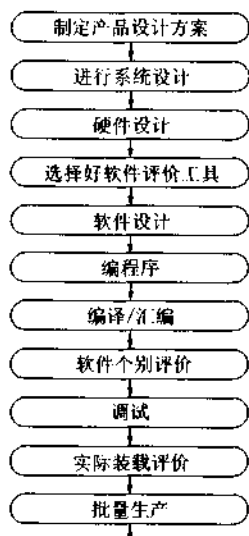


图 4.16 系统的开发过程

(OS)和开发用程序语言。其后再进行详细设计。

6) 编制程序 在软件设计的基础之上,使用编辑软件进行软件的具体编制。

7) 编译/汇编 将写好的程序进行汇编或编译,以便生成可在微机上运行的机器语言程序。

8) 软件的单个评价 利用软件模拟环境,对每个软件的逻辑功能等进行验证与测试。

9) 调试 对经编译或汇编过的、变换成机器语言的程序,利用仿真器和软件评价工具来测试和确认它们的动作是否满足所要求的性能。

10) 实际装载评价 把调试完毕的程序写入装在微机中的 PROM 中,搭载上试验产品进行实装评价。

11) 批量生产 将程序写入 MASK 芯片变成最终产品,搭载于设备上,进行批量生产。

4.5 微机使用时的注意点

在使用微机时,以下三点,最容易碰到麻烦,特此提出,请多加注意。

● 4.5.1 Reset (复位) 电路

Reset (复位)是指为使微机开始工作而把一些必要的功能恢复为初始状态所设置的信号。(如设置程序计数器为启动地址等)。为返回初期状态,就需一定的时间,若该时间不足时会导致微机出现混乱。

在如图 4.17(a)所示的由电阻和电容构成的复位电路的场合,只是在理想状态下才能正常工作,在噪声易侵入的环境下,因其上升沿时间较长,当一次复位被解除后,因未到规定时间,由于噪声影响会产生非常窄小的尖峰状脉冲,把它当成复位信号,再次侵入微机内部,从而引起混乱,使微机陷入不能工作的状态。

为防止这种情况的发生,可将电路改进为图 4.17(b)那样,使复位信号上升沿时间变短,当有尖峰状信号侵入时,只会在规定的复位时间内使脉冲变宽,从而获得相当程度的改善。

在一些专用的复位 IC 中,已将这些改进功能做在其中,故采用它们即可实现理想又简单的复位电路。

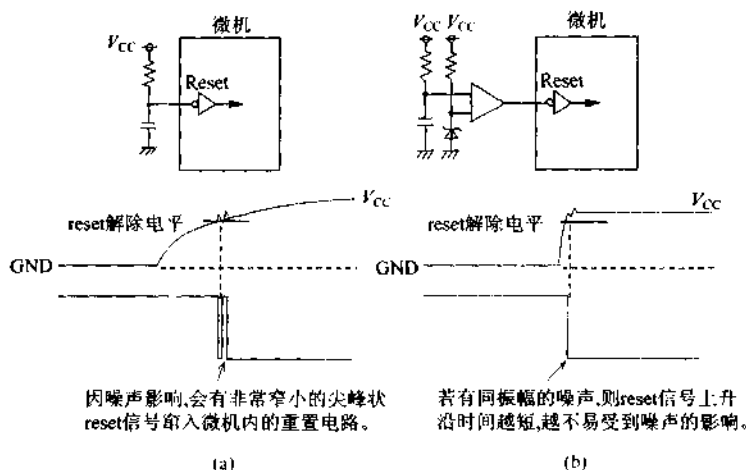


图 4.17 reset 电路

4.5.2 振荡电路

若连续地多次进行复位 (reset), 就可能引起振荡产生麻烦。特别是在单片机中, 内部有振荡电路, 接有许多振子, 更易引发振荡。

这时, 由于微机的振荡电路与振子相组合, 当回路增益较小时还不会引起振荡; 反之, 当振荡过程时, 振荡波形会被削幅, 产生包含基频以外的高次谐波的放射性电波 (如图 4.18)。为防止这种情况发生, 就应当在微机芯片上加适当的电容和阻尼电阻, 具体值可与生产振子的厂家认真咨询为要。

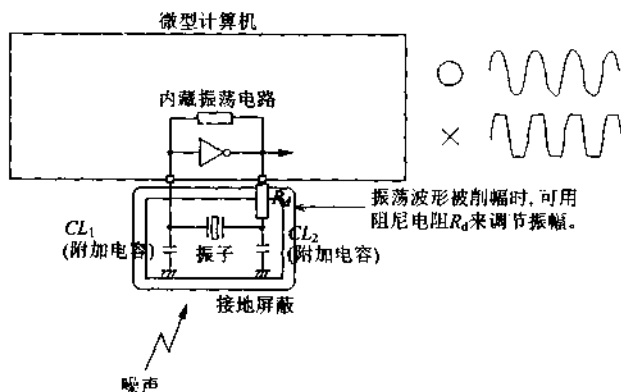


图 4.18 振荡电路

当有噪声施加于振荡电路之上时,就会影响振荡的起动和稳定时间,从而导致微机动作混乱。为此不应将振幅较大的信号电路放在振荡电路周围。此外若在振荡电路的周围放置接地信号或电源等一类没有电位变化的信号,其效果会很好。

4.5.3 中 断

上述两点是纯粹的硬件原因所引起的麻烦,而中断处理却是引发许多软件麻烦的起因。

中断处理,在微机应用领域中,是非常有用的重要的软件技术手段。

图 4.19 表示了中断处理的基本概念。在某个程序执行过程中,当有中断请求出现时,就会将原来的处理中断,转而去执行中断子程序。当中断子程序处理完成后,再返回原来程序中继续执行。

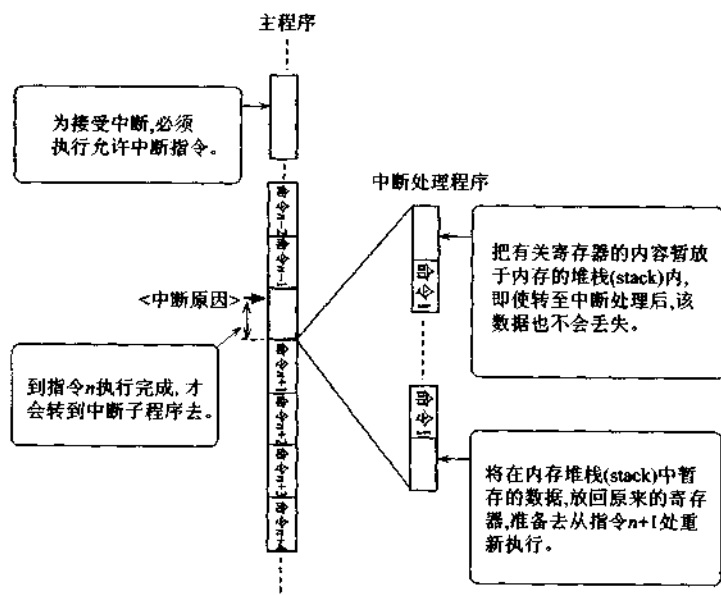


图 4.19 中断处理

当有中断请求产生时,就会将当前正在执行的程序切断,产生断点,为了当再度返回时可以从断点处继续执行,需将中断时的现场,比如当时寄存

器中的数据(context)等暂放于其它内存的堆栈中,此时程序计数器(PC)和各种程序状态等内容也会被暂存起来。

►► 练习题

习题 1

有个 CPU 具有 16 位地址总线和 8 位数据总线,还有 256kb 容量的 8 位字长的 ROM,可用于预先存放程序,另外还有 8 位字长的 2 个 64K 位(bit)容量的 SRAM,请给出利用这些元件组成的微机系统的内存分配图。

其中,复位后程序计数器初始化值为 0000H,已经分配给输入输出电路的地址为 FF00H~FFFFH。

习题 2

在图 4.10(b)的 PIO 电路中,把方向控制寄存器设定为输出状态,请判断一下让此端口进行读操作会如何?

习题 3

把异步型串行输入输出电路的动作模式设定为 8 位数据,偶数校验,当数据为 DFH(11011111)的场合,请给出其校验位的值。

第 5 章 存储器电路

1968 年前后出现了 MOS 存储器。当时的 DRAM 仅有 1Kbit,而 SRAM 仅为 256 位。经过约 30 年的发展,到 1997 年,DRAM 的容量已达 256Mb,以每 3 年翻 4 倍的惊人速度实现了高度集成化。因此每位的价格大幅度降低。在现代计算机社会中存储设备已不是主要问题了。而当初存储器却是作为电子计算机的主要存储设备来使用的,而随着微机技术的普及,由个人计算机、文书处理机等办公机器开始,存储器已广泛应用于各种终端设备,计测仪器以及家用电器、游戏机等电子产品中。随着它在各领域中普遍使用,其产业规模也日渐巨大,无论从技术上还是从商业方面而言,它都成为今天半导体产业的支柱产品了。

本章将学习关于存储器 IC 芯片的原理、动作及其应用等。

5.1 存储器芯片介绍

● 5.1.1 存储器芯片

图 5.1 是存储器 IC 芯片的基本结构。存储器芯片是可以保持写入的信息并能随时读出的记忆元件。其记忆的最小单位叫作存储单元,它是能记忆 1 位(表示“0”或“1”的 2 值单位)的元件。

在存储器芯片中,把这些内存单元依平面形状按一定规则排列成存储阵列,要想对该阵列进行读出或者写入,就需指定内存单元的行与列的位置,这是由行译码器与列译码器来实现的,还需要有控制写入数据与读出数据的 I/O 控制电路,这些就组成了存储器电路芯片。

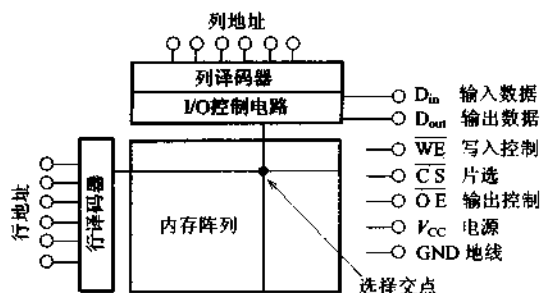


图 5.1 存储器的基本结构

要进行数据的读出(或写入)动作,就需从外部输入与想读出(或写入)的内存单元位置相应的行地址信号与列地址信号,指定读出或写入的写入控制信号,从若干个并列的存储芯片中选出一个要访问的芯片的片选信号以及输出控制信号等,才能对指定的存储单元进行数据的读出(或者写入)。

5.1.2 存储器芯片的分类

存储器大致上可分类为 **RAM** 与 **ROM** 两种,如图 5.2 所示。

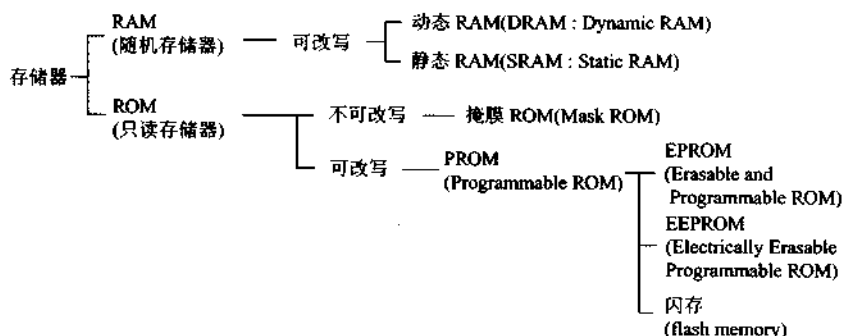


图 5.2 存储器的分类

RAM (random access memory)为随机存储器,速度快,可以随时进行数据的读写。而 ROM(read only memory)为只读存储器,写入数据时比较复杂,主要是用于读出的存储器。

RAM 为挥发性存储器,即电源切断后数据就被破坏了,而对于 ROM,即使切断电源后,所写入的数据仍被保存着,这是二者的最大区别,可依不同目的分别使用。

按照存储电路的种类, RAM 又可分为动态 RAM (DRAM) 与静态 RAM (SRAM)。而 ROM 的类型也有掩膜 (mask) ROM,它在 IC 芯片制造时就把由用户指定的数据固化在其中;以及可编程的 ROM (PROM),即由用户自由地把数据写入其中。而 PROM 又可依写入与消去的原理不同被分为 EPROM,EEPROM 以及,闪存 (flash-memory)。

5.1.3 RAM

根据数据的存储方法, RAM 可分为静态 RAM (SRAM) 与动态 RAM (DRAM) 两类。静态 RAM 与动态 RAM 的存储单元的代表性电路如图 5.3 所示。

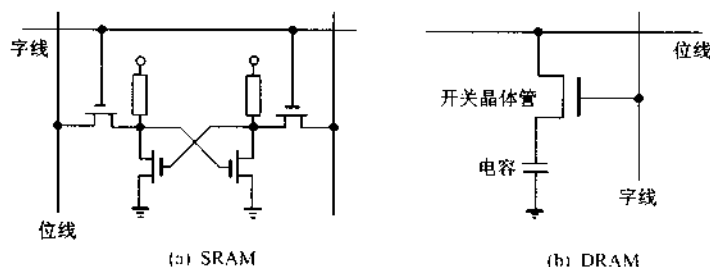


图 5.3 存储单元电路

SRAM 的电路单元是由 2 个反相器组合而成的触发器构成的。因此只有当电源加上时,才能保存信息,这是它的主要特点。另外一个特点是,由于存储单元的动作稳定,故很容易实现高速存取。但是,由于组成触发器的 2 个反相器中,总有一个处于导通状态,故存在有直流电流流过的缺点。但是,由于采用了超高阻抗的负载,现在这个缺点几乎已被解决了。此外,由于存储单元的元件数较多,与 DRAM 相比,SRAM 的集成度较低,这是其不足之处。

DRAM,如图 5.3(b)所示,是由充电电容上的电荷来保持存储的。因没有直流电流流过,故功率消耗极低,另外构成存储单元的元件数很少,故其集成度可以很大,这是其长处。而电容 C 上的电荷会因洩漏电流而慢慢

丢失,故需要在完全丢失前刷新再生(refresh),因此就会使芯片中的外围电路以及主板上的控制电路变得较为复杂,这是它的缺点。又因刷新时有动作电流流过,非动作时的平均电流,与 SRAM 相比要变大许多,要让该电流减少会费去很大精力。

现在已设计出来许多能够最大限度发挥各种存储单元电路特长的外围电路,可根据 DRAM 与 SRAM 的各自特点制造出不同用途、不同功能的产品来。DRAM 与 SRAM 的性能比较见表 5.1 所示。

表 5.1 DRAM 与 SRAM 的比较

	集成度	写入时间	改写	改写次数	电源	读出时间
DRAM	⊙	~10ns	⊙	$>10^{15}(\infty)$	1	~10ms
SRAM	△	1~10ns	⊙	$>10^{15}(\infty)$	1	1~10ns

(注) 写入时间/读出时间假定为 1Mb。

5.2 SRAM

SRAM 是如图 5.4 所示,利用具有保持记忆功能的数字电路中著名的触发器组成的电路,它也可以变成用 2 个反相器逆向并联的等效电路。因此仅当有电源加上时,才能把写入的数据稳定地保持下来,故与 DRAM 相比,其速度较快而功耗较小,这是 SRAM 的优点。另外,不需要复杂的读写控制电路,也是其特点。

此外,存储 1bit 的信息时,DRAM 只需 1 个晶体管,而 SRAM 则需要 4 个晶体管,故不利于大容量化,每位的造价较高,是其缺点。其产品用于以易于使用为重点的中速、低功耗产品方面以及高速度产品中。

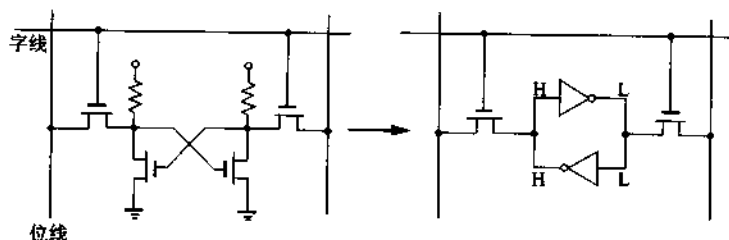


图 5.4 SRAM 的存储单元与等效电路

5.2.1 SRAM 的动作

因中速产品容易使用,作为简便的存储器,被广泛地应用于微机的内存。最近又用于与电池一体化的存储卡和电子记事本、计算器、移动电话等方面。现以三菱电机制造的 M5M5256(32K×8bit SRAM)为例,说明它的构造和使用方法,其框图和时序图见图 5.5 和图 5.6 所示。

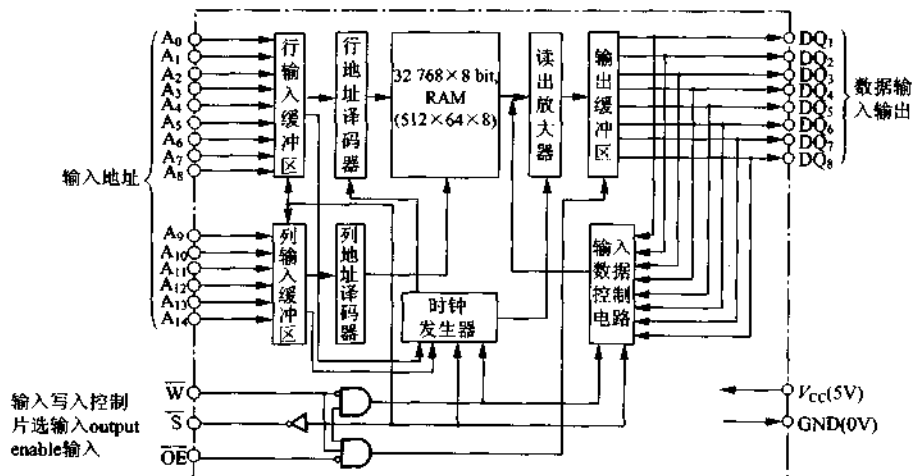


图 5.5 SRAM 的框图

其存储部分为 8 个 512 行×64 列的模块并列而成(为提高性能,实际的芯片结构会更复杂一些,这里已稍作简化,以便讲解)。再次从各模块选择出 1 位,共计 8 位同时进行写入或读出。位的指定,由图 5.5 低位的 9 根地址信号线来确定行,由高位的 6 根地址线来确定列,依此来选择其交点的单元。另外,当把若干相同元件模块并列配置时,就把片选信号(S)当作元件选择信号。它也是一种地址信号。向存储单元写入或读出的控制则由 W 信号进行。写入时,用地址信号指定地址,当 W 信号为“L”时,就把 DQ 端子的数据写入。读出时, W 信号变为“H”,若用地址信号指定了地址,就把指定地址的数据由 DQ 端子输出。这时,从指定地址后到数据输出为止,就需要一段时间,将这段时间称为存取时间(access time),它是代表存储器的最重要特性的指标之一。M5M5256 的存取时间为 70~150ns。当 S 信号为“H”时,就变成非选择状态了,既不能写入也不能读出,输出也变成浮

空状态,故可将几个输出并联在一起。SRAM 的这些信号系列与一般的 CPU 芯片是相同的,故无需通过控制用的 IC,就能原样与 CPU 直接相连。

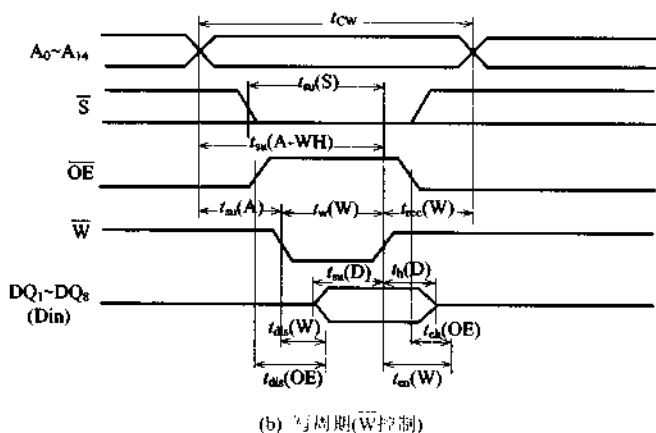
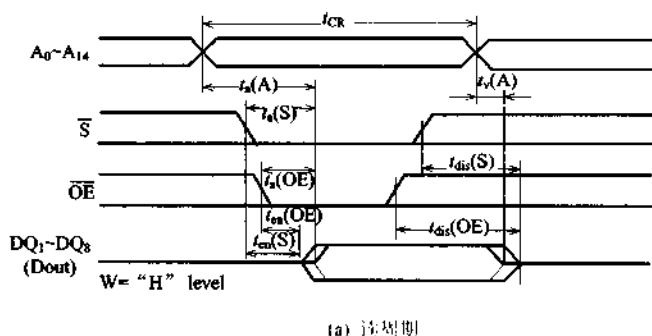


图 5.6 SRAM 的时序图

5.3 DRAM

动态 RAM(DRAM),其存储单元是由一个电容和一个晶体管构成的存储元件。作为随机存储器的不同品种,SRAM 与 DRAM 的结构比较,如前项的图 5.3 所示。由该图可知,DRAM 存储单元的构造比 SRAM 的简单,故 DRAM 容易作成大容量的芯片,每位的价格也较低,这是其长处。

又因 DRAM 采用在电容上蓄积电荷来保存数据的方式,故写好数据后,过一段时间电荷就会洩漏,从而引起信息丢失,这是其缺点。为此就需

在一定时间内不断地对写入的数据进行刷新(重写)。

另外,对于大容量的 DRAM,其管脚数肯定会增多,为避免封装体积过大,就要提高元件的实装密度,故需把输入地址多重化(即把行地址与列地址采用时分制,由一个管脚输入)。现在尽管与 SRAM 相比,DRAM 较难使用,但因其每位价格较低,故还是最常用的存储器芯片,已经广泛地应用于大型电子计算机、个人计算机、打印机、硬盘以及图像处理设备中。

5.3.1 DRAM 的动作

这里仅对处于主流使用地位的 CMOS 型的 DRAM 的动作原理,进行说明。

1 结 构

以 DRAM 的框图(图 5.7)为例来说明,DRAM 的基本时钟为 RAS, CAS, WE。其中 RAS 用于行地址的闩锁(latch)、内存单元数据的放大、刷新动作以及对芯片的整体激活与预充电等动作。而 CAS 则与列地址的闩锁、数据的读出与写入动作有关。WE 则与数据的读出/写入动作有关。

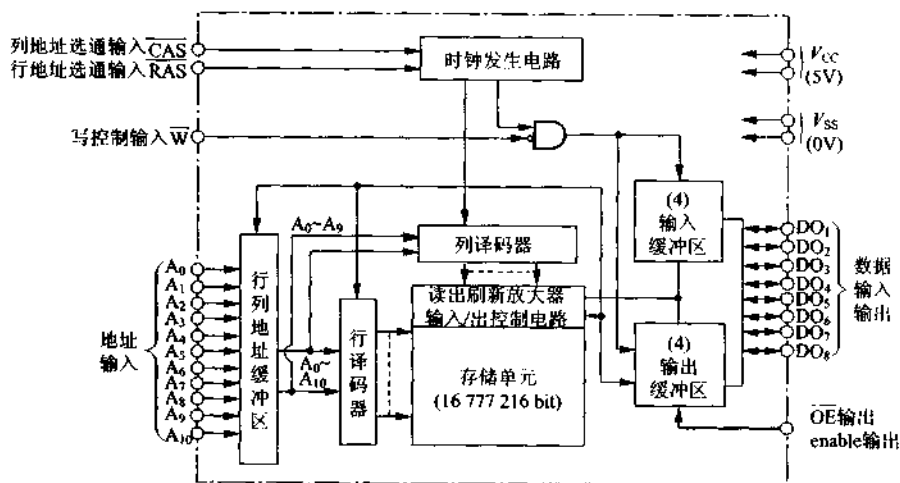


图 5.7 DRAM 的框图

另外,在 $2M \times 8\text{bit}$ 的场合,其地址引出线为 $A_0 \sim A_{10}$ 共 11 根用于行选, $A_0 \sim A_9$ 共 10 根用于列选,其各自的行/列都处于多重化的输入状态,

故可以从 $2^{11} \times 2^{10} = 2097152$ 个 (2M 个字) 的单元中, 选择出任意一个字 (8bit) 来。

2 读出放大器

DRAM 的框图中的读出放大器的详细结构, 如图 5.8 所示。利用由行地址译码器选择的字线电位的“H”电平, 使开关晶体管导通, 从而把在电容上蓄积的电荷转送到位线上去。

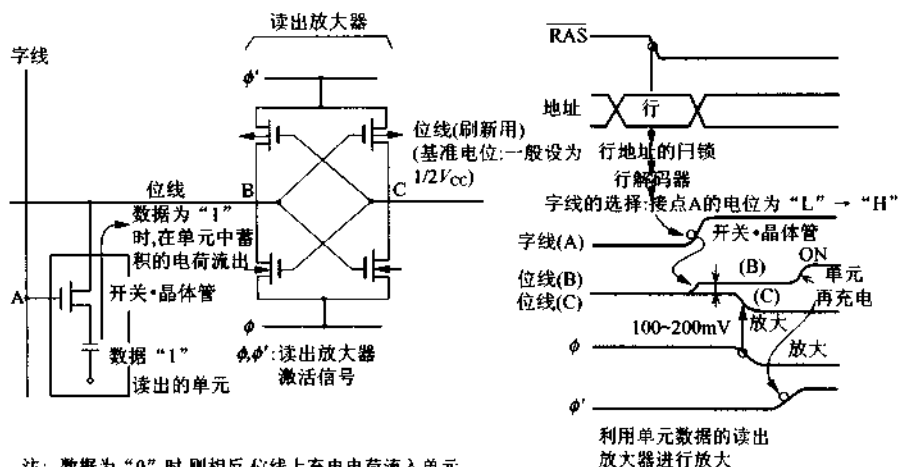
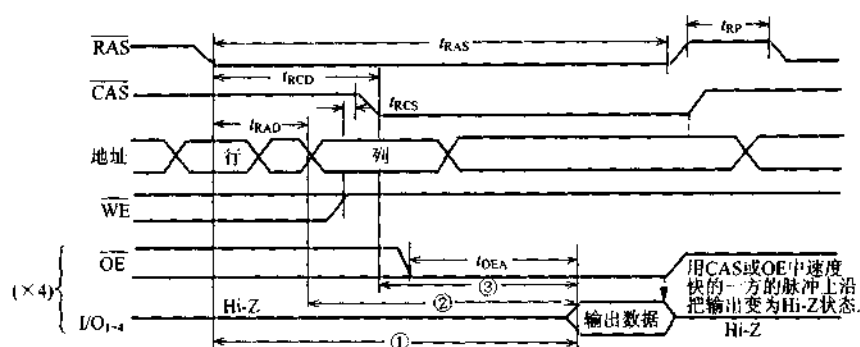


图 5.8 读出放大器的概念图

通常, 位线的杂散电容比存储单元的电容大 10 倍左右。因此, 为升到基准电压 ($\frac{1}{2}V_{cc}$) 而预先充电时, 在位线上出现的电位变化是相当小的, 仅为 100~200mV。把它与没有和单元相连的原来基准电位相对应的位线电位相比较, 就需读出放大器进行放大动作。

3 读 出

一般读出时, 行和列的地址的确定, 如图 5.9 所示那样, 分别由 RAS 和 CAS 的下降沿时的地址, 锁定在地址缓冲区中, 接着, 把 WE 在 CAS 的下降沿前面, 变为“H”电平, 这样就能把在存储单元中存储的数据, 从 Dout (I/O) 端子输出。



[注] 读出动作中重要的 AC 参数	
(i) ①— t_{RAC} ($\overline{RAS}$ 存取时间)	(iii) t_{OE} ($\overline{OE}$ 存取时间)
②— t_{AA} (地址存取时间)	(iv) t_{RCD} ($\overline{RAS}$ - $\overline{CAS}$ 延迟时间)
③— t_{CAC} ($\overline{CAS}$ 存取时间)	t_{RAD} ($\overline{RAS}$ -列地址延迟时间)
(ii) t_{RCS} (读命令建立时间)	(v) t_{RAS} ($\overline{RAS}$ 激活时间)
	t_{RP} ($\overline{RAS}$ 预充电时间)

图 5.9 读出动作的时序图

<高速读出>

在 DRAM 中,为使同一行内的存取时间更迅速,可以采用高速页面方式或者超页面方式(hyper page mode),按照不同用途可分别使用。

1) 高速页面方式 高速页面方式,如图 5.10 所示,是用 RAS 原来的“L”电平,把 CAS 当作时钟输入,对同一行内的数据随机地进行高速存取的一种方式。由于 DRAM 的存取周期中,选择字线、读出放大器完成动作的时间以及预充电时间占去大半,故省略了这些动作的高速页面方式,只需用标准方式的约 1/3 时间就能完成存取。

2) 超页面方式 超页面方式也与高速页面方式同样,如图 5.11 所示,也是用 RAS 原来的“L”电平,把 CAS 当作时钟输入,对同一行上的数据,随机地进行高速存取的方式。而且为了进一步提高存取速度,把高速页面方式中 CAS 为“H”时的 D_{OUT} 的输出变为高阻抗,在超页面方式中,如图 5.11 所示,确保数据的有效时间比页面周期时间更快速。超页面方式的页周期时间仅为高速页面方式的 1/2 左右。

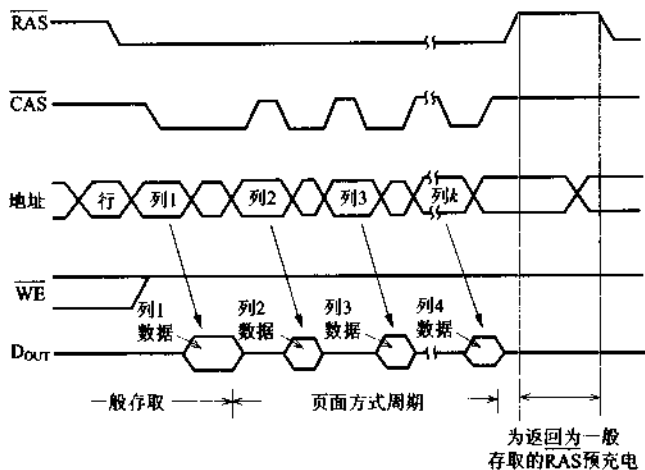


图 5.10 高速页面方式的时序图

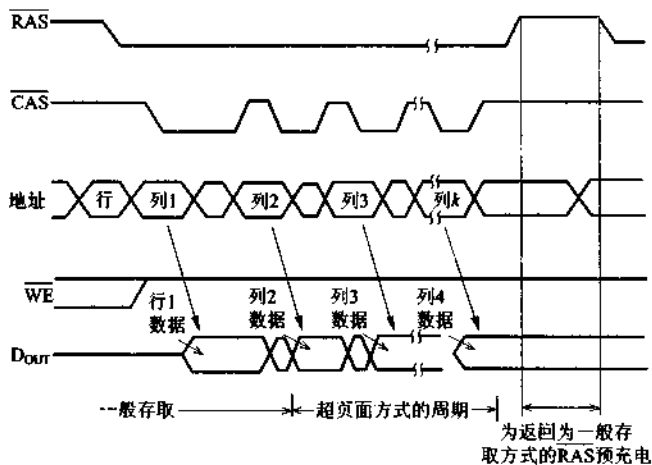


图 5.11 超页面方式的时序图

3) 半字节方式/静态列方式 过去常用的,与上述不同的同一行内高速存取的方式,还有半字节方式和静态列方式。但最近几乎已不再使用了。图 5.12、图 5.13 是这两种存取方式的时序图。

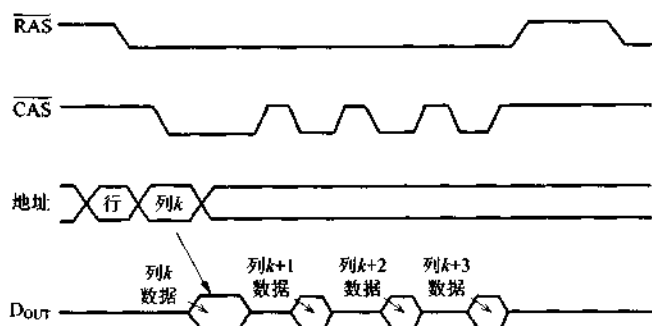


图 5.12 半字节方式的时序图

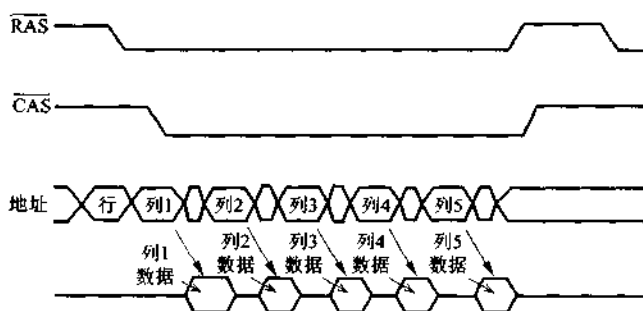
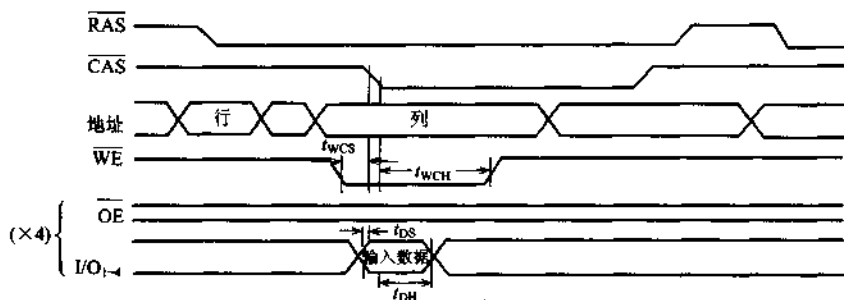


图 5.13 静态列方式的时序图

4 写 入

DRAM 的写入动作可分为三种,即 1) 提前写入(early write); 2) 延迟写入(delayed write); 3) 读改写入(read modified write)。在这三种写入方式中,其写入命令和锁定输入数据的执行时机是不同的。

1) 提前写入动作 提前写入动作的时序图,如图 5.14 所示。其地址的设定与“读出”时的情况相同。利用比 CAS 的下降沿提前 WE 的“L”电平,确认输入数据 D_{IN} 的有效性,当 CAS 下降沿时,把 D_{IN} 的数据保存于单元中。



(注) ① 为用CAS的下沿锁定写入命令,输入数据,把CAS的下沿时钟分配规定如下:

t_{WCS} : 写命令建立时间

t_{WCH} : 写命令保持时间

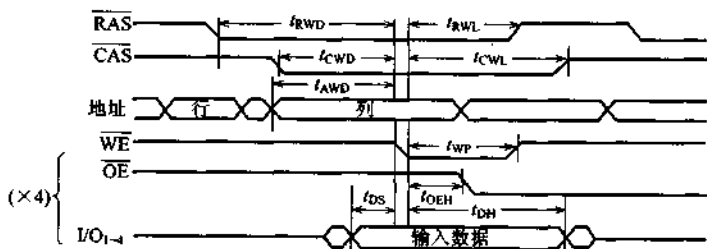
t_{DS} : 数据建立时间

t_{DH} : 数据保持时间

② 在提前写入周期中,对于 $\times 1b$ 的数据 D_{out} 为 Hi-Z 状态,对 $\times 4b$ 时,即使 $\overline{OE}$ 为“L”,输出仍为 Hi-Z 状态。Hi-Z: 表示高阻抗状态。

图 5.14 以提前方式写入的动作时序图

2) 延迟写入动作 延迟写入的动作时序图如图 5.15 所示。地址的设定与“读出”相同。利用比 CAS 的下降沿滞后的 WE 的“L”电平,把 WE 的



(注) ① 由于在WE的下沿开始写入动作,WE的下沿时,则规定:

t_{DS} : 数据建立时间

t_{DH} : 数据保持时间

而WE时钟,则规定为

t_{WP} : 写命令脉冲宽度

t_{RWL} : 写 $\overline{RAS}$ 读时间

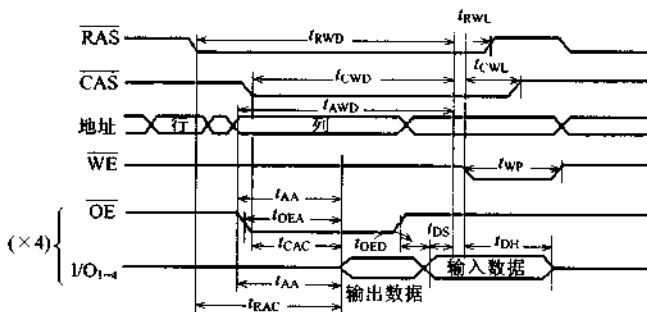
t_{CWL} : 写 $\overline{CAS}$ 读时间

② 对于 $\times 4bit$ 的情况,为使输出数据与输入数据不互相冲突,必须设定 $OE = "H"$ (或者 $t_{OEH} \geq t_{OEH}[\min]$),因此,以此种方式进行的写动作,又称为(OE控制写)。

图 5.15 以延迟方式写入的动作时序图

下降沿时到达的 D_{IN} 的数据保存在单元中。

3) 读改写入 正如该名称所表示的,读改写入就是先把单元中的数据读出后,将其修改后再写回去的动作。其时序图如图 5.16 所示。



(注) ①与延迟写入的动作同样,为进入 $\overline{WE}$ 的下沿写入动作,对 t_{DS} 、 t_{DH} 、 t_{RWL} 、 t_{CWL} 的各时刻,要从 $\overline{WE}$ 的下降沿开始规定。

②因输出确定后 $\overline{WE}$ 的动作才会开始,故确定。

t_{RWD} : $\overline{RAS}$ - $\overline{WE}$ 延迟时间

t_{CWD} : $\overline{CAS}$ - $\overline{WE}$ 延迟时间

t_{AWD} : 地址- $\overline{WE}$ 延迟时间

③对于 $\times 4$ bit, 为避免输入数据与输出数据的冲突,要在 $\overline{OE}$ 的上升沿之后以及 t_{OED} 之后才输入数据。

图 5.16 利用读改方式写入的动作时序图

5 刷新动作

DRAM 的数据是利用在电容上蓄积的电荷来存储的,但由于 pn 结的洩漏电流会使蓄积的电荷渐渐丢失,而且过了一定时间,数据就会完全消失干净。为此就必须在数据消失前对存储单元进行刷新动作,在使用时要特别注意。刷新是以行为单位来实施的,对于用一条字线选择的所有内存单元,把读出的位线数据经读出放大器放大后,再写入存储单元。要在所规定的时间 (t_{REF}) 内,将此动作对所有的行实行。但刷新时,会使正常的动作中断才能实行,其间读出或写入动作均不能进行,会使存储器的利用率变差。

一般的 DRAM 中,交点的设定都按使其利用率能达到 95% 以上来进行。另外,因刷新动作会使通常动作被中断,故需要有刷新控制电路,它由

地址计数器(用于产生刷新地址)与刷新时序(产生刷新必要时间的请求信号)所组成。为使存储系统更简化。现在已将这些控制电路置于 DRAM 芯片内,作为自刷新功能而成为标准配置了。图 5.17 就是刷新功能的状态图。

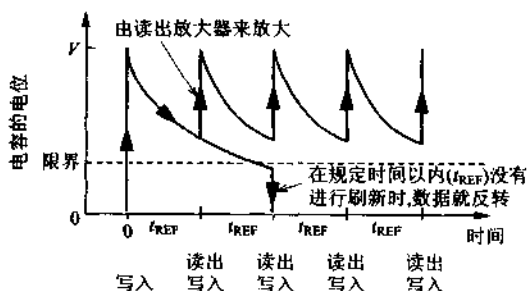


图 5.17 DRAM 的刷新

5.4 专用存储器

专用存储器(application specific memory)是在通用存储器的传统制造工艺的基础上,把某些面向专门用途的功能、性能也一起作进存储器芯片中。通过将一部分系统功能芯片化(ON Chip),达到高性能化、高速化的目的,从图像专用存储器,到个人计算机的主存储器,已迅速地应用于各个领域。

5.4.1 视频 RAM

在个人计算机和工程工作站等设备中使用的图像处理用的存储器系统,需要把显示器显示用的数据高速连续地读出来,同时 CPU 也能抽空把数据写入内存。过去是通过设在外部的串行存储器进行这种动作的。而将这种串行存储器也制作在存储器的芯片中,就形成了所谓视频存储器(VRAM)。因其同时拥有 CPU 用与图像用的两个端口,故也称为双口存储器。

VRAM 的基本结构如图 5.18 所示。

VRAM 是由能将显示用的数据串行高速输出的串行存取存储器(SAM)与存储图像数据的 DRAM 组成。在 DRAM 中保存的图像数据,以行为单位一起传送给 SAM 后,再串行高速输出。要改写图像数据时,只需改写 DRAM 中的数据即可。DRAM 与 SAM 的动作是相互独立的,由于

显示动作并不妨碍数据的改写,故利用 VRAM 就能实现高性能的图像专用存储器系统。

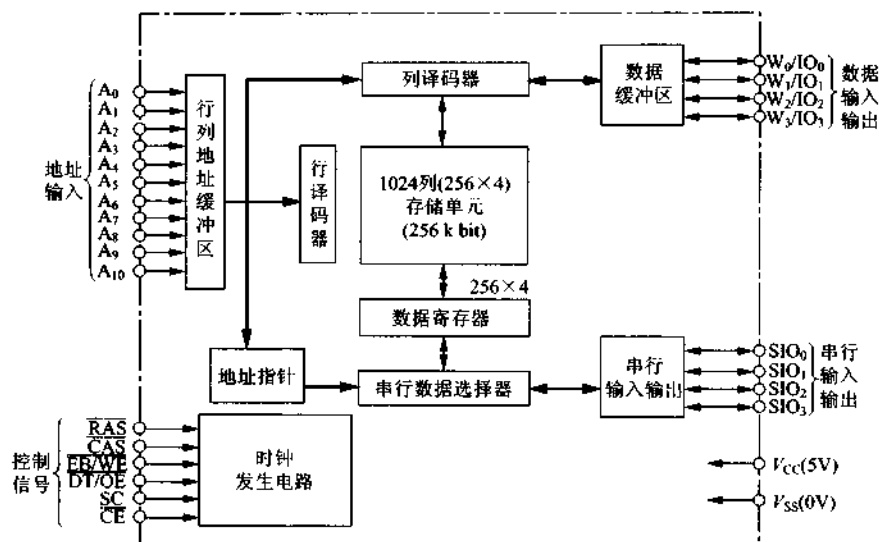


图 5.18 VRAM 的框图

5.4.2 同步 DRAM

所谓同步 DRAM,是指通过流水线 (pipeline) 操作,可使数据的转送速度比传统的 DRAM 高出 4~5 倍之多的一种存储器,其瞬间存取时间可以实现到 10ns 以下。今后很可能发展成为 DRAM 存储器的主流产品。同步 DRAM 的框图见图 5.19 所示。

1 特征

1) 它是时钟同步式的存储器。

其 CLK 信号采用从外部来的时钟输入信号;同步 DRAM 的动作全部由该时钟信号来同步。

2) DRAM 由若干个存储排(bank)组成。

其存储单元阵列由若干组(group)排组成,它们皆可独立访问,通过选排信号可以选择要访问的排。

3) 可由命令来设置动作模式。

同步 DRAM 的动作,是由命令来控制的。命令可由 CS,RAS,CAS,WE 各个脉冲的组合来定义,利用外部时钟信号的上升沿来取入。

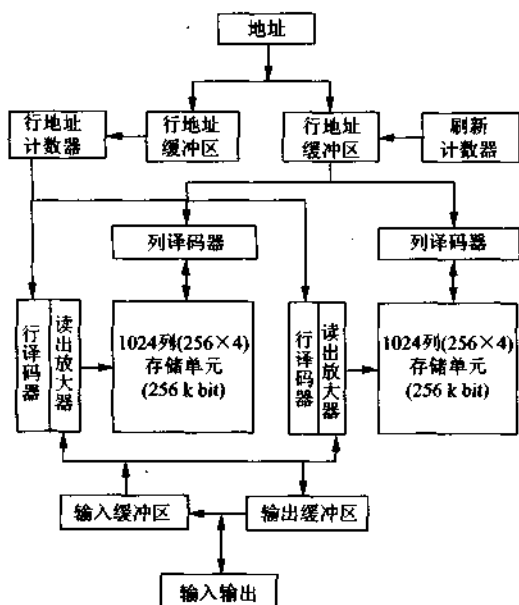


图 5.19 SDRAM 的框图

4) 突发(burst)存取的长度、CAS 的等待时间(latency)是可编程指定的。

所谓突发存取长度,是指用一次读/写命令能够连续输入输出数据的长度,可以设定为 1/2/4/8。而 CAS 的等待时间,是指从输入读出命令到数据输出所需要的时钟脉冲的数目,可设定为 1/2/3。CAS 等待时间要遵守规定的 CAS 存取时间,必须利用时钟频率来设定。

关于这些的说明,请见图 5.20 所示。

2 为什么能高速传送

在传统的一般 DRAM 中,从地址输入到与该地址相应的数据被输出为止,均不能输入下一个地址。为此到数据输出的存取时间与数据传送的周期时间相等,因此数据传送的速率很难提高。而在同步 DRAM 中,列存取途径被分割成 3 段流水线(pipe line),各个流水线均能以外部时钟为同步来接受传递数据。这样一来,就可能在外部时钟的同步下,用比存取时间更短的周期时间进行地址的输入与数据的输出。

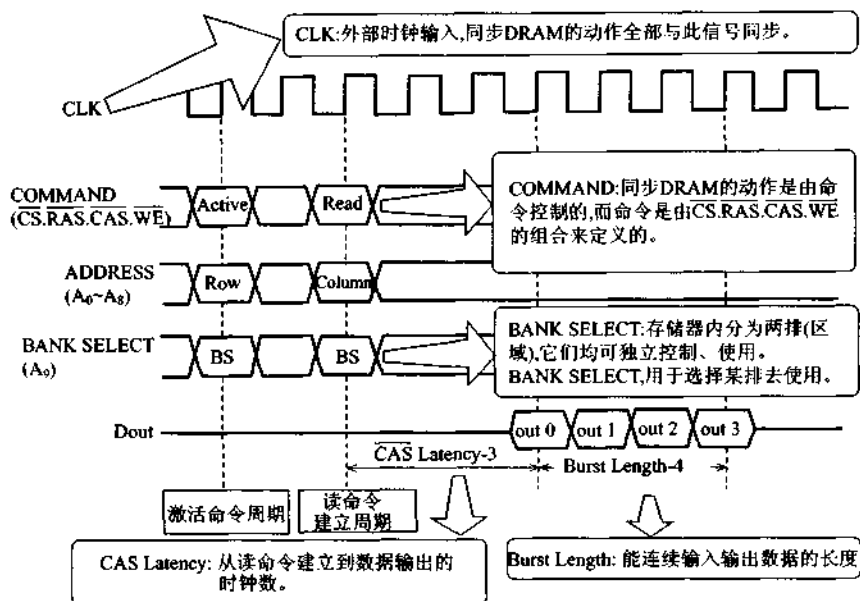
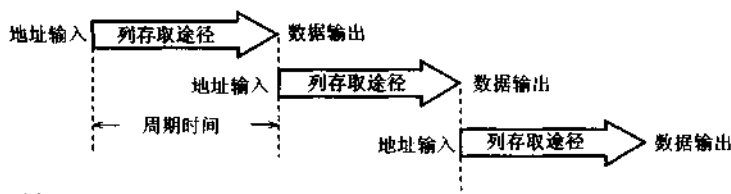


图 5.20 SDRAM 的动作

传统的 DRAM 与同步 DRAM 的地址输入的不同之处, 如图 5.21 所示。

传统型DRAM



同步DRAM

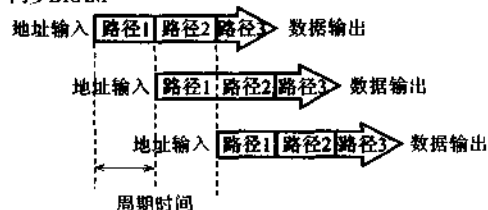


图 5.21 传统型 DRAM 与同步 DRAM 的列存取路径

同步 DRAM 的动作控制是由命令来进行的,而命令的输入以及数据的输入输出均与外部时钟的上升沿同步。此外,利用突发方式,在时钟的同步下,能够输入输出连续的数据。

当在二个存储排(bank)间,进行交互式存取の場合,一般要在行地址的切换时,加长预充电的时间,而在同步 DRAM 中则能省去。同步 DRAM 的基本动作的时序图,如图 5.22 所示。

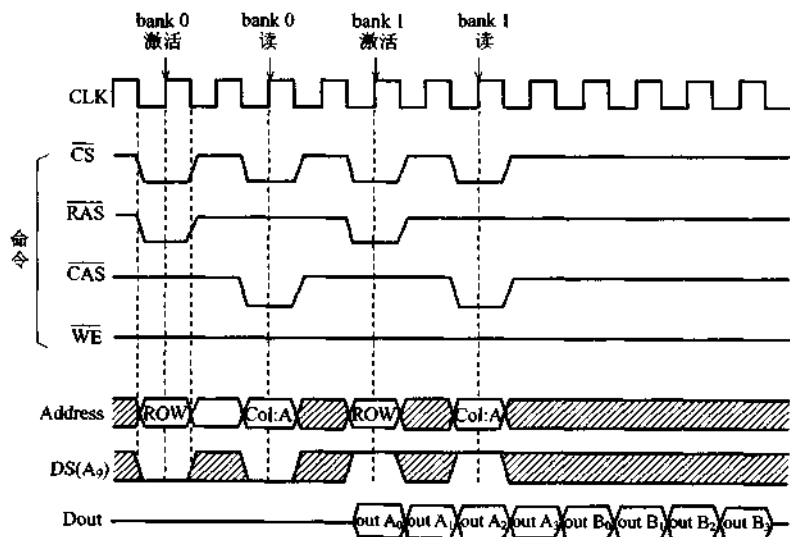


图 5.22 SDRAM 的操作实例(突发存取/2bank 动作)

5.4.3 RDRAM(Rumbus DRAM)

所谓 RDRAM,是指采用美国 Rumbus 公司提出的超高速接口技术制造的 DRAM,使用传统的 DRAM 处理技术就能实现 500MB/s 的传送能力。

RDRAM 是由 DRAM 的单元阵列部分与可高速动作的 Rumbus 接口部分组成。DRAM 阵列部分的读出放大器当作高速缓存(cache)来使用,通常存放着最后存取的最新数据。当进行刷新周期的动作时,刷新后,在内部自动地从 DRAM 单元把数据取出来,再写回读出放大器;从外部而言,

一般是当作快存(cache)的功能(RDRAM 为美国 Rumbus 公司的商标)。

在 Rumbus 接口部分,其设备内部的时钟与从外部输入的时钟是同步的,内部设有能产生周期为正确地输入时钟的 1/2 周期的时钟电路。RDRAM 的框图如图 5.23 所示。

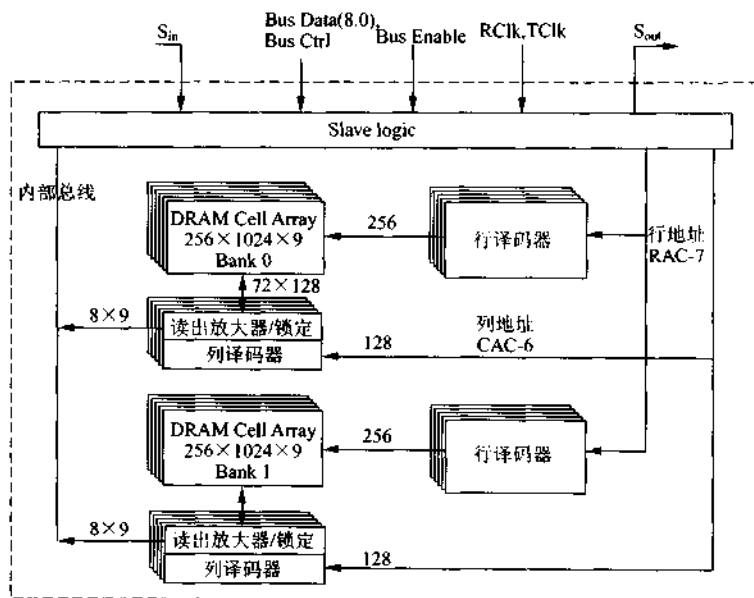


图 5.23 RDRAM 的框图

1 特征

- 1) 为缩短执行等待时间,把读出放大器当作高速缓冲存储器使用。
- 2) 采用同步式的块传输协议。
- 3) 具有 500MB/个的传输能力。
- 4) 采用 Rumbus 协议,只用 11 条信号线就能进行动作的指定,地址以及数据的传送。

2 动作

图 5.24 表示它的读出与写入时的动作。

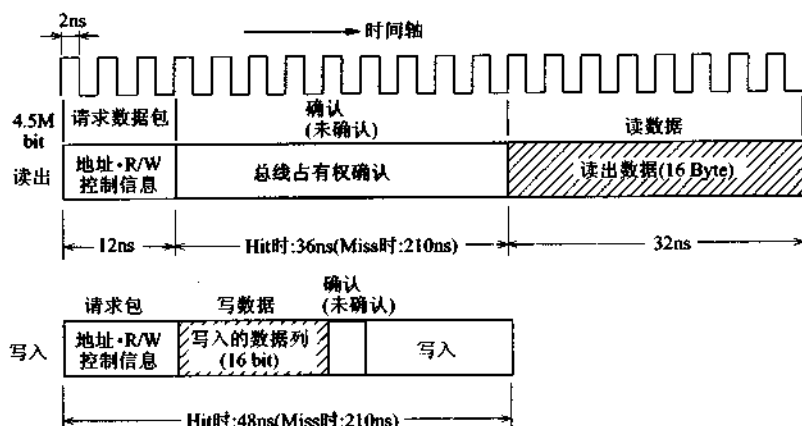


图 5.24 RDRAM 的数据传输协议

1) 读出 RDRAM 在最初的 12ns 接受读出的请求信息(地址、控制信息),在下面的 28ns 进行总线占有权的确认后,每 2ns 就读出 1 个字节的数据。当快存(Cache)中没有数据时(即说明数据的地址与快存的地址不一致),产生快存错误,这时总线占有权的确认需要 116ns。

2) 写入 RDRAM 在最初的 12ns 接受写入的请求信息(地址、控制信息),由 4ns 后,开始每 2ns 写入 1 个字节的数据。当快存出错时,在 4ns 之后,还需 92ns。

5.4.4 3D-RAM

3D-RAM 是专门用于三维图像处理用的芯片,它是把 DRAM 与 SRAM 和运算功能作在一个芯片中而形成的,可以实现每秒 1.8M 个三角形的高速扫描。这种描画性能,与一般的由 VRAM 组成的芯片相比,速度大约快了 10 倍。3D-RAM 的框图如图 5.25 所示。

1 结构

3D-RAM 是由 10Mbit 的 DRAM,1kbit 的视频缓冲区(SAM),2kbit 的 SRAM 与 20k 门的运算部件(ALU)组成。而 DRAM 由 4 个 bank 组成,可存放每帧(frame)为(1280×1024)像素的 8 个位面(plane)的数据。二个 DRAM 的 bank 共用一个 SAM,以两路交错的时钟为 71.4MHz 的同

步信号把视频数据高速输出。SRAM,是在变更显示数据时,当作像素高速缓冲存储器使用,而 DRAM 与 256 位宽的总线相连接。运算部件(ALU)则用于进行三维图像所需的 α 混合配比以及 Z 缓冲处理并进行栅格运算等。

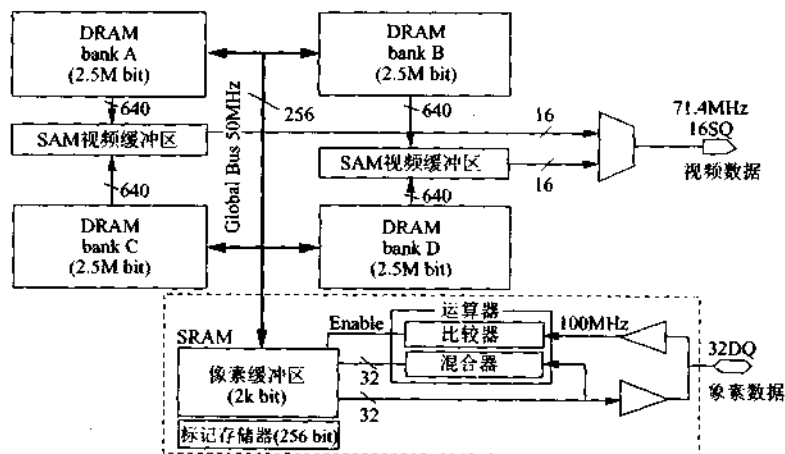


图 5.25 3D-RAM 的框图

2 特征

- 1) 由于 DRAM 与运算部件(ALU)作于单个芯片中,故可以高速地更新显示数据。
- 2) 当把二个图形进行重合处理时,具有必要的 AND,OR,NAND 等栅格操作的功能。
- 3) 当把二个图形重合时,具有必要的颜色配比功能和 32 位共面等的运算能力。

5.4.5 其它的专用存储器

最近,又出现了许多用于图像处理的专用存储器,下面选择两种进行简单的说明,图 5.26 是它们的结构。

- 1) CDRAM 它由作在单个芯片中的 16Mbit 的 DRAM 与 16kbit 的 SRAM 构成,由于内部总线的宽度为 128 位,可实现 10ns 的存取时间。

2) SGRAM 它把一般的 VRAM 中的 DRAM 部分更换为同步 DRAM,可用于高性能的图像处理存储器中,最近已应用于高档 PC 机中,当作图像存储器(可参照图 5.18~图 5.26)。

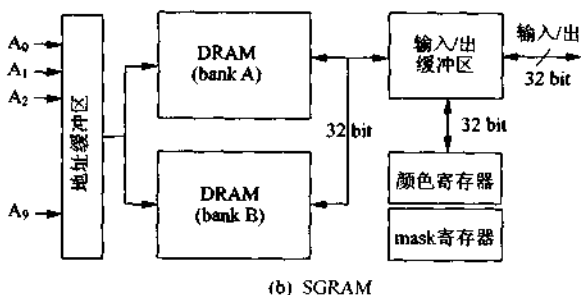
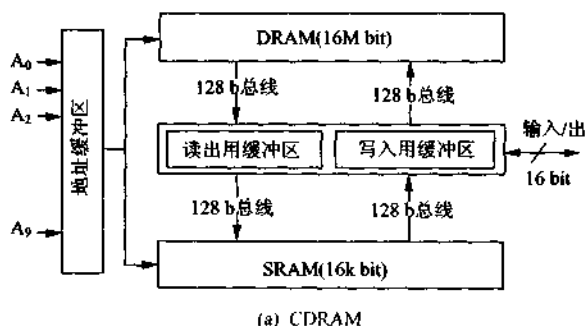


图 5.26 专用存储器

5.5 关于 ROM

它是一种不具挥发性的存储器,和 DRAM 与 SRAM 不同,即使切断电源也能保存住所存储的信息。不挥发性存储器的读出时间与 DRAM 和 SRAM 差不多相同,其读出次数也没有限制,但写入时却有各种制约,因此也叫作 ROM(Read Only Memory—只读存储器)。它又可分为在制造时就将数据固定写入的 **mask ROM** 以及可让用户自己写入的 **可编程 ROM (PROM)**。按照写入方式的不同,可将 PROM 进一步分类为 **EPROM**, **EEPROM** 与 **flash memory**(闪存存储器)。各种 ROM 的性能比较表如表 5.2 所示。

表 5.2 ROM 的比较

	集成度	写入时间	改写	改写次数	电源	读出时间
Mask ROM	◎	~week	×	0	1	~10ms
EPROM	○	~min	△	~100	2	~10ms
OTPROM	○	~min	×	0	2	~10ms
EEPROM	△	~s	○	~10 000	1	~10ms
Flash Memory	○	~s	○	~10 000	1 or 2	~10ms

(注) 写入时间/读出时间,假定为 1Mbit。

5.5.1 mask ROM

mask ROM, 又称掩膜 ROM, 是一种在 IC 芯片制造阶段就把用户所要求的数据写入的不挥发性存储器。由于它的芯片不需要有写入功能, 故其容量有可能做得较大。为了更大容量化, 就要尽可能把每位的存储元件(记忆单元)做得小一些, 并希望尽可能切断来自其它存储元件的不良影响。因此 mask ROM 中, 采用单管存储单元, 它是半导体存储器中集成度最高的存储器。例如, 在同一制造过程中, mask ROM 的集成度可达到 DRAM 的 2~4 倍。这时, 是由电流是否流过所访问的存储单元所对应的 2 值状态来记忆信息的。

mask ROM, 由实现只读动作的方式来决定存储单元的结构, 如图 5.27 所示。

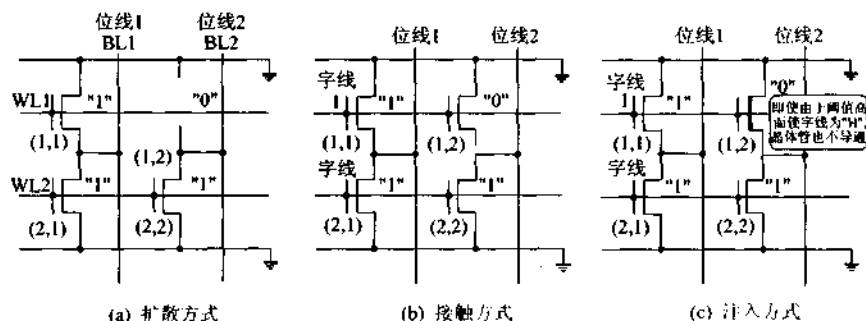


图 5.27 NOR 型 mask ROM 的单元等价电路

① 扩散方式 利用存储单元的形成与否。

② 接触方式 利用存储单元与读出(位)线连接与否。

③ 注入方式 利用在存储单元的晶体管阈值电压上追加大小差值等的方法。

①、②中,与位线的连接变为开路,而在③中,因存储器晶体管为 OFF,没有电流流过,将此定义为数据“0”。

1 mask ROM 的存储单元结构与动作

其动作如下所示。先就读出(2,1)的存储单元的情况进行说明。首先为选择该存储单元,把字线 WL_2 置为“H”,把位线 BL_1 当作电流源连接在读出放大器上。未选择的字线 WL_1 为“L”,位线 BL_2 为开路。这时,存储单元为 ON,通过存储单元有电流流过 BL_1 -GND。将其由读出放大器,把电压变换为“H”,变为数据“1”。在读出(1,2)的存储单元の場合,同样,把字线 WL_1 置为“H”,把位线 BL_2 当作电流源接在读出放大器上。未选择的字线 WL_2 为“L”,位线 BL_1 为开路。图 5.27(a),(b)中,与位线的连接变为开路。在图 5.27(c)中,因存储器晶体管为 OFF 状态而没有电流流过,将其定义为数据“0”。

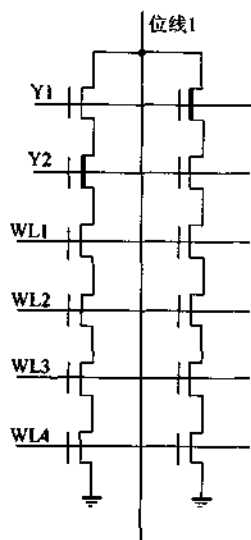


图 5.28 NAND 型 mask ROM 的单元等价电路(4 段相连)

图 5.27 的存储单元阵列的配置方式为,位线与各个存储单元直接相连,称作 NOR 型 ROM。这种 NOR 型 ROM,可以抑制妨碍存取时间的寄生电阻和杂散电容,但由于存储单元与位线的相连部分以及存储单元的 GND 配线等占用了一定面积,故很难提高集成度。这是其缺点之一。

要解决这个缺点,方法之一是如图 5.28 所示那样,把若干(8 段或 16 段)段存储单元串连后再接到位线上去,将其称为 NAND 型 ROM。这时,共用一个位线接点的存储单元,不选择时也为 ON。因此,NAND 型中,并不采取像 NOR 型的扩散方式和接触方式那样,让存储单元开路,而是如注入方式那样,与写入数据相应,用存储晶体管的阈值(V_{th})正负来区分的方法。即只要非选择字线上,给出“H”电平,则不论存储晶体管的阈值

如何,皆为 ON。

5.5.2 EPROM 与 OTPROM

EPROM(electrically programmable ROM)是可重写的不挥发性存储器,称为电可改写 ROM。它由阈值(V_{th})能作可逆变化的存储晶体管构成。用电子式方法写入,而消除数据时,只需用紫外线照射芯片表面即可。为此,在 EPROM 的封装上,开有能透过紫外线的石英玻璃窗口。EPROM 的存储单元的代表是如图 5.29 所示的迭层栅式门单元,它是把控制栅迭积在电气上相互绝缘的电极(浮栅)上形成的。这种存储单元中,浮栅极形成于沟道之上,在这个电极上注入或引出电荷,都会使 V_{th} 产生变化。由于浮栅是用绝缘膜包围起来的,一旦注入了电荷,就能长时间保持。

写入时,是由在控制栅极与漏极间施加高电压来进行的。由于在控制栅极加有高电压,故浮栅极的电位因电容耦合而变高了,致使部分电子加速移向控制栅极(电子注入效率提高使写入速度加快),并注入浮栅极,存储单元的 V_{th} (因 N_{ch})也向高方移动(OFF 侧)。

另外,消去时,因紫外线的照射而将能量传给浮栅中的电子,当超过绝缘膜的壁垒后,就放出到基板或控制栅上去。而存储单元的 V_{th} 也就移动到低方(ON 侧)。

OTPROM(one time PROM)它是指为降低造价而生产的没有石英玻璃窗口的 EPROM,用户只能进行一次性写入的只读存储器。

5.5.3 EEPROM

如图 5.30 所示,EEPROM(electrically erasable programmable ROM)是电可改写(写入/消除)的不挥发性存储器。近年来才实用化,是具有与 EPROM 同样历史的存储器件。其不挥发的存储机制也与 EPROM 差不多,利用在沟道上形成的蓄电层的电荷来改变存储晶体管的 $\bar{V}_{th}$ 。这个蓄电层又有浮栅型与 MNOS 型两种,它们在写入或消除时皆需采用高电压,利用隧道现象来移动蓄电层的电荷。

浮栅型的代表性产品是 FLOTOX(floating gate tunneling oxide),如

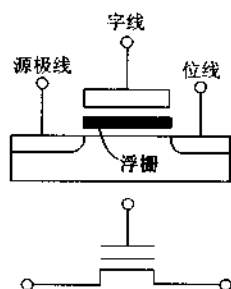


图 5.29 EPROM 的单元
断面图与等价电路

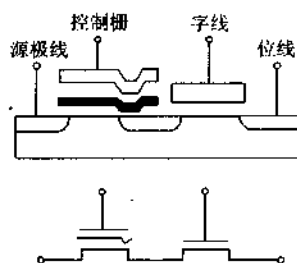


图 5.30 EEPROM 单元断面图与等效电路

图 5.30 所示。其存储单元,因写入或消除操作时均要利用隧道效应,必须采用非选择时能切断高电压的结构。因此,1 位的存储单元就需由选择晶体管和存储晶体管共两个元件组成。

FLOTOX 型的动作如下所述。消除数据时,要把选择门、控制栅极置为高电压,把源极线接地,让位线开路或接地,以便把电子注入浮栅极区,而使存储晶体管的阈值向较高的方向移动。当写入数据时,要把选择门、位线置为高电压,控制栅极接地,源极线开路,以便从浮栅把电子引出,而使存储晶体管的阈值向较低的方向移动。

这样,EEPROM 中是用 2 个晶体管构成 1 位,实现高度集成化比较困难。但是,由于写入与消除数据时,能利用隧道现象,在芯片内部可使用升压电源,具有用 5V 单一电源即可工作的优点。还具有对每个字节都能改写的灵活性,可以满足 IC 卡等应用的要求。

5.5.4 闪存(flash memory)

闪存也与 EEPROM 一样,都是电可改写(写入/消除)的不挥发性存储器,消除可以是以整个芯片或者以块为单位消去,这是其特征。写入机制是利用热电子注入方式,而消去则利用隧道现象。常用于数码相机、数字式录音机或电子记事本中,其体积仅有邮票大小。所谓 flash 是指数据可以轻易地被一起消除。

图 5.31 是其代表性的存储单元,即叠栅电路单元的示意图。该单元与 EPROM 一样,也是只由一个晶体管构成,故便于提高集成度。写入数据时,也像 EPROM 那样,在栅极、漏极加以高电压,把源极接地,将热电子注入浮栅中。消除数据时,源极接以高电压,栅极接地,漏极开路,利用隧道效应,从浮栅把电子引出。因此,其栅氧化层比 EPROM 的薄,当设定 IC 制造条件或工作电压时,应当注意这一点。

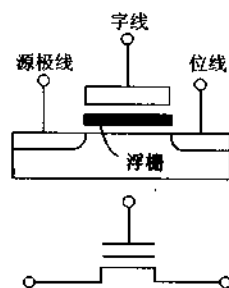


图 5.31 内存的单元断面图与等效电路

闪存具有容量大、价格低的优势,而且体积小

巧,可以原样装在印制电路板上,具有既可写入也能消除数据的特征。因此近年来,EPROM 有被闪存取代的趋势。目前单片闪存容量已达 512Mb,是一种有巨大商业价值的存储芯片技术。

►► 练习题

习题 1 _____

请说明 RAM 与 ROM 的不同点。

习题 2 _____

世界上使用最多的存储器是 DRAM,请说明理由。

习题 3 _____

请叙述一下 DRAM 中的刷新动作。

习题 4 _____

请叙述一下 mask ROM 的特征。

第 6 章 数字信号的输入输出

本章讲述在计算机等设备中的信息输入输出手段,即人机接口的技术。但是对于像传真机、复印机、电视机等图像处理设备的输入输出,由本系列丛书中的《图像电子设备》一书叙述,本文仅作简要介绍。

要由计算机等设备进行信息的输入输出,必须先将信息变换成人或机器能够理解的形式。而人能直接理解的信息的形态,比如语音、文字、图像等,可以直接输入或输出。向机器输出或输入则需要换类型,如对媒体(以软盘为代表的磁记录媒体以及 CD-ROM 等)进行输入输出等。这种接口一般称为人机接口,具有这种变换功能的装置称为终端设备或者输入输出设备。最一般的输入设备就是键盘。

输出设备是把信息以人能够理解的形式输出的机器装置,最有代表性的就是打印机和显示器。本章将对这些信息的输入输出手段的原理和特征等进行讲述。

6.1 数字信号的直接输入设备

计算机现在已随处可见,微机的使用也很简便了。计算机的性能有了很大提高,信息输入输出的方法也有了很大的进步。把想输入的信息(文字、符号、图像)变换为机器设备可以理解的形式的技术,也相当发达了。开发出了很多新的输入技术,除键盘输入外,例如显示设备尤其是显示器变成了触摸屏用于输入,印刷文字的读取变换设备(OCR(光学文字读取设备: optical character reader),或者可以识别文字书写顺序的手写文字读取技术以及能识别人类语音的语音识别技术等等。

1 直接输入方式

由手进行操作的输入方式,分为直接用键盘(key-board)输入或者用触摸屏技术由显示设备输入的方法。

(1) 键盘

键盘输入是通过人工敲击各个键而把标在键帽上的文字变换为相应符号进行输入的方法。从键盘上可输入英文字母、数字、日文假名等各种符号的,称为 ANK(alpha-numeric and kana) 键盘。还有可以直接输入汉字的汉字键盘。

键盘的排列已经标准化了(在日本为 JIS 标准),现在使用的有各种型号。

利用这种键盘可以输入日本语及汉字,常用于具有假名汉字变换功能的日语文书处理机或个人用计算机中。从 ANK 键盘输入,再进行必要的汉字变换的软件现在已很普及了。在假名汉字变换时,用罗马字母输入或者假名输入均可。

在台式计算机中,键盘与主机是分开的,主机与键盘之间经串行信号来传送符号。这样做主要是为了减少键盘与主机间的接线数目。

键盘与主机间通信的数据格式,是由开始位、数据位、检验位与停止位组成,也就是说采用起止同步方式。

在键盘与主机为一体型的微机中,这部分的信号格式由各生产厂家自行决定,没有一定标准。

(2) 鼠标(mouse)

因其外形酷似老鼠跑来跑去,因以得名。它也是一个简便的输入终端设备,常用于选择在显示器上表示的各种菜单。

鼠标的底部一般有个可以来回旋转的球,以及可以产生与在 X 轴、Y 轴方向的移动相吻合的脉冲的旋转开关(旋转编码器)。由鼠标控制器的 8 位计数器将此脉冲进行计数,就可以测算出鼠标本身的移动量。而此移动量在显示器上就表示为光标(cursor)。通过点击(click)鼠标上的开关,就可以进行菜单的选择或编辑文章等操作。

(3) 触摸屏(touch panel)

触摸屏是近年来逐渐流行的一种可从显示器上进行选择的输入方法。它是经由显示面板或显示屏表面上的透明电极所构成的开关,用手指直接

触摸来进行选择输入的。由于能用手指直接按压在显示器上显示出来的引导图像等进行选择,故非常适合初学者或不熟悉该设备的人快速掌握相关的用法,故除计算机外,也常用于一般人使用的银行自动取款机(ATM)或车站自动售票机等设备上。又因可以变换背景画面,改变开关的位置和意义,而能更有效地发挥设备的作用。通过软件开发可以设计出丰富多彩的引导画面,给出更为友好便利的人机界面。

在输入方法上也有各种方式,现在常用的是感压方式。其原理是,在2层具有一定空隙层的导电薄膜上,分别连有正交的导体材料,若有外力加于上下薄膜表面,使其张合,只要有一点接触,就能知道它的位置被选择上了。



图 6.1 使用触摸屏技术的传真机

实际用例如图 6.1 所示,这是一种带有显示触摸屏的传真机。可把接收到的图像在屏幕上显示出来,同时也能把传真机使用的提示画面显示出来,并采用触摸方式进行选择操作。

(4) 图形输入设备(图形输入板或数字化仪)

比用手指选择输入的触摸屏更高级的图形输入设备是图形输入板和数字化仪。它们是把用笔尖指示的平板上的坐标位置输入给计算机的设备。二者是按使用目的与大小而区分的技术原理差不多。数字化仪用于把大型、高精密的图形输入计算机;而图形输入板是简单图形尤其是手写文字的图形输入装置。

原理上与触摸屏也无太大差异,与触摸屏以手指输入的位置精度相比,图形输入板和数字化仪的输入分辨率可达每毫米数条线。

输入方法所采用的方式如图 6.2 所示。

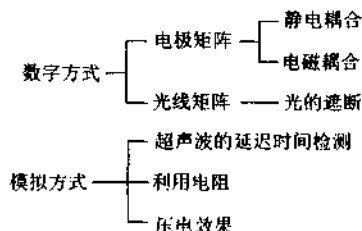


图 6.2 数字化仪的方式

下面选几个有代表性的例子简要介绍一下。

1) 电磁耦合方式 由产生磁场的部分与检测磁场中磁通量变化的部分组成。笔或图标为一方,另一方是图板。图 6.3 所示为流过笔侧的励磁电流。如图所示在笔上绕着线圈,当有交流电流流过该线圈时,就会在图形板一侧的线圈里诱发出电动势 e , 且 $e = -\partial\phi/\partial t$ 。通过观测该电动势出自图板矩阵上的哪个线圈,就能检测出笔的位置。另外,由于笔的位置在线圈外还是在线圈内所感应出来的电动势的极性不同,故利用检测相位的反转,也能检测出笔的位置。还可以按图板上的线圈顺序或每个电极上流过相位不同的电流,再用绕着线圈的笔来检测这种差别,从而确定位置。

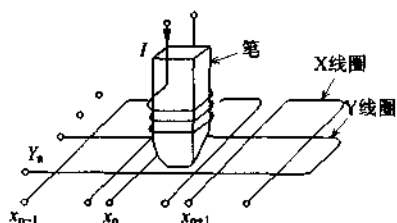


图 6.3 电磁耦合方式(笔侧励磁方式)

(出处:画像電子学会編:画像工学
ハンドブック、コロナ社)

2) 利用电阻膜的方式 把单位面积电阻一定的即均匀的电阻膜,如图 6.4 那样连接于某电流源上,就会有电流流过,而流过左右方向的电流与相应左右的膜电阻值成反比,故由流入电流的比例就可知道左右位置的比例,同样也能知道上下方向的比例,因此就可以检测出电流流入位置的上下左右的比例。

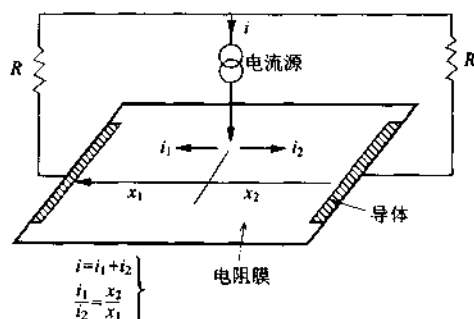


图 6.4 利用电阻膜进行位置的测定

电阻膜由氧化铟一类的透明物作成,将其覆在显示屏上面,还能清楚地看见写在屏上的文字或画面,因此就与触摸屏一样,能由画面进行选择输入。这种方式的缺点是,笔上必须加有一根来自电源的导线。但用电阻均匀的膜可以构成简单的输入设备。若如图 6.5 那样,由 2 张膜构成时,就可

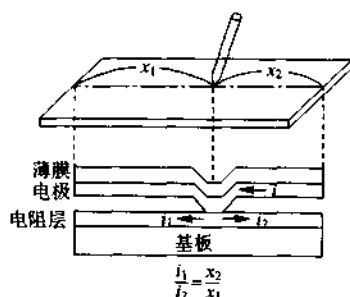


图 6.5 电阻膜方式

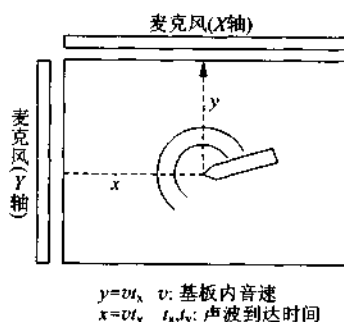


图 6.6 超声波方式数字化仪

(出处:画像電子学会編:画像工学ハンドブック,コロナ社)

以把笔上的拖绳省略掉,实现无绳化。

3) 超声波方式 在图形板的水平垂直方向,安装上两组超声波检测装置(一种特殊的麦克风),通过检测从笔端的超声波发生元件产生的超声波的到达时间,计算出笔尖所在位置。该方式如图 6.6 所示。

4) 光遮断方式(三角测量方式) 这是一种利用激光(laser)光源进行三角测量的方式。可将这种数据图形板当作电子黑板,与远方地点进行通信。

6.2 数字信号的识别设备

把文字输入机器设备的终极方法,就是采用我们日常使用的交流手段,即把说话或写字原封不动地当作输入手段来使用。但要实现这一点就必须使作为机器的计算机对于文字或语音的理解达到与人类理解同样的程度。这样的理解也叫作识别。尤其把对文字的识别、认识称为文字识别或模式识别,把对语音的认识叫作语音识别。

6.2.1 文字识别

文字识别是随着不经过键盘向计算机输入的希望而日渐发展起来的。像美国那样只使用 26 个英文字母的国家和日本那样既有假名字母又使用汉字的国家,其文字识别的难度是有很大差异的。仅限于字母与数字的文字识别与连汉字都包括在内的汉字识别,本应分别而论。但是,随着近年来计算机技术的进步与大量的文书处理需求的高涨,已经可以用 OCR 来处理日本语和汉语数据了。

模式识别的过程,一般可分为读取·前处理、抽取特征、识别三个阶段来进行。根据各自应用目的不同,采用的方法也会不同,但基本阶段是大致相同的。

1 读取·前处理

读取部分与后述的文书记录的读取相同,它是利用由行传感器与机械式送纸机构组成的光电变换,把原稿的文字变换为黑白 2 值或多值数据。在这些状态中会产生各种各样的噪音,就需通过前处理,将噪音去除。噪音

的种类有文字的浓淡不同、纸张的背景噪音以及由于纸上的污垢所产生的噪音等等。另外,在手写文字的场所,又有书写的位置、字的大小、线的粗细等等。这些也需按一定条件予以处理。

2 抽取特征

指从读取的文字信息中,提取出能代表该文字的特征的手段,可以用各种方法。下面对几种有代表性的方法进行一些介绍。

(1) 模式匹配法

主要用于识别印刷文字,采用将读取的文字与预先选定的字模相对照的方法,已使用了很长时间了。本方法的概况如图 6.7 所示。在实际应用中,采用把输入的文字按格子形状的样本点采样后,再与字模相比较的方法。

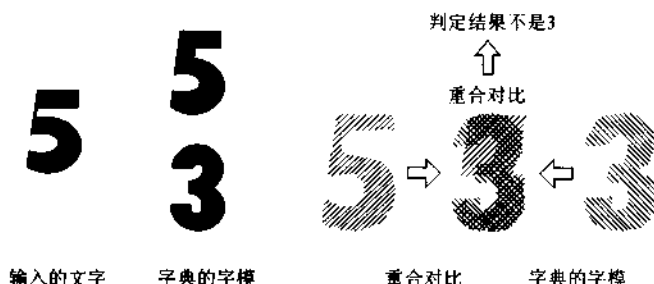


图 6.7 模式匹配法的概念图

(2) 构造解析法

主要用于识别手写文字。先对构成文字的线划进行分析,再由一些凹凸、曲折点、圆圈、端点等特别之处的信息来确定文字的方式。这种方法的概念如图 6.8 所示。对于类似的文字,可采用其它几何学的特征的组合来作进一步的判别。所谓几何学特征,是指线的弯曲度和端点的方向等,图 6.9 即为一例。

(3) OMR

OMR(optical mark reader)是一种更简便的读取方式,它可以把写在发票上的手写文字和打印机打印出来的文字读入计算机内。OMR输入方

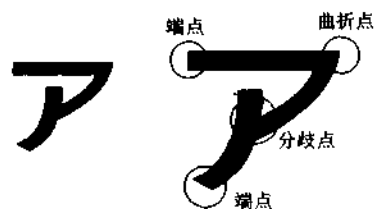


图 6.8 构造解析法的概念图

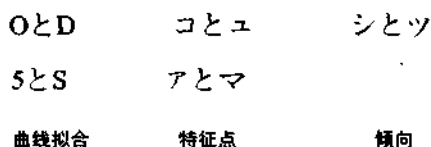


图 6.9 几何学特征的例子(类似文字的判定)

式,因容易标记又无需写入设备,故常用于商品的发送货、仓库管理等所用的货票、通知单、统计报表等。最近在大学考试等答题卡片的数据输入也常使用 OMR 作为录入方式。

在手写的各种发票单据上,有用分色印刷的各种格式的文字符号。(有的是人眼可以看见但机器却不能读入的彩色标记。例如,光源使用红色时,则用红色印刷的文字标记与白色的就分不出来),还可能有使用铅笔或原子笔填写的文字。因此记入时不要求有特殊训练。

当读取这些标记时,如图 6.10 所示,是通过对光源的反射光的强弱来进行读取并输入计算机的。

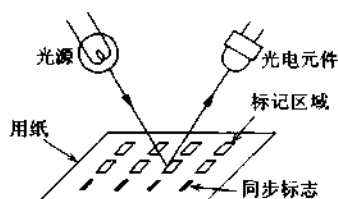


图 6.10 读取标记(出处:電子情報通信学会編:電子情報通信ハンドブック,オーム社(1988))

(4) 条形码(bar code)

条形码常用于百货商店的商品上面。与其类似的编码标记也常见于各个行业,以不同方式在使用着,例如 JIS5020, JISX0501, NW7, ITF 等符号形式。其基本原理,都是通过粗细不同的线条或空白的各种组合来表示数字,进而再由这些数字的组合来表示出读入的商店代码、商品、价格等参数。

以早期的 NF7 编码方式为例来说明其数字的表示。为了表示一个数字,使用宽、窄的线条。如图 6.11,黑与白也对应着一些信息。宽条代表 1,窄条为 0。



图 6.11 条形码的例子(NF7)(出处:月刊バーコード,日本工業出版社)

条码的读取设备叫作条码读入器。采用与传真机的扫描器相同的原理,利用 CCD 扫描的读取方法或者由光电扫描利用反射光的强弱来读取的方法。

6.2.2 语音识别

与文字识别相似,把人们说出的词语直接翻译成文字并由计算机自动读入;或者相反,当由计算机输出时,能把文字变成声音输出。前者称为语音识别,后者叫作语音合成。

语音识别,按照识别的单位,又可分为几种。只认识单音节的称为单音节识别;认识单词的,叫作单词语音识别;认识文章句子的,叫作文章语音识别,也可称为语音理解。此外,对只能理解特定人的语音,称为特定话者语音识别;还有进行不特定的人识别的叫作不特定话者识别。对于特定话者识别,需要在识别之前,先建立起标准模式库,供对比参照。而对于不特定话者识别,则没有这种必要,只是技术上更加困难。

语音识别的基础是单词语音的识别技术。单词语音识别的基本方法是把单词语音的短时频谱的波形记录下来,存放在有声词库中,当进行识别处理时,可将所输入语音的短时间声音频谱的波形,与词库中所保存着的标准模式相互对照比较,从而计算出直接类似度的方法。其一般结构如图 6.12 所示。

音响分析是把输入信号的高音强调之后,每 10~20 ms 就求出一个声音的短时频谱。在进行频谱分析时,要采用 15~20 个带通滤波器。

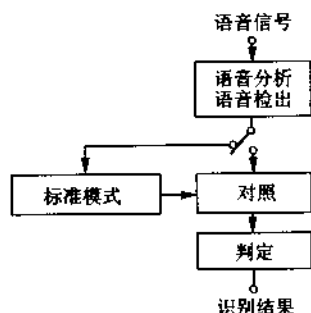


图 6.12 语音识别的概念图(出处:電子情報通信学会編:
電子情報通信ハンドブック、オーム社(1988))

在进行单词的语音识别时,要结合人的说话速度,把输入的语音与标准模式库里的单词波形沿时间轴的方向作非线性的伸缩匹配,并将相应频谱间的距离,对所有单词进行累计,计算出累计距离最小的,找出相应的标准模式的单词名称,作为识别结果输出。

上面所说的仅为基本原理。累计距离的计算有各种方法,而语音的识别处理也需参考文章的结构、意义、上下文关系等等因素。

6.3 图像信号的输入设备

它可用于把光学图像(照片或风景等)变换为电气信号,并分解为许多基本像素(图像分解的最小单位),还需要把各个像素的浓淡程度、颜色品位等进行测量并数字化。图像多为二维的,将其分解为像素可以采用图 6.13 所示的扫描方法。扫描方式又可分为机械式与电子式两种,前者称为机械式扫描;后者称为电子式扫描。从原理上讲,最基本的方法是,把原稿紧贴于一个可旋转的圆筒上,在筒的旋转过程中,将图像分解为像素。这种方法虽有些原始,但却可以相当高精度地进行图像的分解。在输入印刷质量很高的精致图像时,常使用这种方式。

实际设备的结构各种各样。例如,可以采用玻璃圆筒形状的旋转鼓,将照片等原稿紧贴在鼓筒壁上,在电机的带动下,以一定的速度旋转。另有一个光电变换器放在光学台上,以一定速度在与鼓壁垂直的另一方向缓缓移

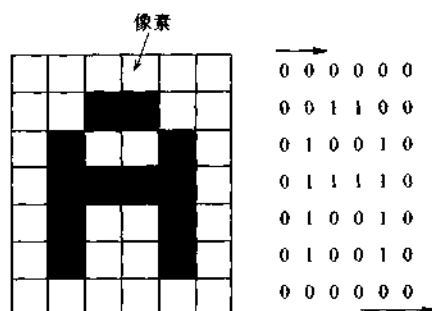


图 6.13 扫描,将图像分解为基本的像素单位,白为“0”,黑为“1”。

动。光电变换设备如图 6.14 所示,采用分色棱镜光学系统。分色镜可覆盖不同色的金属蒸发膜,把光线分成红、绿、蓝三种原色。

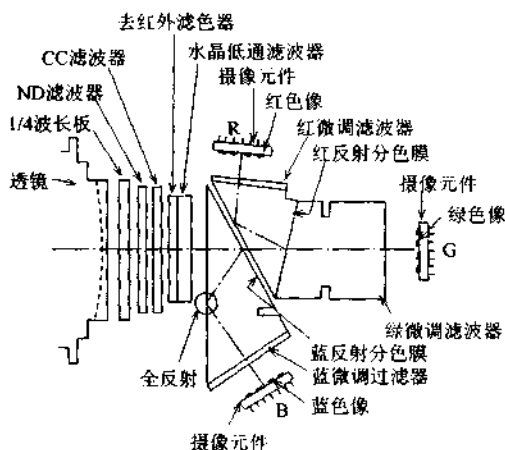


图 6.14 分色棱镜光学系统(出处:画像电子学会编:画像工学
ハンドブック,コロナ社)

● 6.3.1 电子扫描方式

电子扫描方式是采用电视摄像机中的摄像管或二维 CCD 成像元件等,把图片或写在纸上的原稿文字等利用扫描方式读入计算机等设备中。主扫描为电子式,而辅助扫描采用机械式。

1 摄像管

摄像管又可分为正析摄像管和光导摄像管。光导摄像管的屏幕采用阻光随光照而变化的光敏导电体。图 6.15 表示了它的简单构造。通过从光

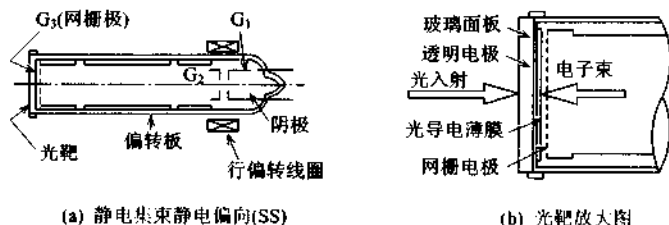


图 6.15 光导摄像管的例子(出处:画像電子学会編:
画像工学ハンドブック、コロナ社)

敏导电体的背后,用电子束进行扫描,把输入的光信息变为电信号取出,而光靶的材料又分为采用 SiO_2 膜的硅光导管、采用 PbO 的氧化铅光导管,采用 CdSe 的硒化镉光导管等。它们也可以与图 6.14 所示的分色棱镜光学系统组合成三枪式彩色摄像管。

2 CCD 图像传感元件

二维固体成像元件的技术近年有了很快的发展。作为家用摄像机和电子数码相机的光电元件 CCD (charge coupled devices)—电荷耦合器件得到了广泛的应用,利用它组成的三板式 CCD 摄像机也已投入商业应用。

CCD 的基本原理如图 6.16 所示。在硅的表面通过一层氧化膜,制作出 1,2,3,……,若干电极,利用施加的三层驱动脉冲,就能把电极下面蓄积的电荷顺序送出。实际的 CCD 成像器件是由能把光转变为电荷的光电二极管与图 6.17 所示那样的 CCD 传送部件组成。也就是说,由光电二极管输入的光信号变换为电荷送入垂直 CCD,再由垂直 CCD 传送到下部。该信号再由水平 CCD 传送到输出端。实用的 CCD 中,一般把光电二极管矩阵数制作成 750×500 左右,用于销售的产品中,还进一步开发出了多元件的产品。

制造彩色的 CCD 器件可采用在各个光电管上加有彩色滤波器并集成

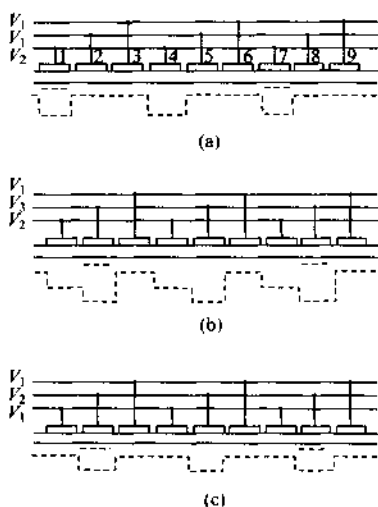


图 6.16 CCD 的基本原理

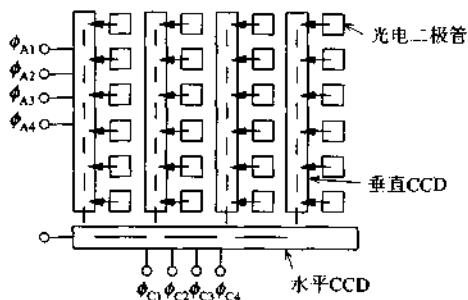


图 6.17 二维 CCD 的构成例子

于同一块芯片中的方法,也可采用前述的彩色分光系统(图 6.14)用 3 个 CCD 器件组成红、绿、蓝三板方式。

● 6.3.2 行传感器与机械式传送机构的组合

要像传真机或图像扫描仪那样读取记录纸或者图片、印刷物的表格或者书籍原稿时,一般就需采用行式图像传感器与原稿送纸机构组成的光电式变换输入设备。

图像式传感器的种类有 CCD 行式传感器和使用薄膜技术的接触式图像传感器等。

从原理上讲,它与电视中使用的区域传感器相同,也是用光电二极管阵列,把输入的图像信号变为电荷,再将其由 CCD 转送到输出端。其构造如图 6.18 所示。由于 CCD 成像元件是由半导体技术制作出来的,故通常要利用透镜缩小投影。为此,就有一套镜面系统组成折返光路,以便使设备小型化(参照图 6.19)。

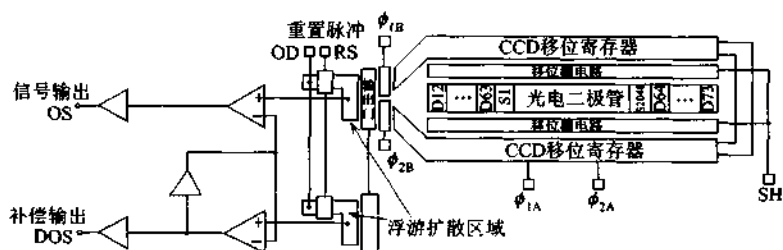


图 6.18 CCD 行式传感器的构造(出处:东芝レビュー)

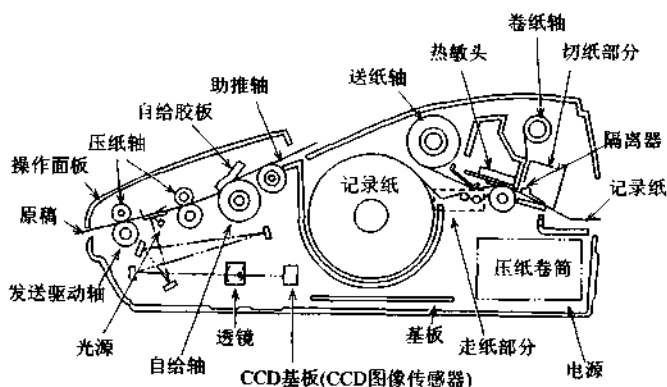


图 6.19 使用 CCD 的传真机例子(出处:东芝レビュー)

与此相对,还有采用薄膜技术的接触式图像传感器。它采用与原稿的扫描长度同样宽的传感器,通过与原稿直接紧密接触,可以直接转换成电信号。这种方式,因由原稿到传感器的距离很短,故设备可以作得很小。制作

薄膜的材料多以非晶硅为主(α -Si)。此外也有采用把上述的 CCD 行式传感器铺贴于数张锯齿形的基板上的方法。

要作成彩色接触式扫描器,也需在各个光电二极管上加以色彩滤波电路。作为带有色彩滤波器的例子,一种 CCD 型的接触式扫描器可如下述。它有 3456 个像素,内装有蓝、绿、黄三种颜色的滤波器,若以白色光源照射原稿,将其反射光由扫描器读出,就能得到彩色信号。

6.4 数字信号的输出设备——打印机

在数据、图像等的终端设备中,输出设备有以打印机为代表的直接输出到记录纸上的方式,有以 CRT 和液晶为代表的显示输出方式,以及声音输出等等。

打印机按照记录方式不同,又可分为击打式打印机和非击打式打印机。击打式打印机是靠把机械压力传给记录纸进行记录,故噪音较大,但可以使用普通纸打印,还能同时打印多份记录,即具有复写功能的优点。而非击打式打印机则无需通过机械压力,而是通过喷洒墨水(link jet)进行记录,或者用把固体墨粉利用静电力与记录纸相结合的电子照相(激光打印)方式。

6.4.1 击打式打印机

击打式打印机又分活字式与点阵式两种。

1 活字式打印机

即把整个活字字型打印到纸上。这种印字方式的历史已经很久远了,因其印字质量良好,所以一直延续使用到今天。但用在计算机的输出上,其打印速度较慢。为此又研究出了能同时打印一行文字的宽行打印机。但因它采用一个个活字字型,故同时输出文字与图形则较为困难,正在慢慢退出历史舞台。

2 点阵式打印机

它采用以磁性锤压击直径 0.2~0.4 mm 的打印针头进行记录的方式,图 6.20 是其原理图。这种方式可以同时打印图形与文字,在实用时打印分辨率可达 360 点/英寸的程度。

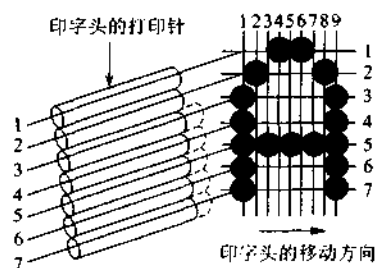


图 6.20 针式打印机的概念图(出处:電子情報通信学会編:
電子情報通信ハンドブック、オーム社(1988))

● 6.4.2 非击打式打印机

非击打式打印机可以低噪音和高精度进行记录,也能处理图像与文字,但一般不可同时复写打印多份。非击打式打印机的代表方式有激光电子照相、热记录、喷墨打印等。

1 激光打印机

激光打印机 LBP (laser beam printer) 是采用电子照相记录方式的典型设备。严格来讲它还可以有各种细小的差别,图 6.21 为其一例。基本原理如图 6.22 所示,大致可分为充电、感光、显像、转印、定影、清洁六个阶段的处理。

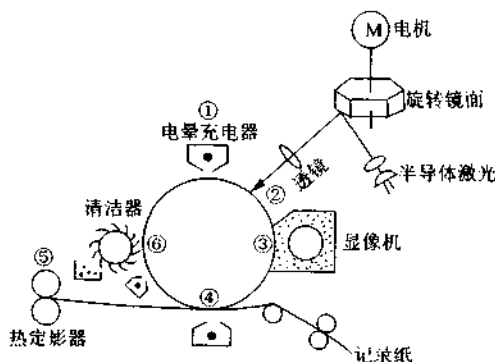


图 6.21 电子照相的基本构成

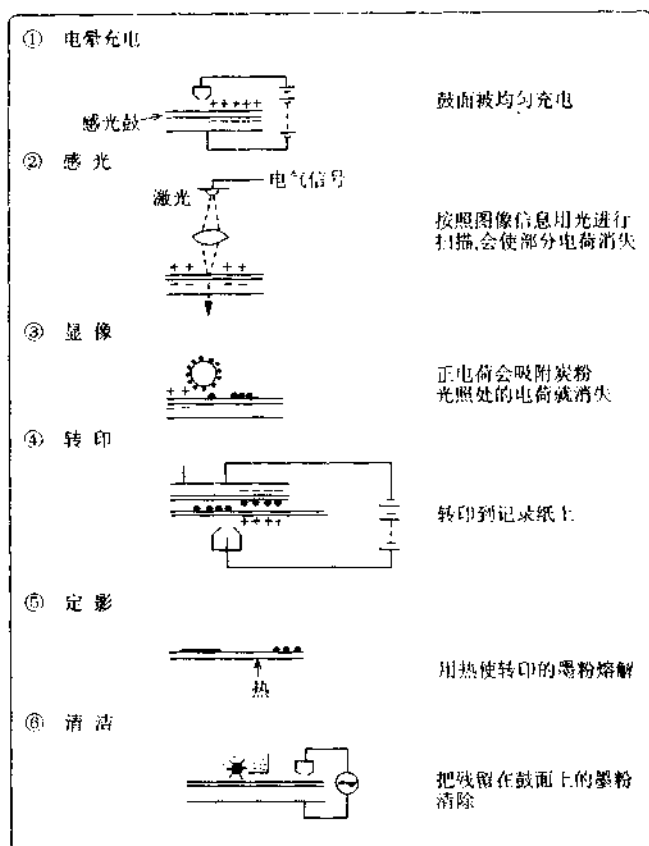


图 6.22 电子照相的基本过程

1) 充电 在感光鼓(在金属鼓的表面蒸发或涂抹一层绝缘性光半导体材料)的表面,利用电晕充电器进行均匀充电。

2) 感光 使光线的强度按照图像信息产生强弱变化。通常,光线是由半导体激光器发出的红外线,它会随图像信息而变化有无。将其经旋转镜面、透镜系统聚焦于感光鼓上,进行图像的扫描,结果光线照到之处电荷就会消失,从而产生静电潜像(用静电画出的图像)。

3) 显像 已感过光的感光鼓上,会吸附炭粉,而由于库仑力有电荷残留之处则不会吸附炭粉。这样就得到可视图像。

4) 转印 即把由显像得到的炭素图像转印到记录纸上去。这是由在

记录纸的内侧加以与着色剂(炭素)极性相反的电晕来进行的。

5) 定影 为使第4)阶段的图像固定于纸上,需将记录纸加热而使炭粉熔化,从而使转印的图像定影。

6) 清洁 清除掉感光鼓上残留的炭粉,返回1)。各个阶段都有各自的复杂技术,只是基本过程可分为这六个阶段。

由于激光打印过程与复印机相同,会得到高质量的图像,故多为办公场所使用。标准的记录密度为200~400点/英寸,但也能达到600点/英寸的高精度。而记录速度从普通的每分钟5页到30页的高速度皆可。缺点是设备造价较高,由于在处理过程中使用的着色剂含有磁性物质,故不大适于彩色处理(但已有高级的激光打印机可做彩色打印)。另外,因要不断补充着色剂(如炭粉等),会给用户增添不少麻烦,且各种设备用法也不尽相同,应当变成较易互换的为好。

2 喷墨打印机

所谓喷墨记录法,是把油墨的颗粒直接喷射到记录纸上进行记录的方式。因此无需上述的显像与定影过程,且使用多种颜色的墨水就比较容易实现彩色印刷。虽然打印速度较慢,但因价格便宜、操作简单、较适合个人家庭使用。也常与文书处理机等组装在一起应用。

喷墨打印也有各种各样的技术方式。有连续喷射墨粒,以ON/OFF控制记录方向的连续喷射方式,以及只在要记录时才喷射墨粒的请求喷射(on demand)方式。

(1) 连续喷射方式

• 静电偏向方式 如图6.23所示,它采用压电元件,从喷嘴持续地喷射粒子,这些粒子是带电的,而不需要的墨粒则由偏向电极使其偏转并被回收。

(2) 请求喷射方式

现在常用的简单打印机几乎都采用这种方式。而其中以热喷式用的最多,下面就介绍一下这种方式。

• 热喷式 它的原理是给设于喷嘴内的发热体通电后,利用所产生气泡的压力把墨水从喷嘴内喷射出来。图6.24是其原理图。

因其打印头构造简单,常用于文字处理机和简易打印机之中。也有的采用4个这种结构的打印头,分别对应于蓝、红、黄、黑四种颜色的彩色墨水,从而可构成全彩色打印机。

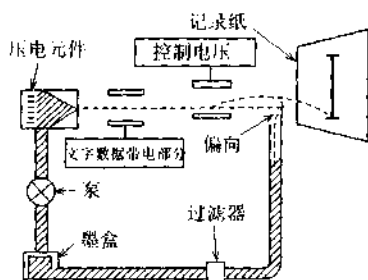


图 6.23 连续方式的基本构成(出处: 电子情报通信学会编; 电子情报通信ハンドブック, オーム社(1988))

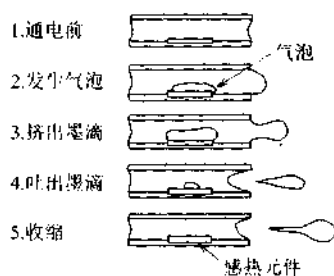


图 6.24 喷泡形喷墨打印的原理(出处: 画像電子学会誌, 11, (1982))

3 热敏式打印机

它可以采用由热而发色记录图像, 或者利用墨水的转印得到记录的方式, 常用在传真机或电子打字机上当作简易打印机使用。由于其记录方式简单且易于维修, 打印成本较低。它也有直接发色方式与转印方式两种。

(1) 直接发色方式

这种方式需要在记录纸上涂以发色剂与显色材料, 将其直接加热后, 就能在纸上形成色素。为使这种特殊记录纸产生颜色, 需要把热敏记录头当作发热体, 用蒸发法以高密度制作在基板上。其基本构造如图 6.25 所示。发热体采用氮化铝薄膜等材料, 可以达到 400 点/英寸左右的高分辨率。打

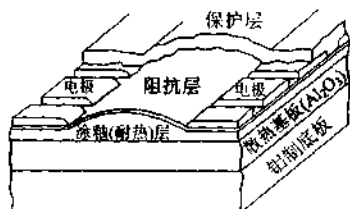


图 6.25 热敏记录头(发热打印头)的构造(出处: 画像電子学会編; 画像工学ハンドブック, コロナ社)

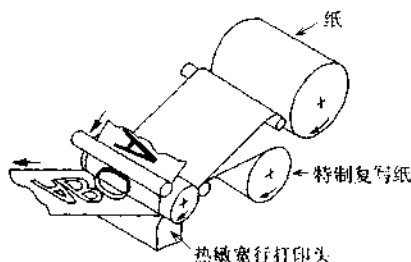


图 6.26 采用复写纸热转印形宽行打印机(出处: 画像電子学会編; 画像工学ハンドブック, コロナ社)

印头有将一行一起打印出来的宽行打印头方式以及在文字处理机用的打印机中常见的、由皮带带动打印头来回移动进行打印记录的方式。

这种记录方式也具有设备简单、维护容易打印质量良好的优点。但由其记录原理可见,即使记录以后,也会因加热而变色,一旦打印出来,使用某种油脂等也会将其再度涂掉,故其打印记录不适于长期保存。

(2) 转印方式

为了弥补直接记录方式的缺点而开发出转印方式。它是在上述的热敏打印头与记录纸之间,夹上一层特制的炭蜡色带或复写纸。记录纸就可以采用普通纸。这种热记录方式的记录不会被轻易消除。但是特制的色带只能使用一次,故与直接记录方式相比,其打印成本稍高些。但色带可以长期存档备查。它常用于文字处理机的打印中,色带也不必只用黑色,也可采用一些简单的色彩(图 6.26)¹⁾。

6.5 数字信号的输出设备——显示器

因显示器可以高速地显示图像、数据,故应用很广泛。但一般显示器不能用于交互式对话处理也是它的缺点。显示器的种类如图 6.27 所示。

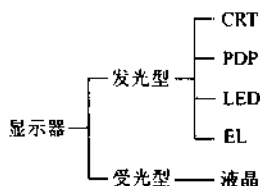


图 6.27 显示器的种类

6.5.1 CRT 显示器

阴极射线管 CRT(cathode ray tube),也常以其发明者的名字 Braun 来命名为布劳恩管。CRT 显示器可以把电信号变为电子束发射的强弱信号去轰击屏幕发光,屏幕玻璃内侧涂布有可以产生红、绿、蓝三原色的发光材料,经适当控制搭配就能以全彩色方式显示图像,并可得到高分辨率和发光

1) 在中国的铁路客票预售系统中,就大量使用了这种热转印方式的售票机。——译者注

效率很好的高质量彩色图像。因此 CRT 显示器常用于从电视机到桌面个人计算机等各种设备中。图 6.28 是其构造示意图。

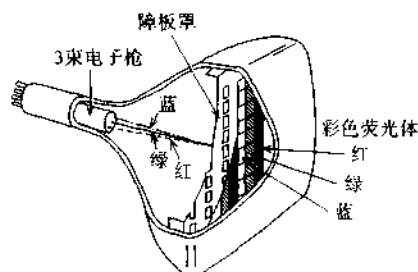


图 6.28 障板罩形彩色显像管的基本构造

6.5.2 液晶显示器(LCD)

LCD (liquid crystal display) 是非发光形显示器的代表。它耗电小, 外形很薄且搭载有滤波器, 可适用于全彩色显示。其响应速度与电视差不多。它是近年来发展迅速的显示设备, 最早在 1971 年由 Schadt 提出的方案, 最初用于计算器和电子表上, 随着功能和质量的不断完善, 应用领域也日趋广泛。其主要特点是工作电压低(数伏)、耗电省、重量轻、体积薄小。

LCD 有许多种类和驱动方法, 既有电学的也有光学的, 各有所长。这里仅就最普通的构造和驱动方法进行一些介绍。

在各种液晶中, 使用最多的是 TN (twisted nematic) 形液晶, 其基本构造如图 6.29 所示。

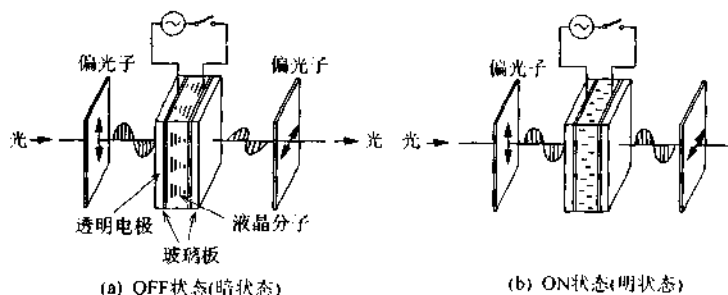


图 6.29 液晶的动作 (出处: 画像電子学会編: 画像工学ハンドブック, コロナ社)

① OFF 状态下,液晶分子的排列,使入射光线的偏光面偏转 90° ,处于不能通过偏光子的状态(暗状态)。

② 在 ON 状态下,解除了液晶分子的扭转,偏光面也不扭转了,光线可以顺利通过(明状态)。

这样利用由外部所加的电压就能控制光的投射。

液晶的驱动方式有单纯矩阵方式和有源矩阵方式等。现在个人计算机中几乎都采用有源矩阵方式,在这种驱动方式中,每个液晶单元上,均配有称为 TFT(thin film transistor)的薄膜晶体管,进行开关操作。这种有源矩阵的等价电路与构造如图 6.30 所示。

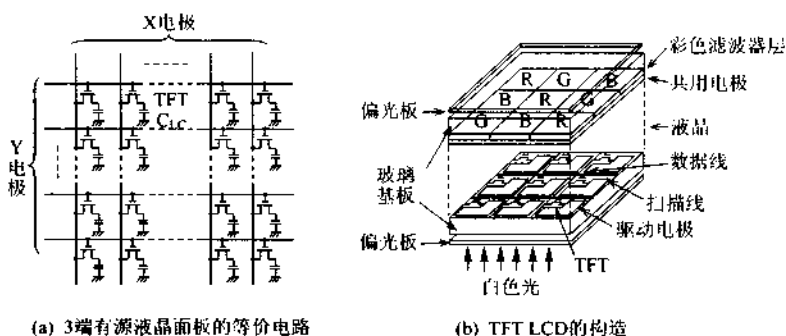


图 6.30 彩色 TFT LCD 的基本构造(出处:画像電子学会編:画像工学ハンドブック、コナナ社)

在 TFT 的栅极上,由扫描驱动电路从上至下施加扫描电压。在源极上则加有随显示信息而变化的信号电压。而其漏极则与液晶片侧的电极相连并设有为保持电荷用的电容器,可将信息保持到下次操作为止。为了能进行彩色显示,还需在此种液晶单元上增设红、绿、蓝光的三原色滤波器。而可以作为光源的则是一种冷阴极荧光灯或者 LED 等背面光源。

6.5.3 其它类型的显示器

1 PDP

等离子体显示板(plasma display panel: PDP),是利用气体放电所产生

的发光现象进行显示。它由充有氙气的封有两个相对电极的玻璃管构成，由所选择的放电气体的颜色来显示文字。

近来，又在表面玻璃上涂以红、绿、蓝三种荧光颜料的掩膜，利用气体放电产生的紫外线，使其发光，从而开发出了等离子体全彩色显示方式。已经研制出了可以代替 CRT 的超薄、壁挂式等离子体显示电视。等离子体显示板的结构如图 6.31 所示。

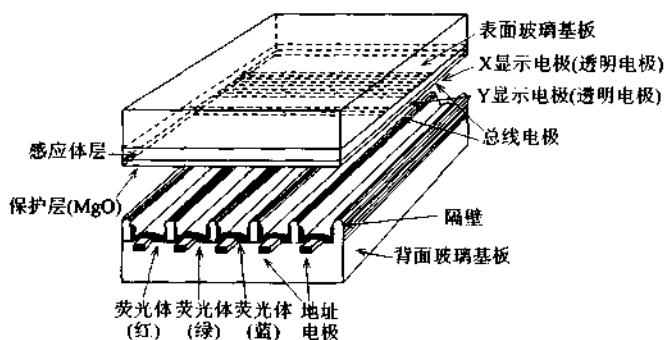


图 6.31 等离子体显示板(出处: FUJITU, 45. 6, (1994))

2 LED

LED(light emission diode),即发光二极管,有单色或黄、绿、红色,利用不同颜色的组合可用于野外地名显示面板等。而随着蓝光 LED 的出现,使得用 LED 可以显示全彩色图像了。全彩色 LED 显示器一般采用红(660nm)、绿(525nm)、蓝(470nm)三种发光波长的 LED 二极管矩阵。

3 荧光显示管

常用于计算器等的显示。它是采用将灯丝加热,释放出热电子,利用控制栅电压,使电子冲撞阳极,让荧光体发光的三极管结构组成的显示器。可通过点阵方式表示文字,主要以分段显示用于计算器或电子表中。

►► 练习题

习题 1

请说明人-机界面的重要性。

习题 2

从人-机界面的立场出发,比较一下声音识别输入与键盘输入方式的优缺点。

习题 3

在设计车站自动售票机和银行 ATM 自动取款机等设备的人-机接口界面时,应当注意一些什么问题?

第 7 章 数字电路的噪声对策

本章学习噪声的种类和噪声对策设计法,以及当产生噪声危害时的噪声处理方法。在数字电路中,因着重于 H 与 L 二种高、低电压变化并以电平值来驱动,故一般对噪声较为敏感。若在驱动数字电路工作的 H 或 L 电平切换的阈值附近有噪声加于信号之上时,就容易使逻辑运算和计数器产生错误动作。尤其是进行高速动作时,脉冲的上升、下降沿速度均很快且脉冲的宽度也相当狭窄,更易因噪声而产生误动作。

另外,在数字 IC 芯片中,由于诸多的开关动作而使 IC 本身也会产生噪声,或者与印制电路板的有关电路引起共振。所产生的噪声会引起其它 IC 芯片的误动作,或通过电缆传到外部,或以电磁波的形式放射到外部,从而会引起其它电子设备的混乱。因此,从设计时起,就必须考虑抑制由数字电路产生的噪声,同时对防止因侵入的噪声引起误动作的对策方法也要精心研究,这些都是很重要的课题。

7.1 噪声的种类

如图 7.1 所示,电子设备的噪声可大致分为侵入电子设备的噪声和从电子设备放出的噪声。若从噪声的传输途径来看,又可分为由电缆等传输的传导性噪声与经过空中传送的放射性噪声。从发生频度来分类,有连续发生的噪声与临时突发性的噪声。从传输方式来分类,有由电气设备和汽车等发生的人为噪声和雷电与极光等自然现象产生的噪声。

(1) 传导性侵入噪声 指经商用电源线、接口电缆等传导侵入电子设备的噪声。

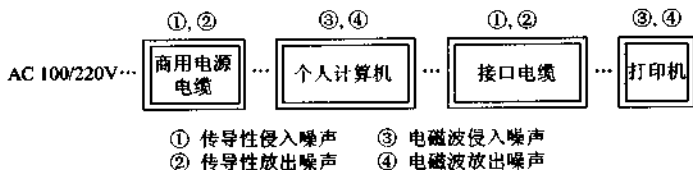


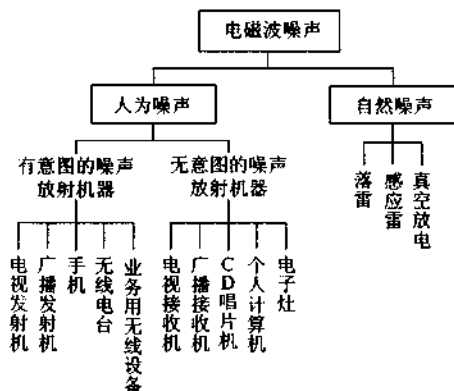
图 7.1 噪声的种类

(2) 电磁波侵入噪声 指经空间传播侵入电子设备的电磁波噪声。它包括无线电台、手机、广播用的电波一类有意图的电磁波,以及没有意图的从汽车、机器设备、电子仪器等发出来的电磁波噪声和自然界产生的电磁波噪声。

(3) 传导性放出噪声 指由数字电路和振荡电路产生的,经电源线或接口电缆,从电子设备向外部传导的噪声。

(4) 电磁波放出噪声 通过数字电路与振荡电路,接口电缆等,向电子设备的外部空间放射的噪声。表 7.1 是电磁波噪声的分类表。

表 7.1 电磁波噪声的分类



7.2 噪声容限

数字电路的阈值与输入信号或输出信号电压电平的差值称为噪声容限

(noise margin)在进行电路设计时,总希望将噪声容限尽可能设计得大一些为好。图 7.2 表示出数字电路的输入输出特性与噪声容限的关系。

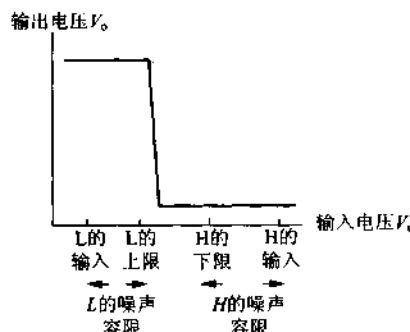


图 7.2 数字电路的输入输出特性与噪声容限

7.2.1 输入电路的噪声容限

数字电路的输入信号的 H(高)或 L(低)的电压范围是确定的。只要对于 H(高电平)输入时,在 H 的电压范围的上限之内,或者 L(低电平)输入时,在 L 的电压范围的下限之内所输入的信号电平,均认为在噪声容限(即使包含着噪声也不会导致误动作的电压冗余范围)的大小范围之内。

7.2.2 输出电路的噪声容限

输出电路的 H(高)输出电压,一般会比输入电路的 H 输入电压范围稍微高一些。但当输出的负载电流过大的话,与 H 的输入电压范围的下限相比,输出电压就会下降。另外,输出电路的 L 的输出电压一般会比输入电路的 L 的输入电压范围稍微低一些,但当负载电流流入过多时,与 L 的输入电压范围的上限相比它就会上升一些。故为确保噪声容限范围,在设计时就要认真考虑输出电路的流出电流与流入电流的值。

7.3 噪声发生、侵入的对策

在电子设备中,为抑制产生于数字电路之内的各种噪声,采取了各种各样的对策。同时,为防止噪声侵入电子设备也采取了许多对策。下面介绍这些对策方法的概要。

7.3.1 旁路电容

当 IC 芯片进行开关动作时,会在电源线上产生噪声,为了抑制此种噪声跑到外部去或者外部噪音侵入,常常在 IC 芯片前在 IC 芯片的电源管脚与接地管脚之间加接一个电容器,以便抑制噪声的逸出和侵入,如图 7.3 所示。由于可将噪声旁路,故称为旁路电容器,在微机中一般又叫做泄漏电容。而想经其旁路的噪声的频率是由电容量以及布线阻抗所决定的,其中布线阻抗是电容的连线以及配线的分布阻抗等综合而成的阻抗。为了发挥微机的高频工作性能,应尽力使布线阻抗变得小一些为好。必须使各种配线以最短模式进行,且在多层印制板时,不要使用通孔,配线采用表面模式等以便能充分发挥微机的作用。

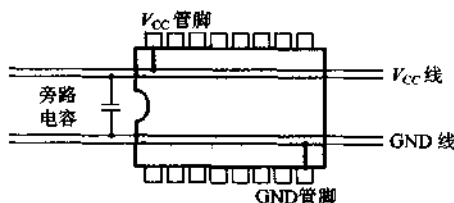


图 7.3 旁路电容

7.3.2 衰减电阻

为了减少在 IC 的输出电路中产生的噪声,可像图 7.4 那样在其中串连进适当的电阻,称为衰减电阻。从而可以抑制脉冲的上冲(over shoot)和下冲(under shoot)的发生,以便有利于 IC 开关速度的提高以及脉冲上升、下降沿的高速化。

由于衰减电阻串连进 IC 的输出阻抗与匹配的布线阻抗之间,还具有抑

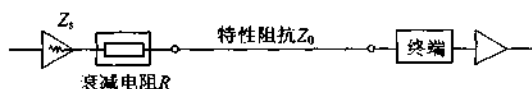


图 7.4 衰减电阻

制反射的效果。但因同时也会产生脉冲波形的失真或输出电平下降的不利影响,因此,需要将该电阻值选定在可让接收信号的数字电路正常工作的范围内。

7.3.3 噪声处理元件

为达到噪声既不能逃逸又不能侵入,并抑制它发生的目的,可以采用各种类型的噪声处理元件。可分为在设计阶段就采用防噪声处理与在现场进行防噪声处理两类。在设计阶段,通过合理地使用电感线圈和电容,适当地安排分布参数电路与集中参数电路,会有显著的降低噪声的效果。铁氧体磁珠型虽比电容器型的效果小,但因不伴随有接地模式,是便于以后追加的元件,也能减少噪声干扰。

各种噪声处理元件,如图 7.5 所示,可按信号电流的大小以及要衰减的噪声频率等不同目的,选择使用为宜。

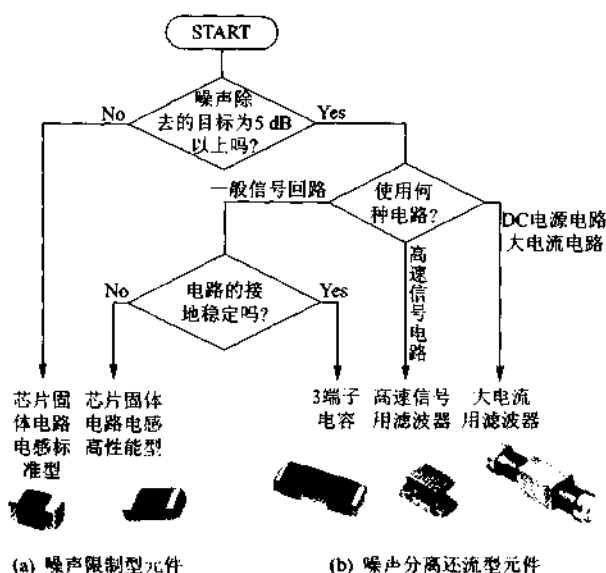


图 7.5 噪声处理元件

7.3.4 电源滤波

采用如图 7.6 所示的电源滤波器,可以减少在商用电源线与电子设备之间的共态噪声的侵入或向商用电源线的共态噪声的逸出。其中最重要的分离配线手段是为了把初级与次级的配线耦合效应降低到最小。

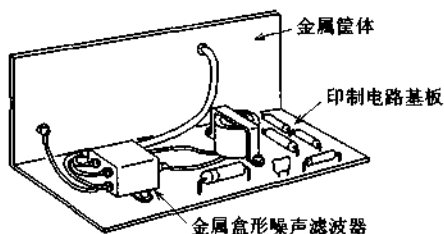


图 7.6 电源滤波器

通过把商用电源线一侧与电子设备间进行隔离,可以实现抑制噪声的目的。也可以采用噪声隔离变压器。一般的电源变压器的初级与次级间总会由于杂散电容的耦合而使噪声通过,故在噪声隔离变压器的初级与次级线圈上均采用了静电屏蔽措施。

7.3.5 自激消除电路

在微动开关和继电器中的接点常使用金属接点,当有开关信号驱动时,由于金属接触片的振动,常常会发生震颤(chattering)或抖动。为此,可采用如图 7.7 所示那样由触发器构成的震颤消除电路。该电路常用于逻辑电路和计数器电路的消除噪声处理。

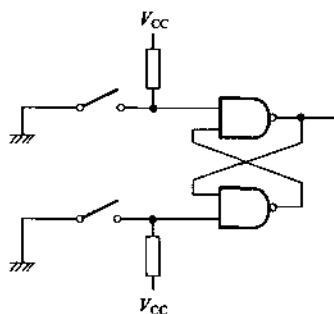


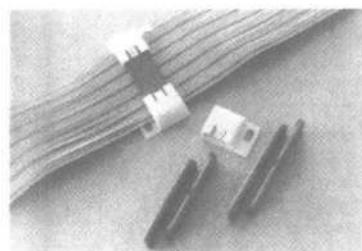
图 7.7 自激消除电路

7.3.6 接口处的噪声对策

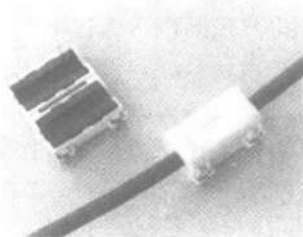
在计算机设备中有许多用于连接主机与外部设备,如打印机、键盘等的接口电缆。为抑制从这些电缆所产生的噪声侵入或泄漏,需要在电缆与各种插头、插座连接器处采取一些措施。应用最广的方法如图 7.8 所示,即在电缆与机箱的出入口处插入铁氧体磁芯。同时采用带有屏蔽层的电缆,即

屏蔽电缆,以便遮断噪声。但需要格外注意的是,若在连接器部分连接时有抽头或引线时,就会使噪声处理效果大打折扣。而双绞线可将噪声抵消掉。

当传输高速信号时,用噪声较强的电缆就很难办,需要认真选择传输信号与传输特性相匹配的电缆。



(a) 扁平电缆用磁芯



(b) 圆形电缆用套筒式磁芯

图 7.8 电缆用磁芯

● 7.3.7 机箱的屏蔽

为了防止噪声侵入电子设备的机箱或经机箱向外逸出电磁波,机箱多用金属材料制成。即使采用塑料机箱,也需加有金属镀层以解决屏蔽问题。但机箱上均设有散热孔或为安装零部件而开的孔洞,以及为维修方便准备的可开合部分等。由于孔洞的形状及尺寸不一,各种开口处都会具有缝隙天线(slot antenna)的作用,故在设计时对各种孔洞的形状、尺寸都要仔细考虑。另外因噪声很容易由机箱的开闭部分或内衬层等处出入,故要确保其各点接触严密,为此常用图 7.9 所示的各种垫片,垫圈等等。

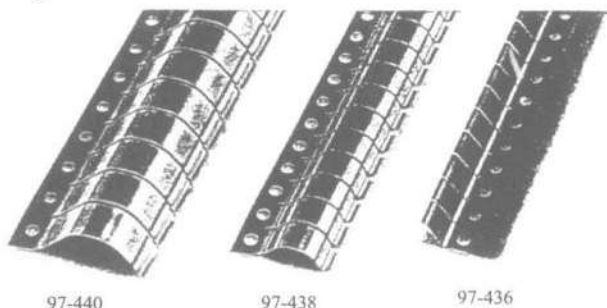


图 7.9 垫片

7.4 噪声的限制与规定

在日本,对于电视机、收音机、照明器具等电气用品的有害噪声,在电气用品取缔法等法规中有详细的限制规定。对电子信号的作用范围等也由电波法与电气用品取缔法作出了详细的规定。

对于由信息处理设备所产生的传导性与放射性的有害噪声干扰,是先由信息处理设备等电波危害自主限制协会(VCCI)规定出允许值,再由各生产厂家自己按规定值生产。在国际上,已由 CISPR 和 IEC 制定出相应的标准,各国再依此制定各自的国家标准参照执行。在日本也把日本工业标准(JIS)与 IEC 整合一致。由 VCCI 所制定的信息处理设备的有害噪声允许值分别如下所述。

表 7.2 电源端子有害电压的允许值(VCCI)

(a) A 类信息处理设备

频率范围	准峰值	平均值
150~500kHz	79dB	66dB
500kHz~30MHz	73dB	60dB

注: $1\mu\text{V}=0\text{dB}$

(b) B 类信息处理设备

频率范围	准峰值	平均值
150~500kHz	66~56dB	56~46dB
500kHz~5MHz	56dB	46dB
5~30MHz	60dB	50dB

注: $1\mu\text{V}=0\text{dB}$

(1) A 类信息处理设备

主要是限制在办公场所或生产环境中使用的、不能满足 B 类信息技术设备的有害允许值规定的电子设备。它们应当满足 A 类信息技术设备有害允许值的规定标准。

表 7.3 有害电场强度的允许值(VCCI)

(a) A 类信息处理设备

频率范围	准峰值
30~230MHz	40dB
230~1000MHz	47dB

注: $1\mu\text{V}/\text{m}=0\text{dB}$

(b) B 类信息处理设备

频率范围	准峰值
30~230MHz	30dB
230~1000MHz	37dB

注: $1\mu\text{V}/\text{m}=0\text{dB}$

(2) B 类信息处理设备

主要是家庭环境下使用的设备,应当满足 B 类信息处理设备有害允许值的规定。它比 A 类设备的要求更为严格。

VCCI 中对电源端子的有害电压的允许值规定如表 7.2 所示,对有害电场强度允许值的规定则如表 7.3 所示。此外,对于符合 VCCI 的 B 类信息技术设备允许值规定的设备,在出厂时应在明显位置粘贴有如图 7.10 所示的 VCCI 标记。



图 7.10 VCCI 标志

►► 练习题

习题 1

说明噪声有哪些种类?

习题 2

说明在设计时对噪声处理要考虑哪些种类的对策方法。

习题 3

说明当有噪声障碍产生时可采取何种对策。

习题 4

说明对噪声的限制标准有哪些种类?

习题 5

对于办公场所与工业生产和家庭环境,哪种有害噪声允许值规定更严格?

第 8 章 数字电路的可靠性

为了确保可靠性,在设计和制造由各种集成电路芯片和半导体元件组成的数字电路时,每个生产厂家都要认真进行可靠性设计,在进行制造工程的全面质量管理的同时,也要进行各种各样的可靠性测试。而设备生产厂商还要进行采购半导体元件的认定试验、入库试验等。另外,即使在组装生产的过程中也要实施工程化管理,努力保证由集成电路和半导体元件以及各种电子零部件构成的数字电路所组成的电子设备的整体可靠性。即使对于组装完成的产品,还要进行确认功能的各种功能测试和可靠性考验,然后才能出厂。

本章讲述一些保证可靠性的方法,包括半导体的可靠性、数字电路的可靠性设计、电子设备的可靠性试验方法等。

8.1 半导体器件的可靠性

1 衡量可靠性的尺度

故障率与时间的关系大致可分为下述三个时期,即产品出厂前后的初期故障期;产品稳定工作的偶发故障期;经过耐用年数后的磨损故障期。它们可以表现为图 8.1 所示的浴盆形曲线,即故障率曲线。

1) 初期故障期 这个时期的故障率会随着时间的推移而急速地减少。该时期的故障率由下式决定,其单位为 ppm(百万分之一)。

$$\text{故障率} = \text{不合格数} / (\text{总数} \times \text{工作时间} \times 10^6)$$

2) 偶发故障期 这个时期的故障率比较稳定,可视为一常数。该时期的故障率由下式决定,其单位为 fit(十亿分之一)。

$$\text{故障率} = \text{不合格数} / (\text{总数} \times \text{工作时间} \times 10^9)$$

3) 磨损故障期 这个时期的故障率会随时间的推移而增大。

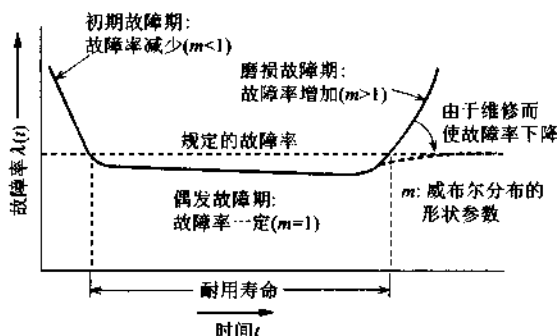


图 8.1 浴盆形故障率曲线

8.2 半导体器件的故障模式

半导体器件的主要故障模式是电气故障,比如误动作、性能恶化、被电气破坏等等。当然也有机械故障、化学故障、软故障,或者这些因素综合在一起形成的故障。图 8.2 是从 IC 芯片封装的断面结构来显示出的各种故障模式。下面简要介绍几种主要的故障模式。

8.2.1 表面退化

在晶体管中,当有超过 pn 结的电荷密度以上的外来电荷聚集在 pn 结的表面上时,就会使 pn 结的电气特性恶化。会在表面产生一层保护氧化膜(SiO_2)。在 MOS 型的 DRAM 中,当在邻近漏极的表面产生过热载流子时,也会使栅氧化膜表面特性退化,使阈值电压和跨导恶化。因此在进行微细化设计时,要特别注意不要使其产生强电场并改善处理过程。

8.2.2 IC 芯片的布线故障

在 IC 芯片的铝布线故障中,主要有以下几种。

1) 迁移(migration)当有大电流流过铝布线时,会产生铝粒子的移动,从而引起电迁移现象。若引起迁移现象,就会在阴极产生空洞(void),而在

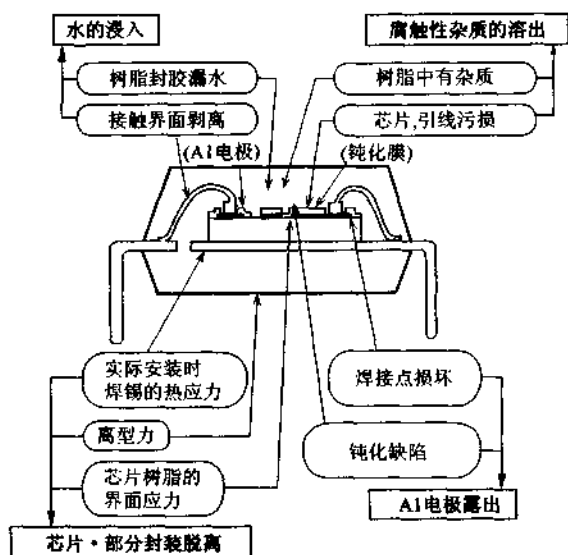


图 8.2 由 IC 芯片封装的截面显示出的故障模式

阳极产生晶须(whisker)。空洞会使电阻增大甚至断线。而晶须则有引起短路的可能性。

2) 铝腐蚀断线 若有水分或杂质离子侵入引线的管脚间,就产生了沾污,从而腐蚀铝电极甚至引起断线。

3) IC 芯片多层布线的缺陷 由于追求内层布线的细微化,也会使布线电阻增大甚至断线。另外,因层间存在感应体的缺陷,也会使漏电流增大或者产生短路。

8.2.3 焊接故障

焊接引起的主要故障有如下几种。

1) 金属间化合物。在进行焊接作业时,由于局部高温,在焊接线与 IC 芯片焊点间会生成金属间化合物,从而降低结合的强度并使结合部分的电阻增大。

2) 线夹(wire clip)。当对塑料封装的 IC 进行长时间的温度试验时,焊接线的细颈部会产生破断现象。而若在加热焊接的前端形成球状,则会使结晶粒增大,或因有杂质混入而变得脆弱。

8.2.4 封装故障

封装气密性不良是产生气密性恶化故障的主要原因,从而会引发电气性能的恶化以及铝电极腐触等故障。

8.2.5 软故障

当从封装材料中所含的微量放射元素(如铀 U、钍 Th 等)发射出的 α 射线照射进硅材料之中时,就会产生新的电子-空穴对。在 DRAM 芯片中,电子-空穴对集中在存储单元。当有负电位施加于硅基板上时,空穴就流失了,仅剩下电子残留在信息储存区域,这时就会产生存储状态从 1 到 0 的反转,导致软故障。图 8.3 表示出了软故障时存储单元状态的变化情况。

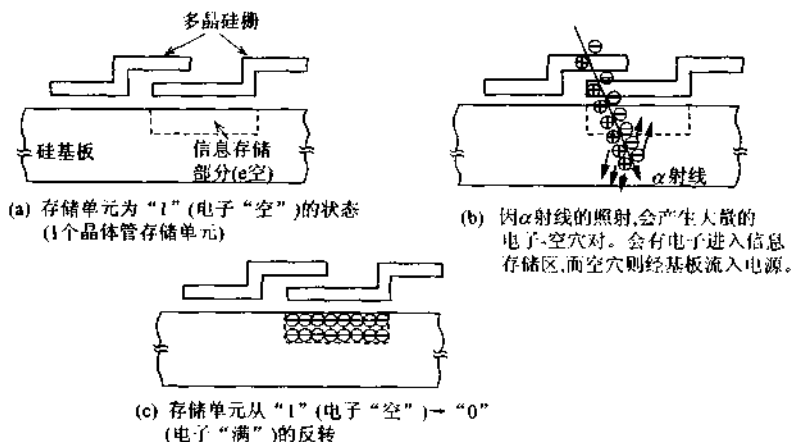


图 8.3 导致软故障的存储单元状态变化

8.2.6 热载流子

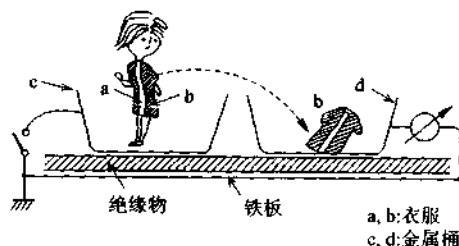
在有强电场的地方,电场可将电子加速为热载流子。它们去冲撞晶格,就会产生电子-空穴对,从而使阈值电压 V_{th} 与跨导 g_m 的性能恶化。为了抑制热载流子的产生,就应当采用不会造成强电场作用环境的器件结构。

8.2.7 静电破坏

人体本身有很多容易带有静电的东西。尤其是当湿度在 40% 以下时, 它就容易变成数千伏以上的高电压。图 8.4 为人体带电的测定方法与人体带电的实测例子。这种放电电荷一旦流入 IC 芯片就会变成大电流, 从而产生静电破坏。因此, 在许多接口 IC 芯片产品的输入电路中, 均加有可耐受 15000V 静电电压冲击的保护电路。

8.2.8 闩锁(latch up)

这是 CMOS IC 芯片固有的现象。当电源产生波动或有噪声、冲击电压侵入时, 寄生晶体管会使所构成的开关电路变为导通状态, 即使互补的 p 沟道与 n 沟道晶体管同时处于导通状态, 这就会引起闩锁(latch up)现象, 在电源与地线间流过很大的电流, 从而引起 IC 的损坏。只要有一端的电源不被切断, 就不能制止这种现象。



铁板与铁桶间的静电容量 50pF
绝缘电阻 $1.5 \times 10^{12} \Omega$

人体带电实测例

在金属桶 c 中的实验者的身上, 穿着 a 类内衣, 外面套着 b 类外衣。当开始动作时, 金属桶 c 接地线。然后把金属桶的接地线断开, 实验者脱掉 b 类外衣并立即投入金属桶 d。立即同时测量出这时金属桶 d 的电位。这就能测定人体的带电量。

	条 件	最大电压	周围条件
(1)	a 衬衫 绵 100%	+4900V	周围温度: 20℃
	b 衬衫 合成纤维	-13000V	
(2)	a 衬衫 合成纤维	-3500V	
	b 衬衫 绵 100%	+7200V	
(3)	a 皮肤	-410V	相对湿度: 40℃
	b 衬衫 绵 100%	+980V	
(4)	a 皮肤	+3200V	
	b 衬衫 合成纤维	-7000V	

图 8.4 人体带电测定方法

8.3 可靠性试验

可靠性试验是指检查测试件在满足电压、电流等规定的标准值前提下能否正常工作的试验方法(表 8.1),以及在一定温度和湿度等环境条件下施加额定的或上、下极限值的电压、电流、动作功能等电气考验条件的测试方法(表 8.2)。对于需经相当时间才能考验出来的故障,就要采用比有关故障因素标准更严酷的条件进行加速试验。对于这种试验方法,在国内外已建立了许多标准,主要有日本的 JIS 标准、美国军用 MIL 标准以及国际 IEC 标准(参照表 8.3)。另外,电子机械工业协会,汽车工业协会等制定的行业标准或部门标准以及厂家自定的试验标准等。

表 8.1 环境以及耐久性试验项目

①焊接耐热性试验(SMD 以外)	⑫连接强度试验
②焊接耐热性试验(SMD)	⑬盐雾试验
③焊接牢固性试验	⑭耐溶剂性试验
④热冲击试验	⑮高温贮存试验
⑤温度循环周期试验	⑯低温贮存试验
⑥温湿度周期循环试验	⑰耐湿性试验
⑦气密性试验	⑱蒸气加压试验
⑧冲击试验	⑲静电破坏试验
⑨恒定加速度试验	⑳连续工作试验
⑩振动试验	㉑断续工作试验
⑪端子强度试验	㉒软故障试验

注: SMD: Surface Mount Device

表 8.2 加速寿命试验的分类

试验方法	特征	加速试验	加速原因	主要故障类型
恒定应力试验	研究应力试验后,对半导体器件的影响	高温放置 (低温放置)	温度	表面退化
		工作寿命	半导体结温,电压	表面退化
		高温高湿放置	温度,湿度	腐蚀,耐压退化
		高温高湿偏压	温度,湿度,电压	腐蚀,端子间搭桥

续表 8.2

实验方法	特 征	加速试验	加速原因	主要故障类型
周 期 性 应 力 试 验	研究反复 进行考验 后,对半导 体器件的 影响	温度循环 (热冲击)	温度差,性能测试	断线,短路
		功率循环	温度差,性能测试	断线,热阻退化
		温湿度循环	温度差,湿度差	断线,短路,腐蚀
步 进 应 力 试 验	在用上、下 限条件考 验时,对半 导体设备 的影响	工作寿命	半导体结温、电压	元件退化
		高温逆偏压	半导体结温,电压	元件退化
		冲击电压破坏	电气量,电压	静电破坏,元件退化
		耐焊接热	温度,时间	芯片裂纹,元件退化

表 8.3 代表性的可靠性试验标准

EIAJ (Electronic Industries Association of Japan)标准

EIAJ ED-4701: 半导体设备的环境以及耐久性试验方法

JIS (Japanese Industrial Standard)标准

JIS C 7021: 个别半导体设备的环境试验方法以及耐久性试验方法

JIS C 7022: 半导体集成电路的环境试验方法以及耐久性试验方法

IEC (International Electrotechnical Commission)标准

Publication 68: 环境试验法

Publication 749: 半导体设备的机械的试验方法以及环境试验方法

MIL (美国 Military Standard)标准

MIL-STD-202 F: 电子零部件、电气零部件试验法

MIL-STD-750 C: 个别半导体设备试验方法

MIL-STD-883 D: 微电子学的试验方法

8.4 数字电路的可靠性设计

保证数字电路可靠性的主要因素有元器件的选定与确认、保管、电路的性能冗余设计、确保噪声容限的设计、制造时的质量管理、通电试验、噪声试验、出厂检查等等,必须以各个工程步骤来确保可靠性。

8.4.1 电子元器件的合格认定和保管

厂家必须在对元器件实施可靠性试验确认合格后,方可购入认定的元器件。对购入的元器件要在规定的温度、湿度条件下妥善保管使用。

8.4.2 性能冗余设计(Derating)

电子元器件的可靠性,受使用时的电压、电流、温度、湿度等条件的影响。对于在军用等特殊环境下使用的产品,其额定使用的电压、电流、温度等,要有更宽裕的性能冗余设计,才能确保其可靠性。

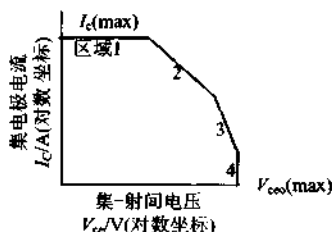


图 8.5 安全工作区域

例如功率晶体管,就必须将其工作范围设计在图 8.5 所示的安全工作区域中。在图 8.5 中,

区域 1,是由集电极电流 $I_C(max)$ 所限定的区域。

区域 2,是由集电极电流 I_C 与集·射间电压 V_{CE} 的乘积,即消耗功率 P_T 所限定的区域。

区域 3,是由电压变高和因元件中的缺陷以及在不均匀的结合部引起电流集中产生的二次压降所限定的区域。

区域 4,是由集·射极间电压 V_{CE} 的最大值 $V_{CE(max)}$ 所限定的区域。

图 8.6 给出了 CMDS IC 的冗余特性。

8.4.3 印制电路板的组装与清洗

1) 元器件的安装与焊接 为了确保焊接的可靠性,必须确认元器件的焊锡的熔粘性、焊锡的温度控制、印制电路板的挠曲度等。

2) 电子元器件的耐洗净性 对于组装完成的印制电路板应当进行清洗,以便去除背面的污垢等。由于采用了许多新型洗涤剂,故需事先确认所用洗净剂不会给元器件带来不利的影响。

8.4.4 印制电路板组装现场的静电控制

一般把大量元器件组装到印制电路板上的操作是由机械手等自动完成的。但也会有一些元器件或少量生产时,需要由工人用手工安装。由于安

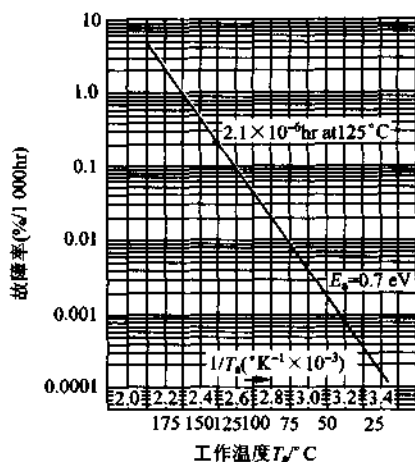


图 8.6 CMOS IC 性能的冗余特性。由此性能
冗余特性曲线确定的工作温度 T_w ，
就能够预测出故障率的期望值。

装操作人员所带的静电会产生放电，从而会使电子元器件性能退化甚至被损坏，故为防止产生静电干扰，在组装现场应当进行湿度控制、为防止带电的作业环境的电阻值控制以及防止静电放电的工作间的电位差控制等。

● 8.4.5 电子设备的组装、检查

在着手组装印制电路板时，有一些与电气无关的项目，比如印制电路板的受力标准、元件器件的跳线相连等的管理，对提高可靠性也是很重要的。完成组装的设备需通电确认其是否能正常工作。还应在高温状态下进行长时间通电考验。进行必要的噪声干扰试验，把干扰脉冲施加在电源线上，测定噪声容限。在电波暗室中，测量由设备所产生的电磁干扰(EMI)或者利用一定频率的电磁波干扰施加于组装好的设备，以测定其抗干扰性(immunity)等

▶▶ 练习题

习题 1

使用浴盆形曲线来说明故障率与所经过时间的关系。

习题 2

说明半导体的故障模式有哪些种类？

习题 3

说明半导体的可靠性试验有哪几种类型？

习题 4

说明什么是性能冗余性设计？

习题 5

请说明把具有高可靠性的电子设备产品化的工程步骤。

练习题解答

第 1 章

习题 1

A	B	C	F
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

习题 2

- (1) 所给式 $= \overline{AB} \cdot \overline{C} \cdot D = (A+B)\overline{C}D$
- (2) 所给式 $= \overline{(A+B)C} \cdot \overline{DE} = \{(\overline{A+B}) + \overline{C}\}(D+E)$
 $= (A\overline{B} + \overline{C})(D+E)$

习题 3

- (1) 左边 $= (C+A\overline{B})(A+B) = AC+BC+A\overline{B}B$
 $= A\overline{B} + BC + AC(B+\overline{B}) = A\overline{B} + BC + ABC + A\overline{B}C$
 $= A\overline{B}(1+C) + BC(1+A) = A\overline{B} + BC = \text{右边}$
- (2) 右边 $= \overline{A}(\overline{B} + \overline{C})$ (由德·摩根定理)
 左边 $= \overline{A}\overline{B}(\overline{C} + C) + \overline{A}B\overline{C} = \overline{A}\overline{B} + \overline{A}B\overline{C} = \overline{A}(\overline{B} + B\overline{C})$
 $= \overline{A}(\overline{B} + B)(\overline{B} + \overline{C}) = \overline{A}(\overline{B} + \overline{C}) = \text{右边}$

习题 4

- (1) 只需证明 $A\overline{B}\overline{C} + A\overline{B}C + ABC = A(\overline{B} + C)$ 即可。
 左边 $= A\overline{B}(\overline{C} + C) + ABC = A\overline{B} + ABC = A(\overline{B} + BC)$
 $= A(\overline{B} + B)(\overline{B} + C) = A(\overline{B} + C) = \text{右边}$
- (2) 只需证明 $\overline{A}\overline{B} + \overline{A}B + ABC\overline{C} = \overline{A} + B\overline{C}$ 即可。
 左边 $= \overline{A} + ABC\overline{C} = (\overline{A} + A)(\overline{A} + B\overline{C}) = \overline{A} + B\overline{C} = \text{右边}$

习题 5

$$(1) \text{ 所给} = A\bar{B} + AC + B\bar{C} = A\bar{B}(C + \bar{C}) + AC(B + \bar{B}) + B\bar{C}(A + \bar{A}) \\ = A\bar{B}C + A\bar{B}\bar{C} + ABC + AB\bar{C} + \bar{A}B\bar{C} \text{ (主加法标准形)}$$

$$\text{所给} = \bar{A}\bar{B}\bar{C} + \bar{A}BC + \bar{A}BC \text{ (上式以外的组合)}$$

$$\text{所给} = (A + B + C)(A + B + \bar{C})(A + \bar{B} + \bar{C}) \text{ (主乘法标准形)}$$

$$(2) \text{ 所给} = (AB + \bar{A}\bar{B}) \oplus C = (AB + \bar{A}\bar{B})C + \overline{(AB + \bar{A}\bar{B})}\bar{C}$$

$$= A\bar{B}C + \bar{A}\bar{B}\bar{C} + (\bar{A} + \bar{B})(A + B)\bar{C}$$

$$= A\bar{B}C + \bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} + A\bar{B}\bar{C} \text{ (主加法标准形)}$$

$$\text{所给} = \bar{A}\bar{B}\bar{C} + A\bar{B}\bar{C} + \bar{A}B\bar{C} + \bar{A}B\bar{C} \text{ (上式以外的组合)}$$

$$\text{所给} = (A + B + C)(\bar{A} + \bar{B} + C)(\bar{A} + B + \bar{C})(A + \bar{B} + \bar{C}) \text{ (主乘法标准形)}$$

第 2 章

习题 1

(1) (a) 双极型 (b) 单极型 (c) DTL (d) ECL (e) NMOS (f) PMOS

(2) (a) 随机 (b) 图腾柱 (c) 三态 (d) 集电极开路 (e) 高阻抗 (f) 总线 (g) 集电极

(3) (a) PLA (b) 二极管 (c) 晶体管 (d) 熔断丝 (e) FG (f) 晶体管 (g) 电荷

习题 2

① 元件数: 7, 输入数: 15, 级数: 3 合计: 25

② 元件数: 8, 输入数: 16, 级数: 3 合计: 27

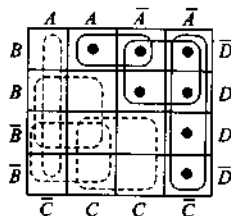
因此, 电路①较为简单。

习题 3

$$F = \bar{A}\bar{C} + \bar{A}B + BC\bar{D} \text{ (实线框)}$$

$$\bar{F} = \bar{B}C + A\bar{B} + AD + A\bar{C} \text{ (虚线框)}$$

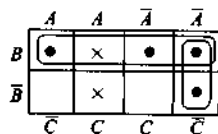
$$F = \overline{\bar{B}C + A\bar{B} + AD + A\bar{C}} \\ = (B + \bar{C})(\bar{A} + B)(\bar{A} + \bar{D})(\bar{A} + C)$$



习题 4

由右面的维奇图可得

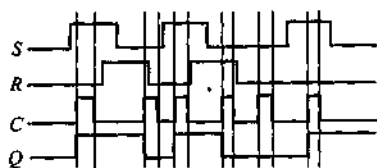
$$F = B + \bar{A}\bar{C}$$



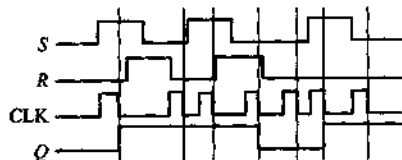
第 3 章

习题 1

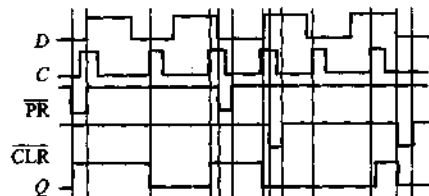
(1)



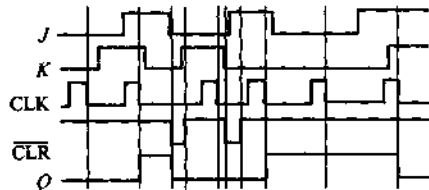
(2)



(3)



(4)



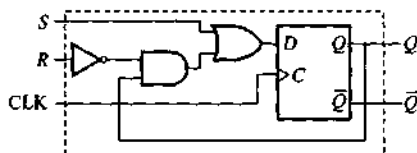
习题 2

R-S 触发器的输入方程式为 $R = g_1 Q$, $S = g_2 \bar{Q}$

D 触发器的输入方程式为

$$D = g_1 Q + g_2 \bar{Q}$$

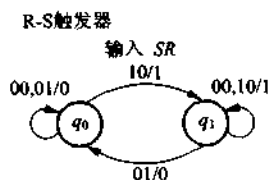
$$= \bar{R}Q + S$$



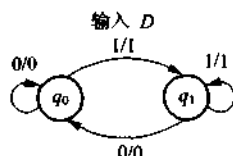
Q	R	g_1
0	0	×
1	0	1
1	1	0

$$g_1 = \bar{R}$$

习题 3



D型触发器



时刻 t 的状态	时刻 $t+1$ 的状态				输出			
	输入 SR				输入 SR			
	00	01	10	11	00	01	10	11
q_0	q_0	q_0	q_1	—	0	0	1	—
q_1	q_1	q_0	q_1	—	1	0	1	—

注：—为禁止组合

时刻 t 的状态	时刻 $t+1$ 的状态		输出	
	输入 D		输入 D	
	0	1	0	1
q_0	q_0	q_1	0	1
q_1	q_0	q_1	0	1

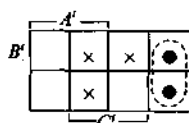
习题 4

时刻 t 的状态的分配				时刻 $t+1$ 的状态		
状态(计数)	C	B	A	C	B	A
0	0	0	0	0	0	1
1	0	0	1	0	1	0
2	0	1	0	0	1	1
3	0	1	1	1	0	0
4	1	0	0	0	0	0

无 $C\bar{B}A$, $C\bar{B}\bar{A}$, CBA 的组合

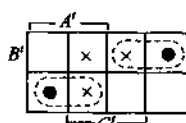
$$A^{n+1} = (0A + C\bar{A})'$$

$$J_A = g_{A2} = \bar{C}, K_A = \bar{g}_{A1} = 1$$



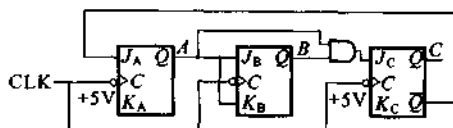
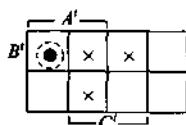
$$B^{n+1} = (\bar{A}B + A\bar{B})'$$

$$J_B = g_{B2} = A, K_B = \bar{g}_{B1} = A$$



$$C^{n+1} = (0C + ABC\bar{C})'$$

$$J_C = g_{C2} = AB, K_C = \bar{g}_{C1} = 1$$



第 4 章

习题 1

0000H-7FFFH ROM

8000H-9FFFH	RAM1
A000H-BFFFH	RAM2
FF00H-FFFFH	输入/输出电路

任何 RAM 的地址也都能设置在 C000H-DFFFH。

习题 2

通过设定方向寄存器的输出,把输出端口锁定的内容输出到端口上去。

若端口处于无负载状态,在端口所输出的电平就原样被读出,结果就与读出输出端口锁定的内容相同。

当在端口接有某种负载时,由于有电流流入负载会使端口的端子电压下降。当此电压在输入缓冲区的阈值电平以上时,就认为是逻辑 1,而在阈值电平之下时,则为逻辑 0。

习题 3

数据位与校验位上的“1”的数的总和为偶数,故可依此决定校验位。因此,数据位中的“1”的数为 7 是奇数,则校验位就是“1”。

第 5 章

习题 1

RAM 的速度快,可以随时对数据进行高速的读出和写入,但电源一切断,数据就被破坏了(挥发性的)。但 ROM 即使切断电源,数据也不会被破坏,因写入过程较复杂,专门用于读出。

习题 2

DRAM 的存储单元是由一个电容与一个晶体管组成的存储元件。因其构造简单,能够有很高的集成度,每位的价格比较便宜,随时可以读出或写入。

习题 3

DRAM 的数据是由在电容上蓄积电荷来进行存储的,蓄积的电荷会因 pn 结的泄漏电流而慢慢消失,过了一定时间数据就会丢失。因此,在数据消失前,每隔一定的时间,就要对所有的存储单元的数据进行重新写入,这就是所谓的刷新(refresh)动作。

习题 4

- ① 它是在 IC 制造阶段就把用户要求的数据写入芯片的不挥发性存储器。
- ② 其存储单元仅由一个晶体管组成,故可以将集成度作得很高。
- ③ 是读出专用的存储器。

第6章

习题1

人机接口,是指使用机器设备的人与机器设备的界面。无论机器的性能有多么好,如果人机接口不好,再好的机器也不能被很好地使用。输入输出性能是事务处理设备中发展最慢、问题也较多的部分。因此,可以毫不夸张地说,输入输出性能可以左右设备的整体性能。

习题2

〈语音输入〉

长处:即使是初学者也能使用。不必经过特别地训练。

对于特定的人或不特定的人,其使用方式可作某种选择。

短处:输入速度不能过快。

软件规模过大。

不特定说话人使用时,出错率较大。需对设备反复训练,才能为一般说话人所使用。

〈键盘〉

长处:输入速度相对较快。

机构简单,可靠性高,准确(出错少)。

短处:需要训练。

习题3

必须从初次使用甚至从未用过车站的售票机或银行的ATM自动取款机的人的角度来考虑它们的人机接口的设计问题。为此即使牺牲一些输入速度也值得。要采用一些容错的方法。最近多采用触摸屏与声音引导等组合方法。

第7章

习题1

参照表7.1。大致可分为自然噪声与人为噪声,有意的噪声与无意的噪声,侵入噪声与逸出噪声等。

习题2

印制电路板上元件的排列,合理的配线模式设计,IC,LSI的选定,采用适当的旁路电容,衰减电阻,屏蔽机箱,滤波器,接地等方面的设计。

习题3

能采取的措施有插入噪声处理元件(如铁氧体磁芯,电源滤波器等),采用噪声隔离变压器,把电源线与信号电缆相分离等。

习题 4

在日本有关噪声限制的法规、标准有 VCCI, 电气用品取缔法, 电波法, JASO, FCC, IEC, CISPR, MIL, VDE, EN 等。

习题 5

当然是对家庭住宅环境(B类)中的噪声允许值规定的更严格。

第 8 章

习题 1

可参照图 8.1, 大概分为①初期故障期;②偶发故障期;③磨损故障期。

习题 2

大致有表面退化、铝配线故障、焊接故障、软故障、热载流子、静电放电破坏、闩锁等。

习题 3

可参照表 8.1, 表 8.2, 有高温、低温放置试验, 温度循环试验、气密性试验、冲击试验、静电破坏试验, 软故障试验等。

习题 4

可参照图 8.6。根据不同的温度条件, 电子元器件的故障率具有性能冗余特性。所选用的电子元器件的性能参数, 要留有比实际使用条件(电压、电流、功率等)数倍以上的冗余值。

习题 5

大致可分为对采用的电子元器件的选购、认定、检验、保管、电路的可靠性设计、印制电路板的可靠性设计、生产线的可靠性生产、对产品的各种可靠性试验等工作步骤。

参考文献

- [1] 伊藤健一,アースとノイズ対策,日刊工業新聞社
- [2] 岡村方春夫他,電磁波障害,産業図書
- [3] 岡村道夫,電磁ノイズのばなし,日刊工業新聞社
- [4] 画像電子学会編,画像工学ハンドブック,コロナ社
- [5] 塩見 弘,故障物理入門,日科技連
- [6] 電子情報通信学会編,電子情報通信ハンドブック,オーム社(1988)
- [7] 中村 尚,井上一成,河合浩行,三次元グラフィックス用フレームバッファメモリ
(3D-RAM),三菱電機技報,Vol.69, No.3.1995
- [8] 長嶋洋一,はじめて学ぶノイズ対策,工業調査会
- [9] 古谷勝美,システム信頼性設計のポイント,産業図書
- [10] 古谷勝美,ノイズ対策のポイント,産業図書
- [11] 平戸昌利,EMCのおはなし,日本規格協会
- [12] 松本三郎,DRAM活用の基礎技術,トランジスタ技術,p.418.1990年3月号
- [13] Q&A実践ノイズ対策,オーム社
- [14] 実例に見るEMCノイズ対策集,オーム社
- [15] 半導体デバイス信頼性ハンドブック,(株)日立製作所
- [16] ラムバス技術セミナー,Rambus K. K, 12/16/94
- [17] JIS C 7021, C 7022
- [18] MIL-HDBK-217, 750, 833

译者跋

我们常说,人类社会正在迈进数字化时代,电子信息技术发展日新月异,而数字电路则是重要的基础。显然在新世纪中的工程技术人员均应具备一定的数字电路基本知识,才能适应时代的要求。本书正是讲授数字电路及其应用的一本适用教材。

本书的主要特点是侧重于基本数字电路的应用,因此用了三分之二以上的篇幅讲述数字电路在微机、存储器及外部设备应用方面的基本原理和组成结构,以及噪声处理和提高设备可靠性等方面的技术,而仅在前三章中对逻辑代数、逻辑电路和触发器的基本知识做了简明扼要的介绍,内容翔实、深入浅出。另外,为便于教学和读者自学,本书每章最后均提供了精选的练习题,书末还附有全部解答。

他山之石可以攻玉。本书可以作为我国大中专院校计算机、信息通信、自动控制等专业的参考教材,并可用作在职工程技术人员进行数字电路应用方面培训的教材或自学进修使用。

近年来,科学出版社从日本欧姆社引进、翻译出版了多种电子电路、机电一体化及通信、信息处理等方面的图书,对我们及时了解日本在相关领域的情况以为借鉴颇有益处,作为广大科技人员、高等院校师生的学习参考书,受到市场的欢迎,希望他们不断把更多更新的发达国家的优秀科技书籍介绍给广大中国读者。

但由于译者水平有限,错误和不妥之处在所难免,还望读者不吝赐教。

另外,白雪、杜建芝二位参加了本书译稿的整理校勘工作。在此一并表示感谢。

本书著作权和专有出版权受到《中华人民共和国著作权法》的保护。凡对本书的一部分或全部进行转载、或用复印机进行复制或在其场合引用、以及录入电子设备等行为,均属侵害著作权,构成违法。

本书如需复制、引用、转载、改编时,必须得到版权所有者的许可。

如有任何疑问请与以下部门联系。联系时请尽量使用信函或传真形式。

科学出版社总编办 电话:010-64010643 传真:010-64019810

邮政编码:100717 地址:北京市东黄城根北街16号

北京东方科龙电脑图文制作有限公司 电话:010-82087401 传真:010-62072304

邮政编码:100029 地址:北京市朝阳区华严北里11号楼2层