

半导体数字集成电路

成都电讯工程学院 沈 铎 编

国防工业出版社



半 导 体 数 字 集 成 电 路

成都电讯工程学院

沈 铎 编

國防工業出版社

内 容 简 介

本书包括双极型电路和 MOS 型电路。书中,对这两类门电路的工作原理、参数、工艺和版图设计等基础知识作了全面介绍。对于触发器、全加器、寄存器、计数器、存储器……等侧重于逻辑结构的分析。此外,还介绍了 I²L、C²L、CCD 等新型器件。

本书是职工业余大学半导体专业的教材,也可供有关工程技术人员和大专院校师生参考。

半导体数字集成电路

成都电讯工程学院 沈 铎 编

*

国防工业出版社 出版

新华书店北京发行所发行 各地新华书店经售

国防工业出版社印刷厂印装

*

787×1092¹/₁₆ 印张13³/₄ 317千字

1980年11月第一版 1980年11月第一次印刷 印数: 0,001— 8,200册

统一书号: 15034·2003 定价: 1.45元

前 言

为满足电子工业职工业余大学半导体器件及相近专业的教学需要,编写了《半导体数字集成电路》一书。

近年来半导体集成电路发展迅速。随着集成电路的发展,集成度的提高,中、大规模集成电路的出现,不但早已打破了器件与线路之间的传统界线,而且也打破了器件与整机之间的界线。一块集成电路往往既是一个器件,又是一个整机或者是整机的一个大部件。因此,半导体集成电路课程涉及的内容也越来越宽,就以数字集成电路方面来说,它不仅涉及到半导体工艺、电路原理,还需涉及系统的逻辑设计。

半导体集成电路有各种分类方法,如以结构和制造上的特点为依据,常常分为双极型集成电路和 MOS 型集成电路两大类,它们各有特点。在中、小规模集成电路方面以双极型集成电路居多,在大规模集成电路方面,则 MOS 集成电路显得更为活跃。因此作为半导体集成电路的课程内容,似乎两者都不可偏废。作为一门专业基础课程,又必需侧重于基本原理和基本分析方法。鉴于上述原因,本书的内容具体安排如下:

第一章介绍各种计数的进位制、逻辑代数和卡诺图。这是逻辑分析和逻辑设计的基础知识。

第二章讲述双极型集成电路基础。TTL 逻辑门是最成熟、最有代表性的门电路,所以本章以分析 TTL 电路为主,并介绍门电路的基本工作原理、参数指标以及版图设计。

第三章讲述 MOS 集成电路基础。在 MOS 集成电路方面, MOS 晶体管几乎是电路中的唯一元件。MOS 集成电路与 MOS 晶体管之间的关系极为紧密,对于 MOS 集成电路的设计和分析无不建立在 MOS 晶体管的基础之上。另一方面,在单个晶体管的产品中, MOS 晶体管比较少见,它似乎成了 MOS 集成电路中的专用元件。因此,本章的内容以 MOS 晶体管作为起点,介绍了 MOS 晶体管的基本工作原理和特性。在此基础上对 MOS 集成电路的基本单元电路——各种 MOS 倒相器,作了比较详细的讨论。最后,介绍 MOS 集成电路工艺概况,同时引出了新型的 MOS 器件 C^2MOS (或称闭环互补逻辑电路 C^2L)。

第四章讲述集成触发器和其它功能器件。内容是以前三章为基础,转向逻辑结构方面的分析。因此,将双极型集成触发器和 MOS 集成触发器汇集在同一章中。本章首先从逻辑结构方面较详尽地介绍各种类型的触发器;然后,分别讨论 MOS 型和双极型触发器的一些具体电路;最后,介绍一些其它功能器件。这些功能器件是以门电路和触发器为基础的,因此在讨论中以门电路和触发器为基本单元而过渡到逻辑设计方面的内容。

第五章讲述大规模集成电路。在大规模集成电路领域中, MOS 集成电路显得更为活跃。所以,本章的内容也侧重于 MOS 集成电路。首先介绍了 MOS 动态电路和移位寄存器,然后介绍随机存取存储器 (RAM) 和只读存储器 (ROM)。在 ROM 一节中还介绍了 ROM 的应用。ROM 的应用和 ROM 的逻辑设计之间有着紧密的联系,某些内容,名义上

是应用，实际上已属 ROM 的逻辑设计范畴。本章最后，介绍了二种新型半导体器件，I²L 和 CCD 器件，对 CCD 器件还列举了出现不久的 CCD 存储器。

在编写过程中，程瑞禧同志做了大量的校对和整理工作。由于编者水平低，编写时间仓促，错误和不妥之处一定不少，敬请读者批评指正。

编 者

目 录

第一章 计数制和逻辑函数	1
§ 1-1 各种进位制的计数方法及相互转换	1
一、二进制计数法	1
二、十进制和二进制的互相转化	1
三、其它进位制的表示法	3
§ 1-2 逻辑代数	3
一、“与”、“或”、“非”运算规则	3
二、逻辑代数的基本定理	5
§ 1-3 真值表、最小项表达式和卡诺图	7
一、真值表	7
二、最小项表达式	7
三、卡诺图	8
四、逻辑符号	10
第二章 双极型集成电路基础	12
§ 2-1 双极型集成电路的常规工艺流程及其基本结构	12
一、工艺流程	12
二、集成电路的特点	14
§ 2-2 二极管-晶体管逻辑电路	15
一、DTL “与非”门的基本原理	15
二、DTL的电压传输特性	18
三、门电路的参数	19
四、改进的DTL	25
五、DTL驱动器	27
六、高阈值逻辑电路 (HTL)	30
§ 2-3 晶体管-晶体管逻辑电路	31
一、TTL的工作原理	31
二、典型的TTL “与非”门	33
三、TTL的改进形式	44
四、TTL逻辑功能的扩展	49
§ 2-4 版图设计	56
一、某些工艺参数的选定	56
二、元件的图形设计	57
三、版图实例	74
§ 2-5 发射极耦合逻辑门	78
一、ECL的基本电路	78
二、ECL的输出级及定偏电源电路	80
三、ECL的电压传输特性及其它基本性能	81
第三章 MOS 集成电路	84
§ 3-1 MOS 晶体管	84
一、MOS晶体管的一般介绍	84
二、对MOS器件阈值电压 V_T 的分析	86
三、MOS晶体管的特性曲线	91

四、MOS晶体管的跨导 (g_m)和通导电阻 (R_{on})	95
五、MOS晶体管的源-漏击穿电压、栅击穿电压和栅保护	97
六、MOS晶体管的衬底偏压效应	99
§ 3-2 MOS 集成电路中的基本单元电路	101
一、MOS集成电路中的倒相器	101
二、MOS集成电路中的基本门电路	118
§ 3-3 MOS 集成电路的工艺概况	123
一、铝栅p-MOS 工艺	123
二、n-MOS 硅栅工艺	126
三、C-MOS工艺和C ² L器件	127
第四章 触发器及其它功能器件	131
§ 4-1 触发器	131
一、触发器的逻辑结构和功能	131
二、MOS触发器电路	145
三、双极型TTL触发器	149
§ 4-2 其它功能器件	154
一、全加器	154
二、寄存器和移位寄存器	155
三、计数器和数码显示	157
四、译码器和数据选通器	161
第五章 大规模集成电路	165
§ 5-1 动态MOS基本电路	166
一、动态有比电路	167
二、动态无比电路	169
§ 5-2 MOS移位寄存器	171
一、移位寄存器的基本单元	171
二、移位寄存器的应用	176
§ 5-3 随机存取存储器 (RAM)	178
一、存储单元	179
二、RAM 的结构	182
§ 5-4 只读存储器 (ROM)	189
一、二极管 (ROM)	189
二、MOS 只读存储器 (MOS-ROM)	190
三、双极型ROM	191
四、可编程序只读存储器 (PROM)	192
五、只读存储器的应用	193
§ 5-5 集成注入逻辑 (I ² L)	202
一、I ² L 的基本结构和工作原理	202
二、I ² L 的基本逻辑电路	204
§ 5-6 电荷耦合器件 (CCD)	207
一、CCD 的基本工作原理	207
二、CCD 的基本参数以及结构上的改进	210
三、CCD 存储器	212

第一章 计数制和逻辑函数

在逻辑系统中只用二个符号，即“1”和“0”，分别称为“真值”和“伪值”。“1”和“0”这两个符号可对应于二进计数制的两个数符，因此逻辑系统中常采用二进计数制。本章开始先介绍二进计数制以及由二进计数制引出的其它进位的计数制；第二部分是介绍逻辑系统中的常用分析手段——布尔代数及卡诺图；最后，介绍一些逻辑符号。

§ 1-1 各种进位制的计数方法及相互转换

一、二进制计数法

在日常生活中，我们常用的计数方法是十进计数制，即用十个符号（0、1、2、…、9）来计数。如果用一位不够，则用二位（10、11、…、99）；二位不够，则用三位（100、101、…、999）……。这种计数的原则是逢十进一，即先用一位数来计数，计到九时，如再加一，则为十，写为 10，也就是进入高位；当高一位的计到九时，如再增加，则进入更高一位，变成三位数；……依此类推。这种计数方法，我们在日常生活中已很习惯。但是，在数字系统中，因为是用“开”和“关”（或“高”和“低”）二个状态来计数，所以只能对应于二个计数符号，即一个对应于“0”，另一个对应于“1”。用“0”和“1”二个数符来计数时，其规律自然地就变为逢二进一。当用一位数计到 1 时，如再加一，则为 10；用二位数计到 11 时，如再加一，则写为 100；……依此类推。下面列出了从零到十六的两种计数方法。

表1-1 十进位计数和二进位计数的表示法

数 目 \ 计数制			数 目 \ 计数制		
	十进制	二进制		十进制	二进制
零	0	0	九	9	1001
一	1	1	十	10	1010
二	2	10	十一	11	1011
三	3	11	十二	12	1100
四	4	100	十三	13	1101
五	5	101	十四	14	1110
六	6	110	十五	15	1111
七	7	111	十六	16	10000
八	8	1000			

二、十进制和二进制的互相转化

对于一个十进制数，如 7893_{10} （脚注 10 表示用十进位计数）。它实际上为

$$7893_{10} = 7(10)^3 + 8(10)^2 + 9(10)^1 + 3(10)^0$$

千位数 百位数 十位数 个位数

即由千位数、百位数、十位数和个位数相加而得。每位都是以 10 为基数，从右向左，

幂次从 0 开始, 依次递增, 每位再乘上其相应的系数, 即为该位的数。所以, 对于一个 n 位的十进数 N_{10} , 便可写为

$$\begin{aligned} N_{10} &= a_{n-1}(10)^{n-1} + a_{n-2}(10)^{n-2} + \cdots + a_3(10)^3 + a_2(10)^2 + a_1(10)^1 + a_0(10)^0 \\ &= \sum_{i=0}^{n-1} a_i(10)^i \end{aligned}$$

其中 a_i 是相应 i 位 (即 10^i) 的系数。如果我们略去加号和 10 的幂次项, 则便简化为常用的表示形式

$$N_{10} = a_{n-1}a_{n-2}a_{n-3}\cdots a_3a_2a_1a_0$$

对于一个二进制数 N_2 , 也可作类似的表达

$$\begin{aligned} N_2 &= a_{n-1}(2)^{n-1} + a_{n-2}(2)^{n-2} + \cdots + a_3(2)^3 + a_2(2)^2 + a_1(2)^1 + a_0(2)^0 \\ &\quad \begin{array}{ccccccc} & & \uparrow & & \uparrow & & \uparrow & & \uparrow & & \uparrow \\ & & (2)^{n-2} \text{ 位数} & & 8 \text{ 位数} & & 4 \text{ 位数} & & 2 \text{ 位数} & & 1 \text{ 位数} \end{array} \\ &= \sum_{i=0}^{n-1} a_i(2)^i \end{aligned}$$

它与十进制数相比, 仅仅将基数改为 2, 系数 a_i 只有二个数字符, 即 0 或 1。如果略去加号和 2 的幂次项, 只写出各项的系数, 则便写为

$$N_2 = a_{n-1}a_{n-2}a_{n-3}\cdots a_3a_2a_1a_0$$

根据上述二种计数法的分析, 便很容易得到它们转化的规律。下面用几个实例来表明转化的方法:

例 1. 二进制转十进 将二进制数 $N_2 = 110101_2$ 转化为十进数。该数由 6 位组成, 即 $n = 6$, 它分解为

$$\begin{aligned} 110101_2 &= 1(2)^5 + 1(2)^4 + 0(2)^3 + 1(2)^2 + 0(2)^1 + 1(2)^0 \\ &= 32 + 16 + 0 + 4 + 0 + 1 \\ &= 53_{10} \end{aligned}$$

例 2. 十进制转二进制 将十进数 56_{10} 转为二进制。

方法 I:

(i) 观察 56 中可包括的 2 最高次幂为 $2^5 = 32$, 再求出差值 $56 - 32 = 24$;

(ii) 观察 24 中可包括的 2 最高次幂为 $2^4 = 16$, 再求出差值 $24 - 16 = 8$;

(iii) 观察 8 中可包括的 2 最高次幂为 $2^3 = 8$ 。

结果:

$$56_{10} = 1(2)^5 + 1(2)^4 + 1(2)^3 + 0(2)^2 + 0(2)^1 + 0(2)^0 = 111000_2$$

方法 II:

56 除 2, 得商和余数记入表中。再将其商除 2, 又得商和余数再记入表中。依次重复处理, 直到所得商为 0, 余数相应记入表中, 即得表 1-2。

表中的余数就是相应各项的系数, 由表 1-2 的运算结果便可直接写出 56_{10} 的二进制表示法

$$56_{10} = 1(2)^5 + 1(2)^4 + 1(2)^3 + 0(2)^2 + 0(2)^1 + 0(2)^0 = 111000_2$$

表1-2 十-二进制转换计算表

求	商	余数 (对应于系数)	位 数
$56 \div 2 = 28$		0	2^0 (二进制的最低位)
$28 \div 2 = 14$		0	2^1
$14 \div 2 = 7$		0	2^2
$7 \div 2 = 3$		1	2^3
$3 \div 2 = 1$		1	2^4
$1 \div 2 = 0$		1	2^5 (二进制的最高位)

三、其它进位制的表示法

在数字系统中,除了用二进制和十进制以外,还有八进制和十六进制。在八进制中,用0、1、2、…、7八个数字符来计数,它的基数为8;十六进制的数字符除0、1、2、…、9的十个数字符外再加A、B、C、D、E、F等六个数字符,共计十六个数字符。这种计数方法主要是和二进制数的关系简单,而且用这种计数方法时不像二进制那么冗长,如要将某二进制数 $N_2 = 10011001_2$ 转为八进制数时,只要将此数自低位向高位三位一组撇开,即可直接写出,如

$$\begin{aligned} N_2 &= 10,011,001_2 \\ &= 231_8 \end{aligned}$$

如转为十六进数,则将二进制数四位一组撇开,便可直接写为十六进数。如

$$N_2 = 1101, 1001_2 = D9_{16}$$

另外,在数字系统中常遇到所谓用二进制代码表示的十进制数,简称为(BCD)数。它是将二进制数四位作为一组,每组表示一位十进制数,但因十进制的数字符只有十个,用8421码来计数时,每一组数只要从0000到1001即够,从1010到1111是不出现的。用这种计数方法时,虽然不能充分利用四位数组所能表达的全部数值,但转换时很方便,所以应用极为普遍。

§ 1-2 逻辑代数

逻辑代数是十九世纪的一位数学家布尔(Boole)提出的,所以又称布尔代数。早期是用于分析开关网络和继电器网络,所以又称开关代数。目前已普遍用于逻辑系统的设计和计算机的设计中。逻辑代数和普通代数有点类似,也是先根据一些简单的事实引出一些公理,再用公理引证出一些定理。利用这些定理便于进一步分析更复杂的运算问题。逻辑代数的特点是变量只可能取二者之一,即真或伪,分别用1或0二个数字符来表示。因此它只适合处理二种状态的事物。例如,在开关电路中,每个开关只能处于“开”或“关”,开关电路的状态也只能是“通”或“不通”。在逻辑电路中,每个输入端状态和输出端状态用电平的“高”或“低”二种状态来表示,所以也可用逻辑代数来分析。下面,我们就以简单的开关网络为例,先说明逻辑代数的一些最基本的运算,然后再介绍逻辑代数的基本定理以及逻辑函数的表达方法。

一、“与”、“或”、“非”运算规则

1. “与”运算

图 1-1 是二个开关 A 、 B 串联的电路，电路的状态用灯泡来描述。设电路联通，灯亮为“1”；电路不通，灯暗为“0”。对开关的状态是：开关合上为1；开关断开为“0”。则我们说电路的状态受着开关 A 、 B 的“与”控制作用，或说灯 Q 和开关 A 、 B 之间存在“与”的逻辑关系。用逻辑语言表达为： A “与” B （合闸）的条件都满足时， Q （亮）的目的实现，用表达式写为

$$Q = A \cdot B$$

逻辑“与”又称逻辑乘，它的运算符号除用“ $\cdot$ ”外也有用“ $\times$ ”或省略不用，即写为

$$Q = A \cdot B = A \times B = AB$$

参考图 1-1 的具体电路，“与”运算的规则如下

$$0 \cdot 0 = 0$$

$$1 \cdot 0 = 0$$

$$0 \cdot 1 = 0$$

$$1 \cdot 1 = 1$$

由此可以推出

$$A \cdot 0 = 0$$

$$A \cdot 1 = A$$

$$A \cdot A = A$$

2. “或”运算

图 1-2 是二个开关并联的电路，灯泡 Q 的状态和开关 A 、 B 之间具有“或”的逻辑关系，用逻辑语言表达为：只要 A “或” B （合闸）的条件满足，灯（亮）的目的就实现。“或”逻辑的表达式为

$$Q = A + B$$

“或”逻辑又称逻辑加。

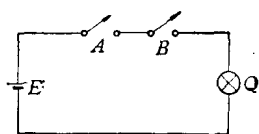


图1-1 “与”控制

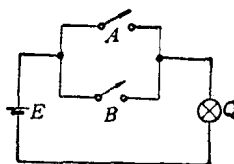


图1-2 “或”控制

参考图 1-2 的电路，“或”运算的规则如下

$$0 + 0 = 0$$

$$1 + 0 = 1$$

$$0 + 1 = 1$$

$$1 + 1 = 1$$

由此可以推出

$$A + 0 = A$$

$$A + 1 = 1$$

$$A + A = A$$

3. “非”运算

图 1-3 是对应于“非”逻辑运算的开关电路。当开关 A 合上时，灯暗；当开关 A 断开时，灯亮。也就是 $A = 1$ 时， $Q = 0$ ； $A = 0$ 时， $Q = 1$ 。对于这种情况，我们说：负载（输出）状态与开关 A 的状态之间具有“非”的逻辑关系，逻辑表达式写为

$$Q = \bar{A}$$

或

$$\bar{Q} = A$$

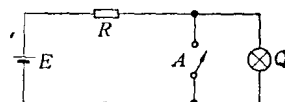


图1-3 “非”控制

在字母上加一横，表示相反的状态。如 $A = 1$ ，则 $\bar{A} = 0$ ；如 $A = 0$ ，则 $\bar{A} = 1$ 。也就是开关的“开”和“关”是互为相反状态。逻辑“非”有时称为逻辑“反”或逻辑“补”。例如 $\bar{A}$ 读作“ A 非”、“ A 反”或“ A 补”。

参考图 1-3 的负载状态和开关 A 状态之间的关系，“非”运算规则如下

$$\bar{1} = 0$$

$$\bar{0} = 1$$

由此可以推出

$$\bar{\bar{A}} = A$$

$$A + \bar{A} = 1$$

$$A \cdot \bar{A} = 0$$

二、逻辑代数的基本定理

在逻辑运算中，有十条基本定理，现归纳并命名于下：

定理 1. 交换律

$$1a. A \cdot B = B \cdot A$$

$$1b. A + B = B + A$$

定理 2. 结合律

$$2a. A \cdot (B \cdot C) = (A \cdot B) \cdot C$$

$$2b. A + (B + C) = (A + B) + C$$

定理 3. 分配律

$$3a. A \cdot (B + C) = A \cdot B + A \cdot C$$

$$3b. A + (B \cdot C) = (A + B) \cdot (A + C)$$

定理 4. 自等律

$$4a. A \cdot 1 = A$$

$$4b. A + 0 = A$$

定理 5. 0-1 律

$$5a. A \cdot 0 = 0$$

$$5b. A + 1 = 1$$

定理 6. 互补律

$$6a. A \cdot \bar{A} = 0$$

$$6b. A + \bar{A} = 1$$

定理 7. 重叠律

$$7a. A \cdot A = A$$

$$7b. A + A = A$$

定理 8. 吸收律

$$8a. A + AB = A$$

$$8b. A \cdot (A + B) = A$$

定理 9. 非非律

$$\overline{\overline{A}} = A$$

定理 10. 摩根定理

$$10a. \overline{A \cdot B \cdot C \cdots} = \overline{A} + \overline{B} + \overline{C} + \cdots$$

$$10b. \overline{A + B + C + \cdots} = \overline{A} \cdot \overline{B} \cdot \overline{C} \cdots$$

这些定律的验证可以将变量的二种可能状态分别代入关系式两边, 再运用“与”、“或”、“非”的运算规则, 便可证实等号左右是恒等的。也可以将等式左右分别划出它们的开关控制电路, 从电路状态的一致性来验证。

上面的定律是成对出现的, 它反映出逻辑“与”和逻辑“或”存在着对偶性, 即将等式中的“与”全部换成“或”, 将“或”全部换成“与”, 则等式仍成立。记住这个规律, 有时会对逻辑运算带来很大的方便。

下面再列举一些函数简化的实例, 它们的结论也可作定理引用。

例 1.

$$1a. A + AB = A$$

$$\text{证明: } A + AB = A(1 + B) = A \cdot 1 = A$$

$$1b. A(A + B) = A$$

$$\text{证明: } A(A + B) = AA + AB = A + AB = A(1 + B) = A$$

例 2.

$$2a. A + \overline{A}B = A + B$$

$$\text{证明: } A + \overline{A}B = A(1 + B) + \overline{A}B = A + AB + \overline{A}B = A + (A + \overline{A})B = A + B$$

$$2b. A(\overline{A} + B) = AB$$

$$\text{证明: } A(\overline{A} + B) = A\overline{A} + AB = 0 + AB = AB$$

例 3.

$$3a. AB + A\overline{B} = A$$

$$\text{证明: } AB + A\overline{B} = A(B + \overline{B}) = A \cdot 1 = A$$

$$3b. (A + B)(A + \overline{B}) = A$$

$$\begin{aligned} \text{证明: } (A + B)(A + \overline{B}) &= AA + AB + A\overline{B} + B\overline{B} = A + A(B + \overline{B}) + 0 \\ &= A + A \cdot 1 = A \end{aligned}$$

例 4.

$$4a. AB + \overline{A}C + BC = AB + \overline{A}C$$

$$\begin{aligned} \text{证明: } AB + \overline{A}C + BC &= AB + \overline{A}C + (A + \overline{A})BC = AB + \overline{A}C + ABC + \overline{A}BC \\ &= AB(1 + C) + \overline{A}C(1 + B) = AB + \overline{A}C \end{aligned}$$

$$4b. (A + B)(\overline{A} + C)(B + C) = (A + B)(\overline{A} + C)$$

证明: (利用例 4 a 的结果)

$$\begin{aligned}
 \text{等式左边: } (A+B)(\bar{A}+C)(B+C) &= (A\bar{A}+AC+\bar{A}B+BC)(B+C) \\
 &= (AC+\bar{A}B)(B+C) = ACB+ACC+\bar{A}BB+\bar{A}BC \\
 &= ABC+AC+\bar{A}B+\bar{A}BC = AC+\bar{A}B
 \end{aligned}$$

$$\begin{aligned}
 \text{等式右边: } (A+B)(\bar{A}+C) &= A\bar{A}+B\bar{A}+AC+BC = B\bar{A}+AC+BC \\
 &= AC+\bar{A}B
 \end{aligned}$$

例5. 对逻辑函数 $f(A, B, C) = A(\bar{B}\bar{C} + D + E)$ 求补。

$$\begin{aligned}
 \bar{f}(A, B, C) &= \overline{A(\bar{B}\bar{C} + D + E)} = \bar{A} + \overline{\bar{B}\bar{C} + D + E} \\
 &= \bar{A} + (\bar{B} + C) \cdot \bar{D} \cdot \bar{E}
 \end{aligned}$$

在上面的函数转化中，用了三次摩根定理。

§ 1-3 真值表、最小项表达式和卡诺图

描述一个开关函数，除用逻辑式表示外，还可用图表的形式来表达。常用的图表法有真值表和卡诺图。每一种表示方法都有它的独到之处，用真值表表达时，根据变量状态便可直接查得函数值。用卡诺图表达时，便于简化逻辑式，给逻辑设计工作带来极大的方便。

一、真值表

真值表是由二部分组成：第一部分是将变量的可能组合情况有系统地罗列出来；第二部分是函数的结果，也就是变量的各种组合所对应的函数值，它们都是以真、伪（即1、0）二状态来表示。

图1-4(a)、(b)、(c)分别表示“与”、“或”、“非”的真值表。任何逻辑函数都可用真值表表示。

AB	$Q = A \cdot B$	AB	$Q = A + B$	A	$Q = \bar{A}$
0 0	0	0 0	0	0	1
0 1	0	0 1	1	1	0
1 0	0	1 0	1		
1 1	1	1 1	1		

(a) “与” (b) “或” (c) “非”

图1-4 “与”、“或”、“非”的真值表

二、最小项表达式

对于任何开关函数，都可以写成二种标准形式，一种是“乘积之和”标准式，又称最小项表达式，它的每个乘积项中包含所有的变量元素，但每个变量在一个“乘积”项中只出现一次。另一种是“和之乘积”标准式，又称最大项表达式，它的每个和项中也包含所有的变量元素，每个变量元素在一个“和项”中也只出现一次。下面我们只对最小项表达式进行讨论。最大项表达式与它有对偶关系，因为下面没有直接用到，所以不作讨论。

下面用一个实例来表明“乘积之和”标准式。

例. 求三变量函数 $f(A, B, C) = AB + AC$ 的最小项表达式(即“乘积之和”标准式)。

在上面的函数式中，二个乘积项都没有包含全部变量，为使每个乘积项中都能包含所有的变量元素，可利用 $A + \bar{A} = 1$ 的关系乘入各项，便可补齐所缺的变量，即

$$\begin{aligned}
 AB + AC &= AB(C + \bar{C}) + AC(B + \bar{B}) \\
 &= ABC + AB\bar{C} + ACB + AC\bar{B} \\
 &= ABC + AB\bar{C} + AC\bar{B}
 \end{aligned}$$

式中的三个乘积项都包括 A 、 B 、 C 三个变量，这就是该函数的最小项表达式，或称“乘积之和”标准式，式中的每个乘积项都称为最小项。

任何一个逻辑函数用最小项表达时，它的表达式是唯一的，也就是说，如果两函数相等，则它们转化为最小项表达式后，其形式完全相同。因为一个 n 变量的任何逻辑函数，都可用通式来表示，它包括所有可能的最小项之和（即 2^n 个最小项之和）。不同的 n 变量函数，仅仅是各最小项是否存在的问题。现以三变量函数为例，它的最小项表达式的通式写为

$$\begin{aligned}
 f(A, B, C) &= a_1(ABC) + a_2(AB\bar{C}) + a_3(A\bar{B}C) \\
 &\quad + a_4(A\bar{B}\bar{C}) + a_5(\bar{A}BC) + a_6(\bar{A}B\bar{C}) \\
 &\quad + a_7(\bar{A}\bar{B}C) + a_8(\bar{A}\bar{B}\bar{C})
 \end{aligned} \quad (1-1)$$

共有 $2^n = 2^3 = 8$ 项，它包括了所有可能的组合。式中 a_i 是各最小项的系数，它可以等于 0 或 1。不同的函数就对应于不同的 a_i 值。如 a_i 为 1，则该最小项存在；如 $a_i = 0$ ，则该最小项被消去。在式 (1-1) 中，因为它包括了所有可能的最小项，所以任何三变量函数的最小项表达式可视为由式 (1-1) 消去系数项而来的，同一函数的对应项系数 a_i 必然相等。所以，一个函数用最小项表达式时，它的形式是唯一的。

三、卡诺图

用卡诺图表示函数的方法是根据最小项表达式，将各最小项的系数 a_i 填入表格的相应位置中，也就是对不存在的最小项，在其对应方格内填 0，在有该最小项的对应位置上填 1。现以二变量函数 $f(A, B) = \bar{A}B + AB + A\bar{B}$ 为例，它的卡诺图如图 1-5 所示。

图 1-5(a)、(b) 的表示方法是：变量 B 对应于行；变量 A 对应于列。图 1-5(c) 和 (d) 的表示方法，则是变量 A 、 B 都对应于列，因为变量 AB 的可能状态有四组，所以对应于四列。图 1-5(b) 与 (a) 的表示形式是一致的，在图 (b) 中只不过用 1 和 0 来表示变量的真值和伪值，并在左上角注明所对应的变量。图 1-5(d) 和 (c) 的形式也基本相同，即用 00 对应于 $\bar{A}\bar{B}$ ，01 对应于 $\bar{A}B$ ，……等等。几种表示方法，都是同一函数的卡诺图。

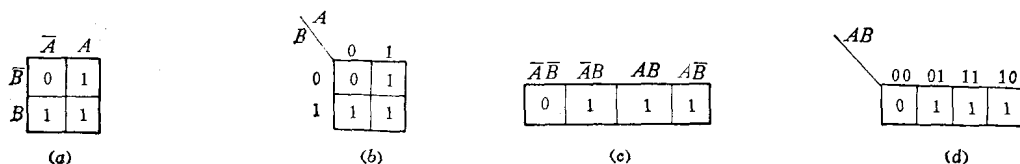


图1-5 $f(A, B) = \bar{A}B + AB + A\bar{B}$ 的卡诺图

画卡诺图的关键问题是掌握邻近项的特点，就是两个相邻项总有一个变量存在互补关系，而且也仅仅只有一个变量存在互补关系。在图 1-5(a) 和 (b) 中，第一列和第二列分别对应于 $\bar{A}$ 和 A ，第一行和第二行分别对应于 $\bar{B}$ 和 B ，也存在互补关系。在图 1-5

(c)和(d)中,它的变量排列方式也是按照有一个变量存在互补的原则,而且第四列和第一列也是有一个变量互补,第一列是 $\overline{A}\overline{B}$,第四列是 $A\overline{B}$,其中,变量 A 满足互补条件,所以它们也具有邻近项的特点,也称邻近项。这种变量排列的方式主要是有利于简化函数,便于求得最简函数式。

卡诺图的主要用途之一是简化逻辑函数,求得最简函数式。利用卡诺图求最简函数式的方法是:先画出函数对应的卡诺图,然后在图上将邻近项为“1”的单元圈为一组,表示可消去其中的互补变量,然后将圈为一组的元素用一个乘积项写出来,这样就可直接写出最简函数式。

现以函数 $f(A, B) = \overline{A}B + A\overline{B} + AB$ 为例,其卡诺图如图1-6所示。

在图1-6(a)中 $A\overline{B}$ 和 AB 都为1,将它们圈在一起,表示可消去 B 得到 A (因为 $A\overline{B} + AB = A(\overline{B} + B) = A$)。同样, $\overline{A}B$ 和 AB 项可消去 A 得 B (因为 $\overline{A}B + AB = (\overline{A} + A)B = B$)。也就是将圈成一组的二项简化为一项,写成逻辑式时,就可直接得到最简式。在图1-6中,根据圈组的情况,便可直接写出 $f(A, B) = A + B$ 。在画圈过程中,每个方格元素可以重复圈用,像图1-6中的 AB 元素,圈用了二次,因为开关函数具有 $AB + AB = AB$ 的特性。



图1-6 $f(A, B) = \overline{A}B + AB + A\overline{B}$ 的卡诺图

对于三变量和四变量函数的卡诺图也可按上述原则处理。但在作图时必须注意相邻项中保持一个变量互补的原则。图1-7(a)、(b)是某三变量函数 $f(A, B, C) = \overline{A}\overline{B}\overline{C} + \overline{A}BC + ABC + A\overline{B}\overline{C}$ 的卡诺图。在000(即 $\overline{A}\overline{B}\overline{C}$)项和100(即 $A\overline{B}\overline{C}$)项中。因为分别有 $\overline{A}$ 和 A ,所以圈为一组,简化为一项 $\overline{B}\overline{C}$;在011(即 $\overline{A}BC$)项和111(即 ABC)项中,因为有 $\overline{A}$ 和 A ,所以简化为一项 BC 。结果,函数的最简式为

$$f(A, B, C) = \overline{B}\overline{C} + BC$$

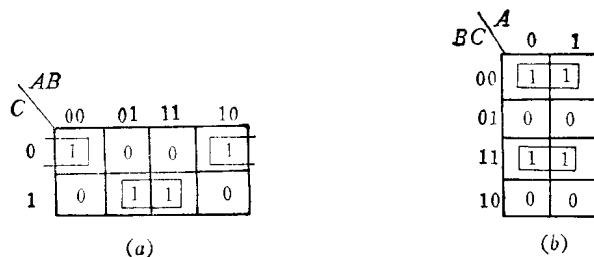
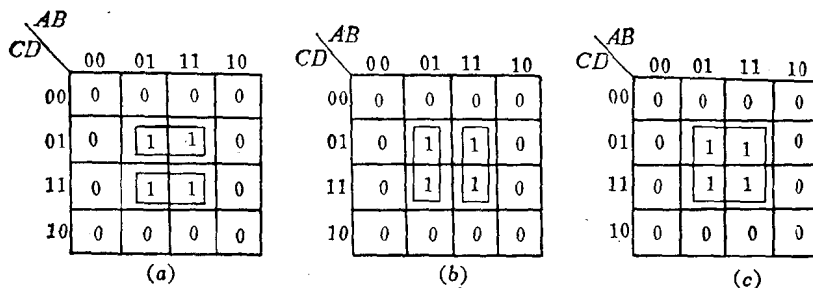


图1-7 三变量函数的卡诺图 $f(A, B, C) = \overline{B}\overline{C} + BC$

图1-8是四变量函数的卡诺图。它有四个邻近项在一起,如按上述的简化方法,将二个邻近项圈在一起,它可圈成二种形式,如图1-8(a)和(b)所示。将它们写成逻辑式时,分别为

图1-8 四变量函数的卡诺图 $f(A, B, C, D) = BD$

$$f_a(A, B, C, D) = B\bar{C}D + BCD = BD(\bar{C} + C) = BD$$

和

$$f_b(A, B, C, D) = \bar{A}BD + ABD = (\bar{A} + A)BD = BD$$

结果完全相同。如果将四项圈在一起，如图 1-8(c) 所示：圈在一起的四项中， B 和 D 没有对应的互补元素，不能消去； A 和 C 都有对应的互补元素，可以消去。结果便可直接写出最简函数式

$$f_c(A, B, C, D) = BD$$

圈为一组的几个元素便简化为一个乘积项，该乘积项中只包括没有互补的变量元素。

图 1-9 也是一个四变量的卡诺图。它有八个邻近项可圈在一起，图中除元素 $\bar{D}$ 外，其它元素都有对应的互补元素，因此八个邻近项就合而为一，得最简式

$$f(A, B, C, D) = \bar{D}$$

对于更多变量的卡诺图及其简化函数的方法都可按上述原则处理，但因实际工作中用得较少，所以不再讨论。

四、逻辑符号

逻辑代数和普通代数一样，是抽象化了的数学，即抽去了具体内容后的数学方法。它可以描述任何事物，前面我们是从简单的开关概念入手，引出逻辑运算的一些规律和方法，这些规律和方法完全可用于其它事物，反过来也一样。如果一个电路，输出电平与输入电平之间存在“与”的关系，则称“与”逻辑电路，简称“与”门；存在“或”逻辑关系的电路称“或”门；存在“非”逻辑关系的电路称“非”门。这些基本门的符号分别如图1-10 (a)、(b)、(c) 所示。

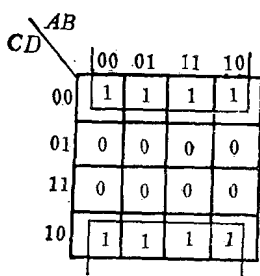


图1-9 四变量函数的卡诺图

$$f(A, B, C, D) = \bar{D}$$

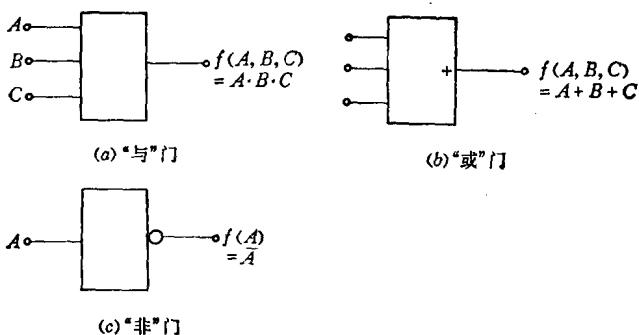
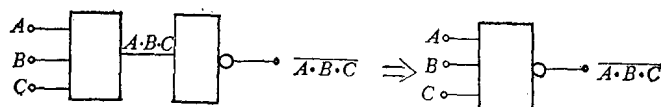
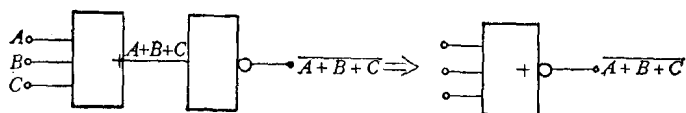


图1-10 “与”、“或”、“非”门的逻辑符号

如果把“与”门和“非”门串接起来，如图 1-11(a) 所示，它就是“与非”门；把“或”门和“非”门串接在一起，终端输出电平与输入端电平之间的关系就是“或非”门，其逻辑符号如图 1-11(b) 所示。



(a) “与非”门



(b) “或非”门

图 1-11 “与非”门和“或非”门符号

(a) “与非”门；(b) “或非”门。

如果将“与”门和“或非”门联在一起，如图 1-12 所示，它的输出电平与输入电平之间就具有“与或非”的逻辑关系，称“与或非”门。

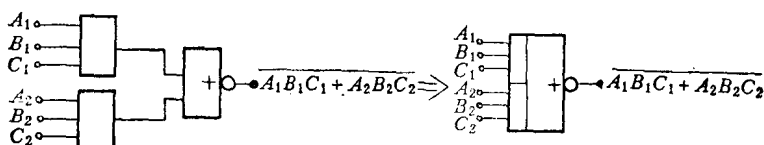


图 1-12 “与或非”门符号

图 1-13 是“异或”门的符号，用三个“与非”门和二一个“非”门所组成的“异或”门，它实现 $f = \bar{A}B + \bar{B}A$ 的功能。只要二个输入端的状态相反，输出就为“1”。

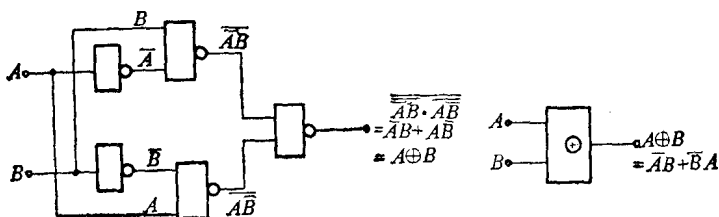


图 1-13 “异或”门符号

图 1-14 是“异或非”门的符号，也就是同门，因为 $\overline{A \oplus B} = \overline{\bar{A}B + \bar{B}A} = \overline{\bar{A}B} \cdot \overline{\bar{B}A}$
 $= (A + \bar{B}) \cdot (B + \bar{A})$
 $= AB + \bar{A}\bar{B} = A \odot B$

只要二输入端的状态相同，输出就为 1。

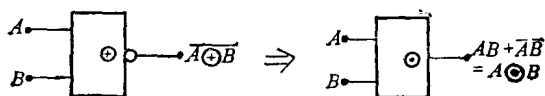


图 1-14 “异或非”门——“同”门

第二章 双极型集成电路基础

本章主要讨论双极型集成电路中的一些基本问题，如门电路的工作原理、参数和版图设计。

本章的重点是 TTL 电路，它占有本章的主要篇幅，最后的版图设计也都以 TTL 电路为例。

在分析门电路的基本工作原理时，着重基本单元电路的分析。因为各种门电路的单元电路之间存在着共性，为了由浅入深，由简到繁，所以首先介绍 DTL 电路。然后讨论 TTL 电路。最后，对 ECL 电路作扼要介绍。

§ 2-1 双极型集成电路的常规工艺流程及其基本结构

双极型集成电路是在平面晶体管基础上发展起来的，它的基本工艺，仍是平面工艺，只不过是有一个基片上同时做有一个以上的元件。电路中的元件，除晶体管外，还有二极管、电阻、电容等。在制造过程中，首先是把电路中所需的元件都做在一个基片上，它们之间都是互相绝缘的，最后再按电路的连线要求将它们联成电路。下面，用一个只包括二个元件（晶体管、电阻）的局部电路为例，说明它的工艺流程及其基本特点。

一、工艺流程

图 2-1 是表示包括二个元件的工艺流程图，原始基片是采用电阻率 $\rho = 10 \Omega \cdot \text{cm}$ 左右的 P 型硅单晶，经过外延和多次氧化、光刻和扩散的处理，完成互相绝缘的元件制作，再用蒸铝和光刻完成元件之间的联线和电极引出。

下面，对工艺流程图作简要说明。

第一次氧化、光刻、扩散的目的是在各元件下制作 n^+ 的埋层区，方块电阻 $\rho_{\square}$ 约为 $15 \sim 20 \Omega / \square$ 。埋层扩散后，除去表面的氧化层，在整个硅片表面再用外延工艺生长一薄层做晶体管所要求的硅，厚约 $8 \sim 10 \mu\text{m}$ ，电阻率 ρ 为 $0.3 \sim 0.5 \Omega \cdot \text{cm}$ ，导电类型与衬底相反。

第二次氧化、光刻、扩散是形成隔离岛。隔离扩散必须穿透整个外延层。当隔离槽接电路中的最低电位时，隔离岛与衬底之间的 P-n 结都处于反向偏置，因此各隔离岛之间都是相互绝缘的。

第三次氧化、光刻、扩散是形成晶体管的基区和硼扩散电阻，方块电阻约 $100 \sim 200 \Omega / \square$ 。

第四次光刻、扩散是磷扩散，它完成发射区和集电区的电极，得到 n^+ 区。方块电阻约 $2 \sim 5 \Omega / \square$ 。磷扩散后，进行第四次氧化。因为磷扩散后的氧化层很薄，为了防止与布线短路，常常再进行低温氧化。

第五次光刻是刻引线孔。蒸铝后再进行第六次光刻（反刻），完成布线。

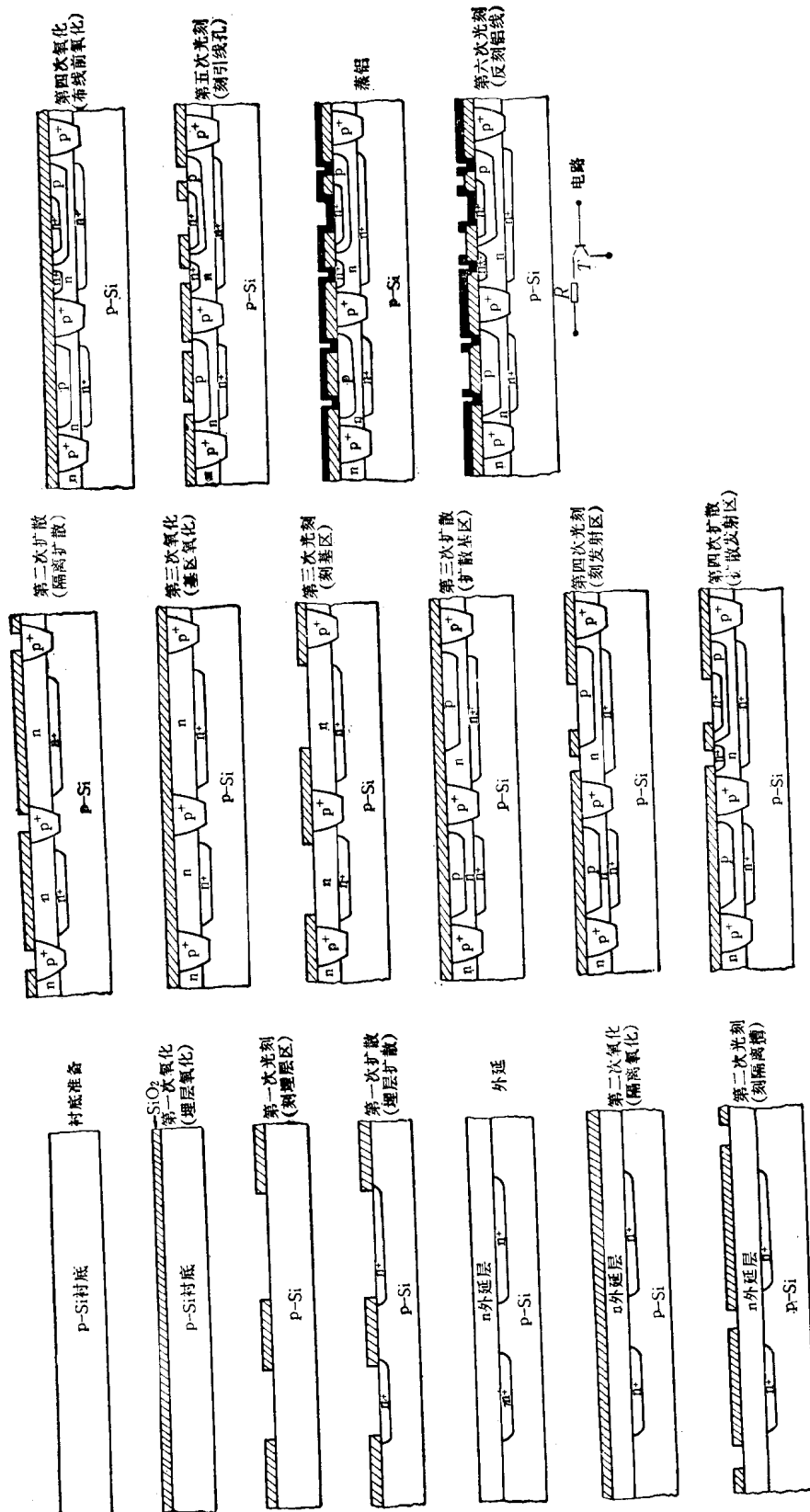


图2-1 双极型集成电路芯片制作的常规工艺流程

总计要经过六次光刻、四次扩散和四次氧化。

二、集成电路的特点

双极型集成电路是在平面晶体管的工艺基础上发展起来的，但与平面晶体管相比有二点明显的不同：即增加了隔离工艺和埋层工艺。

平面晶体管的集电极都是从基片引出的，而集成电路中的晶体管则要求集电极与基片绝缘。为了实现元件之间的互联，各电极都只能从上面引出，而且电极面积不可能太大。集电区材料的电阻率因受晶体管参数的要求，又不可能做得太小。因此将造成集电极串联电阻的增加。在数字集成电路中，晶体管的集电极串联电阻是一个极重要的参数。为了减小晶体管集电极的串联电阻，所以在晶体管的集电区下面设埋层区 n^+ 。

集成电路中的元件是制作在同一基片上的，它们之间的隔离是靠反向 $P-n$ 结，因此它与分立元件电路相比，存在以下的不同点：

(1) 元件的寄生效应大 就以图 2-1 的简单结构为例，电阻和晶体管上都存在着寄生效应。电阻的结构如图 2-2 所示，整个 P 型区是一电阻，它被 n 区所包围，为了要与 n 区隔绝， n 区总是接电路的最高电位，也就是与电源的正极相联。对交流而言相当于接地。因此，电阻各点与地之间存在着 $P-n$ 结电容，它的等效电路如图 2-2(b) 所示。 $P-n$ 结电容分布在电阻的各点上，有 $P-n$ 结的地方都存在电容，是一种分散性的寄生电容(分布寄生元件)。如果要精确分析它的频率特性比较麻烦。在实际问题中，为了简化分析，常作近似处理，将图 2-2(b) 等效为图 (c) 或图 (d)。 C 表示整个 $P-n$ 结的电容， R 表示 A 、 B 两端的电阻。

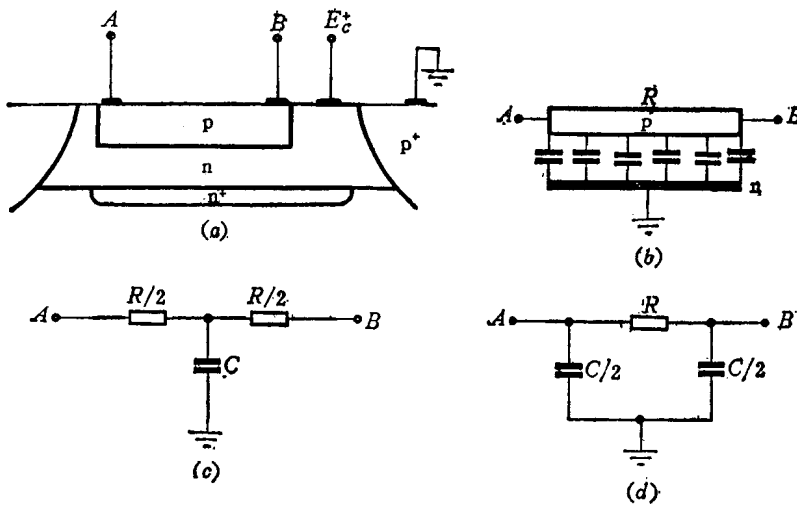


图2-2 扩散电阻的结构及其等效电路

晶体管的结构如图 2-3(a) 所示，它的集电极完全被 p 和 p^+ 所包围， p^+ 区是接最低电位，即地电位。虽然集电极与衬底之间的 $P-n$ 结(包括集电极与隔离墙之间的 p^+-n 结)处于反向偏置，但因结面积较大，所以集电极与地之间的寄生电容 C_c 有较大的数值。此外，晶体管的基区、集电极和衬底还构成了一个 $P-n-P$ 寄生晶体管，如图 2-3(b) 所示。当集电结处于正偏状态时，寄生晶体管的发射结也为正偏，于是寄生 $P-n-P$ 管就存在集电极电流，即从 b 到地的电流。

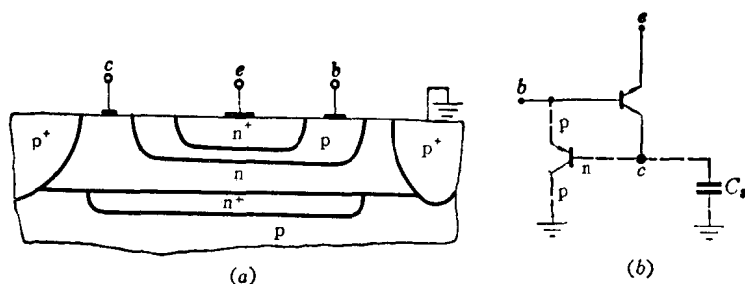


图2-3 晶体管的结构及其寄生元件

(2) 集成电路常多使用晶体管 一般说来, 单个晶体管的价格总是比二极管和电阻贵, 所以在分立元件的电路中总是尽量少用晶体管, 多用电阻、电容或二极管。但在集成电路中, 因为整个片子都是经过统一的工序处理, 在电路中多做几个晶体管并不费事。并且, 在集成电路的设计中, 常常发现用晶体管来代替电阻反而节省面积, 并且性能更好。所以, 在集成电路中常常用晶体管来取代电阻。集成电路中的二极管也常常用三极管来代替, 当用三极管改接为二极管时, 可以有五种不同的接法。如图 2-4 所示, 即 be 短接、 bc 短接、 ec 短接、 c 开路、 e 开路, 它们的特性各不相同。例如, bc 短接的二极管, 特点是存贮时间短、无寄生晶体管效应、击穿电压低; ec 短接的二极管存贮时间最长等。因此可根据电路上的要求选择适当的结构。

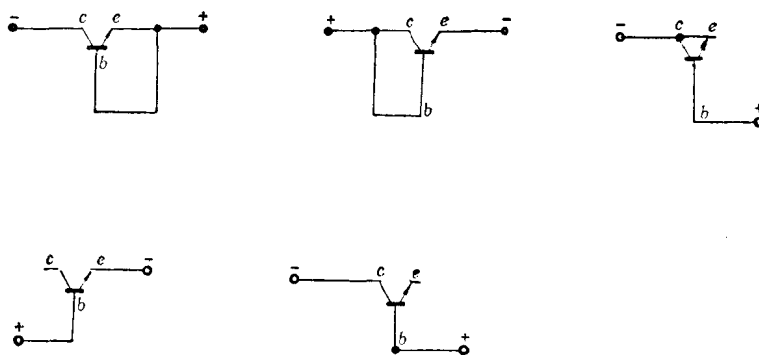


图2-4 五种接法的二极管

§ 2-2 二极管-晶体管逻辑电路

二极管-晶体管逻辑电路简称 DTL, 它是一种早期出现的逻辑电路。目前, 大多数 DTL 已被晶体管-晶体管逻辑 (TTL) 电路取代, 只有一种高阈值逻辑 (HTL) 电路在工业自动控制中还占有特殊的地位。本节介绍 DTL 的目的在于说明“与非”门的一般原理, 引出逻辑门的基本参数。

一、DTL “与非”门的基本原理

图 2-5 是一种最简单的 DTL “与非”门电路, 可将它视为三个部分, 即二极管“与”门、电平移位电路和“非”门。下面分别讨论这三部分的性能。

1. “非”门

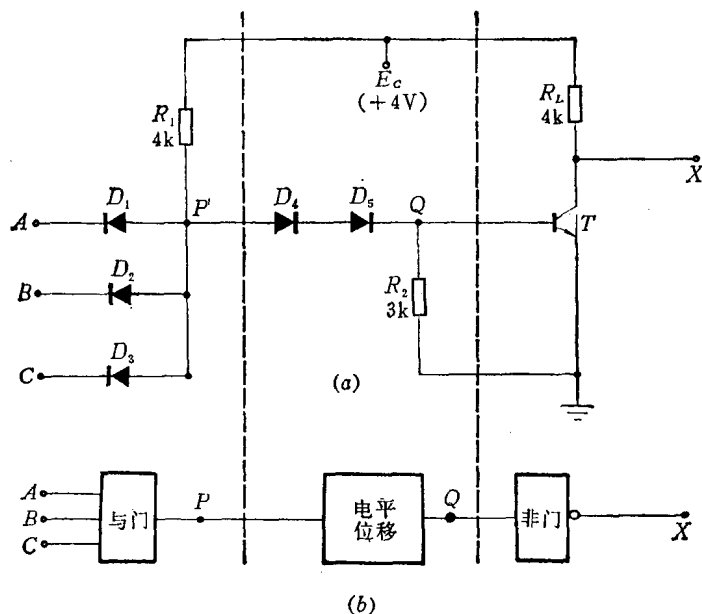


图2-5 DTL“与非”门

“非”门就是由晶体管 T 和负载电阻 R_L 组成的倒相器。在逻辑电路中，晶体管常常工作在截止状态或饱和状态。在图 2-6(a) 的倒相器中，当 $I_b = 0$ 时（对应低电平输入），晶体管处于截止状态，电阻 R_L 中没有电流，因此输出电压等于电源电压 $E_c = 4V$ ，即输出为高电平。当 I_b 足够大时（对应高电平输入），晶体管就处于饱和状态，输出为低电平。低电平的数值就是晶体管的饱和压降 V_{ces} 。晶体管的饱和压降可看成是二部分电压的和，如图 2-6(b) 所示，一部分是结压降 $V_{c'e'}$ ，另一部分是集电极的体电阻 r_{cs} 上的压降 $I_c r_{cs}$ 。

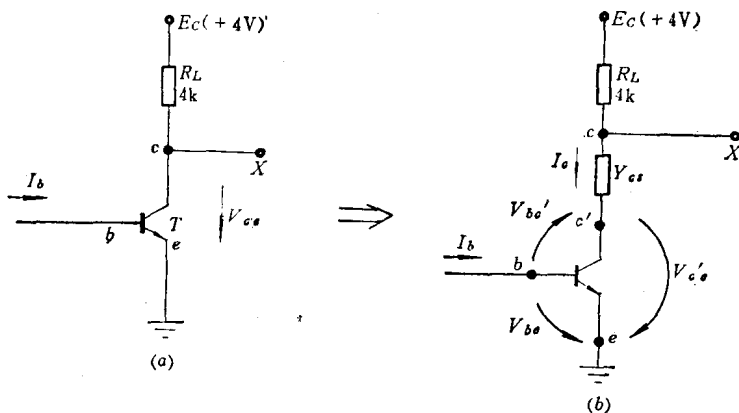


图2-6 倒相器

我们知道当晶体管饱和时， bc 结和 be 结都处于正偏状态，因此结压降 $V_{c'e'} = V_{be} - V_{bc'}$ ，它小于 V_{be} ，在深饱和时， $V_{bc'}$ 与 V_{be} 很接近，所以 $V_{c'e'}$ 很小。晶体管的饱和程度常常用饱和深度 S 来表示，它定义为

$$S = \frac{I_b \beta}{I_e} \quad (2-1)$$

式中 I_b ——基极驱动电流;

β ——晶体管在放大状态时的电流放大系数;

I_e ——集电极电流。

式(2-1)中 S 表示驱动电流超过放大工作状态时的倍数, 所以 S 又称为过驱动因子。 S 越大, $V_{ce,sat}$ 就越小, 但当 $S > 3$ 后结压降基本上不再改变, 其数值约 0.1 V。晶体管集电极电阻上的压降等于 $I_e r_{ce}$, 它与集电极电流 I_e 成正比, 但集电结体电阻 r_{ce} 一般是很小的, 约数十欧姆。所以当驱动电流足够大时, 由于负载电阻 R_L 的限流作用, I_e 不会很大, 输出电压可在 0.3 V 以下, 即输出低电平小于 0.3 V。

2. 二极管“与”门

二极管“与”门包括 R_1 和二极管 $D_1 \sim D_3$, 如图 2-7(a) 所示。我们知道, Si 二极管的伏安特性具有如图 2-7(b) 的曲线 1。当正向电压达到 0.6 V 时才开始有明显的电流, 电压超过 0.7 V 后, 伏-安特性曲线变得很陡, 也就是很小的电压增量就会引起很大的电流增量。换句话说, 当电压大于 0.7 V 后, 即使电流增大很多, 正向压降也没有明显增加。下面为了简化讨论, 暂且用曲线 2 来近似表示二极管的伏-安特性, 即设二极管的通导电压 $V_f = 0.7$ V。当电压小于 0.7 V 时, 它像开关一样断开; 当电压加到 0.7 V 时, 它就像开关一样接通, 允许电流通过。不论电流大小如何变化, 在二极管上的压降永远是 0.7 V。于是可将通导后的二极管等效为图 2-7(c) 的情况, 即用 0.7 V 的电压源来等效通导后的二极管。这样, A 点的电位永远比 P 点低 0.7 V。

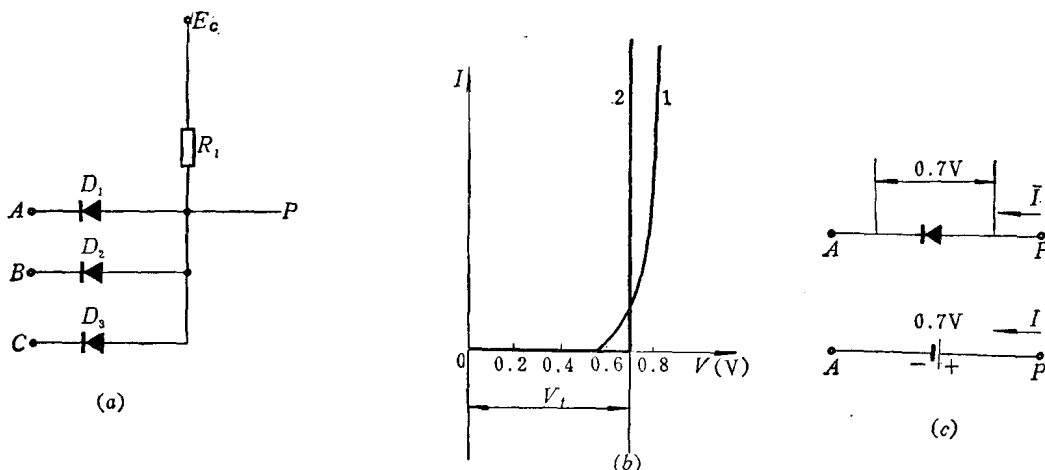


图2-7 “与”门和二极管特性曲线的理想化

按照上面的近似, 当“与”门的三个输入端都为高电平(4 V)时, 二极管截止, “与”门的输出 P 点电位就为高电平。如果输入端中有一个接低电平(0.3 V), (设 A 端接低电平 $V_L = 0.3$ V), 则 P 点的电位就因 D_1 通导而被箝制在

$$V_P = V_L + V_f = 0.3 + 0.7 = 1 \text{ V}$$

这是二极管“与”门的输出低电平数值, 在图 2-7(a) 中, 只要有一个输入端为低电平,

输出 P 点就得低电平, 除非输入端全为高电平时, 输出才得高电平。所以 P 点和 A 、 B 、 C 之间具有“与”的逻辑关系, 即 $P = A \cdot B \cdot C$ 。但它的输出低电平值比输入低电平值高了 0.7V 。

3. 电平位移电路

在图 2-8(a) 中, D_4 、 D_5 和 R_2 组成电平位移电路, 当 P 点电位低于 1.4V 时, 因为二极管截止, 电阻 R_2 中无电流通过, 所以 Q 点的电位为 0V 。当 P 点的电位高于 1.4V 时, 因为二极管通导, 每个二极管的正向压降为 0.7V , 所以 Q 点的电位等于 $(V_P - 2V_I)$, 即比 P 点低 1.4V 。用等效电路图 2-8(b) 表示, 它就更一目了然。但应注意这种等效是有条件的, 必须当 V_P 大于 $2V_I$ 时才成立。

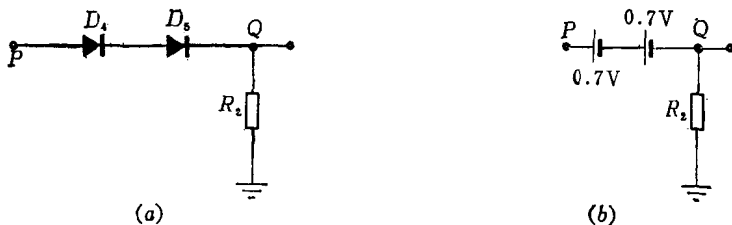


图2-8 电平位移电路

分别讨论了三部分的基本性能后, 我们再回过来看图 2-5 的电路, 分析它们结合在一起后的工作情况。

如果先假设输入端都接高电平 4V , 则 P 点的电位便由右边的二极管 D_4 、 D_5 和晶体管的 be 结箝位在 $3V_I = 2.1\text{V}$ (be 的正向压降也理想化为 0.7V)。“与”门二极管 $D_1 \sim D_3$ 处于反向截止状态, 无电流通过。 R_1 中的电流全部流向右边, 经过 D_4 、 D_5 后分为二路, 一路流过电阻 R_2 , 另一路流入晶体管基极, 使晶体管处于饱和状态, 输出得低电平。但如输入端 A 、 B 、 C 中, 只要有一个处于低电平 (设 $V_A = 0.3\text{V}$), 则 P 点的电位就被箝制在 $V_A + V_I = 0.3 + 0.7 = 1\text{V}$ 。当 $V_P = 1\text{V}$ 时, 因为不足以引起 D_4 、 D_5 通导, 所以右边电路无电流通过, 晶体管 T 的基极电流 $I_b = 0$, 使它处于截止状态, 输出得高电平。根据输入端中只要有一个为“低”时, 输出得“高”; 输入全“高”时, 输出才“低”的关系, 它就是“与非”门的逻辑关系。直接从图 2-5(b) 的逻辑图同样可以写出它的逻辑关系式

$$X = \overline{P} = \overline{A \cdot B \cdot C}$$

二、DTL 的电压传输特性

电压传输特性是表明输出电压随输入电压变化的关系曲线, 或称电压转移特性。“与非”门的几个输入端是完全等同的, 所以只要讨论一个输入端与输出端的电压变化关系即可。

如果我们在输入端 A 接一可调电压, 输入端 B 、 C 接高电平或悬空不用, 如图 2-9(a) 所示。则当 V_A 从 0V 开始增加时, 根据上面的分析, 在 V_A 小于 0.7V 时, P 点的电平小于 1.4V , 不足以引起 D_4 、 D_5 通导, R_1 中的电流全部从 D_1 流出, 晶体管 T 处于截止状态, 输出为高电平。当 V_A 在 $0.7 \sim 1.4\text{V}$ 之间时, P 点的电平仍由输入电压和 D_1 的

正向压降箝位。这时 D_4 、 D_5 已处于导通，但由于 D_4 、 D_5 的电位移动作用，Q点的电平永远在 0.7V 以下，所以晶体管 T 仍处于截止状态，输出仍为高电平。当 V_A 大于 1.4V 后，P点的电平由 D_4 、 D_5 以及晶体管的 be 结箝位在 2.1V， D_1 转为截止状态， R_1 中的电流便全部转向右边电路，使晶体管饱和，输出便得低电平。根据上述的分析，DTL “与非”门电路的电压传输特性曲线应该是图 2-9(b) 中的曲线 1。输入电压为 1.4V 时，它对应于输出高、低电平的转折点，称为门槛电压（或称阈值电压）。

曲线 1 是理想情况下的电压传输特性曲线，实际上的二极管伏-安特性和晶体管 be 结的伏-安特性都是逐渐变化的，因此实际的电压传输特性曲线也是逐渐变化的。当输入电压达到 1.2V 时，Q点的电平约 0.5V 左右，晶体管已开始有基极电流，集电极电流为基极电流的 β 倍。由于集电极电流经过负载电阻产生电压降，所以输出电压已经开始下降。随着输入电压的升高，基极电流也逐渐增加，晶体管便逐渐向饱和状态过渡，输出电平也就逐渐转为低电平。因此实际的电压传输特性曲线总是图 2-9(b) 中曲线 2 的形状。

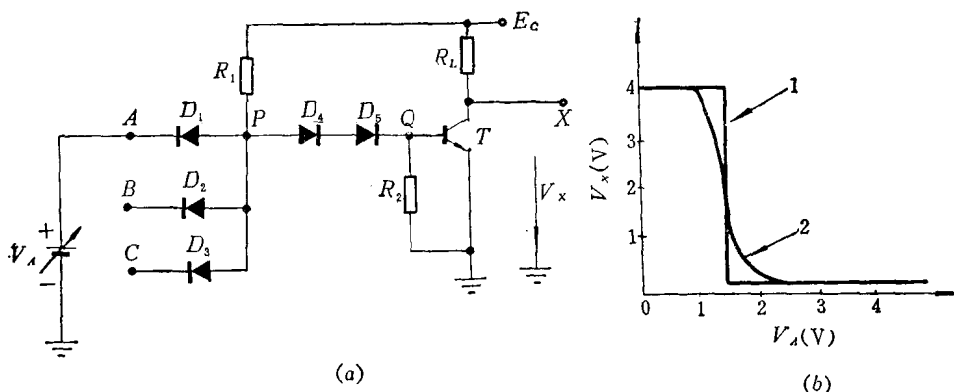


图2-9 DTL“与非”门的电压传输特性曲线

整个电压传输特性曲线可分为三个区域。第一个区域是晶体管处于截止状态，输出为高电平，这时，我们称“与非”门处于关门状态。第三个区域对应于晶体管处于饱和状态，输出为低电平，我们称它为开门状态。中间区域晶体管处于放大工作状态，输出电平介于高电平和低电平之间，我们称它为过渡区。

门电路的电压传输特性曲线反映了门电路的基本性能，门电路的某些参数也可以从中得到反映。

三、门电路的参数

为了充分说明逻辑门的特性，常常用十个参数来表示。

1. 输出高电平 V_{OH}

为了表明电路块各方面的性能，根据电路的特性，合理地规定高电平的下限，例如对上面的 DTL，因为电源电压是 4 伏，规定高电平的下限为 3.5V，输出高电平就以不小于 3.5V 时为合格。在制定其它参数时，常常要以规定的高电平值为依据。

2. 输出低电平 V_{OL}

输出低电平也是根据使用和电路的实际情况出发，合理规定其低电平的上限，在一般的双极型电路中，输出低电平的上限一般定为 0.3V，凡是低于 0.3V，就认为低电平合格，即 $V_{OL} \leq 0.3V$ 。

高、低电平之差常称为逻辑摆幅,按上述的高、低电平值,逻辑摆幅为

$$V_{oH} - V_{oL} \geq 3.5 - 0.3 = 3.2 \text{ V}$$

3. 关门电平 V_{off}

输出等于高电平下限(即 3.5 V)时所对应的输入电压称为关门电平,如图 2-10 中所注。只要输入电压 V_i 小于 V_{off} ,就认为“与非”门处于关态。

4. 开门电平 V_{on}

当输出为低电平上限(0.3 V)时所对应的输入电压称为开门电平。输入电压大于 V_{on} 时,就认为“与非”处于开态。

开门电平与最小高电平值之差表示高电平输入时允许的最大干扰电压幅度。当“与非”门的一个输入端 A 接高电平 V_{oH} 时(其它输入端悬空),则正确的逻辑关系是输出得低电平。但是如果存在着某种电干

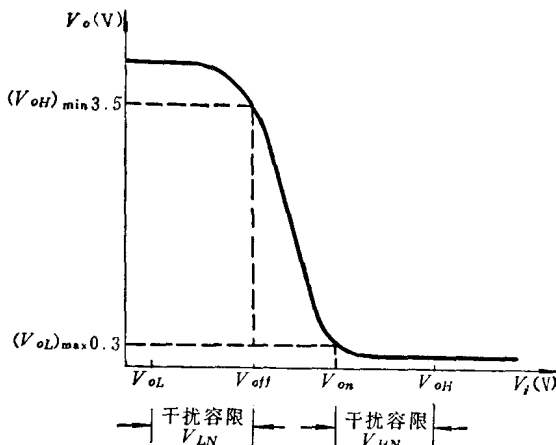


图2-10 V_{off} 和 V_{on} 及干扰容限

扰,使传输线上产生了干扰电压 V_N ,如图 2-11(a) 所示。干扰电压是杂乱的,可能是正极性,与输入控制电压叠加后,使输入端 A 的电压更高。也可能是相反的极性,与输入电压叠加后,使输入端 A 的电压降低。当出现后一种现象时,就可能使输出与控制讯号之间发生错误的逻辑关系。电路在工作时,不致造成错误动作的最大容许干扰幅度,称为干扰容限。对照图 2-10 的传输曲线,输入电压为 $(V_{oH})_{min}$ (合格的最小高电平)时,允许的最大干扰幅度 V_{HN} 为

$$V_{HN} = (V_{oH})_{min} - V_{on} \quad (2-2)$$

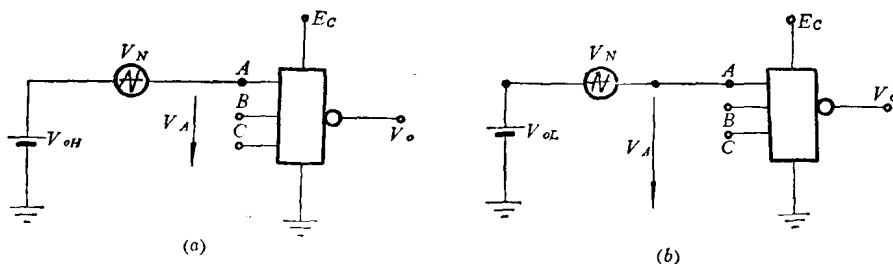


图2-11 当输入端有干扰电压 V_N 时的情况

只要干扰电压幅度小于 V_{HN} ,不论它极性如何,都不会引起错误的逻辑关系。也就是输出总是在合格的低电平值以下。如果干扰幅度超过 V_{HN} ,则输出就可能超过低电平的额定值,正确的逻辑关系可能被破坏。

当输入控制讯号为低电平时,也同样存在干扰容限的问题,参看图 2-11(b)。这时的干扰容限称为低电平干扰容限 V_{LN} 。它等于关门电平和低电平上限 $(V_{oL})_{max}$ 之差,即

$$V_{LN} = V_{off} - (V_{oL})_{max} \quad (2-3)$$

为使电路不论在高电平输入时或低电平输入时都有较大的干扰容限,一方面希望 V_{on} 尽量小; V_{off} 尽量大,最好有如图 2-9(b) 的理想曲线 1, 即 V_{on} 与 V_{off} 相等,过渡区缩为 0。另一方面,阈值值最好移到高、低电平中间,这样就既照顾到低电平时的抗干扰能力,也照顾到高电平时的抗干扰能力。在上述的“与非”门电路中,电平位移二极管就是起着调整阈值的作用,所以常称为抗干扰二极管。

5. 输入短路电流 I_{SD}

当某一输入端接地时(其它输入端接高电平),流出的电流就是输入短路电流。在实际应用中,如图 2-12 所示,当驱动它的前级门输出为低电平时,这股电流就灌入前级门输出管的集电极,使前级门输出管的集电极电流 I_c 增加,造成前级门的低电平升高。输入短路电流 I_{SD} 越大,对前级门的负载就越重。

6. 输入反向漏电流 I_{KD}

当输入端接高电平时(其它输入端接地),如图 2-13 的情况,这时 D_1 处于反向工作状态,二极管的反向漏电流就是输入端的电流。当输入端受前级门的高电平驱动时,这股电流要由前级门来提供。反向漏电流愈大,流过前级门负载电阻 R_L 的电流也愈大,前级门的高电平输出就越低,即对前级门的负荷愈重,所以总是希望 I_{KD} 越小越好。

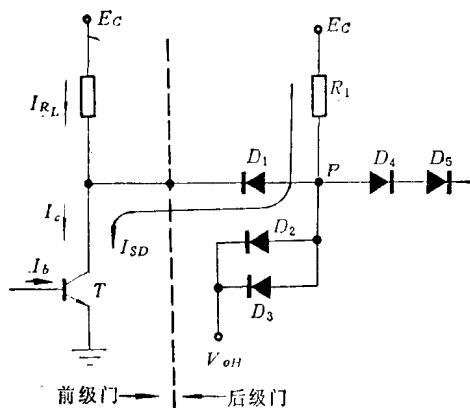


图2-12 I_{SD} 对前级门在低电平输出时的负载情况

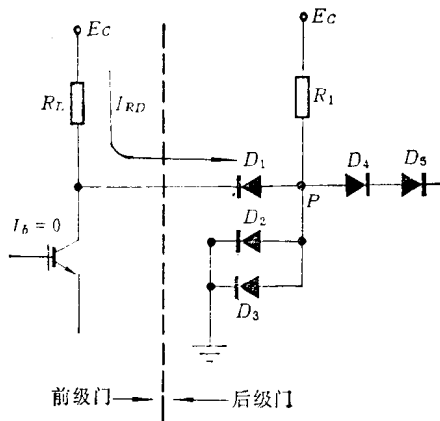


图2-13 I_{RD} 对前级门在高电平输出时的负载情况

7. 负载能力

门电路在低电平输出或高电平输出状态时都有一定的负载能力。在低电平输出时,输出管处于通导状态,如果灌入电流增加,即输出管的集电极电流 I_c 增大,使输出的低电平值上升。在低电平值刚等于额定值(0.3V)时,所允许灌入的最大电流,即为低电平时的负载能力。电路块在高电平输出时,输出电流经过负载电阻 R_L 流入负载门。电流愈大,负载电阻 R_L 上的压降也愈大,结果会使输出高电平降低。在输出高电平不小于额定值时(如 3.5V),所能输出的电流就是高电平输出时的负载能力。

在门电路中,负载能力常常用能够驱动同类门的数目来表示,称为扇出系数,也就是将电流负载能力折算为驱动同类门的数目。在一般的门电路中,高电平输入时,输入电流

很小，只有微安数量级，就是输入反向漏电流 I_{RD} 。因此，高电平输出时，可以驱动较多的负载门，参看图 2-14(a)。在低电平输出时，参看图 2-14(b)。对于这类门电路，因为低电平输出时的扇出系数比高电平输出时的扇出系数小。所以，扇出系数总以低电平输出时的负载能力为准。

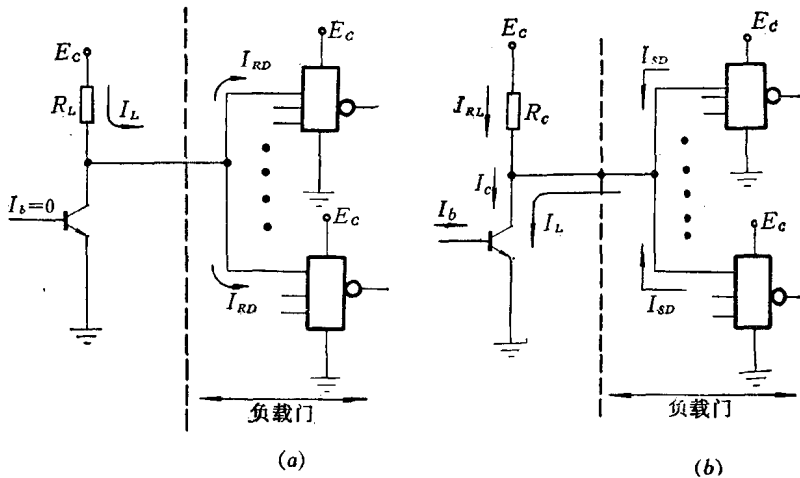


图2-14 驱动同类门的负载情况

(a) 高电平输出时驱动同类门的情形；(b) 低电平输出时驱动同类门的情形。

8. 扇入系数

扇入系数就是指该门电路的输入端数目，扇入系数越大，使用时灵活性也越大。但由于电路块的管脚数有限，输入端的数目不可能做得很多，为了便于应用时增加扇入数，常备有扩展引出端。在上述门电路中，从 P 点直接引出的端钮就是“与”扩展端，可供外接“与”扩展器之用，如图 2-15 所示。“与”扩展器就是一组共阳极的二极管，当它和“与”扩展端联接后，就相当“与”的输入端数得到了增加。输出端 X 便同样受到 $D \sim H$ 输入的控制，所以输出端 X 的逻辑函数可写为

$$X = \overline{ABCDEFGH}$$

9. 功耗

功耗是指电路块工作时消耗的电源功率，即电源电压与电源电流的乘积。电路处于截止状态时的功耗，称为截止功耗；电路处于通导状态时的功耗，称为通导功耗。一般，通导功耗总比截止功耗大，所以参数指标中有时就以通导时的功耗为准。测定时，不带负载，所以称为空载通导功耗。电路块的功耗总是希望越小越好。但是与其它参数都有牵制，如降低功耗会使负载能力和开关速度变差。

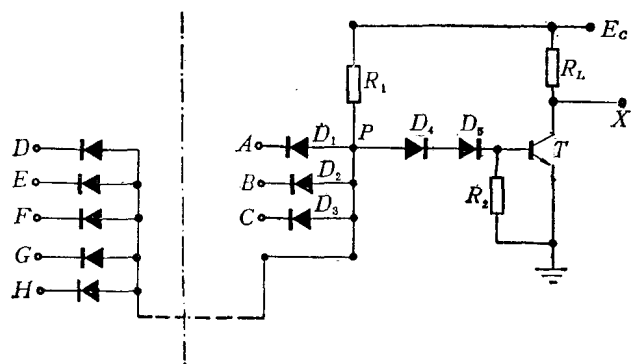


图2-15 “与”扩展

10. 平均传输延迟时间 $\bar{t}_{pd}$

上面的参数都是反映直流信号或慢变化信号时的参数，也就是信号的变化速度比电路的开关速度慢得多的情况下测定的参数，所以称为稳态参数或静态参数。传输延迟时间是反映电路开关速度的参数，与电路的瞬态过程有关，所以是一种瞬态参数。

由于电路本身的频率响应和负载电容的影响，输出电压的变化总是滞后于输入电压的变化。大家知道，电容上的电压不会突变，必须经过相应的充放电时间才能改变。如果我们在电路中画出各节点的等效电容，分析各电容充放电回路的时间常数，就可看出各部分电容对延迟时间的影响。

在图 2-16 中，画出了电路中的寄生元件， $C_{D1} \sim C_{D5}$ 表示二极管的电容，它们包括 p-n 结的势垒电容和扩散电容。 C_{s1} 表示 P 点对地的总寄生电容，它包括 R_1 的等效寄生电容（等于 R_1 的总寄生电容的一半）和 $C_{D1} \sim C_{D3}$ 的隔离电容（ $D_1 \sim D_3$ 为 bc 短接二极管）。 C_{s2} 表示 D_4 的隔离电容（ D_4 、 D_5 为 ce 短接二极管）。 C_{e1} 包括三部分的电容，即晶体管 be 结电容（包括势垒电容和扩散电容）， R_2 的等效寄生电容（等于 R_2 的总电容的一半）， D_5 的隔离电容。 C_{c1} 表示晶体管的 bc 结电容（包括势垒电容和扩散电容）。 C_L 包括负载电容、晶体管的隔离电容以及 R_L 的总寄生电容的一半。

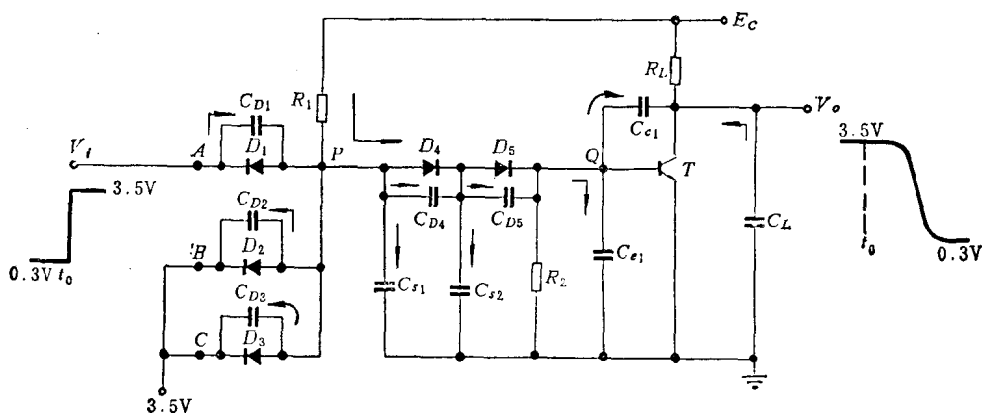


图2-16 电路由截止转向导通的充放电电流方向

在下面的分析中，近似地认为 C_{e1} 上的电压在 0.6 V 以下时晶体管处于截止状态；在 0.6~0.7 V 之间，晶体管处于放大状态；在 0.7~0.8 V 之间，晶体管处于饱和状态。在饱和状态时 ce 的电压为 0.3 V。

下面分别讨论在输入阶跃讯号的作用下，电路由截止状态转为饱和状态的过程以及由饱和状态转为截止状态的过程。

(1) 由截止转向导通的过程 为了说明各个寄生电容对转换过程的影响，我们把几部分的电容分开讨论，参看图 2-16。首先，只考虑与晶体管直接相联的一些电容，即 C_{c1} 、 C_{e1} 和 C_L ，其它电容暂时忽略。假设电路原来是截止的，输入电压为 0.3 V，Q 点电位等于 0 V，晶体管处于截止状态，输出电压为 3.5 V， C_{c1} 和 C_L 都充有 3.5 V 的电压。当输入电压在 t_0 时由原来的 0.3 V 突然跳变到 3.5 V 时，输入二极管 D_1 立即截止（因暂时忽略 C_{D1} 的作用）， R_1 中的电流便转向右边，通过 D_4 、 D_5 对 Q 点充电。随着充电过程的进

行, C_{e1} 的电压逐渐上升, C_{s1} 的电压逐渐下降, 但在 Q 点达到 0.6V 以前晶体管始终处于截止状态。也就是 C_L 没有放电通路, C_L 上的电压不会下降, 相反, 还略有上升。因为 C_{s1} 的放电过程对 C_L 提供了一点充电电流, 近似地就认为输出电压在这段时间内保持不变。当 Q 点电位充到 0.6V 后, 晶体管开始导通, 这时出现了集电极电流, C_L 便开始通过集电极放电, 输出电压也就开始下降。当 C_{e1} 达到 0.7V 时, 晶体管达到饱和, C_L 也随之放电到 0.3V 。当 C_{e1} 的电压再继续上升时, 输出就维持在 0.3V 。因此输出端就有如图 2-16 中的输出波形。从 t_0 到输出电压开始下降的时间对应于 Q 点到达 0.6V 所需的时间。充电的速度主要与 R_1 和 Q 点的电容有关, 它们的数值越大, 所需要的时间就越长。输出波形下降的速度也与 Q 点的充电速度有关, 此外还与 C_L 有关, 因为输出电压是随着 C_L 的放电而逐渐下降的。 C_L 越大, 下降同样的电压时所需要释放的电荷量就越大。如果放电电流一定, 则电容越大, 电压下降的速度就越慢。下面再讨论其它部分的电容影响。

输入电容 C_{D1} 有加速作用, 因为当输入电压由 0.3V 跳变到 3.5V 时, 它将使 C_{D1} 产生一个流向内部的电流, 与 Q 点的充电电流方向一致。 C_{D4} 和 C_{D5} 也有加速作用, 因为对 C_{D4} 、 C_{D5} 的充电电流也是和 Q 点充电的电流方向一致。

C_{s1} 和 C_{s2} 有减速作用。在 Q 点充电的同时, 它们也充电, 它们的一端是接地的, 所以充电电流是流入地端, 对 Q 点的充电电流起着分流作用。

(2) 由通导转向截止的过程 当输入由高电平跳变到低电平时, 电路将由通导转为截止, 这里也用和上面类似的方法讨论各部分对截止速度的影响。

首先只考虑与晶体管直接相联的电容, 参看图 2-17。当输入由 3.5V 跳变为 0.3V 时, P 点的电位就被 D_1 和输入电压箝制在 1V 。但这时 C_{s1} 还未放电, 所以 Q 点的电位仍是 0.8V 。 D_4 、 D_5 上的总电压才 0.2V , 所以它们也立即截止。这时 C_{s1} 和 C_{s1} 只能通过电阻 R_2 放电, 随着它们的放电, Q 点的电位开始下降, 但在 Q 点下降到 0.7V 以前, 晶体管仍处于饱和状态, 输出电压仍然维持在 0.3V 。当 Q 点放电到 0.7V 以下时, 晶体管便退出饱和, 集电极的电流就逐渐变小, 通过 R_L 的电流便逐渐转向对 C_L 充电。随着对 C_L 的充电, 输出电压就逐渐上升。当 Q 点放电到 0.6V 时, 晶体管转为截止, 但输出电压并

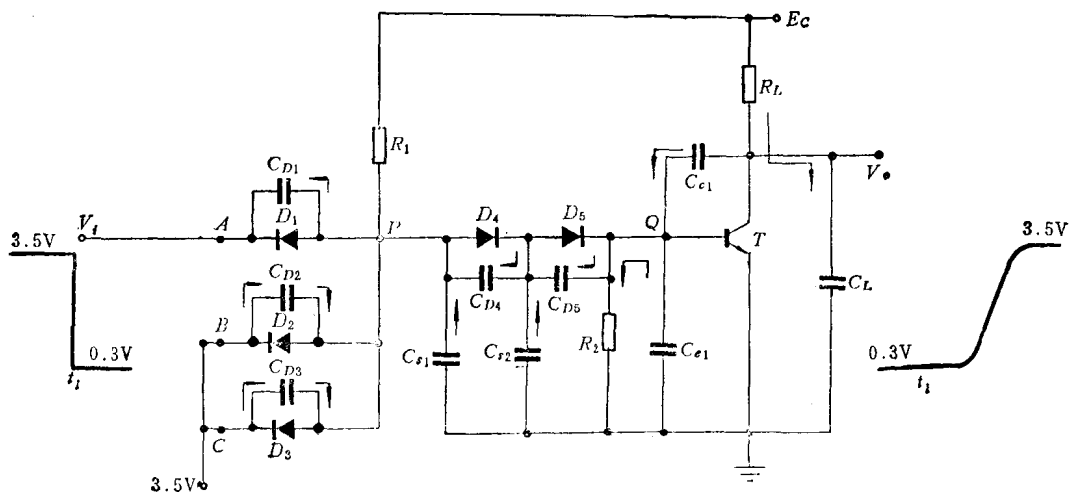


图2-17 电路由通导转为截止的充放电电流方向

不能立即达到稳定的高电平值, 而只能随着 C_L 的充电逐渐升高。 C_L 的充电速度与时间常数 $R_L C_L$ 有关, $R_L C_L$ 越大, 输出电压的上升速度就越慢。输出电压的波形如图 2-17 的输出端所示。从 t_1 到电压开始上升的时间就是晶体管退出饱和所需的时间, 它取决于 Q 点的放电速度, 也就是与时间常数 $R_2(C_{e1} + C_{e1})$ 有关。如果晶体管的饱和深度越深, 相当于 C_{e1} 和 C_{e1} 越大, 退出饱和的时间就越长。输出电压的上升速度也和 C_{e1} 有关。因为在 C_L 充电的同时, C_{e1} 也要充电, 它分走了对 C_L 的充电电流, 使 C_L 的充电速度变慢。要提高截止速度, 可以从减小晶体管的饱和深度、 R_L 、 R_2 和 C_L 等几方面来考虑。

下面再分析其它电容对截止速度的影响:

C_{D4} 和 C_{D5} 的存在有加速作用。因为电路处于通导时它们都充有 0.7 V 电压, 当输入转为低电平时, 它们就要放电。 C_{D4} 、 C_{D5} 的放电电流方向与 Q 点放电的电流方向一致, 也就是在 Q 点与输入端之间形成了一个额外的放电通路。

C_{e1} 和 C_{e2} 对 C_{D4} 和 C_{D5} 的放电有阻止作用, 因为它们在电路通导时也都充有电压, 如果它们的电压不下降, C_{D4} 和 C_{D5} 就不可能放电。

C_{D1} 也有加速作用, 但是它只有在 C_{D4} 和 C_{D5} 存在时, 对 C_{D4} 、 C_{D5} 的放电作用略有帮助, 因而间接加速 Q 点的放电。 C_{D2} 和 C_{D3} 起着间接阻碍 Q 点放电的作用。因为当 B 、 C 接固定的高电平时, P 点电位下降, 它们将被充电, 充电电流的方向是流向 P 点, 与 C_{D1} 的电流方向相反。

将图 2-16、2-17 的输入、输出波形综合在一起便得图 2-18(a) 的波形。在实际测量中, 输入波形不易做到理想的方波, 为了便于观测常常以波形变化的 50% 处为依据, 如图 2-18(b) 所示。从输入波形上升边的 50% 处到输出波形下降边的 50% 处的间隔时间为通导延迟时间, 表示为 t_{on} ; 从输入波形下降边的 50% 处到输出波形上升边的 50% 处的间隔时间为截止延迟时间, 表示为 t_{off} 。 t_{on} 和 t_{off} 的平均值称为平均传输延迟时间。

即

$$\bar{t}_{pd} = \frac{t_{on} + t_{off}}{2} \quad (2-4)$$

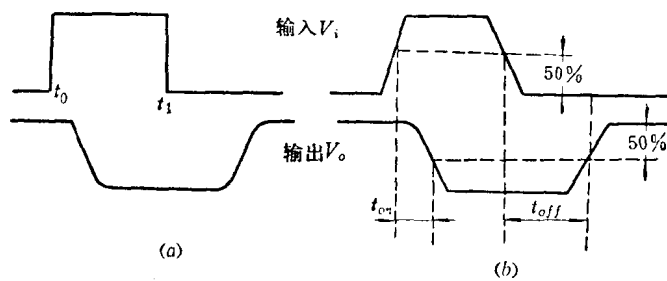


图2-18 输入、输出波形

四、改进的 DTL

简单的 DTL “与非” 门的负载能力很差, 主要是晶体管的驱动电流与输入短路电流 I_{SD} 的比值太小。如果从减小 R_1 来提高驱动电流, 则输入短路电流也相应按比例增加, 结果对扇出系数并无改善。如果设法只对驱动电流进行放大就可改善扇出系数。图 2-19 就是改进的 DTL 电路, 与简单的 DTL 相比, 它将 D_4 改为三极管 T_1 , 电阻 R_1 的数值不变, 仅仅分为二部分 R_A 和 R_B 。 T_1 的集电极接在二个电阻之间, 构成负反馈放大电路, 使 T_1 的

射极电流 I_{e1} 受 β 的影响减小。当输入全高时, P 点的电位由右边的三个正向结箝位在 2.1V, 晶体管 T_1 的集电极电位 V_{c1} 总是高于 V_P , 所以它处于放大工作状态。如果晶体管的 β 值大, 则因 I_e 变大, 使 R_A 上的压降增加, V_{c1} 的电位便下降 (P 点的电位基本上是不变的), 因此 R_B 中的电流变小, 也就是使 T_1 的基极电流 I_{b1} 减小。反过来又促使 I_{e1} 的下降, 因此有阻止 I_{e1} 随 β 增加而增大的趋势, 这就

对输出电流 I_{e1} 起着稳定的作用。下面, 导出 I_{e1} 与 β 、 R_A 、 R_B 之间的关系式:

根据图 2-18, R_1 上的压降与 I_{e1} 、 I_{b1} 之间的关系式为

$$E_C - V_P = (I_{e1} + I_{b1})R_A + I_{b1}R_B \quad (2-5)$$

又因为

$$I_{e1} + I_{b1} = I_{e1} \quad (2-6)$$

$$I_{b1} = \frac{I_{e1}}{1 + \beta} \quad (2-7)$$

将式 (2-6)、(2-7) 代入式 (2-5) 得

$$\begin{aligned} E_C - V_P &= I_{e1}R_A + \frac{I_{e1}}{1 + \beta}R_B \\ &= I_{e1} \left(R_A + \frac{R_B}{1 + \beta} \right) = I_{e1} \left(\frac{R_A + R_B + \beta R_A}{1 + \beta} \right) \end{aligned}$$

令

$$\rho = R_A / (R_A + R_B) = R_A / R_1$$

则得

$$E_C - V_P = I_{e1} \left[\frac{R_1 (1 + \rho\beta)}{1 + \beta} \right]$$

即

$$I_{e1} = \frac{E_C - V_P}{R_1} \left(\frac{1 + \beta}{1 + \rho\beta} \right)$$

如果 $\rho\beta \gg 1$, 则上式简化为

$$I_{e1} \cong \frac{E_C - V_P}{R_1} \frac{1}{\rho} \quad (2-8)$$

这表明如果晶体管的 β 足够大而 ρ 不太小时, T_1 的输出电流 I_{e1} 与 β 无关, 这样就避免了在制造中因为 β 的变化而造成电路性能上的很大差异, 而 I_{e1} 的数值又增加为采用二极管时的 $\frac{1}{\rho}$ 倍。

在实际电路中, 为了要有足够的驱动电流 I_{e1} , 而又不使产品的参数分散性太大, 一般折衷考虑, 选取 $\rho = 1/4$, 即 $R_A = 1 \text{ k}\Omega$, $R_B = 3 \text{ k}\Omega$ 。这种电路的扇出能力与简单的 DTL 相比, 得到显著改善。

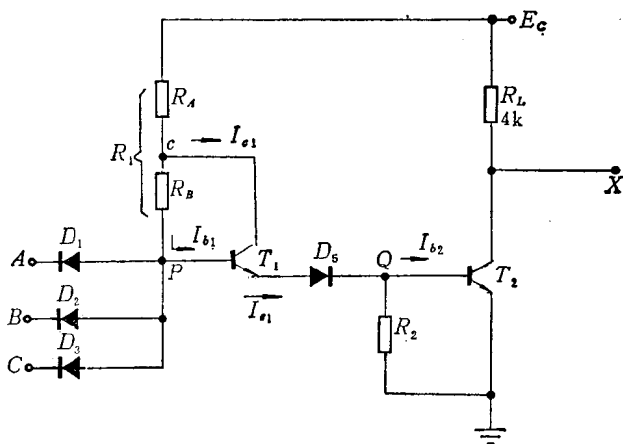


图2-19 改进的DTL电路

五、DTL 驱动器

负载能力大的门电路常称为驱动器，它的扇出系数可达 20 以上。对于一个门的负载能力，不仅要考虑它的直流负载能力，而且要考虑电容的负载能力，因为负载门接得越多，等效负载电容就越大。如果电路没有足够的电容负载能力，则当满载负荷时，开关速度就不能达到额定指标。

图 2-20 是 DTL 与非门驱动器电路。这种电路的基本结构是用分相管 T_2 取代了上面电路中的电平移位二极管 D_5 。来自 T_1 发射极的逻辑电平经过 T_2 管后分为二相，一相是由 T_2 的发射极输出，它与 P 点同相；另一相是从 T_2 的集电极输出，它与 P 点反相。这二个相

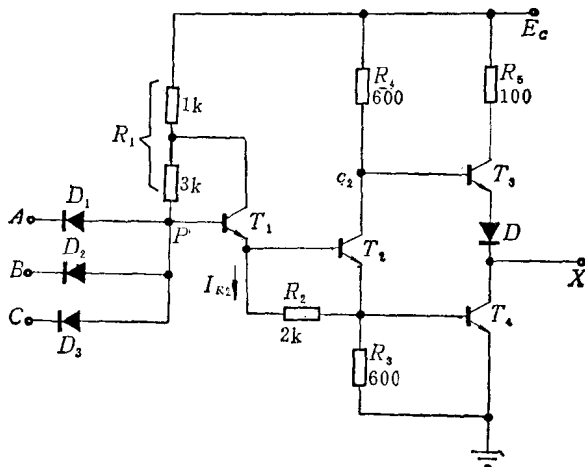


图2-20 DTL驱动器

位相反的输出分别驱动 T_3 和 T_4 的基极。结果，当 P 点为高电平 (2.1V) 时， T_2 和 T_4 通导饱和， T_3 截止，输出为 T_4 的饱和压降，得低电平；当 P 点为低电平 (1V) 时， T_2 和 T_4 截止， T_3 处于通导状态，输出为高电平。输出电压等于 V_{cc} 减去 T_3 的 be 压降和二极管 D 的正向压降。

这种电路在低电平输出时或高电平输出时都有更强的负载能力。下面就分别讨论它在低电平输出和高电平输出时的负载能力。

1. 低电平输出时的驱动能力

输出低电平时（即输入端 A ， B ， C 均为高电平时）， T_1 、 T_2 、 T_4 通导， T_2 和 T_4 便处于饱和状态，利用式 (2-8) 的关系， T_1 的发射极电流约为

$$I_{e1} \cong \frac{E_c - V_P}{R_1} \cdot \frac{1}{\rho} = \frac{4 - 2.1}{4 \times 10^3} \times \frac{1}{\frac{1}{4}} = 1.9 \text{ mA}$$

T_2 的基极电流约为

$$I_{b2} = I_{e1} - I_{K2} = I_{e1} - \frac{V_{be2}}{R_2} = 1.9 \times 10^{-3} - \frac{0.7}{2 \times 10^3} = 1.55 \text{ mA}$$

如果 T_2 饱和， T_2 的集电极电位约为 1V，集电极电流 $I_{e2} = I_{K4}$

$$I_{e2} = I_{K4} = \frac{E_c - V_{ces2} - V_{be4}}{R_4} = \frac{4 - 0.3 - 0.7}{600} = 5 \text{ mA}$$

T_4 的基极电流为

$$\begin{aligned} I_{b4} &= I_{e2} - I_{K3} = I_{e2} + I_{b2} - \frac{V_{be4}}{R_3} \\ &= 5 \times 10^{-3} + 1.55 \times 10^{-3} - \frac{0.7}{0.6 \times 10^3} \approx 5.4 \text{ mA} \end{aligned}$$

也就是输出管的基极电流比原来大多了。这说明 T_4 集电极允许灌入更大的电流而不脱离深饱和的状态, 即增加了低电平输出时的负载能力。

2. 高电平输出时的驱动能力

高电平输出时 (即输入端只要有一个为低电平时), T_1 、 T_2 、 T_4 都处于截止状态, T_3 的集电极电位近似等于 E_C , 从 T_3 的集电极经过二个正向 p-n 结 (T_3 的 be 结和输出二极管 D) 的压降, 输出高电平约 2.6 V。

这种输出电路, 不论 T_3 处于放大状态或处于饱和状态, 它都有很小的输出电阻。下面分别讨论 T_3 处于放大状态和饱和状态时的输出电阻。

(1) T_3 处于放大状态时的情况 在高电平输出状态时, 因为 T_2 、 T_4 截止, 所以与输出端相联系的电路可简化为图 2-21 (a) 的情况。

根据图 2-21 (a) 输出电压可以写为

$$V_X = E_C - I_{R_4} R_4 - V_{be3} - V_f \quad (2-9)$$

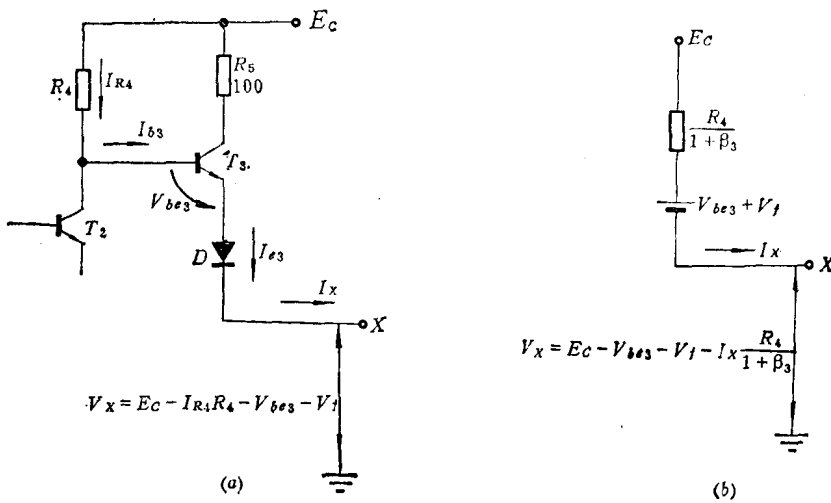


图2-21 T_3 工作在放大状态时的等效电路

因为 T_3 处于放大状态, I_{R_4} 又等于 I_{b3} , I_X 就是 I_{e3} 所以

$$I_X = I_{e3} = I_{b3} (1 + \beta_3) = I_{R_4} (1 + \beta_3)$$

即

$$I_{R_4} = \frac{I_X}{1 + \beta_3} \quad (2-10)$$

将式 (2-10) 代入式 (2-9)

得

$$V_X = E_C - V_{be3} - V_f - \frac{I_X}{1 + \beta_3} R_4 \quad (2-11)$$

根据式 (2-11), 如果忽略晶体管 T_3 本身的基极电阻和发射极电阻, 也忽略了二极管的串联电阻, 便得到图 2-21 (b) 的等效电路。输出端与电源 E_C 之间的电阻只有 $R_4 / (1 + \beta_3)$ 。如果设 $\beta_3 = 20$, $R_4 = 600 \Omega$, 则输出电阻为

$$R_4/(1+\beta_3)=600/(1+20)\approx 30\Omega$$

这说明电路具有很小的输出电阻，能够提供很大的输出电流使负载电容充电。即驱动电容性负载的能力强。

(2) T_3 处于饱和状态时的情况 因为晶体管 T_3 的集电极电流比基极电流大得多，所以随着输出电流的增大，集电极电位比基极电位下降得快。当输出电流达到一定数值时， T_3 便进入了深饱和状态， b 、 c 、 e 三点的电位差保持恒定，图 2-22 (a) 的电路便可等效为图 2-22 (b) 的情形。这时，由于输出电流增加而引起 R_4 上的电压增量 ΔV_{R_4} 与 R_5 上的电压增量 ΔV_{R_5} 必然相等，即

$$\Delta V_{R_4} = \Delta V_{R_5}$$

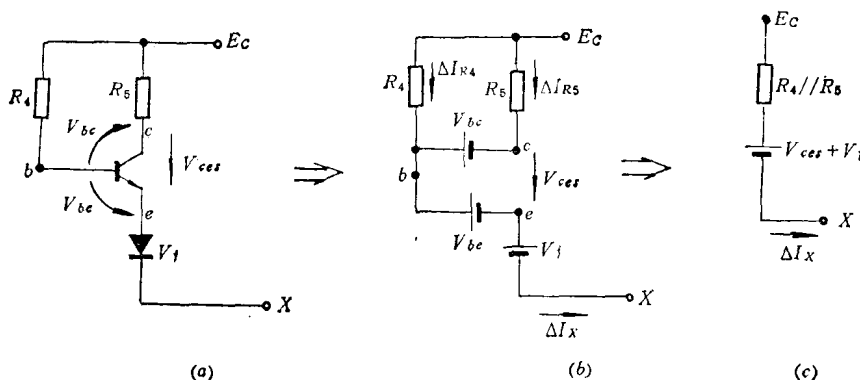


图2-22 T_3 处于饱和状态时的等效电路

输出电流增量 ΔI_x 与输出电压减小量 ΔV_x 之比可写为

$$\begin{aligned} \frac{\Delta I_x}{\Delta V_x} &= \frac{\Delta I_{R_4} + \Delta I_{R_5}}{\Delta V_{R_4}} = \frac{\Delta I_{R_4}}{\Delta V_{R_4}} + \frac{\Delta I_{R_5}}{\Delta V_{R_5}} \\ &= \frac{1}{R_4} + \frac{1}{R_5} \end{aligned} \quad (2-12)$$

式(2-12)说明了这时的输出电阻为 R_4 与 R_5 的并联值。图 2-22 (b) 可等效为图 2-22 (c) 的情形。 R_5 的阻值为 100Ω ，所以输出电阻还不到 100Ω 。

综上所述，当电路处于高电平输出状态时，不论 T_3 处于放大状态或饱和状态，输出端与电源 E_c 之间的等效电阻都很小，这对电路的关门速度极为有利。它一方面减小了对负载电容 C_L 充电的时间常数（这意味着可驱动更大的负载电容）；另一方面可以帮助 T_4 加速脱离饱和（因为当 T_3 一导通， T_4 的集电极负载电阻就突然变得很小， T_4 的集电极电流便增大，使 T_4 不能满足 $\beta I_b > I_c$ 的条件而脱离饱和状态）。

在 DTL 驱动器电路中，输出二极管 D 的主要作用是：当 T_2 和 T_4 处于饱和状态时，使 T_3 完全截止。因为当 T_2 和 T_4 饱和时， T_2 的集电极电位约 $1V$ ， T_4 的饱和压降在 $0.3V$ 以下，如果 T_3 的发射极直接与 T_4 的集电极相联，则 T_3 也将通导，这股电流将造成 T_4 灌入电流的增加，对电路的负载能力不利，同时也增加了电路的通导功耗，完全是属浪费电流，加了二极管后，便可消除这种浪费电流。

对于这种输出电路，如果我们把 T_3 和输出二极管 D 视为 T_4 的集电极负载，则当电路处于通导状态时，由于 T_3 和 D 的截止， T_4 的负载电阻相当于无穷大。而在电路截止时， T_4

的负载电阻又变得很小。所以有时称这种电路为动态负载电路。但是, 这种电路与图2-19的电路相比, 存在以下缺点:

(1) 电压传输特性变差 因为高电平输出时, 输出电压是跟随 T_2 的集电极电压变化, 当输入电压增加到 T_2 通导后, 输出电压就开始随输入电压的上升而下降, 直到 T_4 通导后才转为低电平输出。从 T_2 通导到 T_4 通导, 输入电压的变化约 0.7 V, 所以过渡区宽。

(2) 功耗变大 因为 T_2 的负载电阻只有 600Ω , 而图2-19的输出管负载电阻是 $4k\Omega$, 所以通导功耗的增加是很明显的。另一方面, 这种电路在开关过程中会产生额外的功耗电流。当 T_4 饱和而 T_2 尚未饱和时, 由于 T_2 集电极的电位较高, 可能使 T_3 也处于导通状态。在 T_3 和 T_4 同时导通的情况下, 便产生一股额外的功耗电流从 E_c 经 T_3 、 T_4 到地, 造成电路的功耗变大。

(3) 不允许输出端并联运用 对于前面图2-19的 DTL 电路, 可允许将两电路块的输出端并联使用, 以完成“与或非”的功能, 如图2-23(a)的接法, 当二个门中有一个为低电平输出时, 输出总线就得低电平。因此输出总线与二输出端具有“与”的逻辑关系, 即

$$X = X_1 \cdot X_2 = \overline{ABC} \cdot \overline{DEF} = \overline{ABC + DEF} \quad (2-13)$$

它对应于图2-23(b)的逻辑图, 或对应于图(c)的“与或非”逻辑关系。

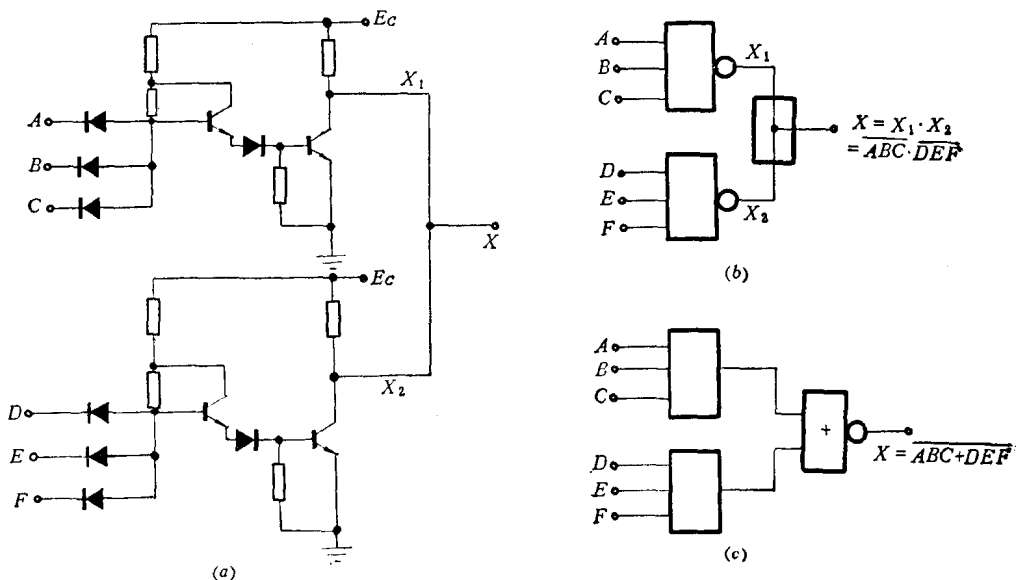


图2-23 “与非”门的并联运用情况

当两个输出端并联后, 如果一个门为高电平输出, 另一个门为低电平输出, 则低电平输出管将灌入二个负载电阻上的电流, 仅使负载能力有所减小。对驱动器电路, 就不允许这样并联使用。因为如果一个门输出为高电平, 另一个门输出为低电平时, 高电平输出端将向低电平输出端灌入很大的电流, 不仅不能获得希望的逻辑电平, 甚至可能造成输出管的烧毁。

六、高阈值逻辑电路 (HTL)

在工业中, 由于其它用电器的干扰, 常常需要抗干扰能力特别强的逻辑电路, 图2-24

是一种 HTL 的“与非”门电路,其电路形式与图 2-20 的 DTL 驱动器电路大致相同,仅在以下几方面作了一些变动。

(1) 在 T_1 和 T_2 管之间加了一个电平位移二极管 D_5 。 D_5 是反接的,这个二极管一般采用 be 结,具有 $6\sim 7\text{ V}$ 的反向击穿电压。只有当 D_5 击穿后 P 点右边的电路才通。因此阈值电压比上述的驱动器电路抬高 $6\sim 7\text{ V}$ 。

(2) 电源电压采用 15 V 。由于阈值电压的提高,输出高电平值也必须相应提高,同时考虑到抗干扰能力,所以电源电压采用 15 V 。

(3) 电路中的电阻值也都作了相应的变动。因为电源电压的抬高,电流将变大,为使功耗电流和输入短路电流不致增加太多,所以电路中的电阻值也按比例相应增大。

电路的工作原理与驱动器类似,不再重复。

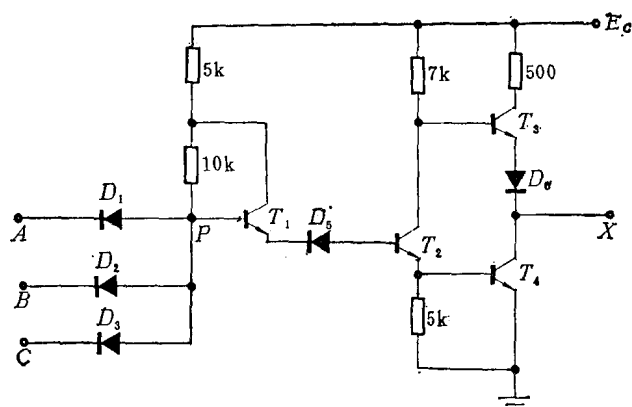


图2-24 HTL电路

§ 2-3 晶体管-晶体管逻辑电路

在简单的 DTL 电路中,电路的传输延迟时间很长,约 100 ns 左右,属于低速电路。主要原因是输出管的截止延迟时间长,因为它由饱和转向截止主要依靠基极电阻泄放晶体管基区的存贮电荷,泄放电阻又不能做得太小,所以造成截止时间长。如果将输入二极管和电平位移二极管用一个多发射极晶体管代替,就成了晶体管-晶体管逻辑电路,简称 TTL 电路。它的开关速度能够显著提高。TTL 电路是目前应用最广的逻辑电路,所以下面作比较详细的讨论。

一、TTL 的工作原理

图 2-25 是简单的 TTL“与非”门电路, T_1 是多发射晶体管,其结构如图 (b) 所示,它的三个 be 结相当于 DTL 中的三个输入二极管。 bc 结相当 DTL 中的一个电平位移二极管。从静态特性看,它与 DTL 差别不大,仅因少了一个电平位移二极管,使阈值电压降低一些,逻辑功能仍和 DTL“与非”门相同。当输入端中有一个为低电平时,如图 2-26 (a) 所示, P 点的电位由 T_1 的 be_3 结箝位在 1 V 以下,发射极处于导通状态。而 T_1 的集电极是

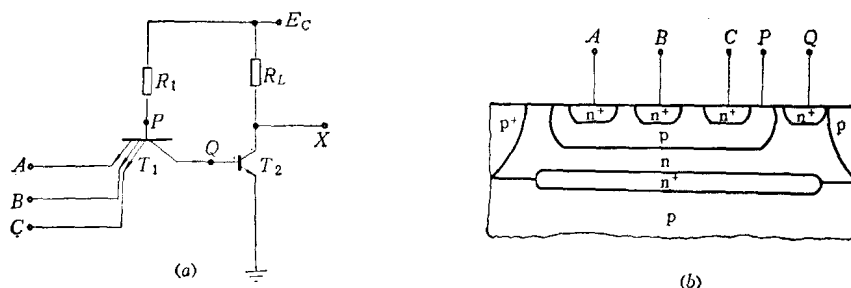


图2-25 最简单的TTL电路和多发射晶体管的结构

(a) 电路; (b) T_1 的结构。

经过 T_2 的 bc 结和负载电阻再到电源正极 E_C 。 T_2 的 bc 结是处于反偏状态, 所以 T_1 的集电极电流很小, 满足 $I_{B1}\beta \gg I_{C1}$ 的条件, 所以 T_1 处于深饱和状态, 饱和压降约 $0.1V$ 。 Q 点的电位不超过 $0.4V$, 所以 T_2 截止, 输出得高电平。当 A 、 B 、 C 都接高电平时, 如图 2-26(b) 所示, P 点的电位被 T_1 的 bc 结和 T_2 的 be 结箝位在 $1.4V$ 。这时, T_1 的发射结处于反向偏置, 收集结是正偏, 所以它处于反向工作状态。集电极电流是流出的, 它等于基极电流和发射极电流之和。 T_2 的基极电流除了来自门电阻 R_1 的电流 I_{R1} 以外, 还有来自发射极的电流。如果设每个发射极与集电极之间的反相电流放大系数为 β_I , 则来自发射极的总电流为 $3I_{R1}\beta_I$, T_2 的基极电流为 $I_{R1} + 3I_{R1}\beta_I$, 使 T_2 饱和, 输出得低电平。

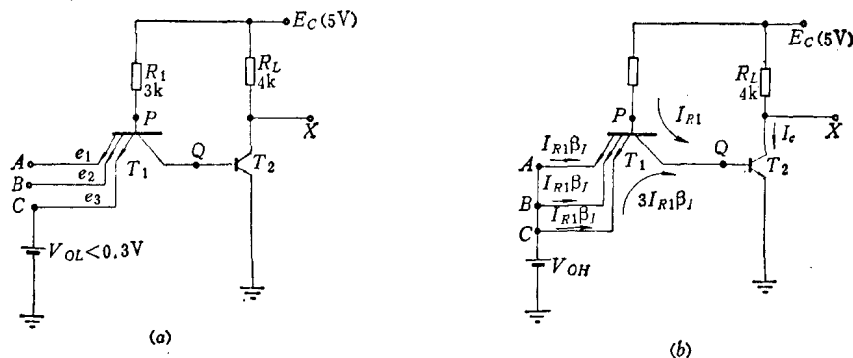


图2-26 TTL简化门的截止和导通工作状态

从上面的静态过程看 TTL 与 DTL 差别不大, 但是在瞬态过程中就有着很大的不同, 如以图 2-27 的情况为例 (暂时先考虑只用一个输入端的情况), 输入为高电平时, T_2 饱和。当输入由高电平跳变为低电平时, R_1 中的电流便转向发射极, T_1 转为正向运用, 在基极电流 I_{R1} 的驱动下, 便产生了 $I_{R1}\beta$ 的集电极电流。这股相当大的瞬时电流很快把 T_2 中的存储电荷抽光, 相当于等效电容 C_{be} 和 C_{bc} 很快放电, Q 点的电位很快降到 T_2 的通导电压以下, 使 T_2 很快截止。因此 TTL 的截止延迟时间大大减小, 这就是 TTL 所以能提高开关速度的根本原因。

TTL 和 DTL 相比, 另一个不同点是高电平输入时, 输入电流较大。我们分析某个输入端处于高电平时的输入电流, 无非有二种情况。一种情况是其它的输入端也为高电平, 这时, 晶体管处于反向工作状态, 正如图 2-26(b) 的情形, 每个发射极都有 $I_{R1}\beta_I$ 的输入电流。另一种情况是其它输入端中有处于低电平的, 如图 2-28 的情况, 设 A 为高电平, B 为

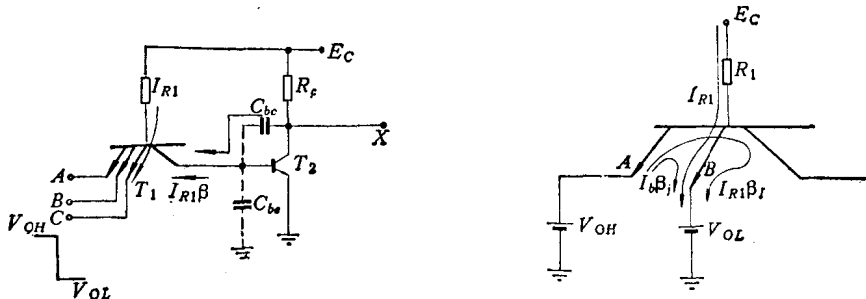


图2-27 T_1 对 T_2 存储电荷的抽取作用

图2-28 多发射极晶体管的反向电流

低电平, 多发射极管便处于深饱和状态, 使集电结也为正偏。这时对输入端 A 而言, 存在二个正偏的 $p-n$ 结, 发射结 A 是处于反偏状态, 它起着收集电子的作用。它的电流有二个来源: 一路电流是与集电极之间形成的电流 $I_b\beta_r$; 另一路是与输入端 B 之间形成的电流 (即 A 、 B 与基极组成的横向晶体管, 见图 2-25 (b))。由发射极之间造成的电流常称为交叉漏电流, 它等于 $I_b\beta_j$, (β_j 表示发射极之间所构成的横向晶体管的电流放大系数)。因此处于高电平的 A 端, 输入电流为 $I_b(\beta_r + \beta_j)$, 它比 DTL 的输入二极管反向电流大得多。所以 TTL 电路在受高电平驱动时, 驱动源的负荷要比 DTL 重得多, 这是不利的因素。所以在制造和版图设计中必须设法减小 β_r 和 β_j 。在实际的制造中, 发射结之间的距离总比集电结与发射结之间的距离大得多, 因此 β_j 比 β_r 小得多, 所以在版图设计中总是着眼于降低 β_r 。合理的图形设计可使 β_r 降到 0.05 以下。

上面这种最简单的“与非”门电路, 它的抗干扰能力和负载能力都差, 一般只用于集成块中的内部耦合门。对于单块门电路产品, 为了使它具有一定的抗干扰能力和负载能力, 在电路上又作了一些改进。

二、典型的TTL“与非”门

1. 基本工作情况

在上述简单的 TTL“与非”门基础上, 考虑到提高驱动能力和抗干扰能力, 将输出级改为类似于 DTL 驱动器的输出电路, 如图 2-29 所示。这个电路可以视为三部分组成:

第一部分是“与”门头, 包括门电阻 R_1 和多发射极晶体管 T_1 , 它完成逻辑“与”的功能。当电路由通导转为截止的过程中, 它对 T_2 的存贮电荷有抽取作用, 使 T_2 很快截止。

第二部分是分相级。由 T_2 和电阻 R_2 、 R_3 组成。它的作用是将来自“与”门头的逻辑电平分为二相。一相从 T_2 的发射极输出, 它和输入信号同相; 另一相从 T_2 的集电极输出, 它与输入信号反相。

第三部分是由 T_3 、 T_4 、 T_5 和电阻 R_4 、 R_5 组成的输出级。低电平输出时, 由 T_5 管驱动负载; 高电平输出时, 由 T_3 、 T_4 驱动负载。

下面对各晶体管在开门状态和关门状态的工作电流作一估算。在估算各晶体管的工作状态时, 假设 $\beta = 20$, 饱和压降 $V_{ces} = 0.3\text{V}$, be 结的正向压降 $V_{be} = 0.7\text{V}$ 。

(1) 开门状态时的工作情况 当输入端全为高电平时, P 点的电位被 T_1 的 bc 结和 T_2 、 T_5 的 be 结箝位在 2.1V , T_2 和 T_5 处于饱和状态, 这时各管子的工作电流如下 (参看图 2-30)。

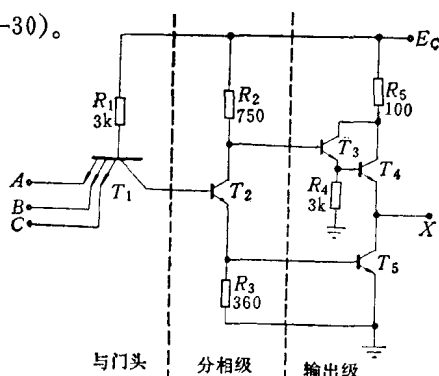


图2-29 典型的TTL“与非”门

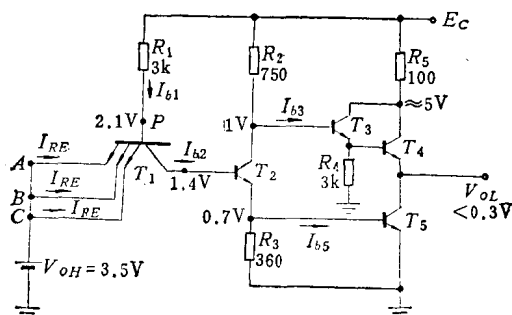


图2-30 输入全高时的各点电位

T_{11} 处于反向运用状态, 基极电流为

$$I_{b1} = \frac{E_C - V_P}{R_1} = \frac{5 - 2.1}{3 \times 10^3} \approx 1 \text{ mA}$$

每个发射极的输入电流为 $I_{RE} = I_{b1}\beta_I$ 。如设反向电流放大系数 $\beta_I = 0.01$, 则

$$I_{RE} = I_{b1}\beta_I = 1 \times 0.01 = 0.01 \text{ mA}$$

集电极电流为

$$I_{c1} = I_{b1} + 3I_{RE} = 1 + 0.03 \approx 1 \text{ mA}$$

T_{21} : 基极电流 $I_{b2} = I_{c1} \approx 1 \text{ mA}$ 。暂时先设它处于饱和和工作状态, 并设饱和压降 $V_{ce2} = 0.3 \text{ V}$, 略去流入 T_3 基极的电流, 则集电极电流为

$$I_{c2} = I_{R2} = \frac{E_C - V_{ce2}}{R_2} = \frac{5 - 1}{750} \approx 5.3 \text{ mA}$$

比较 I_{c2} 与 I_{b2} , 可以发现, 只要 $\beta > 6$ 就可满足饱和条件。如果 $\beta = 20$, 饱和深度 S 约为 4。

发射极电流 $I_{e2} = I_{b2} + I_{c2} = 1 + 5.3 = 6.3 \text{ mA}$ 。 R_3 的电流 $I_{R3} = \frac{V_{be5}}{R_3} = \frac{0.7}{360} \approx 2 \text{ mA}$ 。

T_{51} : 基极电流 $I_{b5} = I_{e2} - I_{R3} \approx 6.3 - 2 = 4.3 \text{ mA}$ 。如果 $\beta = 20$, 要求饱和深度为 4, 则允许灌入集电极的电流为 $(I_{c5})_{\max} = I_{b5}\beta/S = 4.3 \times 20/4 \approx 22 \text{ mA}$ 。

T_{41} : 处于截止状态。因为 T_2 的集电极电位为 1 V , 所以 T_4 的基极电位为 $V_{b4} = V_{ce2} - V_{be3} = 1 - 0.7 = 0.3 \text{ V}$ 。

由此可见, 即使 T_4 的发射极电位等于零, T_4 也处于截止状态。

T_{31} : 处于小电流放大状态。发射极电流 $I_{e3} = I_{R4} = \frac{V_{b4}}{R_4} = \frac{0.3}{3 \times 10^3} = 0.1 \text{ mA}$ 。基极电流 $I_{b3} = I_{e3}/(1 + \beta) \approx 0.1 \times 10^{-3}/20 = 5 \mu\text{A}$ 。比较 I_{R2} 与 I_{b3} , I_{b3} 完全可以略去不计。所以, 上面假设 $I_{c2} = I_{R2}$ 是完全符合实际情况。集电极电压 $V_{c3} = E_C - I_{e3}R_5 \approx 5 - 0.1 \times 10^{-3} \times 100 \approx 5 \text{ V}$ 。

(2) 关门状态时的工作情况 当输入端中有一个为低电平时 (参看图 2-31), P 点被箝制在 1 V , T_2 和 T_5 截止, T_1 处于深饱和情况, 这时各管的工作情况估算于下:

T_{11} : 基极电流 $I_{b1} = \frac{E_C - V_P}{R_1} = \frac{5 - 1}{3 \times 10^3} \approx 1.3 \text{ mA}$ 。高电平输入端的电流 $I_{RE} = I_{b1}(\beta_I + \beta_I)$ 。如果 $(\beta_I + \beta_I) < 0.01$, 则 $I_{RE} < 13 \mu\text{A}$ 。低电平输入端的电流 $I_{SE} \approx I_{b1} = 1.3 \text{ mA}$ 。

T_2 和 T_5 都处于截止状态。输出电路可简化为图 2-32 的情况。当输出空载时, T_4 的

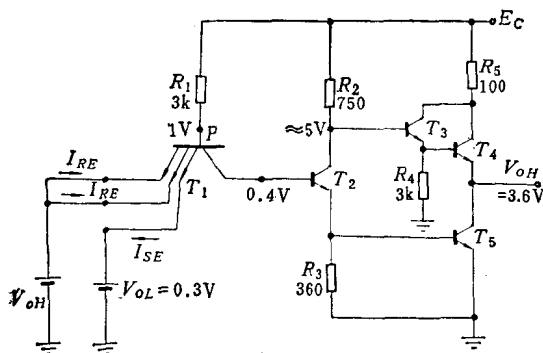


图2-31 关门状态时的各点电压

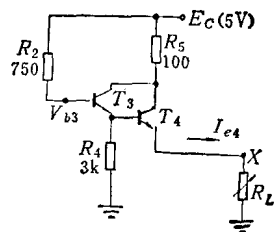


图2-32 关门状态时的输出等效电路

射极电流为零, 基极电流也等于零。\$T_3\$ 处于放大状态, 它的工作电流可根据下面的关系式算出:

$$I_{R_2}R_2 + V_{be3} + I_{e3}R_4 = E_C$$

因为 \$I_{R_2} = I_{b_3} \ll I_{e3}\$, \$R_2 < R_4\$, 所以 \$I_{e3}R_4 \gg I_{R_2}R_2\$。

$$I_{e3} \approx \frac{E_C - V_{be3}}{R_4} = \frac{5 - 0.7}{3 \times 10^3} \approx 1.4 \text{ mA}$$

这时, \$R_2\$ 上的电压降可以忽略不计, 输出端的电压为 \$V_{e4} \approx E_C - V_{be3} - V_{be4} = 5 - 0.7 - 0.7 = 3.6 \text{ V}\$。

当输出端接有负载时, \$I_{e4} \neq 0\$, 输出电压便随 \$I_{e4}\$ 的增加而减小。因为输出电压与 \$V_{b_3}\$ 存在跟随关系, 在 \$T_3\$ 饱和前, 输出电压为

$$V_x = E_C - I_{b_3}R_2 - V_{be3} - V_{be4} \approx 5 - I_{b_3}R_2 - 0.7 - 0.7 = 3.6 - I_{b_3}R_2$$

如果略去 \$R_4\$ 中的电流变化, 则

$$I_{b_3} = \frac{I_{e4}}{(1 + \beta_3)(1 + \beta_4)}$$

代入上式, 得

$$V_x = 3.6 - I_{e4} \frac{R_2}{(1 + \beta_3)(1 + \beta_4)}$$

这表明输出电阻为 \$R_2 / (1 + \beta_3)(1 + \beta_4)\$。如 \$\beta_3, \beta_4\$ 都以 20 计, 则输出电阻还不到 \$2 \Omega\$。它表明高电平输出时的负载能力很强。当然这是理想的情况, 实际上输出电阻还要计入 \$T_4, T_3\$ 的发射极电阻和基极电阻。

当输出负载加重时, \$R_5\$ 中的电流也随之增加, (\$R_5\$ 中的电流与 \$I_{e4}\$ 基本相等)。当 \$I_{R_5}R_5 - I_{R_2}R_2 = 0.4 \text{ V}\$ 时, \$T_3\$ 的 \$V_{ce}\$ 便达到饱和压降的数值, \$T_3\$ 进入深饱和状态后, \$T_3\$ 的 \$b, c, e\$ 三点电压完全跟随变化, 如果用恒定电压源来表示三点电压的跟随关系, 可将图 2-32 等效为图 2-33, 这时的内阻为 \$R_2 \parallel R_5 \parallel R_4\$,

不到 \$100 \Omega\$。

上面的分析说明关门状态时的输出电阻小, 对负载电容的充电速度有利, 或者说对电容负载的驱动能力强。

\$T_4\$ 的集电极电压永远比基极电压高 \$V_{ces3}\$, 如果不考虑它的集电极体电阻, 则总是处于放大状态。

2. 电压传输特性

电压传输特性是表示输出电压随输入电压变化的特性曲线。它是在输入电压变化很慢的条件下测定的, 所以仅仅反映电路的静态特性, 而不是瞬态特性。在图 2-34 中, 设输入端 \$A, B\$ 悬空 (或接高电平); \$C\$ 端接可调输入电压 \$V_i\$。在 \$V_i\$ 由 \$0 \text{ V}\$ 逐渐增加到高电平数值的过程中, 输出电压的变化大致如图 2-34 (b) 所示, 它经历四个区域:

(1) \$T_2\$ 导通以前 当输入电压 \$V_i < 0.6 \text{ V}\$ 时, \$T_1\$ 处于深饱和状态, \$T_2\$ 的基极电压 \$V_{b_2} = V_{ces1} + V_i = 0.1 + V_i < 0.7 \text{ V}\$, 所以 \$T_2\$ 截止。

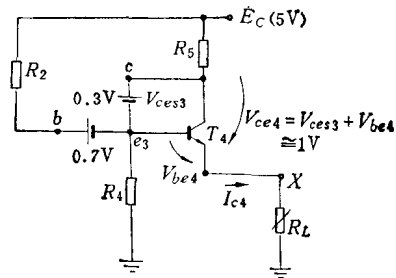


图2-33 \$T_3\$ 饱和后的等效电路

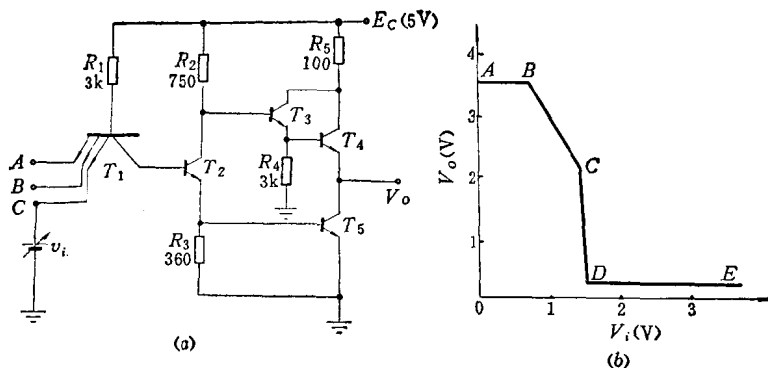


图2-34 TTL“与非”门的电压传输特性

T_3 处于放大状态, 这时的输出电压可根据下面关系式估算

$$E_C = I_{b3}R_2 + V_{be3} + I_{e3}R_4$$

$$I_{e3} = \frac{E_C - V_{be3}}{\frac{R_2}{1 + \beta_3} + R_4} \approx \frac{5 - 0.7}{3 \times 10^3} \approx 1.4 \text{ mA}$$

$$I_{b3} = I_{e3} / (1 + \beta_3) \approx 1.4 \times 10^{-3} / 20 = 0.07 \text{ mA}$$

$$V_{b3} = E_C - I_{b3}R_2 = 5 - 0.07 \times 10^{-3} \times 750 \approx 4.95 \text{ V}$$

输出电压为

$$V_o = V_{b3} - V_{be3} - V_{be4} = 4.95 - 0.7 - 0.7 \approx 3.6 \text{ V}$$

这就是图 2-34 (b) 的水平线段 AB, 它表示输出电压不随输入电压变化。

(2) T_2 通导, T_5 仍处于截止状态时 当输入电压 V_i 在 0.6~1.3 V 之间时, T_2 的发射极电压跟随输入电压的变化而变化, 即 $\Delta V_{e2} = \Delta V_i$ 。发射极电流的变化为 $\Delta I_{e2} = \frac{\Delta V_i}{R_3}$, 这时 T_2 处于通导放大状态, 集电极电流 $\Delta I_{c2} \approx \Delta I_{e2}$ 。

集电极的电压变化 $\Delta V_{c2} = -\Delta I_{c2}R_2 \approx -\Delta I_{e2}R_2 = -\Delta V_i \frac{R_2}{R_3}$ 负号表示 ΔV_{c2} 随 ΔV_i 的增加而减小。输出电压 V_o 与 V_{c2} 存在着跟随关系。所以输出电压的变化量

$$\Delta V_o = -\Delta V_i \frac{R_2}{R_3} \quad (2-14)$$

这表明输出电压随输入电压是线性变化的, 所以称为线性变化区。其变化率为 $-R_2/R_3$, 它取决于 T_2 的集电极负载电阻与发射极接地电阻之比。根据电路图中的电阻值, 输入电压由 0.6 V 升到 1.3 V 时, 输出电压的变化量为

$$\Delta V_o = -\Delta V_i \frac{R_2}{R_3} = -0.7 \times \frac{750}{360} \approx -1.4 \text{ V}$$

即输出电压由 3.6 V 降到 2.2 V。这就是图 2-34 (b) 中的线段 BC。

(3) 过渡区 T_5 开始通导, 并向饱和状态过渡; T_4 向截止状态过渡。

当输入电压达到 1.3 V 后, T_5 通导, 这时输出电压随输入电压急剧下降。造成急剧下

降的因素有二个:

① 因为 T_5 的 be 结通导后, 使 T_2 的发射极到地的电阻变小, 它等于 R_3 和 T_5 的输入电阻 r_{be5} 的并联值。按照上面线性区的分析结论, 输出电压随输入电压的变化率就应该等于 $-R_2/(R_3 \parallel r_{be5})$, 即变化率增大。晶体管的输入电阻是非线性的, 它将随输入电流的增加而减小, 所以随着输入电压的增加, 变化率将越来越大。

② T_5 通导后产生了集电极电流, T_5 的集电极电流是由 T_4 发射极流出的。这股电流是随 V_i 的增加急剧增加。 T_4 发射极电流的增加, 使 T_3 的基极电流也相应增加, T_3 的基极电流是流经电阻 R_2 的, 因此它引起 V_{e2} 电压的进一步下降。

当 T_5 开始通导时, 输出电压的下降主要是前一个因素, 因为 T_3 处于放大状态, T_3 的基极电流很小, 所以这段曲线的变化率为 $-R_2/(R_3 \parallel r_{be5})$ 。但随着 T_5 电流的增加, 由于 T_3 的基极电流 I_{b3} 引起 R_2 中的压降也愈来愈显著, 这是因为 R_5 上的电压变化量为

$$\Delta V_{R5} \approx \Delta I_{e5} R_5 = \Delta I_{e2} \beta_5 R_5$$

而 R_2 上的电压变化量 $\Delta V_{R2} \approx \Delta I_{e2} R_2$ 。在电路中, $\beta_5 R_5 > R_2$, 这说明 T_3 集电极上的电压比基极上的电压降得快。当 $V_{b3} - V_{e3} = V_{be3} - V_{ees3}$ 时 T_3 就进入饱和状态。下面对 T_3 进入饱和状态的输出电压值进行估算。

当 T_5 刚通导时 V_{e3} 约 4.9 V, V_{b3} 约 3.6 V 所以 T_3 的饱和条件是

$$\begin{aligned} \Delta V_{R5} - \Delta V_{R2} &= 4.9 - 3.6 + (V_{be3} - V_{ees3}) \\ &= 4.9 - 3.6 + (0.7 - 0.3) = 1.7 \text{ V} \end{aligned} \quad (2-15)$$

在 T_3 饱和前, R_2 上的压降 ΔV_{R2} 可认为只是因 T_2 的集电极电流变化引起的, 而 T_2 是处于放大状态, 可认为

$$\Delta V_{R2} \approx \Delta I_{e2} R_2 \quad (2-16)$$

当 R_5 中的电流增量基本上等于 T_5 的集电极电流增量时, T_5 也处于放大状态, 所以有下面的关系:

$$\Delta V_{R5} = \Delta I_{e5} R_5 \approx \Delta I_{e2} R_5 \approx \Delta I_{b5} \beta_5 R_5 \approx \Delta I_{e2} \beta_5 R_5 \quad (2-17)$$

将式 (2-16)、(2-17) 代入式 (2-15), 得

$$\Delta I_{e2} \beta_5 R_5 - \Delta I_{e2} R_2 \approx 1.7 \text{ V}$$

$$\text{即} \quad \Delta I_{e2} \approx \frac{1.7}{\beta_5 R_5 - R_2} = \frac{1.7}{20 \times 100 - 750} \approx 1.36 \text{ mA}$$

从 T_5 开始通导到 T_3 达到饱和, 输出电压的变化量为

$$\Delta V_o = \Delta V_{R2} = \Delta I_{e2} R_2 \approx 1.36 \times 10^{-3} \times 750 \approx 1.0 \text{ V} \quad (2-18)$$

即 V_{b3} 的电压由 3.6 V 降到 2.6 V 时, T_3 就进入饱和。对应的输出电压由 2.2 V 降到 1.2 V。

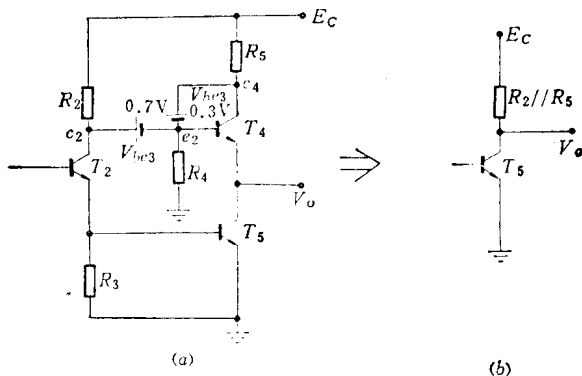
当 T_3 进入饱和后, 因为 T_3 的 b 、 c 、 e 三点的电压都是跟随变化的, 所以 T_3 管可用二个电压源来等效, 如图 2-35(a) 所示。 T_4 虽处于放大状态, 但是它的 bc 电压被 V_{ees3} 所箝制, 也就是 bc 被短接。这时 c_2 、 e_3 、 c_4 和输出 V_o 都跟随变化, 也就是 R_2 、 R_6 、 R_4 上的电压变化量相等, 即

$$\Delta V_o = \Delta V_{R2} = \Delta V_{R6} = \Delta V_{R4} \quad (2-19)$$

又因为

$$\Delta I_{e5} = \Delta I_{e4} = \Delta I_{b2} + \Delta I_{R2} + \Delta I_{R5} - \Delta I_{R4} - \Delta I_{e2}$$

$$= \Delta I_{b2} + \Delta I_{R2} + \Delta I_{R5} - \Delta I_{R4} - \Delta I_{R3} - \Delta I_{b5} \approx \Delta I_{R2} + \Delta I_{R5}$$

图2-35 T_3 饱和时的输出等效电路

式中略去 ΔI_{b2} 、 ΔI_{R3} 、 ΔI_{b5} (因为 T_2 、 T_5 处于放大状态, 并设 $r_{be5} \ll R_3$) 上式也可写为

$$\Delta I_{e5} \approx \Delta I_{R2} + \Delta I_{R5} = \frac{\Delta V_{R2}}{R_2} + \frac{\Delta V_{R5}}{R_5} \quad (2-20)$$

将式 (2-19) 代入式 (2-20) 得

$$\Delta I_{e5} \approx \Delta V_o \left(\frac{1}{R_2} + \frac{1}{R_5} \right)$$

或写为

$$\frac{\Delta I_{e5}}{\Delta V_o} \approx \frac{1}{R_2} + \frac{1}{R_5} \quad (2-21)$$

它表明这时 T_5 的集电极负载电阻等效为 R_2 和 R_5 的并联值, 如图 2-35(b)。

这时输出电压随输入电压的变化关系可导出如下:

$$\begin{aligned} \Delta V_i &\approx \Delta V_{be5} = \Delta I_{b5} r_{be5} \\ \Delta V_o &\approx -\Delta I_{e5} (R_2 // R_5) \end{aligned}$$

所以

$$\frac{\Delta V_o}{\Delta V_i} = - \frac{\Delta I_{e5} (R_2 // R_5)}{\Delta I_{b5} r_{be5}} = \frac{\beta_5 (R_2 // R_5)}{r_{be5}} \quad (2-22)$$

在 T_3 饱和前, 输出电压随输入电压的变化率为

$$\frac{\Delta V_o}{\Delta V_i} = - \frac{R_2}{R_3 // r_{be5}} \quad (2-23)$$

比较式 (2-22) 和式 (2-23), 在分子中

$$\beta_5 (R_2 // R_5) > R_2$$

在分母中, 式 (2-22) 对应的 T_5 电流比式 (2-23) 更大, r_{be5} 更小。所以, 曲线下降更快。这个过程将持续到 T_5 饱和。当 T_5 饱和后, V_o 就不再下降, 这时如 T_2 的集电极电压再下降一点, 又将使 T_3 的基极电压减小, T_3 便又从饱和转为放大状态, 这时 T_4 的输出电流 I_{e4} 也因驱动电流减小而变小, 也就是 T_5 的集电极电流变小, 而 T_5 的基极电流是随 V_i 增加而增大, 结果 T_5 就进入更深的饱和。

在 T_3 由饱和即将转为放大工作状态时, I_{R5} 有最大值, 这时电路的功耗最大。 I_{R5} 和 I_{e5} 的最大电流值为

$$(I_{R5})_{\max} = \frac{E_C - V_{ces3} - V_{be4} - V_{OL}}{R_5} = \frac{5 - 0.3 - 0.7 - 0.3}{100} = 37 \text{ mA} \quad (2-24)$$

整个过渡区的范围很小,因为当输入电压从 1.3 V 升到略超过 1.4 V 时, P 点的电压就由 T_1 的 bc 结和 T_2 、 T_5 的 be 结所箝位, T_1 的发射结就无电流,这时不仅 T_5 饱和而且 T_2 亦饱和,总的输入电压也才变化 0.1 V,所以过渡区的范围不会超过 0.1 V。在图 2-34(b) 中的 CD 线段就是过渡区的特性曲线,它几乎是一条垂直线段。

(4) 饱和区 T_5 达到饱和后,如再增加输入电压,仅使 T_5 的饱和深度增加,输出电压 V_o 基本不变。当输入电压增加到 T_1 的发射极的电流为零后,电路就达到了稳定状态, T_2 的电流也不再增加。图 2-34(b) 的 DE 段就对应于饱和区,基本上是一条水平线。

以上的分析都是假设 $p-n$ 结的通导电压为 0.7 V,并且认为正向通导后的结压降不再变化。实际上通导是逐渐变化的,因此实际的电压传输特性曲线各段是逐渐过渡的。

3. 瞬态特性

在分析电压传输特性时,我们已强调它是在输入电压变化很慢的情况下得到的,也就是假设输入电压每变化一点都是等电路达到稳定状态后再来看各部分的电流值和电压值,所以不必涉及电路中的电容充放电问题。现在要分析它们的瞬态特性,就必需考虑电容的影响。在图 2-36 中,画出了各节点的寄生电容。图中的 C_R 表示电阻的等效寄生电容,数值为总寄生电容的一半。 C_i 为晶体管的隔离电容。 C_e 和 C_c 分别表示晶体管的发射结电容和集电结电容,它包括势垒电容和扩散电容(如果晶体管处于饱和状态, be 结和 bc 结都处于正偏时就认为它们的电容值相应变大,反偏或小电流的情况时就认为它们的数值变小)。 C_L 是负载电容。下面分别讨论在阶跃输入信号的作用下,电路的通导过程和截止过程。

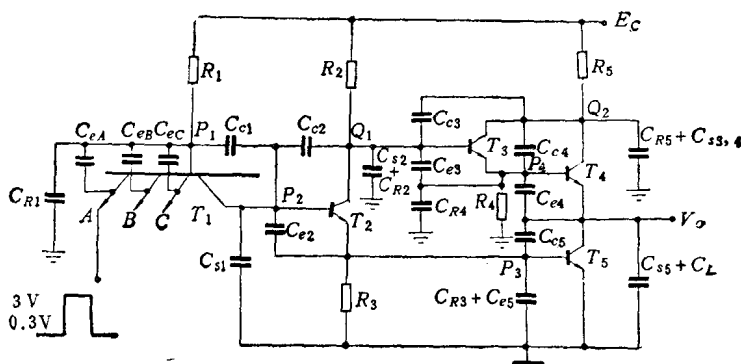


图2-36 TTL各节点的电容

(1) 从截止到饱和的过渡过程 设电路原来处于截止状态,输入端 A 处于低电平 (0.3 V), 其它输入端开路,电路处于稳定的截止状态,各节点的电位已达到了相应的稳定值,电容已充有相应的电压。在这时刻 ($t = t_0$),如果输入电平 V_i 由 0.3 V 跳变到 3 V,我们来分析电路中的演变过程。

在一般的电路中, T_1 发射结的面积很小,比 P_1 点对地的电容小得多,所以当输入电压由 0.3 V 跳变到 3 V 时,可认为 C_{e1} 上的电压立即充到 2 V,而 P_1 点的电位不变,仍处于 1 V,这时发射结 A 便立即截止,紧接着就是电源 E_C 通过电阻 R_1 对节点 P_1 充电。在

对 C_{Q1} 充电的同时, P_2 也得到充电, 当 P_2 电位充到 0.7V 时, T_2 开始导通, 节点 Q_1 上的电容便开始放电, Q_1 的电位就随着下降, T_3 的发射极电位也跟着降低。但这时输出电压并不降低, 因为 T_4 的 be 结电压原来仅处于微通状态 (T_4 虽然导通, 但没有输出电流, 所以认为微通), 当基极电位略微下降后, T_4 就转为截止状态, 这时负载电容 ($C_{rs}+C_L$) 与 T_4 的联系相当断开。负载电容因没有放电回路, 所以输出电压不会改变。随着 P_2 点的充电, P_2 的电位升高, T_2 的通导电流也变大, 它一方面使 Q_1 的电位下降, 另一方面对节点 P_3 充电使 P_3 的电位上升。当 P_3 的电位达到 T_5 的通导电压时, 负载电容才开始通过 T_5 的集电极放电, 输出电压 V_o 便开始下降。如果 V_o 的下降速度比 Q_1 下降得快, 当 V_o 比 V_{Q1} 低 1.4V 时, T_4 便又转为导通。 T_4 和 T_5 同时导通就会使功耗电流增加, 这股电流是流入 T_5 集电极的, 所以 T_4 的导通起了阻止负载电容放电的作用, 它使 V_o 的下降速度变慢。或者说, 对电路转向低电平状态起了延缓作用。如果永远满足 $V_{Q1}-V_o<1.4\text{V}$, 则不会引起 T_4 的导通, 也就不会出现瞬态电流, 这对 T_5 向饱和过渡更为有利。随着 P_3 的充电, P_3 电位的上升, V_o 也不断下降, 在接有负载门的情况下, 当 V_o 降到 1.4V 时, 负载门将对输出端灌入电流, 遇到这种情况, 输出电压的下降速度也将变得缓慢。有时可在输出波形上发现台阶, 就是输出电压下降变慢的现象。但是随着 T_5 驱动电流的增加, T_5 终于会进入饱和, 并达到稳定状态, 即输出电压 V_o 达到低电平值。

根据上述的演变过程, 从输入跳变到 T_5 通导的这段时间, 输出电压不变, 仍为高电平。从 T_5 开始通导到 T_5 饱和, 对应于输出波形的下降边, 它可能出现时快时慢的变化情况。输出电压滞后于输入电压的变化情况大致如图 2-37 所示。

延迟时间主要取决于节点 P_2 和 P_3 的充电速度, 它与节点的寄生电容大小有关, 也与晶体管 T_2 的 β_2 有关。 β_2 越大、节点电容越小, 延迟时间就越短。输出波形的下降速度还与负载电容和负载电阻有关。

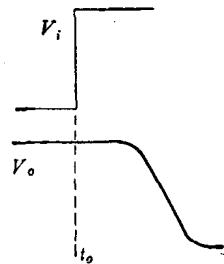


图2-37 通导延迟波形

(2) 从饱和到截止的过渡过程 当输入电压由高电平 (3V) 跳变到低电平 (0.3V) 时, T_1 的发射结 A 便很快转为导通, C_{R1} 便通过发射结 A 放电, 与 R_1 中的电流汇集在一起, 使 T_1 有更大的基极电流。 T_1 的正向工作状态将带来 $I_{b1}\beta_1$ 的集电极电流, 这股电流使 P_2 的节点电容很快放电, T_2 便很快转为截止。但是, T_2 截止后, Q_1 的电位并不立即上升, 它必须通过电流 I_{R2} 对节点电容的充电后才会逐渐上升。在 Q_1 电位上升到 1.7V 以前, T_4 一直处于截止状态 (因为 $V_o=0.3\text{V}$)。

在节点 Q_1 充电的同时, 节点 P_3 也将通过 R_3 放电, 但在一般的情况下, T_5 的饱和度很深, 通过 R_3 的放电有限, 所以往往是 Q_1 升到 1.7V 时, T_5 仍处于饱和状态, 输出电平仍停留在 0.3V 。当 Q_1 达到 1.7V 后, T_4 就开始导通, 同时向 T_5 集电极灌入很大的电流, 这股电流迫使 T_5 很快脱离饱和。当 T_5 脱离饱和后, 输出电压便随着负载电容的充电逐渐升高。在 T_5 截止以前, T_4 发射极流出的电流一部分供 T_5 的集电极电流, 另一部分供 ($C_{rs}+C_L$) 充电, 所以输出电压上升较慢。当 T_5 截止后, T_4 流出的电流就全部对负载电容 C_L 和 C_{rs} 充电, 使输出更快转向高电平。输出变化迟后于输入跳变的情况大致如图 2-38 所示。

以上分析可以看出,要减小截止延迟时间,一方面要求 T_2 很快截止(多射头的作用,对 T_2 的截止提供了有利条件)。另一方面希望 Q_1 点的电位上升得快,这就要求尽量减小 Q_1 点的寄生电容。减小 T_2 的面积对这二方面都有利。

(3) 瞬态功耗 从上面的分析中可以看出:当输入是理想的阶跃波形时,电路中仍会出现短暂的大电流现象。当电路由通导向截止演变时,短暂的大电流能使电路尽早转向截止,这是有益的。但是从截止状态转向通导的过渡过程中,出现瞬态功耗电流是不利的。在阶跃输入波形的情况下,后者并不一定出现瞬态功耗电流,或者瞬态功耗电流的幅度比前者小。但无论如何,在一个脉冲周期内,总有一段时间会出现瞬态功耗电流。因此,输入脉冲的重复频率越高,总的平均功耗就越大。

4. TTL 的参数及测量

(1) 输出高电平 V_{OH} 输出高电平的测试电路如图 2-39 所示,即待测输入端接地,其它输入端开路。根据上面的电路分析, V_{OH} 的典型值为

$$V_{OH} = E_C - I_{R_2}R_2 - V_{be3} - V_{be4} = 5 - 0.05 - 0.7 - 0.7 \approx 3.6 \text{ V}$$

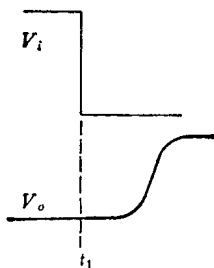


图2-38 截止延迟波形

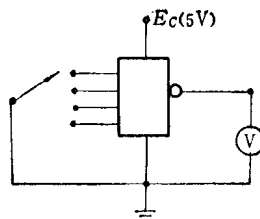


图2-39 V_{OH} 测试原理

产品规定的指标为 $V_{OH} \geq 3.0 \text{ V}$, 因此该参数留有一定的余地。

(2) 输入短路电流 I_{SE} 测试电路如图 2-40 所示,被测端经过电流表接地,其它输入端开路,毫安表的读数就是 I_{SE} 。根据电路原理, I_{SE} 应为

$$I_{SE} = \frac{E_C - V_{be1}}{R_1} = \frac{5 - 0.7}{3 \times 10^3} \approx 1.4 \text{ mA}$$

I_{SE} 的数值主要取决于 R_1 的阻值。产品规定指标为 $I_{SE} < 1.8 \text{ mA}$ 。这表明允许 R_1 有一定的误差范围。

(3) 输出低电平 V_{OL} 测试电路如图 2-41 所示,被测输入端接 1.8 V , 对应于电路的最大关门电平。其余输入端开路,并接额定负载。 N_o 为额定的扇出系数,根据指标规定,额定的 $N_o = 8$, 即带 8 个同类门。因为 I_{SE} 的规定指标为 1.8 mA , 所以灌入的负载

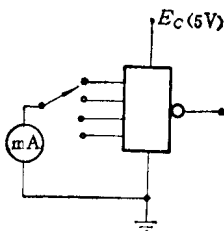


图2-40 I_{SE} 测试原理

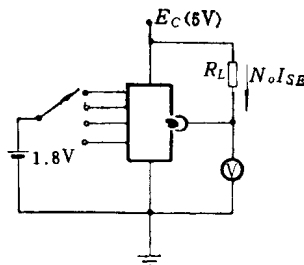


图2-41 V_{OL} 测试原理

电流为 $I_L = N_o I_{SB} = 8 \times 1.8 = 14.4 \text{ mA}$ 。在此条件下, 额定的低电平输出 $V_{oL} < 0.35 \text{ V}$ 。负载电阻 $R_L = \frac{E_C - V_{oL}}{N_o I_{SB}} = \frac{5 - 0.35}{14.4 \times 10^{-3}} \approx 320 \Omega$ 。

输出低电平的数值就是 T_5 管的饱和压降, T_5 管的饱和压降由二部分引起: ①由饱和深度决定的 V_{ces0} , 它是 be 结的正向电压与 bc 结的正向电压之差。在深饱和情况下约 0.1 V 。根据上面的电路分析, T_5 的基极电流 $I_{b5} = 4.3 \text{ mA}$, 而现在的集电极电流 $I_{c5} = I_L = 14.4 \text{ mA}$, 如果设 $\beta_5 = 20$, 则饱和深度 $S = \frac{\beta I_{b5}}{I_{c5}} = \frac{20 \times 4.3}{14.4} \approx 6$, 这说明 T_5 的驱动电流是有富余的。②由于灌入电流在集电极串联电阻 r_{cs} (包括集电极的体内电阻和接触电阻) 上的压降等于 r_{cs} 与灌入电流 I_L 的乘积。根据规定的指标 $V_{oL} < 0.35 \text{ V}$, 则要求 T_5 的集电极串联电阻 r_{cs} 为

$$r_{cs} < \frac{V_{oL} - V_{ces0}}{I_L} = \frac{0.35 - 0.1}{14.4 \times 10^{-3}} \approx 17 \Omega$$

这是一个相当小的数值。所以在版图设计中, 对 T_5 应设法降低它的串联电阻。

(4) 开门电平 V_{on} 开门电平是在额定负载情况下, 输出为低电平时的最小输入电压。根据上面传输特性的分析, 它的数值在 1.4 V 左右。一般电路的典型值为 $1.4 \sim 1.5 \text{ V}$ 。产品规定的指标为 $V_{on} < 1.8 \text{ V}$ 。测试电路如图 2-41, 因为输入端的电压为 1.8 V 时, 如果测得输出电平 $V_{oL} < 0.35 \text{ V}$, 就表明 V_{on} 必然小于 1.8 V 。所以在测量 V_{oL} 的同时也测出了 V_{on} 的值。

(5) 关门电平 V_{off} 输出电平为额定高电平 (3 V) 的 90% 时, 它所对应的输入电平, 称为关门电平 V_{off} 。根据这个定义, 可以从电压传输特性曲线确定 V_{off} 。根据对 TTL 的电压传输特性曲线分析, $V_o = 2.7 \text{ V}$ 应在线性区中。其输出电压与输入电压的关系为

$$\begin{aligned} V_o &= V_{oH} - [V_i - (V_{be2} - V_{ces1})] \frac{R_2}{R_3} = 3.6 - [V_i - (0.7 - 0.1)] \frac{750}{360} \\ &\approx 3.6 - (V_i - 0.6) \times 2 \end{aligned}$$

当 $V_o = 2.7 \text{ V}$ 时的输入电压即为 V_{off}

$$V_{off} \approx (3.6 - 2.7) \frac{1}{2} + 0.6 = 1.0 \text{ V}$$

产品规定指标为 $V_{off} > 0.8 \text{ V}$, 也就是输入电压为 0.8 V 时, 输出电压不低于 2.7 V 。实际的 V_{off} 数值与 R_2/R_3 的比值有关, R_2/R_3 的比值越大, V_{off} 的值就越小。

测量 V_{off} 的电路如图 2-42 所示。它是在被测输入端加 0.8 V 电压时测量输出电压。如果输出电压 $V_o > 2.7 \text{ V}$ 就表示满足 $V_{off} > 0.8 \text{ V}$ 的关系。

(6) 静态平均功耗 $\bar{P}$ 静态平均功耗 $\bar{P}$ 是表示电路的开态功耗和关态功耗的平均值。功耗就是电源电压与电源电流的乘积, 电源电压等于 5 V , 是固定不变的, 所以只要分别测出开门状态和关门状态时的电源电流即可。测量电路如图 2-43 (a)、(b) 所示, 图 (a) 为测量开门状态的功耗电流, 输入端全部开路。图 (b) 是测量关门状态的功耗电流, 有一输入端接地。两者都不接负载。下面分别对开态功耗及关态功耗进行估算。

①开态功耗 (空载通态功耗) 如图 2-44 所示电源的总电流 I 分为三路, 即 I_{R1} , I_{R2}

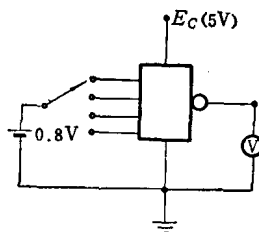


图2-42 V_{off} 测试原理

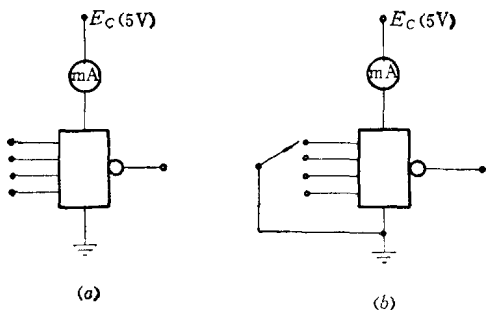


图2-43 功耗测试原理

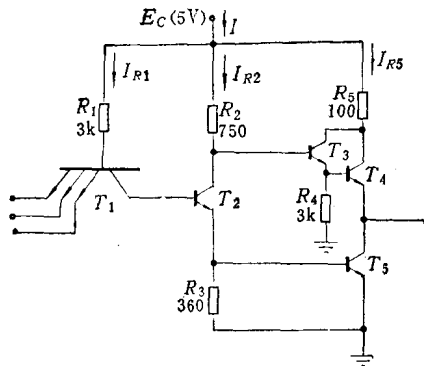


图2-44 TTL的功耗电流

和 I_{R5} , 只要分别算出这三路电流就可得到总电流 I 。根据上面的电路原理, 在开门状态时,

$$I_{R1} = \frac{E_C - V_{be1} - V_{be2} - V_{be5}}{R_1} = \frac{5 - 0.7 - 0.7 - 0.7}{3 \times 10^3} \approx 1 \text{ mA}$$

$$I_{R2} = \frac{E_C - V_{ce2} - V_{be5}}{R_2} = \frac{5 - 0.3 - 0.7}{750} \approx 5.3 \text{ mA}$$

$$I_{R5} \approx I_{R4} = \frac{V_{ce2} - V_{be3}}{R_4} = \frac{1 - 0.7}{3 \times 10^3} = 0.1 \text{ mA}$$

开态总电流 $I_1 = I_{R1} + I_{R2} + I_{R5} \approx 1 + 5.3 + 0.1 = 6.4 \text{ mA}$

开态功耗 $P_1 = E_C I_1 = 5 \times 6.4 \times 10^{-3} = 32 \text{ mW}$

②关态功耗(截止功耗) 在测量关态功耗时, 有一输入端接地。各路电流分别估算如下:

$$I_{R1} = \frac{E_C - V_{be1}}{R_1} = \frac{5 - 0.7}{3 \times 10^3} \approx 1.4 \text{ mA}$$

I_{R2} 的电流就是流入 T_3 的基极电流, 它比 I_{R5} 小得多, 所以略去不计

$$I_{R5} \approx I_{R4} = \frac{E_C - V_{be3}}{R_4} = \frac{5 - 0.7}{3 \times 10^3} = 1.4 \text{ mA}$$

关态的总电流 $I_2 = I_{R1} + I_{R5} = 1.4 + 1.4 = 2.8 \text{ mA}$

关态功耗 $P_2 = E_C I_2 = 5 \times 2.8 \times 10^{-3} = 14 \text{ mW}$

平均功耗 $\bar{P}$ 为

$$\bar{P} = \frac{P_1 + P_2}{2} \approx \frac{32 + 14}{2} = 23 \text{ mW}$$

根据指标规定, $I_1 < 10 \text{ mA}$, 即 $P_1 < 50 \text{ mW}$; $I_2 < 5 \text{ mA}$ 即 $P_2 < 25 \text{ mW}$ 。

(7) 输入漏电流 I_{RE} 输入漏电流 I_{RE} 的测量电路如图 2-45 所示。被测输入端经微安表接电源电压 (5V), 其它输入端接地。微安表的读数就是 I_{RE} , 它主要取决于 T_1 的反向电流放大系数 β_I 。 I_{RE} 的典型值在 $1 \sim 10 \mu\text{A}$ 之间, 产品规定指标为 $I_{RE} < 70 \mu\text{A}$ 。在实际测量中 I_{RE} 过大的原因往往是发射结穿通或反向漏电引起的。

(8) 扇入系数 N_f 扇入系数是指能使门电路正常工作的输入端数目。它由多发射极晶体管的发射极数目决定。

(9) 平均延迟时间 $\bar{t}_{pd}$ 平均延迟时间是指通导延迟时间和截止延迟时间的平均值, 图 2-46(a) 为平均延迟时间测试线路图。输入信号经过同类门整形后加到被测门的输入端。被测门的输出端接额定负载, 也可采用模拟负载。图 2-46(a) 的虚线框内表示模拟负载, D_1 和 D_2 对应负载门 T_1 管的 be 结和 bc 结, D_3 、 D_4 分别对应于 T_2 和 T_5 的 be 结,

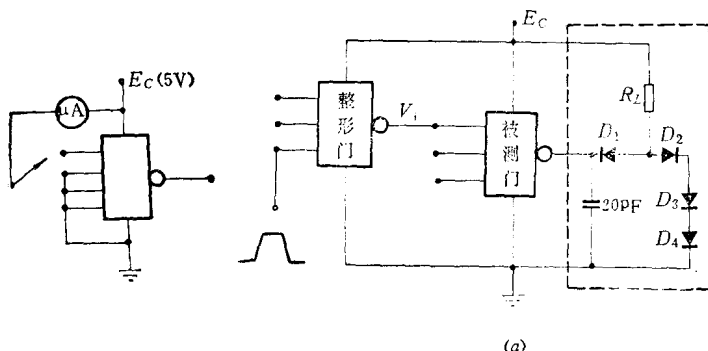


图2-45 I_{RE} 的测试原理

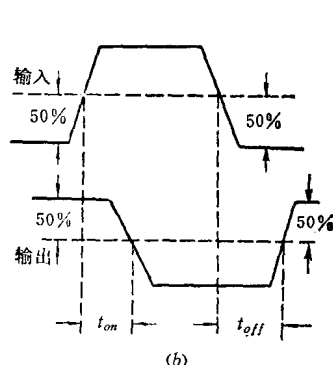


图2-46 平均延迟时间的测量

(a) 测试线路; (b) 输入、输出波形。

负载电阻 R_L 是对应 8 个门电阻 R_i 的并联值, 即 $R_L = R_i/8$ 。这样, 当被测门处于低电平输出时, 灌入的电流与 8 个负载门灌入的电流相等。 C_L 对应于 8 个门的输入电容。测量时, 输入波形和输出波形可用脉冲示波器观察, 测得的波形如图 2-46(b) 所示。延迟时间可直接从示波器上读得, 以波形幅度的一半为参考点, 从输入波形上升边的 50% 处到输出波形下降边的 50% 处的间隔时间为通导延迟时间 t_{on} 。从输入波形下降边的 50% 处到输出波形上升边的 50% 处的间隔时间为截止延迟时间 t_{off} 。其平均值就是平均延迟时间 $\bar{t}_{pd}$

$$\bar{t}_{pd} = \frac{t_{on} + t_{off}}{2}$$

典型 TTL “与非” 门的 $\bar{t}_{pd}$ 在 15~20ns 之间。

三、TTL 的改进形式

在典型的 TTL “与非” 门电路中, 因为输出级采用动态负载, 所以当分相管 T_2 一开始通导, 输出电压就开始随输入电压的上升而下降, 因此在电压传输特性中显得过渡区较宽, 造成关门电平较低。在开关速度方面, 因为输出管 T_5 的饱和度深, 存贮电荷量多, 所以由饱和转向截止的过程中, 抽出的总电荷量就大, 需要的时间较长。在从截止转向通导的过程中, 从 T_2 发射极流出的电流受到 R_5 的分流作用, 所以流入 T_5 基极的电流小, 对基极电容的充电速度慢。电路的平均延迟时间一般只能在 15 ns 左右, 要进一步提高性能就得采取其它措施。下面介绍二种改进形式。

1. 六管 TTL “与非” 门 (采用有源泄放回路的 TTL 电路)

图 2-47 是六管 TTL “与非” 门电路图, 与典型的 TTL 电路不同之处, 是用 T_6 管和 R_6 取代了 T_5 管的基极泄放电阻 R_5 。如果我们仍假设 be 结的通导电压为 0.7V, 则只有当 T_6 的基极电压达到 0.7V 后 T_6 管才开始通导, 所以 T_2 的基极电压必需达到 1.4V 时 T_2 才开始通导, 如设 T_1 饱和压降 $V_{ces1} = 0.1V$, 则六管 TTL 电路的电压传输特性曲线如图 2-47(b) 中的曲线②, (曲线①是五管 TTL 的特性), 输出电压开始下降点右移到

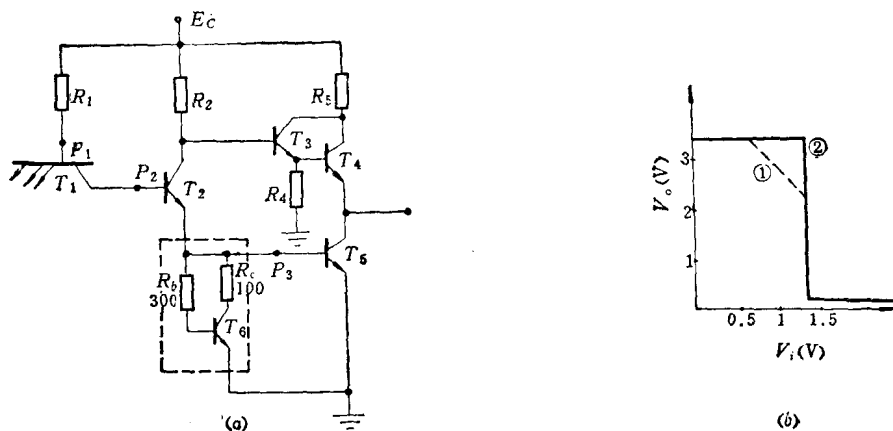


图2-47 六管TTL“与非”门

(a) 电路; (b) 传输特性。

1.3 V, 而原来的仅 0.6 V, 所以提高了抗干扰能力。进一步分析, 可以发现, 当 V_{P3} 达到 0.7 V 后, P_3 点的电位愈高, T_5 愈接近饱和状态, 则 T_6 管的分流作用就愈大。如果设 T_5 达到最后饱和状态时, $V_{P3}=0.8$ V, 根据图 2-47(a) 电路中的阻值 $R_6=300\ \Omega$ 、 $R_7=100\ \Omega$ 、 $\beta_6=20$, 则晶体管 T_6 已进入饱和状态。现在来估算 T_6 的分流作用。如设 T_6 饱和压降 $V_{ces6}=0.3$ V, 则 T_6 的集电极电流 I_{c6} 为

$$I_{c6} = \frac{V_{P3} - V_{ces6}}{R_7} = \frac{0.8 - 0.3}{100} = 5\text{ mA}$$

它比原来 $R_6=360\ \Omega$ 时的分流作用大, 也就是降低了 T_5 的基极电流, 使 T_5 的饱和深度减小。因此根据有源泄放回路特点, 它对提高开关速度有以下有利因素:

(1) 电路从截止转为通导的过程中, 在 T_5 通导以前, 即 P_3 的电位充到 0.7 V 以前, T_6 没有分流作用, 所以 T_2 的输出电流几乎全部提供节点电容的充电, 使节点 P_3 的电位很快上升。当 T_5 达到饱和后, T_6 的分流作用变得很大, T_2 输出电流中的大部分又转入 T_6 管。这样可使 T_5 从截止转为通导的延迟时间缩短。

(2) 当 T_5 饱和后, 因 T_6 的分流作用变大, 所以 T_5 的饱和程度不深, 存储电荷较少, 退出饱和状态所需抽出的电荷量也少, 这对转向截止有利。

(3) 在饱和转向截止的过程中, T_6 有利于节点 P_3 更快放电。因为, 如果 T_2 迅速转为截止时, 节点 P_3 存在电容, 它仍保持在 0.8 V, 这时 T_6 将以 5 mA 的瞬态电流使节点 P_3 的电容放电。 T_6 的基极没有下拉电阻, T_6 退出饱和的速度较慢, 当节点 P_3 放电到 0.7 V 时 T_6 尚未退出饱和时, 通过 T_6 集电极的放电电流仍有 $0.7 - 0.3 / 100 = 4\text{ mA}$, 当 V_{P3} 下降到 0.7 V 以下时 T_6 已接近截止。所以 T_6 对截止过程也有帮助。

在这种电路中, R_6 和 R_7 的数值应合理选择, 一般使 T_6 管刚进入饱和, 并使 T_5 有适当的驱动电流。采用有源泄放回路的 TTL 电路, 其 t_{pd} 可达 8 ns 以下。

2. 抗饱和 TTL 电路

在典型的 TTL 电路中, 因为电路通导时, 晶体管的饱和程度很深, 所以转向截止的过程较长, 但如采用简单的方法来减小饱和深度, 又会带来其它不利因素。例如增大门电

阻 R_1 或增大 T_2 管的负载电阻 R_2 , 它一方面会使瞬态驱动电流减小, 增加通导延迟时间; 另一方面又会使电路的负载能力下降, 所以这并不是减小截止延迟时间的办法。最好有一种方法, 对电路转向通导的驱动电流并不减小, 而仅仅减小饱和深度, 在采用有源泄放回路的六管 TTL 电路中, T_2 管就有这种功能, 它能有效地提高电路速度。但是, 其它管子的饱和深度并没有减小, 而且 T_2 管的饱和深度不能过浅, 如要满足额定负载时的灌入电流要求, 则在轻负载时, 饱和度还是较深, 所以最好驱动电流能够跟随负载情况自动调节。采用肖特基二极管与晶体管的 bc 结并联就有这种作用。

肖特基二极管简称 SBD, 是由金属和半导体接触形成的。它与 $p-n$ 结二极管不同, 工作电流是多数载流子, 没有少子存贮现象, 正向工作时不存在扩散电容, 所以开关速度很高。另一方面, 它具有较低的通导电压。铝和 n 型硅接触构成的 SBD, 通导电压约 0.4 V , 它的伏安特性如图 2-48(a) 所示。如果将伏安特性理想化为一条通过 0.4 V 的垂直线, 则它可等效为图 2-48(c) 的电路。图 (b) 是它的符号, M 表示金属铝的一端, S 表示半导体硅的一端。当两端电位差达到 0.4 V 时等效为开关接通, 两端的电压就固定在 0.4 V ; 当端电压小于 0.4 V 时等效为开关断开。

如果我们将 SBD 与晶体管的 bc 并联时, 极性如图 2-49 所示。当晶体管工作在放大状态时, 因为 bc 结是反偏, SBD 也是反偏状态, 所以它相当于开路, 驱动电流 I_b 全部流入晶体管基极, 如果 I_b 增加, I_c 也随之增加, V_{ce} 便下降, 晶体管就逐渐转向饱和。当 V_{ce} 降到 0.7 V 时, V_{be} 就等于零偏状态, 这时 SBD 仍未通导, 对驱动电流 I_b 无分流作用。

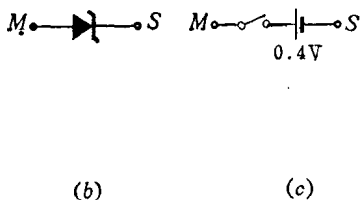
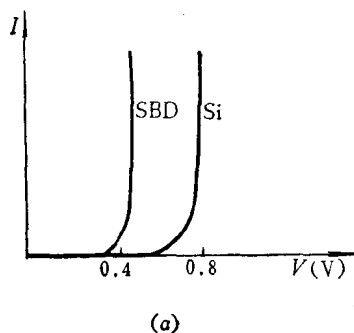


图2-48 SBD的特性、符号及等效电路

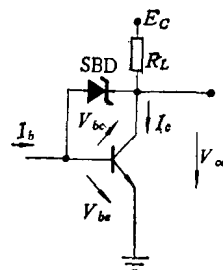


图2-49 接有SBD的晶体管

但当 I_b 进一步增加, V_{ce} 下降到 0.3 V 时, $V_{be} = V_{ce} - V_{ce} = 0.7 - 0.3 = 0.4\text{ V}$, SBD 就等效为一个 0.4 V 的电压源跨在 bc 两端, 这时 V_{be} 就被箝制在 0.4 V , 不再上升, 晶体管的饱和度也不再加深。当进一步增加 I_b 时, 再增加的 ΔI_b 大部分经过 SBD 流进集电极, 而只有极小部分电流流入基极, 使晶体管的 V_{ce} 仍维持在 0.3 V , V_{be} 的正偏值仍保持在 0.4 V 。如果考虑到集电极的体内串联电阻, 当灌入集电极的电流增加时, 由于串联电阻 r_{ce} 上的压降增加, V_{ce} 趋于上升, V_{be} 就有下降的趋势, 电路就自动调整驱动电流, 使通过 SBD 的电流减小, 流入晶体管基极的电流增加, 使晶体管的饱和度加深, 饱和压降中的结压降分量减小, 以抵消集电极串联电阻上压降增加的部分, 使 V_{ce} 仍保持在 0.3 V , 这种调节作用一直保持到通过 SBD 的电流为零才终止, 当 SBD 电流为零 (即截止) 后, 如再增加灌入集电极的电流, 则 V_{ce} 才开始增加, 超过 0.3 V 。当晶体管的负载电流变化时, 也同样有这种自动调节作用。因而晶体管虽然在空载时饱和度并不深, V_{ce} 也较高, 但它

仍有较大的负载能力。当然上面的分析是在 SBD 特性理想化的情况下得到的, 实际的 SBD 有一定的串联电阻, 所以箝位性能并不会这样理想, SBD 中的电流将随集电极灌入电流的增大而减小, 因而 SBD 的箝位电压就下降。结果 V_{ces} 也因灌入电流的增大而有所增加。

采用 SBD 箝位的晶体管, 由于 bc 结的正偏电压较低, 存储电荷量较少, 如果认为 $p-n$ 结在正偏 $0.5V$ 以下时没有通导, 也就是没有少子注入, 则受 SBD 箝位的晶体管中, e 、 b 、 c 三个区域中的少子分布仍与放大状态时相同, 如图 2-50(a) 所示, 基区中只有较少的存储电荷。而在深饱和的晶体管中, 基区和集电区中都有存储电荷, 如图 2-50(b) 的情况, 基区中的少子电荷相当于两个正偏 $p-n$ 结注入少子电荷的叠加。所以用 SBD 箝位的晶体管存储电荷少得多, 它相当于 bc 之间的等效电容减小。但是 SBD 本身的电容应并入 bc 之间的极间电容中。如果 SBD 的面积不太大, 由于它没有少子存储现象, 没有扩散电容, 所以总电容量要小得多 (因为在正向导通的 $p-n$ 结中, 扩散电容比势垒电容要大得多)。为了尽量减少 SBD 的势垒电容, 在满足串联电阻和电流的条件下, SBD 的面积应尽可能取得小些。

带有 SBD 箝位的晶体管结构如图 2-51 所示, 它与一般的晶体管相比, 并不增加其它元件, 只要把基极的引线孔扩大到集电区上即可。铝与集电区接触的部分就构成了 SBD, 而且完成了互联。它的极性是铝为正极, 集电极硅为负极, 按照箝位要求, 正好正极与基极相联, 负极与集电极相联。

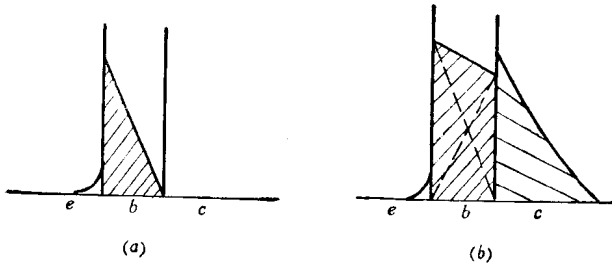


图2-50 晶体管中的存储电荷

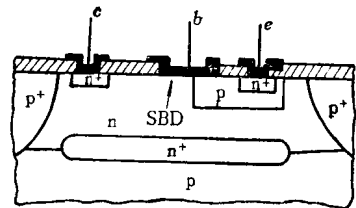


图2-51 带SBD的晶体管结构

利用上述原理, 将 TTL 电路中可能处于饱和和工作状态的晶体管都改用带 SBD 的结构后, 电路的平均延迟时间可得到明显改善。门管 T_1 采用 SBD 箝位, 它不仅可以提高速度, 还能减小输入反向漏电流。因为反向漏电流主要是集电极正偏后产生少子注入, 注入的少子被处于反偏状态的发射极收集后便产生反向漏电流。当 T_1 的 bc 之间并联 SBD 后, 集电极的正偏降低到 $0.5V$ 以下, 所以注入极微, 反向漏电流也就明显降低。利用 SBD 箝位是减小反向漏电流的一种很有效的方法。

但是, 采用 SBD 箝位也有一个缺点, 就是饱和压降升高。如果在典型的 TTL 电路中, 把 T_1 改为带 SBD 的晶体管, T_1 的 V_{ces} 就升到 $0.3V$ 。当输入电压达 $0.4V$ 时, T_2 的基极已达 $0.7V$, 并开始通导, 因此使电压传输特性曲线中的输出高电平下降得更早, 关门电平更低, 抗干扰能力变得更差。为了使电路有足够的抗干扰能力, 所以常常把 SBD 箝位与有源泄放回路的六管 TTL 结合在一起。

图 2-52 是一种高速的 TTL 电路, 在电路中, 所有可能出现饱和和工作状态的晶体管

都采用 SBD 箝位结构, T_4 因不出现饱和工作状态, 所以不加 SBD 箝位二极管。这种电路平均传输延迟时间可达 $2 \sim 4 \text{ ns}$ 。

3. 三状态逻辑 TTL 电路

在上述的 TTL 电路中, 输出级都采用动态负载的结构, 因此在高电平输出状态时, 输出电阻小, 驱动能力强, 对截止延迟时间有利。但是不允许将二块电路的输出端并联在一起使用。如果将两块电路的输出端并联在一起, 当一块电路为高电平输出时, T_4 管处于通导状态; 而另一块电路为低电平输出时, T_5 管处于通导状态, 两输出端之间就会产生一股很大的电流, 其数值等于最大瞬态电流的数值。出现这种工作状态, 不仅不能获得正确的输入与输出之间的逻辑关系, 而且长期处于这种状态会造成电路块的损坏。所以这类电路不允许并联使用, 也就是不能采用公共输出总线的联法。但在实际应用中有时希望采用公共输出总线, 为了适应这类应用, 出现了一种三状态逻辑电路, 简称为 TSL。TTL 的三状态电路如图 2-53 所示, 它的输出状态除了高电平和低电平以外还有一种高阻状态, 或称 Z 状态。这种电路实际上就是将二个 TTL “与非” 门组合在一起, 虚线左边是控制门, 它的输入端 G 称为禁止输入端。右边的门是数据输入门, 它的输入端 D 是供数据输入之用。

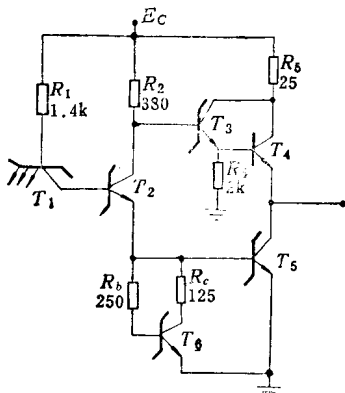


图2-52 带SBD箝位的六管TTL电路

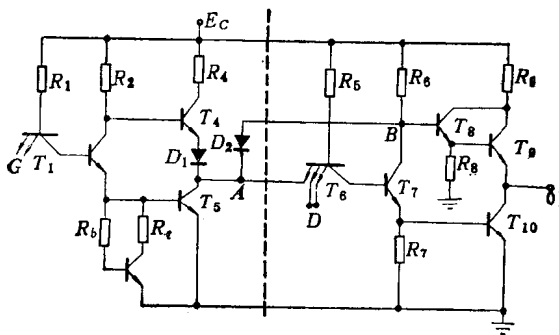


图2-53 TTL的三状态“与非”门

数据输入门又受着左边门的控制, 如果禁止输入端 G 为高电平, 则控制门通导, 它的输出端 A 为低电平。 A 点一方面接数据输入门的一个输入端, 当 A 为低电平时, T_7 、 T_{10} 截止。另一方面 A 点又经过二极管 D_2 接右门的 B 点。如设 A 点的低电平值等于 0.3 V , 则 B 点的电位 $V_B = V_{D_2} + V_{ce_{s5}} = 0.7 + 0.3 = 1 \text{ V}$, 也就是使 B 点的电位箝制在 1 V , $V_B = 1 \text{ V}$ 时 T_9 是不可能导通的, 所以 T_9 和 T_{10} 都处于截止状态。这时, 输出端没有任何的通路, 相当于悬空状态, 所以是高阻状态, 或称禁止状态。在禁止状态时, 输入端 D 不能影响电路的输出状态, 不管 D 是 “1” 或 “0”, 输出总是高阻状态。当禁止输入端 G 为低电平时, 控制门的输出 A 为高电平, 数据输入端开放, 它的输出状态由 D 端决定, 这时 B 点与控制门的联系相当隔断。如果 B 点为低电平, 则 D_2 处于反偏截止状态。如果 B 点为高电平, 它与 T_4 的基极同电位, 二极管 D_1 、 D_2 和 T_4 都不可能导通。 A 点不会影响 B 点原来的状态, 相当 A 、 B 之间断开, 数据门就处于工作状态。数据输入门的状态完全由数据输入端 D 的状态来决定。将几个三状态门接在一条数据总线上时, 只能允许一个门的 G 输入端接低电平, 其它门的 G 端必须接高电平或开路。总线上的数据完全由 G 为低电平状态的门决定, 其它门相当与总线断开。

三状态门的参数除了包括一般与非门的参数外, 还有一些反映Z状态的参数。在静态参数方面, 有Z状态的高电平输出漏电流 I_{oZH} , 它表示电路在Z状态, 输出端外接高电平时, 流入输出端的电流, 其数值主要取决于 T_{10} 管的漏电流。与它对应的另一个参数是Z状态的低电平输出漏电流 I_{oZL} , 它表示电路处于Z状态, 输出端外接低电平时, 流出输出端的电流, 其数值主要取决于 T_0 管的漏电流。在实际应用中, 希望这两个参数愈小愈好。 I_{oZL} 和 I_{oZH} 愈小就意味着可以并联运用的电路块数目愈多, 一般指标要求 I_{oZL} 和 I_{oZH} 都小于 $40\mu A$ 。

在瞬态参数方面, 除了数据门的通导延迟时间 t_{on} 和截止延迟时间 t_{off} 以外, 还有反映从Z状态转为低电平状态的延迟时间 t_{ZL} ; 从低电平状态转为Z状态的延迟时间 t_{LZ} ; 从Z状态转为高电平状态的延迟时间 t_{ZH} ; 从高电平状态转为Z状态的延迟时间 t_{HZ} 等。为了使电路并联运用时不出现两块电路同时处于工作状态的现象, 所以要求电路由工作状态转为Z状态的速度比从Z状态转为工作状态的速度快。这样, 在并联运用的电路块的输出端之间就不会出现大的瞬态电流。要保证这个条件, 可以增加控制门的截止延迟时间, 使截止延迟时间大于通导延迟时间。控制门采用六管TTL电路, 很容易做到截止延迟时间大于通导延迟时间, 只要减小泄放回路的分流作用, 使 T_0 的饱和度加深。这样, 当两个三态门并联运用时, 在同步的控制讯号作用下, 就可使一个电路先由工作状态转入Z状态, 然后, 另一门才脱离Z状态, 转为工作状态, 不致出现两个门同时工作的现象。

四、TTL逻辑功能的扩展

前面介绍的单块TTL“与非”门, 它只能完成“与非”逻辑功能。在需要其它逻辑功能时, 虽然可利用“与非”门的各种组合来实现, 例如用图2-54的组合可以得到“或”逻辑功能, 如再倒相一次, 便得“或非”逻辑。但是, 这种方法不仅需要更多的电路块, 而且使总的功耗和传输延迟时间大大增加。为了解决这个矛盾,

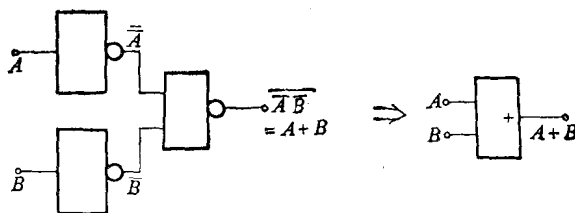


图2-54 “或”功能的获得

采取了二种措施, 一种方法是直接制造其它功能的电路块; 另一种方法是在常规的TTL电路上增设抽头, 并制造与它相配合的扩展器, 以供扩展功能时用。下面列举这二种方法及其对应的电路。

1. TTL“与非”门的扩展端和扩展器

(1) “与”扩展端和“与”扩展器 TTL的“与”扩展器就是一个多发射极晶体管, 如图2-55中虚线框内所示。在TTL电路中, T_1 的基极和集电极引出线为“与”扩展端。当它们的对应端联在一起时, 如图2-55所示, T_1' 的 b' 、 c' 和 T_1 的 b 、 c 相联后, “与”的功能就得到了扩展, 由三输入端“与”门头扩展为六输入端的“与”门头。因为 T_1' 和 T_1 具有同等的地位, 只要任一个输入端处于低电平, “与非”门就截止, 输出得高电平。只有当 $A \sim F$ 都是高电平时, 输出 X 才是低电平, 即得 $X = \overline{ABCDEF}$ 。

(2) “或”扩展端和“与或”扩展器

①“或”逻辑及“或非”逻辑基本原理 如图2-56所示, 当我们将两个晶体管的集电极

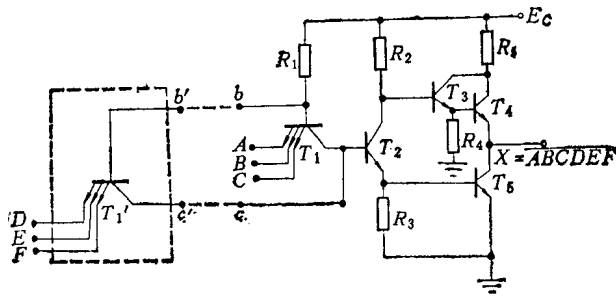


图2-55 TTL “与非”门和“与”扩展器

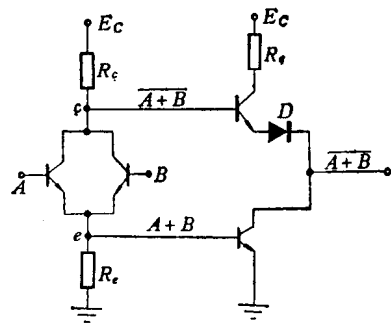


图2-56 “或”功能和“或非”功能的获得

和发射极并联在一起并接有公共负载电阻 R_c 和 R_e 时, e 点得到 $A+B$ 的输出, 因为只要 A 或 B 中有一个为高电平, 射随输出 e 就是高电平; 只有当 A 、 B 都为低电平时, e 才得低电平。所以 e 和 A 、 B 之间具有“或”逻辑关系。而 c 点与 e 点是反相的, 所以得“或非”功能, 即 $c = \overline{A+B}$ 。如果 c 点经过射随器输出, 而 e 点再经过倒相器输出, 则两点的逻辑关系又转为一致, 最终输出都是 $\overline{A+B}$, 从逻辑关系上是完全一致的, 可以合在一起。在实际联接中还需考虑电平匹配的问题, 加电平移位二极管 D 就是这个目的。

②“或”扩展端及“与或”扩展器 “与非”门的“或”扩展端是在晶体管 T_2 的集电极 Q_1 和发射极 P_3 分别抽头引出, 如图 2-57 所示。图中 T_1' 、 T_2' 和 R_1' 是一个 TTL 的“与或”扩展器; T_1'' 、 T_2'' 和 R_1'' 是另一个“与或”扩展器。 Q_1' 和 P_3 是“与或”扩展器的一对输出端; Q_1'' 和 P_3'' 是另一个“与或”扩展器的输出端。当它们分别和 TTL 电路中的“或”扩展端 Q_1 、 P_3 相联时, 输出与输入之间的逻辑关系导出如下:

输出端 X 和 P_2 、 P_2' 、 P_2'' 之间的逻辑关系为

$$X = \overline{P_3} = \overline{P_2 + P_2' + P_2''} \quad (2-25)$$

P_2 、 P_2' 、 P_2'' 和各对应的输入端又具有以下的逻辑关系

$$\left. \begin{aligned} P_2 &= ABC \\ P_2' &= A' B' C' \\ P_2'' &= A'' B'' C'' \end{aligned} \right\} \quad (2-26)$$

将式 (2-26) 代入式 (2-25) 得

$$X = \overline{ABC + A' B' C' + A'' B'' C''} \quad (2-27)$$

即构成了“与或非”门, 如果要获得“或非”功能, 只要对每个扩展器选用一个输入端, 其它输入端悬空即可。例如只用 A 、 A' 和 A'' 三个输入, B 、 C 、 B' 、 C' 和 B'' 、 C'' 端都是悬空 (因为“与”门的输入端处于悬空状态和接高电平是一样的), 悬空端等于永远是逻辑“1”, 所以式 (2-27) 就转化为

$$\begin{aligned} X &= \overline{ABC + A' B' C' + A'' B'' C''} \\ &= \overline{A \cdot 1 \cdot 1 + A' \cdot 1 \cdot 1 + A'' \cdot 1 \cdot 1} = \overline{A + A' + A''} \end{aligned} \quad (2-28)$$

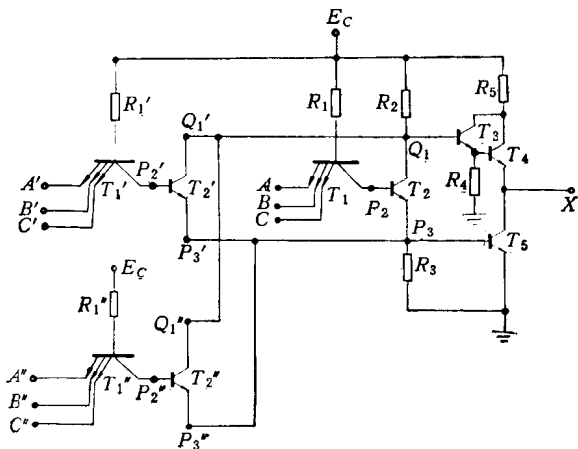


图2-57 “与或”扩展器及其接法

它等效为三输入端的“或”门。

如果在上面的三组“与或非”门电路中，只用两组时，不用的一组输入端中，至少应有一端要接低电平。例如 $A''B''C''$ 的一组不用，将 A'' 接地，则 A'' 永远为零。则式(2-28)，就转化为

$$\begin{aligned} X &= \overline{ABC + A'B'C' + A''B''C''} \\ &= \overline{ABC + A'B'C' + 0 \cdot B'' \cdot C''} \\ &= \overline{ABC + A'B'C'} \end{aligned} \quad (2-29)$$

从电路工作情况来看，因为 A'' 接地， T_2'' 就永远处于截止状态，相当 T_2'' 不存在。

利用TTL的扩展端和扩展器来扩展逻辑功能时，因为扩展端的寄生电容增大，所以开关速度将变慢。扩展器接得愈多，对开关速度影响就愈大。

2. “或非”门、“或”门和“与”门

下面分别介绍TTL的单块“或非”门、“或”门和“与”门电路。

(1) “或非”门 利用“与非”门和“与或”扩展器虽然可以得到“或非”逻辑功能，但有些浪费，而且使用不便，所以实际产品仍有“或非”门。图2-58是具有“或非”功能的单块电路。它的电路形式就是把图2-57中的多发射极晶体管改为单发射极晶体管。粗略地看 Q_3 和 X 在逻辑关系上是一致的，而 $Q_3 = \overline{P_2 + P_2' + P_2''}$ ，如以 P_2 、 P_2' 、 P_2'' 为输入端，它已完成了“或非”功能，那么 T_1 、 T_1' 、 T_1'' 管是不是成了多余的？但是，进一步考虑可以发现，如果将 P_2 、 P_2' 、 P_2'' 作为输入端，当它们和前级门联起来时是不行的。譬如，将前级门的输出直接与 P_2 相联，如图2-59所示， P_2 点到地只有二个正向p-n结，当前级门输出为高电平时就会产生一股很大的电流，使输出高电平下降到二个p-n结的正向压降1.4V。这样，前级门的高电平输出低于额定值，就无法同时驱动其它电路。 T_1 管的加入有减轻前级门高电平负载的作用，或者说起缓冲作用。

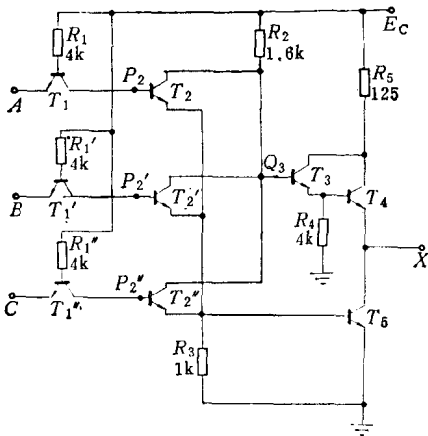


图2-58 “或非”门

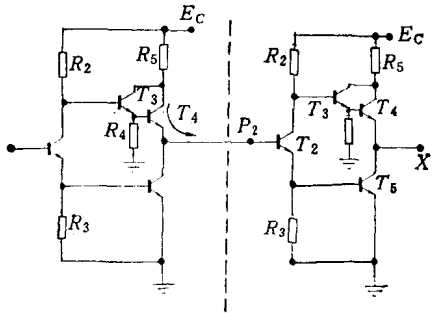


图2-59 直接驱动 T_2 基极的情形

(2) “或”门 图2-60是TTL的单块“或”门电路，可视为由二部分组成，虚线左边是“或非”门，虚线右边是“非”门。在非门中， T_6 的基极下拉电阻采用有源泄放结构。如果改用电阻，则 Q_1 的电位超过0.7V， T_3 就开始通导，即 Q_1 的低电平上限为0.7V。采用有源泄放回路使 Q_1 的低电平上限提高到1.4V，可与虚线左边“或非”门的输出

出电平, 必须采用有源泄放回路的结构, 使 T_2 的输入通导电压在 $1V$ 以上, 也就是当简化“与非”门为低电平输出 ($1V$) 时, 保证 T_2 处于截止状态。

在图 2-62(b) 中, 虚线左边的“与非”门是由 T_1 、 T_6 、 T_7 组成, 它的输出低电平就是 T_7 的饱和压降, 约 $0.3V$, 所以在虚线右边的“非”门输出级可以不用有源泄放回路, 改用了电阻 R_3 。

3. “异或”门和“异或非”门

(1) “异或”门 TTL 的“异或”门有二种基本类型。图 2-63(a) 是一种“异或”门的电路, 它由二极“或非”门组成。第一级“或非”门由 $T_1 \sim T_4$ 管构成, 输入是 A 、 B , 输出是 P_1 , 所以 $P_1 = \overline{A+B}$ 。第二级“或非”门是由 $T_6 \sim T_{11}$ 构成, 输入是 P_1 、 P_2 , 输出是 X (X 和 P_3 的逻辑电平是一致的)。 P_2 是多发射极晶体管 T_5 的输出, T_5 的输入也是 A 、 B , 所以 $P_2 = A \cdot B$ 。根据上面的逻辑关系便可画出图 2-63(a) 的逻辑图, 即图 (b)。根据逻辑图很容易写出它的逻辑功能为

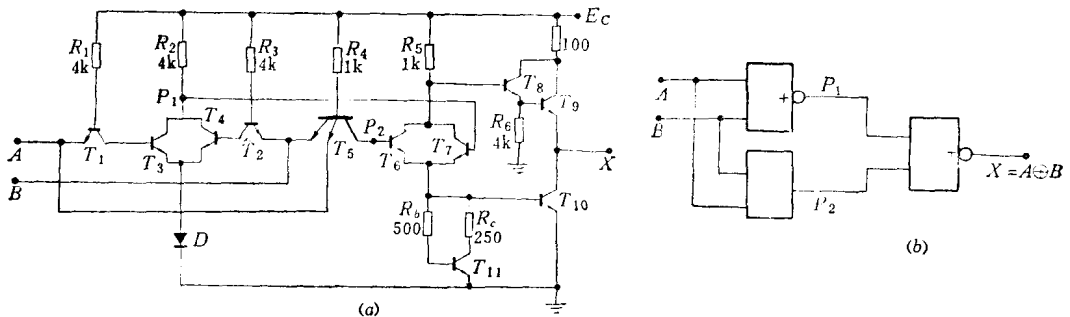


图 2-63 TTL“异或”门之一

$$\begin{aligned} X &= \overline{P_1 + P_2} = \overline{A + B + AB} = (A + B) \cdot \overline{AB} \\ &= (A + B)(\overline{A} + \overline{B}) = \overline{A}B + \overline{B}A = A \oplus B \end{aligned} \quad (2-30)$$

图 2-64 是另一种结构的“异或”门。它由三部分组成: 中间部分是“异或非”门; 左边是二个“非”门; 右边是一个“非”门输出级。左边的二个“非”门分别对输入信号 A 、 B 倒相, 但是它更主要的是作缓冲门, 在前级门和中间部分的“异或非”门之间起缓冲作用。右边的“非”门是对中间“异或非”门的输出倒相, 并使电路有足够的负载能力。中间的“异或非”门(或称“同”门)是由二个晶体管 T_7 、 T_8 和电阻 R_7 组成, 如图 2-65(a)。它的特点是两晶体管的基极和发射极相互交叉联接, 输入信号 P_1 、 P_2 同时加到二个管子的基极和发射极, 但是接法相反。 T_7 的基极接 P_1 , 发射极接 P_2 ; T_8 的发射极接 P_1 , 基极接 P_2 。二个管子的集电极并联接公共负载电阻 R_7 , 输出是集电极。对于图 2-65(a) 的接法, 它有图 (b) 的真值表。当 P_1 和 P_2 都为逻辑“1”时, 因为基极和发射极同电位, 所以 T_7 、 T_8 都截止, 输出为 $Q = 1$ 。如果二输入端的逻辑电平相反, 则总有一个管子通导。 $P_1 = 1$, $P_2 = 0$, 则 T_7 通导; $P_1 = 0$, $P_2 = 1$, 则 T_8 通导, 输出 $Q = 0$ 。根据这个关系很容易写出它的真值表。根据真值表可写出它的逻辑式。逻辑式可以直接写出二种形式, 如果以

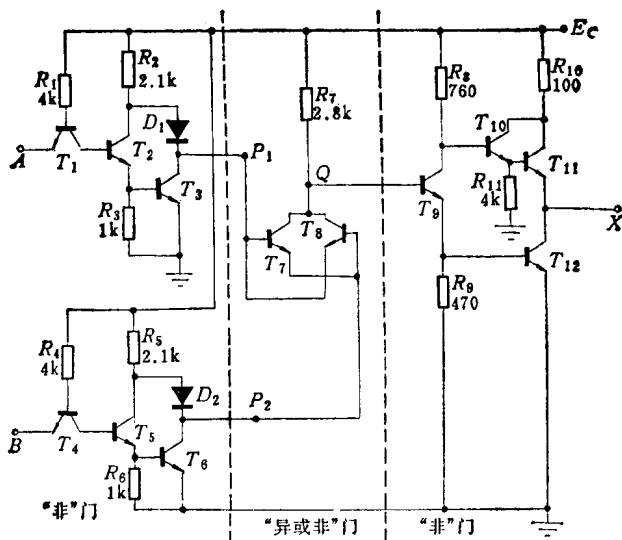
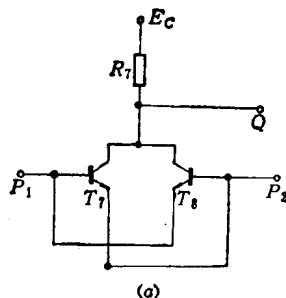


图2-64 “异或”门



P_1	P_2	Q	$\bar{Q}$
1	0	0	1
0	1	0	1
1	1	1	0
0	0	1	0

(b)

图2-65 “异或非”门

$Q = 1$ 的条件来写, 即 P_1 、 P_2 相同时输出为 1, 也就是 P_1 、 P_2 都为“1”或 P_1 、 P_2 都为“0”时 Q 都等于“1”。

即

$$Q = P_1 \cdot P_2 + \bar{P}_1 \cdot \bar{P}_2 = P_1 \odot P_2 \quad (2-31)$$

另一种写法是以输出为“0”的条件来写, 即 P_1 、 P_2 相反的情况, 输出 Q 都为“0”。 P_1 、 P_2 相反的情况也有二种, 即 $P_1 = 1$ 、 $P_2 = 0$ 或 $P_1 = 0$ 、 $P_2 = 1$ 。而 $Q = 0$, 就是 $\bar{Q} = 1$

即

$$\bar{Q} = P_1 \bar{P}_2 + \bar{P}_1 P_2$$

或写为

$$Q = \overline{P_1 \bar{P}_2 + \bar{P}_1 P_2} = \overline{P_1 \oplus P_2} \quad (2-32)$$

式 (2-31) 和式 (2-32) 是完全一致的, 只要用逻辑代数稍加转化就可证明它们是一样的。式 (2-31) 表示二输入端相同时输出为“1”, 所以有时称为“同门”。式 (2-32) 的逻辑关系就是“异或非”门。“同”门就是“异或非”门。

“异或非”门的输出再经过“非”门就得“异或”门。从逻辑关系看, 用中间的“异或非”和后面的输出“非”门就已完成了“异或”的功能, 似乎前面的倒相级可以不用。但是从电平匹配的关系分析就可发现, 直接从 P_1 、 P_2 输入是不行的 (参看图 2-64)。因为 TTL 的输出高电平是 3V 以上, 低电平是 0.3 伏以下, 如果将二个前级门的输出直接加在 P_1 、 P_2 上, 那么当一个输出为高电平, 另一个输出为低电平时, 相当在高低电平之间只接一个正向 p-n 结, 使前级门的负载超过额定值。这样不仅使前级门输出的高低电平都变为不合格, 无法再同时驱动其它电路, 而且造成 T_7 或 T_8 的损坏。左边的二个“非”门就是解决前级驱动门和中间级的匹配的问题。左边门的输出 P_1 和 P_2 与电源 E_c 之间都有限流电阻 R_2 和 R_5 。如果 $P_1 = 1$, $P_2 = 0$, 则 T_2 、 T_3 截止, T_5 、 T_6 通导, 电流的通路是从电源 E_c 经 R_2 、 D_1 、 T_7 的 be 结流入 T_8 的集电极。电流的大小可由 R_2 限制在适当的数值, 它与前级驱动门负载电流无关。前级门的负载情况, 在高电平输出时, 只取决于 T_1 和 T_4 的反向漏

电流, 在低电平输出时只取决于门电阻 R_1 和 R_4 , 和多发射极的“与”门头类似。

在 P_1 、 P_2 和输入端之间插入倒相级后, 会不会改变电路的功能呢? 只要分析一下“异或”门的关系式就可看出。在 P_1 、 P_2 前再加一级“非”门后, 功能不会发生变化。因为“异或”门的逻辑式为

$$X = P_1 \oplus P_2 = \bar{P}_1 P_2 + P_1 \bar{P}_2 \quad (2-33)$$

P_1 和 P_2 前加倒相级后

$$\left. \begin{array}{l} P_1 = \bar{A} \quad P_2 = \bar{B} \\ \bar{P}_1 = A \quad \bar{P}_2 = B \end{array} \right\} \quad (2-34)$$

将式 (2-34) 代入式 (2-33) 得

$$X = \bar{P}_1 P_2 + P_1 \bar{P}_2 = A \bar{B} + \bar{A} B = A \oplus B \quad (2-35)$$

它还是一个“异或”门。图 2-64 各级对应的逻辑图如图 2-66 所示。

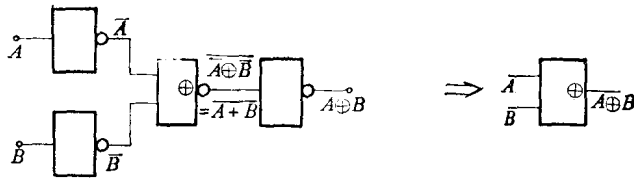
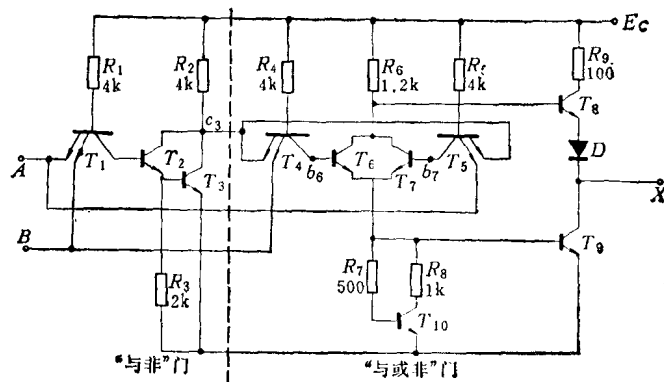
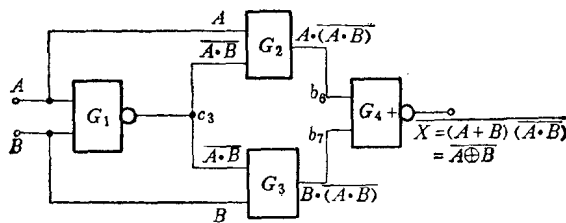


图2-66 图2-64的逻辑结构

(2) “异或非”门 图 2-67(a) 是“异或非”门的电路图, 图 2-67(b) 是它的逻辑结构。



(a)



(b)

图2-67 “异或非”门

(a) 电路图, (b) 逻辑结构图。

电路图 2-67(a) 由一级“与非”门和一级“与或非”门组成。各部分所对应的逻辑图如图 2-67(b) 所示。 G_1 对应于虚线左边的“与非”门, 它包括 $T_1 \sim T_3$, 输出是 c_3 。 G_2 和 G_3 , 分别对应于多射极“与”门头 T_4 和 T_5 , 它们的输出分别为 b_6 和 b_7 。 T_6 、 T_7 的集电极输出和输入 b_6 、 b_7 之间具有“或非”的逻辑关系。输出端 X 和 T_6 、 T_7 的集电极同相, 所以 $T_6 \sim T_{10}$ 实现“或非”的逻辑功能, 对应于 G_4 。根据图 2-67(b) 各端的逻辑关系, 便可写出输出端 X 和输入端 A 、 B 之间的逻辑式:

$$\begin{aligned} X &= \overline{A \cdot (A \cdot B) + B \cdot (A \cdot B)} = \overline{(A+B)(A \cdot B)} \\ &= \overline{(A+B)(\overline{A+B})} = \overline{A \cdot B + A \cdot B} = A \oplus B \end{aligned}$$

它具有“异或非”的逻辑功能。

§ 2-4 版图设计

常规的双极型逻辑电路在制造中需要经过六次光刻工序, 因此要用六块光刻掩模版。绘制版图的目的就在于制作光刻掩模版。在集成电路块中, 晶体管的图形、电阻的阻值, 以及它们的位置都是由光刻掩模版决定的, 产品的质量、成品率在很大程度上也取决于它。要使设计出来的版图在现有工艺水平下取得最好的效果, 一方面应根据电路原理, 充分了解各元件的工作情况和它们对电路参数的影响; 另一方面还必须从现实的工艺情况出发, 合理选定某些工艺参数。作为版图设计的基本依据, 后者也是必不可少的。而且在设计工作中, 许多基本数据都来自既定的工艺参数。下面首先介绍对版图设计中直接有关的一些工艺参数, 然后再从电路参数方面介绍各元件的图形设计。最后将两者结合起来, 列举一个实际的版图。

一、某些工艺参数的选定

在版图设计中, 许多基本尺寸都来自选定的工艺参数, 它取决于现有的工艺水平。与版图设计直接有关的工艺参数大致有以下几方面。

1. 某些区域的电阻率或方块电阻

埋层的方块电阻和外延层的电阻率都直接影响集电极的串联电阻, 对有饱和压降要求的晶体管需要根据已定的电阻率或方块电阻考虑它们的图形和尺寸。外延层的电阻率涉及到击穿电压, 不允许过低, 一般选定为 $0.3 \sim 0.5 \Omega \cdot \text{cm}$; 埋层的方块电阻涉及到工艺的可能性, 杂质浓度太高会引起合金化, 一般在 $15 \sim 20 \Omega / \square$ 。硼扩散电阻是与基区扩散同时形成的, 对于一定阻值的硼扩散电阻, 根据基区的方块电阻, 就可决定它的宽长比。一般的基区方块电阻在 $100 \sim 200 \Omega / \square$ 。

2. 各区域的纵向尺寸

在版图上, 相邻扩散区的最小间距与横向扩散的尺寸有关, 而横向扩散是伴随纵向扩散而来的。例如, 隔离扩散的深度必须要穿透外延层, 也就是它的扩散深度至少应等于外延层的厚度。在进行纵向扩散时, 横向扩散是不可避免的。在进行基区扩散时, 同样存在横向扩散。为了避免两个相邻的扩散区连通, 它们的图形间距必须超过相邻扩散区的两个扩散深度之和, 也就是必须大于外延层的厚度和基区扩散的深度。目前外延层的厚度一般选取 $8 \sim 10 \mu\text{m}$; 基区扩散深度约 $3 \sim 4 \mu\text{m}$ 。如果采用薄外延和浅结扩散工艺就可允许图形的间距缩小, 但工艺难度增大, 这要根据工艺的现实情况而定。

3. 某些最小光刻尺寸的选定

光刻版的一些最小基本尺寸是由制版和光刻水平决定的,为了使电路的寄生电容小、开关性能好、以及成品率高,最小光刻尺寸应选得适当。选得过小,会因工艺的合格率下降而降低成品率;选得过大,不仅会使电路中的寄生电容增加,影响电路的开关速度,也可能引起成品率的下降。光刻的最小尺寸应根据现有的制版精度和光刻水平决定。最小的光刻尺寸还与图形的具体部位有关,在版图设计中需要有以下几方面的基本光刻尺寸。

(1) 最小引线孔尺寸 最小引线孔的尺寸与晶体管的最小尺寸、电阻条的最小宽度、铝线的最小宽度都有联系,目前一般水平为 $6\sim 14\mu\text{m}$ 。

(2) 最小套刻间距 最小套刻间距是指几次光刻掩模版套刻时允许的套准偏差,它也取决于制版精度和光刻的水平。目前一般水平为 $6\sim 12\mu\text{m}$ 。

(3) 隔离槽的宽度 隔离槽一般较长,贯穿整个芯片,如果选择的尺寸太小,光刻时容易发生断开。目前一般选取 $10\sim 20\mu\text{m}$ 。

(4) 基区扩散的相邻图形间距 硼扩电阻和晶体管的基区都由淡硼扩散的光刻掩模版限定,因为基区扩散有一定深度,约 $3\mu\text{m}$ 左右,所以横向扩散也约 $3\mu\text{m}$ 。如果考虑光刻精度为 $6\sim 10\mu\text{m}$,则硼扩区图形的间距应在 $12\sim 16\mu\text{m}$ 。

(5) 隔离槽和其它扩散图形之间的间距 因为隔离扩散和其它扩散都存在着横向扩散效应,特别是隔离扩散(浓硼扩散)和基区扩散(淡硼扩散)图形之间必须留有足够的间距。隔离扩散中的横向扩散约等于外延层的厚度;淡硼扩散的横向扩散约等于基区扩散深度。如再考虑二次光刻版的套刻对准偏差,隔离槽和淡硼扩散图形的最小间距应大于外延层厚度、淡硼扩散深度以及套准偏差三者之和。根据上面的基本尺寸,它们之间的最小间距在 $20\sim 30\mu\text{m}$ 。

(6) 压焊点的面积和相邻压焊点之间的距离 压焊点的面积和相邻压焊点之间的距离是完全由压焊工序决定的。一般的压焊面积取正方形或长方形,边长在 $70\sim 120\mu\text{m}$ 。相邻焊点的最小间距为 $100\sim 140\mu\text{m}$ 。焊点间距过小容易造成引线短路而报废。压焊点与附近其它铝线也应保持一定的间距。

二、元件的图形设计

双极型集成电路中,采用的元件只有二极管、三极管和电阻三种。这些元件的图形和尺寸一方面受着工艺水平的限制,另一方面有着电路上的要求。上面,已对工艺方面的限制作了说明。下面着重从电路的要求方面考虑元件的图形和尺寸的设计。

1. 电阻器

在集成电路中最常用的是硼扩散电阻,它是和晶体管的基区扩散同时形成的。在设计电阻图形时,应该按基区扩散的方块电阻来计算,在给定方块电阻的情况下,根据阻值的要求,就可决定电阻的长宽比,再根据通过的电流大小和精度要求,适当选取它的宽度。电路中的所有电阻常常是安排在一个隔离岛中,它最后的形状、走向等可在布局时决定。下面先以硼扩电阻为例,介绍电阻图形设计中的有关问题,然后再介绍其它类型的电阻器。

(1) 硼扩电阻

① 电阻的图形 在集成电路中,硼扩电阻的图形有如图 2-68 所示的几种。因为电阻需要与其它元件联接,所以必须开引线孔。引线孔的大小受着光刻工艺的限制,引线孔离扩

散区的边缘还需留出套刻偏差的间距。因此,对于宽度较大的电阻可采用图 2-68(a) 的形状,称为宽电阻。对于宽度较窄的电阻,它的端头必须放大后才能容纳引线孔,所以它的端头应做成图 2-68(c) 的形状,称为窄电阻。图 2-68(b) 的端头形状介于前两者之间。对于大阻值电阻,因为电阻较长,由于布局或走向方面的要求可做成图 2-68(d) 的形状,即可以转弯。

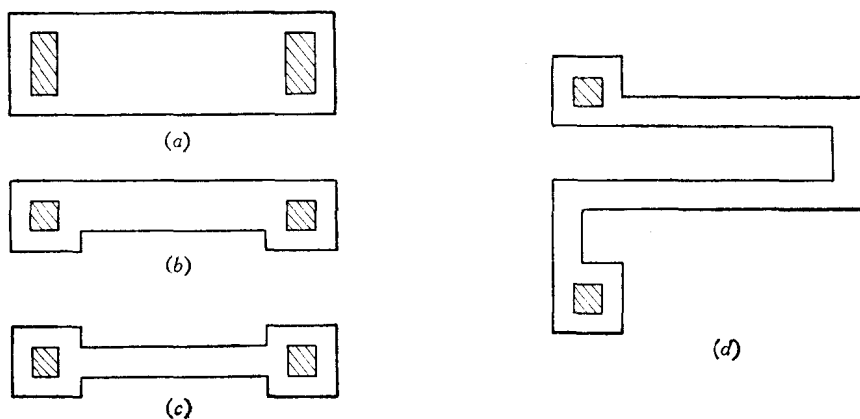


图2-68 扩散电阻的图形

② 阻值的计算 在计算薄片电阻时,为了把三维问题简化成二维问题,常常采用方块电阻来代表材料的电阻率。方块电阻就是一个正方形在两个对边加上电极后测得的电阻。因此,对于电极宽度和电阻宽度相同的矩形条,如图 2-69(a) 所示,它的电阻值就等于它所包括的方块数与方块电阻 $R_{\square}$ 的乘积。方块数是长 L 与宽 W 之比。因此对于图 2-69(a) 的电阻条,它的电阻值可写为

$$R = R_{\square} \frac{L}{W} \quad (2-36)$$

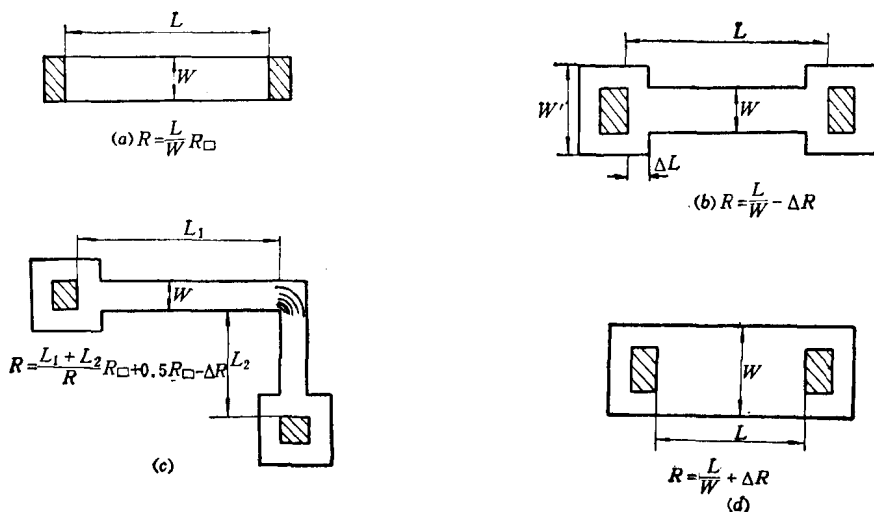


图2-69 各种电阻图形的阻值计算

换句话说,长条电阻的阻值等于 $\left(\frac{L}{W}\right)$ 个方块电阻的串联值。在读图时,只要数出它包括的方块数,再乘方块电阻 $R_{\square}$,就得该电阻的阻值。对于图 2-69(b)的窄电阻图形,它端头的宽度 W' 比 W 大,端头扩大部分的方块数等于 $\frac{\Delta L}{W'}$,它小于 $\frac{\Delta L}{W}$,所以这部分提供的电阻比按 $\frac{\Delta L}{W} R_{\square}$ 的计算值小,但是它的电极又不是加在整个宽度上的,所以这个区域提供的电阻又比按 $\frac{\Delta L}{W'} R_{\square}$ 计算值大些,即电阻值应介于两者之间。在实际计算中可按式

(2-36) 计算后进行修正,其修正值 ΔR 在 0 和 $\left(\frac{\Delta L}{W} - \frac{\Delta L}{W'}\right) R_{\square}$ 之间。例如,设 $W = 20\mu\text{m}$,引线孔宽度也为 $20\mu\text{m}$,引线孔的套刻精度为 $10\mu\text{m}$,则其修正值应在 0 和 $\left(\frac{\Delta L}{W} - \frac{\Delta L}{W'}\right) R_{\square} = \left(\frac{10}{20} - \frac{10}{40}\right) R_{\square} = \frac{1}{4} R_{\square}$ 之间。如取中间值,则两个端头共减去 $\frac{1}{4} R_{\square}$,即 $R = \left(\frac{L}{W} - \frac{1}{4}\right) R_{\square}$ 。

图 2-69(c)是有拐角的电阻,因为在拐角处,电流集中在靠近内角的一边,如图所示,而这部分电流所流经的路程较短,所以这个弯角方块的电阻值应小于一个方块电阻。计算时可按每个拐角的阻值近似为 $0.5R_{\square}$ 。其它部分的电阻仍按图 2-69(b)来计算。因此对于图 2-69(c)的图形,其电阻值为

$$R = \frac{L_1 + L_2}{W} R_{\square} + 0.5nR_{\square} - \Delta R \quad (2-37)$$

式中的 ΔR 为端头修正值, n 为电阻中包括的拐角数。

对于图 2-69(d)的宽电阻图形,引线孔的宽度小于电阻的宽度 W ,因此如按式(2-36)计算,实际值应大于计算值。如要分析它的修正值 ΔR ,可将电阻视为三部分并联,如图 2-70(a)所示。第 I 部分的电阻宽度为 $W - 2\Delta W$,电极宽度也为 $W - 2\Delta W$,其电阻值为

$$R_I = \frac{L}{W - 2\Delta W} R_{\square} \quad (2-38)$$

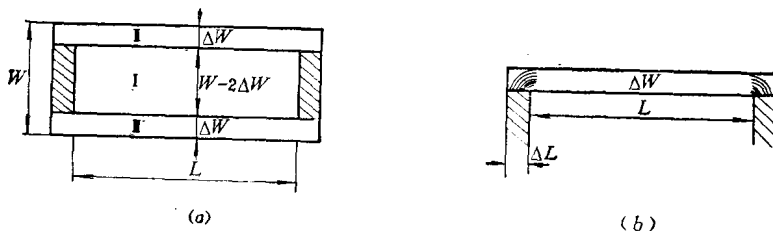


图 2-70 宽电阻的计算模型

第 II 部分的电阻,电极的接触情况如图 2-70(b)所示。它是在长度 L 以外与电极相接触,而且电极仅仅与它的下边接触,当电极加上电压时,电流的流向和拐角情况类似,可近似地视为一个拐角(若实际的电极长度 ΔL 大于 ΔW ,则应比一个拐角带来的电阻小些),即按每个电极加 $0.5R_{\square}$,两个端头共加 $1R_{\square}$ 。第 III 部分的电阻和第 II 部分相同。所以第 I 部分和第 III 部分的电阻可写为

$$R_1 = R_2 = \frac{L}{\Delta W} R_0 + R_0 = \left(\frac{L + \Delta W}{\Delta W} \right) R_0 \quad (2-39)$$

$$R_1 \text{ 与 } R_2 \text{ 的并联值 } R_1 // R_2 = \left(\frac{L + \Delta W}{2\Delta W} \right) R_0$$

R_1 、 R_1 、 R_2 的并联值为

$$R = R_1 // R_1 // R_2 = \left(\frac{LR_0}{W - 2\Delta W} \right) // \left(\frac{L + \Delta W}{2\Delta W} \right) R_0$$

即

$$\begin{aligned} R &= \frac{\left(\frac{L}{W - 2\Delta W} \right) \left(\frac{L + \Delta W}{2\Delta W} \right)}{\frac{L}{W - 2\Delta W} + \frac{L + \Delta W}{2\Delta W}} R_0 \\ &= \frac{L(L + \Delta W)}{2L\Delta W + (L + \Delta W)(W - 2\Delta W)} R_0 \\ &= \frac{L}{\frac{2L\Delta W}{L + \Delta W} + (W - 2\Delta W)} R_0 \end{aligned} \quad (2-40)$$

当 $L \gg \Delta W$ 时, 因为分母中的 $\frac{2L\Delta W}{L + \Delta W} \approx 2\Delta W$, 总的并联电阻值就等于 $\frac{L}{W} R_0$, 即不必修正。当 $L \ll \Delta W$ 时, $R \approx \frac{L}{W - 2\Delta W} R_0$ 。如果 $W \gg 2\Delta W$, 总电阻值仍等于 $\frac{L}{W} R_0$ 。这说明电阻的长度或宽度远大于引线孔到边缘的距离时不必修正。实际的宽电阻大都是这种情况。

扩散电阻的阻值还受着横向扩散的影响。实际的电阻宽度比图形上的宽度 W 大。扩散电阻的剖面如图2-71所示, x_j 为扩散深度, 如果横向扩散和纵向扩散相等, 则实际电阻的宽度为 $W + 2x_j$ 。但横向扩散区的杂质浓度是逐渐下降的, 而且垂直方向也逐渐变浅, 所以这部分的方块电阻比较高。考虑修正时, 可近似认为电阻的宽度为 $W + x_j$ 。当 $W \gg x_j$ 时, 就不必考虑横向扩散的修正。

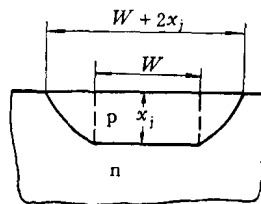


图2-71 扩散电阻的剖面

一般说来, 考虑上述的一些修正因素, 在计算电阻值时已足够精确, 因为工艺上带来的误差往往更大。在集成电路制造中, 一般允许电阻的绝对值有较大幅度的变化, 例如可以有 $\pm 20\%$ 的变化范围, 但要求各电阻的相对值变化不大。集成电路的制造特点可以满足这个要求, 因为同一个电路上的电阻都经过同样的工艺处理, 所以, 各电阻间的相对值变化不大。在电阻图形的设计中, 对于相对误差要求小的电阻, 也可采取同样的误差修正。

③ 电阻器宽度的选定 电阻的最小宽度一般不小于引线孔的最小尺寸。对于精度要求较高的电阻, 宽度选得大一些。因为制版、光刻和横向扩散效应都可能使实际的电阻尺寸发生变化, 如果电阻图形设计得比较窄, 那么同样的宽度变化就可能使阻值带来大的误差。对于通过大电流的电阻, 可按最大的允许电流密度来计算电阻的宽度。电阻的最大电流密度主要是根据散热条件决定, 也就是由单位面积允许的功耗来决定。根据经验, 扩散电阻

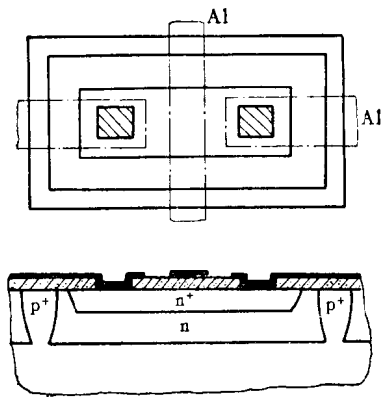


图2-72 磷扩电阻用作穿联接线时的情况

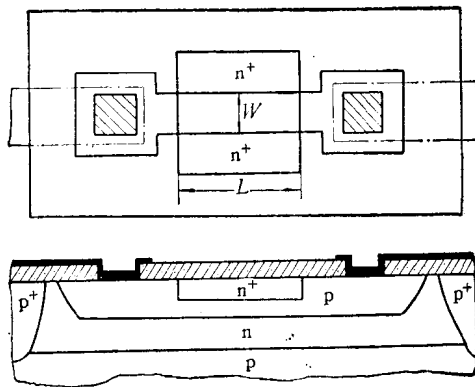


图2-73 基区沟道电阻

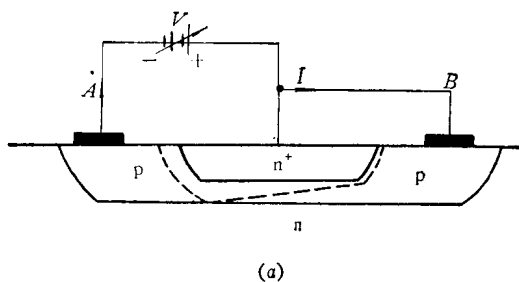
分的电阻与它相比可以忽略不计，其阻值仍按式(2-36)计算。

即

$$R = R_{\square} \frac{L}{W}$$

$R_{\square}$ 为沟道区的方块电阻， L 为磷扩区的长度。

基区沟道电阻的伏安特性如图2-74(b)所示，它不同于一般电阻的伏安特性。如果电阻的一端 B 和 n 区都提最高电位，另一端 A 接低电位，如图(a)所示。当外加电压很小时， $p-n^+$ 结的势垒区的宽度变化不大，所以电阻基本上是线性的，随着电压 V 的增加，在 $p-n^+$ 结左边部分的反偏就逐渐增大，耗尽层也就逐渐扩展，沟道就越越来越窄，电阻也越来越大。这表现出电流随电压的增加逐渐变得缓慢。当势垒扩展到与 bc 结的耗尽层连通时，电阻就被割断，这时电流基本上不再随电压增大而上升，再增加的电压部分主要降落在高电阻的势垒区上，势垒区两边的 p 区中的压降基本上不再增加，电场强度也基本不再随电压增加，所以电流保持不变，它对应于伏安特性的平坦区域。当电压再进一步增加时，由于达到了 $p-n^+$ 结的击穿电压，引起 be 结左边角处的击穿，电流便突然上升。击穿电压基本上就是 be 结的击穿电压，一般在 $6 \sim 9$ V之间。因此，采用这种电阻时，应该注意它的工作电压。这种电阻还有寄生电容大，精度不易控制等缺点。



(a)



(b)

图2-74 沟道电阻的 $V-I$ 特性

2. 晶体三极管

在集成电路中，除了一般的晶体管外，还有一些特殊的管子，如多发射极管和带有SBD箝位的晶体管。下面先介绍一般晶体管的图形设计，然后再讨论二种特殊管子的设计问题。

(1) 一般晶体管的图形设计

在设计一般晶体管时，通常是根据管子的最大工作电流，决定发射极的有效长度，根据管子饱和压降要求和集电极的最大工作电流计算集电极的最大允许串联电阻，然后结合基本的工艺参数选取适当的晶体管图形，并估算集电极的串联电阻值，如果不能满足要求，则再进行修改图形的尺寸。下面就分别讨论发射极有效长度问题和集电极串联电阻的估算问题。

① 发射区的有效长度

当晶体管处于放大工作状态时，发射结加有正向偏压，发射极便向基区注入少数（电子），同时基区也有少量的空穴向发射区注入。由于注入基区的少数在基区中的复合以及基区向发射区注入空穴，便造成了基极电流。另一方面，基区中存在着一定的电阻，当基极电流通过基区时便会引起体内电压降。结果，造成基区中各处的电位不等，在远离基区电极处的电位较低；在靠近基区电极处的电位较高。在发射区方面，因为发射区的电阻率很低，所以可以认为发射区是等电位的。结果，使得整个P-n结上各点的正向偏压不等，靠近基区电极处的P-n结上，正向偏置电压较高，远离基区电极处的结上，正向偏置电压就比较低。根据P-n结的基本原理，当P-n结处于正偏工作时，通过结的电流密度是随偏置电压指数变化的，即很小的电压差别将会带来很大的电流密度变化，所以在图2-75所示的单基条结构中，发射结上的电流便集中在P-n结的右边区域，这就是所谓集边效应。集边现象的存在，使发射结的有效工作面积变小，而且不能用增加发射区条宽的办法来减小边缘处的电流密度。如果增加发射区的条宽不但对边缘的电流密度没有减小作用，而且会带来结电容和分布电容的增加，影响开关速度。所以在设计晶体管时，在工艺条件容许的条件下总是尽量减小发射区的宽度，而用发射极的有效长度来计算晶体管的电流容量。在单基条图形中，因为它只有靠近基极的一边的发射区是有效工作区，所以它的有效长度就等于发射区的条长。如果在发射区的左边也加一基极条，则发射结的左边也有同样的发射作用，发射区的有效长度便为发射区条长的二倍。晶体管的有效发射区的电流密度是有限制的，因为电流密度太大会引起电流放大系数的下降。在逻辑电路中，一般对电流放大系数的线性度要求不高，所以最大允许电流密度可选得较大。在实际计算中，单位条长的

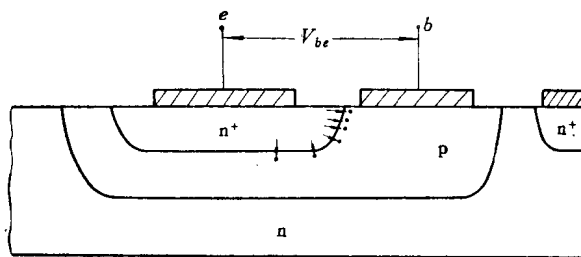


图2-75 发射结的电流集边现象

电流选取为 $0.16 \sim 0.4 \text{ mA}/\mu\text{m}$ 。在图2-76中例举了几种常见的晶体管图形。图2-76(a)是单基条图形。对于小电流晶体管，常采用这种结构。因为它的尺寸主要受着工艺上的基本尺寸限制。

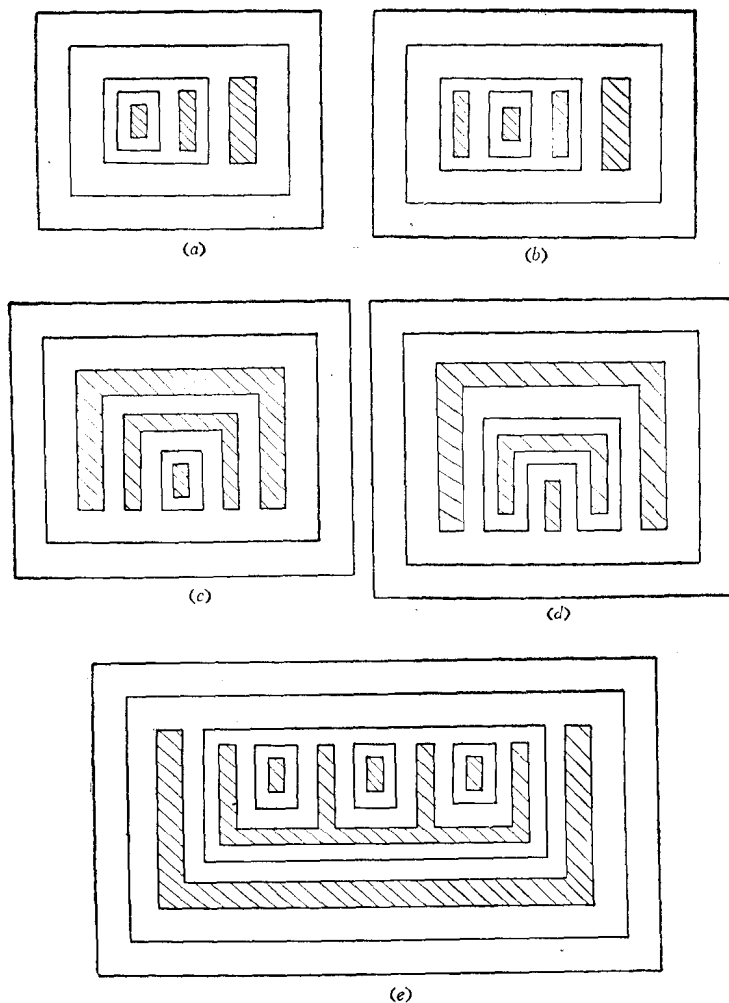


图2-76 常见的晶体管图形

图 2-76(b) 是双基条图形。与单基条图形相比，它的电流容量增加了一倍，但整个图形的面积并没有增加多少，因此对于大电流晶体管来说，这种图形的开关速度比单基条有利。

图 2-76(c)、(d)、(e) 是马蹄形结构和梳形结构。这类图形的发射区三边都有基极条，因此发射极的有效长度等于三边之和。但是它的面积也相应增加，用发射极的有效长度与面积比来衡量时并不比双基条图形好。这类图形主要是对减小集电极串联电阻更为有利，所以对于集电极串联电阻要求小的晶体管常用这种图形。

② 集电极体内串联电阻的估算 晶体管工作在饱和状态时，如果饱和度足够深，则晶体管的 bc 结和 be 结都处于正偏状态，而且压降差别不大， be 与 bc 的结压降差仅 $0.1V$ ，饱和压降的其余部分完全是由集电区的串联电阻压降造成的。在上面分析的逻辑电路中，都设晶体管的饱和压降小于 $0.3V$ ，也就是要求集电极串联电阻上的压降小于 $0.2V$ 。在一定的集电极电流下，要满足低电平值的要求，只有用降低集电极串联电阻的办法来解决。

下面介绍估算集电极串联电阻的方法。图 2-77 是单基条的晶体管图形及其相应的晶体管剖面图。在估算集电极串联电阻时，假设电流只流经集电区的 I、II、III、IV、V 区域，电流的方向如图中所示。五个区域的串联电阻值就等于集电极串联电阻值。根据晶体管的模型，五个区域的电阻可估算如下：

I 区和 V 区都是长方体，它们的电阻分别为

I 区电阻

$$r_I = \rho_c \frac{W_b}{l_c d_c} \quad (2-44)$$

V 区电阻

$$r_V = \rho_c \frac{W_c}{l_c d_c} \quad (2-45)$$

ρ_c ——外延层的电阻率，其它尺寸参看图 2-77。

II、III、IV 是埋层电阻区，可根据它的方块电阻 $R_\square$ ，用二维模型来计算。但是应注意电流的流向，在区域 II 中，电流通路是水平方向流进，垂直方向流出，它不同于一般的薄层电阻的电流流经路程。区域 IV 的电流流经路程与 II 区类似，从垂直方向流进，水平方向流出。对于这两个区域的电阻可用图 2-78 的模型来计算它们的阻值。在图 2-78 的模型中，假设垂直面上的电流密度是均匀的，流入的电流都转为水平方向，并沿 x 的方向流出，因此在水平线上的电流，随着 x 离开原点线性增加，水平流向的电流沿 x 方向的变化为

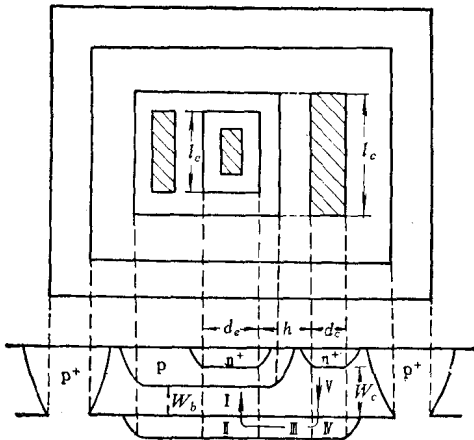


图2-77 估算集电极串联电阻的模型

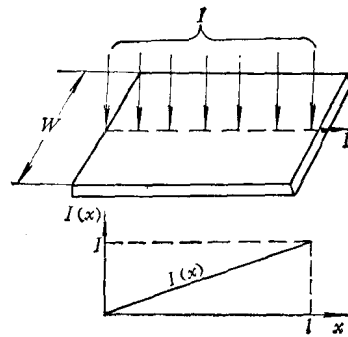


图2-78 II、IV区的阻值计算模型

$$I(x) = I \frac{x}{l} \quad (2-46)$$

在 dx 段上的压降为

$$dV = R_\square \frac{I(x)}{W} dx \quad (2-47)$$

在 dx 上的功耗为

$$dP = I(x) dV \quad (2-48)$$

将式 (2-46)、(2-47) 代入式 (2-48)

得

$$dP = \frac{R_{\square}}{W} \left(\frac{Ix}{l} \right)^2 dx = \frac{R_{\square} I^2}{W l^2} x^2 dx$$

薄层电阻上的总功耗为

$$P = \int dP = \frac{R_{\square} I^2}{W l^2} \int_0^l x^2 dx = \frac{1}{3} \frac{R_{\square} I^2}{W l^2} x^3 \Big|_0^l$$

即

$$P = \frac{1}{3} R_{\square} \frac{l}{W} I^2 \quad (2-49)$$

根据电阻上的功耗、阻值、电流之间存在

$$P = I^2 R$$

的关系

即

$$R = \frac{P}{I^2} \quad (2-50)$$

将式 (2-49) 代入式 (2-50)

得

$$R = \frac{1}{3} R_{\square} \frac{l}{W} \quad (2-51)$$

它等效为电流是水平流向时, 薄层电阻值的 $\frac{1}{3}$ 。因此, II 区和 IV 区的电阻分别为

II 区电阻

$$r_{\text{I}} = \frac{1}{3} R_{\square} \frac{de}{le} \quad (2-52)$$

IV 区电阻

$$r_{\text{IV}} = \frac{1}{3} R_{\square} \frac{dc}{l_e} \quad (2-53)$$

III 区的电流通路是水平方向流进, 水平方向流出。它的形状为梯形, 如图 2-79 所示。薄层电阻的宽度取两边的平均值, 其阻值为

III 区电阻

$$r_{\text{II}} = R_{\square} \frac{h}{(l_e + l_o)/2} \quad (2-54)$$

集电极的总串联电阻

$$r_{e, \text{I}} = r_{\text{I}} + r_{\text{II}} + r_{\text{III}} + r_{\text{IV}} + r_{\text{V}}$$

$$= \rho_e \left[\frac{W_b}{l_e d_e} + \frac{W_o}{l_o d_o} \right] + R_{\square} \left[\frac{1}{2} \frac{h}{(l_e + l_o)} + \frac{de}{3l_e} + \frac{dc}{3l_o} \right] \quad (2-55)$$

如果假设图 2-77 的工艺参数和管子的尺寸为:

$$l_e = 32 \mu\text{m}, d_e = 30 \mu\text{m}, l_o = 52 \mu\text{m}, d_o = 12 \mu\text{m}, h = 22 \mu\text{m},$$

$$W_b = 4 \mu\text{m}, W_o = 6 \mu\text{m}, \rho_e = 0.5 \Omega \cdot \text{cm}, R_{\square} = 20 \Omega / \square$$

则各区的电阻分别为

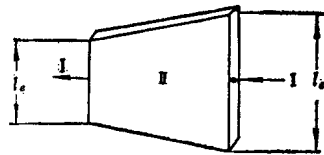


图2-79 II区的薄层电阻模型

$$\left. \begin{aligned}
 r_I &= \rho_e \frac{W_b}{l_e d_e} = 0.5 \times \frac{4}{32 \times 30} \approx 21 \Omega \\
 r_V &= \rho_e \frac{W_c}{l_e d_e} = 0.5 \times \frac{6}{52 \times 12} \approx 48 \Omega \\
 r_{II} &= \frac{1}{3} R_{\square} \frac{d_e}{l_e} = \frac{1}{3} \times 20 \times \frac{30}{32} \approx 6 \Omega \\
 r_{IV} &= \frac{1}{3} R_{\square} \frac{d_e}{l_e} = \frac{1}{3} \times 20 \times \frac{12}{52} \approx 1.5 \Omega \\
 r_{II} &= R_{\square} \frac{h}{(l_e + l_c)/2} = 20 \times \frac{22}{(32 + 52)/2} = 11 \Omega
 \end{aligned} \right\} \quad (2-56)$$

总的串联电阻

$$r_{es} = r_I + r_V + r_{II} + r_{IV} + r_{II} = 21 + 48 + 6 + 1.5 + 11 = 87.6 \Omega$$

从上面的估算中，大致可以看出影响串联电阻的各方面因素。当改变图形尺寸和工艺参数时，各区域阻值相应的变化情况也可由式(2-55)估算。图2-76中的马蹄形和梳形，就是为了减小集电极的串联电阻而设计的。在图2-76(c)中，是利用增加集电极条长 l_e 来降低各区域的串联电阻。在图2-76(d)中，晶体管的基极置于中间，发射区和集电极是做成马蹄形，它除了增加集电极和发射区的长度外，还减小了发射区与集电极之间的距离 h ，所以有减小Ⅲ区电阻的作用。

(2) 特殊晶体管图形的设计

在前面所述的TTL电路中，我们看到除一般的晶体管外，还用一些特殊管子，如多发射晶体管和带有SBD箝位的晶体管。下面分别介绍这二种晶体管的图形设计。

① 多发射极晶体管 用多发射极晶体管作“与”门头，可以提高电路的开关速度，这是它的主要优点，但是它也带来了缺点，使输入反向漏电流变大。为了将反向漏电流限制在允许的范围以内，在版图设计中必须采取一定的措施。

分析多发射极晶体管的工作情况，输入反向漏电流的来源有二个。一个是发射极之间的交叉漏电流，就是其它发射极正偏时所引起的电流；另一个是反向漏电流，它是集电极正偏时所引起的电流。在输入反向电流中究竟那一个在起主要作用呢？用下面的简单测量就可给出答复。图2-80是测量三种不同情况下的输入反向电流。在图2-80(a)中， e_2 接高电平，这时只有 bc 结处于正偏状态，所以这时测得的输入反向电流完全是集电结正偏引起的。在图2-80(b)中， e_2 接地，晶体管处于深饱和状态， bc 结和 be_2 结都处于正偏状态。在图2-80(c)中将 bc 短接，这时 bc 结的电压为0，只有 be_2 处于正偏。比较三种情况微安表的读数，发现图(a)和(b)电流差别不大，并且读数都比较大，图(c)的微安表读数很小，这充分说明造成输入反向电流的主要原因是集电结正偏所造成的。进一步分析图2-81所示的多发射极晶体管结构，两个发射区之间的距离较大，它们构成的寄生三极管是横向晶体管，两个发射结面相隔较远，相当于基极宽度很大，而集电结面就在发射结的下面， bc 结处于正偏时，注入基区的电子很容易到达发射结，并被处于反偏状态的发射结所收集，形成输入反向漏电流。所以图2-80(a)、(b)的电流都大。如果我们设法限制发射结附近的集电结正向偏压，使发射结下面的集电结区注入减少，可以期望降低输入反向漏电流。当我们把基区拉长，并使集电极靠近基极时，如图2-82所示，使

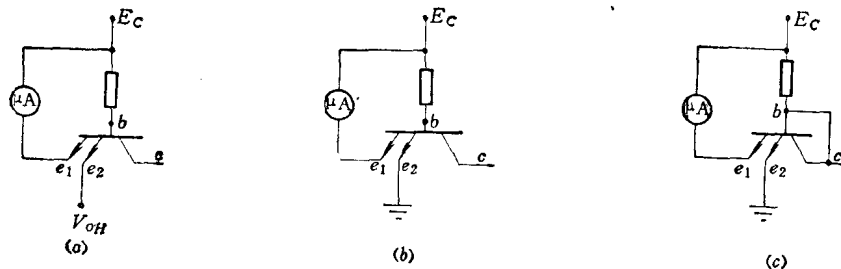


图2-80 三种不同接法时的输入反向电流

基极和发射极之间引入了较大的电阻,在这种情况下,如果发射极 e_2 接地,则 be_2 之间的电流将引起基区体内的电压降。如果集电极没有电流,则集电区是一等位面,结果靠近基极处的 bc 结电压比发射极下面的 bc 结电压大得多,因此集电极对基区的注入主要集中在 bc 结的左边角处。或者说由于左边角处的 bc 结的箝位作用而使发射极下面的 bc 结电压受到限制。左边角处注入基区的电子,离发射极很远,不能达到发射结,因而对反向漏电流影响不大。当 e_1 和 e_2 都是高电平时, bc 结的注入也同样局限在左边角处,所以这种结构可以使反向电流减小。

根据上述的原理,多发射极晶体管设计成图2-83所示的图形。它是有五个发射极的晶体管图形。基区引线孔 b 与发射极之间有狭长的基区,称为长颈。也就是把基区的电极移到远离发射区的地方,使发射极下面的集电结不会出现较大的正向偏压,输入反向电流便可减小。当晶体管工作在放大状态时,基区体内电阻的引入仅仅相当于增加了门电阻 R_1 。只要引入的电阻不太大,就不会引起电路的其它性能变坏。如果引入的电阻太大,会引起晶体管的饱和压降增加、使基极电流变小,并影响对 T_2 管存储电荷的抽出速率。根据实验,长颈部分引入2~3方块电阻,相当于400~600 Ω ,就可使输入反向电流控制在10 μA 以下。在图2-83的图形中,基区上还开有一个长条窗口,它与各发射区的间隔相同。窗口上蒸有铝,但并不与其它铝线联通,这个铝条的作用是使各发射区附近的基区电位相等。当任一发射极工作时都有同样的基极电阻,这样五个输入端的工作性能便趋于一致。

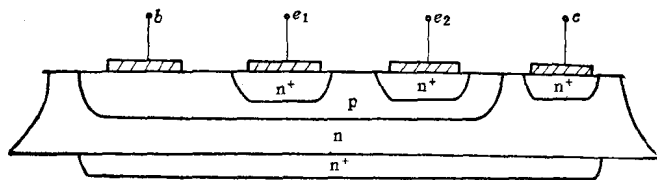


图2-81 简单的多发射极晶体管结构

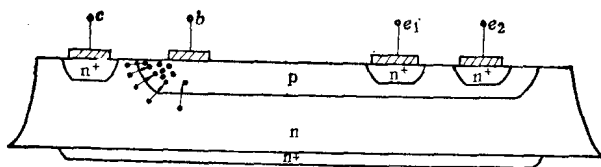


图2-82 减少输入反向漏电流的结构示意图

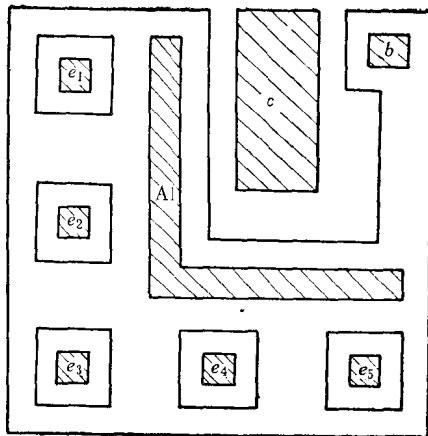


图2-83 多发射晶体管的图形

② 带 SBD 箝位的三极管 在三极管的 bc 之间并联 SBD 管后, 可以限制它的饱和深度, 从而提高工作速度和减小多发射极晶体管的输入反向漏电流。在制造中, 常将基区的引线孔扩展到集电区上, 当引线孔上蒸铝后, 铝与集电区的接触部分就形成了 SBD。这种设计对节省总片面积和制造都较有利。但在实际版图设计中, 还应考虑以下问题。

SBD 的面积 SBD 所以能限制晶体管的饱和深度, 主要是它具有低通电压的特性。一个铝和 n 型硅接触构成的 SBD 管有如图 2-84(a) 中的 AB 伏安特性。它和一般的 $p-n$ 二极管很相似, 但是起始的通导电压比硅二极管低。伏安特性的起始部分主要是由铝硅接触势垒的特性决定, 是非线性的。后面部分主要是由二极管的串联电阻决定的, 它基本上呈线性关系。它的斜率反映了串联电阻的大小, 串联电阻越小, 斜率就越大。如果以 BC 线来近似代替 AB 线, 则当 SBD 通导后, 它就可等效为 $0.4V$ 的电压源和一个电阻相串联, 串联电阻值就是 SBD 的串联电阻 r_{SD} 。用这样的等效电路与晶体管的 b 、 c 相并联时 (如图 2-84(b) 所示), bc 结上的正向电压降显然与通过 SBD 的电流 I_{b1} 以及 r_{SD} 有关, 要使在各种电流下都有良好的箝位效果就要求 r_{SD} 尽量小。在工艺参数已定的情况下, 减小 r_{SD} 的办法只有增加 SBD 的面积。但是增加面积又会造成 SBD 的电容增加。

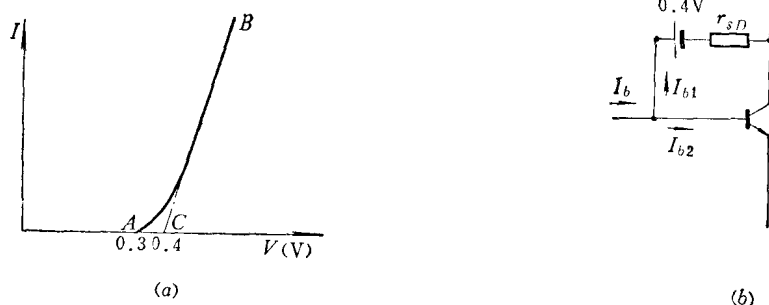


图 2-84 SBD 的伏安特性和带 SBD 箝位的晶体管等效电路

SBD 是与晶体管 b 、 c 并联的, 所以又会使 b 、 c 之间的电容增加。并且 SBD 面积的增加还会使晶体管的面积相应增加, 使隔离电容增加, 对开关速度带来不利的影响。另外, 面积大了反向漏电流也会增加。SBD 的单位面积反向漏电流一般都比 $p-n$ 结二极管的大, 所以应合理选择 SBD 的面积。为了进一步分析 SBD 的面积对晶体管 bc 结的箝位性能的影响, 画出了它的结构剖面图和与它对应的等效电路, 如图 2-85 所示。从等效电路可以得到晶体管 bc 结上的电压 V_{bc} 和电流 I_{b1} 、 I_{b2} 以及 I_e 之间的关系为

$$V_{bc} = 0.4 + I_{b1}r_{SD} + (I_e + I_{b1})r_{es2} - I_{b2}r_{bb'} \quad (2-57)$$

根据各部分的工作电流, 基极电阻 $r_{bb'}$, 集电极串联电阻 r_{es1} 、 r_{es2} 以及所希望的 bc 结的箝位电压 V_{bc} , 可以算出 SBD 的串联电阻 r_{SD} 。再从 r_{SD} 可计算 SBD 的面积。但各部分阻值不易精确计算, 因为电流的通路并不像图 2-85(a) 那样理想化。在实际设计时一般都由经验来决定 SBD 的面积。根据希望分走的电流 I_{b2} 决定面积的大小, 一般按 $800 \sim 1000 \mu m^2 / mA$ 计算。例如在图 2-52 的抗饱和电路中, T_1 、 T_2 和 T_e 上的 SBD 面积大致如下:

$$\begin{aligned} T_1 & 800 \sim 1200 \mu m^2 \\ T_2 & 800 \sim 1000 \mu m^2 \\ T_e & 2000 \sim 3000 \mu m^2 \end{aligned}$$

但这些数值并不是绝对不变的, 从图 2-85(a) 的结构剖面图可以看出, 如果外延层的厚度减薄, 或者外延层的电阻率减小, 保持同样的 r_{Ds} 阻值的面积可以适当减小。

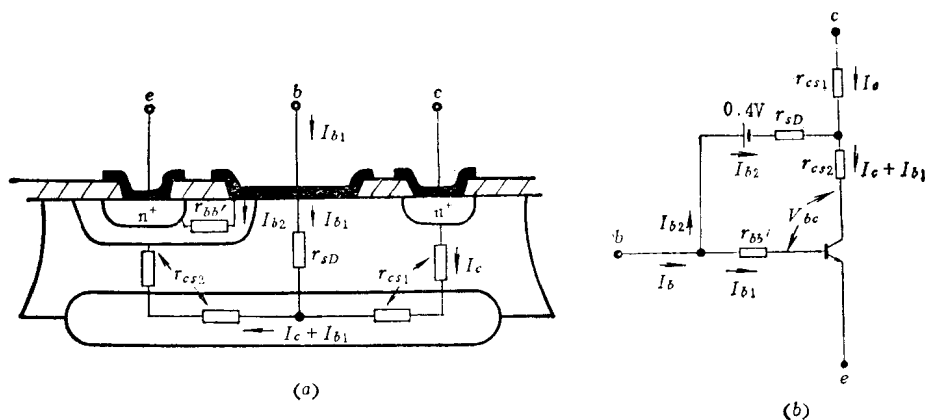


图2-85 带SBD的晶体管剖面图及其等效电路

SBD 的位置 分析图 2-85(b) 的等效电路, r_{cs2} 的存在增加了 bc 结的箝位电压, 特别是集电极电流较大时, r_{cs2} 上的压降影响就更大。为了消除 I_c 对 bc 结的箝位电压影响, 可把 SBD 做在发射极的另一侧, 如图 2-86 所示。相当于 r_{cs2} 阻值变小了, r_{cs1} 的存在并不影响箝位作用。

电极结构 构成 SBD 的基本原理是利用 n 型硅的功函数小于铝的功函数的性质。当它们紧密接触后, 在 n 型硅中电子向铝转移, 使硅表面产生了缺少电子的耗尽区, 如图 2-87 所示。这种结构, 在边缘棱角处, 由于电力线的集中, 电场特别强, 所以在外加反向电压时, 这些地方最容易发生击穿。结果使 SBD 的反向击穿电压很低, 这是初期发展 SBD 遇到的主要问题。根据这种低压击穿的原因, 可以有二种解决的办法: 第一种办法是加保护环。就是在电极边缘处先扩散一个环状的 p 型区域, 如图 2-88(a) 所示。使金属的边缘被 p 型半导体所包围。金属-半导体形成的空间电荷区便与四周的 p-n 结空间电荷区连接起来了, 在连接部位, 电力线是疏散的, 使电场强度减弱, 因而反向击穿特性得到改善。第二种办法是用覆盖电极。如图 2-88(b) 所示, 将铝电极覆盖到窗口以外的氧化层上, 由于电极是负电位, 氧化层下的 n 型表面也感应出正的空间电荷, 使边缘处的电力线得到分散, 因而也可改善击穿特性。但为了使边缘处的电力线有明显的分散作用, 氧化层不宜太厚。

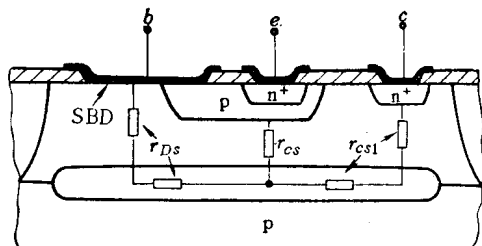


图2-86 SBD和集电极分别放在发射极的两侧

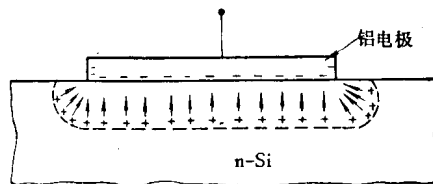


图2-87 棱角电场集中的现象

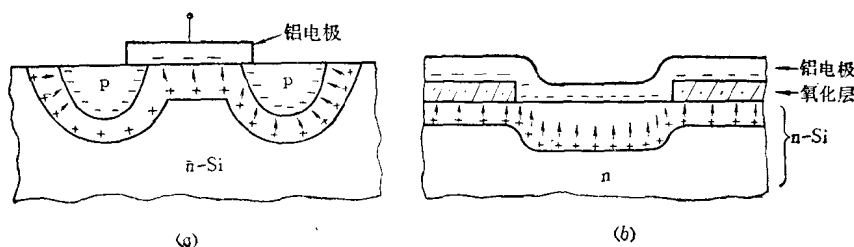


图2-88 克服SBD低压击穿

在实际结构中, SBD 的一边和基区扩散区相邻, 它和 P 型保护环的情况一样。边缘的其它部分都用覆盖电极的结构, 如图 2-89 所示。

3. 二极管

在集成电路中, 二极管的结构除单独用 bc 结外, 还可以先做成三极管的形式, 然后再将它联成二极管。这种做法并不增加集成电路的工序, 而且还可以使二极管的特性多样化, 以满足不同的电路需要。

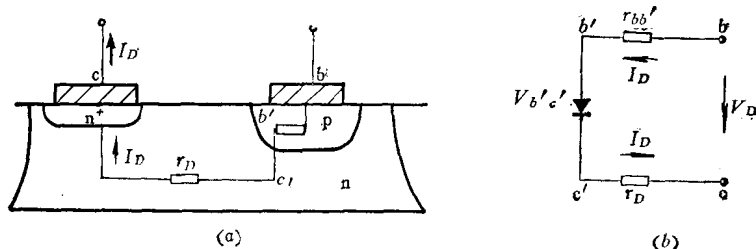
将三极管作为二极管用的方案有五种; 基

极和发射极短接 (be 短接); 基极和集电极短接 (bc 短接); 发射极和集电极短接 (ec 短接); 发射极开路 and 集电极开路。下面对它们的正向特性和少子存储效应进行分析和比较。

(1) 正向特性 分析各种接法的二极管正向特性, 只要根据它们的结构, 画出等效电路, 便可看出它们的差异。

① 单个 bc 结构成的二极管 由单个 bc 结构成的二极管, 其结构和等效电路分别如图 2-90(a)、(b) 所示。它的正向电压降 V_D 就是 $p-n$ 结上的压降和串联电阻的压降之和;

$$V_D = V_{b'e'} + I_D(r_D + r_{e'b}) \approx V_{b'e'} + I_D r_D \quad (2-58)$$

图2-90 单个 bc 结的二极管

串联电阻包括 p 区的串联电阻和 n 区的串联电阻。但是 p 区的电阻率较低, 电流流经的路程也短, 所以电阻 $r_{bb'}$ 很小, 串联电阻主要由 n 区的 r_D 决定。

② bc 短接的二极管 bc 短接的二极管结构和等效电路分别如图 2-91(a)、(b) 所示。当电流 I_D 较小时, 晶体管处于浅饱和状态, 它仍有一定的放大作用。所以正向电压

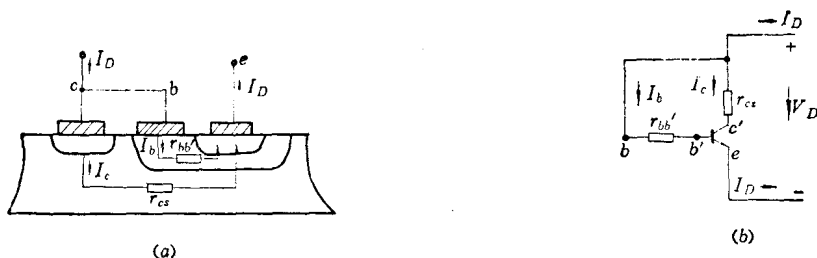


图2-91 bc短接二极管

降 V_D 和电流 I_D 之间具有以下的关系:

$$V_D = V_{b'e} + I_b r_{bb'} = V_{b'e} + I_D \frac{r_{bb'}}{1 + \beta} \quad (2-59)$$

相当于二极管的串联电阻等于 $r_{bb'}/(1 + \beta)$ 。 β 的数值将随电流的增大以及饱和度的加深而下降。当晶体管处于深饱和时, C' 的电位就跟随 b' 变化, 串联电阻等效于 $r_{bb'}/r_{cs}$ 的并联值。这种结构, 在工作电流不太大时, 因为晶体管有一定的放大能力, 所以它的等效串联电阻最小, 也就是正向压降最小。在需要正向压降小的地方常常采用这种结构。

③ be 短接的二极管 图 2-92(a)、(b) 分别是 be 短接的二极管结构和等效电路。当电压的极性如图 (b) 所示时, 晶体管处于反向运用状态。一般晶体管的反向电流放大系数 β_r 是比较小的, 所以它的正向压降 V_D 和电流 I_D 之间的关系为

$$V_D \approx V_{b'e} + I_D(r_{bb'} + r_{cs}) \quad (2-60)$$

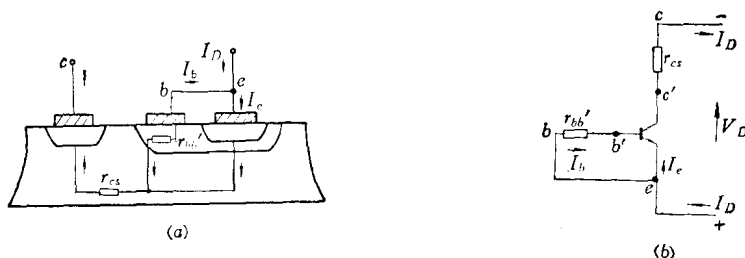


图2-92 be短接二极管

这种情况和单个 bc 结的情况类似, 因为 $r_{bb'}$ 一般比 r_{cs} 小, 所以串联电阻基本上等于 r_{cs} 。它的其它性能也和单个 bc 结的情况相同, 但最小的占用面积比单个 bc 结的二极管的面积大 (因为在基区中还要容纳一个发射区), 所以实际上很少采用这种结构。

④ 发射极开路二极管 发射极开路的结构和等效电路如图 2-93(a)、(b) 所示。它的正向电压降和串联电阻与 be 短接的情况差别不大。

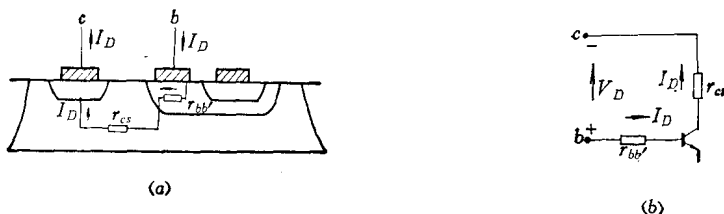


图2-93 发射极开路二极管

⑤ 集电极开路二极管 这种联结方式的二极管结构和等效电路如图 2-94(a)、(b) 所示。它的正向压降就是发射结上的电压降 $V_{b'e}$ 与 $r_{bb'}$ 上的电压降 $V_{bb'}$ 之和。它的串联电阻为 $r_{bb'}$ ，数值较小，但是发射结的结压降 $V_{b'e}$ 比集电结的结压降略大，反向耐压也比集电结低。

⑥ ec 短接的二极管 ec 短接时相当于 be 和 bc 二个二极管并联。它的正向压降和串联电阻比集电极开路的情况略小。

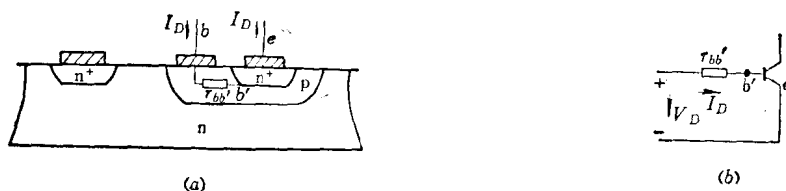


图2-94 集电极开路二极管

(2) 电荷存贮效应 二极管的开关特性主要取决于正向工作时的电荷存贮量。图 2-96 定性地画出了六种二极管的电荷存贮情况，它们是以同样的正向电流为依据。下面对各种情况加以说明。

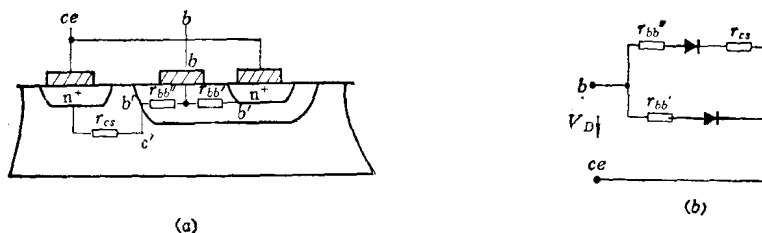


图2-95 ec 短接的二极管

(a) 单个 bc 结的情况。在正向通导时， $p-n$ 结的两边都有少子注入和积累。集电区的电阻率高于基区，所以注入集电区的电荷量多于基区。总的电荷存贮量对应于阴影区的面积。

(b) bc 短接。 bc 短接时，只有 be 结的两边有注入。在基区中的电荷仅局限在 be 结附近。所以比单个 bc 结的存贮电荷量少得多。

(c) be 短接。它和单个 bc 结的情况差别不大，特别在远离发射结的 b, c 两边，和单个 bc 结完全一样（图中只对应发射结下面的情况）。

(d) 发射极开路。由于 bc 结处于正偏，注入基区的少子扩散到发射结势垒。注入少子在发射结中的积累，使 be 结势垒下降，同时使 be 结也处于正偏状态。发射结正偏的电流方向与集电结正偏的电流方向相反。为了保持电流不变，必须使集电区边界处的少子（空穴）浓度更高些，因此它比 be 短接时的电荷存贮量大。

(e) 集电极开路。由于集电极开路，所以少子电荷分布情况与 (d) 相反。因为这时 bc 结也处于正偏，要使电流保持不变，所以在 bc 结边界处的空穴浓度比 be 短路时大。

(f) ec 短接。 ec 短接时，两个结都处于正偏状态，相当于 be 结和 bc 结并联，但考虑到发射区比集电区的掺杂浓度大，所以基区中的存贮电荷在近发射极一边较高。

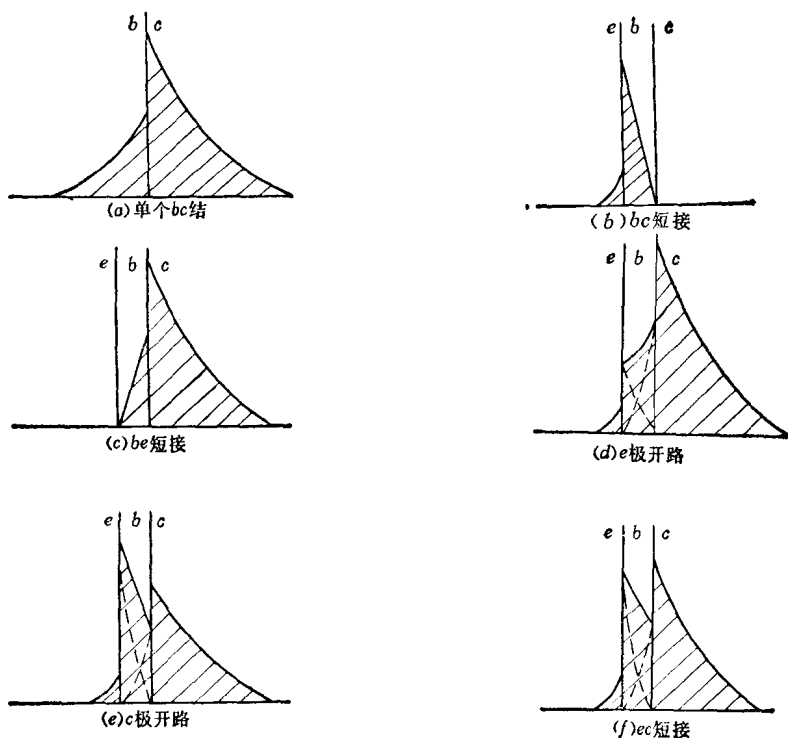


图2-96 六种二极管导通时的电荷存贮情况

比较上述的六种情况, bc 短接时具有最小的电荷存贮效应和最小串联电阻, 所以在集成电路中应用很普遍。但是它的反向击穿电压较低, 等于 be 结的击穿电压。单个 bc 结的二极管, 因为没有发射区, 所以 P 型扩散区可以做得比其它二极管的尺寸小, 而且反向击穿电压高, 所以也常被采用。

三、版图实例

在基本工艺参数和电路图已经确定的情况下, 版图的设计步骤大致如下:

(1) 分析电路的工作原理 估算各元件的工作电流。如果对电路的某些工作情况需要借助实验分析, 还应做模拟电路的试验。即用分立元件联成电路, 对它进行测试分析。总之, 务必明确电路中每个元件的要求。

(2) 划分离区 每个隔离区对整个版图说来, 可作为一个单元, 在版图中, 调动位置时可作为一个整体。每个隔离区中的内容完全可以独立设计。一般说来, 每个晶体管各占一个隔离区, 电阻公用一个隔离区。但对于共集电极的晶体管, 例如典型 TTL 电路中的 T_3 、 T_4 管, 它们的集电极是联在一起的, 所以就不必再分成二个隔离区。二个管子放在一起更有利于排版和节省面积。还有一些特殊情况的处理, 将在实例中说明。

(3) 画元件图 根据晶体管的最大工作电流或集电极串联电阻的要求, 结合基本工艺数据, 选定它们的图形和尺寸, 使几方面的要求都得到满足。电阻的尺寸可先根据工作电流和精度要求选定它们的宽度。再根据阻值要求和已经决定的方块电阻计算它们的长度。

绘元件图的目的之一,是先对每个元件占用面积和形状有初步的设想,以便进一步考虑布局。在排版过程中,对某些元件图还可根据具体情况作适当调整。

(4) 排版和元件图形的最后确定 排版的过程就是确定每个元件在版图中所处的位置。元件的位置安排主要考虑互联方便,联线短,布局紧凑。对引出线的顺序如有统一规定,则考虑版图布局时,首先应根据压焊点的位置来安排某些元件。在排版过程中,元件的图形和尺寸可适当作些调整,特别是电阻的形状和走向,灵活性很大。整个布局力求紧凑,最有效地利用整个面积。下面介绍一个实际的版图。

图 2-97 绘出了一个四输入端双“与非”门驱动器的版图,它的电路图如右上角所示,电路的工作原理前面已作过分析。值得补充说明的是该电路是驱动器,它可带 24 个常规的 TTL 门电路。电路中的电阻值设计得较小,使输出管 T_5 的驱动电流更大。另外,该电路的输入端都并联有反向二极管,位置在压焊点附近。它的作用是减小反射和保护多射头的发射极。一般说来,电路工作时的输入阻抗与驱动源的输出阻抗总是不匹配的,所以存在着反射。当驱动源与输入的联线较长时,如果输入脉冲的边沿很陡峭,在输入端的反射就更严重,轻者使波形变坏,严重时可能使多射极管损坏。加了二极管后,可以减小反射,特别当输入端出现负向脉冲时,二极管便处于通导状态,使输入端不致出现大的负向电压,多射头的发射极电流就不会超过正常的电流,所以它有保护输入端的作用。这种二极管对输入端的反射有削弱的作用,所以称为阻尼二极管。

该版图的排列是按照给定的管脚顺序要求布局的,并考虑与扁平封装的管壳相配合。压焊点与管壳引线的联接情况如右侧附图所示。整个版图的上半部和下半部基本对称,各包括一个“与非”门。

该版图对应的基本工艺参数及尺寸如下:

长方孔的短边最小尺寸为 $10\ \mu\text{m}$;

正方孔的最小尺寸为 $12 \times 12\ \mu\text{m}^2$;

隔离槽的最小宽度为 $14\ \mu\text{m}$;

铝条的最小宽度为 $12\ \mu$, 间距为 $14\ \mu\text{m}$;

铝条覆盖引线孔的边缘超过 $4\ \mu\text{m}$;

电阻条的最小宽度为 $16\ \mu\text{m}$;

扩散区与隔离槽边缘的最小间隔取 $22\ \mu\text{m}$;

两个硼扩区(淡硼)的最小间隔为 $14\ \mu\text{m}$;

压焊点的尺寸为 $140 \times 140\ \mu\text{m}^2$, 压焊点之间的最小间距为 $120\ \mu\text{m}$;

外延层的电阻率取 $0.5\ \Omega \cdot \text{cm}$;

硼扩散方块电阻取 $200\ \Omega/\square$;

埋层方块电阻取 $20\ \mu\text{m}$;

外延层厚度为 $8\ \mu\text{m}$;

硼扩深度 $4\ \mu\text{m}$, 磷扩深度 $3\ \mu\text{m}$ 。

版图中的元件设计按照前面所述的基本原则考虑。这里值得着重说明以下一些情况:

T_5 管的图形主要按串联电阻要求考虑,因为需要驱 24 个门,在低电平输出时,灌入的电流约 $40\ \text{mA}$ 。要求串联电阻上的压降小于 $0.3\ \text{V}$, 则串联电阻应小于 $7\ \Omega$, 所以对 T_5

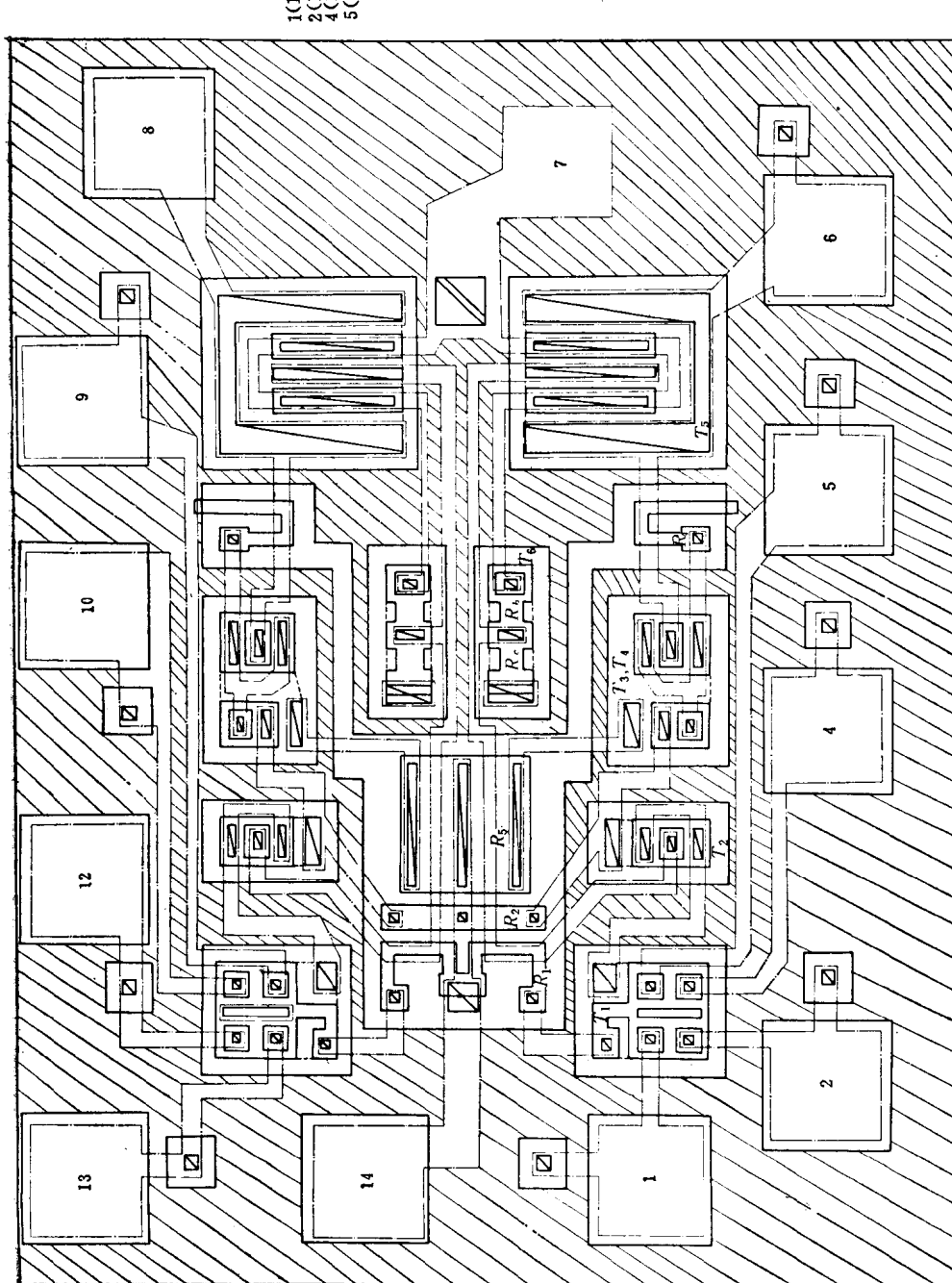
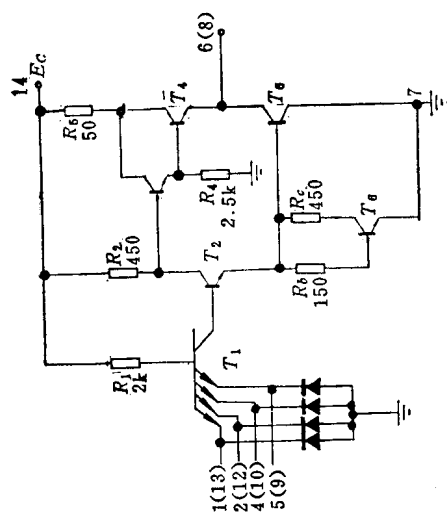


图2-97 双“与非”门驱动器版图



的考虑着重在满足饱和压降的要求上。管子的图形选用双发射条,基区引线孔开在中间,每条发射区的面积为 $160 \times 34 \mu\text{m}^2$,集电极引线孔的面积为 $240 \times 36 \mu\text{m}^2$ 。按照上述的工艺参数用式(2-55)估算得集电极串联电阻约 7Ω 。

T_4 和 T_3 是按最大瞬态电流考虑。因为它是瞬态电流,所以发射极单位长度的电流容量可选得较大,例如比一般规范大一倍。

电阻 R_5 也是根据最大瞬态电流考虑的,因为电路应用时可能会遇到输出端与地短路的偶然情况。如果电路处于关态,则 R_5 中将出现很大的电流,如果 R_5 没有足够的电流容量,遇到这种情况就可能损坏。 R_5 的最大瞬态电流仍以 37 mA 计算。 R_5 虽然只有 50Ω ,但因 T_4 集电极的体内电阻也有数十欧姆,总的串联电阻仍在 100Ω 左右。

在 T_6 管的隔离岛中,除了管子外还有二个电阻,即 R_6 和 R_7 ,它和 T_6 基区是一个扩区。中间的引线孔是 R_6 和 R_7 的公共引线孔,右边部分是 R_6 ,因为它已直接和晶体管的基区联通,所以不必再开引线孔。左边部分是 R_7 ,在端头开一个大的引线孔,使与外延层联通,因为外延层就是 T_6 的集电极,当蒸上铝后,它们自然就联通在一起了。 T_6 管和 R_6 、 R_7 的这种布局使连线简单,而且节省面积。它所以能放在一个隔离区的原因,主要是这部分所处的工作电压很低,最高电压不超过 1 V ,电阻各点与 T_6 集电极的电位差不会超过 0.6 V ,而且电阻值本身又比较小,所以在不加反偏电压的情况下,外延层对电阻的旁路作用不大。

R_3 的一端是接地的,因为隔离槽与地相通,只要将 R_3 的接地端扩展到隔离槽就自然接地了,不必再开引线孔。 R_3 的阻值较大,隔离槽到地的电阻对它影响不大。 R_3 的工作电流很小,它流过隔离槽的电流不会引起什么付作用。但在通过大电流的地方就不能采用这种方法接地,像输出管 T_5 的发射极到地就绝对不能借用隔离槽的通路,非用铝线直接与接地压焊点相联不可。

版图的总面积为 $1360 \times 1120 \mu\text{m}^2$ 。有些元件之间的间距是完全为了走线而拉开的,例如 T_1 与 T_2 之间要穿过三根线,为了保证铝线的宽度和间隔,所以它们的距离就得拉开。又如上下两半的 T_7 管之间的间距也是为了保证穿线而拉开的。如果希望铝线宽度和间隔更大,则可将中间的间隔再放宽,即整个图形再向上下两边扩展。

版图中的压焊点都置于隔离岛上,这种安排可防止压焊点之间发生短路,因为即使每个压点下的氧化层都存在缺陷,造成铝层与下面的外延层相通,仍不致造成压焊点之间短路。

总之版图的设计是一项工艺性很强的细致工作,涉及的问题较多,并需要经验的积累,但经过实践后要掌握基本方法并不困难。

最后归纳几点设计版图时需要注意的问题。

- (1) 整个版图的布局紧凑匀称。
- (2) 金属连线不宜过长,并适当宽些,以免光刻腐蚀时断线。地线和电源线、输入、输出线要尽可能宽些。
- (3) 电源接触孔,接地孔,以及低阻值电阻的引线孔应开得大些,以减小接触电阻。
- (4) 参数要求一致性较好的元件应放在邻近的区域,以免工艺上的不均匀性或片子温度的不均匀造成元件参数的差异。

(5) 电阻隔离岛应接电路的最高电位, 使电阻各处与外延层之间的 P-n 结永远处于反偏状态。

(6) 隔离槽必须接电路的最低电位, 即必须开有引线孔, 并用铝线联通接地点。使包围各隔离岛的 P-n 结都处于反向偏置状态。

(7) 铝引线应尽量在厚氧化层上走, 这样可避免因氧化层针孔而造成铝线和下面的硅短路, 同时也减小寄生电容。在磷扩散的氧化层上面, 尽量不走铝线。无法避免时, 应增加低温氧化工序, 加厚氧化后, 方可布线。

§ 2-5 发射极耦合逻辑门

发射极耦合逻辑门电路简称 ECL。

在上面所述的各种门电路中, 影响开关速度的主要因素是晶体管的少子存贮时间。从典型的 TTL 电路改为抗饱和的 TTL 电路后, 由于减少了晶体管的饱和深度, 使开关速度提高 2~3 倍, 平均延迟时间从 20 ns 下降到 10 ns 以下。ECL 电路是一种非饱和电路。正常工作时, 晶体管不进入饱和工作状态, 因此开关速度又比浅饱和电路提高一步。典型的平均延迟时间为 1~2 ns, 甚至可达亚毫秒 (不到 1 ns)。

下面对 ECL 门电路的基本形式和 工作原理作概括介绍。

一、ECL 的基本电路

图 2-98 是 ECL 的基本电路部分。\$T_1\$、\$T_2\$ 是输入晶体管。\$A\$、\$B\$ 为输入端 (根据扇入要求可以增加或减少输入晶体管的数目)。\$T_3\$ 是定偏晶体管, 基极接固定偏压 \$V_{BB}\$ (或称参考电压)。它介于 \$A\$、\$B\$ 的输入高电平和低电平之间。如果 \$A\$、\$B\$ 的输入高电平为 \$-0.8\$ V, 低电平为 \$-1.6\$ V, 则 \$V_{BB}\$ 为 \$-1.2\$ V。三个晶体管的发射极联在一起, 经电阻 \$R_e\$ 与电源负极 \$E_E\$ 相联, 通过电阻 \$R_e\$ 使 \$T_1\$、\$T_2\$ 和 \$T_3\$ 之间实现耦合。电阻 \$R_{c1}\$、\$R_{c2}\$ 和 \$R_e\$ 的阻值在电路设计中保持一定的比例关系, 使晶体管在正常工作时不进入饱和状态。

图 2-98 中列举了一些具体数值, 当 \$A\$、\$B\$ 输入均为低电平 (\$-1.6\$ V) 时, \$E\$ 点的电位由 \$V_{BB}\$ 和 \$T_3\$ 的 \$be\$ 结箝位在

$$V_E = V_{BB} - V_{be} = -1.2 - 0.8 = -2.0 \text{ V} \quad (2-61)$$

式中设 \$V_{be}\$ 等于 \$0.8\$ V。

输入端 \$A\$、\$B\$ 与 \$E\$ 之间的电位差为

$$V_A - V_E = -1.6 - (-2.0) = 0.4 \text{ V} \quad (2-62)$$

即 \$T_1\$、\$T_2\$ 的 \$be\$ 结正向电压才 \$0.4\$ V, 不足以引起它们通导, 所以 \$T_1\$、\$T_2\$ 处于截止状态。输出端 \$V_{o1}\$ 为 “0” 电位 (即为高电平); 输出端 \$V_{o2}\$ 低于 \$0\$ V (即为低电平)。

当 \$A\$、\$B\$ 中有一个输入端为高电平时 (设 \$V_A\$ 为高电平 \$-0.8\$ V; \$V_B\$ 为低电平 \$-1.6\$ V), \$E\$ 点的电位被 \$V_A\$ 和 \$T_1\$ 的 \$be\$ 结箝位在

$$V_E = V_A - V_{be} = -0.8 - 0.8 = -1.6 \text{ V} \quad (2-63)$$

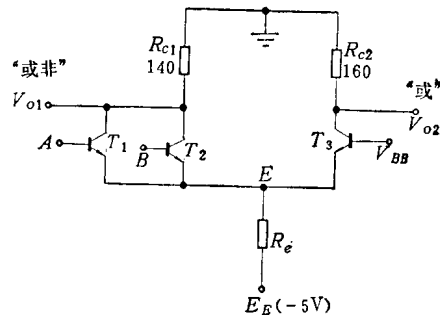


图2-98 ECL的基本电路

这时 T_2 和 T_3 的 be 结电压分别为

$$V_{be2} = V_B - V_E = -1.6 - (-1.6) = 0 \text{ V}$$

$$V_{be3} = V_{B3} - V_E = -1.2 - (-1.6) = 0.4 \text{ V}$$

T_2 和 T_3 都处于截止状态。 R_{e2} 中因为 T_3 截止没有电流, 所以 V_{o2} 的输出为高电平 0 V ; 输出端 V_{o1} , 因为 T_1 的导通而使 R_{e1} 上产生压降, 所以得低电平。

根据上述输入、输出之间的逻辑关系, V_{o1} 与 A 、 B 之间存在“或非”的关系。 V_{o2} 与 V_{o1} 之间互补, 它与 A 、 B 之间存在“或”逻辑关系。也就是基本的 ECL 电路包括了二种逻辑功能, “或非”和“或”功能。

上面的讨论只对 ECL 的基本电路型式以及基本电路的逻辑功能作了定性的分析。我们在开始就强调了 ECL 的工作原理是晶体管不进入饱和工作状态, 它由适当选择 R_{e1} 、 R_{e2} 和 R_e 之间的相对值来给予保证。下面, 我们对这个问题作进一步的分析。

R_{e1} 、 R_{e2} 、 R_e 阻值的选取

为使 T_1 、 T_2 在正常工作时都不进入饱和状态, 也就是不使 T_1 、 T_2 的 bc 结出现正偏状态。当 T_1 (或 T_2) 输入为高电平 -0.8 V 时, R_{e1} 上的压降应 $\leq 0.8 \text{ V}$ 。为使逻辑摆幅尽可能大, 所以取 0.8 V , 即输入为高电平时,

$$I_{R_{e1}} R_{e1} = 0.8 \text{ V} \quad (2-64)$$

这时 T_1 的 $V_{be} = 0 \text{ V}$, 处于放大和饱和的临界状态。

当 V_A 为高电平 -0.8 V ; V_B 为低电平 -0.16 V 时, T_2 、 T_3 截止, T_1 通导。由于 T_1 不进入饱和状态, 它处于放大状态, 所以 $I_{R_{e1}} \approx I_{R_e}$ 。根据 2-98 图, 得

$$I_{R_{e1}} \approx I_{R_e} = (V_A - V_{be} - V_E) / R_e = [-0.8 \text{ V} - 0.8 \text{ V} - (-5 \text{ V})] / R_e = 3.4 \text{ V} / R_e \quad (2-65)$$

将式 (2-65) 代入式 (2-64), 得

$$3.4 \text{ V} \frac{R_{e1}}{R_e} = 0.8 \text{ V}$$

或

$$\frac{R_{e1}}{R_e} = \frac{0.8 \text{ V}}{3.4 \text{ V}} \quad (2-66)$$

ECL 电路的特点是开关速度高。为了充分显示它的特点, 电路中的电阻常常选取较低的数值, 以使工作电流较大。这对节点电容的充放电速度以及对容性负载的驱动能力都更有利。换句话说, 就是用较大的功耗换取较高的开关速度。如果选择 R_{e1} 为 140Ω , 则 R_e 的数值可根据式 (2-66) 算得

$$R_e = \frac{3.4 \text{ V}}{0.8 \text{ V}} \times R_{e1} = \frac{3.4 \text{ V}}{0.8 \text{ V}} \times 140 \Omega = 595 \Omega \quad (6-67)$$

R_e 选取该数值时就保证了 T_1 在高电平输入时, 不进入饱和区。如果 T_2 输入为高电平, T_1 输入为低电平, 情况完全类似。当 T_1 、 T_2 同时为高电平时, R_e 中的电流仍近似等于 R_{e1} 中的电流, 因为

$$I_{R_{e1}} = I_{e1} + I_{e2} = I_{e1} \alpha_1 + I_{e2} \alpha_2 = (I_{e1} + I_{e2}) \alpha \approx I_{R_e}$$

式中 α_1 、 α_2 分别为 T_1 、 T_2 的共基极的电流放大系数, 并设它们都等于 α 。

$$I_{R_e} = (V_A - V_{be} - E_e) / R_e = [-0.8 \text{ V} - 0.8 \text{ V} - (-5 \text{ V})] / R_e = 3.4 \text{ V} / R_e$$

$I_{R_{c1}}$ 仍与式 (2-65) 一样, 所以 T_1 、 T_2 都不进入饱和工作区, “或非” 输出端的低电平值仍和 T_1 (或 T_2) 一个管子通导时的情况一样。

当输入端 A 与 B 都为低电平 -1.6V 时, T_1 、 T_2 截止, T_3 通导。因为 T_3 的基极是接定偏电源 V_{BB} , 它为 -1.2V , 低于高电平值 -0.8V , 所以这时 R_e 和 R_{c2} 中的电流略小, 它的数值估算为

$$I_{R_{c2}} \approx I_{R_e} = (V_{BB} - V_{be} - E_e) / R_e = [-1.2\text{V} - 0.8\text{V} - (-5\text{V})] / R_e = 3\text{V} / R_e \quad (2-68)$$

为了保证 “或” 输出端与 “或非” 输出端有同样的高、低电平值, R_{c2} 的数值按以下关系计算

$$I_{R_{c2}} \cdot R_{c2} = 0.8\text{V} \quad (2-69)$$

由式 (2-66)、(2-67)、(2-68) 和 (2-69) 得

$$R_{c2} = \frac{0.8\text{V}}{I_{R_{c2}}} = \frac{0.8\text{V}}{3\text{V} / R_e} = \frac{3.4\text{V}}{3.0\text{V}} \times R_{c1} \times \frac{3.4\text{V}}{3.0\text{V}} \times 140\Omega \approx 160\Omega$$

ECL 的设计保证了电路在正常工作时晶体管都不进入饱和状态。并且不论输入为高电平或低电平时, 发射极耦合电阻 R_e 中的电流 I_e 变化不大。因此, 可等效为一恒定电流源, 如图 2-99 所示。当输入端, A (或 B) 为高电平时, 电流 I_e 流向 T_1 (或 T_2); 当 T_1 和 T_2 都为低电平输入时, 电流 I_e 就流向 T_3 。所以这种电路又称电流开关型逻辑电路, 简称 CML 电路。

二、ECL 的输出级及定偏电源电路

图 2-100 画出了 ECL 电路的输出级和定偏电源供给电路。下面分别讨论这两部分电路。

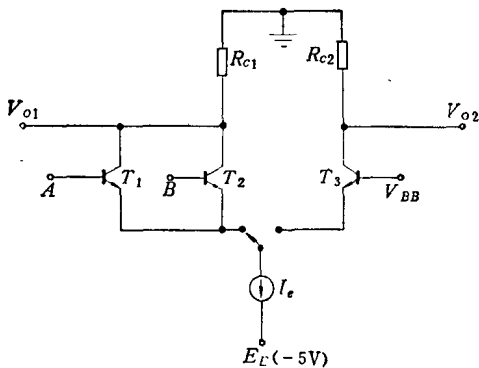


图2-99 用电流源开关等效ECL的工作情况

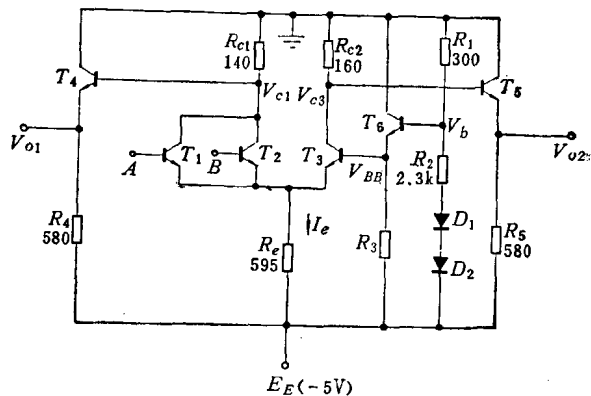


图2-100 典型的ECL电路

1. ECL 的输出级

T_4 、 T_5 和发射极电阻 R_4 、 R_5 构成射极耦合输出电路。输出电路的作用有二点:

(1) 电平移位作用 在上面的分析中, 我们假设输入的高、低电平分别为 -0.8V 和 -1.6V 。但是从 T_1 、 T_2 和 T_3 集电极输出的高、低电平值分别为 0V 和 -0.8V 。显然不能满足电平匹配的要求。加上射随输出级 T_4 、 T_5 后, 使电平下移 0.8V 。输出高电平为 -0.8V ; 输出低电平为 -1.6V , 恰好满足输入高、低电平的要求。

(2) 降低输出阻抗 如果直接从 T_1 、 T_2 和 T_3 的集电极输出, 其输出阻抗较大。因为 T_1 、 T_2 、 T_3 不是处于截止状态就是处于放大工作状态, 晶体管的集电极动态电阻很大, 输出电阻基本上等于 R_{e1} 或 R_{e2} 。通过射极耦合晶体管输出后, 输出电阻大大下降。如以“或非”输出端而言, 它的输出电阻为

$$R_o = \left(\frac{R_{e1}}{1 + \beta_4} \right) // R_4 \approx \frac{R_{e1}}{1 + \beta_4}$$

即输出电阻降低 β_4 倍 (β_4 为 T_4 管的共发射极电流放大系数)。

“或”输出端的情况也完全类似。

输出电阻的降低意味着驱动能力的增加, 对负载电容的充放电速度快。

2. ECL 的定偏电路

R_1 、 R_2 、 D_1 、 D_2 和 R_3 构成定偏电源电路, 提供 T_3 基极的固定偏压。

T_3 是射极跟随输出, 它的作用是使定偏电源的内阻减小, 保证 T_3 不论在通导时 (即有基极电流时) 或截止时 (即无基极电流时) 都有同样的 V_{BB} 值。

R_1 、 R_2 和 D_1 、 D_2 组成分压电路, 提供 T_3 所需的基极电位。 D_1 、 D_2 起温度补偿作用。当环境温度升高时, T_3 的 V_{be} 减小, D_1 、 D_2 的正向压降也减小。结果可使参考电压 V_{BB} 维持不变, 即达到 V_{BB} 不随温度变化的目的。

三、ECL 的电压传输特性及其它基本性能

1. 电压传输特性

对于图 2-100 的 ECL 电路, 如果在一个输入端 A 加可调电压, 另一输入端 B 加固定的低电平 (或悬空), 则输出电压随输入电压的变化关系将有图 2-101 所示的曲线。二个输出端对应于二条电压传输特性, 对于曲线的形状可作以下的定性分析:

由于晶体管的 I_e - V_{be} 之间具有指数函数关系, 很小的电压变化将会引起明显的电流变化。当输入电压 V_A 与参考电源 V_{BB} 相等时, T_1 的工作电流与 T_3 相同, T_1 和 T_3 的发射极电流都各为 $I_e/2$ 。两个输出端的电平约为高、低电平之间的中值 (由于 R_{e1} 略小于 R_{e2} , 所以“或非”端的输出电平应略高于“或”输出端的电平)。当输入电平比参考电压低 0.1 V 时, 即 T_3 的 V_{be} 比 T_1 的 V_{be} 高 0.1 V, 由于晶体管的 I_e - V_{be} 之间具有指数关系, 所以 T_1 和 T_3 之间的电流就有很大的差异。电流 I_e 基本上全部流向 T_3 , 而 T_1 几乎处于 0 电流状态。所以“或非”输出转为高电平; “或”输出端转为低电平。如果输入电平 V_A 继续减小, 则 T_1 仍为截止状态, “或非”输出端继续保持在高电平 -0.8 V。 T_3 发射极电流仍保持原来的 I_e 值, 集电极电流近似为 I_e , 所以“或”输出端仍为低电平 -1.6 V。如果输入端 V_A 比 V_{BB} 高 0.1 V, 则电流 I_e 基本上全流入 T_1 , 使 T_3 处于截止状态。“或”输出端为高电平; “或非”端为低电平。如果输入电压 V_A 进一步升高, 则 T_3 继续保持截止状态, “或”输出端

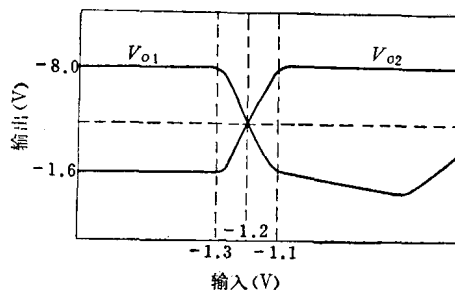


图2-101 ECL 的电压传输特性

仍为高电平 -0.8 V。但是“或非”输出端因 V_A 的升高而使 V_E 也升高, I_e 变大, $I_{R_{e1}}$ 也相

应增加,“或非”的输出电平继续下降。 V_E 的上升和 V_{o1} 的下降使 T_1 的 V_{be} 减小。当 $V_A = -0.8\text{V}$, T_1 处于临界饱和的状态。当 V_A 大于 -0.8V 后, T_1 便进入饱和状态。在 T_1 处于浅饱和状态时, 晶体管仍有一定的放大作用。但是当 T_1 达到深饱和后, 它就失去了放大作用, 使 b 、 c 、 e 三点处于跟随状态。在这种情况下, 如果再继续增加 V_A , T_1 的集电极电位和发射极电位都随 V_A 上升而上升。结果, 出现“或非”输出端的电位又复上升的趋势。因此, “或非”端与“或”端的电压传输特性并不完全对称。

2. ECL门的基本特性

根据上述的分析, ECL门的基本性能可归纳于下:

(1) 高电平 V_{oH} 约 -0.8V , 低电平约 $V_{oL} - 1.6\text{V}$, 逻辑摆幅为 $V_{oH} - V_{oL} = -0.8\text{V} - (-1.6\text{V}) = 0.8\text{V}$ 。

(2) 静态功耗 对于图2-100的ECL电路, 功耗可视为三部分之和, 即发射极耦合门的功耗, 射极跟随输出器的功耗及参考电源的功耗。对这三部分的功耗电流分别估算于下:

发射极耦合门的功耗电流: 如 T_1 (或 T_2) 通导, T_3 截止时, 流过 T_1 (或 T_2) 的电流为

$$I_{e1} = \frac{V_A - V_{be} - V_E}{R_e} = \frac{-0.8\text{V} - 0.8\text{V} - (-5\text{V})}{595\Omega} \approx 5.7\text{mA}$$

当 T_3 导通而 T_1 (与 T_2) 截止时, 通过 R_e 的电流为

$$I_{e2} = \frac{V_{BB} - V_{be} - V_E}{R_e} = \frac{-1.2\text{V} - 0.8\text{V} - (-5\text{V})}{595\Omega} \approx 5\text{mA}$$

所以, 发射极耦合门的平均电流为

$$I_m = \frac{I_{e1} + I_{e2}}{2} = \frac{5.7\text{mA} + 5\text{mA}}{2} \approx 5.4\text{mA}$$

射极跟随输出级的电流: 如果“或非”输出端为 -1.6V , “或”输出端为 -0.8V , 则二个跟随器的发射极电阻 R_4 、 R_5 上的电流分别为

$$I_4 = \frac{V_{o1} - V_E}{R_4} = \frac{-0.8\text{V} - (-5\text{V})}{580\Omega} \approx 7.4\text{mA}$$

$$I_5 = \frac{V_{o2} - V_E}{R_4} = \frac{-1.6\text{V} - (-5\text{V})}{580\Omega} \approx 6\text{mA}$$

所以, 射极跟随器的电流为

$$I_{\text{射}} = I_4 + I_5 = 7.4\text{mA} + 6\text{mA} = 13.4\text{mA}$$

参考电源部分的工作电流: 它由二部分电流组成, 一路是 T_3 及 R_3 的电流 I_3 ; 另一路是流经 R_1 、 R_2 、 D_1 、 D_2 的电流 I_2 。分别为

$$I_3 = \frac{V_{BB} - V_E}{R_3} = \frac{-1.2\text{V} - (-5\text{V})}{2\text{k}\Omega} \approx 1.9\text{mA}$$

$$I_2 = \frac{0 - V_E - 2V_D}{R_1 + R_2} = \frac{0 - (-5\text{V}) - 2 \times 0.8\text{V}}{300\Omega + 2.3\text{k}\Omega} \approx 1.3\text{mA}$$

所以总的参考电源电流为

$$I_{\text{参}} = I_2 + I_3 = 1.9\text{mA} + 1.3\text{mA} = 3.2\text{mA}$$

三部分电流的总和为

$$I_{\Sigma} = I_{T1} + I_{T3} + I_{T5} = 5.4 \text{ mA} + 13.4 \text{ mA} + 3.2 \text{ mA} = 22 \text{ mA}$$

静态总功耗

$$P = I_{\Sigma} (0 - V_E) = 22 \text{ mA} \times 5 \text{ V} = 110 \text{ mW}$$

ECL 的功耗一般比 TTL 大, TTL 门的功耗一般在 50 mW 以下。

(3) 输入电流 输入电流是指 T_1 、 T_3 通时的基极电流。最大输入电流是只有一个管子通时的电流。如果晶体管的共发射极电流放大系数 $\beta = 50$, 则

$$I_{b1} = \frac{I_{e1}}{\beta} \approx \frac{I_{e1}}{\beta} = \frac{5.7 \text{ mA}}{\beta} = \frac{5.7 \text{ mA}}{50} \approx 110 \mu\text{A}$$

输入电流比较小, 给 ECL 电路的负载能力 (用扇出系数表示) 提供了有利的条件。

(3) 最大输出电流 当 ECL 电路输出为高平时 (设 “或” 输出端为高电平输出), 最大输出电流可以利用简化图 2-102 来分析。当 “或” 输出端为高平时, T_3 截止, T_5 工作在线性放大状态。 T_5 的发射极电流 I_{e5} 与 I_{b5} 之间的关系为

$$I_{e5} = I_{b5} \beta = I_{R_{c2}} \beta$$

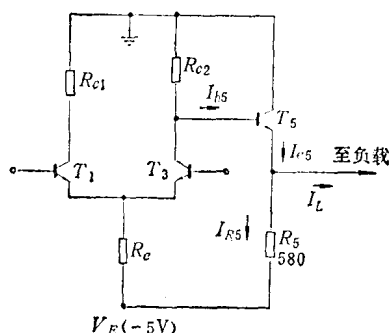


图2-102 分析最大输出电流时的简化电路

如果设 R_{c2} 上的压降为 50 mV, 所对应的 I_{e5} 为最大允许输出电流可计算为

$$(I_{b5})_{\max} = \frac{V_{R_{c2}}}{R_{c2}} = \frac{50 \text{ mV}}{160 \Omega} = 0.31 \text{ mA}$$

设 T_5 的 $\beta = 50$, 则

$$(I_{e5})_{\max} \approx (I_{b5})_{\max} \beta = 0.31 \text{ mA} \times 50 \approx 15 \text{ mA}$$

在 $(I_{e5})_{\max}$ 中, 被 I_{R5} 分去一部分电流

$$I_{R5} = \frac{V_{OH} - (V_E)}{R_5} = \frac{-0.8 \text{ V} - (-5 \text{ V})}{580 \Omega} \approx 7.2 \text{ mA}$$

最大允许输出电流为

$$(I_L)_{\max} = (I_{e5})_{\max} - I_{R5} = 15 \text{ mA} - 7.2 \text{ mA} = 7.8 \text{ mA}$$

(4) 负载能力 根据上述估算, 输入电流为 110 μA , 最大输出电流为 7.8 mA, 扇出系数为

$$N_o = \frac{(I_L)_{\max}}{I_{b1}} = \frac{7.8 \text{ mA}}{110 \mu\text{A}} = 70$$

由此可见 ECL 电路的直流负载能力很强。但实际上 ECL 不能带太多的负载。因为带的门越多, 连线必然加长。而 ECL 电路的特点是速度高, 高速脉冲在长线上容易产生干扰, 破坏电路的正常工作, 因而一般的 ECL 电路只带 8 个负载。在需要驱动更多负载时, 必须采用经过改进的功率门。

第三章 MOS 集成电路

MOS 集成电路中的主要元件是金属-氧化物-半导体场效应晶体管(简称 MOS-FET)。做在同一基片上的 MOS 晶体管之间是自然隔离的, 因此, 在 MOS 集成电路制造中不需要专门的隔离措施。它与双极型集成电路相比, 有工艺简单(工序少)、集成密度高(节省了隔离槽占用的面积)、功耗小的特点。不足之处是开关速度没有双极型集成电路快。

在 MOS 集成电路中, 它的设计和制造原理和 MOS 晶体管联系紧密, 所以本章先从 MOS 晶体管的基本原理谈起, 然后再介绍基本的 MOS 电路和制造工艺。

§ 3-1 MOS 晶体管

本节主要讨论 MOS 晶体管的基本特性, 但对 MOS 集成中的某些问题也加以讨论, 如栅保护、场反型、衬底偏压效应等。

一、MOS 晶体管的一般介绍

MOS 晶体管的工作原理是建立在半导体表面“场效应”现象的基础上。所谓表面“场效应”是指半导体表面有电场作时, 表面的载流子浓度发生变化的现象。

如以图 3-1 的金属 (Al)-氧化物 (SiO_2)-半导体 (P 型 Si) 的三层结构为例。当金属电极与 P 型半导体之间加上电压 V_G 后, 在半导体表面就有电场 E 。由于 P 型半导体中的多数载流子空穴是带正电的, 在电场的排斥下, 空穴就离开表面, 使表面的空穴浓度降低, 出现缺少空穴的表面耗尽区。随着 V_G 的增加, 空穴耗尽区的厚度也增加。与此同时, 电场的作用又把电子吸引到表面, 使表面的电子浓度增加。当 V_G 增加到一定程度时, 表面的电子浓度远超过了空穴的浓度, 表面层就从原来的 P 型转为 n 型, 即出现表面“反型层”。这个反型层是由纵向电场引起的。如果我们在表面反型层上再加上横向电场, 它就会出水平方向的电子流, 电流的大小可由 V_G 来控制。MOS 晶体管的工作原理就是建立在这样的物理模型基础上。

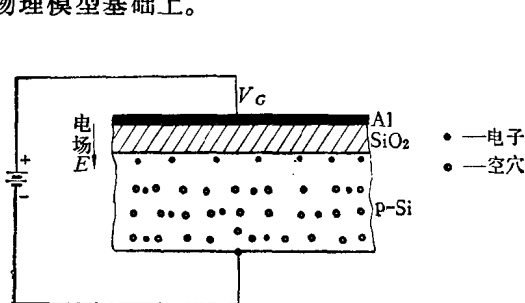


图3-1 表面“场效应”

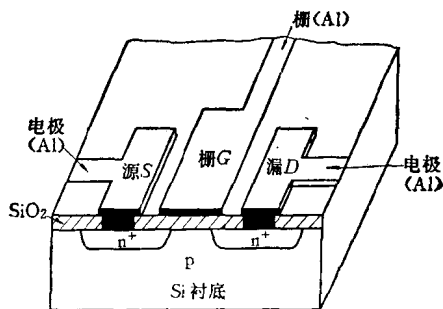


图3-2 n型沟道MOS晶体管示意图

图 3-2 是 n 沟道 MOS 晶体管的基本结构, 是在 P 型衬底的表面上做二个 n 型扩散区, 并引出电极, 一个称为源极, 一个称为漏极, 在两扩散区之间加上金属电极, 称为栅极。栅极与衬底之间有二氧化硅隔绝, 所以又有绝缘栅 MOS 晶体管之称。

MOS 管的源极和漏极是一样的，可以互换工作。n-MOS 管在正常工作时，漏极一般是接正电压，衬底 B 与源极接地，如图 3-3 (a) 所示。图 (b) 所示是 n 沟 MOS 管的符号，衬底 B 的箭头指向栅极。

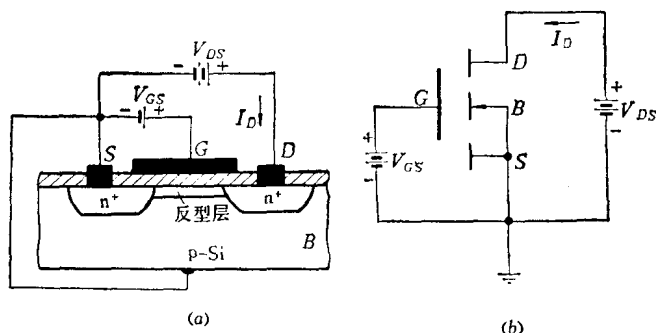


图3-3 n-MOS晶体管的符号和工作电压

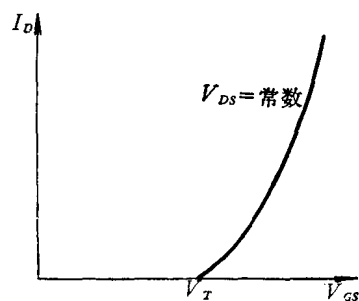


图3-4 n 沟道增强型MOS管的转移特性

在图 3-3 的电路中，如果 $V_{GS} = 0$ ，栅极下的半导体表面不出现反型层，则源、漏之间不存在 n 型沟道。这时，源扩散区和漏扩散区之间就是两个背靠背联接的 p-n 结二极管，在源、漏电压 V_{DS} 的作用下只有很小的电流通过，相当 p-n 结的反向漏电流。当 V_{GS} 增加时，源、漏之间就出现沟道， V_{GS} 越大，反型层中的电子浓度越大，沟道的导电性就越好，源、漏之间的电流也就越大。这就是说，可以用电压 V_{GS} 来控制源-漏电流 I_D 的大小。因此，在一定的 V_{DS} 电压下， I_D 与 V_{GS} 之间具有图 3-4 的关系曲线， I_D 随 V_{GS} 增加而增大。图中的 V_T 称为阈值电压或开启电压，不同的 MOS 管具有不同的数值。在图 3-4 的曲线中， $V_T > 0$ 。也就是当 $V_{GS} = 0$ 时，表面不存在导电沟道；当 V_{GS} 大到一定程度时，导电沟道才逐渐形成，管子开始转为导通状态。具有这种特性的 MOS 管称为增强型 MOS 晶体管。

另外，有一种耗尽型 MOS 管。它具有图 3-5 所示的转移特性曲线。它与图 3-4 的曲线不同之处是 V_T 值在原点的左边，是个负值，也就是在 $V_{GS} = 0$ 时，已有电流 I_{DSS} ，这说明在 $V_{GS} = 0$ 时，表面已出现沟道。

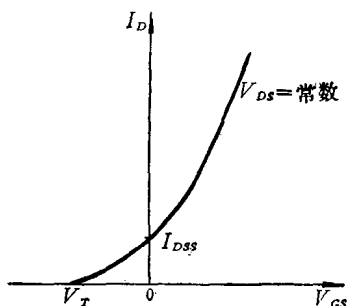


图3-5 n 沟道耗尽型的转移特性曲线

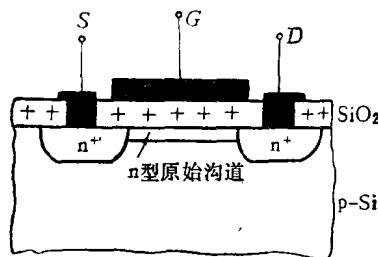


图3-6 n 沟道耗尽型 MOS管的结构模型

在 n 沟道 MOS 管中常常会出现这类耗尽型的特性。这是什么原因呢？造成这种耗尽型特性的主要原因是沾污和表面缺陷引起的。因为在自然界中广泛存在着钠离子 (Na^+)，它们带正电荷，在制造过程中常会沾污器件。如果在制造过程中，有正离子夹在 SiO_2 中，则 n-MOS 管在 $V_{GS} = 0$ 时已成了图 3-6 的情形。由于二氧化硅中的正离子作用把电子吸引到表面，如果二氧化硅中的正离子很多，它就足以使表面出现 n 型的原始沟道，联通二个扩散区。当 D 、 S 之间加有电压 V_{DS} 时，便有电流 I_{DSS} 。

Na^+ 离子的密度越大, I_{DSS} 也越大。但是, 如果在栅极上加一负电压, 它产生的电场与钠离子的作用电场相反, 就能削弱沟道的通导作用。当 V_{GS} 负压加到一定值时, I_D 下降到 0。所以耗尽型 n -MOS 管的阈值 V_T 是负值。对于耗尽型 MOS 管的 V_T 常称为夹断电压。在 $V_{GS} = 0$ 时所对应的电流 I_{DSS} 称为饱和漏电流 (在 V_{DS} 足够大的条件下)。

与 n -MOS 相对应的器件是 p -MOS 器件。它是用 n 型硅作衬底, 结构模型和符号如图 3-7 所示。(p -MOS 的衬底箭头方向背离栅极)。 p -MOS 管工作时, 漏极接负电源, 因此漏电流 I_D 的方向与图 3-7 (b) 假定的方向相反, 所以是负值。 V_{GS} 的方向按照图 3-7 (b) 的假定, G 的电位高于 S 的电位时为正, G 的电位低于 S 电位时为负。根据这样的假定, 对应于 p 沟道 MOS 器件的转移特性曲线应处于第三、四象限。但如把 I_D 和 V_{GS} 的假设方向反过来, 则 p 沟 MOS 的转移特性曲线和 n 沟 MOS 器件的转移特性曲线形式完全一样, 只不过具体数值不同而已。

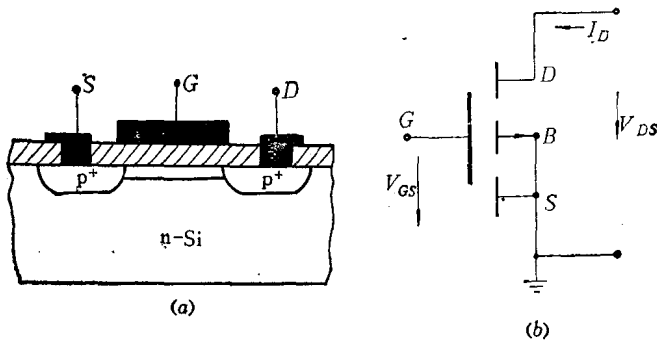


图3-7 p 沟道 MOS 晶体管

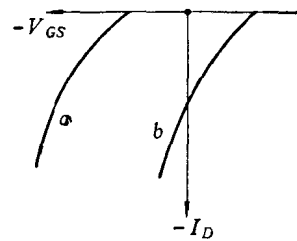


图3-8 p 沟道 MOS 晶体管的转移特性曲线

a —增强型; b —耗尽型。

图 3-8 是根据图 3-7 (b) 中的极性表示方法画出的 p -MOS 管的转移特性曲线。曲线 a 表示增强型 p -MOS 管的转移特性曲线; 曲线 b 表示耗尽型的 p -MOS 管的转移特性曲线。但在实际工作中, 经常出现的只是增强型 p -MOS。因为 Na^+ 离子的沾污只能使表面处吸引更多的电子, 使 n 型更强, 因此要使表面出现反型层必须加更高的负栅压。所以 Na^+ 离子的沾污对 p 沟道器件来说, 只会使开启电压变得更负。

在一般的 MOS 集成电路中, 大都是用增强型 MOS 管, 在某些特殊的集成电路中也用到耗尽型 MOS 管。MOS 集成电路中所用的 MOS 管有 p -MOS 管, 也有 n -MOS 管。全部用 p -MOS 管的集成电路, 称为 p -MOS 集成电路。全部用 n -MOS 管的集成电路称为 n -MOS 集成电路。另外还有一种是把 p -MOS 管和 n -MOS 管做在同一基片上的集成电路, 称为互补 MOS 集成电路, 简称 c -MOS 集成电路。 p -MOS 的制造最容易, 但速度最低。 n -MOS 的速度高, 但制造难度较大。 c -MOS 具有高速度、低功耗的特点, 但制造工序多, 集成密度低, 工艺难度更大。目前几种类型的集成电路都有生产。初期生产是以 p -MOS 为多, 现在已逐渐向 n -MOS 和 c -MOS 发展。

二、对 MOS 器件阈值电压 V_T 的分析

阈值电压是 MOS 器件中极重要的参数, 在器件制造中应严格控制。一般的 p -MOS 器件, 阈值电压在 $-3 \sim -5$ 伏; n -MOS 器件在 $1.5 \sim 2$ 伏。为了在设计和制造中很好控制 MOS 器件的 V_T 值, 所以必须对影响 V_T 的有关因素进行分析。

根据上面 MOS 晶体管的一般介绍可以看出, MOS 器件反型层沟道是随着栅压的增

加而逐渐形成的。因此, 转移特性曲线的变化也是连续变化的, 并没有绝对的突变点。在实际测量中常常人为地给定一个电流参考值, 如以 $I_D = 10\mu\text{A}$ 为参考点, 当电流 $I_D = 10\mu\text{A}$ 时所对应的 V_{GS} 就认为是阈值电压。在理论分析中从另一角度来定义 V_T : 表面的少数子浓度与体内的多子浓度相等时, 所需的栅源电压 V_{GS} 称为 V_T 值。从这个定义出发, 如以 p 沟道 MOS 器件为例, 则当 $V_{GS} = V_T$ 时, 表面能带弯曲程度应达到图 3-9 (a) 的情形。

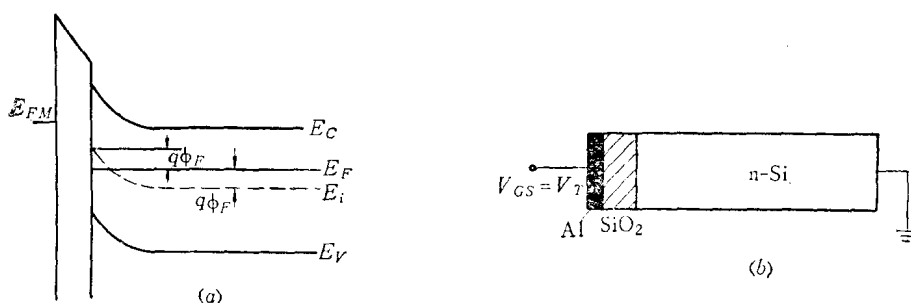


图 3-9 $V_{GS} = V_T$ 时的表面能带弯曲情况

图 3-9 (b) 表示 p 沟道 MOS 器件 Al-SiO₂-Si (n 型) 的三层结构。在图 3-9 (a) 中, E_C 表示 n 型半导体的导带底, E_V 表示价带顶。 E_i 是本征费米能级, 它正好在 E_C 和 E_V 之间。 E_F 是半导体的费米能级。达到开启的条件是表面处的 E_i 高出 E_F 的数值正好等于体内 E_i 和 E_F 之差 $q\phi_F$ 。或者说表面处的 E_i 比体内的 E_i 高出 $2q\phi_F$ 。这种情况称为强反型的条件。图中 q 表示电子电荷。 $\phi_F = -(E_F - E_i)/q$, 称为费米势。

如果能带图中, 能量的单位取电子伏, 则 ϕ_F 的数值就等于 $-(E_F - E_i)$ 。在 n 型半导体中, 因为 $E_F > E_i$ 所以 ϕ_F 为负值; 在 p 型半导体中 $E_F < E_i$, 所以 ϕ_F 为正值。

要使半导体表面处的能带达到图 3-9 (a) 的情形, 在栅极上所加的电压 V_{GS} 必须等于以下四个方面的电压之和:

- (1) 抵消金属 (铝) 与 n 型半导体的接触电势差;
- (2) 提供硅表面处能带向上弯曲 $2q\phi_F$ 所需的电压 $2\phi_F$;
- (3) 提供一个抵消耗尽层中施主电荷作用的电压;
- (4) 抵消 SiO₂ 中的钠离子沾污电荷以及 Si-SiO₂ 介面电荷作用的电压。

下面分别讨论这四个方面的电压。

- (1) 抵消金属-半导体接触电势差 ϕ_{MS} 所需的电压。

因为金属和半导体的功函数不同, 因此它们接触时就会产生电子转移, 使金属与半导体之间产生接触电势差。接触电势差就是金属、半导体之间的费米势, 如图 3-10 所示。它的数值

$$\phi_{MS} = -(E_{FM} - E_{FS})/q$$

E_{FM} ——金属的费米能级;

E_{FS} ——半导体的费米能级。

在图 3-10 中, 金属的费米能级 E_{FM} 在半导体费米能级 E_{FS} 之上, 所以 ϕ_{MS} 为负值。

当它们相联接后, 如图 3-11 (a) 所示, 由于金属中的费米能级高于半导体的费米能级, 金属 (Al) 中的电子便向 n 型硅中转移, 它们之间就产生电位差 V_{MS} 。当金属的电位

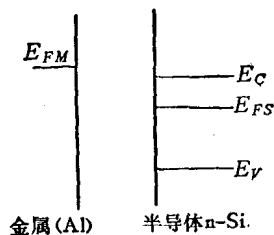


图3-10 铝-硅(n)的费米能级相对位置

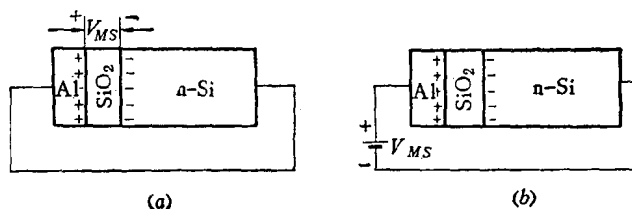


图3-11 Al-Si 的接触电势及其等效电路

高于半导体的电位时， V_{MS} 为正。 ϕ_{MS} 是负值，所以 $V_{MS} = -\phi_{MS}$ 。

图 3-11(a) 的情况可以用图 (b) 来等效它，即将接触电势 V_{MS} 等效在外电路中，电极上的电荷和硅表面的电荷看成是由 V_{MS} 引起的。因此，要抵消 V_{MS} 的作用只要在电路中串一个相反方向的电压，如图 3-12 所示。在电路中串入一个相反的电压 V_1 后，半导体表面就恢复到和体内相同的情况。

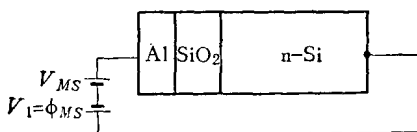


图3-12 抵消接触势影响时需加的电压 V_1

图中 V_{MS} 表示接触电势的等效电压。 V_1 是外加电压，数值与 V_{MS} 相等，但方向相反，所以

$V_1 = \phi_{MS}$ ，两电压的作用互相抵消，相当 Al-Si 不存在接触电势的情况。接触电势的作用抵消后，表示电荷也就随之消失，使表面的载流子浓度恢复到与体内一样的情况。 ϕ_{MS} 的数值取决于采用什么材料做电极，也与半导体材料的导电类型和掺杂浓度有关。铝电极和掺杂浓度为 10^{15}cm^{-3} 的 n 型硅之间的 $\phi_{MS} \approx -0.3 \text{V}$ 。

(2) 使半导体表面能带向上弯曲 $2q\phi_F$ 时在半导体表面的电压降。表面能带向上弯曲 $2q\phi_F$ ，也就是表面与体内的电位差为 $2\phi_F$ 。对于 n 型半导体， E_F 在 E_i 之上，而 $\phi_F = -\frac{E_F - E_i}{q}$ ，所以 ϕ_F 为负，对于掺杂浓度为 10^{15}cm^{-3} 的 n 型硅， $\phi_F \approx -0.29 \text{V}$ ，即表面电位与体内的电位差为 $2\phi_F = -0.58 \text{V}$ 。

(3) 抵消耗尽层中施主离子电荷的影响所需的栅压。

半导体表面出现的反型层是极薄的一层，在能带向上弯曲的所有范围内，电子都被排斥，只留下施主杂质的离子和空穴，如图 3-13 所示。它们都是正电荷，如果没有外电场作用来抵消这些正电荷产生的电场，表面电位便不可能低于半导体体内，也就是不可能出现能带上弯的现象，所以必须有外加电压来抵消这些正电荷的作用。因此，能带上弯的现象是和外加电场相依共存的。也就是当半导体表面出现正电荷时，金属 Al 的表面必然有同等电量的负电荷，负电荷的存在抵消了正离子电荷造成表面能带下弯的趋势。这种正、负电荷同时存在的现象，相当于平板电容器，所以我们可以利用平板电容器的一些基本关系式来计算介质 SiO_2 上的电压与 Q_D 之间的关系。

在金属平板电容器中，如图 3-14 的情况，它有以下一些基本关系式。

$$C = \frac{\epsilon}{t} \quad (3-1)$$

式中 ϵ ——介电常数；

t ——介质厚度。

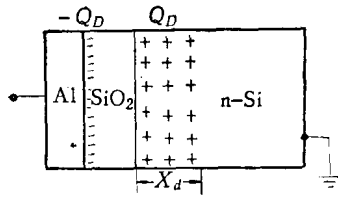


图3-13 耗尽层中的施主离子电荷

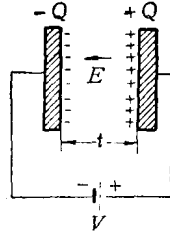


图3-14 金属平板电容器单位面积的电容率（电容率）

当两极板加上电压 V 后，极板上的电荷为

$$Q = CV \quad (3-2)$$

或写成

$$V = \frac{Q}{C} = \frac{Qt}{\epsilon} \quad (3-3)$$

将图3-13与金属平板电容器相比较，仅仅在半导体一边正电荷层较厚，在介质和金属板方面情况完全一样。因此，计算介质 SiO_2 上的电压完全可以借用平板电容的关系式。当要抵消耗尽层中的正电荷 Q_D 的作用时，应在金属极板上产生等量的负电荷 Q_D ，这时在介质 SiO_2 上的电压降可根据式(3-3)写为

$$V_{\text{SiO}_2} = -\frac{Q_D t_{\text{ox}}}{\epsilon_{\text{SiO}_2}} \quad (3-4)$$

式中的负号表示铝电极上应加负电压。

式中的 Q_D 应该包括耗尽层中的离子电荷和空穴电荷。但是，因为反型层很薄，刚刚达到开启状态时，表面的空穴浓度还不高，可以认为 Q_D 完全是离子电荷。

在耗尽层中的离子电荷为

$$Q_D = x_d q N_D \quad (3-5)$$

式中 N_D ——施主杂质浓度；

x_d ——耗尽层厚度。

在杂质浓度均匀的半导体中，耗尽层厚度与耗尽层上的电压降($2\phi_F$) 以下的关系

$$x_d = \left[\frac{2\epsilon_{\text{Si}} |2\phi_F|}{q N_D} \right]^{1/2} \quad (3-6)$$

式中 ϵ_{Si} ——硅的介电常数。

将式(3-6)代入式(3-5)得

$$Q_D = [2q\epsilon_{\text{Si}} N_D |2\phi_F|]^{1/2} \quad (3-7)$$

将式(3-7)代入式(3-4)得

$$V_{\text{SiO}_2} = -\frac{t_{\text{ox}}}{\epsilon_{\text{ox}}} [2q\epsilon_{\text{Si}} N_D |2\phi_F|]^{1/2} \quad (3-8)$$

下面以P-MOS器件的一些典型数据为例，先计算一下，由于上面三个因素而造成的 V_T 值。对于P-MOS管，典型数据如下：

$$t_{\text{ox}} = 1500 \text{ \AA}$$

$$\epsilon_{\text{ox}} = 0.33 \times 10^{-12} \text{ F/cm}$$

$$q = 1.6 \times 10^{-19} \text{ C}$$

$$\epsilon_{\text{Si}} = 1.06 \times 10^{-12} \text{ F/cm}$$

$$Q_D = (2q\epsilon_{\text{Si}}N_D|2\phi_F|)^{1/2} = (2 \times 1.6 \times 10^{-19} \times 10^{-12} \times 1.06 \times 10^{15} \times 0.58)^{1/2} \\ = (1.86 \times 10^{-16})^{1/2} = 2.2 \times 10^{-8} \text{ C/cm}^2$$

$$C_{\text{ox}} = \frac{\epsilon_{\text{ox}}}{t_{\text{ox}}} = \frac{0.33 \times 10^{-12}}{1500 \times 10^{-8}} = 2.2 \times 10^{-8} \text{ F/cm}^2$$

$$V_{\text{SiO}_2} = -\frac{Q_D}{C_{\text{ox}}} = -\frac{1.3 \times 10^{-8}}{2.2 \times 10^{-8}} \approx -0.6 \text{ V}$$

根据上面的三个因素算得的阈值电压

$$V'_T = \phi_{\text{MS}} + 2\phi_F - \frac{Q_D}{C_{\text{ox}}} = -0.3 - 0.58 - 0.6 = -1.48 \text{ V}$$

以上计算说明,如果用衬底杂质浓度为 $1 \times 10^{15} \text{ 1/cm}^3$ (约 $5 \Omega \cdot \text{cm}$) 的 n 型硅,栅氧化层的厚度为 $1500 \text{ \AA}$,那么阈值电压应为 -1.5 V 左右。

但是,按照上面的一些物理量做出的 P-MOS 器件,阈值电压往往比这个值大得多。一般是在 $-3 \sim -5 \text{ V}$,甚至更高。其原因主要是在上面的计算中认为二氧化硅是纯净的,没有计入二氧化硅中的离子电荷,事实上, SiO_2 中总是存在着正离子的沾污。在 SiO_2 和 Si 的交界处还存在着晶格缺陷引起的介面电荷,它们都带正电荷,如图 3-15 所示。因此,必须加更高的负电压来抵消这些正电荷的影响,管子才能通导。

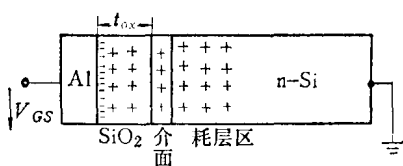


图3-15 表示 SiO_2 中的离子电荷和 SiO_2 -Si 的介面电荷

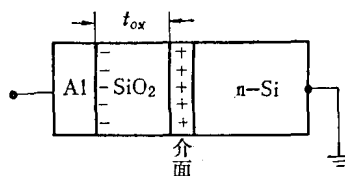


图3-16 表示要抵消正离子电荷在金属铝电极上需要产生等量的电子电荷

下面再分析抵消这些电荷影响所需加的栅压。

4. 抵消沾污与介面电荷影响所需的栅压。

首先考虑要抵消介面电荷 Q_{ss} 的作用所需加的电压,如图 3-16 所示。介面电荷与金属电极之间的距离为 t_{ox} ,要抵消 Q_{ss} 的作用,需使金属 Al 电极上产生同等的负电荷量。在这种情况下,氧化层上的电压为

$$V_1 = -\frac{Q_{ss}}{C_{\text{ox}}} \quad (3-9)$$

负号表明在金属极板上要产生与 Q_{ss} 等量的负电荷时,Al 电极应接负电源。

下面,再考虑抵消 SiO_2 中的正离子问题。实际上 SiO_2 中正离子并不是集中在介面处,它是分散存在的。如果要精确表达抵消这部分电荷的作用需加的电压,就必须先知道它在氧化层中的分布情况,因此计算很麻烦。这里为了简便起见,就认为氧化层中的正电荷也都集中在介面处,在这个假定下,要抵消这部份电荷作用所加的电压 V_2 就与式(3-9)的关系相似,只要将 Q_{ss} 改为 Q_{ox} ,即

$$V_2 = -\frac{Q_{\text{ox}}}{C_{\text{ox}}} \quad (3-10)$$

因此, 要抵消这两部份电荷的作用在栅极上应加的总电压为

$$V_1 + V_2 = -\frac{Q_{ss} + Q_{ox}}{C_{ox}} \quad (3-11)$$

在式(3-11)中, 实际上是把沾污电荷和介面电荷合而为一, 都认为在介面上。

下面用一些实际数据来计算这部份离子电荷对阈值电压的影响。如果设

$$Q_{ss} + Q_{ox} = 4 \times 10^{11} \text{ 1/cm}^2$$

则要抵消它的影响需加的栅压为

$$V_1 + V_2 = -\frac{Q_{ss} + Q_{ox}}{C_{ox}} = -\frac{4 \times 10^{11} \times 1.6 \times 10^{-19}}{2.2 \times 10^{-8}} = -2.90 \text{ V}$$

如果 $Q_{ss} + Q_{ox} = 10^{11} \text{ 1/cm}^2$, 则 $V_1 + V_2 \cong -0.7 \text{ V}$

在 MOS 器件制造中, $(Q_{ss} + Q_{ox})$ 的数值确实达到 10^{11} 的数量级, 甚至更高, 这就使 p-MOS 的开启电压大大升高。所以在 MOS 器件的制造中, 防止沾污和控制介面电荷是 MOS 工艺的一个非常重要的问题。

综合上面四种因素, 要使 p-MOS 器件达到图 3-9 (a) 的表面能带弯曲情况(即刚刚达到开启状态时), 在栅极上必须给予的电压即开启电压 V_T 为

$$V_T = \phi_{MS} + 2\phi_F - \frac{Q_D}{C_{ox}} - \frac{Q_{ss} + Q_{ox}}{C_{ox}} \quad (3-12)$$

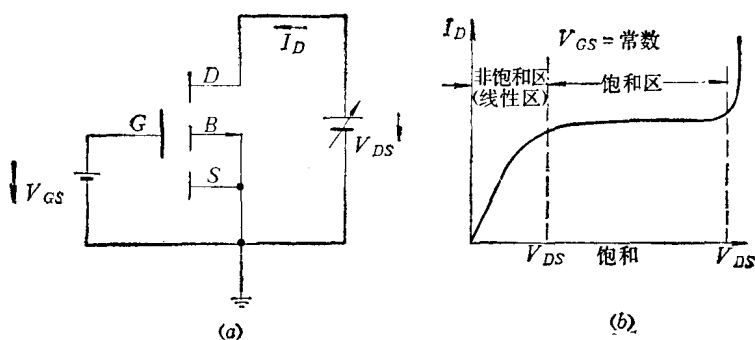
式(3-12)是很重要的关系式, 在分析 MOS 器件的 V_T 值时常常用到它。上面的分析是从 p-MOS 器件的模型引出的, 但它完全适用于 n-MOS 器件, 因为 n-MOS 和 p-MOS 存在着对偶关系。式中的物理量中已包含了正、负号。

下面, 我们再比较一下 n-MOS 和 p-MOS 开启电压 V_T 的大小: 对于 p-MOS 器件, 式(3-12)中的四项的作用都是叠加的, 每项的作用都使 V_T 值变大。如果沾污严重, 将使 V_T 变得很大。但对 n-MOS 器件来说, ϕ_{MS} 是负值, 约 -1 V , 如用掺杂浓度为 10^{15} cm^{-3} 的 p 型硅作衬底, 则第二项 $2\phi_F$ 是正值(约 $+0.6 \text{ V}$)。第三项也是正值($+0.6 \text{ V}$)。前三项的代数和是 0.2 V , 已接近 0 V 。第四项总是负值, 即使在沾污很小的情况下, 由于介面电荷 Q_{ss} 的存在, 做出的器件只能是耗尽型器件。要制造增强型的 n-MOS 器件, 只有用低电阻率材料。电阻率在 $1 \Omega \cdot \text{cm}$ 以下才能做出增强型器件。

三、MOS 晶体管的特性曲线

MOS 晶体管常用的特性曲线是转移特性曲线和输出特性曲线。转移特性曲线是指漏极电流 I_D 与输入电压 V_{GS} 之间的变化关系(源-漏电压 V_{DS} 为参变量)。输出特性曲线是指漏极电流 I_D 随源-漏电压之间的变化关系(输入电压为参变量)。下面先定性阐述源-漏的伏安特性(栅-源电压 $V_{GS} = \text{常数}$), 然后再导出 I_D 、 V_{DS} 、 V_{GS} 之间的关系式。

为了讨论方便, 以源极和衬底相联的情况为例, 如图 3-17 (a) 所示, 栅、源之间加上固定电压 V_{GS} , $V_{GS} > V_T$, 使管子通导。在源漏之间加可调电压 V_{DS} 。当 V_{DS} 从 0 逐渐增大时, 漏极电流 I_D 大致有如图 3-17 (b) 的变化曲线。整个变化过程可分四个区域。当 V_{DS} 很小时, I_D 基本上随 V_{DS} 线性变化, 称为线性区。当 V_{DS} 逐渐增大时, I_D 的增加逐渐变缓, 当 V_{DS} 大于某值后, I_D 就基本上不随 V_{DS} 增加, 达到了“饱和”的程度, 这个区域称为饱和区。但是当 V_{DS} 再增加到一定值时, I_D 复又上升, 出现源-漏击穿的特性, 称为击穿区。在饱和区的左边, 称为非饱和区, 有时就称为线性区。MOS 晶体管的正常工作只限

图3-17 描述 I_D - V_{DS} 关系的电路和特性曲线

于线性区和饱和区，所以我们侧重分析这二个区域。

图 3-18 画出了不同 V_{DS} 值时的沟道变化情况。图 3-18(a) 表示 V_{DS} 很小 ($V_{DS} \ll V_{GS}$) 时的情况，因为整个沟道与栅极的电压基本上都等于 V_{GS} ，所以整个沟道中的电子浓度相等，图中以沟道宽度不变来描述这种情况。沟道的宽度对应于沟道的电阻，当 V_{DS} 增加时，如果仍满足 $V_{DS} \ll V_{GS}$ ，则沟道宽度不变，电阻也不变，所以电流 I_D 将随 V_{DS} 的增加而线性增加。这种情况对应于伏安特性的线性区。

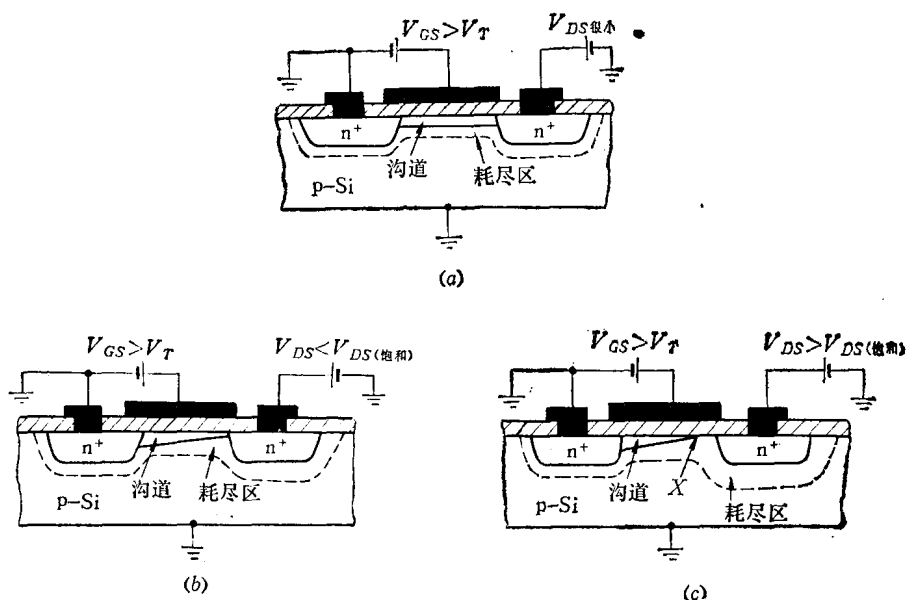
图3-18 V_{DS} 变化时沟道的变化情况

图 3-18(b) 表示 V_{DS} 较大的情况。这时漏极的电压明显高于源极，在漏极附近的沟道与栅极之间的电位差变小，所以这个区域中的电子浓度下降，沟道宽度变窄，源漏之间的电阻增大，所以 I_D 随 V_{DS} 变化逐渐变缓。当 V_{DS} 增加到 $V_{DS} > (V_{GS} - V_T)$ 时，漏极与栅极之间的电位差小于开启电压 V_T ，在漏极处的沟道被截断，如图 3-18(c) 所示。这时在沟道截断处的电阻变得很大。源漏之间的电阻可看作一个很大的电阻和一个小电阻串联。很大的电阻表示截断区耗尽层的电阻，小电阻表示沟道其他部分的电阻。在这种情况下再

增加的电压全部降落在截断区的耗尽层上, 而截断点 X 左边沟道情况基本不变, 停留在沟道刚截断时的情况, 沟道宽度和电压降, 都保持不变, 所以沟道中的电流也保持不变。这时漏电流 I_D 的流通情况是沟道中的电子在横向电场的作用下流向截断点 X , 到达截断点处的电子在截断区的横向强电场作用下很快扫向漏极, 形成电流 I_D 。 I_D 的大小取决于到达截断点的电子数。因为沟道截断后, 在 x 左边的沟道情况基本上不再随 V_{DS} 变化, 所以电流也不再变化。这就是 I_D-V_{DS} 曲线的饱和区。进一步增加 V_{DS} , 如果 V_{DS} 达到了 $p-n$ 结的击穿电压, 在漏极的 $p-n$ 结便发生击穿, I_D 突然增加。下面将导出 I_D 、 V_{GS} 、 V_{DS} 三者的关系式。图 3-19 是分析 I_D 、 V_{GS} 、 V_{DS} 的物理模型。分析中假设以下的条件。

(1) 栅源电压小于 V_T 值时, 沟道中无自由电子。栅压的变化只是改变耗尽层宽度。

(2) 当栅源电压大于 V_T 值时, 耗尽层宽度不再改变, 由于栅压增加在半导体表面增加的电荷全是电子电荷。

(3) 源-漏之间的沟道是连通的, 也就是没有出现沟道截断的情况。

根据上面第 (2) 点假设, 利用平板电容的关系式, 在沟道 x 处的电子电荷密度可写为

$$Q_t(x) = [V_{GS} - V(x) - V_T] C_{ox} \quad (3-13)$$

式中 $V(x)$ 表示沟道上某点 x 处的电位。 $V_{GS} - V(x)$ 就是该点与栅极之间的电位差, 它减去 V_T 后的电压值 $[V_{GS} - V(x) - V_T]$ 就是使该点感生出自由电子的电压。

Q_t 与方块电阻之间具有以下的关系:

参看图 3-20。在电荷密度为 Q (C/cm^2) 的方块中, 如果电荷的迁移率为 μ ($cm^2/V \cdot s$)

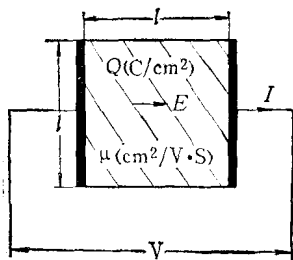


图3-20 方块电阻

则当外加电压为 V (V) 时, 电流密度

$$\begin{aligned} j &= E (V/cm) Q (C/cm^2) \mu (cm^2/V \cdot s) \\ &= \frac{V}{l} Q \mu (A/cm) \end{aligned} \quad (3-14)$$

式中 E 表示方块中的横向电场, l 是方块的边长。

在电压 V 作用下的电流为

$$I = j l = V Q \mu A \quad (3-15)$$

方块电阻

$$R_{\square} = \frac{V}{I} = \frac{1}{Q \mu} \Omega \quad (3-16)$$

它等于电荷密度与迁移率乘积的倒数。所以在图 3-19 的模型中, x 处的方块电阻可表示为

$$R_{\square} = \frac{1}{Q_t(x) \mu_n}$$

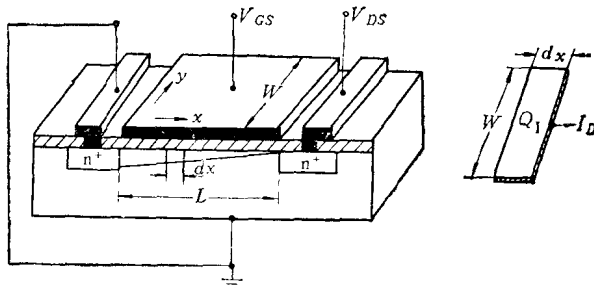


图3-19 分析 I_D-V_{DS} 关系式的物理模型

沟道中的窄条 dx 沿 x 方向的电阻为

$$dR = R_{\square} \frac{dx}{W} = \frac{1}{Q_I(x) \mu_n} \frac{dx}{W} \quad (3-17)$$

式中 W ——沟道宽度；

μ_n ——沟道中电子的迁移率。

当沟道电流为 I_D 时，在 dx 上的电压降为

$$dV = I_D dR \quad (3-18)$$

将式(3-17)代入式(3-18)

得

$$dV = \frac{I_D}{Q_I(x) \mu_n} \frac{dx}{W} \quad (3-19)$$

将式(3-13)代入式(3-19)，移项得

$$I_D dx = (V_{GS} - V - V_T) C_{ox} \mu_n W dV$$

沿整个沟道长度积分，得

$$I_D \int_0^L dx = C_{ox} \mu_n W \int_0^{V_{DS}} (V_{GS} - V_T - V) dV$$

积分后得

$$I_D L = C_{ox} \mu_n W \left[(V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

或写为

$$I_D = C_{ox} \mu_n \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (3-20)$$

式中 L 表示沟道长度，就是源-漏之间的距离。式(3-20)只能适用于开启后沟道不出现截断的情况，即满足条件 $V_{GS} \geq V_T$ 、 $V_{DS} \leq V_{GS} - V_T$ 时才能适用。当 $V_{DS} \ll V_{GS} - V_T$ 时，即 V_{DS} 很小的情况下，式(3-20)可简化为

$$I_D = C_{ox} \mu_n \frac{W}{L} (V_{GS} - V_T) V_{DS} \quad (3-21)$$

它反映了当 V_{GS} = 常数时， I_D 和 V_{DS} 之间的线性关系。

当 V_{DS} 达到 $V_{DS} = V_{GS} - V_T$ 时，沟道在漏极处开始截断，电流达到饱和值。将 $V_{DS} = V_{GS} - V_T$ 代入式(3-20)，得

$$I_D = \frac{1}{2} C_{ox} \mu_n \frac{W}{L} (V_{GS} - V_T)^2 \quad (3-22)$$

沟道截断后， I_D 不再随 V_{DS} 的增加而上升，电流维持不变，所以式(3-22)也表示饱和区的电流，它与 $(V_{GS} - V_T)^2$ 成正比。式中的 $\left(\frac{1}{2} C_{ox} \mu_n \frac{W}{L} \right)$ 常称为传导因子，用 K 表示（即 $K = \frac{1}{2} C_{ox} \mu_n \frac{W}{L}$ ）。它反映了 MOS 晶体管的固有特性，由 MOS 晶体管的内在因素决定。

上面的关系式是根据 n-MOS 晶体管的模型导出的。p-MOS 晶体管与它存在着对偶关系，所以只需略加修改便可适用。对于 p-MOS 晶体管，因所加的电压方向和电流方向正好与 n-MOS 晶体管相反，所以 V_{GS} 、 V_T 、 V_{DS} 和 I_D 均取负值。另外，p 沟道中的载流子是空穴，所以应将 μ_n 改为空穴迁移率 μ_p 。

沟道中的载流子迁移率都是表面迁移率, 它比体内迁移率小, 一般约为体内迁移率的 $1/2$, 其数值约为:

$$\mu_n \approx 600 \text{ cm}^2 / \text{V} \cdot \text{s}$$

$$\mu_p \approx 200 \text{ cm}^2 / \text{V} \cdot \text{s}$$

μ_n 约为 μ_p 的 3 倍, 所以同样结构的 n-MOS 的 K 值也约为 p-MOS 的 3 倍。

由式 (3-21)、(3-22) 可以看出, 如果以 V_{GS} 为参变量, 就可得到 $I_D \sim V_{DS}$ 的曲线簇。

图3-21是以 V_{GS} 为参变量的 $I_D \sim V_{DS}$ 曲线簇。在图中, 设 $V_T = 1.5 \text{ V}$ 。其中, 虚线表示沟道开始截断的各点的连线, 即满足 $V_{GS} = V_{DS} + V_T$ 各点的连线。在虚线右边是饱和区; 虚线左边是非饱和区。

图3-21是对应 n-MOS 晶体管的曲线。对于 p-MOS 晶体管也有类似形状的曲线, 电压和电流都取负值, 所以常常将 p-MOS 晶体管的特性曲线画在第三象限, 如图3-22所示。图3-22所表示 p-MOS 的 $I_D \sim V_{DS}$ 曲线, V_T 约 -3 V 。如果将曲线转为第一象限, 其形状与图3-21完全类似。下面为了便于说明, 有时将 p-MOS 器件的特性曲线也表示在第一象限。

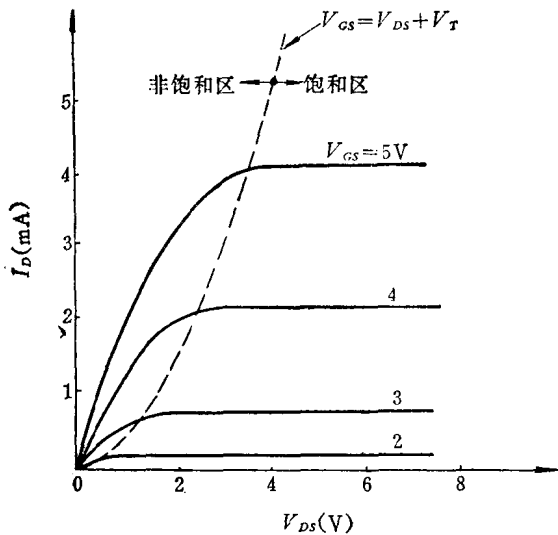


图3-21 V_{GS} 不同值时的 $I_D \sim V_{DS}$ 曲线

完全类似。下面为了便于说明, 有时将 p-MOS 器件的特性曲线也表示在第一象限。

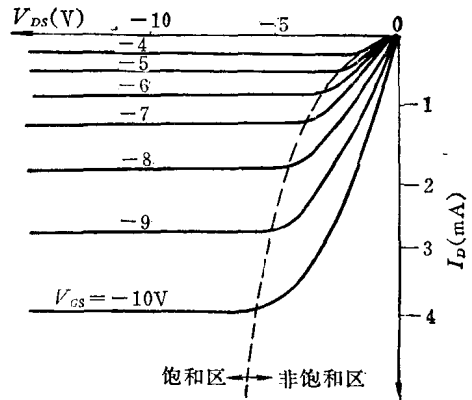


图3-22 p-MOS 晶体管的 $I_D \sim V_{DS}$ 曲线

最后需指出: 实际的 $I_D \sim V_{DS}$ 曲线在饱和区时, I_D 并不是绝对不变的, 它随 V_{DS} 的增加也略有增加。这是因为 V_{DS} 增加时漏极处的耗尽层变宽, 沟道截断点向源极移动, 使沟道的有效长度变短, 因此沟道电流略有增加。这种现象称为沟道长度调制现象。晶体管的沟道长度 L 越小, V_{DS} 变化而引起沟道长度的相对变化就越大, 在饱和区 I_D 随 V_{DS} 增加也越明显。

根据式 (3-20), 如以 V_{DS} 为参变量, 作 $I_D \sim V_{GS}$ 曲线就是转移特性曲线簇。转移特性曲线簇也可利用输出特性曲线簇直接画出。

四、MOS 晶体管的跨导 (g_m) 和通导电阻 (R_{on})

跨导 g_m 是反映 MOS 晶体管栅压对漏电流的控制能力。它的定义是 $V_{DS} = \text{常数}$ 时, I_D 随 V_{GS} 的变化率, 即

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS} = \text{常数}} \quad (3-23)$$

在线性区的跨导可以根据式 (3-21) 的关系式求出。将式 (3-21) 重写于下:

$$I_D = C_{ox} \mu \frac{W}{L} (V_{GS} - V_T) V_{DS} \quad (3-24)$$

上式将载流子的迁移率改为 μ , 表示对 p-MOS 和 n-MOS 都适用。

将式 (3-24) 代入式 (3-23), 得线性区跨导:

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS} = \text{常数}} = C_{ox} \mu_n \frac{W}{L} V_{DS} = 2K V_{DS} \quad (3-25)$$

在设计中更有用的是饱和区跨导。根据式 (3-22), 用 μ 取代 μ_n , 在饱和区的电流为

$$I_D = \frac{1}{2} C_{ox} \mu \frac{W}{L} (V_{GS} - V_T)^2 \quad (3-26)$$

将式 (3-26) 代入式 (3-23) 中, 得饱和区跨导:

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS} = \text{常数}} = C_{ox} \mu \frac{W}{L} (V_{GS} - V_T) = 2K (V_{GS} - V_T) \quad (3-27)$$

MOS晶体管的跨导 g_m 可以按定义用增量法直接测出, 也可以从MOS晶体管的输出特性曲线簇求得。例如, 在图3-23中当 $V_{DS} = V_{DS1}$ 时, 在 V_{GS2} 和 V_{GS3} 之间的平均跨导为

$$g_m = \frac{\Delta I_D}{\Delta V_{GS}} = \frac{I_{D3} - I_{D2}}{V_{GS3} - V_{GS2}}$$

g_m 的单位为

$$\frac{\Delta I_D (\text{A})}{\Delta V_{GS} (\text{V})} = \frac{1}{\Omega} = \text{S}$$

实际工作中 I_D 的单位常取微安或毫安, 所以跨导的单位常用微姆欧 (μS) 或毫姆欧 (mS)。

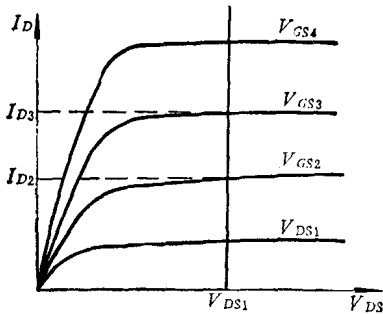


图3-23 利用输出曲线求 g_m

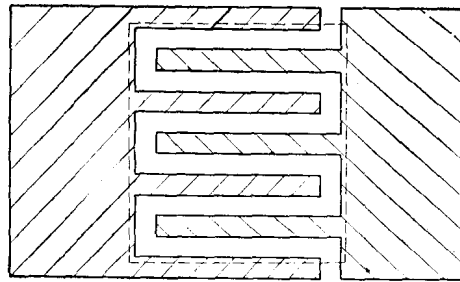


图3-24 大跨导 MOS 管的梳状图形

在集成电路中, 同一块电路上常常需要各种不同跨导的 MOS 晶体管, 因为同一块电路中的 MOS 晶体管都是经历相同的工艺处理, 所以传导因子 K 中的 $C_{ox} \mu$ 都相等。可供版图设计选择的只有各 MOS 管的宽、长比 (W/L)。对于大跨导 MOS 晶体管源、漏扩散区常常做成交叉的梳状结构, 如图 2-24 所示。图中实线包围的区域为源、漏扩散区, 两扩散条之间的距离是沟道长度 L , 栅氧化层下面的扩散区的周界长就是沟道宽度 W 。虚线包围的区域表示栅氧化层, 一般在 $1500 \text{ \AA}$ 左右。其它地方是厚氧化层, 或称场氧化层, 一般在 $10000 \text{ \AA}$ 左右。

MOS 器件的另一个常用参数是导通电阻 R_{on} , 它定义为

$$R_{on} = \frac{\partial V_{DS}}{\partial I_D} \Big|_{V_{GS} = \text{常数}} = \frac{1}{\frac{\partial I_D}{\partial V_{DS}} \Big|_{V_{GS} = \text{常数}}} \quad (3-28)$$

在线性区, 利用式 (3-24) 得

$$\frac{\partial I_D}{\partial V_{DS}} \Big|_{V_{GS} = \text{常数}} = \frac{\partial}{\partial V_{DS}} \left[C_{ox} \mu \frac{W}{L} (V_{GS} - V_T) \right] V_{DS} = C_{ox} \mu \frac{W}{L} (V_{GS} - V_T) \quad (3-29)$$

将式 (3-29) 代入式 (3-28), 得线性区的 R_{on} 为

$$R_{on} = \frac{1}{C_{ox} \mu \frac{W}{L} (V_{GS} - V_T)} = \frac{1}{2K(V_{GS} - V_T)} \quad (3-30)$$

将式 (3-30) 与式 (3-27) 相对照, $2K(V_{GS} - V_T)$ 就是饱和区的跨导 g_m 。所以, 线性区的 R_{on} 就是饱和区跨导的倒数, 即

$$R_{on} = \frac{1}{g_m(\text{饱和})} \quad (3-31)$$

导通电阻 R_{on} , 实际上就是 $I_D - V_{DS}$ 曲线斜率的倒数。用式 (3-30) 描述的线性区导通电阻, 就是 $I_D - V_{DS}$ 曲线在 origin 处的斜率的倒数。如图 2-25 所示。饱和区的曲线很平坦, 所以 R_{on} 很大。

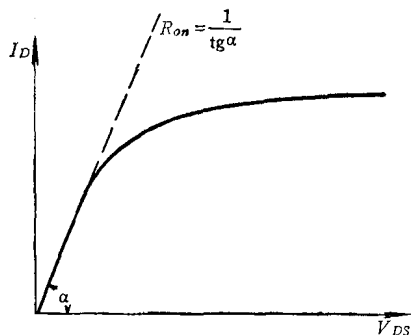


图3-25 R_{on} 与输出曲线的关系

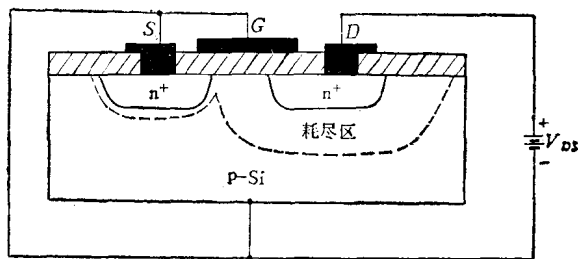


图3-26 穿通击穿现象

五、MOS 晶体管的源-漏击穿电压、栅击穿电压和栅保护

1. 源-漏击穿电压

在讨论 MOS 晶体管的输出特性时已经提到输出特性中的击穿问题。在 MOS 晶体管中源-漏存在两种击穿的可能。一种是漏极与衬底之间的 $P-n$ 结发生击穿, 这和一般的 $P-n$ 结的反向击穿现象一样。另一种是源、漏之间发生穿通情况时的穿通击穿。因为 MOS 晶体管的衬底掺杂浓度较低, 当反向电压增加时, $P-n$ 结的耗尽区主要向衬底方向扩展, 如果源、漏之间的间距较小, 耗尽区的扩展可能达到源极处。如图 3-26 所示, 当耗尽区联通后, 由于源扩散区中存在大量电子, 在耗尽区中横向强电场作用下很快扫向漏极。所以, 源、漏的耗尽层联通后, 将产生很大的电流。

在穿通击穿时, 电流是由漏极流向源极; 在漏极与衬底的 $P-n$ 结击穿时, 电流是从漏极流向衬底。

2. 栅击穿电压和栅保护

在 MOS 器件中, 常常会出现栅氧化层击穿问题, 因此在集成电路设计中需要采取保

护措施。

MOS晶体管的栅极与衬底之间隔着一层薄的栅氧化层,当栅源电压超过一定的限度,就会引起栅氧化层的击穿。氧化层的击穿是不可逆的,所以击穿后就会造成栅极与衬底之间的永久性短路,使器件失效。

根据实验, SiO_2 的介质强度 (E_B) 在 $(5 \sim 10) \times 10^6 \text{V/cm}$ 。当 SiO_2 中的电场达到 E_B 值时便发生击穿。 SiO_2 中的电场 E 是由栅压和氧化层厚度决定的 (即 $E = \frac{V}{t_{ox}}$), 所以栅氧化层的击穿电压 $V_B = E_B t_{ox}$ 。栅氧化层的厚度一般在 $1000 \sim 2000 \text{\AA}$, 因此氧化层击穿电压的范围如图3-27所示。当 $t_{ox} = 1500 \text{\AA}$ 时, 击穿电压在 $75 \sim 150 \text{V}$ 。初看起来这个“电容器”的击穿电压并不低, 但实际上经常碰到栅击穿的情况。主要原因有二点: (1) 栅极与衬底之间的电容量很小, 一般还不到 1pF 。(2) 二氧化硅的绝缘电阻很高, 栅极与衬底之间的电阻高达 $10^{14} \Omega$ 以上。当栅极与带电物体接触时, 转移到栅极上的电荷不容易漏去。栅极上的电荷与栅极的电容量之比就是栅极上的电压。因为栅电容很小, 所以少量的电荷就会造成很高的电压, 导致氧化层的击穿。在日常的生活环境中, 特别是在干燥的气候条件下, 塑料物品和人体上常带有一定的电荷量, 各种仪器设备可能存在着漏电, 它们与栅极接触时都可能引起栅击穿, 造成MOS管的永久性损坏。所以在集成电路中, 凡是与外引线相联的栅极都采取保护措施, 以防栅极的击穿。

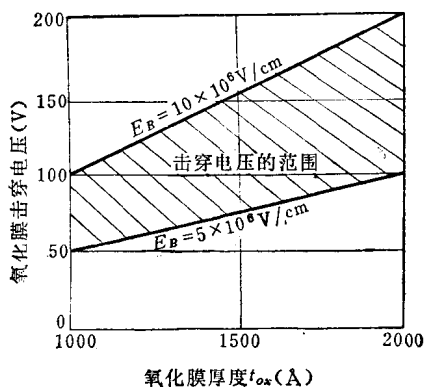


图3-27 氧化膜的击穿电压

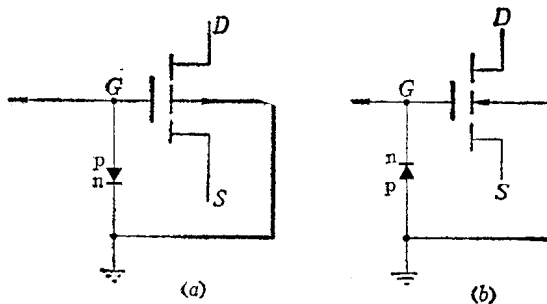


图3-28 栅保护二极管的接法

栅保护的最简单的方法是在栅极上并联一个 $p-n$ 结二极管, 这个二极管是与源、漏区扩散同时完成的。对于 p -MOS 晶体管, 衬底是 n 型, 衬底就是二极管的 n 极, 二极管的 p 区与被保护的栅极相联, 其极性如图3-28(a)中所示。当栅极为正电压时二极管导通, 所以栅极上的正电位不可能升高。 p -MOS晶体管在正常工作时也不会加正电压, 所以二极管的正向导通问题不会影响MOS晶体管的正常工作。防止栅极上出现负电压击穿的措施是利用二极管的反向击穿特性。二极管的反向击穿电压要求小于 MOS 晶体管的栅击穿电压。但大于MOS管正常工作的栅压。一般希望控制在 $-40 \sim -60 \text{V}$ 。 n -MOS 晶体管的栅保护二极管接法如图3-28(b)所示。它正好与 p -MOS相反, 其保护原理与 p -MOS 相同。在上面简单的栅保护电路中, 因为二极管是和源、漏扩散同时完成的, 所以往往不易做到较低的击穿电压。为了更有效地防止栅击穿, 常常采用较复杂的结构, 下面再列举二种常见的栅保护结构。

(1) 栅调制二极管保护 图3-29是栅调制二极管的结构和联线情况。图中画有剖面线的部分是P型扩散区(衬底是n型)。它和衬底之间就构成了二极管。在王字形扩散区的上面是薄氧化层(即栅氧化层),图中用虚线表示。在栅氧化层上盖有铝电极,图中用点划线表示。铝电极与衬底联通,也就是二极管上加了一个接地栅极。根据实验,这种二极管的击穿电压比没有加栅极的低,能使击穿电压从 -80V 降低到 -40V 左右。使击穿电压变低的一种解释是栅极处于地电位,而P-MOS管的栅极总是工作在负电位,由于电场的作用使 SiO_2 中的正离子驱向 $\text{SiO}_2\text{-Si}$ 的介面处。介面处的正离子又把Si中的电子吸向表面,使表面的n型增强,于是在界面处的P-n结变成 p^+n^+ 的情况,使王字形周界的击穿电

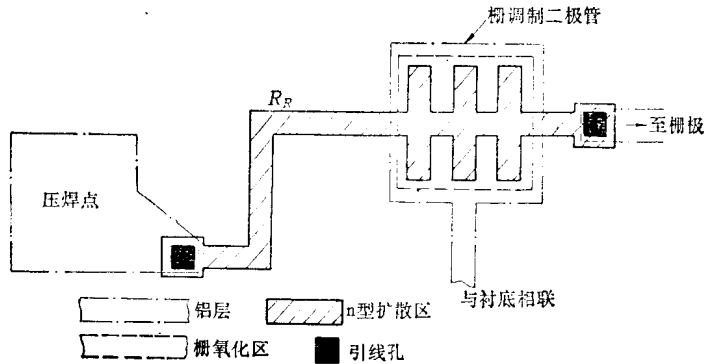


图3-29 用栅调制二极管的栅保护结构

压降低。做成王字形扩散区的目的是增加界面处的P-n结周界。从压焊点到调制二极管的扩散区之间的扩散电阻 R_R 主要是起限制电流的作用,并使栅压降低。如果压焊点的电压超过栅调制二极管的击穿电压时,在 R_R 上将产生压降,使被保护的MOS管栅极电压低于压焊点的电压,能更有效地保护MOS管的栅极。 R_R 的数值一般取 $2\text{k}\Omega$ 左右。

(2) 利用二个P-n结之间的穿通击穿保护栅极 图3-30是利用两个P-n结之间的穿通击穿来限制栅极电压的上升。图中有两个扩散区,间距很小,仅 $10\mu\text{m}$ 或更小。其中一个扩散区接地,与衬底联通。另一个扩散区的一端联到被保护的栅极上,左端经过扩散电阻 R_R 联到压焊点,与外引线联通。当压焊点上出现过高的负电压时,扩散区与衬底之间的P-n结耗尽层变宽,如果达到穿通电压就会出现穿通电流,并在 R_R 上引起电压降,使栅极电压不超过两个扩散区之间的穿通电压。

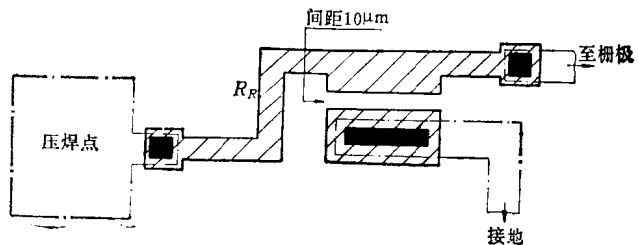


图3-30 穿通击穿保护栅极的结构

六、MOS晶体管的衬底偏压效应

以上我们对MOS管的分析都是在源极与衬底相联的情况下讨论的,但在实际运用中并非完全如此。有时特地在源极与衬底之间加一反向偏压用以改变MOS晶体管的 V_T 值。在集成电路中,因为许多MOS晶体管都在同一衬底上,按照电路要求也不能把所有MOS晶体管的源极都联在一起,某些MOS管的源极与衬底之间就存在偏压。因此进一步分析衬

底偏压对MOS晶体管特性的影响是有必要的。

图3-31画出了n-MOS晶体管的衬底偏压 V_{BS} 的接法。衬底偏压必须使p-n结处于反偏状态（因为加正向偏压会使p-n结产生很大的电流而损坏）。对于n-MOS晶体管 V_{BS} 为负，对于p-MOS晶体管则相反。在图3-31中，如果我们以 V_{BS} 为参变数，作 I_D-V_{GS} 的实验曲线，就可以得到图3-32的结果。曲线的形状并不改变，仅仅是随着 V_{BS} 增加而向右平移。这说明晶体管的开启电压 V_T 将随 V_{BS} 而变。 V_{BS} 越大，管子的开启电压就越大。原来不加衬底偏压时（即 $V_{BS}=0$ ）如果是耗尽型晶体管，当加上衬底偏压后会显示出增强型的特性。下面我们进一步定量分析衬底偏压的效应。

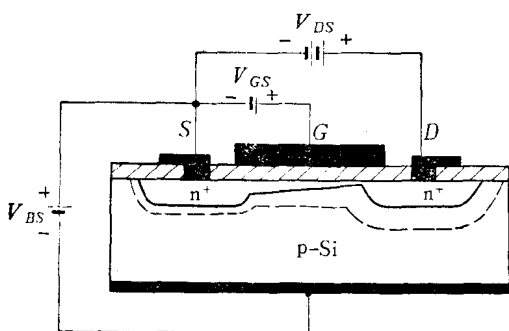


图3-31 n-MOS管衬底偏压的接法

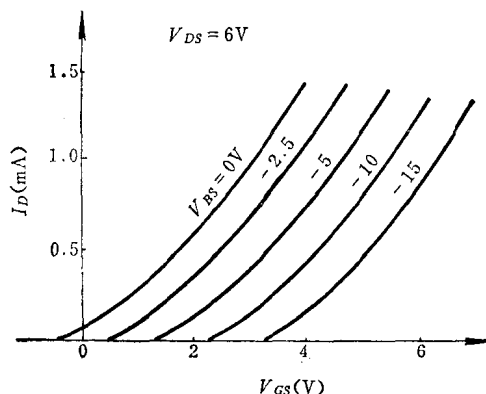


图3-32 衬底偏压对转移特性的影响

在定量分析衬底偏压效应时，我们只要比较一下有衬底偏压和没有衬底偏压的两种情况就可得出结论。图3-33(a)表示没有衬底偏压时的情况，假设在一定的 V_{GS} 作用下表面已出现相当宽的沟道，它与源扩散区相联通。在这种情况下，如果加上衬底偏压，如图3-33(b)所示，就等于在沟道和衬底之间的p-n结也加上了反向偏压。因为沟道是强n型，

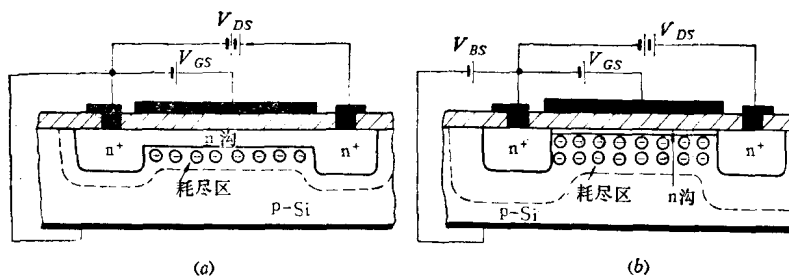


图3-33 有衬底偏压和无衬底偏压时沟道及耗尽区的变化

所以相当p-n⁺结的情况，在反向偏压的作用下，外加电压主要降落在p型的耗尽层一边，使p型的耗尽层变宽。根据p-n结的耗尽层宽度与耗尽层上的电压降的关系式。在 $V_{BS}=0$ 时，耗尽层上的压降是 $2\phi_F$ ，耗尽层的宽度为

$$x'_d = \sqrt{\frac{2\varepsilon_{Si}|2\phi_F|}{qN_A}} \quad (3-32)$$

耗尽层中的受主离子电荷为

$$Q'_D = qN_A x'_d = \sqrt{2\varepsilon_{Si}qN_A|2\phi_F|} \quad (3-33)$$

在加上偏压 V_{BS} 后, 耗尽层上的电压降变为 $V_{BS} + 2\phi_F$, 所以耗尽层中的负离子电荷变为

$$Q_D'' = \sqrt{2\varepsilon_{si}qN_A|2\phi_F + V_{BS}|} \quad (3-34)$$

耗尽层中, 离子电荷的增加量为 $\Delta Q_D = Q_D'' - Q_D'$ 。在耗尽层中的负离子就是受主杂质原子获得电子的结果, 这电子来自 n^+ 区, 所以也就是 n 沟道中电子的减少量。因此当加上衬底偏压 V_{BS} 后, 沟道中的电子减少量为

$$\Delta Q_D = Q_D'' - Q_D' = \sqrt{2\varepsilon_{si}qN_A|2\phi_F + V_{BS}|} - \sqrt{2\varepsilon_{si}qN_A|2\phi_F|} \quad (3-35)$$

在图3-33(b)中用沟道变窄表示, 沟道变窄意味着沟道电阻的增加。因此在 V_{DS} 和 V_{GS} 不变的情况下, 沟道电流就下降。如要使沟道电阻恢复到图3-33(a)的情形可以用提高 V_{GS} 的办法。如果提高 V_{GS} 后, 使电子的增加量正好等于加偏压后的电子减少量, 那么沟道便恢复到原来的宽度。根据平板电容的基本关系, 需要增加的栅源电压 ΔV_{GS} 与 ΔQ_D 之间的关系为

$$\Delta V_{GS} = \Delta Q_D / C_{ox} \quad (3-36)$$

将式(3-35)代入式(3-36), 得

$$\begin{aligned} \Delta V_{GS} &= \Delta Q_D / C_{ox} = (\sqrt{2\varepsilon_{si}qN_A|2\phi_F + V_{BS}|} - \sqrt{2\varepsilon_{si}qN_A|2\phi_F|}) / C_{ox} \\ &= \sqrt{2\varepsilon_{si}qN_A} (\sqrt{|2\phi_F + V_{BS}|} - \sqrt{|2\phi_F|}) / C_{ox} \end{aligned}$$

上面的分析, 在沟道存在的情况下都成立, 所以加上衬底偏压 V_{BS} 后开启电压的变化量就是 ΔV_{GS} 即

$$\Delta V_T = \sqrt{2\varepsilon_{si}qN_A} (\sqrt{|2\phi_F + V_{BS}|} - \sqrt{|2\phi_F|}) / C_{ox}$$

或写为

$$\Delta V_T = \frac{\Delta Q_D}{C_{ox}} = \frac{t_{ox}}{\varepsilon_{ox}} \sqrt{2q\varepsilon_{si}N_A} (\sqrt{|2\phi_F + V_{BS}|} - \sqrt{|2\phi_F|}) \quad (3-37)$$

上式可以帮助我们理解衬底偏压效应对开启电压的影响。但是在实际工作中常常使用近似的经验公式:

$$\Delta V_T = \frac{1}{2} \sqrt{V_{BS}} \quad (3-38)$$

对于 P 沟道 MOS 晶体管 V_{BS} 的极性相反, 使开启电压变得更负, 所以开启电压的增量为

$$\Delta V_T = -\frac{1}{2} \sqrt{V_{BS}} \quad (3-39)$$

式中的 V_{BS} 均取绝对值。

衬底偏压将影响一切与 V_T 值相联系的参数, 如跨导 g_m 和通导电阻 R_{on} 等。加衬底偏压后, MOS 晶体管的转移特性 ($I_D - V_{GS}$) 曲线和输出特性 ($I_D - V_{DS}$) 曲线也将有相应的变化。

§ 3-2 MOS 集成电路中的基本单元电路

本节主要介绍 MOS 集成电路中的倒相器及门电路, 重点是介绍各种类型的 MOS 倒相器, 因为这是 MOS 集成电路的基础。对于其它门电路只作一般介绍, 侧重于电路形式。

一、MOS 集成电路中的倒相器

倒相器是集成电路中最简单而又最基本的单元电路。在 MOS 电路中, 根据负载器件

的特点, 可以分为电阻负载、MOS管负载。在MOS管负载的倒相器中, 又根据负载管的工作情况分为饱和型和非饱和型。除此以外还有一种互补MOS负载倒相器。

图3-34列出了各种倒相器的电路, 在图中 T_I 称为输入管 (或称驱动管)。图3-34(a) 是电阻负载倒相器, R_L 为负载电阻。图(b)和图(c)都是饱和型倒相器, 负载晶体管 T_L 永远工作在饱和状态, 因为它的栅极与漏极同电位, $|V_{GS}-V_T|$ 总是小于 $|V_{DS}|$ 。图3-34(b)是p-MOS倒相器, 图3-34(c)是n-MOS倒相器, 它们都是增强型MOS器件。下面为了使分析的问题具有普遍意义, 并使电路图表示简洁, 凡是单沟道电路 (电路中只有一种沟道类型的器件) 都采用图(d)的符号, 略去衬底符号。在讨论时为了避免正负和大小之间的纠缠, 就一律视为n-MOS晶体管, 在实际问题中遇到p-MOS器件时, 只要将电压的标记改为负值即可。

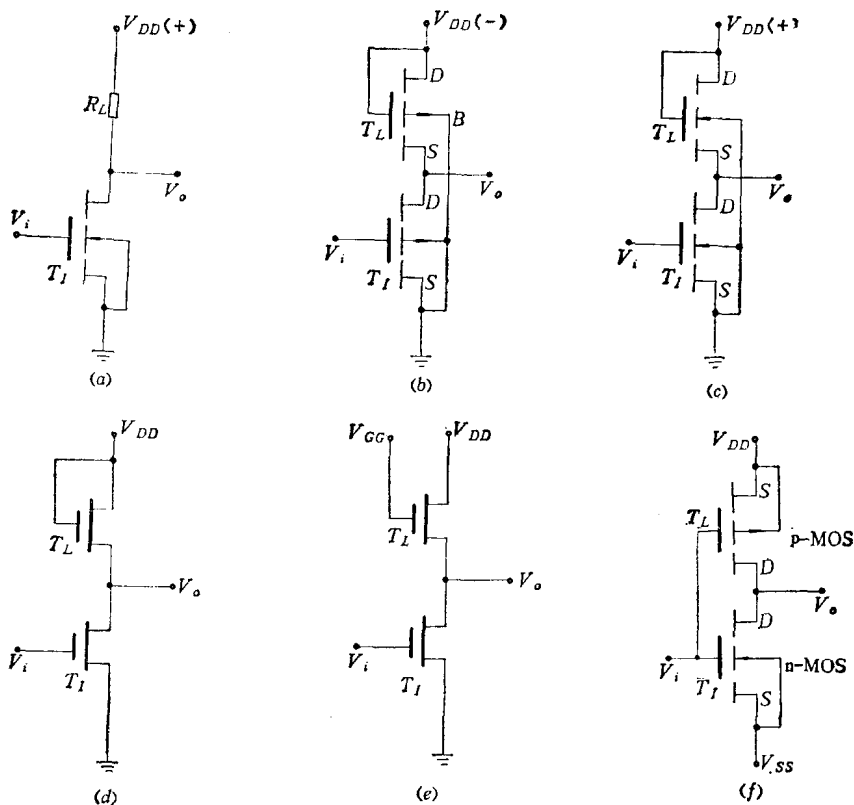


图3-34 各种倒相器的电路

图3-34(e)是非饱和倒相器, 图中的 $V_{GG} > (V_{DD} + V_T)$, 也就是 $(V_{GS} - V_{DS}) > V_T$ 。负载管 T_L 的沟道永远不出现截断的现象, 即工作在非饱和区。

图3-34(f)表示c-MOS倒相器, T_I 是n-MOS管, T_L 是p-MOS管, V_{DD} 是电路的最高电位, p-MOS管的衬底接最高电位。与最高电位相连的扩散区称为源极, 另一扩散极称为漏极, 见图中所注。 V_{SS} 是电路的最低电位, n-MOS管的源极和衬底都接最低电位。两MOS管的栅极并联在一起作为倒相器的输入端, 两个漏极相联作为倒相器的输出端。下面分别讨论各种倒相器的基本特性。

1. 倒相器的静态特性

图3-35表示各种倒相器的普遍形式。描述倒相器静态特性常常用电压传输特性来表示, 即 V_o - V_i 之间的变化关系。

倒相器的电压传输特性可以由负载的伏安特性、输入管的特性以及电源电压三因素导出。

根据负载方面, 输出电压是电源电压减去负载上的电压降, 所以可写为

$$V_o = V_{DD} - V_L \quad (3-40)$$

因为负载上的电压是负载电流的函数, 在串联电路中, 负载管的电流等于输入管的漏极电流, 所以

$$V_L = f_L(I_L) = f_L(I_D) \quad (3-41)$$

将式(3-41)代入式(3-40), 得

$$V_o = V_{DD} - f_L(I_D) \quad (3-42)$$

它是由负载的伏安特性所决定的曲线方程, 所以称为负载曲线。

对于输入 MOS 管方面, 因为

$$\text{输入电压 } V_i = V_{GS} \quad (3-43)$$

$$\text{输出电压 } V_o = V_{DS} \quad (3-44)$$

由于输入管存在着 $I_D = f_I(V_{GS}, V_{DS})$ 的关系所以输入电压与输出电压的关系应符合输入 MOS 管的特性曲线的变化关系, 即

$$I_D = f_I(V_{GS}, V_{DS}) = f_I(V_i, V_o) \quad (3-45)$$

这就是MOS管的特性曲线表达式。利用式(3-42)和式(3-45)消去变量 I_D 后便可得输出电压 V_o - V_i 的关系式。

比较直观的方法是用图解求解, 其方法是作出式(3-42)的曲线和式(3-45)的曲线。由于在串联电路中电流 I_D 相等, 所以只有两曲线的交点才是倒相器的工作点。交点所对应的 V_i 和 V_o 反映了输出电压和输入电压之间的对应值。根据负载线和输入管的特性曲线交点就可描绘出 V_o - V_i 的曲线。

(1) 电阻负载倒相器 图3-36(a)是线性电阻负载倒相器电路, 它的负载伏安特性就是

$$V_L = I_D R_L$$

所以负载线为

$$V_o = V_{DD} - I_D R_L \quad (3-46)$$

图3-36(b)画出了MOS管的输出特性曲线簇和负载线, 负载线与横坐标的交点就是电源电压 V_{DD} , 与纵坐标的交点就是 V_{DD}/R_L 。图中设 $V_{DD}=12\text{V}$, $R_L=40\text{k}\Omega$, 负载线与MOS管特性曲线的交点就是工作点。根据不同的输入电压可读出相应的输出电压。将各交点的电压对应关系画入 V_o - V_i 坐标系中便得图3-37的电压传输特性曲线。如果改变负载电阻的数值, 负载线和电压传输特性曲线也将随之改变。

图3-38画出了三种不同 R_L 值的负载线。不同负载电阻所对应的电压传输特性曲线如图3-39所示。从电阻负载的传输特性可以得到以下几点结论:

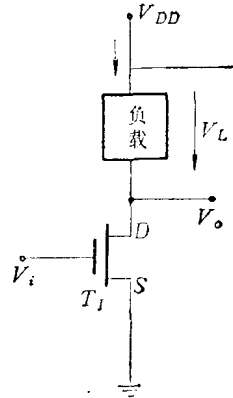


图3-35 倒相器的普遍形式

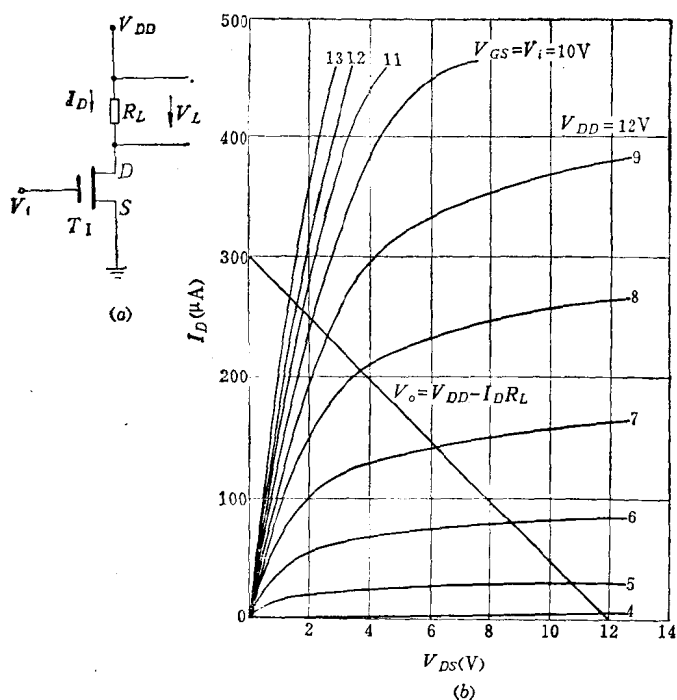


图3-36 电阻负载倒相器的MOS管输出特性曲线簇及负载线

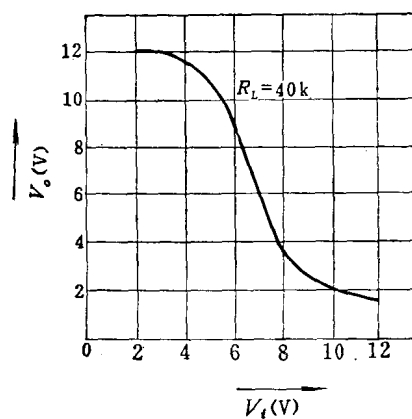


图3-37 线性电阻负载MOS倒相器的电压传输特性

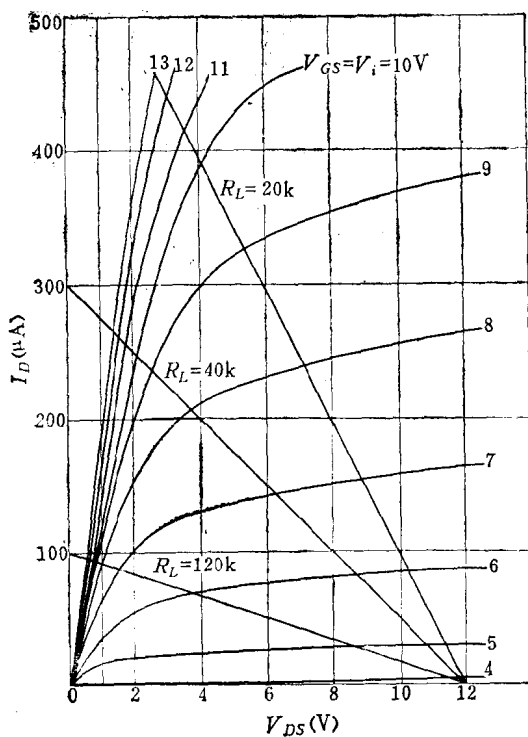


图3-38 MOS管的输出特性和不同负载电阻时的负载曲线

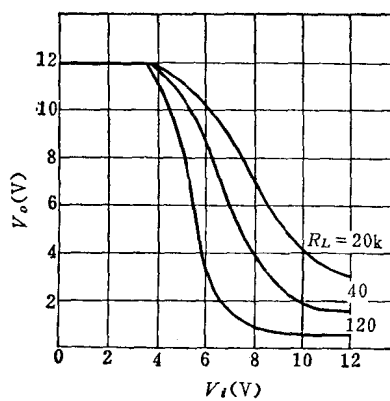


图3-39 不同负载电阻时的传输特性曲线

- ① 最大输出电压等于电源电压 V_{DD} 。
- ② 输出低电平与负载电阻的大小有关。负载电阻越大，输出低电平就越低。
- ③ 过渡区也与负载电阻的大小有关，负载电阻越大，过渡区就越窄。

为了要得到较小的低电平值和较窄的过渡区，就希望采用较大的负载电阻。在 MOS 集成电路中，大部分的 MOS 管都比较小，工作电流也很小，常在百微安数量级，因此要保证足够低的低电平输出就必须采用更大的负载电阻。如果采用一般的扩散电阻就要占用很大的面积，这样对版图设计极为不利。所以在 MOS 集成电路中，除了大跨导 MOS 管的负载以外，一般的 MOS 倒相器负载都不用线性电阻，而是用 MOS 晶体管作为负载。根据 MOS 负载管的工作情况，有饱和负载和非饱和负载二种。下面侧重介绍饱和 MOS 管负载的工作情况，对其它类型的 MOS 管负载倒相器在此基础上作些对比和补充说明。

(2) 饱和 MOS 管负载倒相器 图3-40是最常见的饱和 MOS 管负载倒相器。负载管的栅极和漏极都接 V_{DD} ，因此 $V_{DS} = V_{GS}$ ，满足 $V_{DS} > V_{GS} - V_T$ 的关系，它永远处于饱和工作状态，所以称为饱和型负载。分析这种倒相器的电压传输特性，同样可以根据负载线和输入管的特性曲线求出，关键的问题就是如何得到负载线。根据负载管的特性可以求得栅

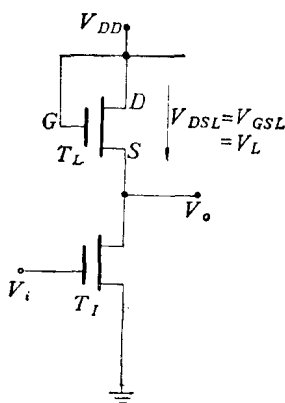


图3-40 饱和 MOS 管负载倒相器

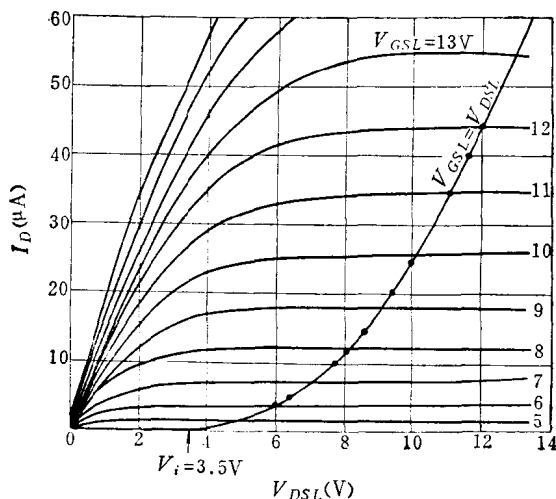


图3-41 负载管的特性曲线和 $V_{GSL} = V_{DSL}$ 时的 $I_D - V_{DSL}$ 曲线

源短接时的伏安特性，但是要精确做出负载管的这条伏安特性比较麻烦，因为负载管的源与衬底不是同电位的，而且它们之间的电压随输出电压而变，也就是开启电压是个变数。下面为了简便一点，仍作 $V_{BS} = 0$ 处理，假设负载管的开启电压不随输出电压而变。这样，负载管的伏安特性曲线就可利用它的输出特性曲线簇求出。图3-41是在负载管的输出特性基础上画出的负载管伏安特性曲线，它就是 $V_{GSL} = V_{DSL}$ 各点的连线。根据负载管的伏安特性就可得到负载线。

$$V_o = V_{DD} - V_{DSL}(I_D) \quad (3-47)$$

将负载线和输入管的特性曲线画在统一的 $V_o - I_D$ 坐标系中，如图3-42所示。

根据它们的交点便得 $V_o - V_i$ 关系曲线。如图3-43所示。

根据图3-41、3-42、3-43可以得出以下几点结论：

- ① 输出高电平的最大值是 $V_{DD} - V_{T_L}$ 。

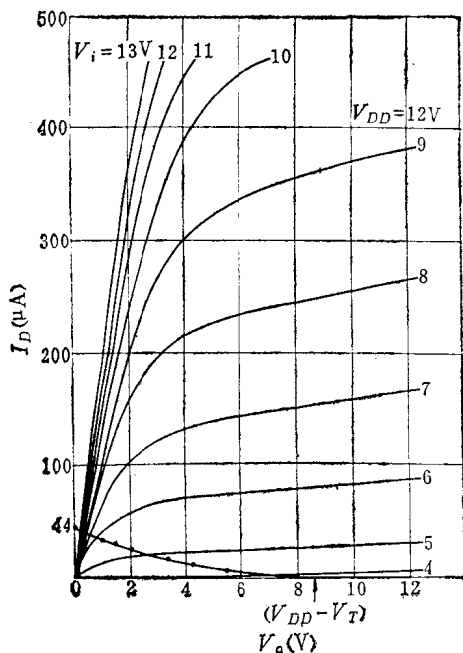


图3-42 输入管的特性及负载线

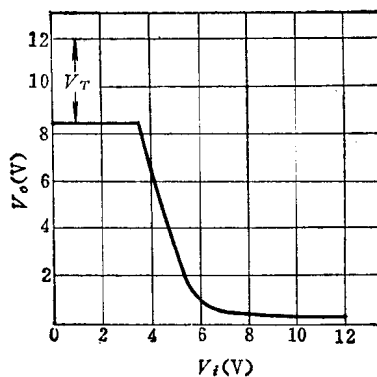


图3-43 饱和 MOS 管负载的电压传输特性

② 输入管的跨导愈大，负载管的跨导愈小，输出低电平就愈低。传输特性曲线的过渡区也愈窄。负载管的跨导越小，意味着在 I_D-V_{DSL} 曲线就愈平坦，相当负载电阻很大。

在设计制造中，为了保证倒相器有足够低的低电平值，所以在 MOS 管作负载的倒相器中，负载管的跨导总是设计得比输入管小得多。又因为负载管和输入管是在同一衬底上，经历同样的工艺处理，因此在与跨导 g_m 相联系的传导因子 K ($K = \frac{1}{2} \frac{\epsilon_{ox}}{t_{ox}} \mu \frac{W}{L}$) 中只有宽长比 W/L 可由版图设计选择。为了使负载管的跨导比输入管小得多，两个管子宽长比之比值 β_r 总是满足下列关系式

$$\beta_r = (W/L)_I / (W/L)_L \gg 1 \quad (3-48)$$

即

$$\beta_r \gg 1$$

式中注脚 I 表示输入管， L 表示负载管。

下面用一个饱和型倒相器的设计实例说明 MOS 倒相器的一些基本数据。

例：设计一个高电平输出为 $V_{OH} \geq 10V$ ，低电平输出为 $V_{OL} \leq 0.5V$ ，最大功耗 $P_{max} < 2mW$ 的饱和负载倒相器。设 $V_T = 4V$ ，设计步骤如下：

① 电源电压 V_{DD} 的选择：当输入 V_i 为低电平值时， T_I 截止，源漏之间的电阻很大，相当于 p-n 结的漏电阻。这时倒相器的工作电流极小，输出电压等于电源电压减去 T_L 的开启电压。应该注意到 T_L 的 S 极电压就是 V_o ，而衬底是地电位，所以对 T_L 来说，衬底偏压就是 V_o 。在高电平输出时， T_L 的开启电压应加上 ΔV_T

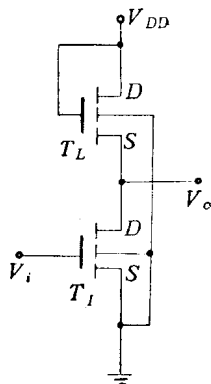


图3-44 饱和 MOS 负载倒相器

$$\Delta V_T = \frac{1}{2} \sqrt{V_{BS}} = \frac{1}{2} \sqrt{V_{OH}} \quad (3-49)$$

输出高电平为

$$V_{OH} = V_{DD} - (V_T + \Delta V_T) = V_{DD} - \left(V_T + \frac{1}{2} \sqrt{V_{OH}} \right) \quad (3-50)$$

将 $V_{OH} = 10\text{V}$ 代入上式, 得

$$V_{DD} = V_{OH} + \left(V_T + \frac{1}{2} \sqrt{V_{OH}} \right) = 10 + 4 + \frac{1}{2} \sqrt{10} = 15.6\text{V}$$

可选 $V_{DD} = 16\text{V}$

② 决定倒相器通时的电流 I_{on} :

$$I_{on} = \frac{P_{\max}}{V_{DD}} = \frac{2 \times 10^{-3}}{16} = 0.125\text{mA}$$

选取 $I_{on} = 0.1\text{mA}$, 这样, 实际电路的最大功耗将小于 2mW 。

③ 确定 T_I 和 T_L 的跨导: 倒相器处于通时状态时, 输入管工作在线性区, 输入管的通时电阻 R_{onI} 等于输出低电平 V_{oL} 与通时电流 I_{on} 之比, 即

$$R_{onI} = \frac{V_{oL}}{I_{on}} = \frac{0.5}{0.1 \times 10^{-3}} = 5\text{k}\Omega$$

因为线性区的通时电阻等于饱和区的跨导的倒数, 所以输入管在饱和区的跨导为

$$g_{mI} = \frac{1}{R_{onI}} = \frac{1}{5 \times 10^3} = 200\mu\text{S}$$

根据饱和区的跨导表达式:

$$g_m = C_{ox} \mu \frac{W}{L} (V_{GS} - V_T) \quad (3-51)$$

来确定负载管的跨导 g_{mL} 。负载管是工作在饱和状态。将式 (3-26) 重写于下:

$$I_D = \frac{1}{2} C_{ox} \mu \frac{W}{L} (V_{GS} - V_T)^2 \quad (3-52)$$

将 $g_m = C_{ox} \mu \frac{W}{L} (V_{GS} - V_T)$ 代入式 (3-52), 得

$$I_D = \frac{1}{2} g_m (V_{GS} - V_T) \quad (3-53)$$

在低电平输出时, 负载管的栅、源电压为

$$V_{GSL} = V_{DD} - V_{oL} \quad (3-54)$$

低电平输出时的衬底偏压为 V_{oL} , 所以低电平输出时负载管的开启电压增量仅为 $\Delta V_T =$

$$\frac{1}{2} \sqrt{V_{oLo}}$$

将上面的数据代入式 (3-53) 中, 得

$$\begin{aligned} I_D &= \frac{1}{2} g_{mL} (V_{GS} - V_T) = \frac{1}{2} g_{mL} \left(V_{DD} - V_{oL} - V_T - \frac{1}{2} \sqrt{V_{oL}} \right) \\ &= \frac{1}{2} g_{mL} \left(16 - 0.5 - 4 - \frac{1}{2} \sqrt{0.5} \right) \approx 5.6 g_{mL} \end{aligned}$$

通时的电流 $I_D = I_{on} = 0.1\text{mA}$

$$g_{mI} = \frac{I_D}{5.6} = \frac{0.1 \times 10^{-3}}{5.6} \approx 18 \mu\text{S}$$

④ 确定两个管子的宽长比 (W/L): 假设由工艺给出以下数据

$$\epsilon_{ox} = 0.33 \times 10^{-12} \text{F/cm}$$

$$t_{ox} = 1500 \text{\AA} = 1.5 \times 10^{-5} \text{cm}$$

$$\mu = 150 \text{cm}^2/\text{V}\cdot\text{s}$$

求得

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} = \frac{0.33 \times 10^{-12}}{1.5 \times 10^{-5}} = 0.22 \times 10^{-7} \text{F/cm}^2$$

先计算输入管的 (W/L)_I: 当输出为低电平 V_{oL} 时, 输入应该是高电平 V_{oH} 。即输入管的 $V_{GS} = 10 \text{V}$ 。所以式 (3-51) 可写为

$$g_{mI} = C_{ox} \mu \left(\frac{W}{L} \right)_I (V_{oH} - V_T) \quad (3-55)$$

将工艺数据及相应的电压代入式 (3-55), 得

$$\left(\frac{W}{L} \right)_I = \frac{g_{mI}}{C_{ox} \mu (V_{oH} - V_T)} = \frac{200 \times 10^{-6}}{0.22 \times 10^{-7} \times 150 \times (10 - 4)} = 10$$

再计算负载管的宽长比 (W/L)_L: 当输出为低电平时, 负载管的 $V_{GS} = V_{DD} - V_{oL}$ 。衬底偏压使 V_T 的增量为 $\frac{1}{2} \sqrt{V_{oL}}$ 。将相应的数据代入式 (3-51), 得

$$\begin{aligned} \left(\frac{W}{L} \right)_L &= \frac{g_{mL}}{C_{ox} \mu \left(V_{DD} - V_{oL} - V_T - \frac{1}{2} \sqrt{V_{oL}} \right)} \\ &= \frac{18 \times 10^{-6}}{0.22 \times 10^{-7} \times 150 \times \left(16 - 0.5 - 4 - \frac{1}{2} \sqrt{0.5} \right)} \approx 0.5 \end{aligned}$$

两管子的宽长比之比值

$$\begin{aligned} \beta_r &= \left(\frac{W}{L} \right)_I / \left(\frac{W}{L} \right)_L \\ \beta_r &= 10 / 0.5 = 20 \end{aligned}$$

⑤ 决定沟道的宽度 W 和长度 L : 两个管子的 W/L 比值已确定, 如果确定其中一个尺寸, 则另一个尺寸便可求出。例如根据光刻精度选取输入管的沟道长度

$$L_I = 12 \mu\text{m}$$

则输入管的宽度 $W_I = \left(\frac{W}{L} \right)_I L_I = 10 \times 12 \times 10^{-6} = 120 \mu\text{m}$

又如选取负载管的宽度为 $W_L = 16 \mu\text{m}$

则负载管的沟道长度

$$L_L = W_L / \left(\frac{W}{L} \right)_L = 16 / 0.5 = 32 \mu\text{m}$$

确定二个管子的沟道宽度 W 和长度 L 后便可画出倒相器的版图。

图 3-45 画出了 MOS 集成电路中的一个饱和 MOS 负载倒相器的版图。图中的虚线是栅氧化层, 点划线是 Al 电极, 为了防止套刻中的误差, 栅氧化层搭在源漏扩散区上覆盖

4 μ m。以防套刻偏差造成沟道不联通。

(3) 不饱和MOS管负载倒相器 上面讨论了饱和MOS管负载倒相器,它虽然具有一系列的优点,如负载管的占用面积小;输出低电平很容易设计得很小;电源电压只需要一组。但是它也有不足之处,就是输出高电平比电源电压低 $\left(V_T + \frac{1}{2}\sqrt{V_{DD}}\right)$ 。也就是不能

有效地利用全部电源电压。另一个缺点是输出接近高电平值时,负载管临近截止状态,导通电阻变得很大,对开关速度不利(这点将在下面分析)。不饱和MOS管负载倒相器就是针对这些缺点而提出的。

图3-46是不饱和MOS管负载的倒相器电路。它与饱和型倒相器比较,就是

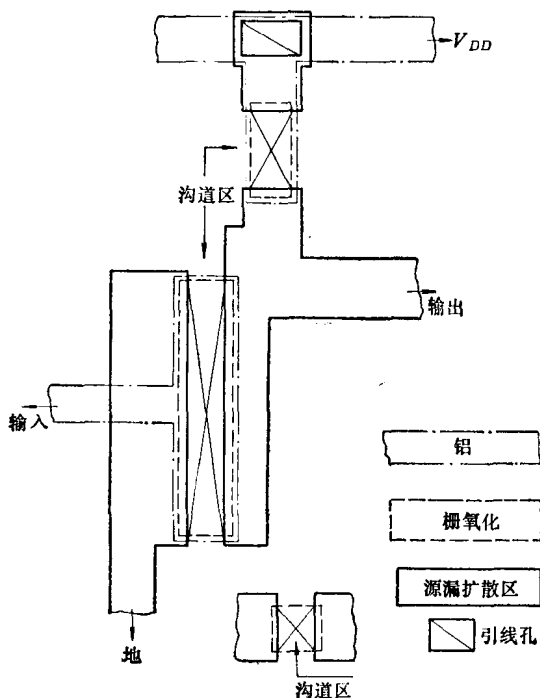


图3-45 饱和型 MOS 倒相器的布局版图

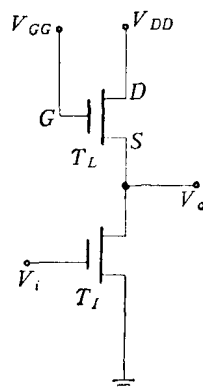


图3-46 不饱和 MOS 管负载倒相器

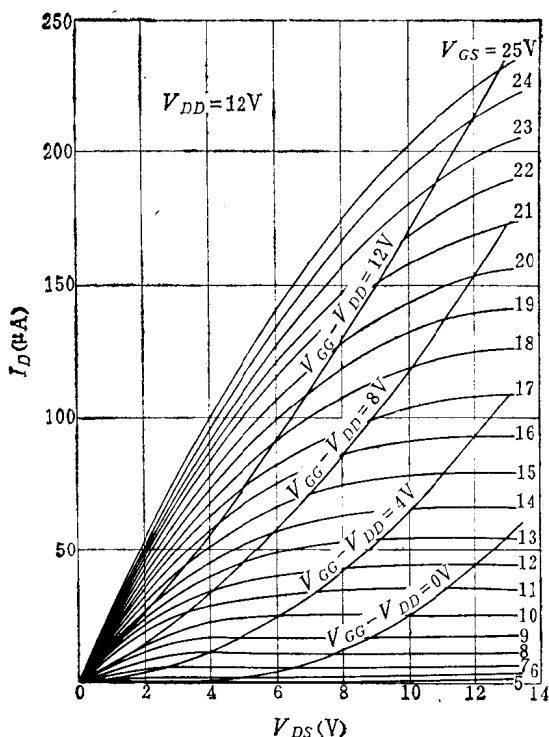
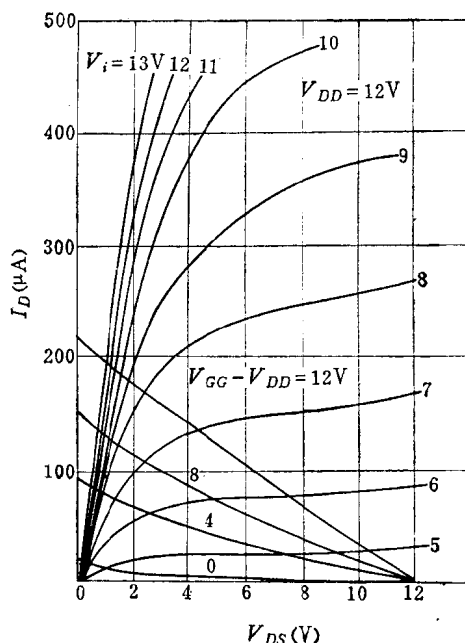
负载管栅极接另一组电源 V_{GG} 。一般选取 $V_{GG} > V_{DD} + V_T$,使负载管不进入饱和区,因此输出高电平可达 V_{DD} ,而且在输出高电平时负载管的通导电阻仍然较小。

进一步分析不同 V_{GG} 时的电压传输特性也可按前面的原则处理。现在负载管的栅-源电压 V_{GS} 与漏-源电压 V_{DS} 之差永远是 $(V_{GG} - V_{DD})$ 。所以,只要根据负载管的输出曲线簇,找出 $V_{GS} - V_{DS} = V_{GG} - V_{DD}$ 的各点,将它们联成曲线,就得到倒相器的负载的伏安特性曲线。利用负载的伏安特性曲线和输入管的特性曲线便可作出电压传输特性曲线。

图3-47画出了四种不同 V_{GG} 值时的负载伏安特性曲线,比较几根伏安特性曲线,可以看出 $V_{GG} - V_{DD}$ 愈大,伏安特性曲线愈接近线性。

图3-48画出了输入管的特性曲线及负载线,从图中可以看出 $V_{GG} = V_{DD}$ 时,负载线的电流起点在 $(V_{DD} - V_T)$ 处,输出高电平值为 $(V_{DD} - V_T)$ 。随着 V_{GG} 的增加,负载线的电流起点将向 V_{DD} 靠拢,这说明输出高电平将随 V_{GG} 的增加而上升,当 $V_{GG} \geq V_{DD} + V_T$ 时,负载线的起点移到 V_{DD} ,输出高电平达电源电压。另一方面, V_{GG} 增加输出低电平也将升高,除非提高输入电压 V_i ,使输入管的通导电阻下降才能恢复原来的低电平值。

根据上面的分析,可以推知电压传输特性曲线随负载管偏置电压 V_{GG} 的变化将有图3-49的趋势。

图3-47 不同 V_{GG} 时负载的伏安特性曲线图3-48 输入管特性曲线和不同 V_{GG} 时的负载线

(4) 互补 MOS 倒相器 图 3-50 是互补 MOS (C-MOS) 倒相器的结构剖面图。衬底是 n 型硅, 左边是 p -MOS 管, 右边是 n -MOS 管。 n -MOS 管是作在 p 阱区, p 阱就相当于 n -MOS 管的衬底。因为 MOS 管的开启电压与衬底表面附近的掺杂浓度关系很大, 所以 p 阱常用离子注入技术来完成。用离子注入掺杂不仅可以较好地控制掺杂浓度, 而且可以控制杂质的纵向分布。源、漏区仍可用热扩散法掺杂。在 p 阱的周界有一个 p^+ 环, 常称保护环。因为氧化层中的正离子作用, 掺杂浓度较低的 p 型区表面很容易造成反型。如果没有 p^+ 保护环的隔开, 当 p 阱表面出现微弱的反型就会造成 n -MOS 的源漏扩散区 n^+ 与衬底 n 之间的漏电。加上 p^+ 保

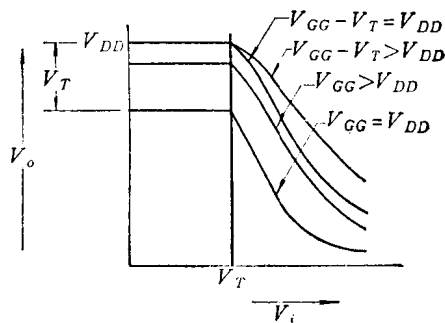
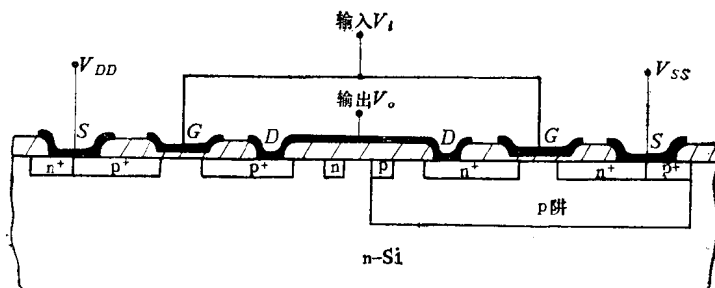
图3-49 负载管具有不同的 V_{GG} 时的电压传输特性曲线

图3-50 C-MOS 倒相器结构

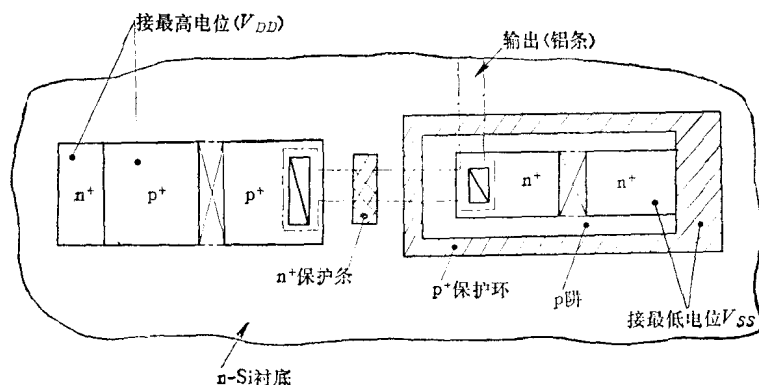


图3-51 保护环的平面图形

护环后，因为 p^+ 表面是不会反型，所以即使 p 阱表面形成反型沟道，也不致与衬底 n 型联通，即表面沟道到 p^+ 处被切断。保护环的平面图如图3-51所示。对于 p -MOS管周围则不一定加完整的保护环，只需在某些铝线走过的下面加 n^+ 保护条。如图3-51所示，在铝线走过的下面有一小段 n^+ 保护条。这个保护条的作用是防止铝线的电位比衬底负得多时，铝线下面的硅表面出现 p 型沟道，造成 p 沟的漏区与 p 阱联通。加 n^+ 保护条后，它就割断了这种联通沟道。没有铝线通过的地方，因为氧化层中的正离子只能使 n 型的表面变得更强，不会出现反型层，所以可不加完整的保护环。

图3-52是C-MOS倒相器的电路图。上面是 p -MOS管，源极与衬底相联，接电路的最高电位 V_{DD} ，即电源的正端。下面是 n -MOS管，源极与 p 阱相联，接电路的最低电位，也就是电源负极。 p 阱就相当于 n -MOS管的衬底，所以两个MOS管的源极都与它们自己的衬底相联，因此不存在衬底偏压效应。两个MOS管的栅极相联，作为输入端，两个漏极

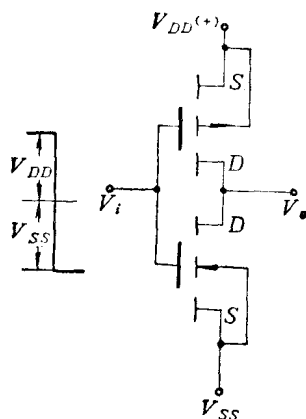


图3-52 C-MOS倒相器电路图

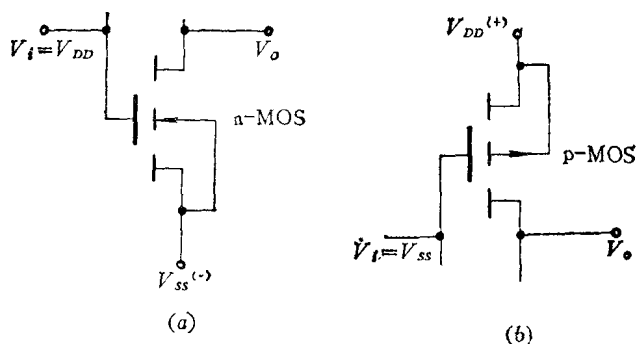


图3-53 输入为高电平和低电平时的等效电路

(a) 输入为高电平；(b) 输入为低电平。

相联作为输出端。两个管子互为负载。当输入为高电平时，如 $V_i = V_{DD}$ ，则 n -MOS管导通， p -MOS管截止。因为这时 p -MOS的栅极与源极同电位。当输入为低电平时，即 $V_i = V_{SS}$ 时， n -MOS截止， p -MOS管导通。所以，C-MOS倒相器的最大特点是两管交替工作。高电平输入时，相当 p -MOS管不存在，如图3-53(a)的情况。只要输入电压满足 $V_i - V_{SS} > (V_T)_n$ ， n -MOS就开始导通，源极与漏极联通，输出电压就是 V_{SS} ，为电路中

的最低电位。当输入为低电平 $V_i=V_{ss}$ 时, n -MOS管截止, 相当 n -MOS管不存在。它等效为图 3-53 (b) 的情形, 只要输入电压满足 $V_i-V_{DD}<(V_T)_p$, p -MOS管就通导。式中 $(V_T)_p$ 是 p -MOS管的开启电压, 是负值。当 p -MOS管通导时, 输出端与 V_{DD} 联通, 输出得电路中的最高电位 V_{DD} 。并且在 $V_o=V_{DD}$ 时, p -MOS管是导通最好的情况, 因为这时源-漏都是最高电位, 而栅极是最低电位 V_{ss} , $(V_{GS})_p$ 达到最大的负值。

根据上面的分析可以看出C-MOS倒相器的特点:

(1) 逻辑摆幅就等于电源电压。低电平输出时, 输出端与电源的负端等电位, 高电平输出时, 输出端与电源的正端等电位, 它充分地利用了电源电压的全部幅度。如果以 V_{ss} 作为电位的参考点, 即设它为零电位, 则输出低电平值为 0 V , 输出高电平为 V_{DD} 。

(2) 对电源电压变动的适应性强。在上面讨论中可以发现, 只要电源电压的幅度大于二个管子的开启电压的绝对值 $|V_T|$, 电路就能正常工作, 而且输出电压的摆幅就是电源电压的摆幅。这与单沟道倒相器相比, 是一个突出的优点。

(3) 输出电阻小。不论是高电平输出或低电平输出, 输出端与电源端之间的电阻都很小, 这是因为总有一个 MOS 管处于良好的通导状态。它颇像一个单刀双掷开关, 如图 3-54 所示。当输出为高电平时, 开关倒向电源正端, 当输出为低电平时, 开关倒向电源负端 (V_{ss})。

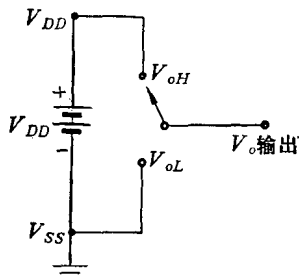


图 3-54 C-MOS倒相器的等效开关

(4) 静态功耗极微。因为低电平输出时或高电平输出时总有一个 MOS 管处于截止状态。所以不论输出是高电平状态或是低电平状态, 倒相器的电流都近似于零, 只有 p - n 结的反向电流。所以, 是一种静态功耗极微的倒相器, 静态电流只有微安数量级。

进一步分析C-MOS倒相器的电压传输特性, 同样可以利用 MOS 管的输出特性曲线。如果我们把 p -MOS管视作为 n -MOS管的负载, 则 p -MOS管的 $I_D-(V_{SD})_p$ 曲线就是负载的伏安特性, 但是现在 p -MOS管的栅压不是常数, 所以负载的伏安特性是随栅压而变。根据 p -MOS管的 $I_D-(V_{SD})_p$ 曲线可以写出负载线的表达式

$$V_o = V_{DD} - (V_{SD})_p \quad (3-56)$$

p -MOS管的源-漏电压 $(V_{SD})_p$ 是 $(V_{GS})_p$ 和 I_D 的函数 $V_{SD} = f(I_D, V_{GS})$, 它就是 p -MOS管的输出特性曲线簇。再根据给定的电源电压 V_{DD} , 便可作出负载线。图 3-55 画出了以 p -MOS管为负载的负载线, 图中用虚线表示。在图中假设电源电压 $V_{DD}=10\text{ V}$, C-MOS的电压传输特性曲线就可以根据负载线和 n -MOS的特性曲线求得。根据输入电压 V_i 和二个 MOS 管的栅-源电压的关系, 很容易找出不同 V_i 值下的工作点。对于 n -MOS管来说 $(V_{GS})_n = V_i$, 对于 p -MOS管来说 $(V_{GS})_p = V_i - V_{DD}$ 。例如, $V_i = 0\text{ V}$, 则 $(V_{GS})_n = 0$, $(V_{GS})_p = -V_{DD} = -10\text{ V}$ 。工作点就是 $(V_{GS})_p = -10\text{ V}$ 和横轴的交点 V_{DD} , 工作电流 $I_D = 0$ 。又如 $V_i = 5\text{ V}$, 则工作点是 $(V_{GS})_n = 5\text{ V}$ 和 $(V_{GS})_p = -5\text{ V}$ 的曲线的交点 A 。输入 $V_i = 4\text{ V}$ 时, 工作点为 B 。 $V_i = 6\text{ V}$ 时, 工作点为 C 点。依此类推, 可以求得 V_o-V_i 和 I_D-V_i 的关系曲线。

图 3-56 (a) 画出了C-MOS的电压传输特性曲线。图 (b) 给出了不同输入电压时的工作电流。

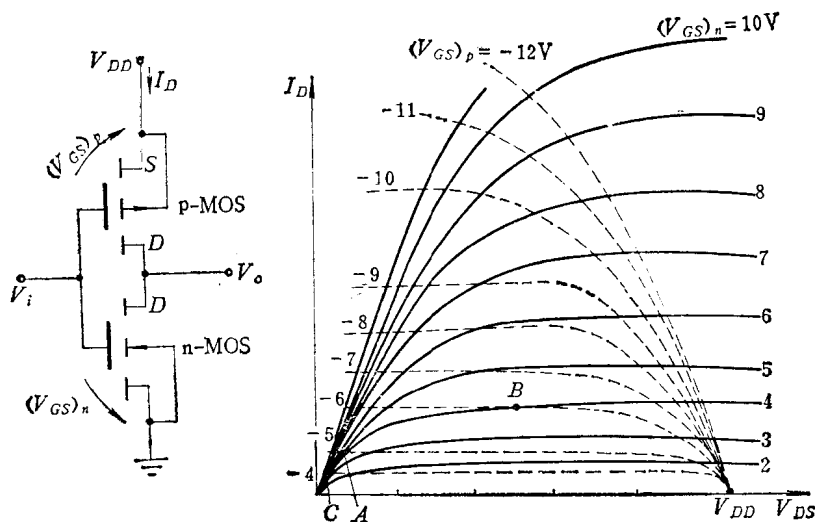


图3-55 MOS 倒相器的输入管特性曲线和负载线

从电压传输特性曲线可以看出：

(1) 当输入电压 $V_i < (V_T)_n$ 时输出电压等于电源电压 V_{DD} 。当输入电压 $V_i > V_{DD} + (V_T)_p$ [$(V_T)_p$ 是负值]，输出电压等于 0。

(2) 传输特性的中间一段变化很陡。它对应二个 MOS 管都工作在饱和区。因为这时两个管子都处于放大工作状态（跨导都很大），所以输出电压随输入电压变化最大。

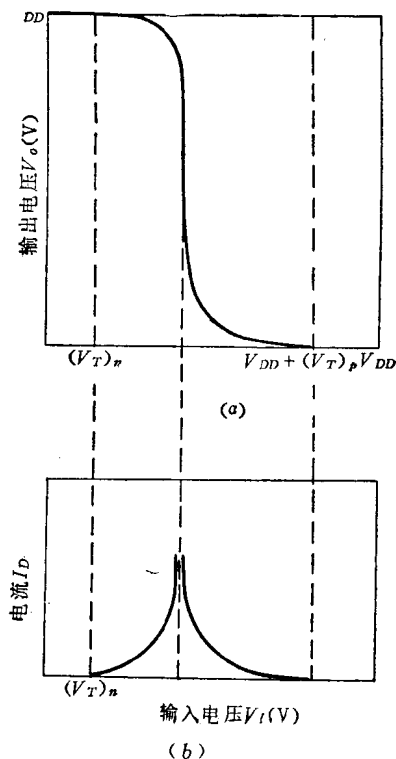
图 3-56(b) 是工作电流 I_D 随 V_i 的变化关系曲线，当两个管子处于同样的通导状态时电流 I_D 达最大值。但是这个区域不大，随着 V_i 的增加或减小电流 I_D 很快减小，当其中一个管子截止时， I_D 就变为 0。从 I_D-V_i 曲线可以看出，当输入信号是逐渐下降或逐渐上升时，平均工作电流将明显增加。

在 C-MOS 倒相器中，常常希望 p-MOS 管和 n-MOS 管的特性对称，所以常将两管子的跨导尽量设计得相同。如果两个管子的特性完全相同，开启电压也一样，则图 3-56 的曲线左右应该是对称的，其对称轴是 $V_i = V_{DD}/2$ 的垂直线。

C-MOS 倒相器有不少优点，但是工艺复杂，与单沟道 MOS 工艺相比要多用二块光刻版。另一方面因为需要 P 阱和保护环，所以芯片面积的利用率低，工艺的难度也大。

2. 倒相器的开关速度和动态功耗

(1) 倒相器的开关速度 分析倒器的工作速度时必须涉及电容效应。根据 MOS 管的结构，它有如图 3-57 的寄生电容。图中各电容分别为：

图3-56 C-MOS 倒相器的传输特性和 I_D-V_i 曲线

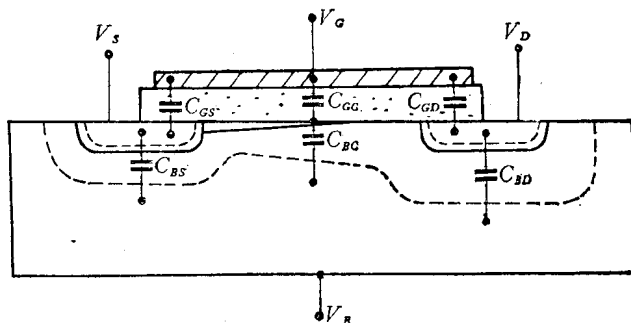


图3-57 MOS管的寄生电容

C_{GS} ——栅与源扩散区交叠的电容，由覆盖面积和栅氧化层厚度决定；

C_{GC} ——栅与沟道之间的电容；

C_{GD} ——栅与漏扩散区的交叠电容；

C_{BS} ——源与衬底之间的p-n结电容；

C_{BC} ——沟道与衬底之间的电容；

C_{BD} ——漏扩散区与衬底之间的p-n结电容。

各部位的单位面积电容大致如下：

金属-薄氧化层-硅形成的电容约 $0.2\text{pF}/\text{mil}^2$ ($1\text{mil}^2 = 625\mu\text{m}^2$)；

p-n结电容约 $0.1\text{pF}/\text{mil}^2$ ；

金属-厚氧化层-硅之间的电容约 $0.03\text{pF}/\text{mil}^2$ 。

对于倒相器中的输入管来说，因为源与衬底相联，有些电容可以合并，可简化为图3-58的情况。主要就是栅、源之间的电容 C_{GS} （包括 C_{GC} 在内），栅、漏之间的电容 C_{GD} 和漏、源之间的电容 C_{DS} 。

输入管的 C_{GS} 就是输入电容。这个电容是由金属电极-薄氧化层-硅组成的。它的单位面积的电容（电容率）最大，而且栅极的面积也大，所以它相对其它电容来说常常最大。如果该倒相器接受前级门的驱动，它就是前级门的负载电容。

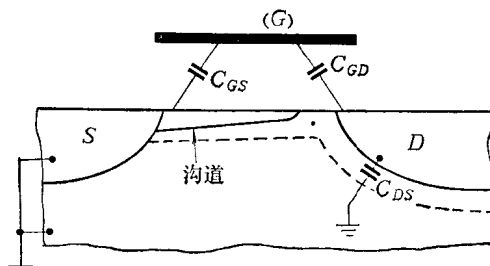


图3-58 MOS管的极间电容

C_{DS} 是MOS管的输出电容，它主要是漏扩散区与衬底之间的p-n结电容。p-n结的电容率虽然比薄氧化层的电容率小，但是因为漏扩散区的面积往往很大，所以这个电容也很大，有时甚至超过 C_{GS} 。对于倒相器的输入管而言，这个电容就成了负载电容的一部分。

C_{GD} 是栅、漏之间的电容，它构成了输入与输出之间的耦合电容。是栅极和漏极的交叠电容，一般是比较小的。在制造上总是尽量设法减小交叠面积。

下面以饱和MOS管负载倒相器为例，分析它的开关特性。对于其它型式的倒相器在此基础上作些对比。

为了简化问题我们作以下假设：

① 假设倒相器的输入电压是阶跃电压。这样，输入电容上的电压也随着跃变，所以

不必考虑它的影响。

② 输出节点上的电容都用一个负载电容 C_L 来等效。

根据上面的假设, 开关速度就简化为一个无电容的理想倒相器对负载电容的充放电问题。如图 3-59 所示。

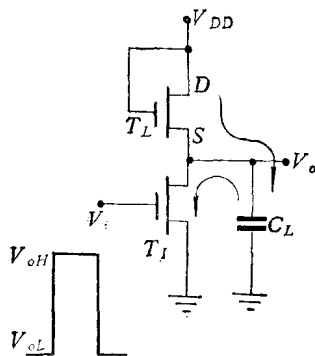


图3-59 分析开关速度的简化电路

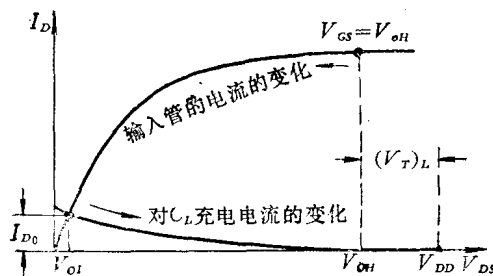


图3-60 C_L 的充、放电电流变化曲线

当输入为低电平时, 输入管 T_I 截止, 电容 C_L 上的电压由负载管充电到 V_{oH} 。当输入电压由低电平跳变为 V_{oH} 时, 输入管导通, C_L 开始通过 T_I 放电。当输入刚从 V_{oL} 跳变到 V_{oH} 时, 因为电容上的电荷还没有放掉, 所以输出电压仍处于高电平 V_{oH} 。这时输入管的漏-源电压 $(V_{DS})_I > (V_{GS})_I - V_T$, 所以输入管的工作是处于输出特性曲线的饱和区。它基本上以恒定电流 $(I_D)_I = K_I [(V_{GS})_I - V_T]^2$ 放电, K_I 是输入管的传导因子。随着电容 C_L 的放电, 输出电压也随之下降, 当输出电压降到 $V_o = (V_{DS})_I < (V_{GS})_I - V_T$ 后, 输入管转入非饱和状态。在 C_L 放电过程中, 输入管的电流应按 $I_D - V_{DS}$ 曲线簇中的 $V_{GS} = V_{oH}$ 的一条曲线变化, 如图 3-60 所示。电容 C_L 的放电电流等于 I_D 减去负载管的电流。这个放电过程总的说来比较快。电容 C_L 放电的最终稳定值就是 V_{oL} , 对应的工作电流为 I_{D0} 。

当输出达到稳定的低电平 V_{oL} 后, 如果输入电压突然跳变到低电平 V_{oL} , 则输入管 T_I 立即截止。电路 3-59 就等效为图 3-61 的情况。充电电流由负载管的伏安特性决定, 也就是充电电流与 V_o 的变化关系是沿负载线变化, 它的最大充电电流就是 I_{D0} 。随着输出电压的上升, 充电电流逐渐下降。造成电流逐渐下降的原因有二:

(1) 输出电压越高, 它与 V_{DD} 之间的电压差越小, 即使在负载电阻不变的情况下, 充电电流也将变小。

(2) 负载管的等效电阻随着 V_o 上升而变大。因为随着 V_o 的上升, $(V_{GS})_L$ 变小, 负载管的通导情况变差, 当输出电压达到 $V_{DD} - (V_T)_L$ 值后负载管的通导电阻就趋近无穷大。负载等效电阻的变化可以从负载的伏安特性曲线上看出, 在接近高电平输出时, 负载的伏安特性曲线的斜率趋近于 0, 负载电阻就趋近无穷大。总的说来, 倒相器从低电平输出状态转向高电平输出状态的过程中, 因为是靠负载管对负载电容充电, 而负载管的传导因子 $(K)_L$ 很小, 等效通导电阻很大, 所以充电时间比放电时间长得多。

饱和 MOS 负载倒相器的输出波形与输入波形之间的关系如图 3-62 所示, 从输入电压

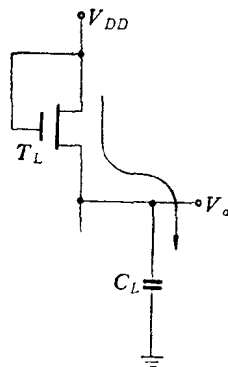


图3-61 低电平输入时的等效电路

发生上跳变的时间开始到输出电压下降到接近低电平值（比 V_{OL} 高出逻辑摆幅的 10%）的时间间隔称为通导延迟时间，图中用 t_{on} 表示。从输入波形由高向低跃变的时间开始，到输出电压上升到高电平值的 90% 所需的时间为截止延迟时间，图中用 t_{off} 表示。对于饱和 MOS 倒相器的 t_{off} 总是比 t_{on} 大得多，约差 10 倍。平均迟延时间约数百毫微秒。

下面，在饱和型 MOS 负载倒相器分析的基础上讨论其它类型倒相器的开关速度。

从上面的分析可以看出，如果输入管的特性相同，则各种倒相器由高电平转为低电平过程中的放电情况基本上相同，都是沿输入管的 $V_{GS}=V_{OH}$ 时的 I_D-V_{DS} 曲线。但是由低电平转为高电平的过程中，负载电容的充电是由负载线决定的，所以不同负载时的充电速度就大不相同。图 3-63 给出了各种负载情况下的负载线。比较四种不同负载时的负载线，可以看出 C-MOS 对负载电容充电的电流最大。如果负载管的特性与输入管完全对称，则充电电流和放电电流情况一样。线性电阻以恒定的 RC_L 时间常数充电。饱和负载线对 C_L 充电最不利。非饱和负载线介于线性电阻和饱和负载线之间。对于非饱和负载， V_{GG} 比 V_{DD} 大得越多，负载管就愈接近线性工作区，负载线也愈靠近线性电阻负载线。但是增大 V_{GG} 会使负载管的通导电阻变小，输出低电平值 V_{OL} 升高。除非用减小负载管的 W/L 才能保持原有的低电平值。图 3-63 中下面的三条负载线是在同样的低电平输出条件下进行比较的。

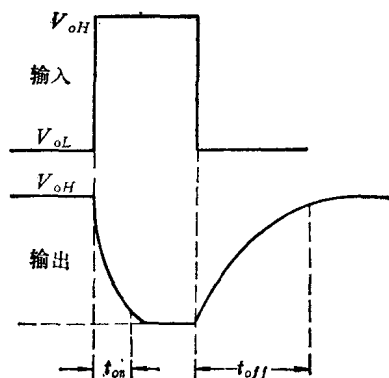


图3-62 饱和 MOS 负载倒相器的输入、输出波形

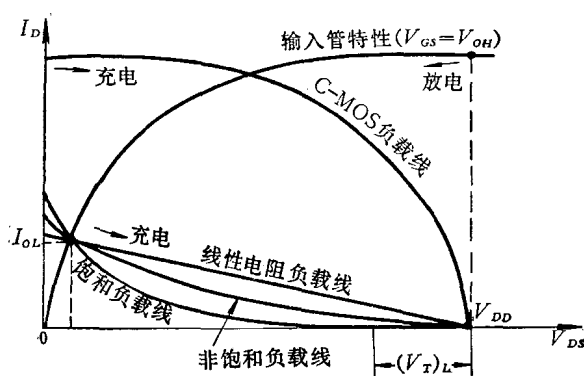


图3-63 各种负载情况下的负载线

（2）倒相器的动态功耗 倒相器的功耗 P 等于电源电压与电源电流的乘积。MOS 倒相器在恒定的低电平输出或高电平输出时电流都很小。但是，在动态工作中，由于负载电容的不断充电和放电就需要消耗额外的电源功率。当倒相器由低电平输出转为高电平输出时，负载电容逐渐充电（充电电流来自电源）是负载电容从电源取得能量的时间，充电结束时，电容上就储有一定的能量。当输入管转向通导时，电容上的贮能就通过输入管泄放，使输出转为低电平。如果输入电平再次下降，输入管转为截止，负载电容又将充电，产生充电电流，消耗电源的能量。功耗就是单位时间内消耗的能量。显然，倒相器在单位时间内的开关次数越多，（即信号频率越高）单位时间内充放电的次数也越多，消耗电源的能量就越大，功耗也越大。

对于 C-MOS 倒相器，前面已经讨论了它的 I_D-V_t 关系。如果输入波形是缓慢变化的，则当 p-MOS 管和 n-MOS 管都处于通导的阶段时，功耗还要增加。下面我们以 C-MOS 为例，（如图 3-64 所示）并在一定假设条件下分析它的功耗与信号频率之间的关系。假设条件是：

(1) 输入信号是阶跃脉冲。在这个假设条件下 P-MOS 管和 n-MOS 管不出现同时导通的情况。

(2) 信号的重复频率远小于倒相器的截止频率。这个假设条件表明倒相器在转换过程结束时, 负载电容 C_L 上的电压都能到达稳定的低电平值 0 V 或高电平值 V_{DD} 。

根据假设(1), C-MOS 倒相器只有在负载电容充电时才消耗电源电流。在负载电容通过 n-MOS 管放电时并不消耗电源电流。所以对于图 3-64 中的输入波形, 在一个周期中 (从 $t = t_0 \sim t_2$), 只有在输入低电平时期 ($t = t_0 \sim t_1$), P-MOS 管转为通导并对电容充电的过程中才消耗电源电流, 在这段时间内电源付出的能量就等于一个周期 T 内消耗的总能量。具体计算于下:

在 dt 时间内消耗的能量为

$$dW = P(t)dt = i_{c_L}(t)V_{DD}dt \quad (3-57)$$

式中 i_{c_L} ——在时间 t 时的充电电流。

在 dt 时间内电容 C_L 上的电压增量 dV_o 与充电电流之间具有以下的关系

$$dV_o = \frac{dQ_c}{C_L} = \frac{i_{c_L}(t)dt}{C_L} \quad (3-58)$$

式中 dQ_c ——电容上的电荷增量。

由式 (3-58) 得

$$i_c(t) = C_L \frac{dV_o}{dt} \quad (3-59)$$

将式 (3-59) 代入式 (3-57), 得

$$dW = C_L V_{DD} dV_o \quad (3-60)$$

取积分, 并注意在 $t_0 \sim t_1$ 的时间内, 电容的起始电压为 0, 终值为 V_{DD} 。所以在 $t_0 \sim t_1$ 时间内消耗的电源能量为

$$W = \int dW = C_L V_{DD} \int_0^{V_{DD}} dV_o \quad (3-61)$$

即

$$W = C_L V_{DD}^2$$

每个周期的平均功耗 (即平均功耗)

$$P = \frac{W}{T} = \frac{C_L V_{DD}^2}{T} = f C_L V_{DD}^2 \quad (3-62)$$

式中 f 表示输入脉冲的重复频率。

从式 (3-62) 可以看出, C-MOS 的功耗将随工作频率的增加而线性上升。

最后, 应重复强调式 (3-62) 是在一定的假设条件下得到的。实际的输入脉冲往往不是阶跃波, 特别在高频工作情况下, 输入脉冲的上升时间和下降时间与整个周期相比不能忽略。在这种情况下, 输入波形从高电平到低电平或从低电平到高电平的过程中, 二个 MOS 管将同时通导, 这部分功耗也必须计入。因此随着工作频率的升高, 功耗增加得更快。并且与输入信号的波形有关。

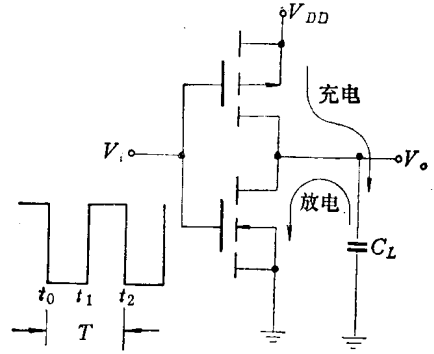


图3-64 分析 C-MOS 动态功耗的电路和输入脉冲波形

二、MOS集成电路中的基本门电路

MOS 倒相器就是“非”门。因为倒相器是各种电路的基础，所以上面作了专门介绍。下面再介绍一些其它 MOS 门电路的型式。

在讨论具体内容前，我们先对 p-MOS 和 n-MOS 集成门的正负逻辑作个约定：

对于 n-MOS 采用正逻辑，即高电平为逻辑“1”，低电平为逻辑“0”。

对于 p-MOS 采用负逻辑，高电平为逻辑“0”，低电平为逻辑“1”。

这样约定后就可以使 p-MOS 电路和 n-MOS 电路之间在电路形式和逻辑关系上取得完全一致。

根据摩根定理，可以得到以下的结论：正逻辑的“与”门就是负逻辑的“或”门；正逻辑的“或”门就是负逻辑的“与”门。如果 p-MOS 和 n-MOS 都用同样的正逻辑或负逻辑，则同样的电路形式将会得到两种不同的逻辑关系。在上面的约定下，我们对单沟道 MOS 集成电路就不再分别讨论 p-MOS 和 n-MOS，在电路中也不再注明衬底符号。在下面的门电路介绍中，我们把 MOS 传输门的内容插入 C-MOS 电路中，把单沟道 MOS 集成电路中常用的输出级电路插入单沟道 MOS 集成门中。

1. 单沟道 MOS 集成门电路

(1) 输出级电路 上面已经讨论了 MOS 电路的开关速度。影响开关速度的主要因素是负载电容和 MOS 管的通导电阻。在单沟道 MOS 倒相器中，为了要满足输出低电平要求，负载电阻做得很大，因此严重影响了截止延迟时间。在负载电容 C_L 增大的情况下，开关速度就更低。虽然用同时增大输入管和负载管的尺寸可以提高驱动电容的能力，但输入管尺寸的增大会造成输入电容变得很大，增加前级门的负载电容，并使芯片面积大大增加。所以在单沟道 MOS 电路中，为了提高电容负载的能力采用专门的推挽输出电路。

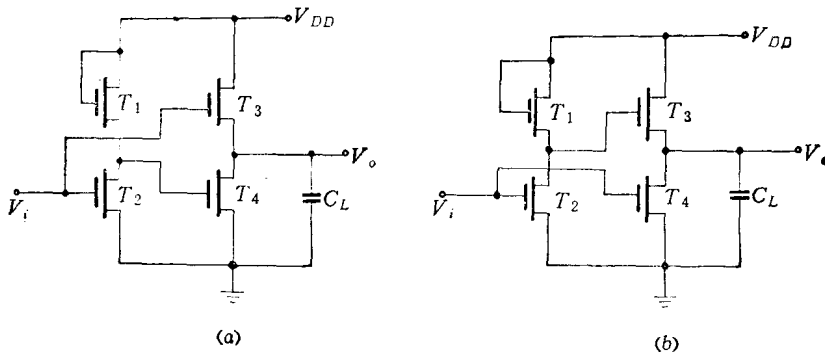


图3-65 MOS 输出级电路

图3-65 是二种 MOS 输出级电路，或称图腾柱电路。(a) 是同相输出门，(b) 是反相输出门。电路中的 T_1 、 T_2 管组成饱和 MOS 负载倒相器，它们的输出和输入 V_i 组成一对互补信号。在图 3-65(a) 中， T_1 、 T_2 的输出接 T_4 管的栅极， V_i 接 T_3 管的栅极，相当于输入信号经历了二次倒相，所以最终的输出 V_o 与输入 V_i 是同相。当 V_i 为低电平时， T_2 截止， T_1 导通， T_4 的输入得高电平。 T_3 处于截止状态，所以负载电容可放电到 0 V，也就是输出低电平可达 0 V。当输入为高电平时， T_2 导通 T_1 截止， T_4 的输入为低电平，处于截止状态。输出端的负载电容由 T_3 的通路充电到高电平，高电平值为输入高电平

输出为“0”。输入端只要有一个为“0”，输出就为“1”。这就是“与非”的逻辑关系，即

$$X = \overline{A \cdot B \cdot C}$$

在“与非”门电路中，因为三个输入管是串联的，它的通导电阻等于三个管子的通导电阻之和。所以，如要保证得到和倒相器一样的输出低电平，那么每个输入管的跨导应等于倒相器中输入管跨导的三倍。或者将负载管的宽长比缩小三倍。

图 3-67 (b) 是“或非”门电路及其符号，电路的特点是三个输入管并联，共接一个负载管 T_L 。三个输入管中，只要其中有一个输入管通导，输出就得低电平；只有三个输入管都截止时，输出才得高电平。也就是输入全“0”，输出得“1”。只要一个输入为“1”，输出就得“0”。这就是“或非”的逻辑关系。输出和输入的逻辑表达式为

$$X = \overline{A + B + C}$$

“或非”电路中的每个输入管和负载管的相对尺寸与倒相器中的相同。因为在最坏情况下的低电平输出就是一个输入管处于通导状态，和倒相器一样。当几个管子都通导时，输出低电平就更低。

(3) “与或非”门和“异或”门 图 3-68 (a)，(b) 分别为“与或非”门的电路图和逻辑图。它由 T_1 、 T_2 和 T_3 、 T_4 分别组成两个“与非”门，合用一个负载管 T_L ，逻辑表达式为

$$X = \overline{A \cdot B + C \cdot D}$$

只要一组“与非”门输入全“1”，输出就为低电平。只有两组“与非”门都有一个输入端为“0”，输出才为“1”。

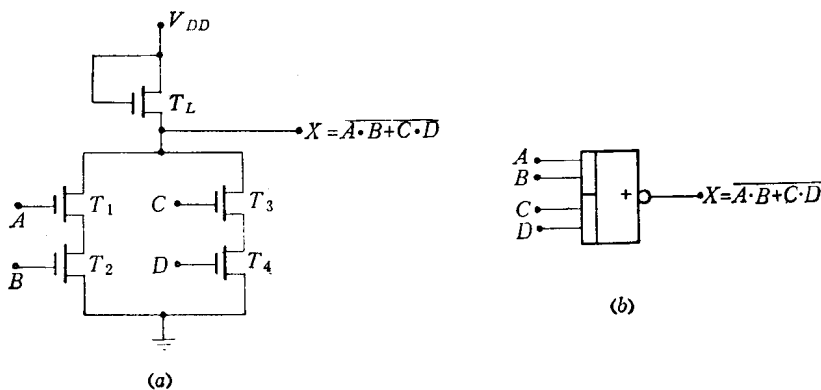


图3-68 “与或非”门

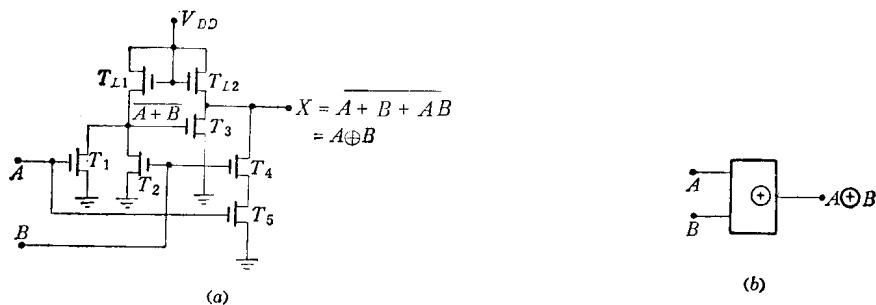


图3-69 “异或”门

图 3-69 (a)、(b) 分别为“异或”门电路和它的逻辑符号。它由二级门组成, T_1 、 T_2 和 T_{L1} 组成第一级门, 完成“或非”功能。 T_3 、 T_4 、 T_5 组成第二级门, 完成“与或非”的功能。 T_3 的输入是第一级门的输出。所以输出与输入之间的关系为

$$X = \overline{(A+B)} + AB$$

利用摩根定理得

$$X = \overline{A+B} + AB = (A+B)(\overline{AB}) = (A+B)(\overline{A+B}) = \overline{A}B + \overline{B}A = A \oplus B$$

2. C-MOS 集成门电路

(1) 传输门 MOS 管的一个有用特性是具有双向性。因为它的源极和漏极是完全一样的, 可以互相交换工作。当栅极上的电压大于开启电压时, 电流流通方向可以从漏到源, 也可以从源到漏。利用 MOS 管的这个基本特性, 可作传输门。当栅压大于开启电压时, 门就打开, 源、漏之间通导, 允许信号从一端送向另一端。当栅压小于开启电压时, 门被封闭, 信号的通路就被切断。将 p-MOS 和 n-MOS 并联运用 (即 C-MOS), 它具有更良好的传输特性, 传输的电压可以从零到电源电压之间的任何值。

图 3-70 (a) 给出了 C-MOS 传输门, 图 (b) 是 n-MOS 传输门, 以供比较。在图 (a) 的 C-MOS 传输门中, T_1 是 n-MOS 管, 衬底 (P 阱) 接最低电位 (地)。 T_2 是 p-MOS 管, 衬底接最高电位 V_{DD} 。现在设 $V_{DD}=10V$ 。工作时 n-MOS 和 p-MOS 的栅极加上互补控制电压, 一个处于高电平时, 另一个必然处于低电平。现在假设 n-MOS 管的栅极电压为 10V (高电平 V_{OH}), p-MOS 管的栅极电压为 0V (低电平 V_{OL}), 这时传输门就处于打开状态。被传送的信号可以从左向右, 也可以从右向左 (图中假设从左向右), 被传输的电压允许在 0~10V 之间变化。

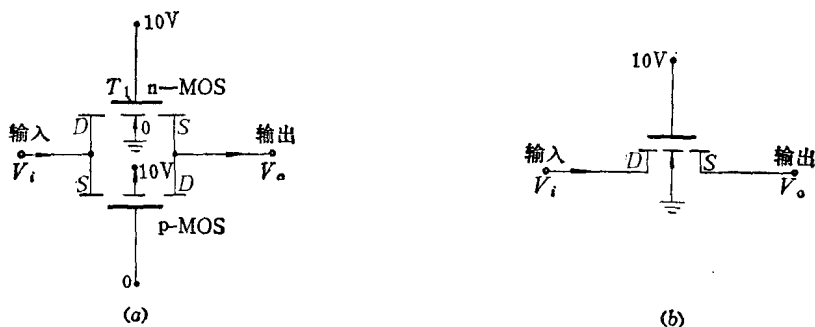


图 3-70 MOS 传输门

下面我们分析传输的电压从 0V 逐渐增加到 10V 过程中的工作情况 (设二个管子的开启电压绝对值均为 2V)。当输入电压为 0V 时, n-MOS 管通导, 输出和输入电压相同。n-MOS 管的栅-源电压 $(V_{GS})_n = 10V$, 比开启电压大得多, 因此通导电阻很小。p-MOS 管的栅源电压 $(V_{GS})_p = 0V$, 它处于截止状态。因此这时传输门的通导作用完全靠 n-MOS 管。当传输电压升为 3V 时, n-MOS 管的栅-源电压 $(V_{GS})_n = 7V$, 它的通导略微变差, 通导电阻显得大些, 但 p-MOS 已开始通导, 所以输入与输出之间的通导电阻变化不大。如果输入电压再进一步升高, 主要的通路就逐渐转向 p-MOS 管。当输入电压为 8V 时, n-MOS 管的 $(V_{GS})_n = 2V$, 刚处于临界通导状态。这时 p-MOS 管的栅-源电压 $(V_{GS})_p = -8V$, 所以通导电阻很小。输入电压再增加时, 整个传输门的通导作用就完全转让给

p-MOS管了。如果 p-MOS 管和 n-MOS 管的跨导相同, 则输送 0V 信号与 10V 信号时的通导电阻完全一样。在单沟道传输门中就没有这样良好的传输特性, 例如在图 3-70 (b) 的 n-MOS 管传输门中, 当输入电压为 0V 时, n-MOS 管的栅-源电压 $(V_{GS})_n = 10V$, 它有良好的传输特性 (通导电阻很小)。随着输入电压 V_i 的上升, $(V_{GS})_n = 10V - V_i$ 逐渐变小, 当输入电压达到 $10V - (V_T)_n$ 时, n-MOS 管的栅-源电压 $(V_{GS})_n = (V_T)_n$, 转向截止。所以它的传输信号只能在 $[10V - (V_T)_n]$ 以下, 而且随着传输电压的增加, 传输性能逐渐下降。如果再考虑衬底偏压效应, 传输电压允许变动的范围就更小。

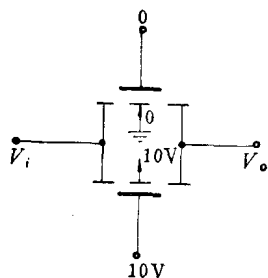


图3-71 C-MOS 门的关闭情况

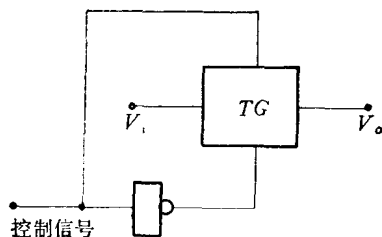


图3-72 带倒相器的 C-MOS 传输门

当希望 C-MOS 传输门关闭时, n-MOS 管的栅压加 0V, p-MOS 的栅极加 10V, 如图 3-71 所示。这时输入电压在 0~10V 之间, n-MOS 的 $(V_{GS})_n$ 永远是负值, p-MOS 的 $(V_{GS})_p$ 永远是正值, 所以传输门关闭, 输入与输出之间被切断。在实际的 C-MOS 传输门中, 为了用户方便, 常常带有内部倒相器, 如图 3-72 所示。n-MOS 管的栅极和倒相器直接与外加的控制信号联通, p-MOS 管的栅极接倒相器 (也是 C-MOS) 的输出。当控制讯号为高电平时, 传输门打开, 允许信号通过。当控制信号为低电平时, 传输门封闭, 传送的信号被切断。传送的信号电压不得超过电源电压的范围。如果超过电源电压的范围, 则输入与衬底的 p-n 结变为正偏, 将造成输入端与衬底之间或输入与 p 阱之间的短路。

(2) C-MOS 的“与非”门和“或非”门电路 图 3-73 是 C-MOS “与非”门电路。 T_3, T_4 是二个 n-MOS 管, 源、漏极相互串联。 T_1, T_2 是二个 p-MOS 管, 源、漏极互相并联。 T_1 与 T_3 的栅极并联在一起作为输入端 A, T_2, T_4 的栅极并联在一起作为输入端 B。栅极相联的 n-MOS 管和 p-MOS 管, 它们的通导与截止正好相反。当输入端 A 与 B 都为“1”时, T_3 和 T_4 通导, T_1 和 T_2 截止, 所以输出为“0”。当输入端中有一个为“0”时, n-MOS 管中有一个截止, 输出端与地开路, p-MOS 管中有一个通导, 使输出与电源 V_{DD} 联通, 所以输出得高电平。当 $A = B = 0$ 时, T_1, T_2 通导, T_3, T_4 截止, 输出仍为高电平。这就是“与非”功能。

图 3-74 是 C-MOS “或非”门, 它恰好和“与非”门的接法相反, 二个 p-MOS 管是串联的, 二个 n-MOS 管是并联的。输入端 A 或 B 中只要有一个为“1”输出 X 就为“0”, 只有 A、B 都为“0”时输出才为“1”。这就是“或非”的逻辑功能。上面介绍的 C-MOS 门与单沟道 MOS 门相比, 只是每个输入管都要配一个负载管 (把 p-MOS 管视为负载管), 负载管的跨导基本上和输入管相同。利用 C-MOS 电路与单沟道 MOS 电路的对偶关系, 同样可画出“与或非”门和“异或”门等电路。

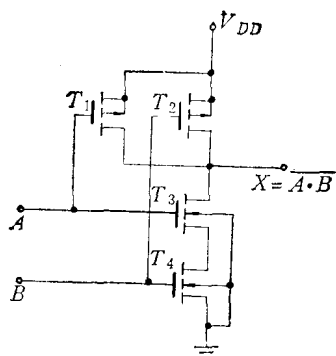


图3-73 C-MOS “与非”门（正逻辑）

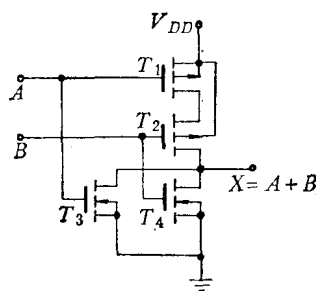


图3-74 C-MOS “或非”门（正逻辑）

§ 3-3 MOS集成电路的工艺概况

MOS集成电路制造也都采用平面工艺。由于MOS器件是属表面器件，因此对表面状况特别敏感。在制造过程中，除了防止沾污以外，还常常采取一些表面的特殊处理，如磷处理、氢退火等。栅氧化的质量直接影响到器件的开启电压，所以更应严加控制。MOS器件的栅电极材料除了用铝以外还有用多晶硅的，用多晶硅作栅电极的器件称硅栅。硅栅工艺具有一系列特点，如自对准，提高n-MOS器件的开启电压，降低p-MOS器件的开启电压，三层布线等。

C-MOS电路具有最理想的开关特性，功耗极微。在制造C-MOS集成电路中，为了充分发挥出低功耗的特点，特别注意防止漏电的问题，例如加保护环、保护带等。

下面分别对MOS器件制造的一些常规工艺流程作些介绍，并对特殊问题加以说明。

一、铝栅p-MOS工艺

铝栅p-MOS工艺流程如图3-75所示。p-MOS集成电路的制造基本上是平面工艺，它的制造工序比双极型晶体管的制造工序还少。管芯的制造只包括一次扩散，二次氧化。由于MOS管的源、漏区与衬底之间都有反向偏置的p-n结自然隔离，所以整个电路不必再加隔离措施。也不用外延、埋层等工艺。

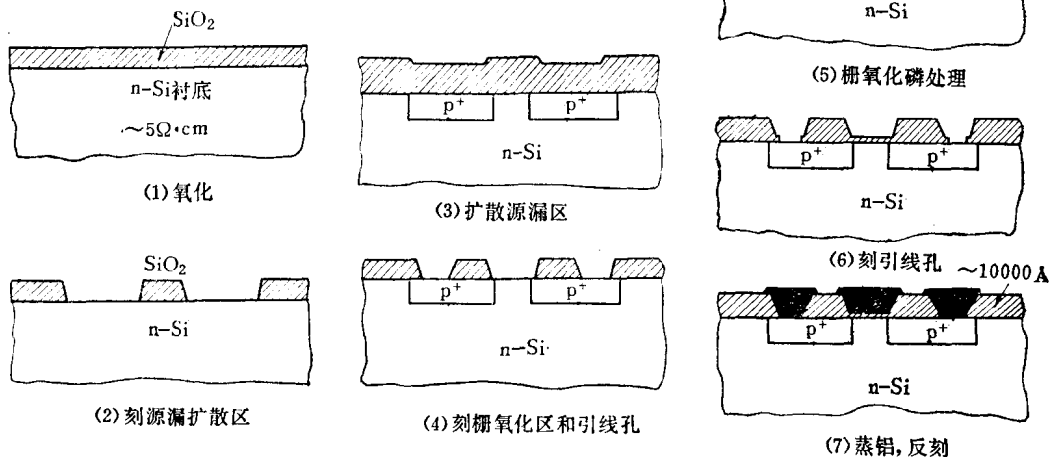


图3-75 p-MOS 工艺流程

整个工艺从原理上讲只需要四块光刻掩模版。但为了防止针孔影响栅氧化层的质量,有时多增加一块套刻版。但是 p-MOS 集成电路对沾污更敏感(与双极型器件相比),在制造中必须更严格地防止沾污。在栅氧化后需经磷处理,提取和固定钠离子,使器件的开启电压降低,更主要是使器件性能稳定。下面再对场氧化层的要求;栅氧化以及表面电荷的控制问题作些说明。

1. 场氧化厚度与表面漏电

第一次氧化的目的有二个(1)提供源、漏选择扩散的掩蔽物。(2)作为铝线与衬底之间的绝缘物。对 MOS 集成电路来说,一次氧化的厚度还存在一个特殊的问题。如图 3-76 所示,当金属的连线跨过二条 p^+ 扩散区时,它会产生寄生 MOS 管效应,即构成场氧化晶体管。

这种晶体管和薄栅氧化晶体管的原理完全一样,只不过开启电压较高。对于氧化层厚度为 $15000 \text{ \AA}$ 时,开启电压(V_{TF})约 -20 V 左右。这个数值是在一定的电流条件下测得的。实际上在 -20 V 以前就已经出现了电流。

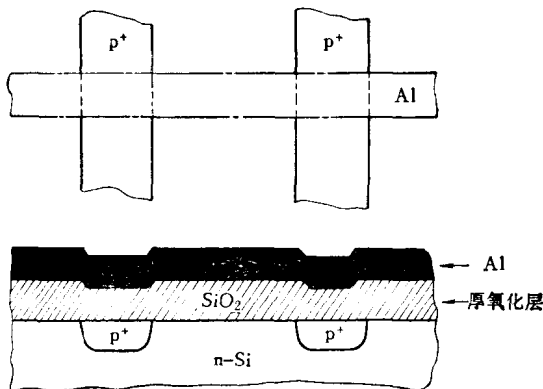


图3-76 厚氧化层形成的 MOS 晶体管

图 3-77 表示一个沟道宽度为 $W=50 \mu\text{m}$, 长度 $L=10 \mu\text{m}$, 场氧化厚度为 $15000 \text{ \AA}$, 栅、漏短接时的伏安特。电流 I_D 对应于 MOS 管的饱和电流。从图中可以看出,对于 (100) 晶面

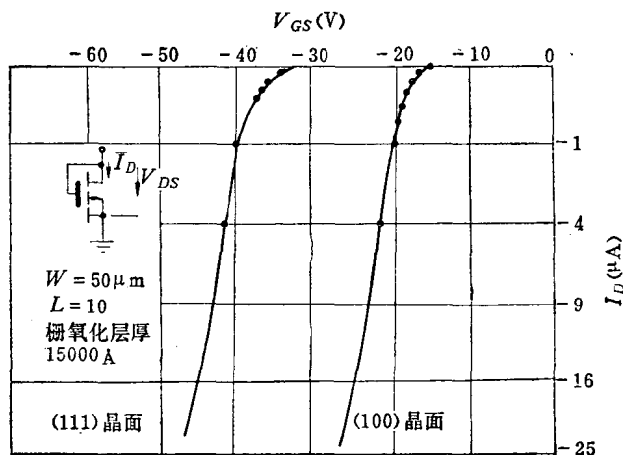


图3-77 厚氧化 MOS 管的二极管特性

的一条曲线,它的开启电压(对应于 $I_D = -1 \mu\text{A}$ 时的电压)为 -20 V 。但实际上在 -15 V 左右已经开始有电流,这个电流就带来了二个扩散区之间的漏电。在不饱和 MOS 管负载电路中,不饱和负载 MOS 管的栅极电压很高(达 -35 V),因此与负载 MOS 管栅极相联的铝条就有更高的电压。在这种铝条下面的表面反型就更加严重,漏电流也就更大。要防止这种现象的发生可以有三种方案:(1)在布局时防止带

高电压的铝条跨过二个扩散区。(2)增加场氧化层的厚度。有时将场氧化层增加到 $30000 \text{ \AA}$ 以上。这样,可使 V_{TF} 超过 -40 V 。(3)在 n 硅衬底表面局部掺杂使 n 型加强。因为表面的杂质浓度越高,开启电压也越高。

2. 栅氧化与钠沾污、介面电荷控制问题

栅氧化是 MOS 集成电路制造的关键工艺。它影响 MOS 器件的工艺参数,如开启电压(V_T)和传导因子(K)。也影响电路的性能、合格率、稳定性和可靠性。对栅氧化的要求大致有以下几方面:

(1) 要求栅击穿电压高, 无针孔。栅氧化物上的针孔会造成栅与衬底的短路。有时为了防止出现针孔, 刻引线孔时采用二次光刻版, 用二次涂胶来防止出现针孔。因为光刻版上的针孔是“随机”的, 用二次套刻能大大减少出现针孔的机会。另一方面为了使栅氧化物的致密性好, 采用干氧化。

(2) 精确控制厚度。在本章第一节中已分析了影响 V_T 值和 K 值的有关因素, 现将它们重写于下:

$$V_T = \phi_{MS} + 2\phi_F - \frac{Q_D}{C_{ox}} - \frac{Q_{ox} + Q_{ss}}{C_{ox}} \quad (3-63)$$

$$K = \frac{\mu \epsilon_{ox}}{2t_{ox}} \left(\frac{W}{L} \right) \quad (3-64)$$

在 (3-63) 式中, 与工艺有关的是后面二项, 即

$$-\frac{Q_D}{C_{ox}} - \frac{Q_{ox} + Q_{ss}}{C_{ox}}$$

式中

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

从这上面的关系式中可以看出, 减小栅氧化层的厚度 t_{ox} 可以降低 V_T 值和增加 K 值。但如果栅氧化层太薄, 则栅击穿电压太低, 所以一般要求不低于 1000 Å, 控制在 1500 Å 左右。

(3) Q_{ox} 和 Q_{ss} 低。 Q_{ox} 和 Q_{ss} 是工艺因素造成的, 它对 MOS 器件的 V_T 值影响很大, 如果 $Q_{ox} + Q_{ss}$ 大于 10^{12} 1/cm^2 , 则对应于 V_T 值增加 -5V 以上。如将这二种电荷的总量控制在 10^{11} 1/cm^2 以下, 则对应于 V_T 值增加量不超过 -1 V。(在实际工艺中可用电容-电压法来检测这部分电荷)。图 3-78, 表示这二部分电荷所在的位置。 Q_{ss} 主要集中在 Si-SiO₂ 界面处。它是由于界面处的部分硅原子缺氧, 没有化合成 SiO₂, 这部分原子具有不饱和键, 很容易失去一个价电子, 成为硅离子。因为硅离子是不可动的, 所以这部分电荷又称为固定电荷, 它约在界面处 200 Å 范围以内。在工艺中常采取以下几种方法来减少 Q_{ss} 。

① 选用 (100) 晶面。因为它的表面原子密度比 (111) 和 (110) 小, 所以 Q_{ss} 较少。

② 氧化后通惰性气体 (如 N₂、Ar、He) 进行高温退火。实验证明可以减少表面固定电荷。

③ 在较低的温度下进行氢处理。因为氢能

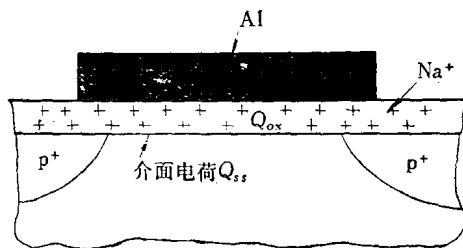


图3-78 Q_{ss} 和 Q_{ox} 所在的位置

够与未饱和的 Si 键形成稳定的饱和键。在 $T \leq 600^\circ\text{C}$ 进行氢气退火, 可以减少 Q_{ss} 。

Q_{ox} 是由外界沾污引起的, 自然界中到处存在钠离子, 所以主要是钠离子沾污。SiO₂ 中的钠离子, 在高温和电场作用下还能够漂移, 所以称为可动电荷。如果它向 Si-SiO₂ 界面处集聚将使 V_T 值变得更大。所以, 钠离子的存在还会引起 MOS 器件的性能不稳定。为了减少 Q_{ox} 的影响, 除了在工艺中严格防止 Na⁺ 离子引入以外, 还常常采用磷处理来吸取和固定 Na⁺ 离子。

磷处理工序是在栅氧化以后, 在第三次光刻之前进行, 目的在于使氧化物上生长一薄

层磷硅玻璃(PGS) (方法和磷扩散类似, 只是不使磷掺入硅中)。由于 Na^+ 离子在 PGS 中的分配系数比在 SiO_2 中的分配系数大得多, 因此在高温时, 大部分 Na^+ 离子都向 PGS 中集聚。磷处理的目的是除吸取 SiO_2 中的 Na^+ 离子外, 还可以防止后道工序中的钠离子进入表面, 起了钝化保护表面的作用。所以在制造 MOS 器件中, 磷处理已成了不可缺少的工序。

二、n-MOS 硅栅工艺

n-MOS 的硅栅工艺流程如图 3-79 所示。它与铝栅工序不同, 第一次光刻的图形就把源、漏区连同栅氧化区一起刻出。然后进行栅氧化, 栅氧化后再生长多晶硅, 作为栅的电极材料。多晶硅沉积后进行光刻腐蚀 (多晶硅的腐蚀一般用等离子腐蚀), 刻出硅栅电极再刻源-漏扩散图形。然后进行源漏扩散。在扩散过程中多晶硅也同时掺杂。由于源漏扩

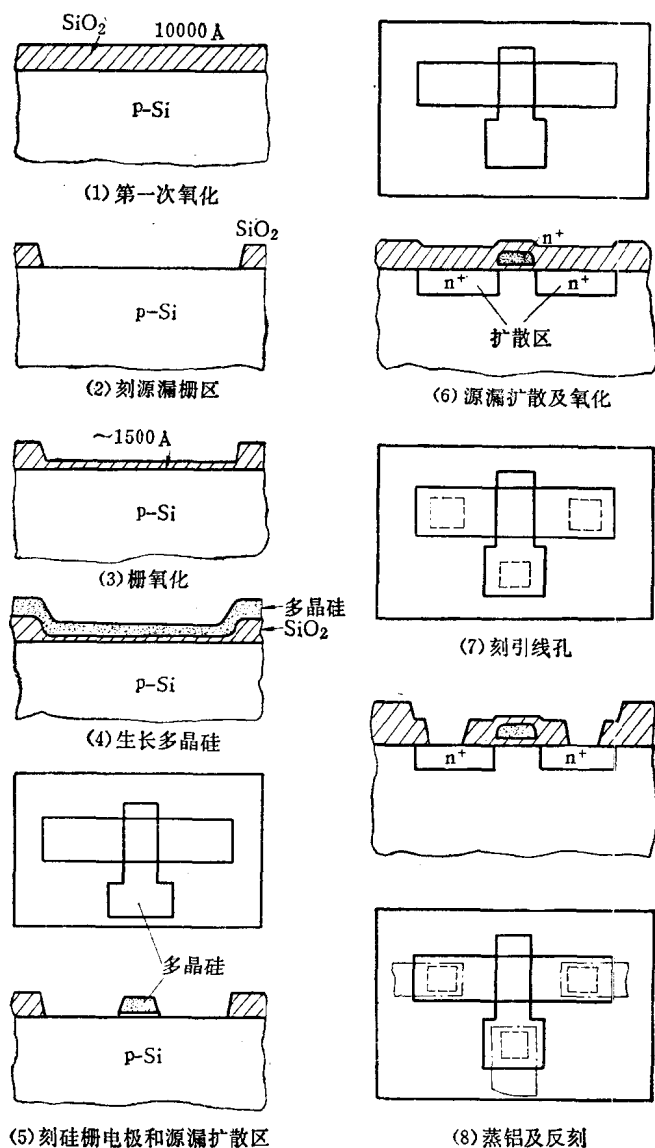


图3-79 硅栅 n-MOS 工艺流程

散的杂质浓度很高, 所以多晶硅掺杂后就成为高电导的金属性材料。它可以作为互联之用。扩散以后的工序与铝栅无甚差异, 不需再说明。

硅栅工艺具有以下的特点:

(1) 自对准。因为栅电极是在源、漏扩散之前完成, 它自然地把源、漏区分开来, 所以源、漏扩散区的光刻图形就是一个长方块, 它不需精确对位套刻。栅与源、漏区的覆盖面积仅仅由横向扩散造成, 所以覆盖面积很小, 覆盖电容可以显著减小。

(2) 提高了 n-MOS 器件的开启电压。在决定 n-MOS 器件的开启电压的因素中, 有二项是负值 $\left(\phi_{MS}, -\frac{Q_{ss}+Q_{ox}}{C_{ox}}\right)$ 。 ϕ_{MS} 是电极材料和硅衬底之间的接触电势差。在用铝作电极材料时, 它与 p 型硅之间的 ϕ_{MS} 约 $-1V$, 改用 n-Si 栅后约为 $-0.6V$, 因此使 n-MOS 的开启电压提高。

(3) 多了一层布线。高掺杂的多晶硅是一种良导体, 也可作为连线。所以硅栅结构相当于三层布线, 最下面的一层是源漏扩散区作为连线; 中间是多晶硅条作为连线; 最上面一层布线是铝线。这样三层布线给布局带来不少方便。三层布线之间都可以互联, 只要在布上面一层的连线之前, 在氧化层上开出引线孔, 就可达到互联的目的。

硅栅工艺有不少优点, 但是它的难度比铝栅大。多晶硅的生长和腐蚀都是铝栅工艺以外的工序, 需补充额外的设备和技术条件。

三、C-MOS 工艺和 C²L 器件

图 3-80 是 C-MOS (铝栅) 工艺流程图。它是在同一衬底 (n 型基片) 上做 n-MOS 管和 p-MOS 管。为了做 n-MOS 管, 在 n 型衬底上先做 p 阱。p 阱的掺杂浓度必需满足 n-MOS 的要求, 特别是表面浓度。为了精确控制表面浓度和表面处的纵向杂质分布, 最好的方法是采用离子注入。离子注入后需要退火处理, 使杂质激活, 并消除离子轰击造成的晶格缺陷。p 阱做好后再进行 p-MOS 的源、漏扩散, 同时在 p 阱周围扩散一个高浓度的 p^+ 保护环。然后, 扩散 n-MOS 的源、漏区, 并且同时在 p-MOS 管周围加保护环。接着再进行光刻和栅氧化, (p-MOS 和 n-MOS 同时完成)。栅氧化以后的工序与单沟道 MOS 器件相同。

C-MOS 具有低功耗的特点, 为了充分发挥这种电路的固有特点, 所以特别强调防止漏电的措施, 加保护环的目的就在于此。加保护环后也消除了寄生场氧化 MOS 管的影响。

从图 3-80 中的结构, 可以看出 C-MOS 的芯片利用面积不如单沟道 MOS 器件好。这是它的缺点之一。所以有人提出闭合互补 MOS 逻辑电路的方案, 简称为 C²L (或称 C²-MOS)。

C²-MOS 晶体管的栅极是一个闭合环, 如图 3-81 (a) 所示 (画剖面线的部分)。中间是漏极 D , 外面是源极 S 。同心方块的间距就是沟道长度, 内方块的周界等于沟道宽度 W 。图 3-81 (b) 是二个串联的 C²-MOS 管。中间最小的方块是 T_2 管的漏极 D_2 , 其次是 T_2 的栅极 G_2 , G_2 外面是 T_2 的源极 S_2 和 T_1 的漏极 D_1 , 它们是联通的, 所以合用一个扩散区。再外面是 T_1 的栅极 G_1 , 最外面是 T_1 的源极 S_1 。如果图 (a) 和图 (b) 两个同心环做在一个衬底上, 则最外面的源扩散极 S 和 S_1 联通, 成为共源联接。串联的管子愈多, 每个 MOS 管的平均占用面积就愈大, 这是它不利的方面。

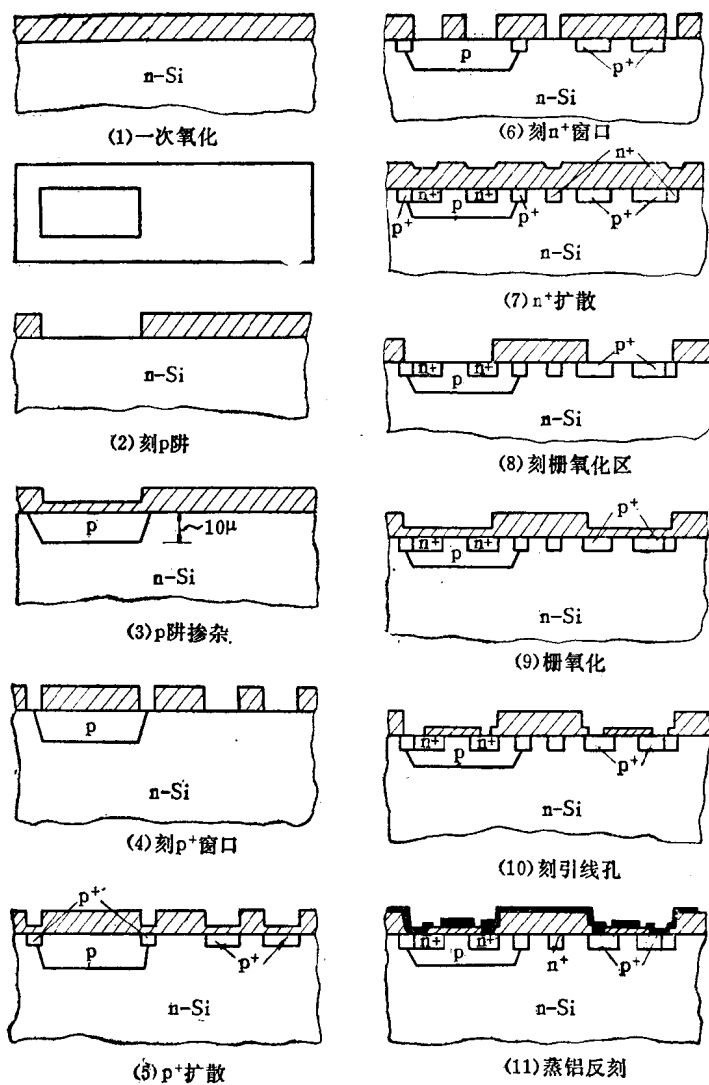
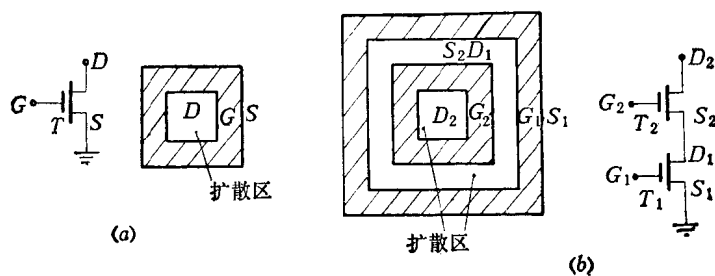


图3-80 C-MOS (铝栅) 工艺

图3-81 C²-MOS 的基本结构

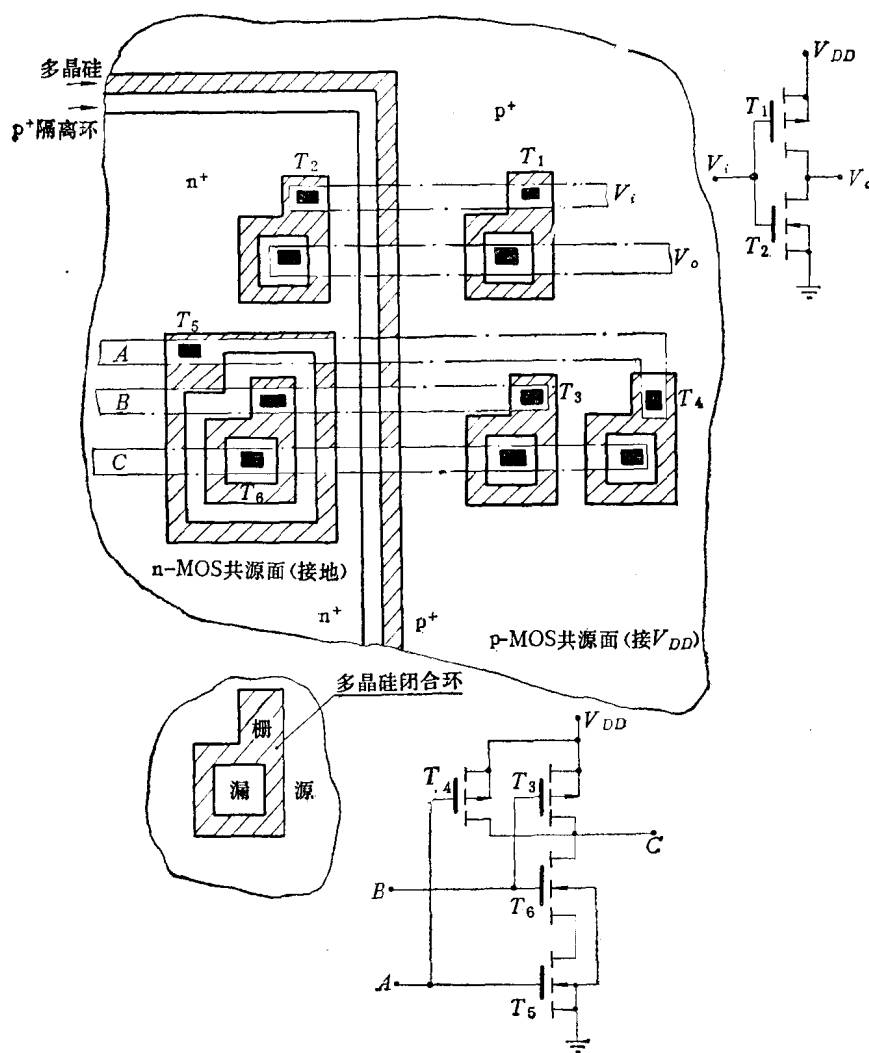


图3-82 C²-MOS的倒相器

图3-82给出了C²-MOS的局部平面结构(与版图相对应)。斜线部分表示多晶硅条。右半部分是三个p-MOS管 T_1 、 T_3 、 T_4 ，闭合环以外都是源扩散区，所以是共源联接(衬底是n型)。左半部分是三个n-MOS管 T_2 、 T_5 、 T_6 管。 T_2 是一个源极接地的n-MOS管， T_5 、 T_6 是二个串联的n-MOS管。所有n-MOS都在一个P阱中，闭合环以外的地方是 T_2 和 T_5 的源扩散区，就是P阱上的 n^+ 扩散区。整个P阱用一隔离 p^+ 环，隔离环外边是多晶硅环，它将 n^+ 和 p^+ 隔开。在多晶硅条下是衬底材料n-Si。工作时n-MOS的共源区 n^+ 接地，与P阱联通；p-MOS的共源区 p^+ 接 V_{DD} (正)，和衬底 n 联通。按照图中的联接，上面部分是一个C²-MOS倒相器；下面是一个C²-MOS的“与非”门，它们对应的电路如侧旁的附图所示。

C²-MOS的特点：

(1) 集成密度高。与一般的开环C-MOS相比，取消了每个管子四周的保护环，整个

p 阱只用一个隔离保护环。单个管子的漏极在中间，只要能容纳一个引线孔即可，所以电路的占用面积小。

(2) 共源联接的 MOS 管之间源极已经由等源面联通，不必再用铝线联接。

(3) 套刻精度要求不高。它只需考虑引线孔的套刻公差，因此光刻版的精度要求不高。

(4) 每个管子的漏极全部被栅电极包围，因此没有其它漏电的通路，漏电小。

(5) 采用硅栅结构能提高 n-MOS 的开启电压，降低 p-MOS 的开启电压，使两者的开启电压绝对值趋于一致，电路的对称性更好。

但是这种结构只能用于硅栅。因为漏极是在中间，漏极的引出线必须在栅极上面通过，如用铝作栅电极，则会发生短路。另一方面串联管子不宜过多，否则每个管子的平均占用面积就增大，所以对于输入端较多的 C-MOS 电路，采用 C^2L 的方案时，在逻辑设计方面也需作些改革，这样才能充分发挥 C^2L 的优点。

第四章 触发器及其它功能器件

门电路和触发器是数字电路中的最基本单元。利用门电路和触发器，可以构成各种用途的功能器件。本章先介绍触发器，然后，再以门电路和触发器为最基本的单元，介绍一些其它功能器件。

§ 4-1 触 发 器

集成触发器的种类很多，在双极型领域和 MOS 领域中都有各种触发器产品，但从它们的逻辑结构来说，基本相同。而且触发器常常根据它的功能特点来命名。所以本节开始先从逻辑结构和逻辑功能方面来介绍各种类型的触发器。然后，再分别讨论 MOS 型和双极型触发器的具体电路。

一、触发器的逻辑结构和功能

1. 直接 R-S 触发器

图4-1(a)是由二个“或非”门联成的直接 R-S 触发器，它联线的特点是二个门交叉耦合。即 G_1 的输出端 $\bar{Q}$ 接 G_2 的输入端； G_2 的输出端 Q 接 G_1 的输入端。每个门的另一

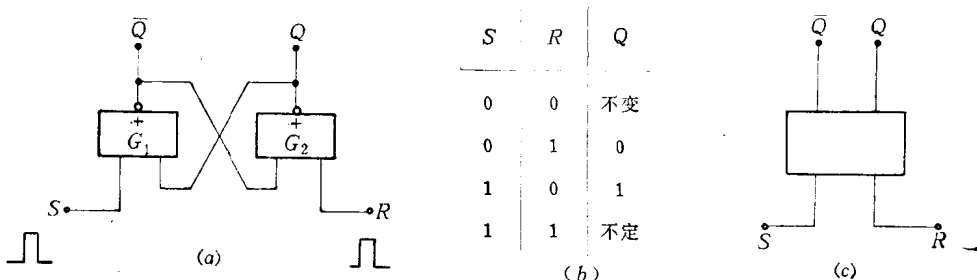


图4-1 “或非”门构成的直接 R-S 触发器的逻辑图与真值表
(a) 逻辑图；(b) 真值表；(c) 符号。

个输入端作为外接输入信号控制端，它就是触发器的输入端，在图中用 R 和 S 表示。 Q 和 $\bar{Q}$ 都是触发器的输出端。二个门的地位完全等同，所以输入端和输出端的命名完全是人为的。按照习惯，右门的输出称为 Q 端；左门的输出称为 $\bar{Q}$ 端。当两个输出端的命名给定后，触发器的状态就以 Q 端的状态为标准，如果 $Q = “1”$ ，我们称该触发器处于“1”状态；如果 $Q = “0”$ ，则触发器处于“0”状态。输入端的命名是根据该端在触发脉冲作用后，触发器所处的状态而定名的。 S 称为置位端，表示触发脉冲加于此端能使触发器置位为“1”，即 $Q = “1”$ 。 R 称为复位端，当 R 端加触发脉冲后能使触发器恢复“0”状态，即 $\bar{Q} = “1”$ ， $Q = “0”$ 。在“或非”门所组成的直接 R-S 触发器中，根据“或非”门的基本功能可以写出二个门的输出状态的逻辑式

$$\text{左门 } G_1 \text{ 的输出} \quad (\bar{Q})_{G_1} = \overline{S + (Q)_{G_2}}$$

$$\text{右门 } G_2 \text{ 的输出} \quad (Q)_{G_2} = \overline{R + (\bar{Q})_{G_1}} \quad (4-1)$$

如果二个输入端 R 和 S 都为“0”，将它们代入式(4-1)得

$$(\bar{Q})_{G_1} = S + (Q)_{G_2} = 0 + (Q)_{G_2} = (Q)_{G_2} \quad (4-2)$$

$$(Q)_{G_2} = R + (\bar{Q})_{G_1} = 0 + (\bar{Q})_{G_1} = (\bar{Q})_{G_1} \quad (4-3)$$

式(4-2)表明二个门的输出状态互补，即 $(Q)_{G_2}$ 为“0”时， $(\bar{Q})_{G_1}$ 就为“1”； $(Q)_{G_2}$ 为“1”时， $(\bar{Q})_{G_1}$ 就为“0”。如从式(4-3)来看，以 $(\bar{Q})_{G_1}$ 为逻辑变量，情况也是一样，当 $(\bar{Q})_{G_1}$ 为“0”时， $(Q)_{G_2}$ 就为“1”；当 $(\bar{Q})_{G_1}$ 为“1”时， $(Q)_{G_2}$ 就为“0”。这是二个门交叉联接相互约制的结果，所以在无外来的触发信号时（即 $S = R = 0$ ），由于二个门互相约制，互相保证，触发器的状态就不会改变，永远维持在原有的状态上。触发器的这种基本性能我们说它具有“记忆”的能力。

描述各种触发器的性能常常用真值表。对于由二个或非门构成的触发器，它维持原状态不变的条件是 $R = 0$ 、 $S = 0$ ，这就是图(4-1)(b)真值表中的第1行。

触发器的输入信号往往是短暂的脉冲，所以输入端出现的信号也是短暂的。对于“或非”门组成的触发器来说，它的触发信号应该是“1”脉冲，如图中的输入端所示。当信号脉冲存在时期为“1”，信号脉冲过后为“0”。

下面我们再分析触发脉冲作用后的触发器状态。

如果触发脉冲出现在输入端 R ，则在脉冲存在时期 G_2 的输出为

$$Q = \overline{R + \bar{Q}} = \overline{1 + \bar{Q}} = 0 \quad (4-4)$$

由于 $Q = 0$ ，而 S 端没有加触发脉冲，即 $S = 0$ ，所以使得 G_1 的输出

$$\bar{Q} = \overline{S + Q} = \overline{0 + 0} = 1 \quad (4-5)$$

当 $Q = 0$ ， $\bar{Q} = 1$ 后，如果 R 端的触发信号消失（即 $S = 0$ ），则此状态仍继续维持不变。这就是图(4-1)(b)真值表中的第二行， $S = 0$ ， $R = 1$ ，得到 $Q = 0$ 。它与原来的状态无关。

如果触发脉冲只出现在 S 端，即 $S = 1$ ， $R = 0$ ，则触发脉冲存在时期，使 G_1 的输出为

$$\bar{Q} = \overline{S + Q} = \overline{1 + Q} = 0 \quad (4-6)$$

由于 $\bar{Q} = 0$ ， $R = 0$ ，使 G_2 的输出为

$$Q = \overline{R + \bar{Q}} = \overline{0 + 0} = 1 \quad (4-7)$$

当 $\bar{Q} = 0$ ， $Q = 1$ 后，如果触发脉冲消失，触发器仍将维持“1”状态。这就是真值表中的第三行。

真值表的第四行是表示两个输入端都同时加上触发脉冲而等触发脉冲过后的状态。在触发脉冲存在时期， $R = S = 1$ ， G_1 、 G_2 都被迫转变为“0”。但是当两端的触发脉冲同时消失后，二个门的所有输入端都变成了“0”，这就使两个门都向“1”输出转化，在这种情况下就要看那个门翻转得快，处于“竞争”状态。如果 G_1 先翻转为“1”，则 G_1 的输出 $\bar{Q} = 1$ 就使 G_2 不能再变，停留在“0”输出状态，结果成为 $Q = 0$ ， $\bar{Q} = 1$ 即“0”状态。如果 G_2 翻得比 G_1 快， G_1 就被 G_2 的输出 $Q = 1$ 锁定在“0”状态，成了 $Q = 1$ ， $\bar{Q} = 0$ ，即“1”状态。所以 R 和 S 端同时加触发脉冲时，当触发脉冲一消失，状态是不定的。完全由二个门“竞争”的结果决定。二个门都是同类型的门，两个门之间的微小速度

差别无法预料, 所以触发脉冲过后的结果也无法预料。这就是真值表第四行中的 $S = 1$, $R = 1$, Q 不定。

不定状态在逻辑系统中是无法利用的。所以对于 R-S 触发器来说, 不容许二个输入端同时出现 “1” 状态。这是 R-S 触发器功能不够完善的地方。但是, 由于这种触发器的结构简单, 在许多地方还是常常用它。在各种较复杂的触发器中, 也都包含了这种最基本的触发器。

“与非”门和“或非”门存在着对偶关系, 利用“与非”门同样可以构成直接 R-S 触发器。

图4-2(a)是由“与非”门构成的 R-S 触发器, 两个“与非”门之间也是交叉耦合。

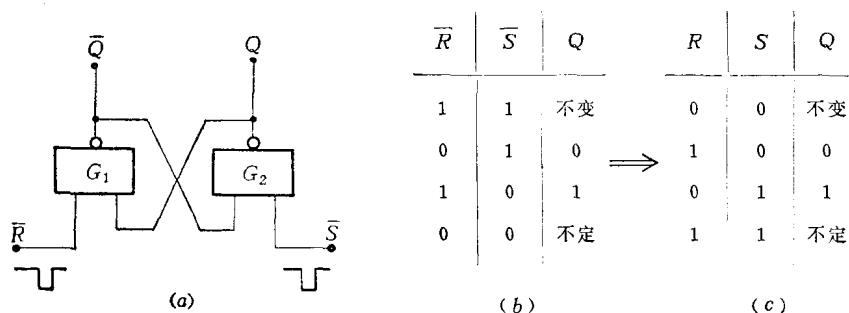


图4-2 “与非”门构成的直接R-S触发器的逻辑图和真值表

(a) 逻辑图; (b) 真值表; (c) 真值表。

由“与非”门构成的 R-S 触发器只能用 “0” 脉冲触发, 所以它的二个输入端分别用 $\bar{R}$ 和 $\bar{S}$ 表示。触发器的状态维持不变的条件是 $\bar{R} = 1$, $\bar{S} = 1$ 。它对应于图4-2(b)真值表中的第一行。

如果在 $\bar{S}$ 端加 “0” 脉冲, ($\bar{R}$ 仍保持 “1”), 则 $Q = 1$ 。使 G_1 的二个输入端都成了 “1”, 输出 $\bar{Q}$ 就为 “0”, 结果为 “1” 状态。所以 $\bar{S}$ 表示用 “0” 脉冲作用的置位端。

如果在 $\bar{R}$ 端加 “0” 脉冲, ($\bar{S}$ 仍保持 “1”), 则使 $\bar{Q} = 1$ 。当 $\bar{Q}$ 为 “1” 后, 对于 G_1 来说, 二个输入端都处于 “1” 状态, 这就迫使 G_2 的输出 Q 成为 “0”。当二个输出端分别为 $Q = 0$, $\bar{Q} = 1$ 后, 如果触发脉冲消失, 它仍维持在 $Q = 0$, $\bar{Q} = 1$ 的情况, 即成了 “0” 状态。所以 $\bar{R}$ 端表示用 “0” 脉冲才起作用的复位端。

如果 $\bar{R}$ 、 $\bar{S}$ 都加 “0” 脉冲, 在脉冲存在时期, Q 和 $\bar{Q}$ 都为 “1”。当脉冲消失后, 二个门的输入端都变为全 “1”, 于是它们的输出都将向 “0” 转化。如果 G_1 先翻为 “0”, 则它便把 G_2 锁定在 “1” 状态; 如果 G_2 先翻为 “0”, 则把 G_1 锁定在 “1” 状态。所以当两个输入端同时加 “0” 触发信号后, 它的状态不定。这就是真值表中的第四行, $\bar{R} = 0$, $\bar{S} = 0$, 输出状态 Q 不定。

如果我们将图4-2(b)真值表中的 $\bar{R}$ 和 $\bar{S}$ 用它的补值 R 和 S 表示出来, 重新列表, 便得图4-2(c)。将图4-2(c)和“或非”门所构成的 R-S 触发器的真值表相对比, 它们的形式完全一样。可以认为这二种触发器的真值表是统一的。它们之间的区别主要是, “与非”门构成的直接 R-S 触发器必需用 “0” 脉冲触发, 它的维持状态应该是二个输入端均为 “1”; “或非”门构成的直接 R-S 触发器则相反。

描述触发器的功能除用真值表表示外, 有时还用状态转换表和特征方程来表示。这种

方法有时在逻辑设计中会带来方便。R-S 触发器的状态表(如图(4-3) a 所示), 就是把原状态Q和输入状态(R、S)都作为逻辑变量填入表格中, 并写出相应的输出新状态Q'。根据R-S的真值表, 不难得到它的状态转换表。

Q	S	R	Q'
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	φ
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	φ

(a)

SR		Q			
		00	01	11	10
Q	0	0	0	φ	1
	1	1	0	φ	1

(b)

$$Q' = S + \bar{R}Q$$

图4-3 R-S 触发器的状态转换表及卡诺图

(a) 状态转换表; (b) 卡诺图。

图4-3(a)中, “φ”表示新状态Q'可以为“1”也可以为“0”。

图4-3(b)是根据状态转换真值表作出的卡诺图。

由前面讨论可知, “或非”门构成的R-S 触发器, 两个输入端R、S不允许同时为“1”, 因而触发器的二个输入逻辑变量之间必须满足约束条件

$$S \cdot R = 0 \quad (4-8)$$

由图4-3(b), 可以得到逻辑式

$$Q' = S + \bar{R}Q \quad (4-9)$$

将式(4-8)和式(4-9)结合在一起, 就是“或非”门构成的R-S 触发器的特征方程

$$\left. \begin{aligned} Q' &= S + \bar{R}Q \\ S \cdot R &= 0 \end{aligned} \right\} \quad (4-10)$$

对“与非”门构成的R-S 触发器, 它的两个输入端 $\bar{R}$ 和 $\bar{S}$ 不能为全“0”, 所以它们的约束条件为

$$\bar{R} + \bar{S} = 1$$

即

$$\bar{R} + \bar{S} = \overline{R \cdot S} = 1$$

$$R \cdot S = 0$$

它的卡诺图也可以表示为同样的形式, 因此它和“或非”门构成的R-S 触发器的特征方程也可以统一起来。

2. 可控R-S 触发器

上面介绍的R-S 触发器, 它的特点是: 置“0”或置“1”信号一出现, 输出状态就随之发生变化, 因此称为直接R-S 触发器。但在实际应用中, 有时不希望触发器的输出状态随时跟着输入状态变化, 而只希望根据同步信号有节拍地反映某一时刻的输入状态。要实现这种功能就需要带有同步讯号控制端的触发器。

图4-4(a)是“与非”门构成的可控R-S 触发器, 它是在图4-2(a)的简单触发器基础

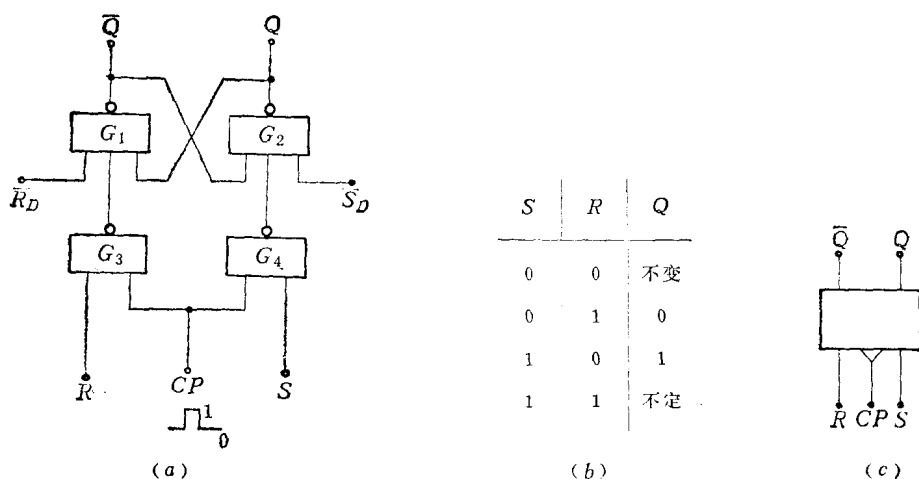


图4-4 “与非”门组成的可控R-S触发器
(a) 逻辑图; (b) 真值表; (c) 符号。

上再加二个“与非”门 G_3 和 G_4 。 G_3 的一个输入端和 G_4 的一个输入端并联, 接控制脉冲 CP (常称为时钟脉冲)。另二个输入端作为信号脉冲的输入端, 命名为置位端 S 和复位端 R 。 G_1 和 G_2 的另一对输入端为了与 R 、 S 有所区别改名为 $\bar{R}_D$ 和 $\bar{S}_D$, 表示直接触发端, 不用时应加“1”电平。下面的分析就令 $\bar{R}_D$ 和 $\bar{S}_D$ 始终为“1”。

当 $CP=0$ 时, 不论 R 、 S 是“0”或“1”, G_3 和 G_4 的输出永远是“1”, G_1 和 G_2 就维持原来的状态不变。换句话说, 当 $CP=0$ 时输入门被封锁, 输入信号不能进入触发器。

当 $CP=1$ 时, G_3 和 G_4 的状态就由 R 、 S 决定。换一句话说, 这时输入门开放, R 、 S 的信号能够改变触发器的状态。图4-4(b)是可控R-S触发器的真值表。它可以视为在 $CP=1$ 的情况下, 输入端加触发脉冲后, 输入和输出之间的逻辑关系。也可以视为 R 、 S 端加有固定的输入信号, 在时钟脉冲作用后, 输入与输出之间的逻辑关系。下面用后一种观点来分析这种触发器的真值表。

如果 $R=S=0$ 。 CP 到来时, G_3 和 G_4 的输出仍等于“1”, 所以输出状态不变。

如果 $S=0$, $R=1$ 。当 CP 到来时, G_3 的二个输入端都为“1”, 输出得“0”。 G_3 的输出就是 G_1 的一个输入。在“与非”门的几个输入端中, 只要有一个为“0”, 则输出就是“1”。所以这时不管原来的状态如何, G_1 的输出 $\bar{Q}=1$ 。对 G_2 来说, $G_4=1$ (因为 $S=0$), $\bar{Q}=1$, 所以 G_2 输出为“0”, 即 $Q=0$ 。当 $Q=0$ 后, 它又保证了 $\bar{Q}=1$ 。这时如果 CP 再转为“0”, 输出状态就维持在 $Q=0$; $\bar{Q}=1$ 的状态。这就是真值表中的第二行。

如果 $S=1$, $R=0$, 则情况与上面相反。当 $CP=1$ 时, 输入端开放, G_4 输出得“0”, 迫使 $G_2=1$ 。 $G_2=Q=1$ 和 $G_3=1$ 又迫使 G_1 得“0”。所以触发器的输出为 $Q=1$, $\bar{Q}=0$ 。即得“1”状态。 CP 返回“0”时由于 G_1 、 G_2 互相制约, 该状态将维持下去。

如果 $S=R=1$, 当 $CP=1$ 时, G_3 和 G_4 的输出都为“0”, 于是 G_1 和 G_2 的输出都得“1”。但是当 CP 过后 ($CP=0$), G_3 、 G_4 的输出也都返回“1”。这时 G_1 和 G_2 的输入端都变成了全“1”, 因此它们的输出都将向“0”转化, 出现“竞争”状态。如果 G_1 先翻为“0”, 则 G_2 就被锁定在“1”状态, 成了 $\bar{Q}=0$, $Q=1$ 的状态。如果 G_2 先翻为“0”, 则 G_1

被锁定在“1”状态, 结果就成了 $Q=0, \bar{Q}=1$ 的状态。因此, 最后的结果难以预料, 输出不定。

图4-4(c)是可控R-S触发器的逻辑符号。

反映可控R-S触发器逻辑关系的波形, 如图4-5所示。在图中设原始状态为 $Q=0, \bar{Q}=1$ 。在 t_0 以前, 虽然输入状态已经转为 $S=1, R=0$, 但因 $CP=0$, 所以输出不变。

当 $t=t_0$ 时, $CP=1, S=1, R=0$, 所以 $Q=1, \bar{Q}=0$ 。

当 $t=t_1$ 时, $CP=1, S=1, R=0$ (没有改变), 所以输出状态也不变。

当 $t=t_2$ 时, $CP=1, S=0, R=1$, 所以 $Q=0, \bar{Q}=1$ 。

在 $t=t_3$ 时, $CP=1, S=1, R=0$, 所以 $Q=1, \bar{Q}=0$ 。

在 $t=t_4$ 时, 虽然 $CP=1$, 但 $S=0, R=0$, 即“与”门 G_3, G_4 的输入端仍有一个为“0”, 所以 CP 对它无作用, 结果不变, $Q=1, \bar{Q}=0$ 。

上述的波形只反映了它的正常逻辑功能, 并没有反映出触发器的延迟时间问题, 这相当于时钟脉冲的周期远远大于门的延迟时间的条件下观测的结果。在实际工作中常常可以用这种方法判断触发器的基本功能是否正常。

可控R-S触发器除全部用“与非”门组成外, 也可以用“或非”门组成, 或用“与或非”门组成。

图4-6(a)是由“与或非”门组成的可控R-S触发器。它等效为图4-6(b)的逻辑图。电路的特点是“与或非”门的一个“或”输入端用作交叉耦合, 组成基本触发器。二个“与”输入端中的一个作为信号输入端, 另一个作为同步控制端, 接时钟脉冲 CP 。

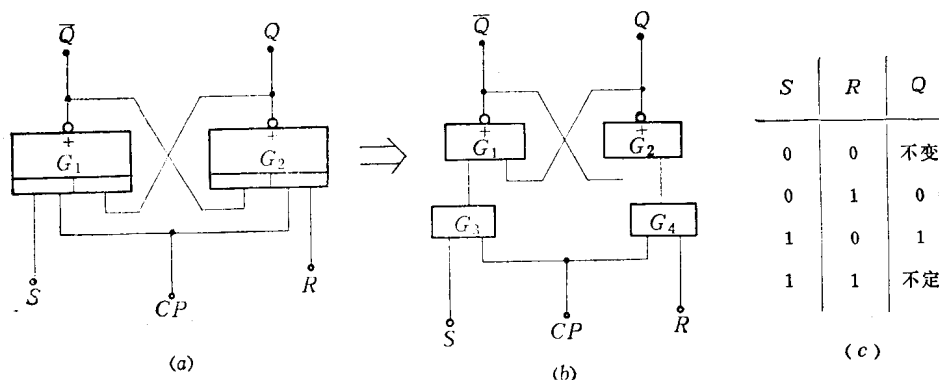


图4-6 “与或非”门组成的R-S触发器

根据“与或非”门的逻辑表达式, 对于图4-6中的“与或非”门 G_1 , 它的状态可

写为

$$G_1 = \bar{Q} = \overline{S \cdot CP + Q} \quad (4-11)$$

G_2 的状态为

$$G_2 = Q = \overline{R \cdot CP + \bar{Q}} \quad (4-12)$$

当 $CP = 0$ 时, 式中的 $R \cdot CP$ 和 $S \cdot CP$ 都为“0”。它与 R 、 S 的状态无关, 也就是 R 、 S 的输入无效, 输入端被封锁。 G_1 和 G_2 的输出互补, 维持原来的状态不变。

当 $CP = 1$ 时, 由式(4-11)得

$$G_1 = \bar{Q} = \overline{S + Q} \quad (4-13)$$

由(4-12)式得

$$G_2 = Q = \overline{R + \bar{Q}} \quad (4-14)$$

如果 $S = 0$, $R = 0$, 则 $G_1 = \bar{Q}$; $G_2 = Q$ 状态不变

如果 $S = 0$, $R = 1$

则

$$\begin{aligned} G_2 = Q &= \overline{1 + \bar{Q}} = 0 \\ G_1 = \bar{Q} &= \overline{S + Q} = \overline{0 + 0} = 1 \end{aligned}$$

即不管原来的状态如何, 都将成为 $Q = 0$, $\bar{Q} = 1$, CP 过后也将维持此状态。

如果 $S = 1$ $R = 0$

则

$$\begin{aligned} G_1 = \bar{Q} &= \overline{S + Q} = \overline{1 + \bar{Q}} = 0 \\ G_2 = Q &= \overline{R + \bar{Q}} = \overline{0 + 0} = 1 \end{aligned}$$

即不管原来的状态如何, 都将成为 $Q = 1$, $\bar{Q} = 0$ 。并且 CP 过后仍将维持此状态。

如果 $S = 1$, $R = 1$ 。则得

$$\begin{aligned} G_1 = \bar{Q} &= \overline{S + Q} = \overline{1 + \bar{Q}} = 0 \\ G_2 = Q &= \overline{R + \bar{Q}} = \overline{1 + \bar{Q}} = 0 \end{aligned}$$

在 CP 存在时期二个门的输出均为 1, 但是当 CP 转为“0”后, G_1 、 G_2 的输入端 都成了“0”(参看图4-6(b))于是它们都将向“1”转化, 出现了“竞争”状态, 输出不定。

将上述四种情况整理成表, 便得图4-6(c)的真值表。

由“与或非”门组成的可控R-S触发器的真值表和“与非”门组成的可控R-S触发器的真值表完全一样。

它们不同处仅仅是 CP 存在时期略有不同。在 $R = S = 1$ 的情况下, 在 $CP = 1$ 时“与或非”门的二个输出端均为“0”状态, 当 CP 再转为“0”时, 两个门都将向“1”转化, 造成状态不定。而在“与非”门组成可控触发器中, 在 $R = S = 1$ 的情况下, 在 $CP = 1$ 时, 二个输出端都为“1”状态, 当 CP 过后, 它们都将向“0”转化, 造成状态不定。

用“与或非”门组成的可控R-S触发器, 往往可以用一级门来完成。而在“与非”门组成的可控R-S触发器须由二级门完成。一级门的延迟时间比二级门短, 对工作速度有利。

R-S 触发器存在着二个重大的缺点:

(1) 存在着输出不定的状态, 这个状态无法利用, 这是R-S触发器功能不完善之一。

(2) 不能用作计数器。在数字系统中, 常常需要用到计数器。作为计数用的触发器,

它的基本要求是来一个计数脉冲就翻转一次。例如原来触发器状态为“0”，则当第一个脉冲到来后它就翻转为“1”，第二个脉冲到来后，它又从“1”翻回“0”，第三个脉冲到来后，触发器的状态又从“0”翻回“1”，依次类推。

现在来看一下，如果将可控R-S触发器根据计数功能的要求联成图4-7的情况。输出端Q与R相联，将输出端 $\bar{Q}$ 与S相联。将计数脉冲加在CP端。从前面分析的R-S触发器真值表看出，R与Q是反相端；S与 $\bar{Q}$ 是反相端。现在的联法是反相端相联。每一次CP到来时的R、S输入状态都和上一次CP到来时的相反，这种联法似乎可以寄予实现计数功能的希望。但是仔细推敲一下，这种计数器是无法利用的，因为CP到来时，输入端的信号便起作用，使触发器翻转。当输出端改变后，如果计数脉冲仍然存在，则输出信号又将返回输入端，使触发器再次翻转。如果计数脉冲的宽度很长，则将出现多次翻转，结果不能达到来一个计数脉冲只翻转一次的目的。因此无法用于计数。这种来一个计数脉冲出现多次翻转的现象称为“空翻现象”。这是可控R-S触发器功能不够完善之二。

下面要讨论的触发器就是针对这类R-S触发器的二个不足之处(输出状态不定和空翻现象)加以改进。

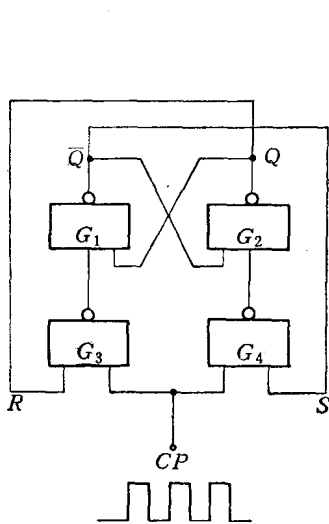


图4-7 将可控R-S触发器按计数功能要求的接法

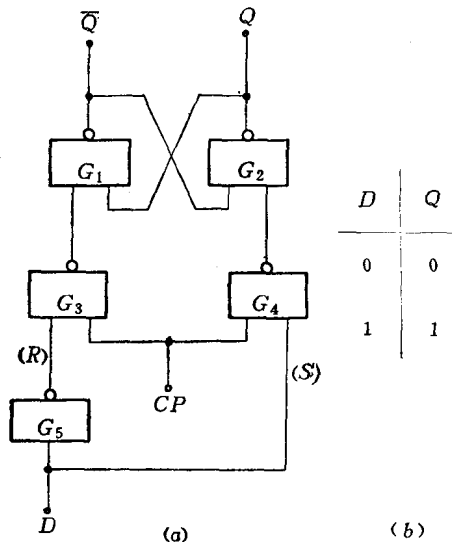


图4-8 “与非”门构成的锁定触发器的逻辑结构和真值表

(a) 逻辑图；(b) 真值表。

3. 锁定触发器

锁定触发器的特点是克服了R-S触发器中的逻辑关系不定的状态。图4-8(a)是由“与非”门构成的锁定触发器。它是在R-S触发器的基础上再加一个倒相门。原来的R端接倒相门G₅的输出端，原来的S端与倒相门G₅的输入端合而为一，成为一个输入端。在这种情况下，(R)端和(S)端的信号总是处于互补状态，所以不可能出现不定的逻辑状态。并且输入端只有一个，输入信号只需单线传送，在实际应用中也有方便之处。这种触发器的输入端用D表示，有别于R-S触发器的输入端。它的真值表如图4-8(b)所示。在图4-8(a)中，输入端D到 $\bar{Q}$ 是通过三级倒相，所以 $\bar{Q}$ 与D应该反相。而输入端D到Q只经过二级倒相，所以Q端应该与D同相。

它的工作原理如下:

当 $CP = 0$ 时, 输入信号 D 只能到达 G_3 、 G_4 的输入处, 不能影响触发器的输出, 所以状态不变。

当 $CP = 1$ 时, G_3 、 G_4 的输入端开放, 输入信号便以互补的形式进入 G_3 、 G_4 。输出也为互补状态。 G_3 、 G_4 的互补输出又对 G_1 、 G_2 作用, 使 G_1 、 G_2 也呈互补状态输出。

如果 $CP = 1$ 时, $D = 0$, 则 $(R) = 1$, $(S) = 0$, 使 $Q = 0$, $\bar{Q} = 1$ 。对应真值表的第一行, $D = 0$, $Q = 0$ 。

如果 $CP = 1$ 时, $D = 1$, 则 $(R) = 0$, $(S) = 1$, 使 $Q = 1$, $\bar{Q} = 0$ 。对应真值表的第二行, $D = 1$, $Q = 1$ 。

图 4-9 是由“与或非”门构成的锁定触发器。它的工作原理和“与非”门构成的锁定触发器类似, 倒相器 G_3 的输出接原来 R-S 触发器的 (R) 端, 原来的 (S) 端与倒相器的输入端合并为 D 端。从 D 端到输出端 Q 经历二次倒相, 所以是同相端。它的真值表如图 4-9 (b) 所示。和图 4-8 (b) 的真值表完全一样。

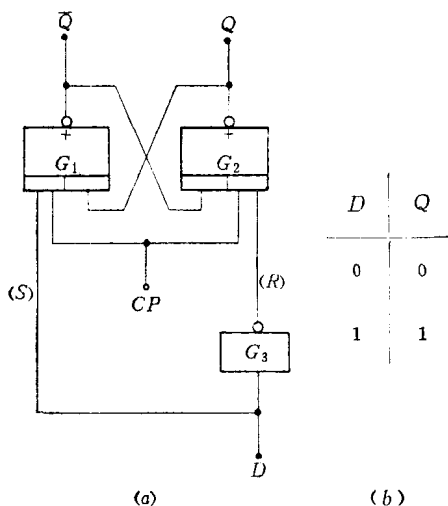


图 4-9 “与或非”门构成的锁定触发器
(a) 逻辑图; (b) 真值表。

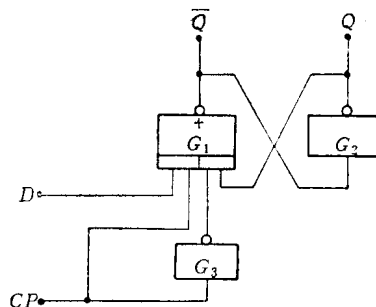


图 4-10 由一个“与或非”门和二个倒相器组成的锁定触发器

图 4-10 是一种更简单的锁定触发器。 G_1 是“与或非”门, G_2 和 G_3 都是倒相器。输入信号 D 和同步脉冲都加在 G_1 的输入端上。它的作用原理如下。

当 $CP = 0$ 时, G_1 左半边的“与”门输入端封闭, 输入信号 D 不能响应 G_1 的状态。 G_3 的输出为“1”。 G_1 的右半边的“与”门输入端开放, 使 G_1 和 G_2 实现交叉耦合, 维持触发器的状态不变。

当 $CP = 1$ 时, G_1 的右半边“与”门由于 G_3 的输出为“0”而封闭。 G_1 的左半边“与”门开放。这时 G_1 的输出状态由输入信号 D 决定, G_2 的状态由 G_1 决定。但这时 G_2 的状态不能影响 G_1 的状态, 因为 G_1 的右半边“与”门是封锁的。当 CP 转为“0”后, 交叉耦合联通, 触发器就被锁定在该状态。它的真值表和图 4-9 相同。

锁定触发器不会出现不定状态, 输入信号只需一个, 使用比较方便, 所以应用较广。但是这种触发器仍然存在空翻问题, 所以不能完成计数功能。

下面再介绍无空翻现象的触发器。克服触发器空翻现象的方案有三种。(1)利用维持阻塞的措施,即所谓维持阻塞触发器。(2)主从触发器,一般是由二个可控R-S触发器构成。(3)取样-维持触发器。第三种方案主要是用于MOS电路中,所以将在具体电路中再作介绍。下面着重分析维持阻塞触发和主从触发器的逻辑结构和工作原理。

4. 主-从触发器

主-从触发器是由二个可控R-S触发器构成,它可以有效地克服空翻现象。利用主-从结构的形式可以构成R-S的逻辑功能(即真值表的形式和R-S触发器同),也可以构成D触发器的功能或J-K触发器的功能。下面分别讨论各种功能的主从触发器。

(1) 主-从R-S触发器 图4-11是主-从触发器的逻辑结构图。它包括二个可控R-S触发器,虚线下面是主触发器,虚线上面是从触发器。输入信号加在主触发器的输入端。主触发器的输出接从触发器的输入端。从触发器的输出就是整个主-从触发器的输出。外同步脉冲 CP 加在主触发器的时钟控制端。从触发器的时钟端的控制信号与主触发器相反,是经倒相后加于控制端,所以从触发器的时钟控制端信号为 $\overline{CP}$ 。

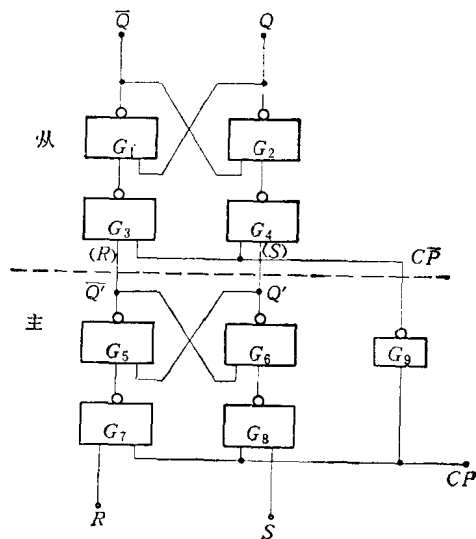


图4-11 主-从R-S触发器

当 $CP=0$ 时,主触发器的输入端被封,输入信号对它无作用,主触发器维持原来状态不变。

对从触发器来说,因为这时 $\overline{CP}=1$,所以输入端开放,主触发器的输出就决定了从触发器的输出。这时 $Q=Q'$, $\overline{Q}=\overline{Q}'$ 。

当 $CP=1$ 时,主触发器的输入端开放,允许输入信号改变主触发器的状态。但是从触发器的输入端因为 $\overline{CP}=0$ 而被封锁,所以主触发器的状态即使发生变化也不会引起从触发器状态的改变,它将维持原状态不变。当 CP 由“1”返“0”时,从触发器的状态才可能转为新状态。因此,对整个触发器来说,输出状态的变化是在 CP 由“1”转为“0”后才发生的,这种情况称为后沿触发。

主-从R-S触发器的真值表与可控R-S触发器相同。

根据上述主-从触发器的基本工作原理,可以看出它不会出现空翻现象。因为主触发器和从触发器是分开动作的。所以,如果联成计数器的工作状态,把 $\overline{Q}$ 与 S 端相联, Q 与 R 端相联(即反相端相联)。当 CP 到来时,使主触发器翻转,从触发器的输出状态不变。只要时钟脉冲存在,原来的状态不会发生变化,当 CP 由“1”转为“0”时,从触发器才发生翻转。但主触发器又被封锁,从触发器改变后的状态,不能进入主触发器中,所以不存在空翻问题。

(2) 主-从J-K触发器 图4-12(a)是主-从J-K触发器。它是在上面的主-从R-S触发器的基础上再加二根反馈线,相当 S 端接 $\overline{Q}$, R 端接 Q 。另二个输入端用作外加信

号的输入端。现在, 输入端与输出端之间的功能已经和R-S触发器不同, 所以将这两个输入端分别命名为 J 端和 K 端。下面分析J-K触发器的逻辑功能。

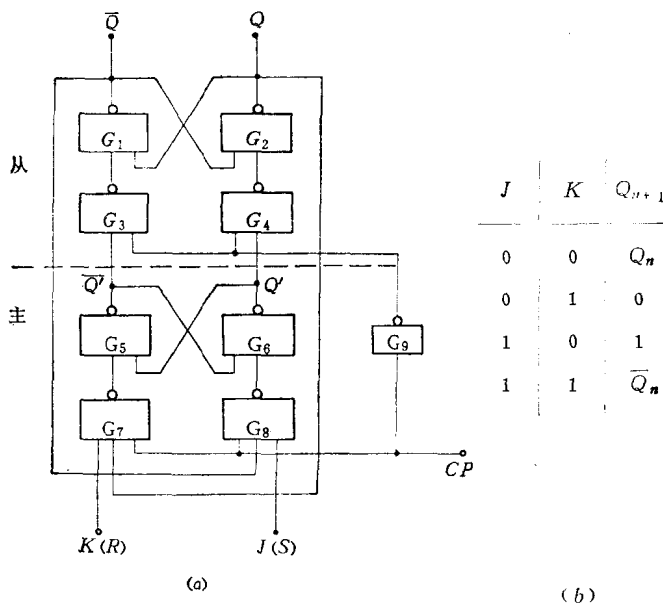


图4-12 主-从J-K触发器的逻辑图和真值表
(a) 逻辑图; (b) 真值表。

在分析主-从触发器的真值表时, 只要注意主触发器的输出状态即可。因为在时钟脉冲存在时期主触发器的状态就是时钟脉冲过后从触发器的状态。现在分析当输入端 J 、 K 为各种可能状态时所对应的输出状态。J-K触发器的真值表如图4-12(b)所示。

① $J = 0, K = 0$ 时 G_7 、 G_8 被封, CP 到来也不能引起输出状态的变化。如果我们令经历了 n 个时钟脉冲后的状态为 Q_n , 则当第 $n+1$ 个时钟脉冲到来后的状态为 Q_{n+1} 。那么, 在 $J = 0, K = 0$ 的输入条件下, $Q_{n+1} = Q_n$, 即输出状态不变, 这就是真值表中的第一行。

② $J = 0, K = 1$ 时 如果原来 $Q_n = 0, \overline{Q}_n = 1$, 则 CP 到来时, G_7 被 Q 所封, G_8 被 J 所封, 状态保持在 $Q_{n+1} = Q_n = 0$ 。如果原来 $Q_n = 1, \overline{Q}_n = 0$, 则 CP 到来时, G_8 被 J 和 $\overline{Q}$ 所封, 输出为“1”。 G_7 的全部输入端为“1”, 输出为“0”。因此 $\overline{Q}' = 1, Q' = 0$, CP 过后 $\overline{Q} = 1, Q = 0$, 即 $Q_{n+1} = 0$ 。所以 $J = 0, K = 1$ 时, 第 $n+1$ 个 CP 到来后, Q_{n+1} 总是为“0”, 这是真值表中的第二行。

③ $J = 1, K = 0$ 时 如果原来第 n 个时钟脉冲过后输出为 $Q_n = 0, \overline{Q}_n = 1$, 则第 $n+1$ 个时钟脉冲到来时, G_8 的输入全部为“1”, 输出为“0”。 G_7 的输入有 K 端为“0”, 使输出为“1”, 所以 $Q' = 1, \overline{Q}' = 0$, 时钟脉冲过后得 $Q_{n+1} = 1, \overline{Q}_{n+1} = 0$, 和原来状态相反。

如果原来 $Q_n = 1, \overline{Q}_n = 0$, 则 G_8 被 $\overline{Q}$ 所封, G_7 被 $K = 0$ 所封, 所以 CP 到来时仍不能改变 G_7 、 G_8 的输出, G_5 和 G_6 的状态不变。得 $Q_{n+1} = Q_n = 1, \overline{Q}_{n+1} = \overline{Q}_n = 0$ 。

对照上面二种结果, 最终输出都是 $Q_{n+1} = 1, \overline{Q}_{n+1} = 0$, 这是真值表中的第三行。

④ $J = 1, K = 1$ 如原来 $Q_n = 0, \overline{Q}_n = 1$ 。 CP 到来时, G_8 的输入端全部为

“1”，输出为“0”使 $Q' = 1$ 。 G_7 的输入端被 $Q = 0$ 所封，输出为 1。又因 $Q' = 1$ ，所以 $\bar{Q}'$ 为“0”。因此 CP 过后的 $Q_{n+1} = 1$ ， $\bar{Q}_{n+1} = 0$ ，与原来状态相反。

如原来 $Q_n = 1$ ， $\bar{Q}_n = 0$ 。 CP 来时， G_7 的输入端全部为“1”，输出为“0”。 G_8 的输入端被 $\bar{Q} = 0$ 所封，因此 CP 过后 $Q_{n+1} = 0$ ， $\bar{Q}_{n+1} = 1$ 。也与原来状态相反。

因此在 $J = 1$ ， $K = 1$ 的情况下，每个 CP 脉冲使触发器翻转一次。这是真值表中的第四行。

归纳上述的四种情况，J-K 触发器的真值表的特点是没有不定状态。

用“与或非”门构成的可控 R-S 触发器，同样可以构成主-从触发器。

图 4-13 是由一个“与或非”门可控 R-S 触发器和一个“与非”门可控 R-S 触发器联成的主-从 J-K 触发器，它的功能与图 4-12 完全一样。

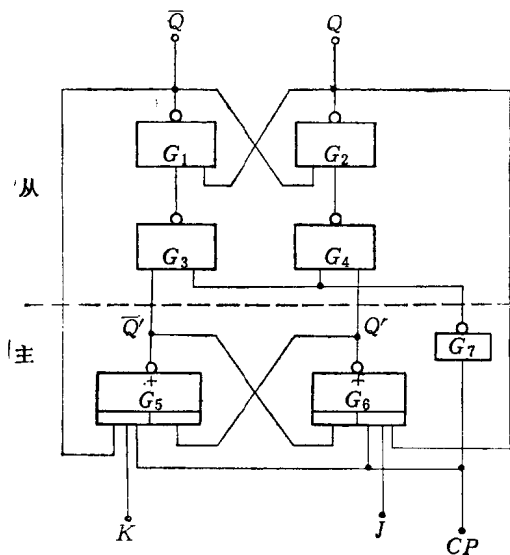


图 4-13 由“与或非”门和“与非”门组成的主-从 J-K 触发器

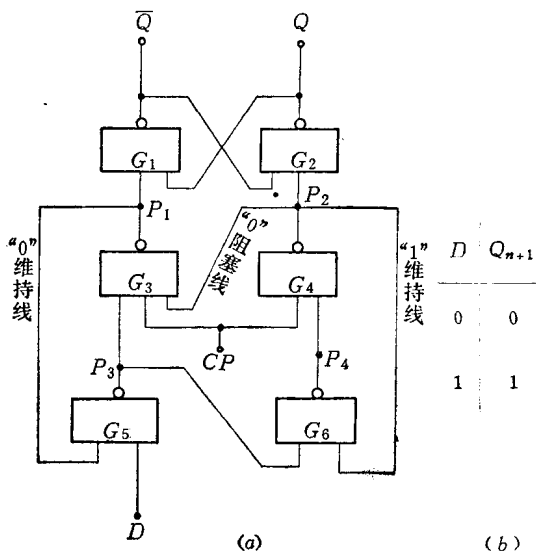


图 4-14 维持阻塞 D 触发器
(a) 逻辑图；(b) 真值表。

5. 维持阻塞触发器

维持阻塞触发器也不存在着空翻现象，它是利用触发器内部的维持线和阻塞线的作用来克服空翻现象的，因而得名。图 4-14 是维持阻塞触发器的逻辑结构，它由六个门组成。这是最常见的维持阻塞型 D 触发器。

如果暂时不看维持线和阻塞线， G_1 、 G_2 、 G_3 、 G_4 构成了可控 R-S 触发器的基本型式。输入信号 D 经过 G_5 反相一次后作为 G_3 的输入信号。 P_3 又经过 G_6 反相一次作为 G_4 的输入信号。因此， G_3 、 G_4 的输入信号互补，它已具备 D 触发器的基本功能。但如没有维持、阻塞线，就不能防止空翻现象。下面着重分析图中的维持线和阻塞线的作用。

$CP = 0$ 时，因为 P_1 、 P_2 都为“1”，所以 G_1 、 G_2 的状态不变。输入信号 D 可以到达 P_3 和 P_4 点，处于等待状态。一旦 CP 到来， P_3 、 P_4 的信号就能改变触发器的状态。

现在先假设 $D = 0$ ，则 $CP = 0$ 时， $P_3 = 1$ ， $P_4 = 0$ 。当 CP 到来时， G_4 因为被 $P_4 = 0$ 所封，输出不变， P_2 仍为“1”。而 G_3 的输入端为全“1”，使 G_3 输出 $P_1 = 0$ ，它一方面迫使 G_1 的输出 $\bar{Q} = 1$ ， $Q = 0$ 。另一方面又保证 G_5 的一个输入端为“0”，封锁了 D 端，

使不再受 D 端信号变化的影响。所以在 CP 存在时期, P_3 、 P_4 的状态不再变化, P_1 、 P_2 的状态也就不再改变,并且保证触发器维持在“0”状态,即 $Q=0$ 。这种维持作用全靠 P_1 反馈到 G_5 的“0”维持线的作用。

如果在 $CP=0$ 时, $D=1$,则 $P_3=0$, $P_4=1$ 。当 CP 到来时, G_4 的输入为全“1”,使 $P_2=0$, P_2 与 G_3 的连线就封锁了 G_3 ,保证 $P_1=1$,并不再受 P_3 变化的影响。另一方面 P_2 又封锁了 G_6 的输入,使 P_3 的变化不致影响 P_4 ,所以在 CP 存在时期 P_1 和 P_2 不会再次受 D 端变化的影响。 D 端信号的变化只能影响到 P_3 点。触发器状态便维持在“1”。这时对输入信号封锁的作用完全靠 $P_2=0$ 来保证。它靠“0”阻塞线阻止 $\bar{Q}$ 变为“1”,又靠“1”维持线来维持 $Q=1$ 。

从上面的分析可以看出,维持阻塞线的作用是在 $CP=1$ 时,起着防止输入信号变化再次影响触发器状态发生变化的作用。换句话说,由于维持阻塞线的作用,当 $CP=1$ 时输入端 D 被封锁,不能进入触发器。所以不会出现空翻现象。

根据上面的分析可以发现,在维持阻塞触发器中, CP 到来以前,输入信号就分别等待在 G_3 、 G_4 门口,只要 CP 一来,信号就进入触发器并反映在输出端,所以是一种前沿触发。

这种触发器具有计数功能,可作计数器。只要将 $\bar{Q}$ 与 D 相联(如图4-15(a)),就能完成计数器功能,即每个计数脉冲对应于触发器翻转一次,而且仅仅只会翻转一次。

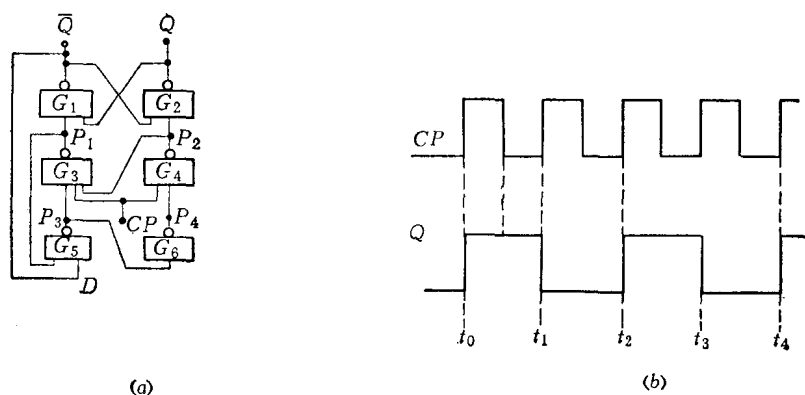


图4-15 D触发器的 D - $\bar{Q}$ 端相联后的分频作用

在图4-15(a)的联接情况下,触发器的状态与 CP 之间便有图(b)的关系。图中设 t_0 以前 $Q=0$, $\bar{Q}=1$ 。则在 $CP=0$ 时 $\bar{Q}=1$ 的信号已达到 P_3 、 P_4 点,处于等待状态。当 $t=t_0$ 时, $CP=1$,等待着的“1”信号就使 $Q=1$,($\bar{Q}=0$)。在 CP 存在时期,因为 D 端的输入信号变化不会再改变触发器状态,所以输出不会再因反馈信号变化而改变,即维持在“1”状态不变。当 CP 返回“0”后, G_3 和 G_4 被封,所以 $\bar{Q}=0$ 的信号只能等待在 G_3 、 G_4 门口,到下一次脉冲到来时才可能对 G_1 、 G_2 作用,即图中 $t=t_1$ 时才又使触发器翻转。在 t_2 、 t_3 时的情况依此类推。它对应于每个 CP 的到来只翻转一次,而且只是在 CP 前沿到来后翻转。

归纳 CP 和 Q 之间的波形变化, Q 端的脉冲数正好为 CP 脉冲数的1/2。也就是输出波形的频率等于输入频率的一半,这种现象叫做分频现象。在实际工作中常常用这种简单

的方法来判断这类触发器的基本功能是否正常。对于 J-K 触发器也可用类似方法测量它的基本功能，只要将 J-K 端都固定在高电平，在时钟端加输入脉冲，如果输出存在分频现象，则表示它的基本功能正常。

利用维持阻塞型的结构，也可以联成其它功能的触发器。

图 4-16(a)，(b) 分别画出了维持阻塞型的 J-K 触发器和 R-S 触发器。

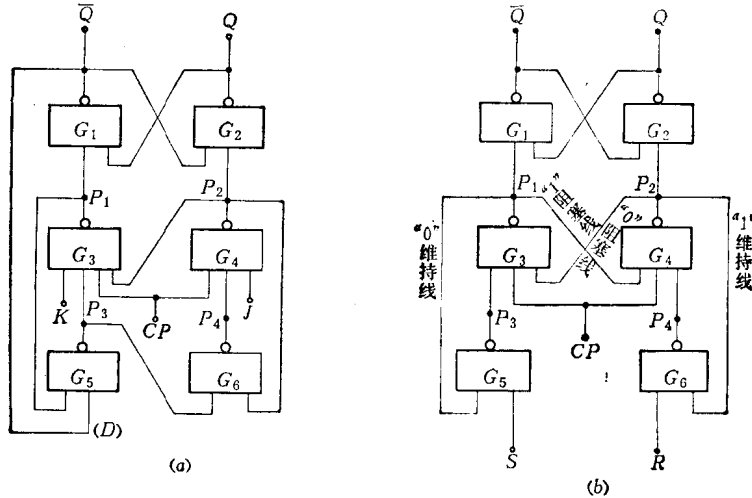


图 4-16 维持阻塞触发器

(a) J-K 触发器；(b) R-S 触发器。

在图 4-16(a) 的 J-K 触发器中，它只是在前面的 D 触发器上加了一根反馈线，并在 G_3 和 G_4 上增加一个输入端，分别称为 K 端和 J 端。下面分析它的工作情况。

(1) $J = 1, K = 1$ 当 $CP = 1$ 时， G_3 、 G_4 对 P_3 、 P_4 的信号开放。它和 D 触发器联成计数器接法的情况相同，所以 CP 到来就使触发器的状态翻转，即 $Q_{n+1} = \bar{Q}_n$ 。

(2) $J = 0, K = 1$ 如果原来的状态为 $Q = 0, \bar{Q} = 1$ 。则 $CP = 0$ 时， $P_3 = 0, P_4 = 1$ 。CP 到来时， G_3 和 G_4 的输入端中仍有一个为“0”，所以 P_1 和 P_2 仍为“1”，和 $CP = 0$ 时的情况相同，触发器的状态不变。即仍是 $Q = 0, \bar{Q} = 1$ 。

如果原来的状态为 $Q = 1, \bar{Q} = 0$ 。则 $CP = 0$ 时， $P_3 = 1, P_4 = 0$ 。当 CP 来到时， G_3 的输入端都为全“1”，使 G_3 翻转， $P_1 = 0$ 。 G_4 的输入仍有一个为“0”，所以 $P_2 = 1$ ，结果使 $\bar{Q} = 1, Q = 0$ 。归纳上面的情况，不论原来的状态怎样，当 CP 来到时，总是 $Q = 0, \bar{Q} = 1$ 。

(3) $J = 1, K = 0$ 如果原来的状态为 $Q = 1, \bar{Q} = 0$ ，则 CP 来时状态不变。

如果原来的状态为 $Q = 0, \bar{Q} = 1$ ，则 CP 来时触发器翻转为 $Q = 1, \bar{Q} = 0$ 。

所以不论原来的状态如何，CP 到来时都使触发器的状态为“1”。

(4) $J = 0, K = 0$ G_3 、 G_4 都被封锁，CP 对它无作用维持原状态不变。

维持阻塞型的 J-K 触发器的真值表和主-从 J-K 触发器相同。它们的区别，仅仅是维持阻塞型的是前沿触发，主-从型的是后沿触发。

图 4-16(b) 是维持阻塞 R-S 触发器的逻辑结构，左右两边完全对称。在 CP 存在时期，如果 $P_1 = 0$ ，则它靠“0”维持线和“1”阻塞线来封锁输入信号对触发器的作用。并使

触发器处于“0”状态。如果 $P_2 = 0$ ，则靠“1”维持线和“0”阻塞线来封锁输入信号的作用。并使触发器处于“1”状态。但是，如果 $CP = 0$ 时， $R = 0$ 、 $S = 0$ ，则 $P_3 = 1$ 、 $P_4 = 1$ 。当 CP 到来时 P_1 和 P_2 都转为“0”，使 Q 和 $\bar{Q}$ 都变为“1”。当 CP 返回“0”时， P_1 和 P_2 也都跟着返回“1”，这时 G_1 、 G_2 的输入都变成了全“1”，出现竞态现象，结果不定。它的真值表和前面的可控 R-S 触发器完全一样。

这种结构的 R-S 触发器因为有维持线和阻塞线的作用，它可以防止空翻，但不能解决状态不定的问题。所以在集成电路产品中，我们见到的主要是功能完善的维持阻塞 D 触发器。

6. T 触发器

在上面对触发器的命名中，维持阻塞和主-从是根据触发器的逻辑结构特点命名的。R-S、J-K 和 D 触发器等是按照逻辑功能（真值表）命名的。按逻辑功能分类的触发器中，还有一类 T 触发器（或称翻转触发器）。它的逻辑符号和真值表分别如图 4-17(a)、(b) 所示。它只有二个控制端，一个是时钟脉冲控制端 CP ，另一个为翻转控制端 T 。根据图(b)的真值表，当 $T = 0$ 时，时钟脉冲到来，状态不变。当 $T = 1$ 时，时钟脉冲到来就翻转一次。实现这种逻辑功能可以用 J-K 触发器来完成，也可以用 D 触发器来完成。如果用 J-K 触发器来实现 T 触发器的逻辑功能，只要将 J 端和 K 端合并，就得 T 控制端。如图 4-18 的接法。因为 J-K 触发器的两个输入端全为“0”时，状态不变。J、K 都为“1”时， CP 到来就翻转一次。所以它符合图 4-17(b)的真值表。

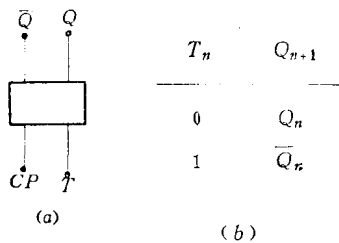


图 4-17 T 触发器的逻辑符号和真值表
(a) T 触发器；(b) 真值表。

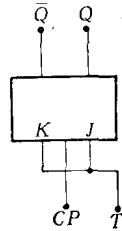


图 4-18 由 J-K 触发器构成 T 触发器

如用 D 触发器来完成 T 触发器时，可在 D 输入端上加一个“异或”门，如图 4-19 所示。根据图 4-19 可写出 D 输入端的逻辑关系式为

$$D = T \oplus Q = T\bar{Q} + \bar{T}Q \quad (4-15)$$

将 $T = 0$ ，代入式(4-15)，得 $D = Q$ ；将 $T = 1$ 代入式(4-15)得 $D = \bar{Q}$ 。根据 D 触发器的真值就可看出它能实现 T 触发器的功能。有时把只有一个输入端的翻转触发器也叫做 T 触发器。它的功能相当 T 永远等于“1”的情况。凡是输入端来脉冲，它就翻转一次。

下面分别介绍 MOS 集成电路的触发器和双极型集成电路的集成触发器。在介绍中侧重于电路图和逻辑图之间的对应关系，对电路中的某些具体问题再作些补充说明。

二、MOS 触发器电路

1. 单沟道 MOS 触发器电路

图 4-20 是直接 R-S 触发器的电路图和逻辑图。整个电路由二个“或非”门构成。 T_1 、

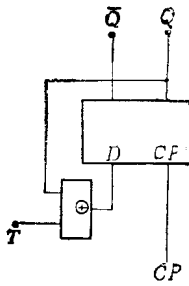


图4-19 由D触发器加“异或”门构成的T触发器

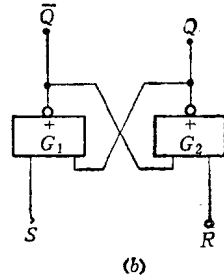
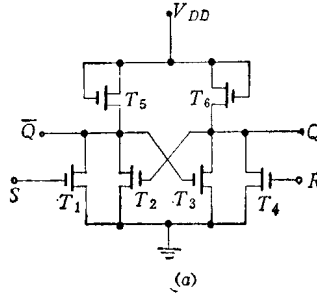


图4-20 直接R-S触发器电路和逻辑结构
(a) 电路图; (b) 逻辑图。

T_2 、 T_5 对应 G_1 ; T_3 、 T_4 、 T_6 对应 G_2 ; T_5 、 T_6 是负载管; $T_1 \sim T_4$ 是输入驱动管; T_2 、 T_3 实现交叉耦合。

图4-21是D触发器的电路图和逻辑图。 T_1 、 T_2 、 T_3 和 T_7 组成“与或非”门 G_1 ; T_4 、 T_5 、 T_6 和 T_8 组成“与或非”门 G_2 。如果没有倒相器 G_3 , 则为可控R-S触发器。加“非”门 G_3 后就成了锁定D触发器。真值表和工作原理前面已作介绍, 不再重复。

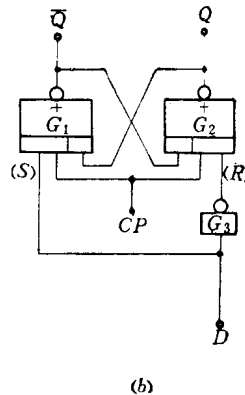
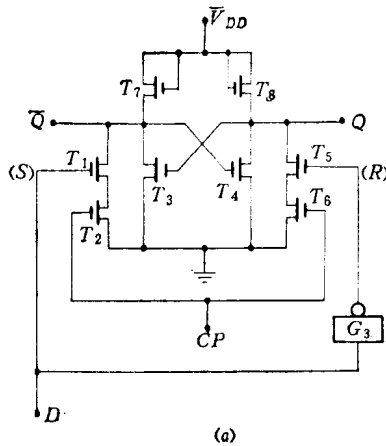


图4-21 D触发器电路和逻辑结构
(a) 电路图; (b) 逻辑图。

图4-22是主-从型式的D触发器。图(a)是它的电路图, 图(b)是对应的逻辑图。上半部是从触发器, 下半部是主触发器, 都是由“与或非”门构成。实际上就是主-从R-S触发器再加一个倒相门 G_5 , 使 G_3 、 G_4 呈互补输入。

R_D 是直接复位端, 它同时控制主触发器和从触发器, 所以不论CP存在与否, 只要 $R_D = 1$, 触发器就复位到“0”状态, 即 $Q = 0$ 。

在图4-22中, G_7 和 G_8 是输出倒相门, 它主要是增加输出的驱动能力。并使交叉耦合的MOS管栅极与外电路隔绝, 起缓冲作用。

2. C-MOS 触发器

(1) 直接R-S触发器 图4-23(a)是C-MOS直接R-S触发器的电路, 它由二个

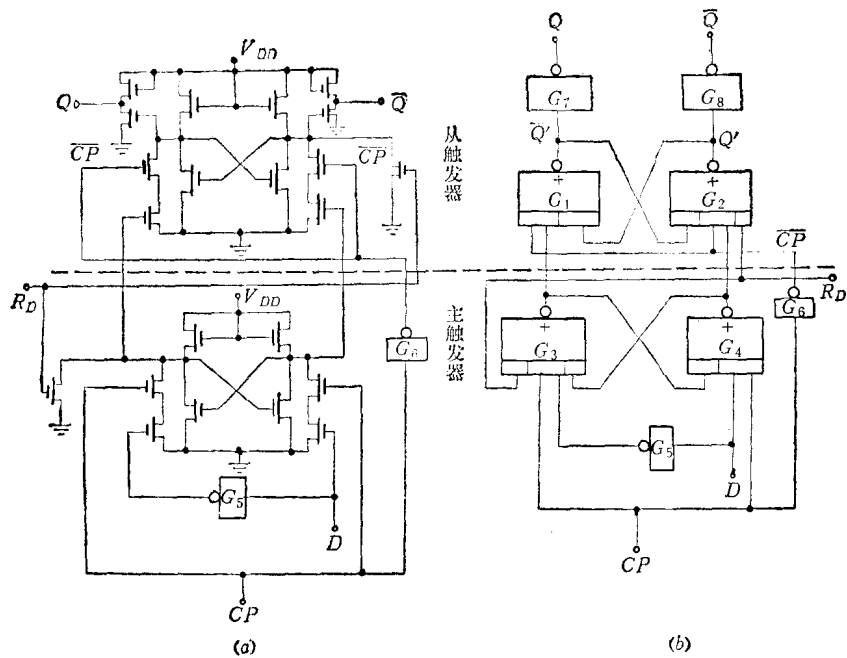


图4-22 主-从D触发器
(a) 电路图; (b) 逻辑图。

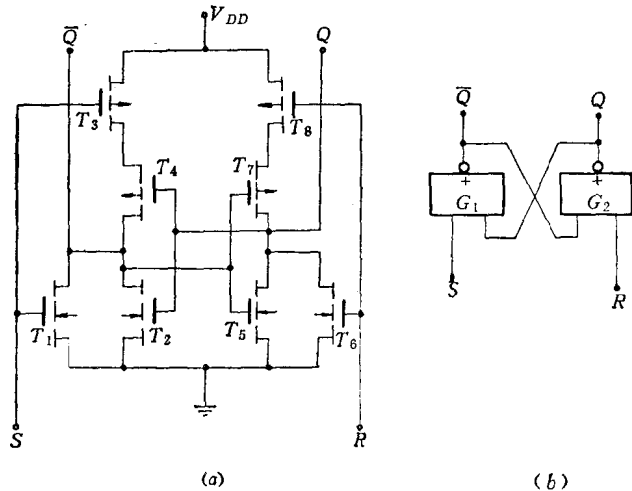


图4-23 C-MOS 直接 R-S 触发器
(a) 电路图; (b) 逻辑图。

“或非”门交叉联接构成。在左边的“或非”门中, T_1 、 T_2 是 n -MOS 管, 源、漏互相并联, T_3 、 T_4 是 p -MOS 管, 源、漏互相串联。 T_1 的栅极与 T_3 的栅极并联作为信号输入端。 T_2 和 T_4 的栅极并联接右门的输出端 Q 。左、右两门完全对称, 接成交叉耦合。图 4-23(b) 是它的逻辑图。

(2) 取样-维持 D 型触发器 在 MOS 电路中, 常常用 MOS 传输门作为耦合的元件。在触发器电路中也常用传输门和基本门电路一起构成取样-维持形式的触发器电路, 它同样能克服空翻现象, 并使电路简化, 元件数减少。

图 4-24 是取样-维持类型的 C-MOSD 触发器, 整个电路包括二级取样-维持电路。第一级取样维持电路由 TG_1 、 TG_2 、 G_1 和 G_2 构成, 第二级是由 TG_3 、 TG_4 、 G_3 和 G_4 构成。 $G_1 \sim G_4$ 是“或非”门, 其电路与图 4-23 中的 C-MOS “或非”门完全相同。 $TG_1 \sim TG_4$ 是 C-MOS 传输门。电路型式如图 4-24(a) 所示, 它就是一对 C-MOS 管, 上面是 P-MOS 管, 下面是 n-MOS 管, 传输门的工作原理已在第三章中作过介绍。工作时, 需要一对互补控制信号。电路中的互补控制信号由二级缓冲倒相器 G_7 、 G_8 的二个互补输出提供(见图

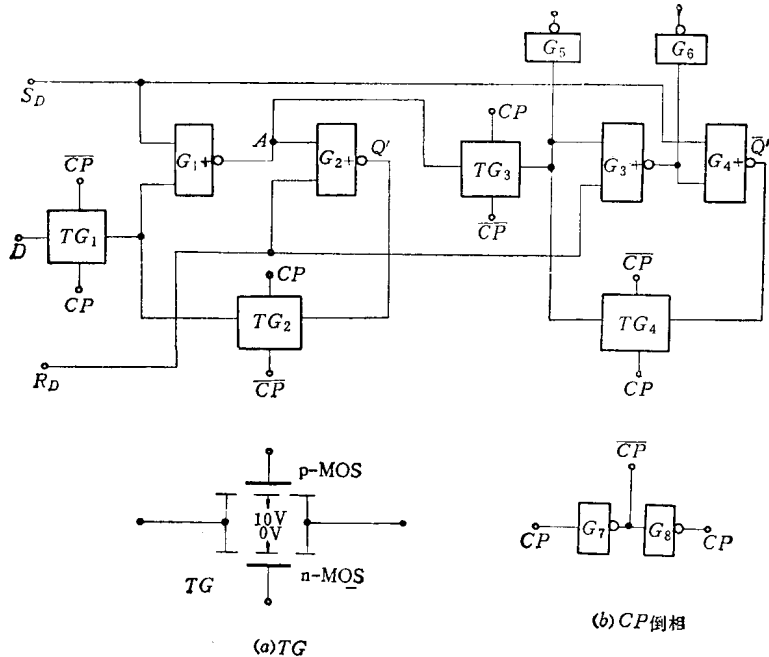


图 4-24 取样-维持 C-MOS D 触发器

4-24(b))。 G_5 、 G_6 是二个输出倒相门。下面先介绍取样-维持的基本工作原理, 然后再看整体电路的工作情况。

现在以第一级取样-维持电路为例, 说明取样-维持的基本原理。它的基本联接形式是 G_1 的输出接 G_2 的输入, G_2 的输出经传输门 TG_2 再接 G_1 的输入。输入信号 D 经传输门 TG_1 加到 G_1 的输入端。传输门 TG_1 和 TG_2 的控制端接法相反, 当 TG_1 导通时, TG_2 截止; TG_1 截止时, TG_2 导通。它的工作情况是当 $CP = 0$ 时, TG_1 截止, D 端的输入信号不能通过传输门。 TG_2 处于导通状态, G_1 和 G_2 实现交叉耦合, 使二个门状态维持不变。当 $CP = 1$ 时, TG_2 截止, TG_1 导通。这时 G_2 对 G_1 的反馈回路被切断, 只有 G_1 输出对 G_2 输入之间的耦合。输入信号通过 TG_1 决定 G_1 和 G_2 的输出状态。当 CP 由“1”返回“0”后, TG_1 截止, TG_2 导通, G_1 、 G_2 的反馈回路接通, 使状态维持不变。

第二级取样维持电路的工作原理与第一级相同, 只不过传输门的控制信号与第一级中的传输门接法相反。 $CP = 1$ 时, TG_3 截止, TG_4 导通; $CP = 0$ 时, TG_3 导通, TG_4 截止。

整个电路的工作情况如下:

当 $CP = 0$ 时, 触发器的输入端 D 被封锁。第一级处于维持状态, 第二级处于取样状态 (TG_3 导通, TG_4 截止)。A 点的信号经 TG_3 和 G_5 决定输出端 Q 的状态。同时 A 点的信号

又通过“或非”门 G_3 和输出倒相门 G_6 决定输出端 $\bar{Q}$ 的状态。 Q 和 $\bar{Q}$ 的状态正好相反。这时整个状态由 G_1 、 G_2 的交叉耦合来维持不变。

当 $CP=1$ 时, TG_3 截止, TG_4 通, G_3 与 G_4 的反馈回路联通, 输出状态由 G_3 、 G_4 的交叉耦合来维持不变。而第一级电路进入了取样阶段。但因 TG_3 处于截止状态, 所以取样阶段的状态不会引起输出状态的改变。当 CP 由“1”转为“0”后, 输出端才反映出新的取样数据。

根据触发器的工作情况, 当输入端开放时, 第一级和第二级的联系被切断, 输出状态不会因取样信号的变化而改变, 所以它不会出现空翻现象。实际上也是一种主-从触发器。

在图中的 S_D 和 R_D 是直接置位、复位端, 在 S_D 加“1”脉冲后, 能使触发器置位 ($Q=1$)。在 R_D 加“1”脉冲后, 能使触发器复位 ($Q=0$)。

三、双极型 TTL 触发器

1. 直接 R-S 触发器

图 4-25(a) 是 TTL 的直接 R-S 触发器电路。它由二个典型的 TTL “与非”门交叉耦合而成。因为这种“与非”门电路具有较大的驱动能力, 所以构成的触发器也有较大的负载能力。在较复杂的 TTL 触发器中, 它们的输出级也常常采用这种形式的电路。

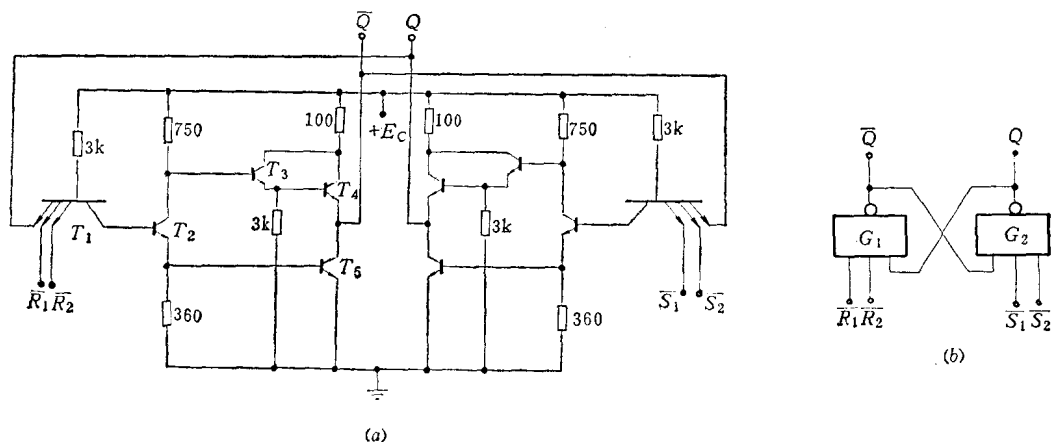


图 4-25 TTL 的直接 R-S 触发器

(a) 电路图; (b) 逻辑图。

在电路图中, 输入端 $\bar{R}_1$ 和 $\bar{R}_2$ 是完全等同的, 因此只要其中任一个加“0”信号就能使触发器复位 ($Q=0$)。 $\bar{S}_1$ 和 $\bar{S}_2$ 的性质也完全相同, 只要其中一个加“0”信号就能使触发器复位。与它相对应的逻辑图如图 4-25(b) 所示。如果在此基础上再加二个控制门就可成为间接 R-S 触发器。但在 TTL 系列中, 单独的这种触发器很少见, 大部份是做成功能很完善的 D 触发器和 J-K 触发器。下面介绍几种 D 触发器和 J-K 触发器的具体电路。

2. D 触发器

图 4-26 是 D 触发器的具体电路之一。上面是二个 TTL “与非”门实行交叉耦合成基本触发器; 下面是四个简化的“与非”门。每个简化门只包括二个晶体管和一个电阻。如果把六个门的联接情况画成逻辑图, 就得图 4-26(b)。是维持阻塞触发器的典型结构。它的逻辑结构原理前面已作过分析, 需要补充说明的有下列几点:

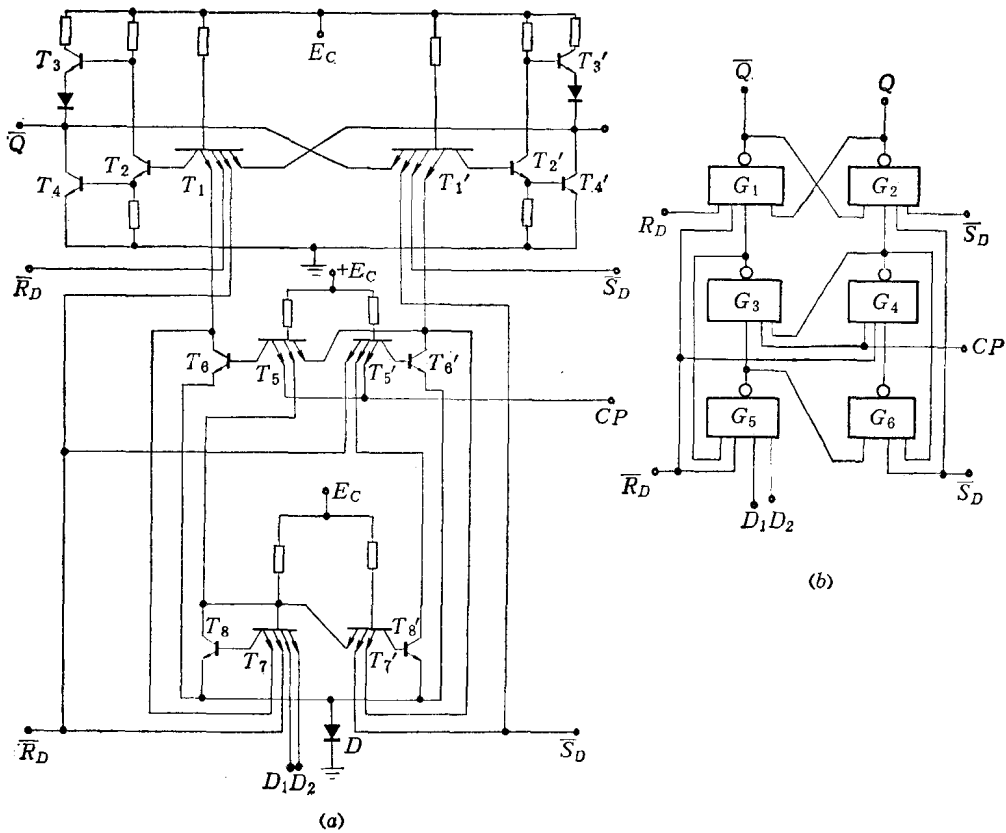


图4-26 D型触发器之一

(a) 电路图; (b) 逻辑图。

(1) 电路中的四个简化门没有直接接地端，它们都是通过一个公共二极管 D 接地，目的是抬高简化门的抗干扰能力。如果不加二极管直接接地，则简化门的阈值电压将下降到 $0.7V$ 以下，对低电平输入时的抗干扰能力大大下降。加二极管后，阈值电压约上升到 $1.4V$ ，改善了抗干扰能力。但加了二极管 D 以后每个简化门的输出低电平值也相应抬高。如果输出管的饱和压降以 $0.3V$ 计算，则简化门的输出低电平为 $1V$ ，这样高的低电平值已经使输出门 G_1 、 G_2 的工作进入了电压传输特性曲线的线性区。使输出高电平下降，并使整个电路的可靠性变差。为使简化门的输出低电平不致过高，在设计中应将二极管的尺寸和输出管的尺寸适当放大，以减小串联电阻，特别是中间级 (G_3 、 G_4) 的输出管 T_6 和 T_6' ，它直接与 T_1 、 T_1' 相联，所以更应减小饱和压降。

(2) 四个简化门是集电极开路输出 (输出管的集电极没有自己的直流负载电阻)。这是“与非”门中最简单的电路形式，所以整个电路的元件数少。

(3) 图中有二对 $\bar{R}_D$ 、 $\bar{S}_D$ ，供直接置位或复位之用，但他们的功能略有不同。上面的一组 $\bar{R}_D$ 、 $\bar{S}_D$ 控制 G_1 、 G_2 的输入端，因此只能在 $CP=0$ 时对触发器进行置位或复位。当 $CP=1$ 时，因为 G_3 、 G_4 有它自己的输出状态，当置位或复位脉冲过后又可能翻回原来的状态。所以不能有效的完成置位和复位。下面的一对 $\bar{R}_D$ 、 $\bar{S}_D$ 同时控制了 G_4 、 G_5 和 G_6 ，当加上置位或复位脉冲时，在 $CP=1$ 的情况下 G_3 的输出和 $\bar{R}_D$ 一致， G_4 的输出和 $\bar{S}_D$ 一致，所以 $CP=1$ 时也能有效的进行置位或复位。

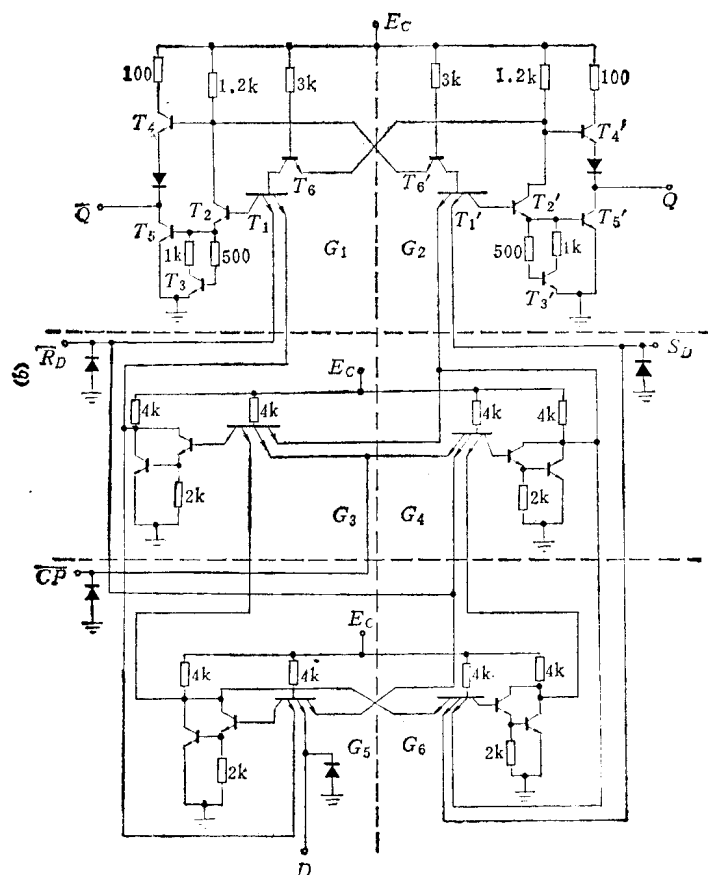


图4-27 维持阻塞D触发器之二

图 4-27 是另一种维持阻塞 D 触发器。它的逻辑图和图 4-26 (b) 完全一样。它的元件数比图 4-26 的 D 触发器的元件数多。该电路具有以下的特点:

(1) 输出级采用有源泄放回路形式, 使输出门的阈值电压较高。

(2) G_1 、 G_2 之间的交叉耦合是由 T_2 和 T_2' 的集电极分别与 T_6' 和 T_6 的发射极相联来完成的。因为 T_2 的集电极和 $\bar{Q}$ 同相, T_2' 的集电极和 Q 同相, 所以从逻辑电平来说完全一样。耦合的输入端取 T_6 的发射极和取 T_1 的发射极, 从逻辑电平来说也完全一样。因为当 T_6 的发射极为“0”时和 T_1 的发射极为“0”时都同样使“与非”门 G_1 截止; 在 T_6 的发射极上加逻辑电平“1”时也 and T_1 的一个发射极上加逻辑电平“1”的结果一样 (由 T_1 其它发射极的逻辑电平决定 G_1 的输出状态)。所以它们的逻辑图和图 4-26 (b) 完全一样。这种耦合方式的优点是速度快。因为 T_2 的速度比 T_6 快, 有 T_1 对它抽取电荷的作用, 并且又不受负载电容的影响。通过 T_6 和 T_6' 耦合还能使电平配合得更好, 因为 T_2 和 T_2' 的输出低电平值是 1V 左右, 通过 T_6 与 T_1 的基极耦合, 1V 电平足以使门 G_1 截止。

(3) 简化门由三个晶体管组成, 阈值电压在 1.4V 左右, 所以不必再用公共二极管来抬高简化门的阈值电压。每个简化门多了一级放大后, 使输出管的驱动电流增加, 通导速度加快。在输出管的集电极加有上拉电阻, 对负载电容充电有利, 可以提高高电平的上升速度。

3. 锁定D触发器

图 4-28 是锁定触发器, 图 (a) 是它的电路图, 图 (b) 是它的逻辑图。真值表和前面的维持-阻塞D触发器一样, 也是一种D触发器, 但它存在空翻现象。

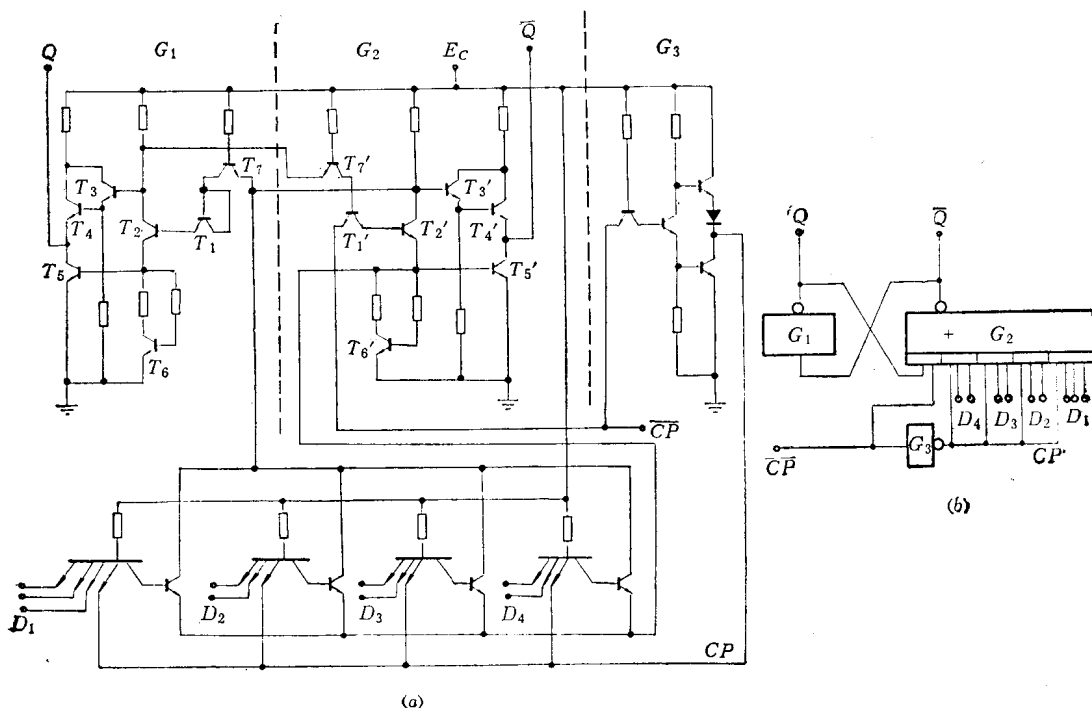


图4-28 锁定D触发器

(a) 电路图; (b) 逻辑图。

整个电路由二个倒相门 G_1 、 G_3 和一个“与或非”门 G_2 组成。 G_2 实际上是“与非”门再加四个“与或”扩展器。在电路图的最下面一排是四个“与或”扩展器。在四个“与或”扩展器中, 每个都有一个输入端接时钟脉冲 CP 。 G_1 和 G_2 联成交叉耦合, 联接方式是 T_2 (和 T_2') 的集电极与 T_7' (和 T_7) 的发射极相联, 与图 4-27 中的耦合方式相同。 G_3 是时钟脉冲的倒相门。

电路的工作情况如下: 当 $\overline{CP} = 0$ 时, G_1 对 G_2 的控制被切断, 只有 G_2 对 G_1 的控制。同时“与或”扩展器的输入端开放, 允许数据 $D_1 \sim D_4$ 输入, 以改变触发器原来的状态。当 $\overline{CP}$ 由“0”返回“1”后, 因为 $CP = 0$ 而使“或”扩展器的数据输入 $D_1 \sim D_4$ 全部被封锁。 G_1 对 G_2 的耦合联通, 触发器的状态由 G_1 和 G_2 之间的交叉耦合维持不变。

4. J-K触发器

图 4-29 是主-从 J-K 触发器, 上面部分是从触发器, 由二个“与非”门交叉耦合。下面是主触发器, 它的基本结构是二个“与或非”门交叉耦合。主触发器的输出经过 T_7 和 T_7' 反相后耦合到从触发器的输入端。这种耦合是有条件的, 因为只有当 $\overline{CP} = 0$, T_7 和 T_7' 的发射极为低电平时, B 点和 B' 点的电平才能通过 T_7 和 T_7' 管反映到从触发器的输入端。 $\overline{CP} = 1$ 时, 不论 B 点 (和 B') 的电平是“0”或“1”, T_7 (和 T_7') 总是截止状态, 所以对从触发器无作用。但这时从触发器反馈到主触发器的通路开放。在电路图中, A 点和 B 点的逻

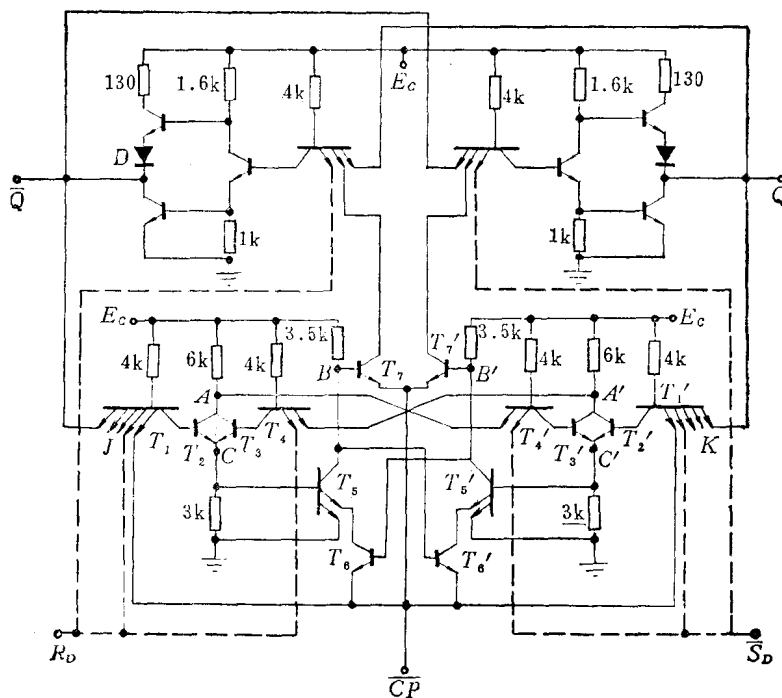


图4-29 主-从 J-K 触发器

辑电平完全一致。因为 T_2 、 T_3 的集电极和发射极反相， T_5 的基极又和 T_5 的集电极反相，共反相二次，所以在逻辑图中可以合为一点，都是“与或非”门的输出端。根据线路图的联接情况，便可画出对应的逻辑图（图中的 T_6 、 T_6' 管在最后再作分析）如图 4-30 所示。

根据逻辑图就很容易判断它的功能。

当 $\overline{CP} = 0$ 时，主触发器的半边“与”门被 $\overline{CP}$ 封锁， J 、 K 端和从触发器的反馈信号都不能影响主触发器的状态。主触发器的交叉耦合保证了维持原来的状态不变。同时 T_7 和 T_7' 的发射极处于低电平，所以 B 点和 B' 点的电平经 T_7 和 T_7' 反相后加到从触发器的输入端，这时从触发器的输出完全由主触发器的状态决定。 B 点与 $\overline{Q}$ 的逻辑电平一致， B' 与 Q 的逻辑电平一致，即 $B = \overline{Q}$ ， $B' = Q$ （因为反相二次）。

当 $\overline{CP} = 1$ 时， T_7 和 T_7' 截止，主触发器对从触发器失去控制，从触发器的状态由本身的交叉耦合维持不变。要等 $\overline{CP}$ 由“1”再返回“0”后才可能改变状态。当 $\overline{CP}$ 由“1”返回“0”后， B 和 B' 的状态分别对应于 $\overline{Q}$ 和 Q 。所以只需分析主触发器在 $\overline{CP} = 1$ 时的状态即为 $\overline{CP}$ 返回“0”后的从触发器状态。如果分析各种可能的输入状态所对应的输出状态，

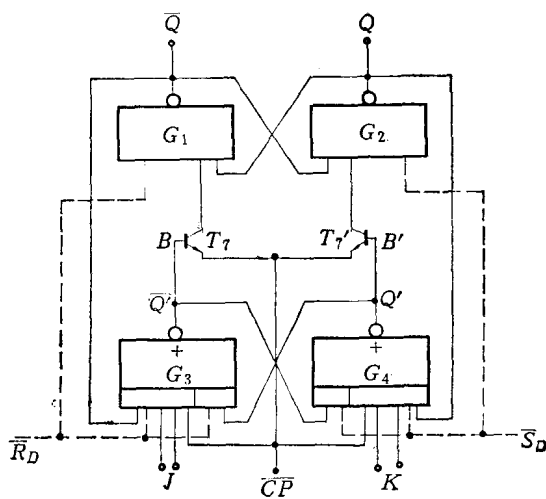


图4-30 主-从 J-K 触发器的逻辑图

便可写出它的真值表。对于主-从 J-K 触发器的真值表, 前面已作过分析, 不再重复。

最后再对电路图中的 T_6 、 T'_6 管的作用做些补充说明。 T_6 、 T'_6 管主要是防止 $\overline{CP}$ 出现负脉冲(即反冲)时发生错误动作。如果没有 T_6 、 T'_6 , 则当 $\overline{CP}$ 出现负脉冲时, 不论 B 点和 B' 点是处于高电平或低电平都将造成 T_7 和 T'_7 通导, 二个管子同时通导就破坏正常的逻辑关系。加了 T_6 、 T'_6 管后, 如果原来 $B = 0$ (T_7 截止), $B' = 1$ (T'_7 通导), 则 T_6 也处于通导饱和状态。 T_6 的发射极是接 $\overline{CP}$ 的, 当 $\overline{CP}$ 出现负向干扰脉冲(或反冲)使 $\overline{CP}$ 变负时, T_6 的发射极电位也随之变负。 T_6 是处于饱和状态, 所以 T_6 的集电极电位也被拉下, 使 B 点的电位也随之下落, 不会出现 T_7 通导的错误动作。在实际的产品中, 与图 4-29 电路相类似的 J-K 触发器中, 也有不带 T_6 和 T'_6 管子的, 同时 T_6 的发射极也被减少一个, 它的逻辑结构与图 4-30 同。

§ 4-2 其它功能器件

本节在逻辑门和触发器的基础上介绍一些其它的功能器件。在讨论中, 以逻辑门和触发器作为基本单元, 并适当结合一些实际应用。

一、全加器

全加器是加法器的基本单元。它用于二进制数的加法运算。下面先看一个简单的二进制加法实例, 从而进一步归纳出全加器的功能要求和实现全加器功能的逻辑图。

如果要将二个二进制的三位数 1 0 1 和 1 1 1 相加, 它的计算如下:

$$\begin{array}{r} 1 \\ +) 1 1 1 \\ \hline \boxed{1} 1 0 \end{array}$$

我们分析每位相加的过程和结果, 它可归纳为每位相加的结果是本位数相加, 再加上来自低位的进位数。在上述的例子中, 第一位相加时没有来自低位的进位数, 即进位数为 0, 所以它是 $1 + 1 + 0 = 10$, 结果是本位得 0, 进位为 1。第二位相加时, 有来自第一位的进位数 1, 所以为 $0 + 1 + 1 = 10$, 结果是本位得 0, 进位为 1。第三位是 $1 + 1 + 1 = 11$ 。本位得 1, 进位为 1。

归纳上述每位相加的规律都是一样。能够实现加法功能的单元就是全加器。要实现上述的每位相加的功能, 它需要三个输入端和二输出端, 如图 4-31 所示。三个输入端中, 二个作为本位数据的输入端, 用 A 和 B 表示。另一个作为来自低位的进位数据输入端, 用 C_i 表示。二个输出端是 S 和 C_o 。 S 表示本位和输出。 C_o 表示进位输出。

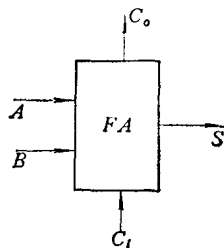


图 4-31 全加器符号

如果要得到实现这种全加功能的逻辑结构, 只要列出输入端和输出端之间关系的真值表, 再以输入端作为逻辑变量, 作出各输出端的卡诺图。然后利用卡诺图, 求出它们的逻辑关系式, 便可得到全加器的逻辑图。

图 4-32 是全加器的真值表和卡诺图。根据真值表画出的本位输出 S 和进位输出 C_o 的卡诺图如图 4-32 (b) 所示。由卡诺图便得它们的逻辑式:

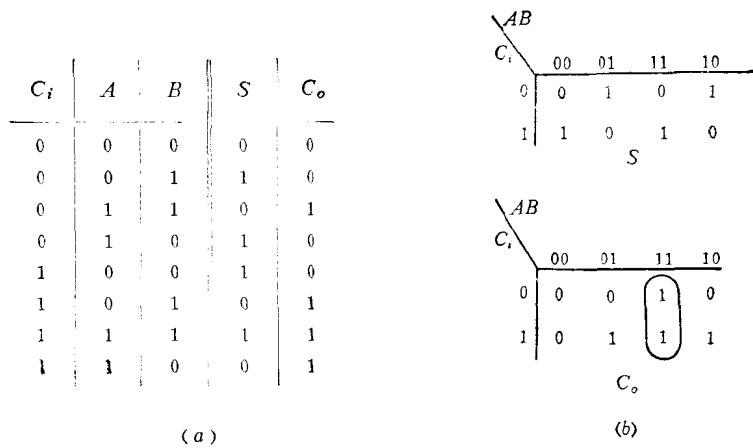


图4-32 全加器的真值表和卡诺图

(a) 真值表; (b) 卡诺图。

$$\begin{aligned}
 S &= \overline{A}\overline{B}C_i + A\overline{B}C_i + \overline{A}BC_i + ABC_i \\
 &= (\overline{A}B + A\overline{B})C_i + (\overline{A}B + AB)C_i \\
 &= (A \oplus B)C_i + (\overline{A} \oplus B)C_i \\
 &= A \oplus B \oplus C_i
 \end{aligned} \tag{4-16}$$

$$\begin{aligned}
 C_o &= AB + \overline{A}BC_i + A\overline{B}C_i \\
 &= AB + (\overline{A}B + \overline{B}A)C_i = AB + (A \oplus B)C_i
 \end{aligned} \tag{4-17}$$

根据式(4-16)和式(4-17)画出的全加器逻辑图如图4-33所示。它是由“异或”门构成的全加器。每个全加器可以完成一位数的相加,用 n 个全加器组合在一起就可得 n 位相加的加法器。

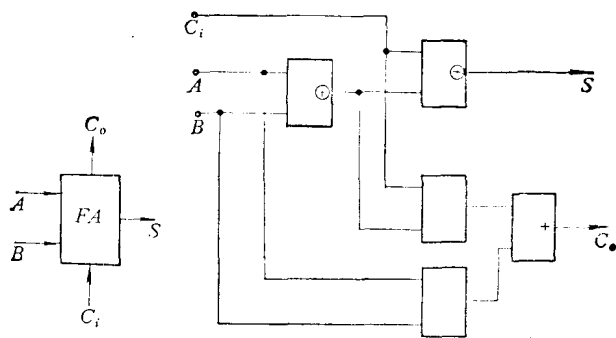


图4-33 由“异或”门构成的一位加法器

全加器的逻辑结构并不是唯一的,根据各种集成电路的特点可以灵活变化。

二、寄存器和移位寄存器

1. 寄存器

各种触发器都有保存信息的能力(即记忆能力),所以可以作为寄存器。将 n 个触发器联合在一起,就可寄存 n 个二进制数码。图4-34是由四个R-S触发器和“与非”门构成的寄存器。每个R-S触发器只寄存一个二进制数,因此四个R-S触发器就构成一个四位寄

寄存器。如果某一时刻需要存入 D_0 、 D_1 、 D_2 、 D_3 的数据,则在写入控制端加写入脉冲,数据输入的“与非”门开放,数据通过二个“与非”门给出一对互补数据,分别加于 R 端和 S 端,并决定 R - S 触发器的状态。当写入脉冲过后,数据输入端的数据可以撤去,触发器的状态不会改变,也就是它把写入的数据长期记忆下来。如要改存别的数据,则改换输入数据,并重复上面的过程。如果要读取寄存的数据,只要在读出控制端加读出脉冲,输出“与非”门的输入端便开放,输出数据就反应了各个触发器寄存的信息。

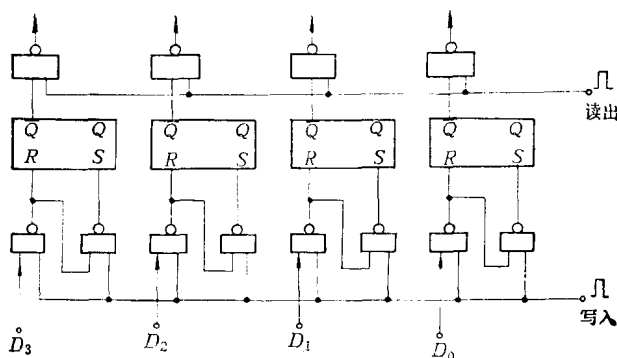


图4-34 四位寄存器

根据上述的原理,不难想像用其它触发器同样能构成寄存器。

2. 移位寄存器

移位寄存器不仅能寄存信息,而且可以完成移位动作。移位寄存器有各种用处。像二进制的乘法运算,就需要用到移位寄存器。如以二个四位数相乘为例:

$$\begin{array}{r}
 1001 \\
 \times 1011 \\
 \hline
 1001 \\
 0000 \\
 1001 \\
 1001 \\
 \hline
 1100011
 \end{array}$$

从上述的二进制乘法简例中可以看出,被乘数与乘数逐位相乘时,就是一系列移位及求和操作。第一位乘数与被乘数相乘的结果不移位,第二位乘数与被乘数相乘时将被乘数左移一位,第四位与被乘数相乘时,将被乘数左移三位。每次位移的结果与上一次的结果相加,便得乘积。所以上述的运算可归纳为三次移位和三次求和操作。求和用加法器来完成。移位操作由移位寄存器来完成。移位操作照上面的演算都是左移,但左移和右移是相对的,如果把上次的乘积右移就等于这次乘积数的左移。

图4-35是双向移位寄存器,由D触发器和“与或”门构成。D触发器用作寄存数据的单元。在“与或”门和控制信号配合下可使数据左移或右移。右移操作时,在右移控制端加“1”电平,受右移信号控制的“与”输入端开放。在时钟脉冲 CP 的作用下, D_3 的数据就移到 D_2 , D_2 的数据移到 D_1 , D_1 的数据移到 D_0 。左边 D_{i-1} 的数据便进入 D_i 。每一节拍(一个时钟脉冲)只对应右移一位。当需要左移时,在左移控制线上加“1”电平,受

左移信号控制的“与”输入端开放。当 CP 到来后, D_{i2} 的数据进入 D_0 , 原来 D_0 的数据移到 D_1 , 原来 D_1 的数据移到 D_2 , 原来 D_2 的数据移到 D_3 。如果左移和右移控制线都为“0”电平, 则时钟脉冲到来时各触发器的状态保持不变。

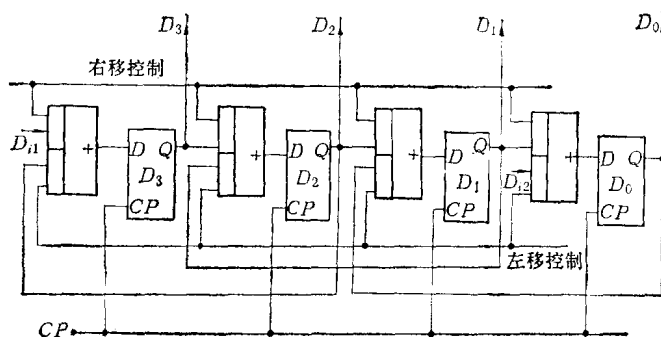


图4-35 移位寄存器

根据上述基本原理, 利用其它触发器和逻辑控制门也同样可实现移位控制的功能。但是所用的触发器必须是无空翻现象的。否则, 每个时钟脉冲将造成不止移动一位, 甚至造成所有位的数据完全相同的结果。

三、计数器和数码显示

1. 计数器

(1) 异步计数器 T触发器的特点是当 $T = 1$ 时, 时钟脉冲每来一个就翻转一次。这是计数器的基本要求。利用T触发器构成计数器也最为方便。

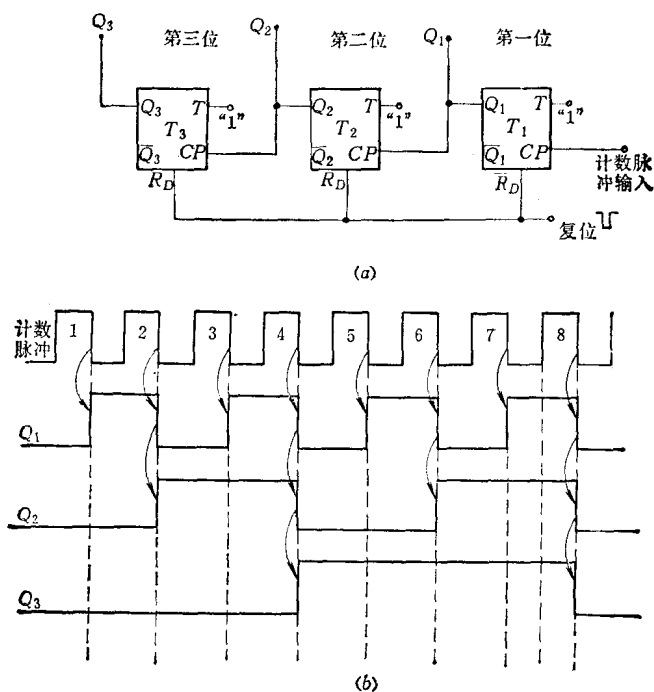


图4-36 T触发器构成的计数器

图 4-36 是由三个 T 触发器串联而成的三位计数器。计数脉冲加在第一位 T 触发器的 CP 端；第一位的输出 Q_1 接第二位触发器的 CP 端；第二位的输出 Q_2 接第三位触发器的 CP 端。所有触发器的 T 控制端都接高电平“1”。

图 4-36 (b) 的波形反映了每个计数脉冲到来后各触发器的输出状态。图中假设 T 触发器是后沿触发，即 CP 端的信号由高转低后才翻转（相当前面介绍过的主-从触发器情况）。第一个计数脉冲过后，三位计数器的状态为 001，第二个计数脉冲过后计数器的状态为 010……，第 7 个计数脉冲过后为 111。计数器的输出就反映脉冲到达的个数。第 8 个脉冲过后，计数器又返回 000，这样依次循环。如果再有第四位，则当 Q_3 由“1”返回“0”时又使第四位翻转为“1”。四位计数器可以计数到第 15 个脉冲。图 4-36 的结构虽然能够完成基本的计数功能，但是速度较慢。因为每个触发器都有一定的延迟时间，CP 的后沿到来并不立即翻转。因此，当第 8 个脉冲的后沿到来后，首先是 Q_1 翻回“0”，然后是 Q_2 ，最后是 Q_3 。如果级数越多，这种延迟现象就越严重，影响了计数速度。在这种计数器中，因为每个触发器的翻转时间不同，所以称为异步计数器。

(2) 同步计数器 与“异步”计数器对应的一种计数器称为“同步”计数器。在同步计数器中，计数脉冲对每个触发器是等同的，也就是计数脉冲同时加在每个触发器的时钟端。当计数脉冲到来时，每个触发器是否翻转，由加在 T 控制端上的信号来决定。

根据上面异步计数器的计数情况，可以发现高位数的翻转是在低位数都为“1”以后，再来计数脉冲时才翻转。因此，每一位的 T 端可以利用“与”门来控制。“与”门的输入接各个低位的输出。这样，当所有的低位触发器的输出都转为“1”后，该位的 T 控制端才为“1”，即第 n 位 T 端的控制信号可写为

$$T_n = Q_{n-1} \cdot Q_{n-2} \cdot Q_{n-3} \cdots Q_1 \quad (4-18)$$

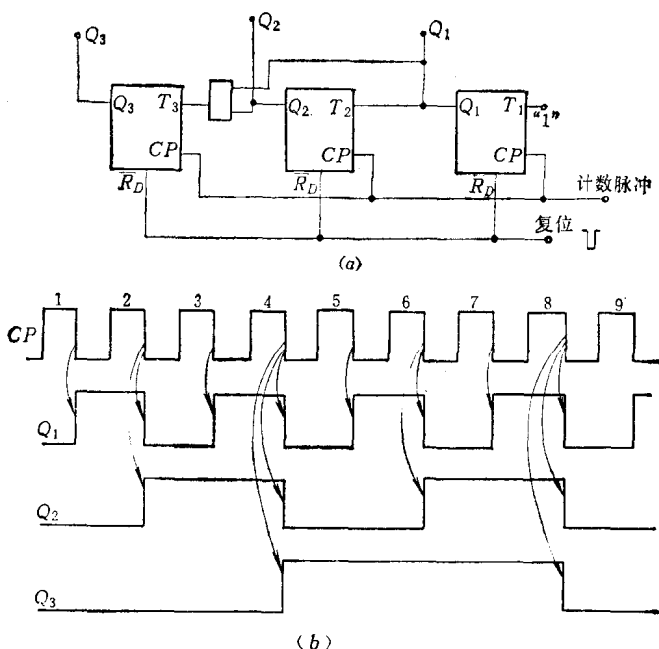


图 4-37 同步计数器的结构及波形

(a) 同步计数器的结构；(b) 同步计数器的波形及对应的作用边。

第一位是每来一个计数脉冲都翻转一次, 所以 T_1 永远接“1”电平。根据上述的规律, 同步计数器可联成如图 4-37 的结构。它们的工作波形如图 4-37 (b) 所示。

(3) 十进计数器 在日常生活中, 我们习惯用的是十进计数。用四个 T 触发器可以构成十进计数器的一位。如果要构成多位十进计数器, 可以用多个一位的十进计数器构成。只要低位的十进计数器在计数到十后给出进位信号即可。所以, 对于每一位十进计数器的要求有二点:

① 实现以十循环的计数规律。我们知道, 用三位二进制计数器只能计到 8, 即逢 8 循环。用四位二进制计数器可以计到 16。如果我们按图 4-37 (a) 的原理再加一个触发器构成四位二进制计数器, 则它的计数循环规律是逢 16 循环。而十进制计数的规律要求是逢 10 循环。也就要求设计一个控制逻辑网络, 使四个计数器处于 1 0 0 1 状态后, 如果再来计数脉冲就返回 0 0 0 0 状态。

② 给出进位信号。当四个触发器返回 0 0 0 0 状态的同时, 给出进位信号。

要完成上面二点要求, 可按以下步骤进行逻辑设计:

① 写出每个计数脉冲到来后各触发器所对应的状态。即图 4-38 状态表中的现状态。

② 写出下一个状态的要求, 即图 4-38 状态表中的新状态。

计数脉冲	现 状 态				新 状 态				T 控 制 端				进位输出 C_o
	Q_4	Q_3	Q_2	Q_1	Q_4	Q_3	Q_2	Q_1	T_4	T_3	T_2	T_1	
零	0	0	0	0	0	0	0	1	0	0	0	1	0
一	0	0	0	1	0	0	1	0	0	0	1	1	0
二	0	0	1	0	0	0	1	1	0	0	0	1	0
三	0	0	1	1	0	1	0	0	0	1	1	1	0
四	0	1	0	0	0	1	0	1	0	0	0	1	0
五	0	1	0	1	0	1	1	0	0	0	1	1	0
六	0	1	1	0	0	1	1	1	0	0	0	1	0
七	0	1	1	1	1	0	0	0	1	1	1	1	0
八	1	0	0	0	1	0	0	1	0	0	0	1	0
九	1	0	0	1	0	0	0	0	1	0	0	1	1
十	1	0	1	0									
十一	1	0	1	1									
十二	1	1	0	0									
十三	1	1	0	1			ϕ				ϕ		ϕ
十四	1	1	1	0									
十五	1	1	1	1									

图4-38 状 态 表

③ 写出各触发器控制端 T 的要求。根据新状态和现状态的对比, 就可确定各触发器在下一计数脉冲到来时, 是否应该翻转。如应该翻转, 则控制端 T 应为“1”信号。如不应翻转, 则为“0”信号。将它们依次填入状态表中。

④ 写出进位输出要求。这是给高位的控制信号。十进制计数的要求只有在第 9 个脉冲到来后才应给出进位信号, 所以只有这一行为“1”, 其它各行都为“0”。

在表中, 十以后因为是不需要用的状态, 所以对输出信号和控制信号等都无要求。

“1”、“0”皆可，在状态表中记为 ϕ 。

⑤ 作各控制端 T 和输出端 C_o 的卡诺图。因为现状态的输出 Q 都可以用作对 T 端的控制信号，所以，在卡诺图中，逻辑变量为现状态的 Q_1 、 Q_2 、 Q_3 、 Q_4 。各端的卡诺图如图4-39所示。对于触发器 T_1 来说，因为要求每个计数脉冲到来时都翻转。所以 T_1 恒为“1”，可不作卡诺图。

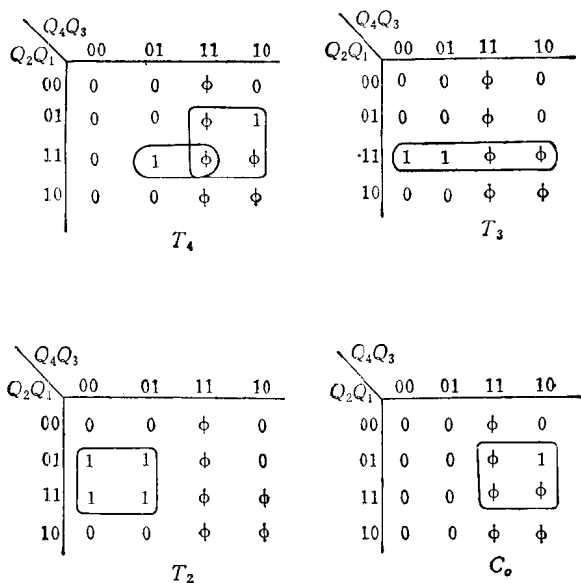


图4-39 T_2 、 T_3 、 T_4 、和输出 C_o 的卡诺图

⑥ 写出逻辑函数式。根据卡诺图，可得各 T 端的逻辑函数。

$$\left. \begin{aligned} T_4 &= Q_4 Q_1 + Q_3 Q_2 Q_1 \\ T_3 &= Q_2 Q_1 \\ T_2 &= \bar{Q}_4 Q_1 \\ C_o &= Q_4 Q_1 \end{aligned} \right\} \quad (4-19)$$

根据逻辑表达式画出的逻辑图如图4-40所示。

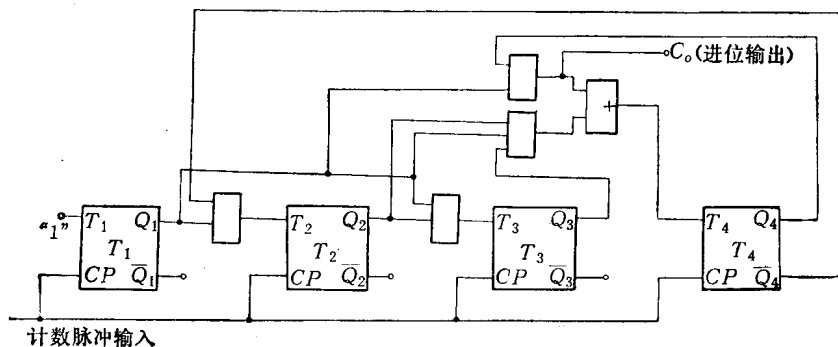
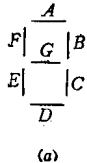


图4-40 十进计数器的逻辑图

2. 数码显示

要将数码显示为人的眼睛所能看到的光信号,就需要数码显示器。最常见的数码显示器件是数码管。目前常用的是七段(或八段)数码管。图 4-41 表示七段数码管的结构原理。它由七段能发光的线条组成,每条都有对应的引出线,当引出线处于高电平时,它就发光,低电平时便熄灭。因此,可以根据要显示的数字,在各引出线加高电平或低电平。图(b)列出了显示 0~9 各数符的真值表。

 (a)	数符	A	B	C	D	E	F	G
	0	1	1	1	1	1	1	0
	1	0	1	1	0	0	0	0
	2	1	1	0	1	1	0	1
	3	1	1	1	1	0	0	1
	4	0	1	1	0	0	1	1
	5	1	0	1	1	0	1	1
	6	1	0	1	1	1	1	1
	7	1	1	1	0	0	0	0
	8	1	1	1	1	1	1	1
	9	1	1	1	1	0	1	1

输 入				输 出							数码显示
Q ₄	Q ₃	Q ₂	Q ₁	A	B	C	D	E	F	G	
0	0	0	0	1	1	1	1	1	1	0	0
0	0	0	1	0	1	1	0	0	0	0	1
0	0	1	0	1	1	0	1	1	0	1	2
0	0	1	1	1	1	1	1	0	0	1	3
0	1	0	0	0	1	1	0	0	1	1	4
0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	0	1	1	1	1	1	6
0	1	1	1	1	1	1	0	0	0	0	7
1	0	0	0	1	1	1	1	1	1	1	8
1	0	0	1	1	1	1	1	0	1	1	9
1	0	1	0								
1	0	1	1								
1	1	0	0								
1	1	0	1								
1	1	1	0								
1	1	1	1								

1	0	1	0								
1	0	1	1								
1	1	0	0								
1	1	0	1								
1	1	1	0								
1	1	1	1								

(b)

图4-41 数符0~9的数码管及真值表

(a) 数码管结构; (b) 真值表。

图4-42 数码显示组合网络的输入-输出状态表

在前面图 4-40 的十进计数器中,如果要随时显示计得的数据,可以将各个 T 触发器的输出经过组合逻辑网络给出数码管所需要的信号。设计该组合网络时,只要根据输入与输出之间的逻辑关系列出它们的状态表,如图 4-42 所示。再作各输出端的卡诺图就可以求得各段所需要的逻辑函数。在求逻辑函数时,因为发现卡诺图中“0”少“1”多,所以取“0”项后再求补比较简便。

根据图 4-43 的卡诺图的简化式便可画出它的组合逻辑网络,如图 4-44 所示。

四、译码器和数据选通器

在数字系统中,常常用到各种译码器,它们的名称虽然不同,但原理一样。下面先举一个实际例子说明译码器的基本用途和原理。

图 4-45 表示一个多路数据传输的控制系统。图中的 MOS 管 $T_1 \sim T_8$ 作为传输门。如果我们希望把数据 $D_0 \sim D_7$ 轮流送到输出端去,就要分别控制 8 个门管的栅极,需要 8 根控制线。但如采用译码器控制,则可以减为三根控制线。因为每根控制线可以有二种状态(“0”或“1”),三根控制线就可以有 $2 \times 2 \times 2 = 2^3 = 8$ 种组合状态,每种状态可以对应选中一路,所以可以控制 8 路。

如果将三个输入端所组合的八种可能状态列成表,并且写出它所对应的选通线,使得

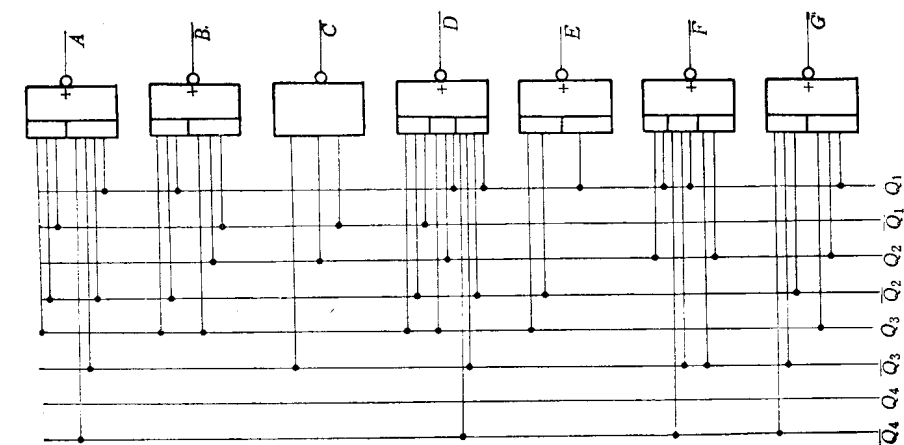
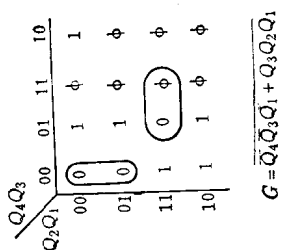
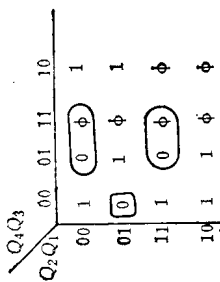


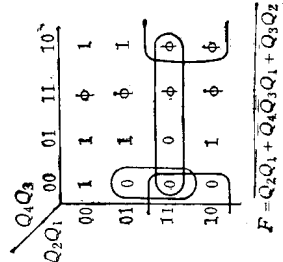
图4-44 七段数码显示网络



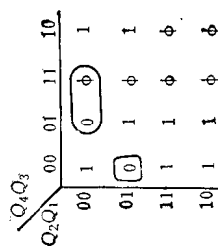
$$B = \overline{Q_3} Q_2 \overline{Q_1} + \overline{Q_3} Q_2 Q_1$$



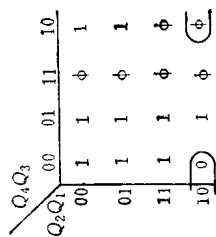
$$D = \overline{Q_3} \overline{Q_2} \overline{Q_1} + Q_3 Q_2 Q_1 + Q_4 Q_3 Q_2 Q_1$$



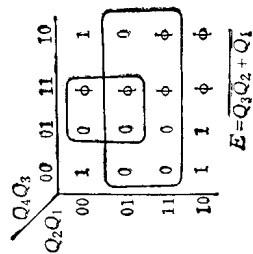
$$F = \overline{Q_3} Q_1 + \overline{Q_4} \overline{Q_3} Q_1 + Q_3 Q_2$$



$$A = \overline{Q_3} Q_2 Q_1 + Q_4 Q_3 Q_2 Q_1$$



$$C = \overline{Q_3} Q_2 \overline{Q_1}$$



$$E = \overline{Q_3} Q_2 + Q_1$$

图4-43 数码管各端的卡诺图

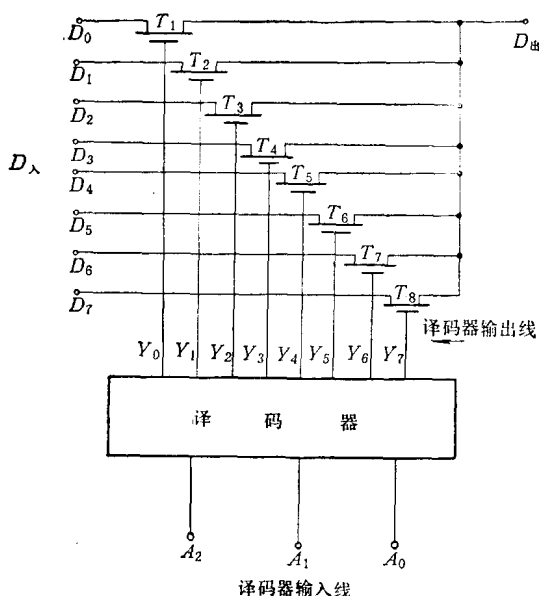


图4-45 多路数据选通控制原理图

输入			输出							
A_2	A_1	A_0	Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

图4-46 译码器的真值表

图4-46的译码器真值表。被选中的一路，对应译码输出线为“1”，其它各路的译码输出线都为“0”。根据图4-46的真值表，便可直接写出各输出端的逻辑式。例如 $A_2A_1A_0$ 全“0”时 Y_0 才为“1”，它就是 $Y_0 = \bar{A}_2\bar{A}_1\bar{A}_0$ 。当 $A_2A_1A_0 = 001$ 时， Y_1 为“1”，所以 $Y_1 = \bar{A}_2\bar{A}_1A_0$ ……依次写出，便得

$$\left. \begin{aligned} Y_0 &= \bar{A}_2\bar{A}_1\bar{A}_0 \\ Y_1 &= \bar{A}_2\bar{A}_1A_0 \\ Y_2 &= \bar{A}_2A_1\bar{A}_0 \\ Y_3 &= \bar{A}_2A_1A_0 \\ Y_4 &= A_2\bar{A}_1\bar{A}_0 \\ Y_5 &= A_2\bar{A}_1A_0 \\ Y_6 &= A_2A_1\bar{A}_0 \\ Y_7 &= A_2A_1A_0 \end{aligned} \right\} \quad (4-20)$$

从式(4-20)看，它只需要用八个“与”门，同时需要三对互补信号（即 A_0 、 $\bar{A}_0$ 、 A_1 、 $\bar{A}_1$ 、 A_2 、 $\bar{A}_2$ ）。但是译码器的控制端只有三个，所以应再加三个“非”门作倒相，使得到三对互补信号，分别控制各个“与”门。所以图4-45的译码器网络就成了图4-47的形式。

根据译码器的基本原理，用其它门电路同样可以实现译码功能。如果利用摩根定理，

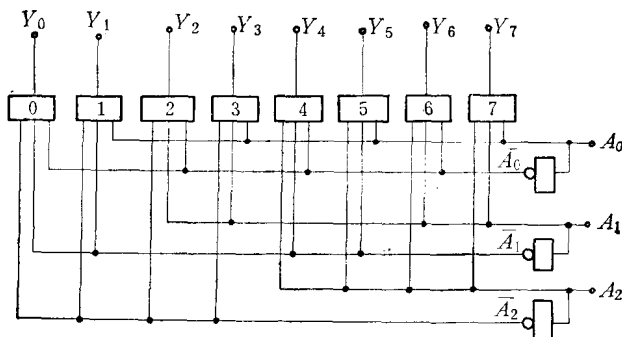


图4-47 由“非”门和“与”门构成的译码器

“与”门可转化为“或非”门，即

$$\left. \begin{aligned} Y_0 &= \overline{A_2} \overline{A_1} \overline{A_0} = \overline{A_2 + A_1 + A_0} \\ Y_1 &= \overline{A_2} \overline{A_1} A_0 = \overline{A_2 + A_1 + \overline{A_0}} \\ Y_2 &= \overline{A_2} A_1 \overline{A_0} = \overline{A_2 + \overline{A_1} + A_0} \\ &\dots\dots\dots \\ Y_7 &= A_2 A_1 A_0 = \overline{\overline{A_2} + \overline{A_1} + \overline{A_0}} \end{aligned} \right\} \quad (4-21)$$

这就成了“或非”门加倒相门所构成的译码器。如果需要译码器的输出控制信号为“0”电平，即被选中的一根输出线为“0”，未选中的输出线都为“1”，则可用“与”门和倒相门构成。

在某些译码器中，为了减轻译码输入线的负荷，常常再加一级倒相器，因此每个输入端需配二个倒相门。有时把这些倒相门都称为译码缓冲器。

在某些译码器中，还有译码器的总控制端，称为片选端和禁止控制端。图 4-48 画出了带有译码缓冲器和总控制端的译码器。 C_s 表示片选端， $\overline{E}$ 表示禁止(或允许)选通端。只有当 $C_s = 1$ ， $\overline{E} = 0$ (即 $\overline{C_s} + \overline{E} = 1$) 时，整个译码器才能根据 A_0 、 A_1 的状态给出对应的输出状态。如果不满足此条件，则 A_0 、 A_1 的输入无效，译码器输出均为“0”。

利用译码器的功能可以用较少的控制线来实现多路控制。译码器的输入线的数目和输出线数目之间存在指数关系。如果有四根输入线，可控制 $2^4 = 16$ 根输出线；五根输入线，则可控制 $2^5 = 32$ 根输出线；有 n 根输入线，它便有 2^n 根输出线。它可以控制 2^n 的多路选通， n 越大输入控制线的减少就更明显。

图 4-45 是利用 MOS 传输门构成的多路数据传输系统，也就是数据选通器。在双极型集成电路中，利用门电路的组合也同样可以构成数据选通器。

图 4-49 表示由“与或”门构成的多路数据选通器。在译码输出线中，被选中的一路数据便出现在输出端 D 。

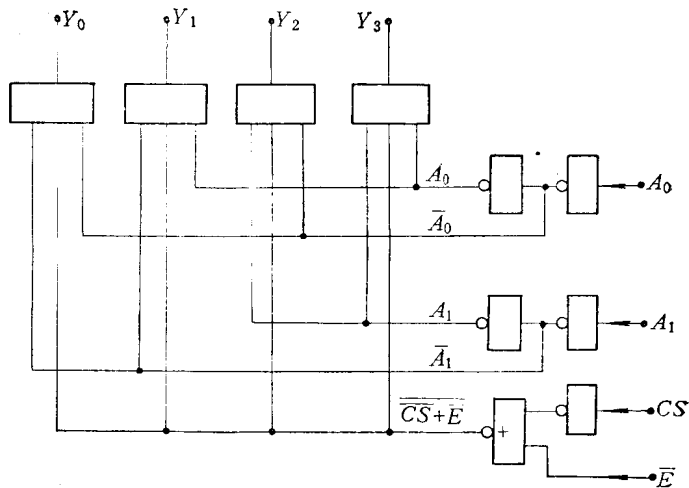


图 4-48 带禁止端和片选端的译码器

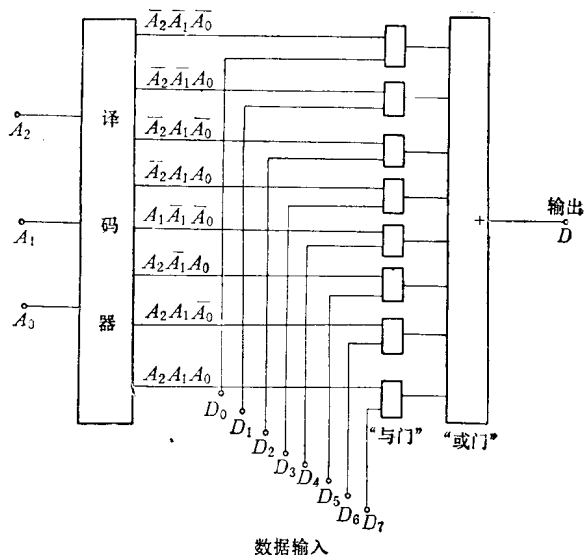


图 4-49 “与或”门构成的多路数据选通器

第五章 大规模集成电路

在集成电路中,根据电路的复杂程度,常常分为小规模集成电路(SSI)、中规模集成电路(MSI)和大规模集成电路(LSI)。目前又出现了超大规模集成电路。根据结构和制造上的不同,又有双极型集成电路和金属-氧化物-半导体场效应晶体管(MOS)集成电路之分。由于各种集成电路的制作难易不同,所以划分大、中、小规模依据也不大相同。目前国内对各种集成电路的划分标准大致如表 5-1 所示。对于双极型集成电路,单片包括 100 个门以上的为 LSI。对 MOS 集成电路,以单片包括 1000 个元件以上的为 LSI。近年来出现的所谓超大规模集成电路,其单片元件数约 10 万左右。

表 5-1

种类 \ 规 模	SSI	MSI	LSI
双极数字	10(门/片)以下	10~100(门/片)	100(门/片)以上
MOS	100(元件/片)以下	100~1000(元件/片)	1000(元件/片)以上
模拟电路	50(元件/片)以下	50~100(元件/片)	100(元件/片)以上
存 贮 器	—	256(位/片)以下	256(位/片)以上

集成度的提高主要受三个因素限制:

(1) 成品率的限制。在半导体集成电路制造中,总是先在一个较大的半导体片本上同时做上许多同样的单元电路,然后再将它们分割开来并进行封装,每个单元电路就是一个单片集成电路。在每个单元上,根据集成度的大小,包括的元件数也不相同。由于制造上的种种原因,在一个大片上,总会出现一些不合格的单元,而不合格的单元在大片上的分布是随机的,也就是在每个单元的位置上都存在着合格和不合格的几率。例如,我们制造 100 元件/片的单元电路,每大片上合格的电路为 80%,即成品率为 80%,这就表明在一个大片上,在每个单元位置上出现合格电路的几率是 80%。在此基础上,如果我们不改变每个元件的尺寸,仅以增加单元面积的办法来提高集成度,那么,制造 200 元件/片的电路,每个单元的面积就为原来的二倍。一个合格的单元,就要求原来的二个相邻单元的电路同时合格,所以,它的合格率就降为 $80\% \times 80\% = 64\%$ 。如果仍用同样的方法提高集成度,制造 400 元件/片的电路,其面积为原来的四倍,则它的合格率就变成了 $(80\%)^4 = 41\%$ 。依次类推,如果再进一步提高集成度,成品率将进一步下降。当集成度提高到一定程度时,成品率就会降低到没有生产价值的程度。所以,想要提高集成度,将会受到成品率的限制。

(2) 工艺精度的限制。在集成电路的制造中,元件的最小尺寸常常受到工艺水平的限制。所以,如果想从缩小元件的尺寸来提高集成度,有时会受到工艺精度的限制。

(3) 功耗的限制,如用缩小元件尺寸的办法来提高集成度,还可能受到功率耗散的

限制。因为单位面积包括的元件数越多, 功耗就越大, 结果会使片子的温升达到不能允许的程度。所以, 如果从缩小元件尺寸的办法来提高集成度, 即使工艺精度许可, 也将受到功耗和温升的限制。总的说来, 要想提高集成度, 一方面应改进工艺, 提高工艺精度和成品率; 另一方面, 应从电路设计上进行改革, 降低功耗。

本章将从二个方面对大规模集成电路作些介绍。第一方面, 介绍大规模集成电路中的某些特殊单元电路和功能器件, 以及它们的应用; 第二方面, 介绍二种高集成密度的新器件——注入集成逻辑电路 (I^2L) 及电荷耦合器件 (CCD)。

本章的内容包括以下六节: (1) MOS 基本电路。这是在第三章基础上的补充, 着重介绍 MOS 动态电路。因为在 MOS 大规模集成电路中, 常常用到动态工作模式。(2) MOS 移位寄存器。它可用作信息延迟, 数据处理和存贮信息。高位数的移位寄存器是 MOS 型大规模集成电路中特有的器件。(3) 随机存取存储器 (RAM)。(4) 只读存储器 (ROM)。(5) 集成注入逻辑 (I^2L) 电路。(6) 电荷耦合器件 (CCD)。前面四节的内容都侧重于 MOS 集成电路方面, 因为 MOS 器件比双极型器件更容易实现大规模集成, 发展也快。后二节内容是对七十年代以后发展的器件作一简介。 I^2L 是属双极型类别的器件; CCD 是属 MOS 类别的器件。它们都具有结构简单、集成密度高的特点, 所以更有利于提高集成度。

§ 5-1 动态 MOS 基本电路

有不少 LSI 是 MOS 集成电路。MOS 集成电路的工作模式可分为静态和动态两大类。在第三章中介绍的单沟道 MOS (由一种沟道的 MOS 管组成的) 集成电路和 C-MOS 集成电路都属静态电路。这里再将单沟道 MOS 倒相器的电路重画于图 5-1 中。

倒相器的输入特性就是 T_1 的输入特性。 T_1 的输入阻抗可视为电阻 (约 $10^{14} \Omega$) 和电容 ($10^{-14} \sim 10^{-12} F$) 相并联。在静态倒相器中, 负载管 T_2 常处于导通状态, 驱动管 T_1 的导通或截止则取决于输入信号 V_i 。关于倒相器的工作原理, 在第三章中已有叙述。当 V_i 为“1”时, T_1 导通, 输出 V_o 的数值决定于 T_1 管和 T_2 管的跨导比, 也就是决定于两管的几何尺寸。为使 V_o 尽可能小, 应该适当选择 T_1 管和 T_2 管的沟道尺寸。如以 W 表示沟道宽度, L 表示沟道长度, 则应满足下列不等式

$$\beta_r = \frac{W_1/L_1}{W_2/L_2} \gg 1 \quad (5-1)$$

式中下标 1 和 2 分别对应于 T_1 管和 T_2 管。在这种倒相器中, 要使电路正常工作, 输入管 T_1 和负载管 T_2 的尺寸必须满足一定的比例关系, 所以称为有比电路。单沟道的静态 MOS 电路都属有比电路。在有比电路中, 因为负载管的通导电阻比驱动管的通导电阻大得多, 所以电路的截止时间要比通导时间长得多。

各种静态逻辑门电路已在第三章中作过介绍, 这里不再重复。下面着重讨论动态工作模式的基本电路。

动态 MOS 电路主要是充分利用节点电容具有暂时存贮信息的能力。因为 MOS 管的

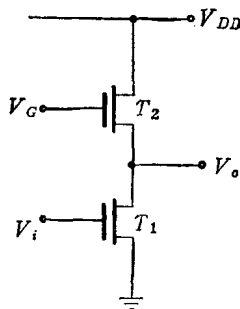


图5-1 MOS 倒相器

输入电阻很大,各节点漏电阻基本上等于 $p-n$ 结的反向漏电阻,在 $10^8\Omega$ 以上,所以节点电容上的信息电荷可以保存相当长的时间。如果节点电容在 pF 量级,则节点的 RC 时间常数在 $10^{-4}s$ 以上,即百微秒量级。这说明信息在节点上可以保存一定的时间。动态MOS电路充分地利用了这个特性。利用节点电容的暂存作用,可以使得各种功能的电路简化,减小电路的功耗,缩小管子的尺寸,从而可缩小单位功能电路所占用的芯片面积,给大规模集成提供了有利的条件。

动态MOS电路可分有比电路和无比电路二类。下面,分别给予介绍。

一、动态有比电路

动态有比电路和静态电路类似,驱动管(或称输入管)的尺寸比负载管大得多,要求满足式(5-1)的关系。与静态电路不同之处,仅仅是负载管的栅极不接直流电源,而是改接时钟控制脉冲。图5-2(a)画出了这种动态电路的组合逻辑结构。采用二相互不重叠的时钟脉冲,它们的时序关系如图5-2(b)所示。 ϕ_1 和 ϕ_2 分别控制二组逻辑电路。 ϕ_1 控制逻辑组I; ϕ_2 控制逻辑组II。虚线框内表示实现某种逻辑功能的电路(不包括负载管在内)。例如,逻辑组I的电路可以是图5-2(c)的具体电路。图(d)是与(c)对应的逻辑图。各逻辑组的输入端都存在节点电容。如以节点A为例,它的节点电容 C_1 包括 T_1 管的一个 $p-n$ 结电容、 T_2 管的栅电容以及分布电容。其它输入端也有相应的节点电容(图中未画出)。

图5-2(a)的工作原理是:当 $\phi_1=1$ 时,受 ϕ_1 控制的I组逻辑电路工作,并且输出管 T_4 通导。电路就根据输入端节点电容的暂存信息,通过逻辑组I求值,并把结果传递给逻辑组II的输入端,信息暂时寄存于 C_2 上(其它输入端也有相应的节点电容和暂存信息,图中未画出)。当 ϕ_1 回到“0”后,因为节点电容的漏电流很小,所以信息可在 C_2 上保存一定的时间。逻辑组II的工作是由 ϕ_2 控制的,当 $\phi_2=1$ 时,它就根据输入端的暂存信息求值,并通过 T_7 传至输出端 V_o 。在这种电路中,当时钟脉冲存在期间,各组的工作情况和静态电路相同。要保证电路正常工作,负载管的通导电阻必须比输入管的通导电阻大得多,也就是应满足式(5-1)的关系,所以是属有比电路。

这种电路与静态电路相比,它的功耗较小。因为只有当时钟脉冲存在期间,负载管才通导,从电源 V_{DD} 到地才可能有直流通路。时钟脉冲不存在时期,没有直流通路,它不消耗功率,所以功耗较小。这种动态电路的另一个优点是容易使整个系统或子系统实现同步操作。只要采用统一的二相时钟脉冲,就可得到同步。

但是,在动态电路中,为使电路正常工作,对于时钟脉冲有一定的要求,时钟脉冲的宽度不能太宽,也不能太窄。它的最小宽度必须大于该逻辑组求值所需要的时间。具体的说,如以图5-2(a)中的逻辑组I为例,时钟脉冲 ϕ_1 的宽度必须大于二级门的延迟时间。否则,当时钟脉冲 ϕ_1 结束时,下一组的节点电容 C_2 就不能获得正确的求值信息。另一方面,时钟脉冲的宽度也不允许太宽,因为节点电容存在着漏电阻,节点电容(C_1)存贮信息的时间是有限的,它将随时间逐渐消失,如果时钟脉冲太宽,节点电容暂存的信息消失后,便会使输出结果发生变化。逻辑组II的情况也是一样, ϕ_2 的宽度也有同样的限制。换一句话说,就是要使电路正常工作,时钟脉冲的重复频率不允许过高,也不允许过低。显然,逻辑组的延迟时间越长,要完成正确求值的时间也越长,时钟频率的高频限就会降低。所

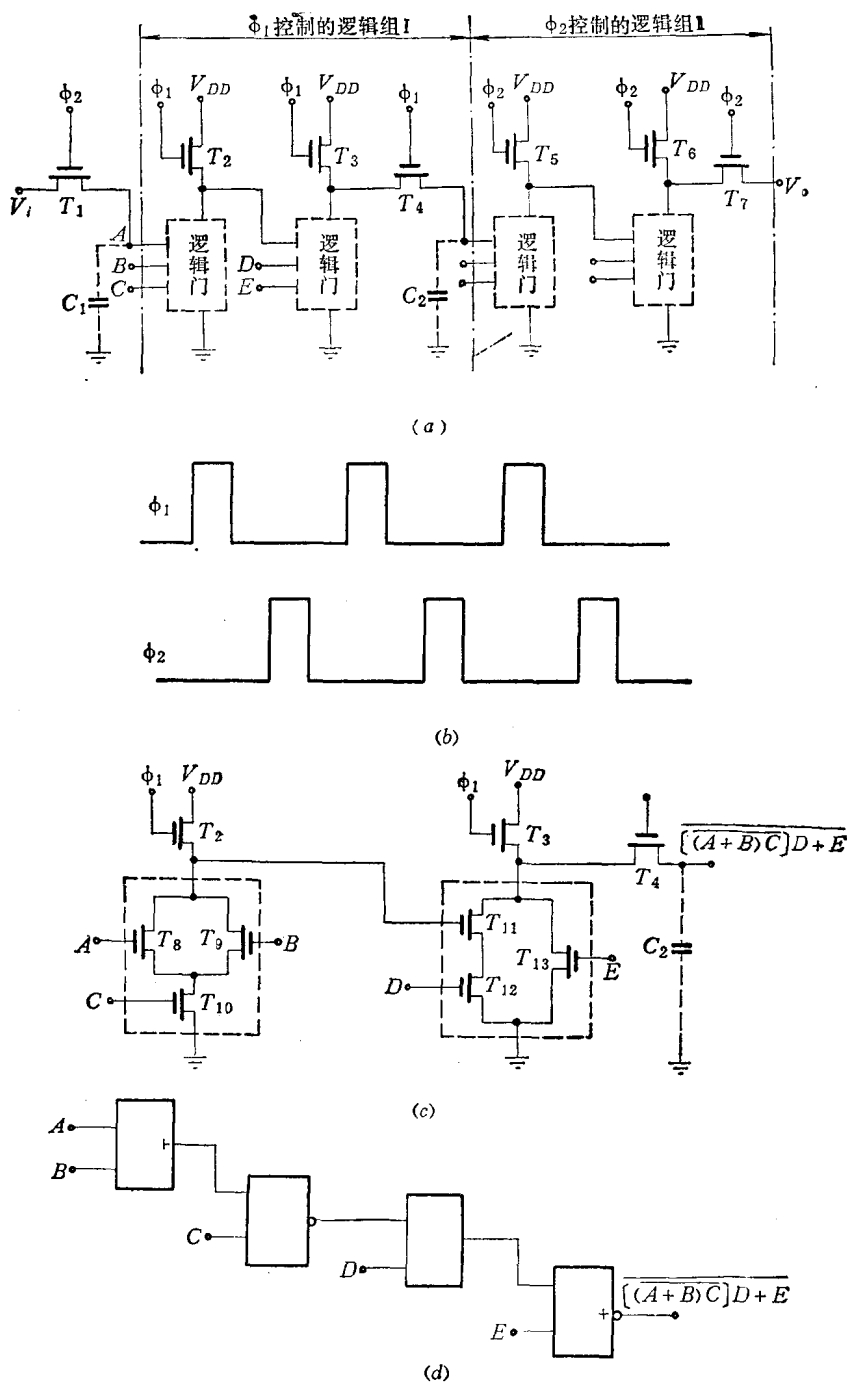


图5-2 二相有比动态逻辑电路

(a) 二相有比动态逻辑原理图；(b) 二相时钟脉冲的时序关系；
(c) 由 ϕ_1 控制的逻辑组 I 电路图；(d) 电路图(c)的逻辑图。

以，在这种动态逻辑电路中，每个逻辑组的级数越多，高频限也就越低。时钟脉冲的低频限主要受节点的 RC 时间常数的限制。这里的 R 基本上就是 $p-n$ 结的反向漏电阻，它是温度的指数函数，当温度升高时， $p-n$ 结的反向电阻变小，所以，时钟脉冲的低频限就

会升高。

二、动态无比电路

这类电路的特点是驱动管和负载管的尺寸不必满足式(5-1)的要求。所以,负载管的尺寸和驱动管可以做得一样大,即 $\beta_r=1$ 。

图5-3(a)是一种动态无比倒相器电路,负载管 T_2 受 ϕ_1 控制,输出管 T_3 受 ϕ_2 控制。整个电路可看作两部分:第一部分是取样电路,包括 T_1 、 T_2 以及它们相联系的节点电容 C_1 ;第二部分是输出电路,由 T_3 及分布电容 C_2 组成。当时钟脉冲 ϕ_1 到来时,输入信号 V_i 被倒相取样,并且暂存于 C_1 中。随后, ϕ_2 的到来使 T_3 导通,将 C_1 的信息转移到输出端 V_o 。电路中各点电平的时序关系如图5-3(b)所示。

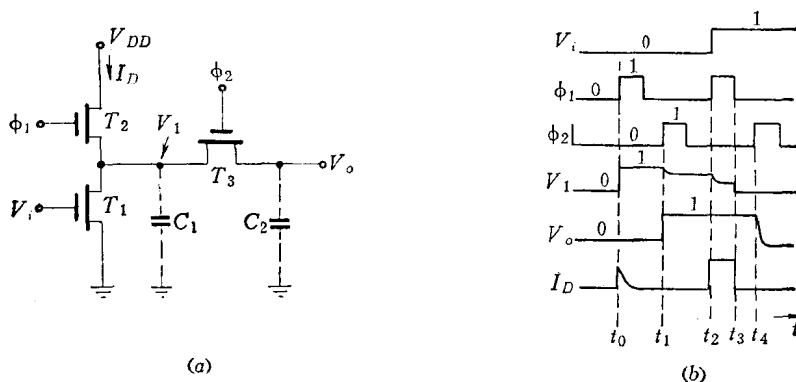


图5-3 动态无比倒相器

(a) 电路; (b) 各点波形。

在图5-3(b)中,设 $t=t_0$ 时, $V_i=0$, $\phi_1=1$ 。这时 T_1 截止, T_2 导通,使 C_1 充电到 V_{DD} 的数值,即“1”电平。在 $t=t_1$ 时, $\phi_1=0$, $\phi_2=1$,使 T_3 导通, C_1 上的电荷就向 C_2 转移, C_1 和 C_2 都是节点电容,但设计时要求 $C_1 \gg C_2$,所以 C_1 上的电荷在 C_1 和 C_2 上重新分配后 V_1 的变化不大。也就是 $t=t_1$ 后,输出 V_o 为“1”电平。它与输入 V_i 互补,完成了倒相的功能。在 $t_2 \sim t_3$ 之间, ϕ_1 和 V_i 都为“1”,节点 V_1 的电位稳定值应近似等于 $V_{DD}/2$ (因为 $\beta_r=1$)。但因这时 $\phi_2=0$, T_3 是截止的,所以 V_o 仍为“1”电平。在 $t=t_3 \sim t_4$ 之间, $\phi_1=0$,而 V_i 仍等于“1”,所以 T_2 截止, T_1 仍处于导通状态,结果 C_1 便通过 T_1 放电,使 $V_1=0$ 。当 $t=t_4$ 时, $\phi_2=1$,使 T_3 导通, C_2 便经过 T_3 和 T_1 放电,这时输出 V_o 转为“0”,出现输出与输入互补的结果。综合上述的过程,可归纳为三个阶段,即 $\phi_1=1$ 时,为预充阶段,使节点 V_1 充电。 $\phi_1=\phi_2=0$ 时,为求值时间,使节点 V_1 根据输入信号 V_i 求值。第三个阶段是 $\phi_2=1$,是输出时间。因为现在是三个阶段分开进行的,所以负载管和输入管之间没有式(5-1)的要求。求值时 ϕ_1 已经为“0”,不必考虑负载管和驱动管的通导电阻之比。在有比电路中,因为负载管的通导电阻很大,所以负载管对负载电容的充电时间很长,这是影响开关速度的主要因素。而在无比电路中,负载管可以和输入管做得一样大,因而开关速度可以提高,而且整个电路的尺寸可以做得小些,对提高集成度有利。这种动态电路的功耗比静态倒相器小。在图5-3(b)的 I_D 波形中, $t_0 \sim t_4$ 之间,只有两段时间出现电流。一段时间是 $t=t_0$ 后的一小段时间,是 T_2 导通后, V_{DD} 对节点电容 C_1 的充电电流;另一段时间是 $t_2 \sim t_3$ 之间, T_1 和 T_2 都导通时,使

V_{DD} 到地形成直流通路而产生的电流。这种动态电路的时钟脉冲主要有三个作用：(1) ϕ_1 用以对 V_i 取样；(2) ϕ_2 将取样信号转移到输出端；(3) ϕ_1 及 ϕ_2 周期性地交替出现，使 C_1 和 C_2 得到周期性的充电（或放电），也就是使 C_1 、 C_2 上的暂存信息得到周期性的“刷新”。这种周期性的刷新是必要的，因为这样才能使得在输入信号 V_i 不变的情况下，输出电平也保持不变。为了使 C_1 和 C_2 的信息不致消失，两次“刷新”的间隔时间不能过长。也就是时钟频率不容许太低。它和动态有比电路一样，时钟频率的下限取决于节点的 RC 时间常数。

在上述无比例相器的基础上，可以构成各种动态无比逻辑门。图 5-4(a)、(b) 分别为二输入端的“与非”门和“或非”门，工作原理和二相动态倒相器类似。当 $\phi_1 = 1$ 时，对节点电容 C_1 进行预充。 $\phi_1 = \phi_2 = 0$ 时，是节点电容 C_1 的求值时间，根据输入端的情况，决定 C_1 放电或不放电。当 $\phi_2 = 1$ 时， C_1 的取样值传到输出端。时钟脉冲 ϕ_1 和 ϕ_2 要求互不交叠。

图 5-5(a) 是另一种动态无比例相器，它与图 5-3(a) 不同之处是：输入门管 T_1 与负载管 T_3 都受同一相时钟脉冲控制；负载管 T_3 的漏极不接直流电源 V_{DD} ，而是改接时钟脉冲 ϕ_1 ；驱动管 T_2 的源极也不接地，改接时钟脉冲 ϕ_1 。

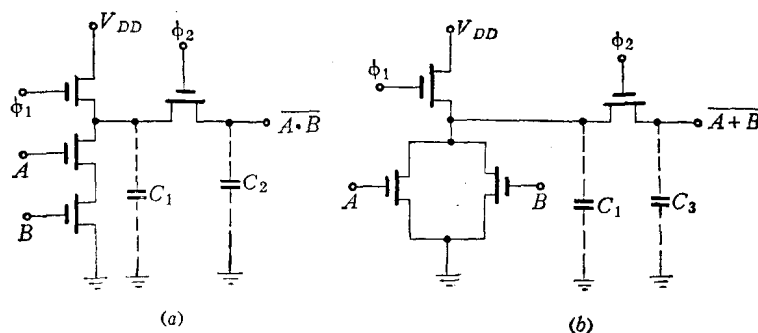


图 5-4 动态无比二相逻辑门
(a) “与非”门；(b) “或非”门。

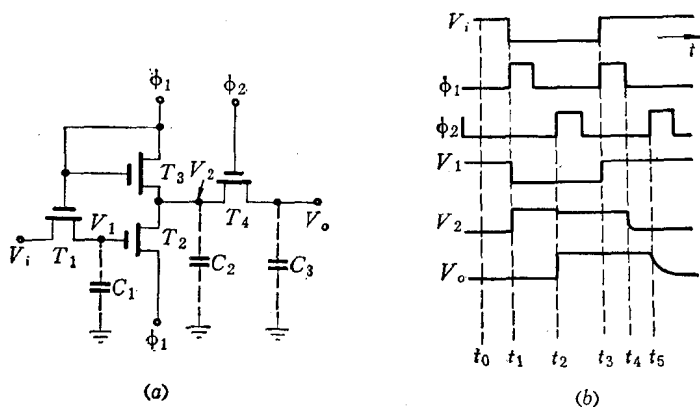


图 5-5 低功耗动态二相无比例相器
(a) 电路；(b) 时序图。

这种二相无比电路的工作原理可用图 5-5(b) 的时序关系进行说明。如果设 $t = t_0$ 时，

T_4 、 T_5 实现交叉耦合。 T_1 为输入门管。这种静态移位寄存器工作时需要三相时钟脉冲。即取样脉冲 ϕ_1 、转移脉冲 ϕ_2 和延迟转移脉冲 ϕ_3 。它们的时序关系如图 5-7(b) 所示。

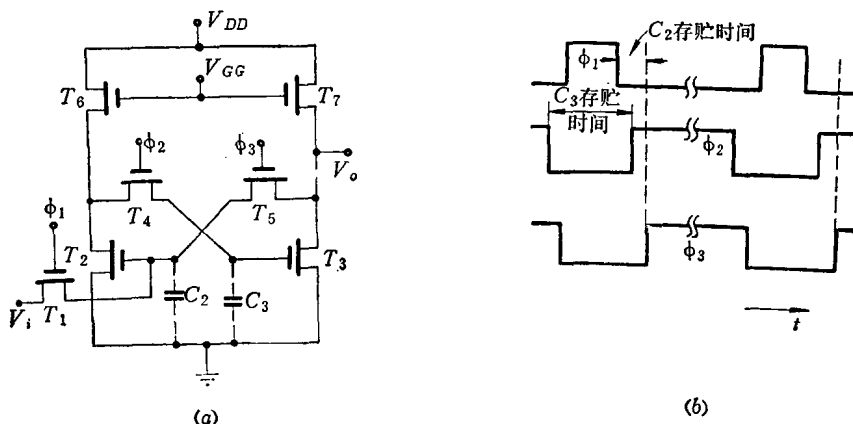


图 5-7 准静态移位寄存器的基本单元

(a) 电路; (b) 三相时钟脉冲波形。

如果 V_i 为“1”，当 ϕ_1 到来时， T_1 导通，使 C_2 充电，即对 V_i 取样。随后， ϕ_2 到来使 C_2 上信号经倒相后传至 C_3 ，再经 T_3 、 T_7 构成的倒相器传到输出端。因为经过二次倒相，所以 V_o 的逻辑电平与 V_i 同相。当 V_o 为“1”后， ϕ_3 到来，使 T_5 导通， V_o 与 C_2 接通， C_2 上电荷由 V_o 的“1”状态得到补充。在 ϕ_2 、 ϕ_3 均为 1 时，此电路的工作状态与静态触发器完全一样，使 V_o 维持在“1”状态。只要 ϕ_2 、 ϕ_3 长期存在，输出状态将永远不变，电路被锁在“1”状态。

如果要使输出状态变为“0”，只要使 V_i 为“0”，并且重复上述时钟脉冲的时序即可。因为当 ϕ_2 、 ϕ_3 为“0”而 ϕ_1 转为“1”时， C_2 便对 V_i 取样，使 C_2 放电。随后， ϕ_2 到来又使 C_3 充电，经倒相后输出便转为“0”状态。 ϕ_3 到来后，使反馈回路接通， C_2 维持在放电状态。因此在 ϕ_2 和 ϕ_3 同时存在的时期， C_2 永为“0”状态， C_3 永为“1”状态。也就是输出保持在“0”状态不变。

图 5-7(a) 电路所以被称为准静态移位寄存器，是因为它具有静态移位寄存器的特点，对时钟频率没有下限限制。但它的工作状态又与动态类似，利用了电容的暂存作用，并对时钟脉冲相位有一定要求。 ϕ_1 和 ϕ_2 之间空隙必须小于 C_2 的存贮时间，这样才能保证在反馈回路接通前 C_2 上的数据不变；又 ϕ_2 的空隙必须小于 C_3 的存贮时间，这样才能保证 ϕ_2 为“0”的期间 V_o 保持不变。由于漏电流的存在， C_2 和 C_3 的存贮时间都是有限的，所以上述间隙时间都不允许过长。

这种电路与静态电路（维持-阻塞型或主-从型电路）相比，元件数少得多。与动态电路相比，时钟频率又没有低频限制。有时被称为静态移位寄存器。

2. 二相有比动态移位寄存器

图 5-8(a) 是这种移位寄存器的单元电路。它的特点是维持功耗比静态移位寄存器低，因为它只有在 ϕ_1 和 ϕ_2 时钟脉冲存在期间负载管才导通。

这种移位寄存器的基本单元（一位）可视为由二个动态倒相器组成。点划线左边为主倒相器，右边为从倒相器。输入数据存贮在分布电容 C_1 上。当 ϕ_1 到来时，主倒相器工作，

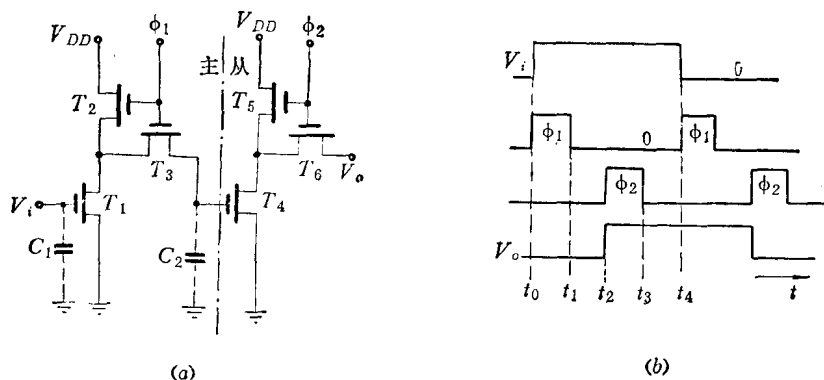


图5-8 二相有比动态移位寄存器

(a) 单元电路; (b) 时序图。

对输入数据倒相并传到 C_2 上。以后, 当 ϕ_2 到来时, 从倒相器的负载管 T_5 和门管 T_6 导通, 存于 C_2 上的数据再倒相传到输出端。经过这样二个相继而来的时钟脉冲 ϕ_1 和 ϕ_2 , 输入数据就传到了输出端。它们的时序关系见图 5-8(b)。当 ϕ_2 的前沿到来时, 输出才可能改变。这种电路因为没有反馈回路使状态锁定, 所以需要定期刷新电容上的数据。

3. 二相无比动态移位寄存器

图 5-9(a) 是二相无比动态移位寄存器 (一位) 电路图, 也可视为由主、从二个倒相器组成。因为倒相器是无比型的, 负载管的尺寸可和驱动管的尺寸选得一样大, 故工作频

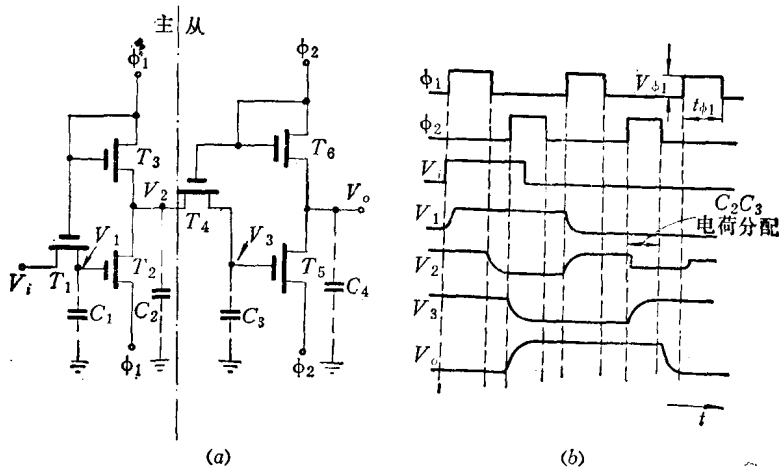


图5-9 二相无比动态移位寄存器

(a) 电路图 (一位); (b) 时序图。

率比有比电路高。该电路采用二个互不重叠的时钟脉冲 ϕ_1 和 ϕ_2 。各点电位的时序关系如图 (b) 所示。当 $\phi_1 = 1$ 时, 输入 V_i 经过 T_1 对 C_1 充电, 使 V_1 达 “1” 电平; 同时, ϕ_1 经 T_3 又对 C_2 充电, 使 V_2 也达 “1” 电平。当 ϕ_1 回到 “0” 时, T_2 的状态便由 C_1 上存贮的信息决定, 也就是由 $\phi_1 = 1$ 时的输入端状态决定。如果 ϕ_1 为 “1” 时, $V_i = 1$, 则 V_1 也为 1, 使 T_2 导通, 并迫使 C_2 放电到 “0”。如果 $\phi_1 = 1$ 时, $V_i = 0$, 则 T_2 截止, V_2 仍为 “1” 状态。当 ϕ_2 到来时, T_4 通导, C_3 上电荷在 C_2 和 C_3 间重新分配。在电路

中, 因为 $C_2 \gg C_3$, 所以电荷的重新分配对 V_2 影响不大, 使 V_3 也有同样电平。与此同时, ϕ_2 又经 T_8 对 C_4 进行预充, 使 V_4 达到 “1” 电平。当 ϕ_2 由 “1” 转为 “0” 后, V_4 就根据 C_3 的电平求值, 即与 C_3 存贮的数据互补。结果, 当 ϕ_2 后沿到来时, 输出数据便正确反映了 $\phi_1 = 1$ 时的输入数据。

这种动态单元由于用时钟脉冲取代了直流电源, 功耗更省, 只有在时钟脉冲到来并对节点电容充电时才有功耗。如果输入 V_i 恒为 “1”, 则 C_2 周期性的充放电, 需要消耗 ϕ_1 的能量。每周 ϕ_1 的平均功耗为

$$P = \frac{1}{T} \int_0^T V_{\phi_1} I_{\phi_1} dt \quad (5-2)$$

式中 T —— 时钟脉冲周期;

V_{ϕ_1} —— 时钟脉冲的幅度;

I_{ϕ_1} —— 对电容 C_2 的充电电流, 它是时间的函数。

I_{ϕ_1} 与电容 C_2 上的电压 V_2 具有以下的关系:

$$V_2 = \frac{Q}{C_2} = \frac{\int I_{\phi_1} dt}{C_2}$$

式中 Q —— 电容 C_2 上的电荷。

将上式微分, 得

$$I_{\phi_1} = C_2 \frac{dV_2}{dt}$$

代入式 (5-2), 得

$$P = \frac{1}{T} \int_0^{V_{\phi_1}} V_{\phi_1} C_2 dV_2 = \frac{1}{T} C_2 V_{\phi_1}^2 = f C_2 V_{\phi_1}^2 \quad (5-3)$$

在式 (5-3) 中, 积分上限取 V_{ϕ_1} , 表示电容 C_2 的充电电压终值等于时钟脉冲的幅度, 也就是假设工作频率远低于电路的允许最高工作频率时的情形。当输入数据恒为 “1” 时, 因为 T_8 不通导, C_4 不放电, 无充电电流, 所以不消耗 ϕ_2 的能量。如果 V_i 恒为 “0”, 则因 C_4 周期性的放电, 所以应该由 ϕ_2 付出能量。

动态移位寄存器的最低工作频率主要受节点电容的电荷保存时间限制。它的最高工作频率主要受节点电容充放电时间常数的限制。下面对图 5-9(a) 的二相无比电路的高频极限和低频极限作进一步的说明。

对照图 5-10(a) 可以说明它的低频极限 (即时钟脉冲的允许最长周期)。在 ϕ_1 后沿和 ϕ_2 后沿之间, C_2 存贮的信息应保持不变, 也就是这段时间最长不得超过 C_2 能够保存信息的时间 τ_{C_2} 。否则, 在 ϕ_2 结束时, C_2 就不能获得正确的数据。同理, ϕ_2 后沿与 ϕ_1 后沿的间隔不能超过 C_4 能够保存信息的时间 τ_{C_4} 。这样, 在 ϕ_1 结束时, 下一级的输入电容 C_1 才能获得正确值。所以最长时钟周期 $T_{\max} = \tau_{C_2} + \tau_{C_4}$ 。

即最低工作频率为

$$f_{\min} = 1/T_{\max} = 1/(\tau_{C_2} + \tau_{C_4}) \quad (5-4)$$

图 5-9(a) 电路的高频限制可利用图 5-10(b) 的时钟脉冲波形进行说明。图 5-9(a) 电路正常工作周期应包括三个必要的阶段。即予充、求值和维持三个阶段。对于主倒相器

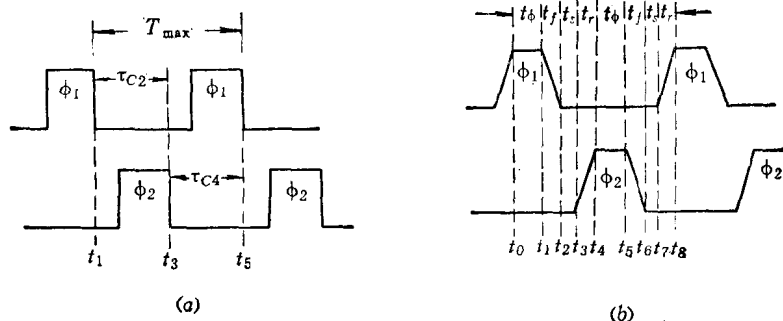


图5-10 时钟脉冲波形
(a) 低频; (b) 高频。

来说, $t_0 \sim t_1 (\phi_1 = 1)$ 是予充阶段, 在这期间应完成 C_2 的充电和前级来的数据传至 C_1 , 所以 ϕ_1 的顶部宽度 t_ϕ 应保证这个过程的实现。 $t_2 \sim t_3 (\phi_1 = \phi_2 = 0)$ 是 C_2 的求值阶段。如果 C_1 为“1”, 则 C_2 求值得“0”, 这期间应保证 C_2 放电到“0”值。 C_2 求值后, 主倒相器便进入维持阶段, 就允许 C_2 对 C_3 传递数据。 $t_4 \sim t_5 (\phi_2 = 1)$ 时, 是从倒相器的予充阶段和 C_2 对 C_3 的传数阶段, ϕ_2 的脉宽应保证这个过程的实现, 不能过短。 $t_6 \sim t_7 (\phi_1 = \phi_2 = 0)$ 间隔应大于 C_4 的求值时间。总的说来, 脉冲宽度 t_ϕ 应大于予充时间, 而 ϕ_1 和 ϕ_2 的间隔 t_s 不得小于最小求值时间。如果假定主、从倒相器的最短予充时间相等, 求值的最短时间也相等 (即对 ϕ_1 、 ϕ_2 的要求一样), 并计及脉冲的边沿 t_r 及 t_f (假定 $t_r + t_f = t_s$), 则最短时钟周期 $T_{\min}$ 应为

$$T_{\min} = 2t_\phi + 2t_s + 2t_r \quad (5-5)$$

最高工作频率为

$$f_{\max} = \frac{1}{T_{\min}} = \frac{1}{2(t_\phi + t_s + t_r)} \quad (5-6)$$

式中 t_ϕ ——时钟脉冲最小允许宽度;
 t_s —— ϕ_1 与 ϕ_2 前后沿之间的间隙时间;
 t_r ——时钟脉冲的边沿时间。

4. 四相无比动态移位寄存器

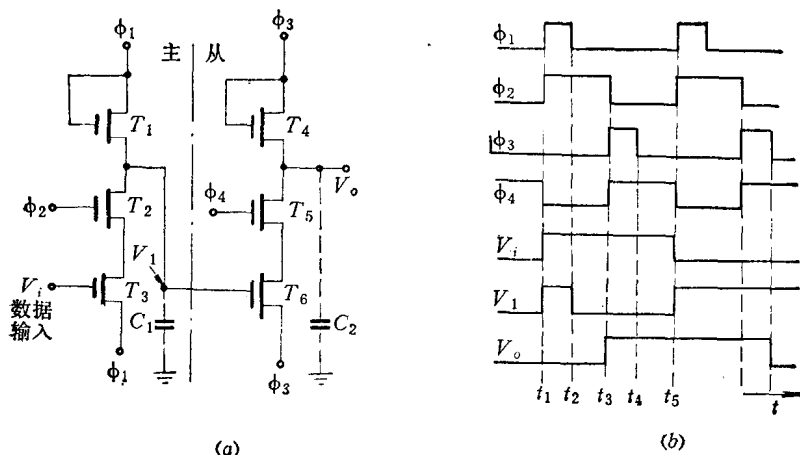


图5-11 四相动态移位寄存器 (一位)
(a) 电路图; (b) 时序图。

图 5-11(a) 是一种四相移位寄存器的单元电路。它由六个 MOS 管组成, 要用二组有重叠的时钟脉冲。对图 (a) 也可看作主、从二部分: T_1 、 T_2 及 T_3 为主倒相器; T_4 、 T_5 及 T_6 为从倒相器。 $t_1 \sim t_2$ 期间, $\phi_1 = \phi_2 = 1$ 。 ϕ_1 经 T_1 对 C_1 予充, 它与输入状态无关 (因 T_3 的源极也接 ϕ_1)。在 $t_2 \sim t_3$ 期间, $\phi_1 = 0$, 而 ϕ_2 仍为 “1”, 这时为 C_1 的求值时间。如果 $V_i = 1$, 则因 T_2 导通而使 C_1 放电, 得 “0” 值; 如果 $V_i = 0$, 则 C_1 不放电, 为 “1” 值。结果, 使 C_1 的电位 V_1 与输入数据互补。从倒相器的工作情况与主倒相器类似。在 $t_3 \sim t_4$ 期间, C_2 无条件予充。在 t_4 以后, 因为 $\phi_3 = 0$, ϕ_4 仍为 “1”, C_2 上电压 V_2 将取决于主倒相器的输出 V_1 , 二者互补。结果输出状态与输入相同, 其时序关系如图 (b) 所示。

5. 互补 MOS 动态移位寄存器

图 5-12 是互补 MOS (C-MOS) 动态移位寄存器的(一位)电路图。它由二个 C-MOS 倒相器和二个 C-MOS 传输门 TG_1 和 TG_2 组成。操作时需要两个互补时钟信号, 分别加

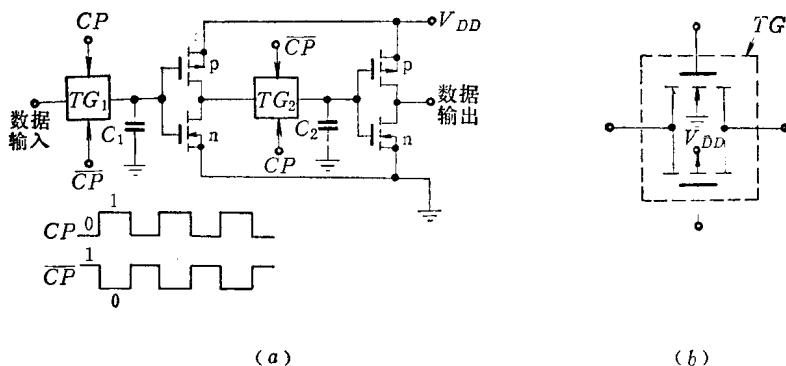


图 5-12 C-MOS 动态移位寄存器 (一位)

到传输门的两个控制端。二个传输门的控制端的接法相反。当 $CP = 1$ 时, TG_1 导通, TG_2 截止。当 $\overline{CP} = 1$ 时, TG_1 截止。

它的工作情况如下: 当 $CP = 1$ 、 $\overline{CP} = 0$ 时, TG_1 导通, 输入数据便存入 C_1 中。这时 TG_2 截止, 所以二个倒相器之间是隔绝的。当 $CP = 0$ 、 $\overline{CP} = 1$ 时, TG_2 导通。输入的互补数据便传到 C_2 , 再经倒相后反映在输出端。因为输入信息经历了二次倒相, 所以输出与输入逻辑电平相同, 仅在时间上有一延迟。

二、移位寄存器的应用

动态移位寄存器常用作数据延迟和数据存贮。下面介绍二个应用实例。

1. 数据延迟

图 5-13 表示用 n 位移位寄存器作为延迟线的原理。图 (a) 是 n 位移位寄存器的逻辑图。每位由二级动态倒相器构成。当 ϕ_1 到来时, 输入数据便 “进入” 第一级。 ϕ_2 到来时, 便由第二级把数据送给下一位。所以数据每经一位, 延迟一个时钟周期。如果在 t_0 时输入端出现 “1” 数据, 则经过 n 个时钟周期后, 输出端便出现同样的 “1” 数据, 也就是将数据延迟了 n 个时钟周期。改变时钟脉冲的频率, 便可改变延迟时间。

2. 移位寄存器组成的存贮器

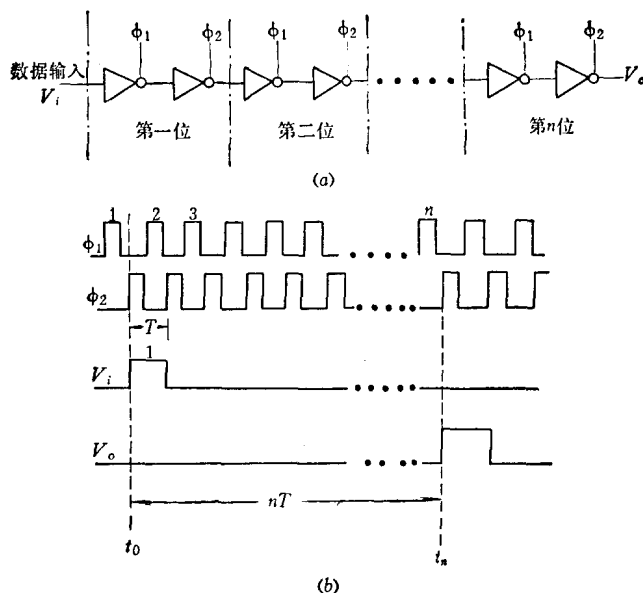


图5-13 动态移位寄存器用作延迟线
(a) n 位移位寄存器；(b) 波形。

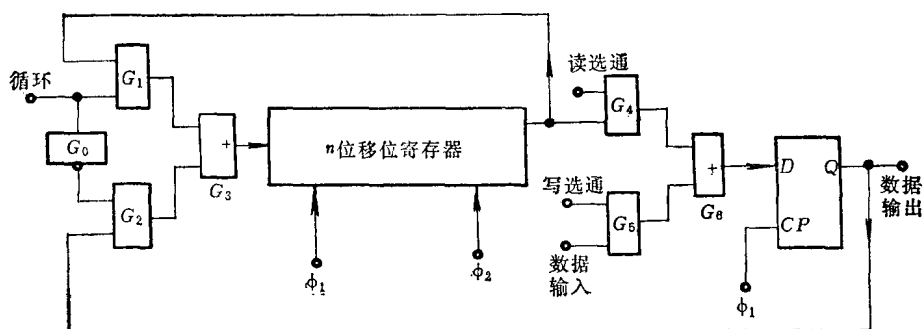


图5-14 n 字一位循环存储器

移位寄存器可作串行存储器用，图 5-14 是一个“ n 字一位”存储器。它由 n 位动态移位寄存器、几个逻辑门以及一个 D 触发器组成。这种存储器有三种工作模式，即读操作、写操作和数据循环。在读操作时，读选通端置“1”，移位寄存器末位的输出便经过读选通门 G_4 、“或”门 G_6 和 D 触发器至输出端。在写操作时，写控制端置“1”，循环端置“0”， G_2 选通，写入的数据便经过 G_5 、 G_6 、D 触发器，以及 G_2 、 G_3 到移位寄存器的输入端。当循环控制端置“1”时， G_1 选通，移位寄存器的输出数据经 G_1 、 G_2 又反馈到移位寄存器的输入端，在时钟脉冲的作用下，寄存器中内容便逐位后移，末位移出的数据又回到第一位。这样循环使动态移位寄存器存储的信息得到“刷新”，使存储的内容永远不会丢失。当需要改写存储的内容时，循环端置“0”，反馈回路被切断。在时钟脉冲作用下，输入端的数据送入寄存器的第一位。同时，寄存器中原有的内容逐位后移，末位的数据被移出“抹去”，总字数保持不变。

用 m 个 n 字的串行存储器，利用同步控制。可组成 n 字 m 位的串行存储器。其原理图

如图 5-15 所示。时钟脉冲 CP 一方面驱动二相时钟发生器，产生二相时钟脉冲 ϕ_1 和 ϕ_2 ，作为移位脉冲；另一方面，驱动循环计数器。每个字的地址码由计数器给定。每个字在移位寄存器中所处的位置也可由计数器推知。如以 $n = 8$ 为例，我们给每个字都有一个编号，从 $0 \sim 7$ 。当计数器为 000 时，8 位移位寄存器每字的对应位置为 76543210 。

当第一个 CP 到来后，循环计数器为 001 ，则移位寄存器中每个字的位置为 07654321 。第二个 CP 到来后计数器为 010 ，此时寄存器对应位置为 10765432 。

依此类推。如要对地址码为 010 ，即编号为 2 的字进行读/写操作，则可在比较器的输入端给予同样代码，待计数器循环到此状态时，比较器就给出控制信号，存贮器便从纯粹循环刷新的模式转为读/写模式。再根据读/写控制端所给的信号，使编号为 2 的字进行读出或改写内容。存贮器的每位字数可用多个移位寄存器串联给予扩展。但字数 n 愈大，取数时间就愈长。

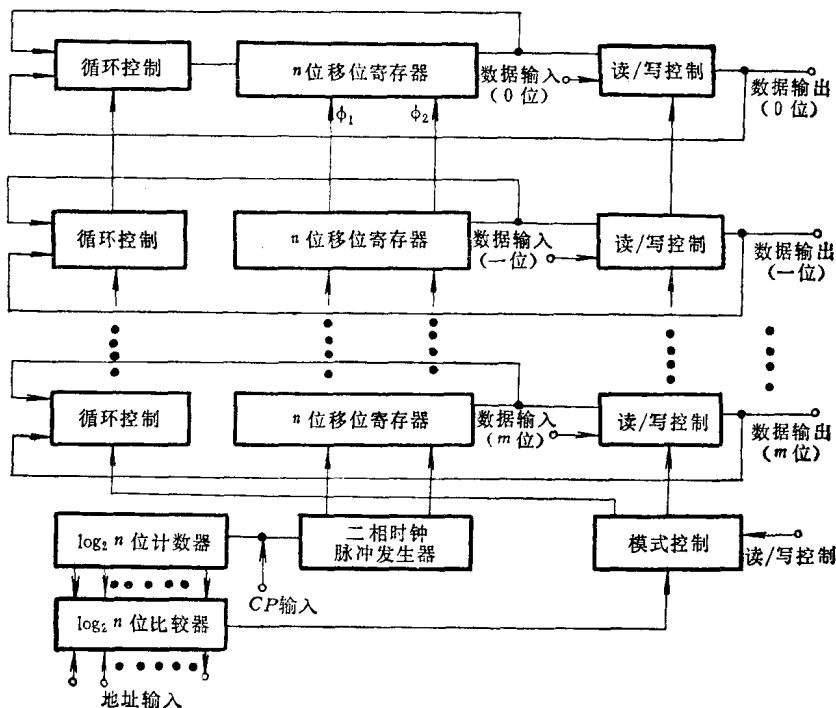


图 5-15 n 字 m 位循环存贮器

§ 5-3 随机存取存贮器 (RAM)

上节介绍的循环存贮器，存取时间取决于信息所在的位置。对于一个 n 位移位寄存器，如果被访问的内容处于首位，则要经过 n 个时钟周期才能实现。所以存取时间长。在本节将介绍另一类存贮器，称为随机存取存贮器 (RAM)。它的特点是每个存贮单元与输入、输出端的关系都是等同的，因此访问时间与信息所处的位置无关。

RAM 有双极型和 MOS 型两大类。在 MOS 型 RAM 中，根据工作模式又有静态和动态之分。双极型 RAM 速度较快。存取时间可小于 10 ns ，但功耗和单元面积较大。MOS

型 RAM 的特点是集成度高、功耗小。目前单片存储器的容量已达 16 K 位，典型的存取速度是几百毫微秒。它可与高速磁芯存储器相比，但体积和价格都优于磁芯存储器，近来已有取代磁芯存储器的趋势。

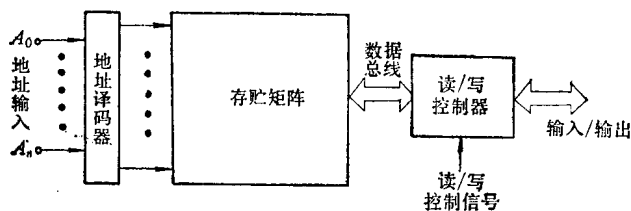


图5-16 RAM方框图

RAM 的结构如图 5-16 所示，图中的存储矩阵是存储器的核心。它由许多重复排列的存储单元组成。每个单元只存放一个二进制数码。与存储矩阵配合的外围电路是为了减少电路块的引出端数目和方便用户而设。一般包括地址译码器和读/写控制器。地址译码器和第四章中介绍的译码器的原理完全一样。每个地址译码输出线都有一个代码，当地址输入端的代码与它一致时，该输出端就被选中，与该地址输出端相联系的存储单元也就被选中。选中的存储单元就和数据总线联通，根据读/写控制信号，便可对该单元进行数据的输出（即读出）或输入（即写入）。每根数据线对应于一位数据的输入或输出，所以数据线又常被称为位线。下面先介绍一些典型的存储单元，然后再介绍 RAM 的整体结构。

一、存储单元

每个存储单元都有选择控制线和数据线。选择控制线称为字线，是用来控制该单元的选中与否。当单元被选中时，它就与数据总线联通。数据线又称位线，是数据出入的通道。下面分别介绍一些双极型和 MOS 型的存储单元。

1. 双极型存储单元

图 5-17 列举了三种双极型存储单元。

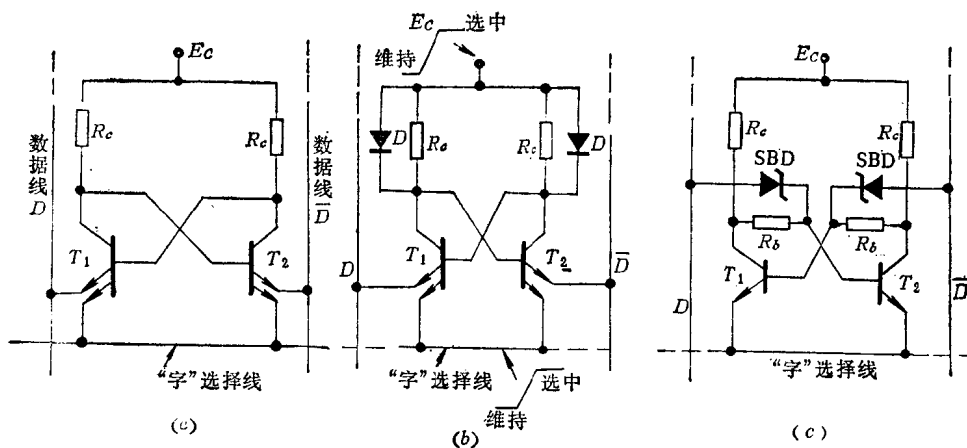


图5-17 双极型存储单元

图 (a) 是由一对双发射极晶体管 T_1 、 T_2 交叉耦合组成触发器。 T_1 和 T_2 各有一个发射极接在同一根选择线上，另一个发射极分别接数据线 D 和 $\bar{D}$ 。

存贮单元有二种工作状态,一种是维持状态,另一种是选中状态。在维持状态时,选择线的电位约 0.3V , 低于数据线的电位 (约 1.1V), 因此接在数据线上的发射极处于反偏, 相当于存贮单元与数据线断开。存贮单元中导通管的电流由选择线流出。如果存贮单元处于“1”状态, 则 T_1 导通、 T_2 截止; 如果处于“0”状态, 则 T_2 导通、 T_1 截止。不论那种状态, 因与数据线断开, 触发器将维持原来的状态不变。

在选中状态时, 选择线的电位升至 2.2V 左右, 数据线的电位便低于选择线。于是导通管的电流便从数据线流出。如果要对该单元“读出”, 只要鉴别其中的一根数据线上有无电流即可。如选用 $\bar{D}$ 线, 则在“1”状态时因 T_2 截止, 所以 $\bar{D}$ 线无电流流出。如果在“0”状态, $\bar{D}$ 线上便有电流。流过 $\bar{D}$ 线的电流经过读出电路可转为电压输出。

这种存贮单元的“写入”过程, 也是首先抬高选择线的电位, 使其处于选中状态。如要写“0”, 则在写入端加“0”信号, 通过写入电路的作用使 D 线开路。这就迫使 T_1 截止, T_2 通导。 T_2 的电流由 $\bar{D}$ 线流出。当选通端恢复到低电平时, T_2 电流便转向选择线, 存贮单元的状态不变, 达到了写“0”目的。如果写“1”, 则使 $\bar{D}$ 线开路, 迫使 T_2 截止、 T_1 通导, 存贮单元就成为“1”状态。

这种存贮单元在读出时要给出电流。是电流型读出。为了使单元有一定的读出电流, 功耗不能设计得很小。单元电流的大小及 R_c 的数值还直接影响存取速度。为使各单元速度一致, R_c 的一致性也要求较高。此外, 这种电路在维持状态时发射极电位比选通状态低。因此维持功耗反而比选中时大。选中时, 工作电流太小, 对存取速度不利。

图 5-17(b) 是一种改进型的存贮单元, 克服了维持功耗大于选中功耗的缺点。它采用浮动电源电压, 对于被选中的单元, 不仅抬高了选择线的电位, 同时也抬高了电源 E_c 。另一方面, 在电阻 R_c 上并联二极管。当电源 E_c 升高时, 二极管电阻变小, 使总负载电阻变小, 读出电流更大。在维持状态时, 因 E_c 很低, 二极管处于截止, 负载电阻就是 R_c , 所以维持电流很小。但是这种存贮单元的缺点是元件多。采用浮动电源又使外围电路复杂化。

图 5-17(c) 是一种肖特基二极管 (SBD) 耦合的集电极读出存贮单元。单元被选中时, 选择线的电位下降, 于是晶体管的集电极经过电阻 R_b 和 SBD 与数据线相通。根据数据线上的电压就可判断被访问单元的状态。这是电压型读出方式。读出时, 外电路只允许向存贮单元灌入较小的电流, 如 $500\mu\text{A}$, 使 R_b 上仅产生约 75mV 的压降, 这样才不致改变存贮单元原来的状态。在写入时, 根据欲写的内容, 使其中一根数据线的电位升高, 并向单元灌入了 mA 以上的电流, 便可使单元改变原来的状态。

这种单元的维持功耗比选通时小。采用二极管耦合的方式。未选中单元与位线之间的漏电流比多射极耦合 (图 a) 的交叉漏电流小, 所以可在同一对数据线上接更多的存贮单元, 对提高存贮矩阵的容量有利。此外, 这种存贮单元的读写电流可由外电路决定, 存取时间与 R_c 和 R_b 的关系较小, 对各单元的一致性要求也低些。

2. MOS 存贮单元

MOS 存贮器分静态和动态两大类。图 5-18 是一种单沟道 MOS 静态存贮单元。它由双稳触发器和四个选通门管 $T_5 \sim T_8$ 组成。门管分别受 X 选择线和 Y 选择线的控制, 当 X 和 Y 选择线都为“1”时, 该单元就与数据线接通。通过数据线就可对该单元进行读/写操

作。为了进一步降低静态功耗,可将负载管的栅压 V_G 改用时钟脉冲控制。这样,在时钟脉冲为“0”期间,负载管处于关态,存贮的信息暂存在 T_1 、 T_2 的栅电容上。只要在漏电允许的时间内进行周期性的刷新,就可使存贮信息长期保留下来。

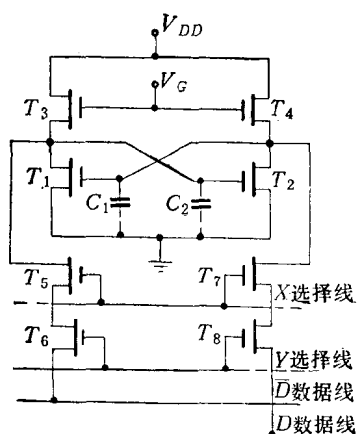


图5-18 MOS八管存贮单元

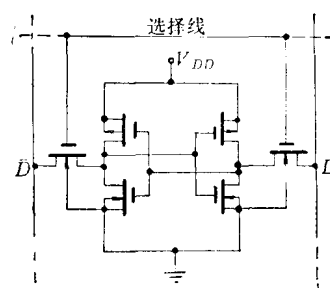


图5-19 C-MOS静态存贮

图5-19是一种互补MOS存贮单元。它由两个C-MOS倒相器交叉耦合组成触发器。另外有二个门管将触发器的输出联到数据线上。图中的门管是n-MOS管,但也可以用p-MOS管。门管的栅极接选择控制线。因为这种存贮单元只有一个选择端,所以只包括6个MOS管。C-MOS存贮单元具有极低的维持功耗,仅微瓦数量级。但单元面积和工艺难度都比单沟MOS大。

以上两种都是静态存贮单元。因为管子数多,所以单元占用面积大,不利于向大容量存贮器发展。为了缩小单元面积,出现了四管单元、三管单元和单管单元,这些都是动态存贮单元。下面就分别介绍这类存贮单元。

图5-20是MOS动态四管存贮单元。 T_1 、 T_2 是驱动管,组成交叉耦合。 T_3 、 T_4 是门管。 C_1 、 C_2 是节点电容,信息就存贮在这个电容上。如果 C_1 存有电荷,则 T_1 通导, T_2 截止,为“1”状态;如果 C_2 存有电荷,则 T_2 通导, T_1 截止,为“0”状态。 T_5 、 T_6 是同一列上所有单元公用的负载管,栅极上加“预充”信号,称为预充管。这种存贮单元的工作原理如下:在读操作时,首先在 T_5 和 T_6 的栅极出现“预充”脉冲,使数据线 D 和 $\bar{D}$ 充电到 V_{DD} 。当预充脉冲过去后, T_5 和 T_6 管截止,数据线便与电源 V_{DD} 断开。但由于数据线上分布电容 C_D 和 $C_{\bar{D}}$ 的作用,数据线的“预充”电压可以维持一定时间。在此时间内,如要对该单元进行读出操作,则在“字”选择线上加“1”电平,使门管 T_3 、 T_4 通导。如果原来存贮电容 C_1 上有电荷, C_2 无电荷,则 T_1 通导, T_2 截止。当 T_3 、 T_4 通导后, $\bar{D}$ 线就通过 T_3 、 T_1 放电到“0”。数据线 D 因为 T_2 截止,不放电,它仍保持“1”电平,同时给 C_1 补充电荷,使 C_1 得到“刷新”,恢复原来漏去的电荷。如果原来存贮电容 C_2 有电荷, C_1 无电荷,则结果相反,使 $D=0$, $\bar{D}=1$ 。“字”选择线选通后,根据数据线上的电平就可判断该单元是“1”还是“0”。

在写操作时,数据线 D 和 $\bar{D}$ 上加互补数据,当“字”选择线选通后,数据线上的内容便写入存贮电容中。

动态存储单元因为是靠节点电容存储信息，由于存在漏电，所以必须定时进行“刷新”。这种四管动态单元的访问过程就是刷新过程，所以只要定期对各单元进行访问，定期“刷新”也就同时完成。

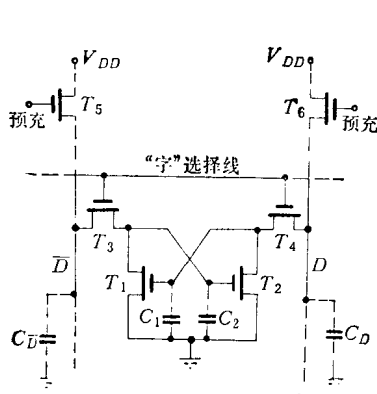


图5-20 MOS动态四管存储单元

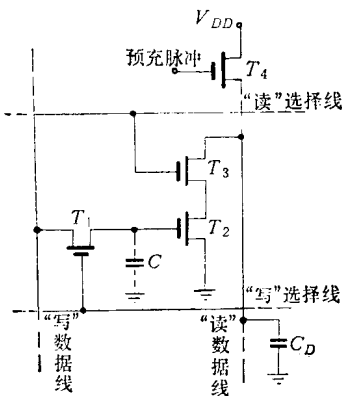


图5-21 MOS动态三管存储单元

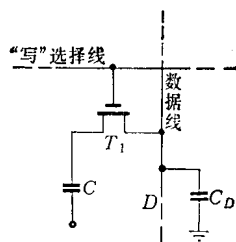


图5-22 单管存储单元

图5-21是三管存储单元。信息存于节点电容 C 中。 T_4 是同一列公用的预充管。“读”选择线和“写”选择线是分开的。“读”数据线和“写”数据线也是分开的。“读”选择线控制 T_3 管，“写”选择线控制 T_1 管。在读出时，首先使 C_D 预充到 V_{DD} ，然后选通“读”选择线。如果单元的存储电容 C 上电压超过 T_2 的开启电压，那么由于 T_2 、 T_3 通导，使 C_D 放电到“0”。如果 C 上电压低于 T_2 开启电压，则 C_D 仍保持预充电压。也就是在“读”数据线上获得与存储电容 C 上互补的信息。通过读出放大器便可读得 C 上信息。写操作的过程是：“写”选择线置“1”，使 T_1 导通。“写”数据线上的信息便传到存储电容 C 上。因为 C 存在漏电，故需定期刷新。如果周期性读出存储单元的内容，将读得数据再经过倒相器又重复写入该单元，就使电容 C 上的信息得到刷新。

图5-22是单管存储单元。信息存于电容 C 中，写入时使“字”选择线置“1”。如果数据线 D 为“1”，则通过 T_1 对 C 充电。在读数时，也是选通 T_1 管。根据电容 C 上的存储信息，使数据线 D 的电位有相应的变化，通过读出放大器便可检出存储信息。

为了节省面积。这种存储单元的电容不可能做得很大，一般都比数据线的分布电容 C_D 小。因此，每次读出后，存储内容就被破坏，要保存原先的信息必须采取恢复措施。

比较上面的三种动态存储单元，它们各有优缺点。四管单元的缺点是管子数多，占用芯片的面积大。它的优点是外围电路比较简单，读出过程就是刷新过程。三管单元的管子数略少，但因读写选择线是分开的，存储信息的刷新又需要通过外电路反馈，所以单元与外围电路的连线多。单管单元的元件数最少，但因读“1”和读“0”时，在数据线上的电平差别很小，所以需要有高鉴别能力的读出放大器配合工作，外围电路更复杂。

静态单元与动态单元相比，虽然管子数多，但外围电路简单，而且存储的信息不必定期刷新，使用方便。

二、RAM 的结构

一般的RAM除存储矩阵外还包括以下的外围电路：

(1) 地址译码器。用以选择需要访问的单元。

(2) 读写控制器。它处于数据总线和被选单元之间，用以控制选中单元的读出或写入。并具有放大信息的作用。

(3) 片选控制端 CS 。它与地址译码器或读写控制器相联系，只有当 CS 选中时，地址译码器或读写控制器才能有效工作。

(4) 集电极开路或三状态输出缓冲器。为了扩充存储器的字数，常常需要将几块 RAM 的数据线并联使用，这时就希望存储器具有集电极开路输出或三状态输出电路。

除此以外，在动态 MOS-RAM 中，还有预充，刷新等方面的控制电路。下面先对地址译码的形式，作些讨论，然后再介绍二种实际的存储器。

1. 地址译码的形式

地址译码有二种形式。即单译码（或称字结构）、双译码（或称复合译码）。在小容量的存储器中常用单译码形式，如图 5-23 所示。它是一个 16×4 位的存储器结构图，共有 64 个存储单元，由 16 行 4 列的矩阵构成。同一行的选择线是公共的，同一列的数据线

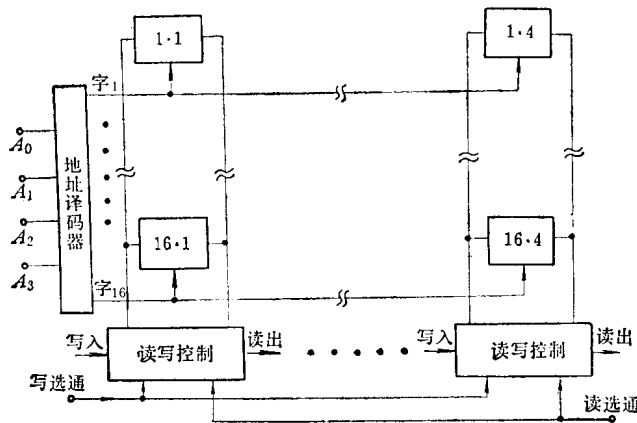


图5-23 16×4 位 RAM 字结构选址

（或称位线）也是公共的。每一列的数据线通过读写控制电路与数据写入端或读出端相联系。根据读写控制电路的读选通或写选通信号，对被选中的单元进行读/写操作。存储单元矩阵因为是 16 行，共有 16 根选择线。4 个地址输入端 $A_0 \sim A_3$ 正好给出 $2^4 = 16$ 个状态，分别控制 16 根“字”选择线。例如，第 16 根字线被选中，则最后一行的四个单元分别与各列的数据线（位线）联通。根据读/写控制信号，同时对最后一行的四个单元读出或写入。

双译码访址一般用于大容量存储器中，它有二个地址译码器。如果每个译码器有 $n/2$ 个输入端，它可以有 $2^{n/2}$ 个输出状态。二个地址译码器共有 $2^{n/2} \times 2^{n/2} = 2^n$ 个输出状态。例如如图 5-24 的情况，共有 16 个单元，每个单元有二根选择线，只有当 X 和 Y 的选择线都被选中时，该单元才与读写门联通，可对被访问单元进行读出或写入操作。在复合译码结构中，访问 16 个字仍需要 $\lg_2 16 = 4$ 根地址输入线，与前面的单译码形式相比，并没有减少。但地址译码输出线可以减少。用单地址译码的形式，分别访问 16 个单元就需要 16 根输出线，而现在只要 8 根。当容量更大时，采用复合译码的这种优点就更明显。如果存储矩阵是 $1024 \text{ 字} \times 1 \text{ 位}$ ，采用单译码时就需要 1024 根地址输出控制线。采用复合译码的形式

时, X 译码和 Y 译码的输出线各需 32 根, 总共才 64 根译码输出线。

图 5-24 中的存贮单元需要二根选择线, 对 MOS 结构可采用图 5-18 的存贮单元。对于双极型存贮单元, 可采用类似图 5-17(a) 的形式, 但每个管子需要有三个发射极, 二个发射极分别作为 X 、 Y 的选择控制端, 另一个发射极与数据线相联。这种存贮单元的面积较大, 对大容量存贮器不利。因此, 在大容量存贮器中, 常常采用另一种复合译码的结构。它也有二个译码器, 一个译码器用于选择字线, 另一个译码器用于选择位线。即所谓字位结构的形式。下面将分别介绍二个具体的 MOS 存贮器, 一个是静态存贮器, 另一个是动态存贮器。它们都是字位结构的译码方式。

2. RAM 的整体结构

图 5-25 是一种 MOS 静态存贮器, 容量为 $1024 \text{ 字} \times 1 \text{ 位}$ 。地址译码有二组, 即 X 译码和 Y 译码。存贮单元本身只有一个字选控制端, 由 X 译码器控制。当某行的 X 选择线选中时, 该行的所有单元都与每列的数据线(即位线)联通。每列的位线都经一对门管与数据总线 D 和 $\bar{D}$ 相联, 所以只有当位线上的门管通导时, 该单元才与数据总线联通。各列的门管是受 Y 地址译码控制。每个单元只有在 X 和 Y 地址译码都选中时才与总数据线联通。

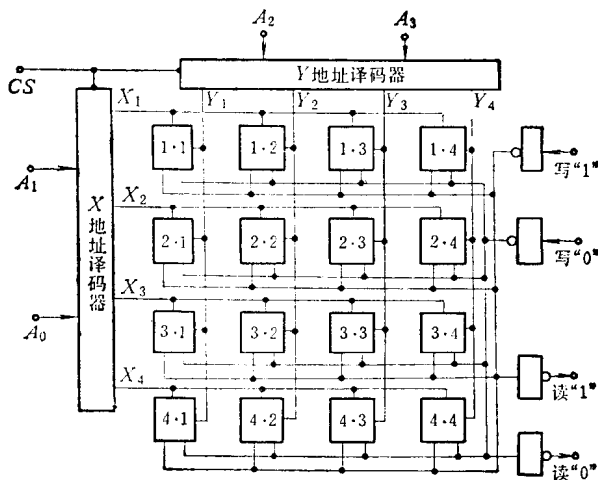
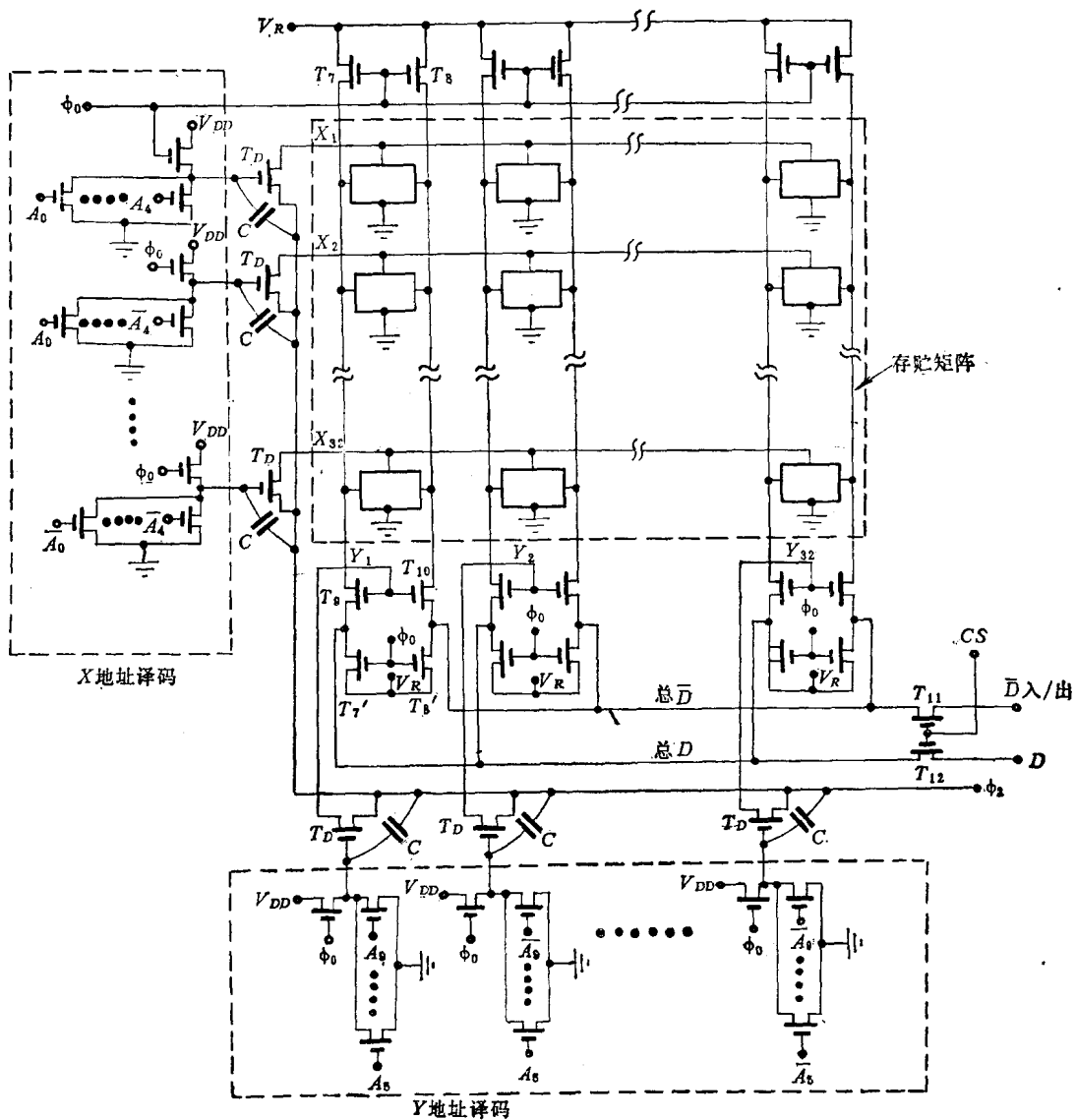
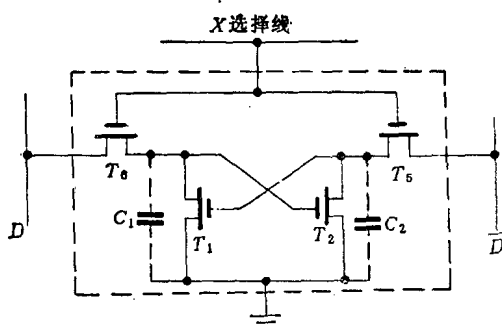


图 5-24 $16 \text{ 字} \times 1 \text{ 位}$ RAM 复合译码结构

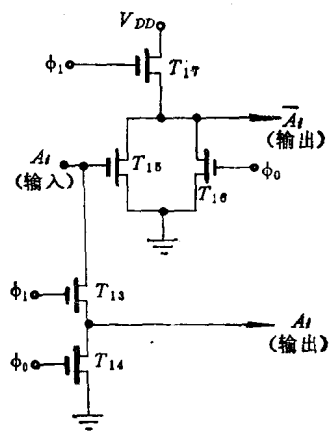
图 5-25 中, 还画出了具体的读写控制电路、写入电路以及三态输出电路。它们的工作情况如下: 在写操作时, $\bar{K}_w = 0$, 入/出端上的数据 D_i 以互补形式出现在内部的数据总线 D 和 $\bar{D}$ 上, 并写入被选中的单元。实际上, 写入时主要依靠“0”线的作用, 因为倒相器都是饱和型负载, 高电平输出时的输出电阻很大, 不能驱动存贮单元, 所以如果 D 和 $\bar{D}$ 全“1”时, 对存贮单元无作用。在读操作时, $\bar{K}_R = 0$, 于是总线 $\bar{D}$ 的信息通过读出回路反映到 D 端。图中的 $\bar{K}_R$ 和 $\bar{K}_w$ 都受片选端 $\overline{CS}_1 \sim \overline{CS}_3$ 控制。只有当 $\overline{CS}_1 \sim \overline{CS}_3$ 全为“0”时才可根 R/W 的信号完成读或写的操作。当 $\bar{K}_w$ 和 $\bar{K}_R$ 都为“1”时, 读、写电路均不工作。读出电路通过三态缓冲门输出的优点是: 当读出电路不工作 ($\bar{K}_R = 1$) 时, 输出端处于浮空的高阻状态, 所以入/出数据线可以合用一根; 更主要的原因是允许几块 RAM 并联运用, 以扩展容量。如果要扩展字数, 只要将几个 RAM 块的输入/出端并联, 地址输入端也并联, 再加一个译码器来控制各块 RAM 的片选端。这样总字数就等于这几个 RAM 字数的总和。用这种扩展方式可以组成任意字数的存贮器。它的容量扩展仅受总线所容许的负载电容及负载电流限制。因为每个 RAM 的数据线上都有一定的电容和漏电, 并联的 RAM 越多, 对于被选中 RAM 的负荷也越重。在需要扩展字长时, 只要将几个 RAM 的地址输入端和片选端并联运用。数据入/出端各自独立。这样, 总的输出位数就等于这几个 RAM 位数的和。



(a) 总图



(b) 存储单元



(c) 地址译码缓冲器

图5-26 四管单元动态存储器 (1024字 × 1位)
(a) 总图; (b) 存储单元; (c) 地址译码缓冲器。

图 5-26 是四管单元的动态存贮器，容量为 $1024 \text{ 字} \times 1 \text{ 位}$ 。它的组成情况如下：

(1) 存贮矩阵 由 32×32 个存贮单元构成，存贮单元的电路如图 (b) 所示。存贮矩阵的同一行的选择线连在一起，共 32 条 X 选择线，分别接 X 译码的输出。同列单元的数据线连在一起，通过列数据线上的门管 T_9 、 T_{10} ……等与数据总线相联。数据线上的门管由 Y 选择线控制。当某一 Y 选择线处于高电平时，就和数据总线联通。

(2) 预充电管 每列数据线上都有预充电管，如第一列上的 T_7 、 T_8 。预充电管的电源电压是 V_R 。预充电管的栅极由时钟脉冲 ϕ_0 控制。当 ϕ_0 到来时，预充管通导， V_R 经预充管连接到各列的数据线，使各列数据线都充电到 V_R 。在数据总线上也有预充管。当 $\phi_0 = 1$ 时，同时也对数据总线充电。

(3) 读写电路 各列数据线通过列线的选通门管与数据总线相联，数据总线又通过片选控制门管 T_{11} 、 T_{12} 与片外的数据（入/出）线联通。当 $CS = 1$ 时，可以通过加在数据入/出线上的电平，对选中单元进行写入。如果 $CS = 0$ ，数据输入、输出线与整个存贮器内的数据总线不联通，不能进行读、写。

(4) 地址译码缓冲器 地址译码缓冲器在 X 方向和 Y 方向各有五个，其线路完全一样，如图 (c) 所示。缓冲器的正常工作需要二相时钟脉冲， ϕ_0 和 ϕ_1 。当 $\phi_0 = 1$ 时，因为 T_{14} 和 T_{16} 通导使输出 A_i 和 $\bar{A}_i$ 都为“0”。当 ϕ_0 过后， ϕ_1 脉冲的到来使 T_{13} 和 T_{17} 通导，于是根据 A_i 输入，地址译码缓冲器便有相应的 A_i 和 $\bar{A}_i$ 输出。

(5) 译码器和驱动器 地址缓冲器的输出端分别与译码器的输入端相联。 X 译码器的输入端为 $A_0 \sim A_4$ 和 $\bar{A}_0 \sim \bar{A}_4$ 。 Y 译码器的输入端为 $A_5 \sim A_9$ 及 $\bar{A}_5 \sim \bar{A}_9$ 。 X 译码器的每条输出线都要控制 32 个存贮单元的栅管，共要控制 64 个栅管，负载电容大，所以需要驱动器。

驱动器由一个 MOS 管 T_D 和一个电容 C 组成， C 连接在 T_D 管的栅、漏之间，称为自举电容。其结构如图 5-27 所示。它是个双值电容。当 $V_G > V_T$ 时因为反型层沟道与漏极联通，所以电容很大；当 $V_G < V_T$ 时，只有栅、漏之间的复盖电容，接近于零。驱动管的漏极接地址选通脉冲 ϕ_2 。当 $\phi_2 = 0$ 时，被选通的一路 T_D 虽然通导，但是存贮矩阵的“字”选择线仍为“0”电平，所以并没有选通。只有当 $\phi_2 = 1$ 时，被选中的一行的“字”选择线才为高电平。由于自举电容的存在，当 ϕ_2 由“0”升为“1”时，驱动管的栅极电位也同时上升，使 T_D 的通导电阻变得很小，所以驱动能力很大，能使字选择线很快充电，对提高速度有利。

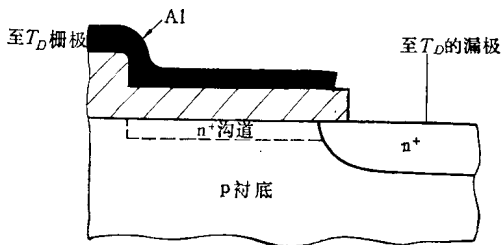


图 5-27 自举电容的结构

整个 RAM 要用三组电源电压： $V_{DD} = 12 \text{ V}$ ， $V_R = 5 \text{ V}$ ，衬底反偏压 $V_{BS} = -5 \text{ V}$ 。还有三相时钟脉冲 ϕ_0 、 ϕ_1 和 ϕ_2 。 CS 是片选脉冲，它们的高电平为 12 V ，低电平小于 0.5 V 。它的读、写和刷新操作如下：

(1) 写入操作 写周期开始时，时钟脉冲 ϕ_0 先来。在 $\phi_0 = 1$ 时，片选脉冲 CS 和 ϕ_1 、 ϕ_2 都保持“0”。在 ϕ_0 作用下，地址缓冲器的输出都放电到“0”，译码器的输入端

都为低电平，输出都为高电平。同时，又使 32 列的数据线以及数据总线都充电到高电平。当 ϕ_0 结束后，由于漏电流很小，上述的充电状态保持不变。

当 ϕ_0 转为“0”后， ϕ_1 开始到来。此时，根据地址缓冲器的输入，决定各个地址缓冲器的输出。地址缓冲器的输出是与地址译码器的输入相联的，结果使得 X 地址译码器和 Y 地址译码器的输出线中各有一根被选中，保留在“1”电平。未选中的都被放电到“0”（“或非”门输入为全“0”的才被选中）。也就是 X 译码驱动管 (T_D) 和 Y 译码驱动管 (T_D) 中都只有一个处于导通，其余的都截止。

ϕ_1 过后，接着 ϕ_2 和 CS 到来。要写入的数据送到入/出线上，如果要写“1”，则在入/出线 D 上加“1”电平，在 $\bar{D}$ 线上加“0”电平。由于 T_{11} 、 T_{12} 导通，数据便通过数据总线与被选中的一列数据线联通，写入选中的单元。同一行中的其它 31 个单元，由于列数据线没有与数据总线联通，所以，只是通过列数据线对行选中的一个存储单元进行“刷新”补充栅电容上漏去的电荷。

图 5-28(a) 是写入操作的时序图。二个 ϕ_0 之间的间隔时间就是写周期。它应等于三个时钟脉冲的作用时间之和。 T_A 表示地址有效时间，它基本上等于 T_1 。在此时间以外，地址输入端的电平变化并不影响地址译码器的输出。在 ϕ_0 作用期间，应使译码器输出充电到高电平，同时使数据线充到高电平。所以， ϕ_0 的脉冲宽度应保证达到上述要求。在 ϕ_1 作用时期，地址缓冲器的输出端将有一个充电到高电平。所以， ϕ_1 的宽度 T_1 取决于地址缓冲器的上升时间。 ϕ_2 的宽度取决于驱动器输出上升时间以及数据写入单元所需要的时间。

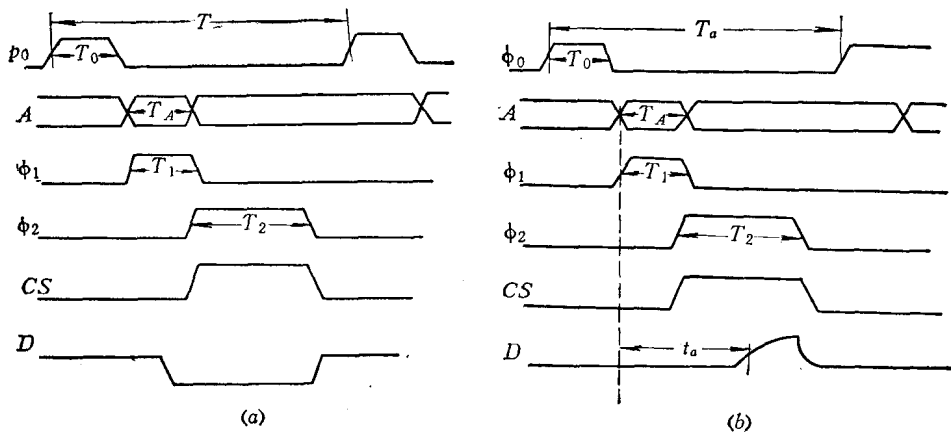


图 5-28 读写操作时序图
(a) 写操作；(b) 读操作。

(2) 读出操作 读出操作和写入操作基本相同。只是在读出操作时，输入端 D 和 $\bar{D}$ 都是高电平。当 ϕ_2 和 CS 为“1”时，被选中的单元与数据线联通后，与单元中导通的管子相联的数据线上就有电流出现。例如 $C_1 = 0$ (T_1 导通)，则 D 线上有电流；如 $C_2 = 0$ (T_2 导通)，则 $\bar{D}$ 线上有电流。这个电流通过总线外的读出放大器放大后便可鉴定该单元是“0”还是“1”。

图 5-28(b) 是读出操作的时序图。从 ϕ_1 来到数据输出端有读出信号的一段时间为取数时间 t_a 。(或称访问时间)。 t_a 应等于 ϕ_1 的宽度和驱动器输出上升时间以及读出的延

迟时间之和。这里采用电流读出，读出延迟时间较短。所以 t_a 主要取决于前面二项。

在读出操作中，同一行的其它 31 个存储单元也和写操作时一样，同时得到刷新。

(3) 刷新操作 刷新操作和读出操作基本一致，时序图也和读出操作的时序图一样，只是在刷新时不加片选脉冲 CS ，所以 D 和 $\bar{D}$ 没有读出电流，也没有数据写入到单元中去。

刷新过程是逐行访问，在一个刷新周期内，需要刷新 32 行。刷新一行所需的时间大致等于读出周期时间。刷新一次需 $32 T_a$ 。为了不使存储的内容丢失，必须定期刷新，例如每隔 2ms 刷新一次。在刷新时间内不能进行读写。

在 LSI 存储器中，由于封装管脚数的限制，结构上常采用字多位少的型式。常见的容量从 16 字 $\times$ 4 位到 1024 字 $\times$ 1 位。需要大容量时，可用适当的小容量存储器联合使用。

§ 5-4 只读存储器(ROM)

在上述 RAM 中，它的读操作和写操作基本上是等同的，即读出和写入一样方便。本节介绍只读存储器(或称唯读存储器)，简称 ROM。主要用于读出操作。存储矩阵的内容一般是固定的。由于对 ROM 只需考虑读取方便，所以结构比 RAM 简单，更适合制造大容量的单片集成块。ROM 的种类很多，如以所用元件的类别划分，有二极管 ROM，双极晶体管 ROM 和 MOS-ROM 三种。根据存储矩阵内容的可变情况又分固定 ROM、可编程序 ROM 和可改写 ROM 三种。固定 ROM 的存储内容在出厂时已完全固定下来，不容用户决定。可编程序 ROM 的存储内容可由用户编定，但只能编写一次，一经编定，就不能再改。可改写 ROM 接近 RAM 的情况，存储的内容允许改变，但它的改写过程比 RAM 麻烦，主要的工作模式仍是读操作。

ROM 常用作代码转换，代替各种函数表的作用。当在它的地址输入端给予一定的代码时，根据存储矩阵的内部连线情况(即编定的程序)就有特定的输出。典型的 ROM 结构包括存储矩阵、地址译码和输出电路等几部分。ROM 的容量也以(字数) $\times$ (每字的位数)来表示。字数为 $N=2^n$ 的 ROM 具有 n 个地址输入端。为了减少与存储矩阵相联系的选择线数目，地址译码也常采用复合译码方式，即有 X 和 Y 两个译码器。下面先以二极管 ROM 为例，说明 ROM 的逻辑设计思想，然后再讨论其它类型的 ROM。

一、二极管(ROM)

图 5-29(a) 是 4 行 $\times$ 4 列的二极管 ROM 电路。在存储矩阵中的二极管，有些是接通的，有些是断开的，根据存储内容的要求而定。它可以用同一种二极管阵列，只要改变最后的布线掩模版，就可做出不同内容的存储矩阵。这种矩阵的容量很容易做到 16K 位。在图中画出 16 个矩阵单元。地址输入端数为 4。 A 、 B 是列(Y)译码器的输入端。 C 、 D 是行(X)译码器的输入端。共有 $2^4=16$ 种编码方式，对应于 16 个存储单元。

图中 $R_2 \gg R_1$ ，当地址输入为任何代码时，只有一根 X 选择线和一根 Y 选择线为“1”，其它的选择线均为“0”。例如，地址输入代码为 1011，则 Y 译码输出线 10 和行译码输出线 11 为“1”， T_3 通导， Y 线 10 与 T_3 集电极之间接有矩阵二极管。设二极管的正向电阻 $r_D \ll R_1$ ，因此从 Y 线 10 经矩阵二极管和 T_3 、 R_1 到地构成通路，使 T_3 集电极为“1”，输出也为“1”。如地址码为 1001，则 T_2 通导， Y 选择线 10 虽然为“1”，但因它与 T_2 集电极之间的二极管没有接通，只有从电源 E_C 经 R_2 、 D_2 、 T_2 、 R_1 到地的电流通路。又因

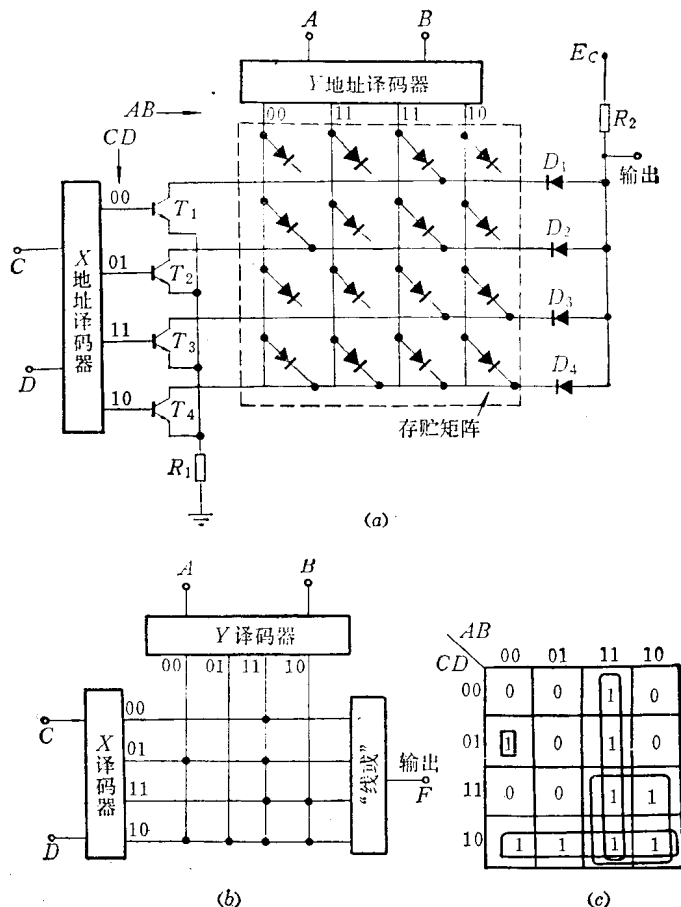


图5-29 二极管ROM的结构和卡诺图

(a) 二极管矩阵ROM电路; (b) ROM简化图; (c) 卡诺图。

为 $R_2 \gg R_1$, 故输出为“0”。由此可见, 只要地址代码选中线上的二极管是接通的, 输出就为“1”, 二极管断开的, 输出就为“0”。因此, 从逻辑关系看, ROM的结构可简化成图 5-29(b) 的形式。它与卡诺图 (c) 直接对应。利用函数简化规则可写出 ROM 的函数简化式:

$$F = AB + C\bar{D} + AC + \bar{A}\bar{B}\bar{C}D$$

如果给出了标准的乘积之和的逻辑函数。就很容易设计出 ROM 的矩阵连线, 即编出 ROM 的程序。如果给出的逻辑函数是最简单形式, 为了便于编写程序, 可展开成标准的乘积之和的形式。通常对 ROM 所关心的只是某种地址输入所对应的输出, 不必去简化该逻辑函数。因为它并不减少 ROM 的容量。

二、MOS 只读存储器 (MOS-ROM)

MOS-ROM 的存储矩阵布局如图 5-30 所示。水平方向是扩散条, 它与衬底的导电类型相反, 用作 MOS 管的源区或漏区。垂直方向是金属 (铝) 条, 用作 MOS 管的栅极或连线。在有 MOS 管的地方, 铝条下面是薄氧化层, 图中表示为阴影区。源扩散条都与地相连, 漏扩散条分别接至行选择门管。垂直的金属线接列选择线。

图5-31是容量为 $m \times n$ 字 $\times b$ 位的 MOS-ROM 结构。同一位的各单元是“线或”输出。被选中的单元如有 MOS 管，则输出为“1”；如无 MOS 管，则输出为“0”。

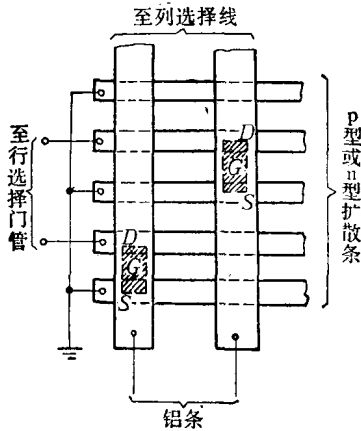


图5-30 包括二个MOS管的ROM矩阵

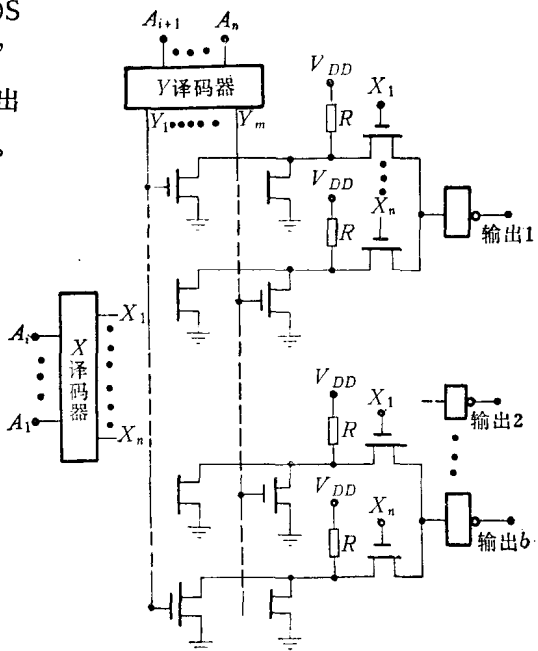


图5-31 MOS-ROM的结构（容量为 $m \times n$ 字 $\times b$ 位）

MOS-ROM 也有静态和动态之分。在动态 ROM 中，只有地址译码和输出电路采用动态工作模式，它是定时地访问和输出。存储矩阵与静态 ROM 相同。

三、双极型 ROM

双极型 ROM 的速度比 MOS-ROM 快，它的取数时间约几十毫微秒，可用于速度要求较高的微程序系统中。图 5-32 是一种双极型 ROM 的结构图。它包括二部分，点划线上面是 ROM 的基本部分，下面是读出控制部分。

在 ROM 基本部分中，包括存储矩阵和 X 译码器以及 Y 编码选通器。ROM 矩阵中有 32 行 $\times$ 32 列个存储单元。每个单元只有一个晶体管。根据该单元存“1”或存“0”的要求，决定该晶体管的发射极是否与列线（数据线）联通。晶体管为 P-n-P 型共集电极接法，同一行管子的基极联在一起，由 X 选择器控制其选通与否。列线共 32 根，因为是四位输出，所以分成四组，每组 8 根线。经编码选通器选通其中一线送到 4 位寄存器。整个结构是 256 字 $\times$ 4 位的形式。

在读出控制部分中，包括四位锁定触发器构成的四位寄存器、D 触发器和控制门。 $\overline{CS}_1$ 和 $\overline{CS}_2$ 是片选控制端。 $\overline{CS}_1$ 和 $\overline{CS}_2$ 为“0”，则芯片被选中。当读取脉冲到来时，一方面被访单元的内容进入四位寄存器，另一方面使 D 触发器置“1”，三态门便处于工作状态，被访单元的内容就由三态门输出。读取脉冲过后，因为四位寄存器处于锁定状态，这时若改变地址输入，四位寄存器的状态仍不改变，三态门的输出也维持不变。因此，当读取脉冲过后，就可以改换地址码，为下一次读数提前做准备，这样可以缩短访问周期。三态电路和片选控制端是为了便于扩展容量而设。如欲扩展字数，只要将几块 ROM 的地址输入端并联，数据输出端也相互并联，在片选译码的配合下，便可达到扩充字数的目的。

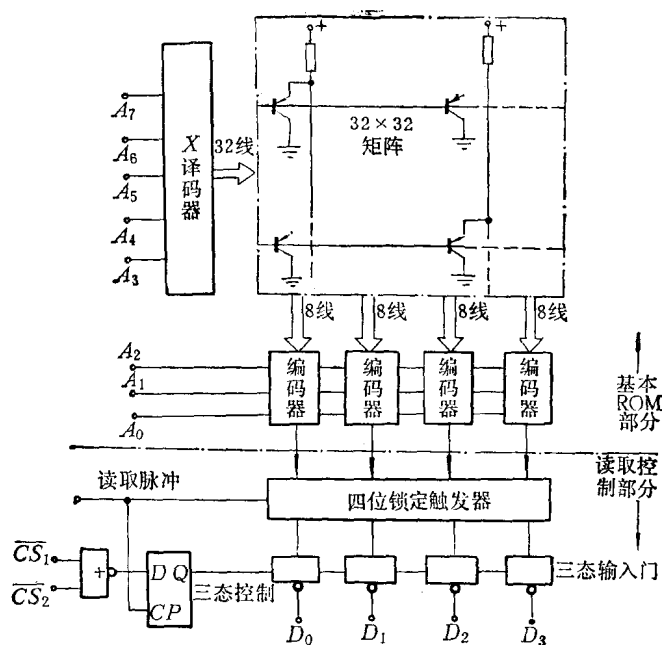


图5-32 容量256字×4位的双极型ROM

四、可编程序只读存储器 (PROM)

上述 ROM 所存贮的内容是在制造过程中固定下来的，它完全由掩模版决定。这种 ROM 适用于通用的固定程序。如果要改变程序就要另行制作掩模版，因此成本高，制造周期长。为了适应数字系统的发展，并使产品有较大适应性，另外有一种可编程序只读存储器 (PROM)。PROM 出厂时的存贮单元是全“0”或全“1”，用户可根据需要，将某些单元改写为“1”或“0”。

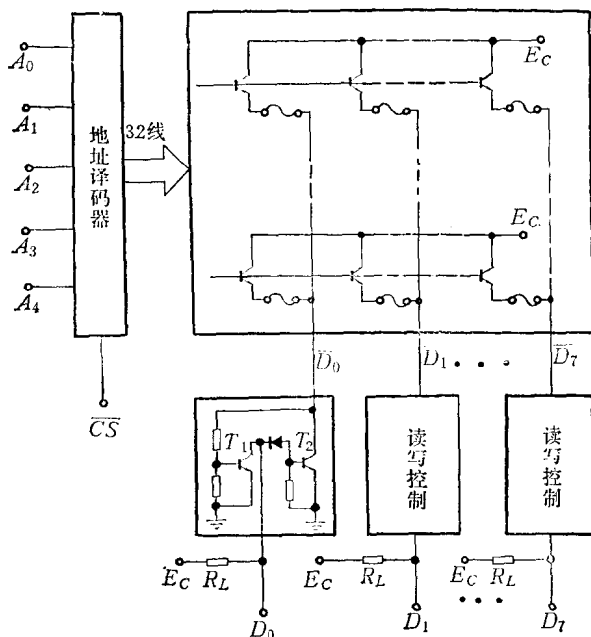


图5-33 32字×8位熔断丝结构的PROM

图 5-33 是一种双极型熔丝结构的 PROM。其容量为 $32 \text{ 字} \times 8 \text{ 位}$ 。存贮矩阵是 $32 \text{ 行} \times 8 \text{ 列}$ ，每行是一个 8 发射极的晶体管（图中是分开画的）。每个发射极经过熔断丝与各位的数据相连。熔断丝接通时为“0”；熔断丝断开为“1”。出厂的产品熔丝是全通的，即为全“0”。如欲使某单元改写为“1”，只要使熔丝通过大电流烧断即可。熔丝烧断后不可再恢复，所以当该单元一经写“1”后，就不可再改写“0”。它是一种不可重写的 PROM，或称只写一次的 PROM。与存贮矩阵配合的外围电路有地址译码器和读写控制电路。地址译码输出的 32 根选择线分别接 32 只多发射晶体管的基极，选中线为“1”电平。读写控制电路是供读出或写入的通路之用，在写“1”时，数据线 D 经外接负载电阻 R_L 接 12V 电源，使写入回路中的稳压二极管击穿， T_2 通导。选中单元的熔丝便通过足够大的电流使之烧断。读出时， E_c 接 5V 电源，低于稳压管的击穿电压，于是 T_2 截止。如被选中的某位熔丝是联通的，则读出管 T_1 通导，使输出为“0”。如果熔丝是断开的，则输出为“1”。 $\overline{CS}$ 是片选控制端，只有当 $\overline{CS}$ 为“0”时，地址码输入才有效。

此外，在 MOS 系列中，有一类可以多次改写的 PROM。它已接近 RAM 的功能，但重写过程较长，而且比较麻烦，它的工作模式仍以读出为主。

五、只读存贮器的应用

只读存贮器的结构简单，容易获得大容量的存贮器。目前，常用作代码转换、字符发生、微程序控制、数字函数表。此外，新发展的 PLA（可编程逻辑阵列）技术可以用 ROM 来完成各种组合逻辑的功能或时序逻辑的功能，使逻辑电路阵列化，有利于向大规模集成电路发展。下面分别介绍 ROM 函数表、字符发生器和 PLA 技术。

1. 数学函数表

在某些计算机中，对于数学运算采用类似于数学中查表的方式。它备有一些函数表，例如指数、对数、平方根、三角函数表等。这些函数表是固定的，应用时，将自变量以地址码的型式输入，在输出端就得函数值。下面例举二种函数表的结构。

(1) 乘积表 常见的二进制乘法运算，它包括一系列移位及求和操作。运算时间等于乘数的位数与时钟周期的乘积。如果乘数的位数很大，运算的时间就很长。采用 ROM 表的方法，从输入到输出的时间仅仅是 ROM 的取数时间加上缓冲级的传输延迟时间，可以提高速度。

当两个二进制的数相乘时，其乘积的最大位数等于乘数的位数和被乘数的位数之和。对于两个 4 位数相乘的 ROM 表，输入线应该是 8 根，即 ROM 的地址输入线有 8 根。其 ROM 矩阵应为 2^8 ，所以 ROM 的字数为 $2^8 = 256$ 字。它的最大输出位数是乘积的位数加上被乘数的位数，即 8 位。因此，两个 4 位数相乘的 ROM 表，它的总容量为 $256 \text{ 字} \times 8 \text{ 位}$ ，即 2048 位。根据这个规律，ROM 乘积表的容量可用下式表示

$$2^{(M_1+M_2)} \text{ 字} \times (M_1+M_2) \text{ 位} \quad (5-7)$$

式中 M_1 和 M_2 分别代表乘数和被乘数的位数。表 5-2 列出了 4 位数至 8 位数相乘时对应的 ROM 容量。

由表 5-2 可见，当 $M_1+M_2 > 12$ 时，ROM 的容量将激增。因此，即使大容量的 ROM 在技术上可行，在经济上也显得很不利。所以，当 $M_1+M_2 > 12$ 时，可将 M_1 和 M_2 分解为二数之和，即

表5-2 ROM 乘法表所需的位数

M_1	M_2	$2^{(M_1+M_2)} (M_1 + M_2)$
4	4	2 0 4 8
5	5	1 0 2 4 0
6	6	4 6 1 5 2
7	7	2 2 9 3 7 6
8	8	1 0 4 8 5 7 6

$$M_1 = m_1 + \Delta m_1 \quad (5-8)$$

$$M_2 = m_2 + \Delta m_2 \quad (5-9)$$

式中, m_1 和 m_2 为高位数, Δm_1 和 Δm_2 为低位数。于是可将 $M_1 \times M_2$ 展开成

$$M_1 \times M_2 = (m_1 + \Delta m_1)(m_2 + \Delta m_2) = m_1 m_2 + m_1 \Delta m_2 + m_2 \Delta m_1 + \Delta m_1 \Delta m_2 \quad (5-10)$$

实现式(5-10)的功能可用 4 个小容量 ROM 和几个加法器。如以两个 8 位数的乘积表为例, 将 M_1 写为

$$M_1 = \underbrace{\phi \phi \phi \phi 0 0 0 0}_{m_1} + \underbrace{0 0 0 0 \phi \phi \phi \phi}_{\Delta m_1}$$

M_2 也可类似处理。由式 (5-10), $m_1 m_2$ 的低八位为 0; $m_1 \Delta m_2$ 和 $m_2 \Delta m_1$ 的低四位和高四位为 0; $\Delta m_1 \Delta m_2$ 的高八位为 0。它们都只要二个四位数相乘的 ROM。这样, 四组二个 4 位数相乘的 ROM 总容量为 $4 \times 2048 = 8192$ 位。如用单个 ROM, 则容量应为 1048576 位 (见表 5-2)。它们之间的容量比为 125。

用四个 4 位数相乘的 ROM 来代替 8 位数相乘的 ROM 的方框图如图 5-34 所示。要完

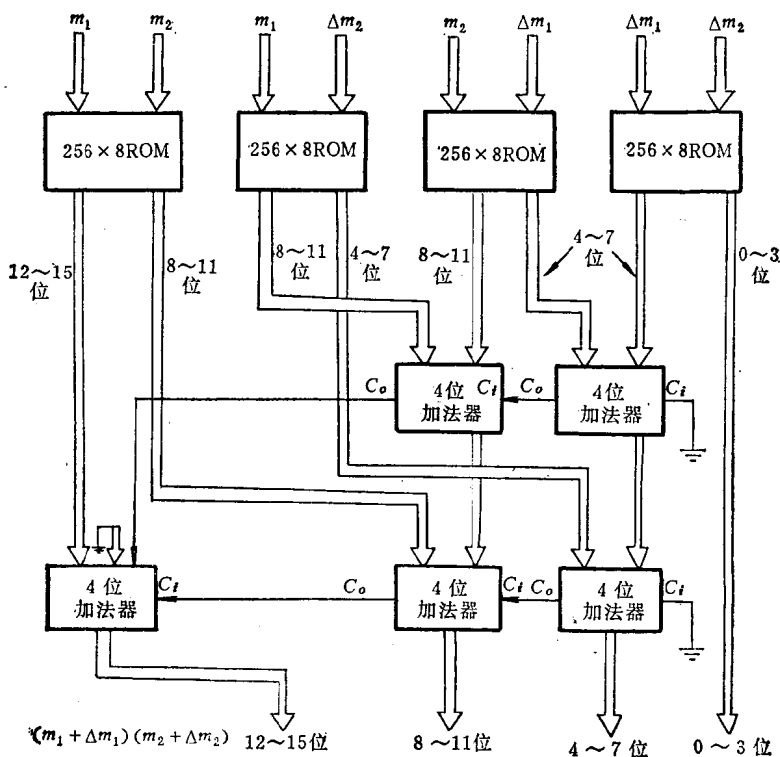


图5-34 用小容量 ROM 及加法器组成二个 8 位数的乘积表

成公式(5-10)的求和功能需要五个4位加法器。它的运算时间等于四组输出数据中最大一组的传输时间。这样的运算时间要比一系列的移位-求和运算快得多。

(2) 三角函数表 对于三角函数只需取第一象限值即可。因为就绝对值而论,其它象限的函数值是重复的。现以 $\sin X$ 为例。要求输入 X 分辨率为 0.01° , 输出的有效数字为16位(二进制)的 $\sin X$ 函数表。如果采用单个ROM的结构, 则它的容量应为 $(90/0.01)$ 字 $\times$ 16位 $= 1.44 \times 10^5$ 位。但如将函数改写为

$$\sin X = \sin(x + \Delta x) = \sin x \cos \Delta x + \cos x \sin \Delta x \quad (5-11)$$

式中 x —— 整数度, Δx —— 分数度。

根据式(5-11)可用四个小容量ROM。因为 $\sin x$ 和 $\cos x$ 的分辨率为 $1/90$, 用 90 字 $\times$ 16位的ROM即可满足要求。 $\cos \Delta x$ 和 $\sin \Delta x$ 的分辨率为 1% , 即要求ROM的容量为 100 字 $\times$ 16位, 所以选用四个128字16位的ROM就可满足要求。其总容量为8192位。乘法运算可用乘法器, 也可用上述的乘法ROM表来实现。如果进一步分析式(5-11)的数值, 还可减少ROM的容量。因为当 $\Delta x \ll 1$ 时, $\sin \Delta x \approx \Delta x$ (Δx 用弧度表示) 或 $\sin \Delta x = \Delta x / 57.2958$ (Δx 用度表示)。所以式(5-11)可改写为

$$\begin{aligned} \sin X &= \sin x \cos \Delta x + \cos x (\Delta x / 57.2958) \\ &= \sin x \cos \Delta x + (\cos x / 57.2958) \Delta x \end{aligned} \quad (5-12)$$

而 $\cos x / 57.2958$ 的16位数中, 前5位总是0, 因此用128字 $\times$ 12位的ROM已足够。再分析 $\cos \Delta x$ 项的数值可再减少ROM的容量。因为 Δx 在 $0 \sim 0.99$ 之间时, $\cos \Delta x$ 的值在1到0.9998之间。虽然 Δx 的分辨率为 $1/100$, 但用16字的ROM就足以满足要求。进一步分析 $\cos \Delta x$ 的值时, 发现小数点后的前三位总是相同的, 因此用16字 $\times$ 3位的ROM就足够满足 $\cos \Delta x$ 的需要。

经上述分析, $\sin X$ 的函数表结构可取图5-35的方案。它需要二个乘法器、一个加法

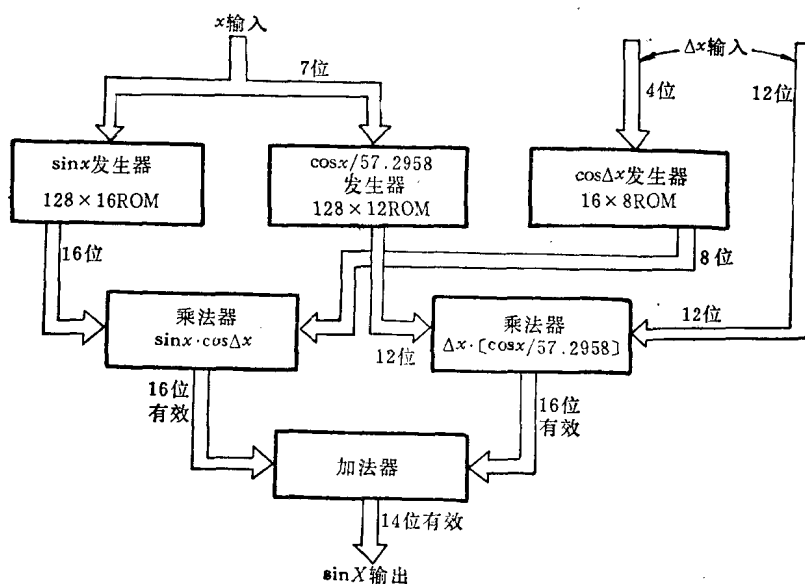


图5-35 $\sin X$ 的ROM函数表的逻辑框图

器和 3712 位 ROM。与单个 ROM 的 $\sin X$ 函数相比, 容量仅为它的 $1/40$, 输出有效数可达 14 位。

2. 字符发生器

在第四章中, 介绍了用七段数码管显示数符的原理。利用光点矩阵同样可以显示数符, 并且具有更大的灵活性。它不但可以显示数符而且可以显示各种字符, 例如英文字母 A、B、C、……Z, 数学符号 +、-、 $\times$ 、 $\div$ 、 $>$ 、 $<$ 、=, 以及其它各种符号。

用得较多的光点矩阵有 5×7 和 7×9 二种, 它分别由 5 列 7 行或 7 列 9 行光点组成。当某一光点加 “1” 信号时, 它就发亮; 加 “0” 信号时它不发亮。这样, 就可由光点矩阵显示各种字符。图 5-36(b) 表示由 5×7 光点显示的 Z 字母。

使光点矩阵显示各种字符, 可以用 ROM 字符发生器。图 5-36(a) 表示显示 Z 字的 ROM 字符发生器。它由 ROM 矩阵、行译码器和输出缓冲器组成。ROM 矩阵是 7 字 $\times$ 5 位, 它的存贮内容就反映了要显示的字符。ROM 的输出是 5 位, 每次可输出一行的内容。在行译码器的作用下, 被选中的内容就出现在输出端。例如地址码 000 时第一行被选中, 输出为 11111。地址码为 001 时第二行被选中, 输出为 00001……等。三根地址输入线可以有 8 个地址码, 分别访问 8 行。7 行 ROM 矩阵只需 7 个地址码, 所以我们可选用其中的七个。如果地址码 A_0 、 A_1 、 A_2 周而复始的循环, 各行的内容便相继出现在输出端, 用以驱动光点矩阵的各行, 使显示出对应的字符, 反映在光亮矩阵上。要显示的字符越多, 要求 ROM 的容量也越大。如要显示 N 个字符, 则 ROM 的总容量应等于 $N \times 7 \times 5$ 位。多字符发生器的 ROM 有二组地址码, 一组是完成逐行扫描的行译码, 另一组是选择各种字符的字特征码。图 5-37 是包括 64 个字符发生器的 ROM 框图。 $A_3 \sim A_7$ 是字特征码输入, 决定欲显示的字符。 $A_0 \sim A_2$ 是行扫描译码输入, 代码的循环变化便完成被选字符的逐行扫描。如欲固定显示某个字符, 则字特征码应固定不变。

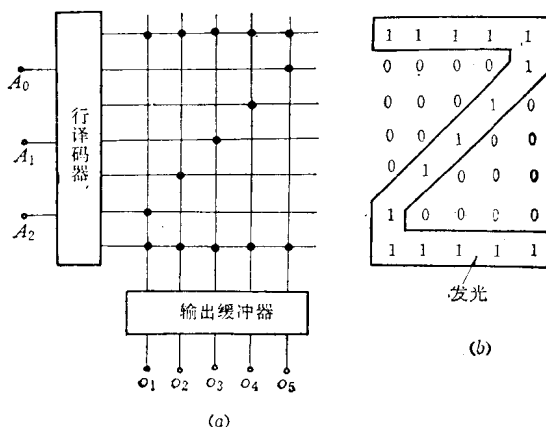


图 5-36 ROM 显示字符

(a) 显示字符 “Z” 的 ROM 结构; (b) 光点矩阵显示的字符 “Z”。

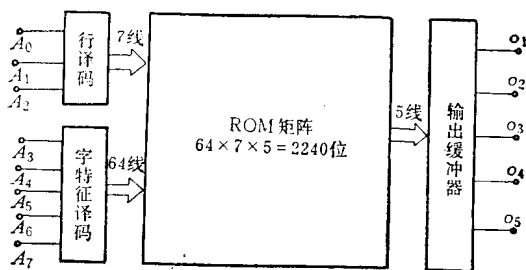


图 5-37 采用行选择的字符发生器 (每个字符由 7 字 $\times$ 5 位组成)

发生器的 ROM 有二组地址码, 一组是完成逐行扫描的行译码, 另一组是选择各种字符的字特征码。每个字符对应一个字特征码。图 5-37 是包括 64 个字符发生器的 ROM 框图。 $A_3 \sim A_7$ 是字特征码输入, 决定欲显示的字符。 $A_0 \sim A_2$ 是行扫描译码输入, 代码的循环变化便完成被选字符的逐行扫描。如欲固定显示某个字符, 则字特征码应固定不变。

3. 可编程序逻辑阵列 (PLA)

可编程序逻辑阵列是将 ROM 矩阵和一些简单的逻辑门, 以及少数触发器组合在一起。它可以完成各种逻辑功能, 用以取代各种组合逻辑电路和时序逻辑电路。

为了说明 PLA 的基本原理, 先举一个简单的例子来说明, 图 5-38 是具有 $A \cdot B + \bar{A} \cdot \bar{B}$

及 $A \cdot B$ 二种输出的 PLA。它由二个 MOS-ROM 矩阵和二一个“非”门构成。上面是 ROM 矩阵 I，容量为 4 行 $\times$ 2 列，各列都有公共负载管 T_1, T_2 。下面 ROM 矩阵 II，容

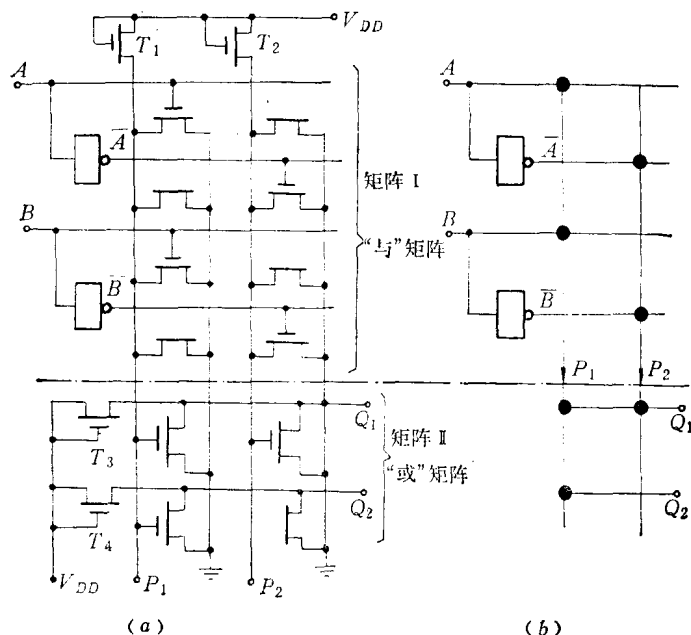


图5-38 具有 $A \cdot B + \overline{A} \cdot \overline{B}$ 及 $A \cdot B$ 输出的 PLA

(a) 结构图; (b) 结构简图。

量是 2×2 ，各行也有公共负载管 T_3, T_4 。ROM-I 的输出就是 ROM-II 的输入。如果用前面惯用的逻辑关系，即 p-MOS 用负逻辑，n-MOS 用正逻辑，则 ROM-I 和 ROM-II 都是“或非”电路。如采用与上面相反的逻辑，则它就成为二级“与非”电路。为了用标准的乘积之和逻辑式来表示二级 ROM，所以将它视为二级“与非”电路。

从图 5-38(a) 的 ROM-I，输出 P_1, P_2 与其输入的逻辑关系为

$$\left. \begin{aligned} P_1 &= \overline{A \cdot B} \\ P_2 &= \overline{\overline{A} \cdot \overline{B}} \end{aligned} \right\} \quad (5-13)$$

ROM-II 的输出 Q_1 及 Q_2 可写为

$$\left. \begin{aligned} Q_1 &= \overline{P_1 \cdot P_2} \\ Q_2 &= \overline{P_1} \end{aligned} \right\} \quad (5-14)$$

将式 (5-13) 代入式 (5-14)，便得

$$\left. \begin{aligned} Q_1 &= \overline{A \cdot B \cdot \overline{A \cdot B}} = A \cdot B + \overline{A} \cdot \overline{B} \\ Q_2 &= \overline{P_1} = \overline{\overline{A \cdot B}} = A \cdot B \end{aligned} \right\} \quad (5-15)$$

也就是二级“与非”电路等效为一级“与”和一级“或”电路。这相当于矩阵 I 完成“与”逻辑功能，它被称为乘积项发生器；矩阵 II 完成“或”逻辑功能，被称为求和项发生器（或称乘积项之和发生器）。这个结论给 PLA 的设计带来很大的方便。对照图 5-38(b) 和式 (5-15) 的情况：矩阵 I 的 P_1 线与输入线 A, B 接有 MOS 管，在简化图 (b) 中，就在 P_1 线与 A, B 线交叉处画一码点，它与 $A \cdot B$ 相对应。同理， P_2 与输入线 $\overline{A}, \overline{B}$ 之间

有 MOS 管, 在它们的交叉处有码点, 它与 $\bar{A} \cdot \bar{B}$ 对应。 Q_1 线与 P_1 、 P_2 线之间有 MOS 管, 在它们的交叉处存在码点, 它与 $Q_1 = P_1 + P_2$ 相对应。 Q_2 线与 P_1 线之间有 MOS 管, Q_2 线与 P_1 线的交叉处有码点, 它对应于 $Q_2 = P_1$ 。按照这种规律要设计出各种组合逻辑功能的 PLA 就很方便。因为各种组合逻辑功能都可写为“乘积之和”的标准式, 所以都可用 PLA 来实现。例如, 要设计一个具有全加器功能的 PLA, 我们只要根据全加功能的要求, 写出它们的逻辑函数式便可设计出所要求的 PLA。对于一个全加器, 它有三个输入端和二个输出端。设 A 、 B 为本位输入, C_i 为进位输入, 二个输出端是求和项 (S) 和进位项 (C_o)。输出和输入之间应有以下逻辑关系

$$\left. \begin{aligned} S &= \bar{A}\bar{B}C_i + \bar{A}B\bar{C}_i + A\bar{B}\bar{C}_i + ABC_i \\ C_o &= AB\bar{C}_i + A\bar{B}C_i + \bar{A}BC_i + ABC_i \end{aligned} \right\} \quad (5-16)$$

根据式 (5-16) 的逻辑关系就可直接画出二个 PLA 矩阵, 它们分别如图 5-39(a)、(b) 所示。把它们合并起来, 就得图 5-39(c)。在合并中, 因为输入端是完全一样的, 可直接合并起来。 ABC_i 项是一致的, 可合并为一列。这样便得到全加功能的 PLA。

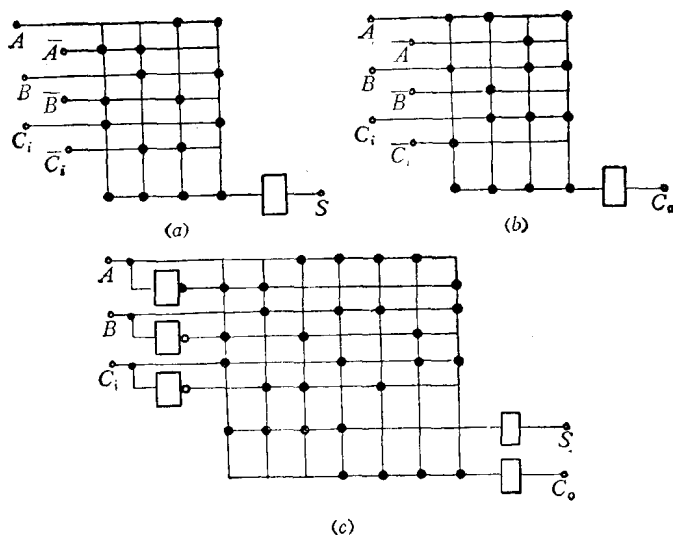


图5-39 PLA全加器

(a) 求和输出; (b) 进位输出; (c) 全加。

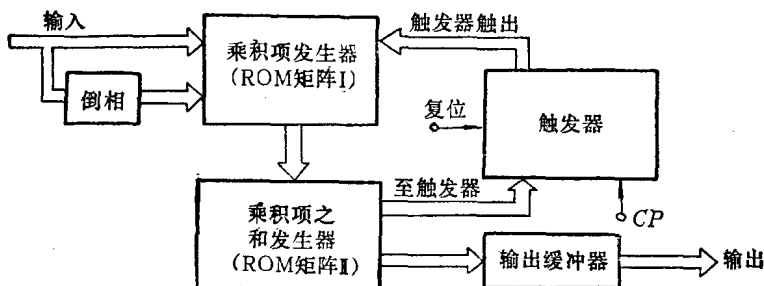


图5-40 二级PLA时序电路

利用 PLA 技术不仅可以实现各种组合电路, 如算术电路、数码转换电路等。还可实现各种时序电路。作为时序电路的 PLA 框图如图 5-40 所示。在 ROM-Ⅱ 与 ROM-Ⅰ 之间加入一组触发器, 它将 ROM-Ⅱ 的输出再反馈到 ROM-Ⅰ 中。在时钟脉冲 CP 的驱动下, 就可完成各种时序操作。

下面举二个实际例子。一个例子是 ROM-Ⅰ 矩阵中无外接输入端, 只有来自 ROM-Ⅱ 对 ROM-Ⅰ 的反馈输入。另一个例子是 ROM-Ⅰ 有外接输入端, 也有来自 ROM-Ⅱ 的反馈输入。

(1) BCD 计数器与八段译码显示器 图 5-41 是用 PLA 实现十进计数并用八段数码管显示的电路。十进数码由四个 D 触发器的状态来表示。四个 D 触发器的输出分别为 Q_3, Q_2, Q_1, Q_0 经 ROM-Ⅰ 和 ROM-Ⅱ 再反馈到输入端 D_3, D_2, D_1, D_0 。

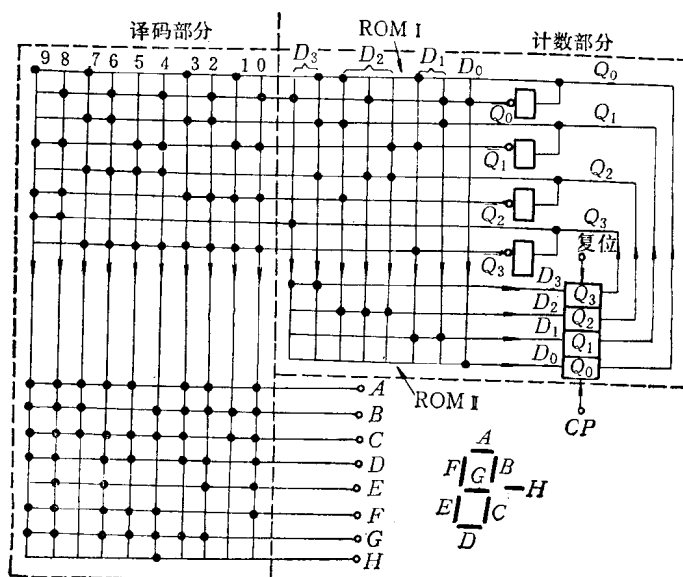


图5-41 BCD计数器和八段数码显示器

按照时序电路的设计方法, 用 D 触发器构成十进计数器的状态表如图 5-42(a) 所示。各个 D 触发器的输入状态卡诺图分别为图中 (b)、(c)、(d) 及 (e)。

根据卡诺图便可写出各输入端的逻辑函数式:

$$\left. \begin{aligned} D_3 &= Q_2 Q_1 Q_0 + Q_3 \bar{Q}_0 \\ D_2 &= \bar{Q}_2 Q_1 Q_0 + Q_2 \bar{Q}_0 + Q_2 \bar{Q}_1 \\ D_1 &= \bar{Q}_3 \bar{Q}_1 Q_0 + Q_1 \bar{Q}_0 \\ D_0 &= \bar{Q}_0 \end{aligned} \right\} \quad (5-17)$$

与式 (5-17) 所对应的 ROM 矩阵为图 5-41 的右边部分。

同样利用 PLA 方法可以方便地设计八段数码管显示的输出电路。它是将计数的输出先经过一个 ROM 矩阵转成十进制数 0~9, 其逻辑方程按 BCD 编码规律。

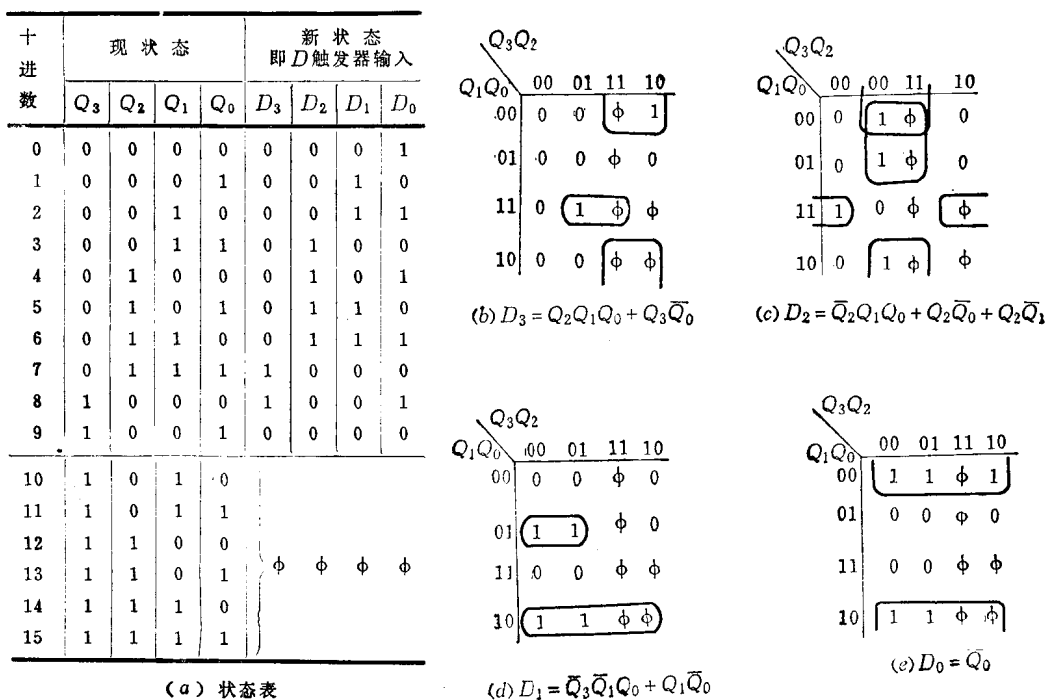


图5-42 十进制计数器的状态表及D触发器输卡诺图

$$\left. \begin{aligned}
 0 &= \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0 & 1 &= \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 Q_0 \\
 2 &= \bar{Q}_3 \bar{Q}_2 Q_1 \bar{Q}_0 & 3 &= \bar{Q}_3 \bar{Q}_2 Q_1 Q_0 \\
 4 &= \bar{Q}_3 Q_2 \bar{Q}_1 \bar{Q}_0 & 5 &= \bar{Q}_3 Q_2 \bar{Q}_1 Q_0 \\
 6 &= \bar{Q}_3 Q_2 Q_1 \bar{Q}_0 & 7 &= \bar{Q}_3 Q_2 Q_1 Q_0 \\
 8 &= Q_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0 & 9 &= Q_3 \bar{Q}_2 \bar{Q}_1 Q_0
 \end{aligned} \right\} \quad (5-18)$$

再经过一个ROM矩阵将0~9转换为A~H八段输出。因为数码管的A段在0, 2, 3, 5, 6, 7, 8, 9时都亮; B段在0, 1, 2, 3, 4, 7, 8, 9时都亮;所以应有如下的关系:

$$\left. \begin{aligned}
 A &= 0 + 2 + 3 + 5 + 6 + 7 + 8 + 9 \\
 B &= 0 + 1 + 2 + 3 + 4 + 7 + 8 + 9 \\
 C &= 0 + 1 + 3 + 4 + 5 + 6 + 7 + 8 + 9 \\
 D &= 0 + 2 + 3 + 5 + 6 + 8 + 9 \\
 E &= 0 + 2 + 6 + 8 \\
 F &= 0 + 4 + 5 + 6 + 8 + 9 \\
 G &= 2 + 3 + 4 + 5 + 6 + 8 + 9 \\
 H &= 4
 \end{aligned} \right\} \quad (5-19)$$

也就是译码部分的第一个ROM完成“与”功能, 第二个ROM完成“或”功能。

(2) 可变模计数器 用四个触发器可组成十六进制的计数器。如果再加上一些外部控制输入, 就可以组成从二进制到十六进制中的任何进位制计数器, 即成为可变计数模的同步计数器。

用四个触发器最多可构成十六进制计数器，它的计数序列如图 5-43(a) 所示。四个 D 触发器的输入状态卡诺图为 (b)、(c)、(d)、(e)。其中 A, B, C 及 D 分别为四个触发器的输出, D_A , D_B , D_C 及 D_D 分别为四个触发器所要求的输入状态。

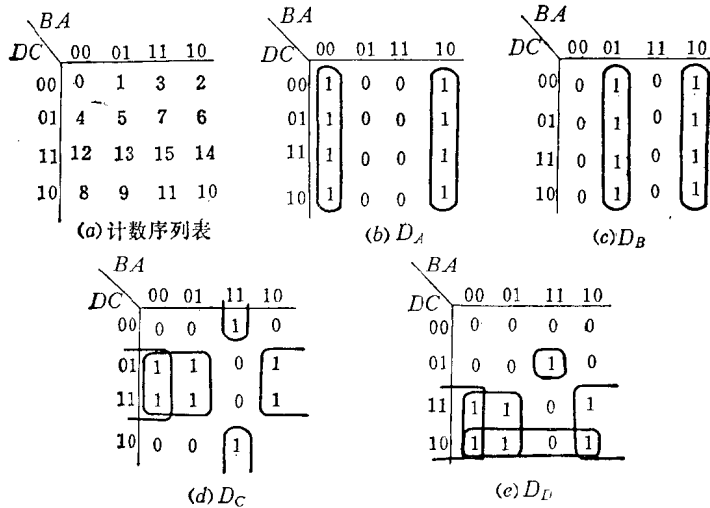


图5-43 十六进制计数序列表和新状态卡诺图

从上述卡诺图可以写出简化逻辑式

$$\left. \begin{aligned} D_A &= \bar{A} \\ D_B &= \bar{B}A + B\bar{A} \\ D_C &= \bar{C}BA + C\bar{B} + C\bar{A} \\ D_D &= \bar{D}CBA + D\bar{B} + D\bar{C} + D\bar{A} \end{aligned} \right\} \quad (5-20)$$

按式 (5-20) 设计二个 ROM 矩阵使得十六进制同步计数器。如果再加上四个外部控制输入端 D_i , C_i , B_i 及 A_i , 就可用它来确定计数的循环制。当计数到 $DCBA$ 的状态与 $D_iC_iB_iA_i$ 相同时, 计数序列就中止, 立即使四个触发器的输入都转为 “0”。当下一个 CP 到来时, 就使 $DCBA$ 的状态复位到 “0”。例如, 要实现六进制计数, 只要将 $D_iC_iB_iA_i$ 输入固定为 0101, 计数器开始按十六进制的正常序列计数。当计到 0101 状态时, 在 PLA 矩阵中产生一个 “0” 信号, 作用到各触发器的输入端。在 PLA 矩阵中, 将产生 “0” 信号的控制端用 T 表示, 上面式 (5-20) 的控制函数便改为

$$\left. \begin{aligned} D_A &= T\bar{A} \\ D_B &= T\bar{B}A + TB\bar{A} \\ D_C &= T\bar{C}BA + TC\bar{B} + TC\bar{A} \\ D_D &= T\bar{D}CBA + TD\bar{C} + TD\bar{B} + TD\bar{A} \end{aligned} \right\} \quad (5-21)$$

当 $T = 1$ 时, 式 (5-21) 即为式 (5-19), 按正常十六进制计数序列计数, 当 $T = 0$ 时, 计数器复 “0”。

现在来确定函数 T 的形式。根据上述要求, 当 A, B, C, D 和 A_i, B_i, C_i, D_i 完全相等时, T 才为 “0”, 否则为 “1”。即 A, B, C, D 和 A_i, B_i, C_i, D_i 具有 “异或” 关系。写为

$$\left. \begin{aligned} A \oplus A_i &= A\bar{A}_i + \bar{A}A_i \\ B \oplus B_i &= B\bar{B}_i + \bar{B}B_i \\ C \oplus C_i &= C\bar{C}_i + \bar{C}C_i \\ D \oplus D_i &= D\bar{D}_i + \bar{D}D_i \end{aligned} \right\} \quad (5-22)$$

只要式 (5-22) 中的一式成立, T 就为 “1”。故可写为

$$T = (A\bar{A}_i + \bar{A}A_i) + (B\bar{B}_i + \bar{B}B_i) + (C\bar{C}_i + \bar{C}C_i) + (D\bar{D}_i + \bar{D}D_i) \quad (5-23)$$

根据式 (5-21) 及式 (5-23) 可以画出它的 PLA 矩阵, 如图 5-44 所示。

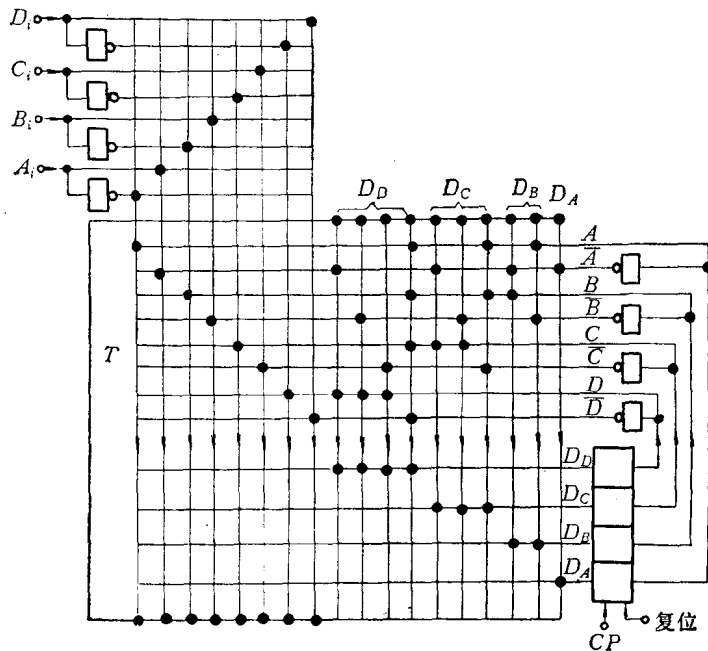


图5-44 可变模计数器

利用 PLA 技术可以设计各种组合电路和时序电路。电路的逻辑功能愈复杂, 采用 PLA 设计的优点就愈明显。ROM 的设计是规格化的, 存储器内容的变化只要改变最后一块布线掩模版即可。特别是可编程序 ROM (PROM) 的发展, 将使逻辑电路阵列化开辟更广阔的道路, 给大规模集成电路的规格化创造了有利的条件。它还可以大大缩短大规模集成电路的设计和制造周期, 使各种逻辑电路向着大规模集成和标准化的方向发展。

§ 5-5 集成注入逻辑 (I²L)

集成注入逻辑 (I²L) 电路是 1972 年才发展起来的集成电路。它属于双极型系列。因为它具有集成密度高, 功耗低, 工艺简单以及速度高等一系列优点, 所以发展很快。目前已广泛用于各种数字系统中, 例如单片微处理器、电子手表、移位寄存器和存储器等。

一、I²L 的基本结构和工作原理

I²L 的基本单元如图 5-45 所示。图 (a) 是结构图。上面是剖面图, 下面是平面图。它包括一个横向 p-n-p 晶体管和一个纵向 n-p-n 晶体管。n 型基片是横向晶体管 T_1 的基极, 又是纵向晶体管 T_2 的发射极。 T_2 的基区和 T_1 的集电区也是公共的。两个晶体管

互相结合在一起, 所以注入逻辑电路又称为合并晶体管逻辑电路 (简称 MTL)。纵向管 T_2 是倒置的, 发射极在下面。这样, 在共发射极电路中, 纵向管之间就不用隔离。各管的基区是自然隔离的, 集电区也是自然隔离的, 所以在 I^2L 电路中就无需专门的隔离措施。与图 5-45 (a) 结构相对应的电路是图 (b)。 T_1 的发射极又称注入极。工作时, 注入极接电源 E_p 正极, 使之正偏注入少数, 集电极便有相应的电流 I_0 。它可等效为一电流源 I_0 。改变电源电压或电源回路中的外接电阻就可以控制 I_0 的大小。将 T_1 等效为 I_0 后的等效电路如图 (c) 所示。

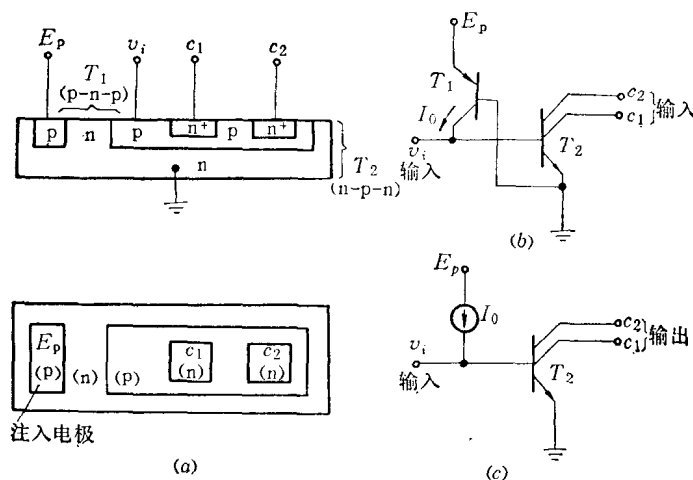


图 5-45 I^2L 的基本单元

(a) 结构图; (b) 电路图; (c) 等效电路。

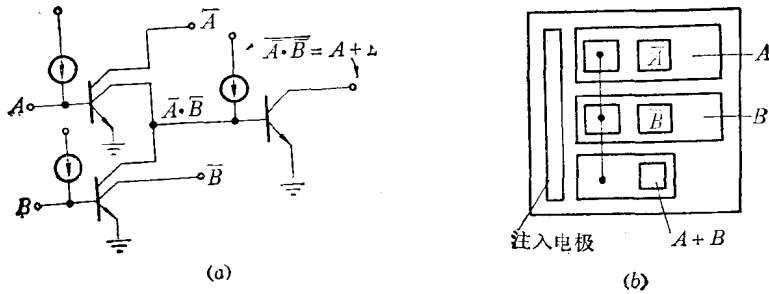
在图 (c) 中, 当输入端开路时, 电流源 I_0 便流入 T_2 基极, 使 T_2 饱和, 输出得低电平。这种倒置晶体管在饱和时的饱和压降约为 0.05 V , 比正常运用时低。当输入端接低电平时, 电流 I_0 便从输入端流出, T_2 截止, 使二个输出端 C_1 和 C_2 都相当于开路。若输出端与下级的输入联接, 则由于下级输入端电流源在正向 $p-n$ 结上的压降约 0.7 V , 所以高电平约 0.7 V , 逻辑摆幅约 0.65 V 。

这种基本单元就是一个多扇出端的倒相器。输入端只有一个, 输出端可以有多个, 而且是集电极开路的形式。所以, 允许不同单元的输出端并联实现线与组合, 完成各种逻辑功能。由于倒置晶体管的 β_i 较小, 负载能力差, 而基本单元的输入端又只有一个, 所以这种单元的集电极通常采用线与的方式来控制另一个输入端。如要实现多种逻辑输出, 其联接方法应如图 5-46 所示。图 (a) 是获得 $\bar{A}$ 、 $\bar{B}$ 及 $(A+B)$ 输出的联线图。图 (b) 是它的结构图。其中包括三个基本单元, 二个单元是双集电极晶体管, 一个单元是单集电极晶体管。三个单元的注入极是相联的, 可合为一个。在电路中, 三个单元的发射极都是地电位, 并且与基片相连, 所以单元间无需专门隔离措施。

根据上述基本结构和工作原理, I^2L 具有以下的特点:

(1) 集成密度高, 结构紧凑, 电路中无电阻。每个门只占一个基区的空间, 它的占用面积仅为 TTL 的十分之一。集成度可达 $120\sim 200$ 门/ mm^2 。

(2) 功耗 (P) 与延迟时间 (t_{pd}) 的乘积比 TTL 小得多。由于门的简化, 延迟级数

图5-46 I²L 的级间耦合及端钮的逻辑关系

(a) 电路图; (b) 结构图。

少, 寄生电容小, 逻辑摆幅低。即使采用常规工艺, 每级门的传输延迟时间可达 30ns 左右, 改进工艺和结构后可达 7 ns, 甚至更短。而它的功耗远低于 TTL 电路, 仅达微瓦级。因此 I²L 的 Pt_{pd} 约为 0.2pJ, 而 TTL 为 100pJ。

(3) 工艺简单。常规的 TTL 要六次光刻和四次扩散, 而 I²L 只要四次光刻和二次扩散。因此 I²L 的成品率较高, 有利于大规模集成。

(4) 电源电压变化的适应性强。因为每单元的注入电流从 1 μ A ~ 1 mA 之间都能正常工作, 所以允许电源电压的变动范围较宽。

(5) 可以和 TTL 电路相容。只要适当增加一点接口电路, 就可与 TTL 相互衔接。而且它的工艺是属双极型的, 接口电路可做在同一基片上。

利用 I²L 的基本单元, 可以联成各种逻辑电路。下面就分别介绍一些基本逻辑电路。

二、I²L 的基本逻辑电路

合并晶体管的特点是: 一个输入端和多个相互隔离的输出端, 输出是集电极开路的形式。因此各输出端的并联就得到线与与关系。利用这个特点可完成各种功能的逻辑电路。

1. “与非”门和“或非”门

图 5-47 是 I²L 的“与非”门逻辑图和线路图。因为来自三个输出端的信号可以在“非”门的输入端实现线与, 所以一个管子就等效为一个“与非门”。但应该着重指出, 它的线与是建立在前级门的多集电极基础上的。图 (b) 所示的逻辑符号是为了与常规逻辑图统一。这里是三个输出端信号在“非”门的输入端实现线与。对应的线路图如图 (c) 所示 (图中的电流源未画出)。

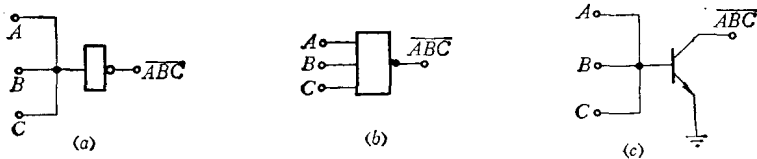
图5-47 I²L 的“与非”门逻辑图和线路图

图 5-48 是由二个双集电极单元组成的“或非”输出和二个倒相输出。为了和常规逻辑图一致, 可以改画成图 (c) 的情况。图 (c) 中每个门的输出端只有一个, 实现线与的功能用一个“与”门来表示。也就是把线与的功能体现在下级门的输入端, 这样的看法就

与多扇入门一致，但在画线路图时，仍应改换成每个输出端只驱动一个负载的原则，如图 5-48 (b) 所示。每个门都有二个驱动对象，一个驱动“与”门，另一个提供倒相输出，因此线路图上画有二个集电极。

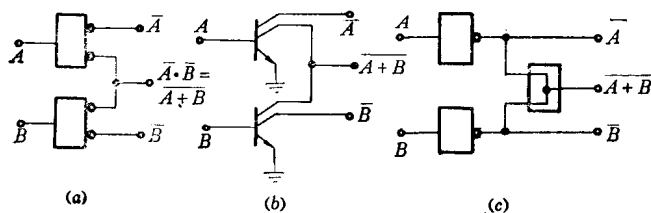


图5-48 “或非”及倒相

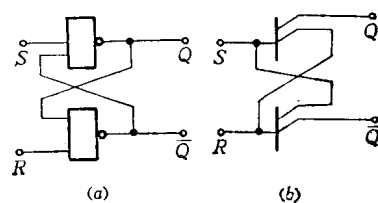


图5-49 I²L的R-S触发器
(a) 逻辑图；(b) 线路图。

2. R-S 触发器和D触发器

图 5-49 是基本 R-S 触发器。每个反相器需要二个输出端，其中一个用作交叉耦合，即驱动另一个门的输入。在图 (b) 的线路图中，略去了发射极，因为它永远是接公共端（即基片）。

图 5-50 是 D 触发器的逻辑图和 I²L 的线路图。两者的 CP 控制端略有不同，在线路图中，I²L 的时钟控制端应该是“0”脉冲作用。如欲改为“1”脉冲作用，可再加一个倒相管。

3. 半加器

半加器需要两种逻辑输出，即求和 (S) 及进位输出 (C)。它们的逻辑式分别为

$$\left. \begin{aligned} S &= A \oplus B = \bar{A}B + A\bar{B} \\ C &= AB \end{aligned} \right\} \quad (5-24)$$

I²L 的最基本单元可视为“与非”门，所以将上式改写成

$$\left. \begin{aligned} S &= \bar{A}B + A\bar{B} = (\bar{A} + \bar{B})(A + B) = (\bar{A} \cdot \bar{B})(\overline{\bar{A} \cdot \bar{B}}) \\ C &= AB \end{aligned} \right\} \quad (5-25)$$

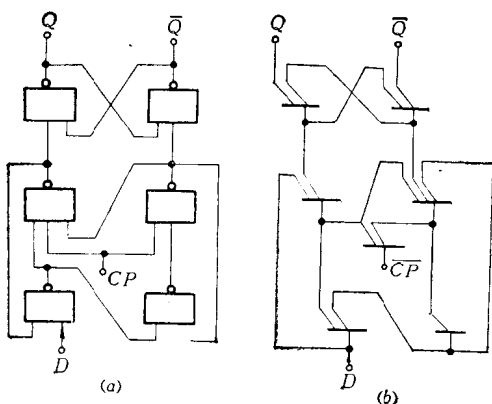


图5-50 六门D触发器的逻辑图及I²L电路
(a) 逻辑图；(b) 电路图。

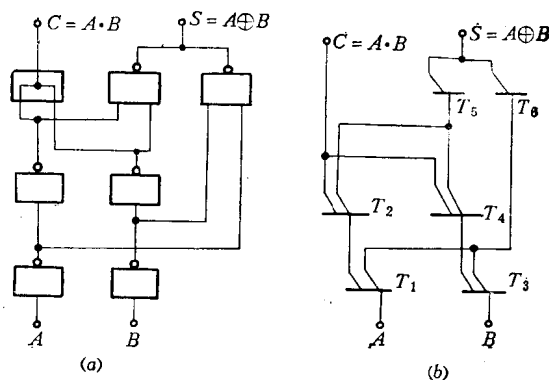


图5-51 半加器的逻辑图和线路图
(a) 逻辑图；(b) 线路图。

从式(5-25)看出,除需要信号 $\bar{A}$ 和 $\bar{B}$ 外,还需要倒相二次来提供 A 和 B 。因为 I^2L 门只有一个输入端,不能在半加器的输入端直接进行线与。 $A \cdot B$ 这一项需经二次倒相后再进行线与。其逻辑图和线路图分别见图5-51(a)及(b),图中遵循了每个集电极只带一个负载的原则。

4. 只读存储器

I^2L 的集成密度高,容易制作各种大规模集成的功能器件。下面再介绍一个驱动七段数码管的 I^2L -ROM。

图5-52的电路包括二部分。一部分是二-十进制译码器,将二进制译为十进制。然后通过ROM矩阵给出驱动数码管的信号。

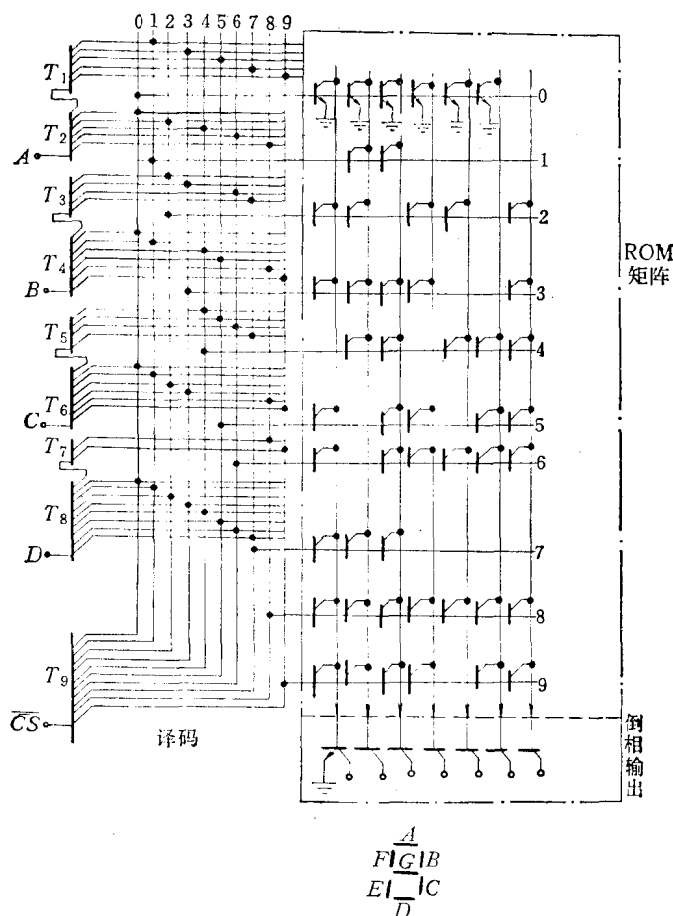


图5-52 驱动4段数码管的 T^2L -ROM

译码器由9个多集电极晶体管组成。 T_0 是片选控制管,只有当 $\overline{CS}=0$ 时,整个电路才能工作。 $T_1 \sim T_9$ 构成二-十进制译码器。当输入 $DCBA=0000$ 时,译码输出线0为高电平;在 $DCBA=0001$ 时,译码输出线1为高电平; $DCBA=0010$ 时,译码输出线2为高电平;……在 $DCBA=1001$ 时,译码输出线9为高电平。即按照BCD的译码规律。

ROM矩阵的每一行是一个多集电极晶体管,是 I^2L 的一个基本单元。ROM矩阵是根据数码管对驱动信号的要求来布线的。因为数码管在0、2、3、5、6、7、8、9时A段都应

亮, 所以第一列与这些对应的各译码输出线之间都有晶体管。数码管的 B 段应在 0、1、2、3、4、7、8、9 时都亮, 所以第二列与这些译码输出线之间有晶体管。数码管的 C 段在 0、1、3、4、5、6、7、8、9 时都亮, 所以第三列与译码输出线 0、1、3、4、5、6、7、8、9 之间都有晶体管, ……依次类推。ROM 矩阵的输出再经倒相后便可驱动数码管。ROM 矩阵的下面是倒相输出级。

上面讨论的 I^2L 还存在一些不足之处。主要问题有下面几点:

(1) 纵向晶体管的发射极就是衬底, 电阻率不可能选得很低, 因此发射极的注入效率低。

(2) 采用常规扩散工艺制作时, 在基区中, 从发射结到收集结, 杂质浓度逐渐增加, 因此基区内的自建场起着阻止少子向集电结扩散的作用, 使少子在基区中的渡越时间增长, 影响开关速度。

(3) 在横向晶体管方面。采用一般的扩散工艺制作时, 注入效率和收集效率都低, 管子的电流放大系数小。

近几年来, 针对以上的不足之处在结构和工艺方面又作了不少改进, 这里不再讨论。

§ 5-6 电荷耦合器件 (CCD)

电荷耦合器件 (CCD), 是 1970 年后发展起来的半导体器件。现在已经用于光成像和各种电信息处理。由于它的结构简单, 集成密度高, 但速度较慢, 所以在数字系统方面, 主要是制作高位数的串行存贮器, 用以取代计算机中笨重的外围设备磁盘和磁鼓。下面先介绍 CCD 的基本工作原理和结构, 然后再介绍一种 CCD 存贮器。

一、CCD 的基本工作原理

半导体表面的自由电荷可以在金属电极所加电压的作用下, 从一个电极下面向另一个电极下面转移。CCD 就是利用这种基本现象工作的器件。图 5-53 表示 n 沟 CCD 的结构模型。当金属电极加上适当的电压时, 在较短的时间内, 半导体表面就会出现深耗尽层。电极的电压越高, 耗尽层就越深。我们称这些耗尽层为势阱。在图 5-53 中, 表示 $V_3 > V_2 > V_1$ 的情形, 各区的耗尽层深度如虚线所示。如果原来在中间电极下面存在着电子, 那么, 现在的势阱分布情形就会使电子向右电极下转移。下面我们分几点来进一步说明 CCD 的工作原理。

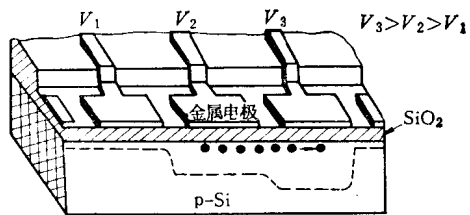


图 5-53 CCD 的结构模型

1. 势阱的形成及其特性

CCD 的基本结构就是金属-氧化物-半导体构成的 MOS 电容。图 5-54 表示用 p 型半导体作衬底的 MOS 电容。当金属电极上所加的正电压超过开启电压时, 根据 MOS 晶体管的基本原理, 半导体表面就会产生反型沟道。在 MOS 晶体管中, 因为栅电极下面总是存在高浓度的源漏扩散区, 它能提供大量少子。因此, 当加上足够大的栅压后, 就很快建立起反型层沟道, 达到热平衡状态的电子浓度。但是, CCD 电极的下面不存在高浓度的 n^+

扩散区, 因此没有大量少子的来源, 所以加栅压后, 不能立即达到热平衡的状态。也就是不能立即形成强反型层表面沟道, 而只是在栅压的作用下, 首先使表面的空穴很快排开, 产生深耗尽层, 如图 5-54 (a) 的情况。在出现深耗尽层时, 表面电位比热平衡时高, 对电子说来, 势能更低。栅压越高, 耗尽层越深, 表面的电子势能就越低。或者说势阱越深。另一方面, 耗尽层中载流子浓度因低于热平衡浓度, 所以, 耗尽层中有一定的电子-空穴产生率。产生的电子和空穴在电场作用下将向两边漂移, 电子趋向表面, 空穴移向体内。由于这种热激发载流子的积累, 便逐渐向热平衡状态过渡。图 5-54 表示达到热平衡状态的情况, 这时才和 MOS 晶体管处于开启状态的情形相同, 表面出现电子占优势的反型层沟道, 这种情况我们说势阱已被填满。当势阱填满后, 由于电场被表面的电子电荷所屏蔽, 体内的电场便减弱, 耗尽层也就变薄, 同时表面处的电位也随之下降。

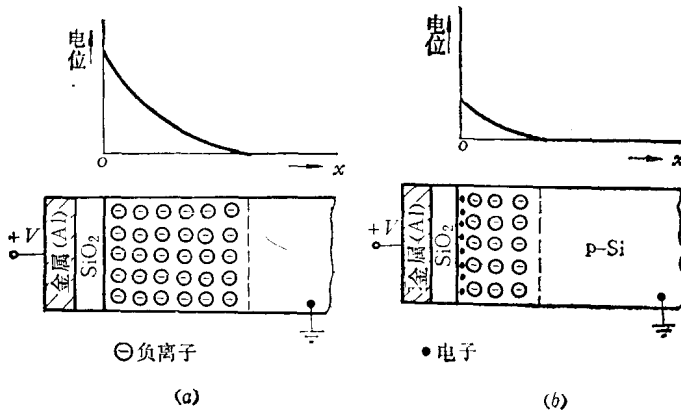


图 5-54 深耗尽层及反型层模型

从深耗尽层到热平衡状态所需的时间与势阱中电子-空穴的产生率有关。也就是与表面处的少子寿命有关, 少子寿命愈长, 过渡到热平衡状态所需的时间也愈长。在常温下, 当少子寿命为微秒数量级时, 达到热平衡所需的时间约 10^{-1} s 左右。

CCD 是在非热平衡条件下工作的器件。如果势阱中没有自由电子 (少子), 我们称它为陷阱。在热平衡状态时, 势阱中的电子 (自由电荷) 达到了最大值, 我们称它为满阱。势阱由陷阱过渡到满阱的过程中, 自由电荷数量是连续变化的, 因此势阱中的电荷量也允许暂时处于从零到热平衡值之间的任何数值。势阱中的自由电荷可以自身产生, 也可以从阱外引入。但是必需注意, 在非热平衡状态时, 由于势阱自身存在产生率, 自由电荷将随时间增长。如用注入势阱的电荷量来表示信息时, 为使不受热产生电荷的干扰, 信息电荷在一个势阱中停留的时间不能太长。一般应比热平衡时间短得多。

2. 三相时钟脉冲驱动下的电荷转移

图 5-55 是三相 CCD 的电荷转移原理图, 图中有 9 个转移电极, 1、4、7 电极接第一相时钟脉冲 ϕ_1 ; 电极 2、5、8 接第二相时钟脉冲 ϕ_2 ; 3、6、9 接第三相时钟脉冲 ϕ_3 。三相时钟脉冲的波形如图 5-55 (d) 所示, 它们之间的相位差为 $T/3$, (T 为时钟脉冲的周期)。图 (a) 表示在时间为 t_1 的瞬间, ϕ_1 为最高电位 V_3 ; ϕ_2 、 ϕ_3 都处于低电位 V_1 。我们假设势阱 1、7 中已引入了电荷; 势阱 4 是空的。这时, 势阱 1、7 两边的势能较高, 所以电荷

就被陷于这两个势阱中，不会转移。图 5-55 (b) 表示时间为 t_2 的情况， ϕ_1 的电位降为 V_2 ， ϕ_2 升到 V_3 ，而 ϕ_3 仍保持在 V_1 。这时电极 1、4、7 的电位低于 2、5、8 的电位，于是 2、5、8 电极下的表面势能最低，势阱 1、7 中的电子便分别向势阱 2、8 转移。势阱 4 原来是空阱，所以没有电荷向势阱 5 转移。因此势阱 5 虽然最深，但仍是空的。图 5-55 (c) 表示 $t = t_3$ 时的势阱情况，信息电荷已右移了一个电极位置，势阱也已恢复到类似图 (a) 的情形。只是深阱的位置和电荷移动了一个电极位置。从 t_1 到 t_3 正好是时钟脉冲 ϕ_2 和 ϕ_1 的相位差，等于时钟脉冲周期 T 的 $1/3$ 。也就是每经 $T/3$ 的时间，信息电荷移动一个电极位置。经过一个周期便移动三个电极的位置。这就相当于三个相邻的电极组成移位寄存器的一位。在 CCD 中，前一位和后一位的耦合完全是靠势阱之间的耦合，不用其它连线。因此 CCD 移位寄存器的布线就显得格外简单。

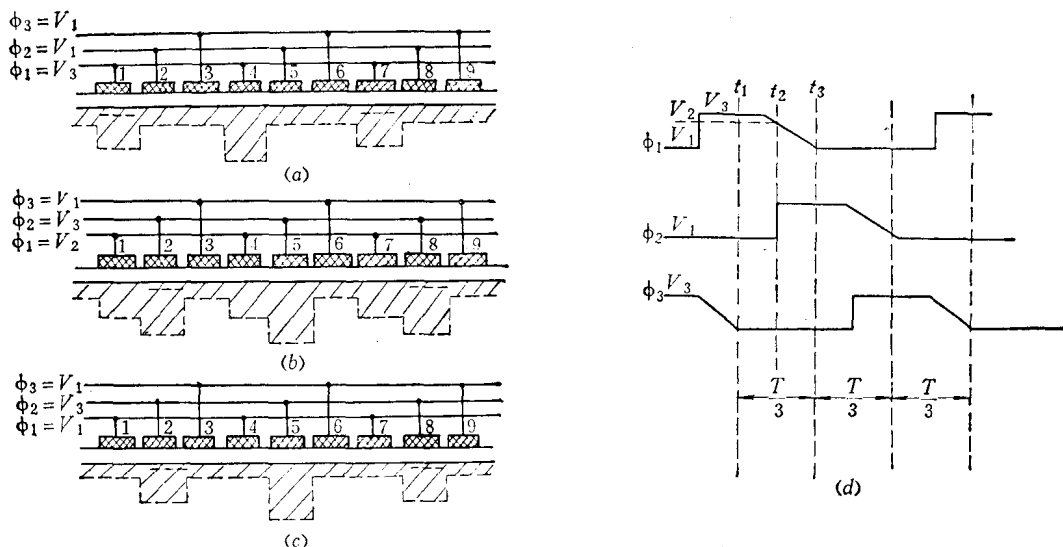


图 5-55 三相 CCD 的电荷转移过程和三相时钟的时序

(a) $t = t_1$; (b) $t = t_2$; (c) $t = t_3$; (d) 三相时钟脉冲的波形。

3. 数据电荷的“写入”和“读出”

用于数字系统的 CCD，我们可以用满阱（或具有一定电荷量的势阱）表示数据“1”，用空阱表示数据“0”。数据的写入和读出通过输入电路和输出电路来实现。图 5-56 是包括输入、输出部分的 CCD 原理图。左边是输入部分，它由输入扩散极和输入控制极组成。

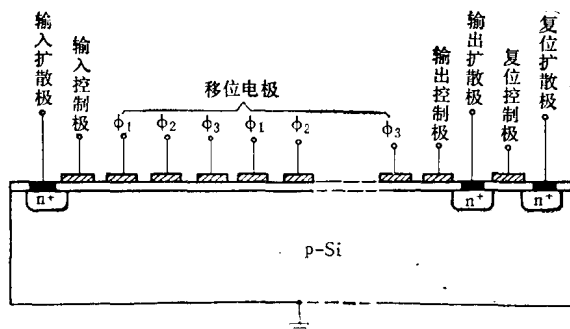


图 5-56 包括输入、输出的 CCD

输入控制极与移位电极一样。工作时, 输入扩散极常加较小的反向偏压, 控制极接输入控制脉冲。脉冲的幅度大于开启电压值。当控制脉冲到来时, 控制栅下的表面势垒降低, n^+ 区的电子便向控制极下转移。如果 ϕ_1 的电位高于输入控制极, 势阱更深, 电子便向第一个 ϕ_1 电极下转移, 达到引入自由电荷的目的。改变输入扩散极的电位, 或改变“控制脉冲”的幅度、宽度都可以改变注入电荷的数量。输入控制脉冲也可改加到输入扩散极, 但极性应相反。当负脉冲到来时, 扩散区的电位下降, 即抬高电子势能, 于是电子便向控制极下低势能处转移, 同样能达到注入电荷的目的。

图 5-56 的右边部分是输出电路, 它包括二个控制栅极和二一个扩散区。数据电荷的读取可以有二种方式, 一种是电流读出, 另一种是电压读出。在采用电流读出方式时, 后面的复位控制栅和复位扩散区不用。只要在输出扩散极串一负载电阻, 电阻的另一端接电源正极, 使扩散结处于反偏状态。当信号电荷(电子)到达结时就被收集, 同时在外回路中产生电流。测量负载电阻上的电压变化就可表明到达电荷数量的多少。输出控制极是用来控制收集到的电荷量, 它常加一固定偏压, 并远大于开启电压, 但低于输出扩散极的电压。电流读出的方式虽然简单, 但是 CCD 电极下的电荷量是很小的, 满阱的自由电荷量还不到 $10^{-12}C$ 。所以检测到的信号电荷很小, 必须用高灵敏度的放大器进行放大。

在用电压读出方式时, 输出扩散区接 MOS 管的栅极, 扩散极不再加偏压和串联电阻。没有直流通路。当被检测的电荷到达扩散极时, 扩散极的电位就发生变化, MOS 管的栅极电位也引起变化, 使 MOS 管的源-漏回路中产生相应的电流变化。电压读出方式比较灵敏, 因为 MOS 管的栅电容很小, 少量的电荷就能引起栅压变化, 所以很容易检测少量电荷。采用电压读出时, 必须用复位电极。在每次检测电荷后, 应在复位栅上加复位正脉冲, 收集的电荷便由复位扩散极泄放, 使输出扩散极恢复到原来的电位。复位扩散极常接固定正电压, 处于全片的最高电位。

二、CCD 的基本参数以及结构上的改进

描述 CCD 性能的主要参数有开启电压、电荷转移效率、工作频率范围和电荷负载量等。

开启电压的含意与 MOS 晶体管相同, 不再重复。

电荷转移效率是指电荷从一个势阱转移到另一势阱时, 电荷转移的百分数。目前可达 99.9999%。

工作频率范围和动态 MOS 移位寄存器类似, 有低频限和高频限。低频限主要与势阱中少子的产生率有关, 即与势阱达到热平衡的时间相联系。工作时, 时钟脉冲周期应远短于热平衡时间。高频限主要受到电荷转移效率的限制。因为工作频率过高, 电荷就来不及完全转移, 造成电荷转移效率的下降。电荷从一势阱向另一势阱转移的速度与少子迁移率、少子的扩散系数以及电极的尺寸都有关系。少子的迁移率和扩散系数愈大, 转移速率就愈快。电极的宽度愈大, 电荷从一个势阱转移到另一个势阱的平均距离就要增加, 使电荷转移时间变长, 影响频率上限。影响转移效率的另一个主要因素往往是表面的陷阱效应。由于半导体表面存在着陷阱, 在势阱中有少数子电荷时, 一部分少数子被陷阱俘获。当势阱中的电荷减少时, 它又逐渐放出来, 但是陷阱释放少数子的时间较长。如果频率过高, 被陷阱俘获的少数子就不能迅速转移, 使转移效率大大下降。表面 CCD 的频率上限主要受表

面陷阱效应的影响。所以后来又发展了体内 CCD。

电荷负载量是表明势阱中能容纳的自由电荷数量，它反映了输出能力。电荷负载量与电极的面积，氧化层厚度，工作电压等都有关系。电极面积越大、氧化层越薄、电极电压愈高，则电荷负载量也愈大。

上述的一些基本参数涉及因数很多，有些是相互牵制的，这里不再仔细分析。下面仅从改进性能方面介绍二种改进的结构。

(1) 二相 CCD 根据 CCD 的基本工作原理，可以看到 CCD 的相邻电极间隔应很小，否则两电极间因电场作用不到而造成少子势垒。少子势垒的存在将阻止电荷的转移，降低转移效率。但是电极间隔受到工艺精度的限制，不易做得很小。为了解决这个问题出现了双层电极结构。图 5-57 是一种双层电极结构。夹在 SiO_2 中间的是多晶硅电极，上面是铝电极，它们依次相隔排列，这种结构的电极间距相当于零。因此电极之间不会产生势垒。这种结构可以采用二相时钟驱动。采用二相时钟驱动时，将相邻的一对上下电极并联。在图 5-57 (a) 中，下电极是在右边，所以右边的势阱较深，电荷只能向右转移。图 5-57 (b) 表示 ϕ_2 的电压大于 ϕ_1 的电压时的势阱分布情况。

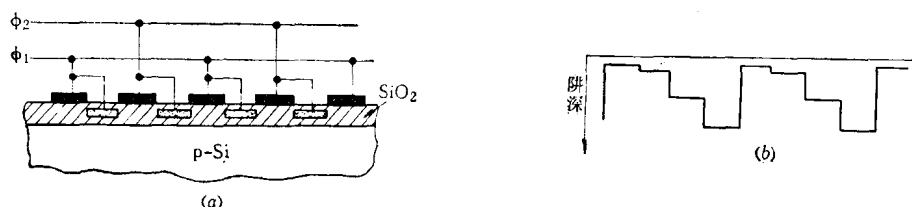


图5-57 二相CCD结构和势阱分布情况
(a) 结构示意图；(b) 势阱分布 (当 $V_{\phi_2} > V_{\phi_1}$ 时)。

(2) 埋沟 CCD 半导体的介面常常对器件带来不良影响。为了使自由电荷的活动区域离开介面，出现了埋沟 CCD。埋沟 CCD 的结构原理如图 5-58 所示。它是在 P 型基片上加一低浓度的 n 型区，在 n 型区两边再制作输入和输出扩散区。运用时，输出扩散区接最高电位，使 P-n 结处于反偏，同时使 n 型区处于正电位。如果控制栅为地电位，则对 n 区说来相当于在控制极上加了负电压，表面便产生一定深度的耗尽层。另一方面，处于反偏的 P-n 结又产生第二个耗尽区。如果电压足够大 (如 30 ~ 40 V)，两边的耗尽层就相接，使电极下的 n 区都成为耗尽区。结果沿 AA' 线的电位分布大致如图 5-59 中的曲线 1。最高电位的位置约离开 Si-SiO₂ 的介面 2 ~ 3 μm 处。也就是电子势能最低的地方不在介

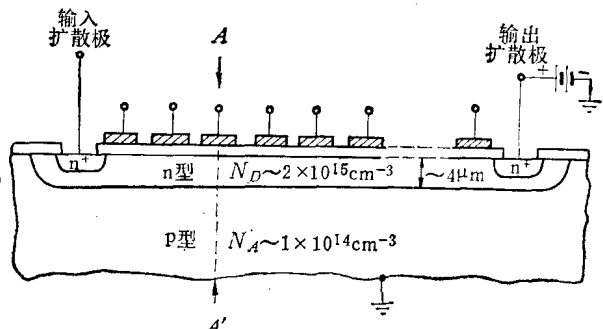


图5-58 埋沟CCD结构

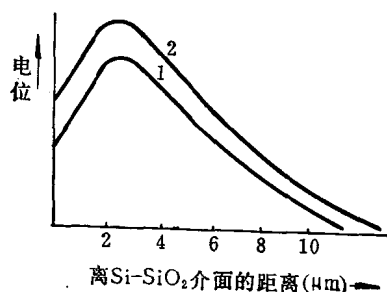


图5-59 电位沿 AA' 线的变化曲线
1—栅压为零；曲线2—栅压为正。

面,而是在体内。这样,电子活动的沟道转入体内,避免了介面对自由电荷的影响。如果提高转移电极 A 的电位,则沿 AA' 线的电位分布也相应变化,成了图 5-59 曲线 2 的情形。因为最高电位处的电子势能最低,因此邻近电极下的电荷便向 A 电极下转移。埋沟 CCD 已经不属少子器件,而是一种多子器件。电子是在 n 型半导体所形成的势阱中转移,并不是在 p 型半导体所形成的势阱中转移。这种埋沟 CCD 的最高工作频率可达 100MHz,而前面所述的表面 CCD 仅 10MHz。

三、CCD 存贮器

最后,介绍一种可访行地址的 CCD 存贮器。CCD 的基本结构就是一个动态移位寄存器。它具有 MOS 动态移位寄存器的基本功能。在动态移位寄存器一节中已经介绍了高位数移位寄存器的应用,它可以作存贮器。但是,由于串行存贮器结构上的特点,访问延迟时间较长。访问延迟时间由被访位所在的位置决定,最长的访问延迟时间等于时钟脉冲的周期与移位寄存器位数的乘积。对于长度为 4096 位的移位寄存器,在频率为 1 MHz 的时钟脉冲驱动下,最长的访问延迟时间约需要 4 ms。但如采用随机存贮器的结构思想,将 4096 位分成若干行,利用行地址码的配合,可使访问延迟时间大大减小。下面对这种 CCD 存贮器作一简单的介绍。

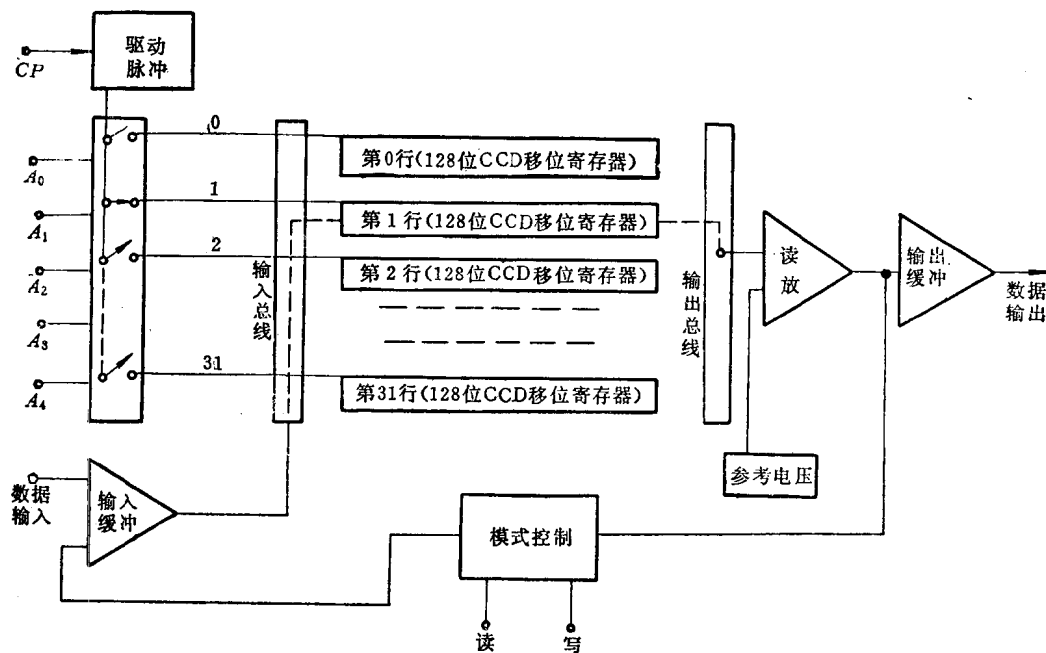


图5-60 可访行地址的CCD存贮器结构图 (4K字×1位)

图 5-60 表示可访行地址存贮器的结构原理。在图中, CCD 移位寄存器的总容量数是 4096 位 (简称 4 K 位)。它构成 4096 字×1 位的存贮器。整个存贮矩阵分为 32 行,每行为 128 位。它们具有公共输入总线和输出总线。与存贮矩阵配合的外围电路自行地址译码器,驱动脉冲发生器,读出电荷放大器 (读放), 输入、输出缓冲器以及读、写、刷新工作模式的控制等电路。它们都由 MOS 电路构成。行地址译码器和驱动脉冲发生器的电路如图 5-61 所示。

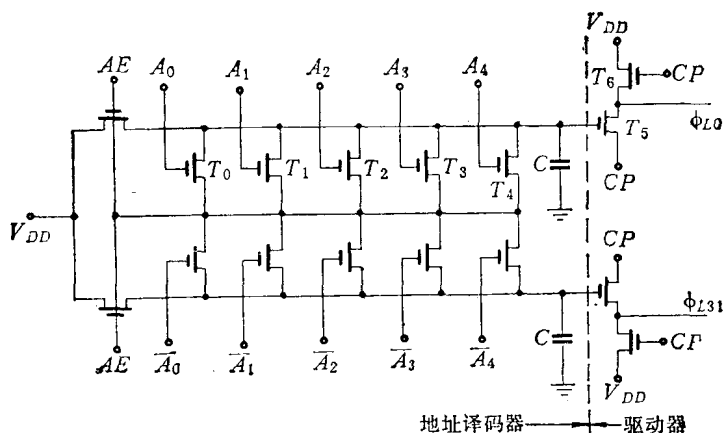


图5-61 行译码和行驱动电路

AE —地址译码的总控制端;

CP —时钟脉冲输入端;

$A_0 \sim A_4$, $\bar{A}_0 \sim \bar{A}_4$ 是地址输入端, 接地址缓冲器的输出。

行译码器是动态“或非”门电路。它的工作情况是: 当 $AE = 1$ 时, 对地址译码输出线上的负载电容 C 进行无条件预充电。当 AE 由“1”转为“0”后, 被选中的一行则因译码输入均为“0”, 所以电容 C 不放电, T_5 管处于通导状态。随着时钟脉冲 CP 的作用, 在输出线 ϕ_L 上就有驱动脉冲出现。未选中的行, 因为当 AE 由“1”转为“0”后, 译码输出线上的电容 C 也随之放电, 驱动电路的输出管 T_5 处于截止状态, 所以驱动输出线 ϕ_L 没有放电的通路, 电平不随 CP 变化, 永远处于“1”状态。行地址译码器的输出电容较大, 连续访问同一行时, 不必重复加 AE 脉冲。只有在改访另一行时需要再加 AE 脉冲。当 AE 由“1”返回“0”以前, 地址输入必须稳定在被访一行的代码。被行地址码选中的一行在时钟脉冲作用下, 随着驱动脉冲的节拍, 电荷就逐位右移。右边最末位的数据电荷便送入读出放大器, 再根据模式控制的情况, 实现读、写或循环操作。未选中的各行, 因为没有驱动脉冲, 它们暂时处于停止状态。采用这种结构, 访问延迟时间便可大大缩短, 最长访问延迟时间只相当于 128 位移位寄存器的延迟时间。如果驱动脉冲的频率为 5 MHz, 则最长访问延迟时间仅 $25.6\mu s$ 。

这种 CCD 移位寄存器的基本单元结构如图 5-62 所示。它只用一相驱动脉冲, 另一相采用直流电源, 直流电源的电压介于驱动脉冲的高电平和低电平之间。CCD 的结构是属埋沟类型。转移电极都是多晶硅材料。电极的接法如图中所示, 相邻两电极并联在一起。左边的电极下有一掺杂浓度较高的区域 (称为注入势垒)。两电极并联时, 虽然电极电位相等, 但注入势垒区因为杂质浓度较高, 所以耗尽层较浅, 也就是势阱比较浅。结果势阱的分布情况将如图 5-62 中所示。当 ϕ_L 为高电平时, 势阱的变化情形如图中的虚线所示。当 ϕ_L 为低电平时, 势阱的变化情形如图中的实线所示。因此, 每来一个驱动脉冲, 数据电荷就从前一个 DC 电极下转移到后一个 DC 电极之下, 也就是移动一位。

图 5-63 给出了每行移位寄存器的整体结构。它包括输入扩散区和输出扩散区。 ϕ_x 加读写控制信号, 当它处于高电平, 而 ϕ_L 处于低电平时, 左边第一个 ϕ_L 电极下的电荷便向

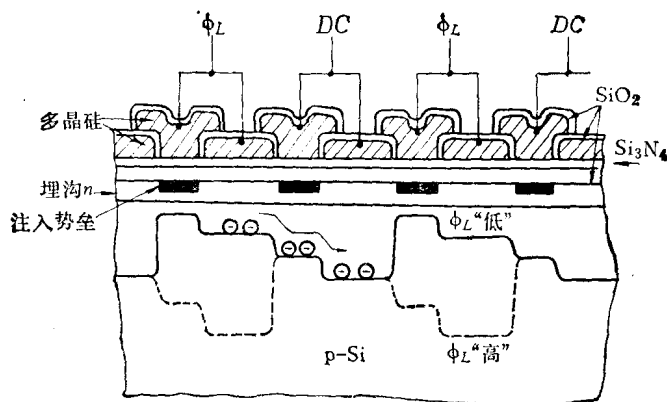


图5-62 CCD移位寄存器的基本单元结构和势阱分布

ϕ_x 电极下转移。当 ϕ_L 由低电平转为高电平时，电荷又向下一个 ϕ_L 电极下转移，达到引入数据电荷的目的。输入偏置电路由二个 MOS 管分压，给输入扩散区 n^+ 提供一个反向偏压 V_s 。

CCD 存储器是一种动态器件，所以每行在规定的间隔时间内必须刷新一次。信息电荷允许在势阱中停留的时间（即暂存时间）由势阱的热平衡时间决定。在室温时，暂存时间约 100ms，也就是在此时间内，每行都必需刷新一遍。

根据上面的讨论，不难想像，如要获得 1024 字 $\times$ n 位的 CCD 存储器，可用 n 个 1024 字 $\times$ 1 位的组合而成。

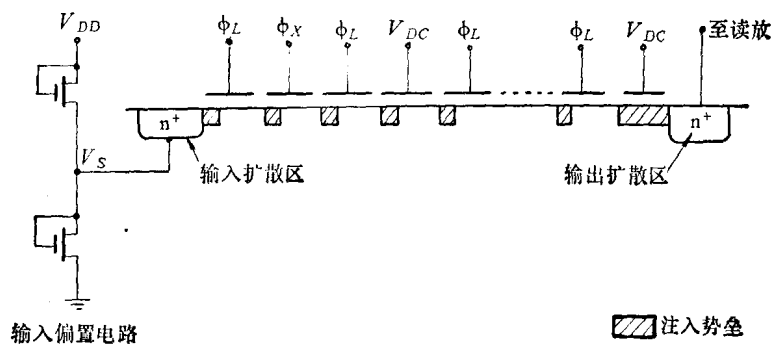


图5-63 一行 CCD 的基本结构