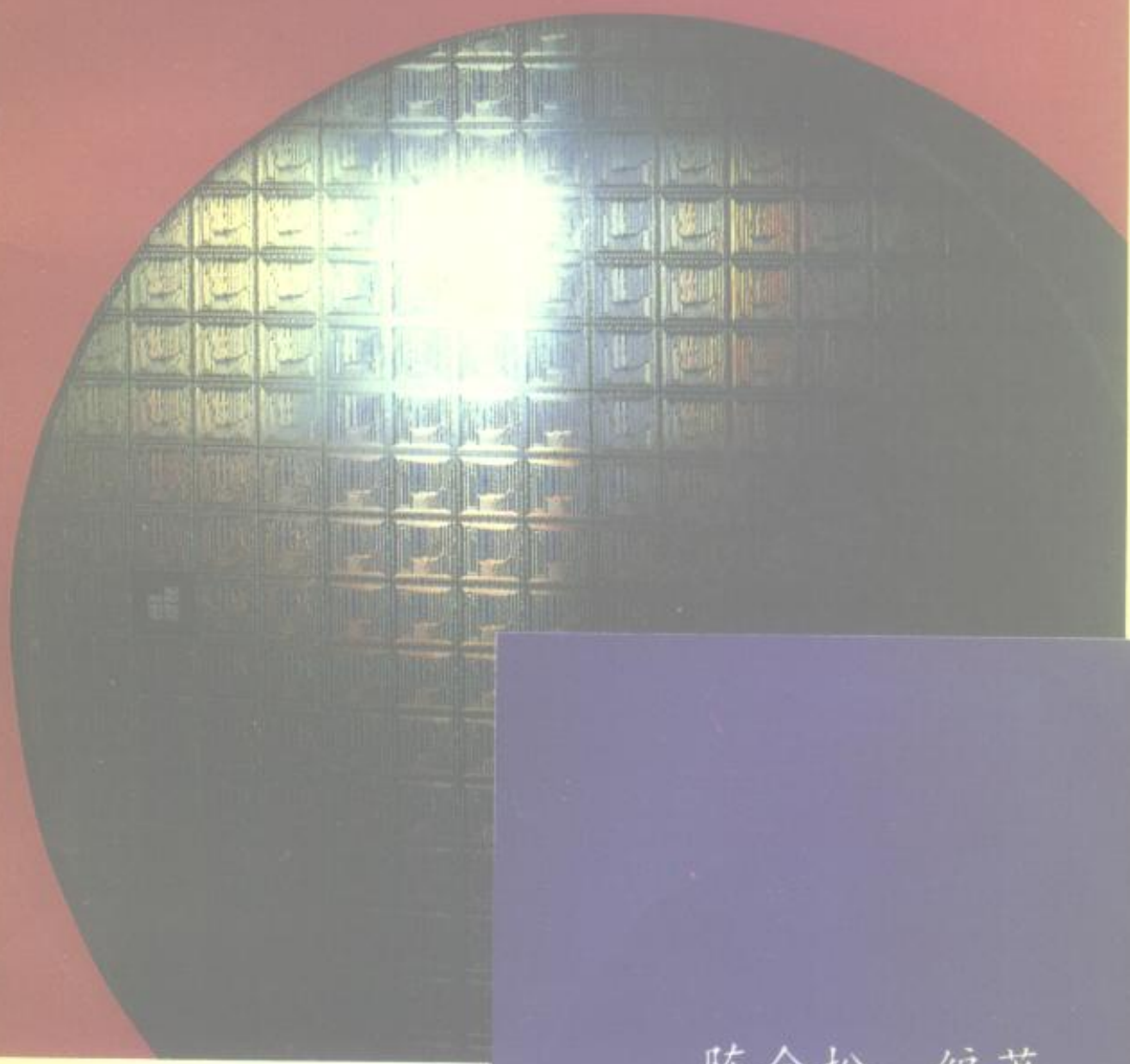


模拟集成电路

(原理、设计、应用)



陈金松 编著

中国科学技术大学出版社

411233
C41

411233

模拟集成电路

(原理、设计、应用)

陈金松 编著



中国科学技术大学出版社

1997·合肥

内 容 提 要

本书结合中国科学技术大学微电子研究室对模拟集成电路多年研究、设计实践编写而成。曾作为讲义在中国科技大学微电子、半导体专业使用多年。

本书以集成运放,模拟集成锁相环为代表,讨论模拟集成电路原理、设计和应用。集成稳压源,D/A、A/D转换器在应用一章也略加介绍。该书特点:强调基础,强调实用,简明浅出,易于自学。

本书可作为高等院校微电子、半导体专业本科生教材,也可供从事模拟集成电路研究,设计和应用的工程技术人员参考。

图书在版编目(CIP)数据

模拟集成电路(原理、设计、应用)/陈金松 编著.—合肥:中国科学技术大学出版社,1997年8月

ISBN 7-312-00899-2

I 模拟集成电路

I 陈金松 编著

II ① 集成电路 ② 模拟电路

IV TP

中国科学技术大学出版社出版发行

(安徽省合肥市金寨路96号,230026)

中国科学技术大学印刷厂印刷

全国新华书店经销

开本:850×1168/32 印张:11.5 字数:297千

1997年8月第1版 1997年8月第1次印刷

印数:1—4000册

ISBN 7-312-00899-2/TP·176 定价:14.60元

前 言

本书原是中国科学技术大学物理系讲义,在中国科学技术大学微电子、半导体等专业使用多年。同时也是近几年来报考中国科学院半导体研究所和中国科技大学物理系微电子学科的研究生,迎考《模拟集成电路》课程复习的主要参考资料。

本书结合中国科技大学微电子研究室多年研究设计实践,参阅了国内外集成电路许多有关著作和相关文献编写而成。其宗旨意在加强基础,强调实用,力求简明浅出。

本书以集成电路运算放大器和模拟集成锁相环为代表讨论模拟集成电路原理、设计和应用。集成稳压源、D/A、A/D 转换器也在应用一章略加介绍。在集成电路运算放大器方面,既讨论双极型集成运放,也讨论 MOS 型集成运放,构成 Bi-Bi-MOS-MOS 系统。

本书共有十二章。第一二章讨论理想集成运放和实际运放;第三章讨论双极型集成运放单元电路;在这基础上,作为单元电路的总结,第四章对 Bi 集成运放典型电路进行分析;第五章讨论双极型模拟集成电路元器件设计;第六章以本单位设计的两种集成运放作为设计实例进行讨论;第七、八章简要讨论集成运放频率特性和参数测试方法;第九章讨论 MOS 集成运放,从 MOS 晶体管到 MOS 集成运放的单元电路,然后再对 Bi-MOS 集成运放、CMOS 集成运放两种典型电路进行分析;第十章讨论模拟集成锁相环。在讨论单元电路的基础上,以本单位设计的一种模拟集成锁相环为例进行分析;第十一章介绍模拟集成电路应用;第十二章习题。

在本书编写过程中,李名复教授、易波副教授、赵特秀教授给予热情帮助并提出许多宝贵的建议;在编写锁相环一章时,还得到

赵天鹏、谢家纯副教授的许多帮助,特此表示衷心感谢。

在编写中还得到陈群,陈莉,林媛,陈新,以及崔智,金西,韩祀
谨等同志的协助,在此也谨致谢意。

由于作者水平所限,书中难免有不妥之处或错误所在,敬请读
者批评指正。

作 者

1996年8月

目 录

第一章 理想集成运放	(1)
1.1 理想集成运放假设条件	(1)
1.2 理想集成运放虚地原理	(2)
1.3 理想集成运放基本反馈电路	(3)
1.3.1 理想运放的倒相反馈电路	(3)
1.3.2 理想运放的非倒相反馈电路	(4)
1.4 理想集成运放基本应用	(5)
第二章 实际集成运放模型	(12)
2.1 实际运放与理想运放的误差.....	(12)
2.1.1 考虑差模电压增益 A_d 为有限值时 ——实际运放与理想运放的误差.....	(12)
2.1.2 考虑共模电压增益 A_c 不为零时 ——实际运放与理想运放的误差.....	(17)
2.1.3 考虑输入失调电压 V_{os} 不为零时 ——实际运放与理想运放的误差.....	(21)
2.2 实际集成运放等效模型.....	(23)
第三章 Bi 集成运放单元电路	(27)
3.1 Bi 晶体管放大器混 π 模型	(27)
3.1.1 共射晶体管放大器混 π 小信号模型	(27)
3.1.2 共射晶体管放大器跨导和输出阻抗.....	(28)
3.2 Bi 集成运放输入级	(31)
3.2.1 共射差分输入级.....	(31)
3.2.2 共集——共基差分输入级.....	(47)
3.2.3 共射——共基差分输入级.....	(51)

3.2.4	达林顿差分输入级	(52)
3.2.5	场效应管差分输入级	(53)
3.3	集成运放中间级	(56)
3.3.1	集成运放恒流源电路	(56)
3.3.2	有源负载	(65)
3.3.3	双端变单端转换电路	(66)
3.3.4	电平移动电路	(69)
3.4	集成运放输出级	(72)
3.4.1	单管射极跟随器输出级	(73)
3.4.2	推挽输出级	(75)
3.4.3	互补输出级	(76)
3.4.4	集成运放输出保护电路	(78)
第四章	Bi 集成运放典型电路	(81)
4.1	$\mu\text{A}741$ 电路结构及工作原理	(81)
4.2	$\mu\text{A}741$ 静态工作点计算	(85)
4.3	$\mu\text{A}741$ 集成运放增益计算	(88)
4.4	$\mu\text{A}741$ 集成运放参数指标	(92)
第五章	Bi 模拟集成电路中的元器件	(94)
5.1	模拟集成电路中的晶体管	(94)
5.1.1	模拟集成电路中的普通晶体管	(97)
5.1.2	模拟集成电路中的横向 pnp 管	(100)
5.1.3	模拟集成电路中的衬底 pnp 管	(109)
5.1.4	模拟集成电路中的高性能 pnp 管	(110)
5.1.5	模拟集成电路中的超 β 晶体管	(113)
5.1.6	模拟集成电路中的 MOS 晶体管	(114)
5.2	模拟集成电路中的二极管	(115)
5.2.1	集成电路中的二极管构成法	(115)
5.2.2	五种接法的二极管击穿电压	(117)
5.2.3	五种二极管反向漏电流	(117)

5.2.4	五种二极管电容	(118)
5.3	模拟集成电路中的电阻	(120)
5.3.1	基区扩散电阻	(121)
5.3.2	夹层沟道电阻	(126)
5.3.3	发射区扩散电阻	(127)
5.4	模拟集成电路中的电容	(127)
第六章	模拟集成电路设计实例	(130)
6.1	KD203 集成运放电路设计	(130)
6.1.1	KD203 电路结构及工作原理	(131)
6.1.2	KD203 电路静态工作点计算	(132)
6.1.3	KD203 开环电压增益计算	(136)
6.1.4	KD203 电路设计特点及参数指标	(140)
6.2	KD203 集成运放版图设计	(142)
6.2.1	模拟集成电路版图设计一般原则	(142)
6.2.2	模拟集成电路版图特殊设计方法	(146)
6.2.3	KD203 集成运放版图设计	(148)
6.3	集成运放 KD207 低漂移设计	(154)
6.3.1	KD207 电路结构与工作原理	(155)
6.3.2	KD207 输入失调电压推导	(157)
6.3.3	KD207 集成运放低漂移设计	(160)
6.3.4	KD207 两级增益分配	(171)
6.3.5	KD207 集成运放主要参数性能	(173)
第七章	集成运放频率特性	(175)
7.1	集成运放开环频率特性	(175)
7.1.1	单级放大器开环频率特性	(175)
7.1.2	多级放大器开环频率特性	(179)
7.2	集成运放闭环自激振荡条件	(182)
7.2.1	负反馈放大器的基本关系式	(182)
7.2.2	闭环自激振荡产生的条件	(183)

7.2.3	集成运放闭环稳定性判据	(184)
7.3	集成运放频率补偿	(186)
7.3.1	简单大电容补偿法	(187)
7.3.2	密勒小电容补偿法	(188)
第八章	集成运放参数测试	(191)
8.1	输入失调电压 V_{os} 测试	(191)
8.1.1	失调电压反馈测试法	(191)
8.1.2	V_{os} 辅助运放测试法	(192)
8.2	输入失调电流 I_{os} } 输入偏置电流 I_b } 测试	(194)
8.2.1	I_{os}, I_b 反馈测试法	(195)
8.2.2	I_{os}, I_b 辅助运放测试法	(197)
8.3	开环电压增益测试	(198)
8.3.1	开环电压增益反馈测试法	(199)
8.3.2	开环电压增益辅助运放测试法	(200)
8.4	共模抑制比 CMRR 测试	(202)
8.4.1	CMRR 反馈测试法	(202)
8.4.2	辅助运放法测试 CMRR	(205)
8.5	集成运放转移特性测试	(207)
8.6	集成运放上升速率 SR 测试	(208)
第九章	MOS 集成运放	(210)
9.1	MOS 晶体管	(210)
9.1.1	MOS 晶体管结构及工作原理	(210)
9.1.2	MOS 晶体管特性方程和特性曲线	(215)
9.1.3	MOS 晶体管阈值电压	(218)
9.1.4	MOS 晶体管主要参数	(228)
9.1.5	MOS 晶体管低频小信号模型	(236)
9.2	MOS 集成运放单元电路	(237)
9.2.1	MOS 有源电阻	(237)

9.2.2	有源负载 MOS 单级放大器	(240)
9.2.3	MOS 恒流源电路	(243)
9.2.4	MOS 差分输入级	(246)
9.2.5	MOS 源极跟随器	(253)
9.2.6	MOS 集成运放输出级	(255)
9.3	Bi-MOS 集成运放典型电路	(259)
9.3.1	CA3130 电路结构和工作原理	(260)
9.3.2	CA3130 低频增益计算	(262)
9.3.3	CA3130 主要参数指标	(265)
9.4	全 MOS 集成运放典型电路	(266)
9.4.1	ICL7613 电路结构及工作原理	(267)
9.4.2	ICL7613 主要参数性能	(269)
第十章	模拟集成锁相环	(271)
10.1	锁相环基本原理	(271)
10.1.1	锁相环构成	(271)
10.1.2	锁相环工作原理	(272)
10.2	模拟集成锁相环单元电路	(274)
10.2.1	模拟集成 PLL 中的鉴相器	(274)
10.2.2	模拟集成 PLL 中的压控振荡器	(282)
10.2.3	模拟集成 PLL 中的环路滤波器	(287)
10.3	模拟集成锁相环电路分析	(290)
10.3.1	KD8041H 电路结构与工作原理	(290)
10.3.2	KD8041H 的鉴相器	(293)
10.3.3	KD8041H 的压控振荡器	(294)
10.3.4	KD8041H 主要参数指标	(298)
第十一章	模拟集成电路应用	(300)
11.1	集成运放用作《比较器》	(300)
11.1.1	过零电压比较器	(301)
11.1.2	施密特触发器	(302)

11.1.3	窗口比较器	(304)
11.2	集成运放用作《直流稳压源》	(305)
11.2.1	集成运算稳压源基本原理	(306)
11.2.2	单电源集成运放稳压源	(307)
11.2.3	双电源集成运放稳压源	(307)
11.3	集成运放用作《波形发生器》	(309)
11.3.1	正弦波发生器	(309)
11.3.2	方波发生器	(311)
11.3.3	三角波发生器	(316)
11.4	集成运放用作《有源滤波器》	(319)
11.4.1	有源低通滤波器	(319)
11.4.2	有源高通滤波器	(321)
11.4.3	有源带通滤波器	(322)
11.5	集成运放用作《D/A, A/D》转换器	(324)
11.5.1	集成运放用作 D/A 转换器	(324)
11.5.2	集成运放用作 A/D 转换器	(329)
11.6	模拟集成锁相环用作《跟踪滤波器》	(332)
11.7	模拟集成锁相环用作《调频信号解调器》	(334)
11.8	模拟集成锁相环用作《倍频器》	(336)
第十二章	习题	(338)
	主要参考文献	(355)

第一章 理想集成运放

集成电路运算放大器(简称集成运放)是一种高增益直接耦合放大器,是最基本、最有代表性、应用最广泛的一种模拟集成电路。当它外加反馈回路后,便可构成诸如倒相器、比例器、加法器、减法器、积分器、微分器、对数放大器、指数放大器等各种功能的运算电路,广泛地应用于现代电子技术的各个领域。为了便于对集成运放及其应用有个基本了解,本章先简要讨论“理想集成运放”以及它的“虚地原理”,然后列举出理想集成运放反馈应用的几种例子。

1.1 理想集成运放假设条件

图 1.1 代表运算放大器的符号。现代集成运放通常具有两个输入端,一个输出端。(一)端为倒相输入端,它表示输出讯号与输入讯号反相。(+)端为非倒相输入端,它表示输出讯号与输入讯号同相。

一个理想的运算放大器,它必须具备下列条件:

- ①差模电压增益 A_d 为无穷大;
- ②共模电压增益 A_c 为零;
- ③输入阻抗 R_i 为无穷大;
- ④输出阻抗 R_o 为零;
- ⑤有无限的带宽,传输时无相移;
- ⑥失调、温漂、噪声均为零。

当然,这仅仅是理想的假设,在实际集成运放中是达不到的。

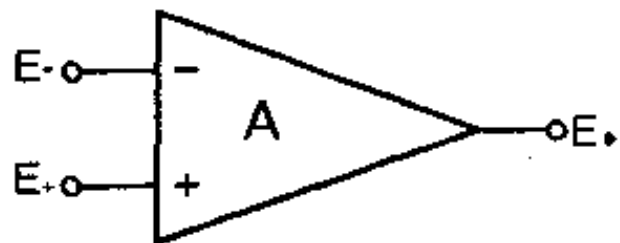


图 1.1 运放符号

1.2 理想集成运放的虚地原理

集成运放的虚地原理,是一个很简单的原理,但在集成运放应用中却是很重要的,是分析运放电路的重要依据.下面就此进行讨论.

根据图 1.1,可以写出运放的输出电压 E_0 与输入电压 E_- 、 E_+ 之间的关系式

$$E_0 = -A_d(E_- - E_+) - A_c \frac{E_- + E_+}{2} \quad (1.1)$$

其中: E_- 为倒相输入电压, E_+ 为非倒相输入电压, E_0 为输出电压, A_d 为差模开环电压增益, A_c 为共模电压增益.

根据理想运放的假设条件,理想运放的共模电压增益 A_c 为零,所以(1.1)式可以写成

$$E_- - E_+ = -\frac{E_0}{A_d} \quad (1.2)$$

同时又因为差模电压增益 $A_d \rightarrow \infty$,所以 $E_- - E_+ \rightarrow 0$,这说明理想运放的两个输入端:(-)端和(+)端之间的电位差趋于 0,如果把(+)端接“地”,那么(-)端也可以看成“地”,但不是真正“地”,所谓似“地”非“地”,我们称之为“虚地”.这个原理就叫做“虚地原理”.这里要指出的是, $A_d \rightarrow \infty$ 与数学上无穷大的意义不相同,这

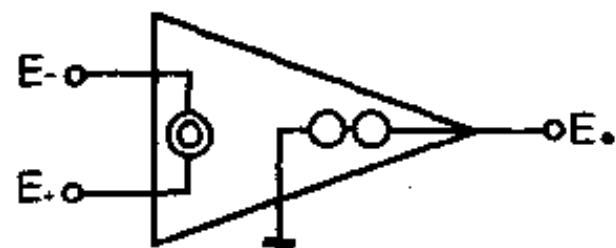


图 1.2 理想运放等效模型

里 $A_d \rightarrow \infty$ 只是说明输入端的电位差 $E_- - E_+$ 跟输出端电压 E_0 相比是充分小,小到可以忽略不计的程度.

根据理想运放的假设条件,可以得出两个输入端电压差为 0,偏流为 0,所以输入端

可以用所谓“零子”表示;再按(1.1)式,当 $A_d \rightarrow \infty$, $A_c \rightarrow 0$, $E_- - E_+$

$\rightarrow 0$, 可以得出 $E_o = -\infty \cdot 0$, 因此 E_o 是待定的, 运放的输出端可以用“任意子”表示. 这样理想运放的等效电路可以画成图 1.2 形式, 图 1.2 即所谓“理想运放等效模型”.

1.3 理想运放的基本反馈电路

运算放大器在实际运用时, 常常加以一定形式的反馈电路, 形成闭环系统, 其中最基本的是两种负反馈电路.

1.3.1 理想运放的倒相反馈电路

倒相反馈电路如图 1.3 表示. 根据理想运放的虚地原理, Σ 为“虚地点”. 其电路可以化简为图 1.4 形式. 很容易得出

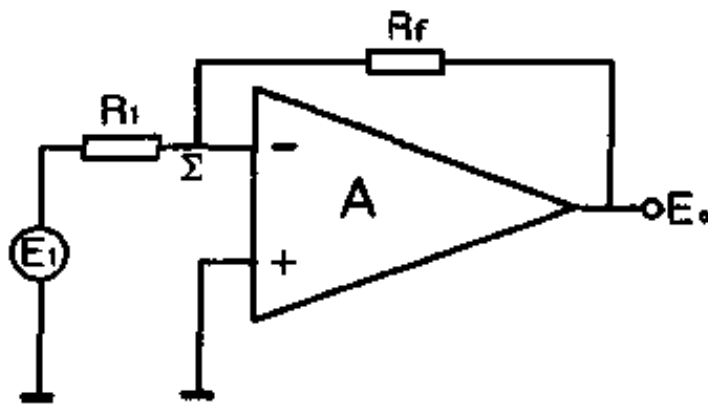


图 1.3 理想运放倒相反馈电路

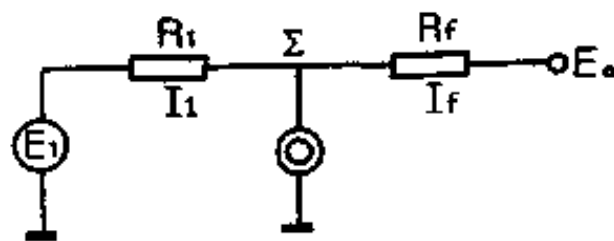


图 1.4 图 1.3 的等效电路

$$\frac{E_0}{E_1} = -\frac{R_f}{R_1} \quad (1.3)$$

(1.3)式表明倒相反馈增益为 $\frac{R_f}{R_1}$,并倒相.

1.3.2 理想运放的非倒相反馈电路

图 1.5 为非倒相反馈电路. 根据理想运放的虚地原理, Σ 点为“虚地点”, 其电路即可以改成图 1.6 形式. 则可得出

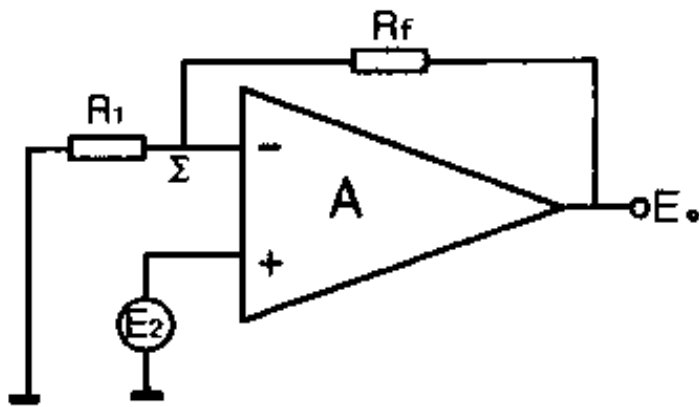


图 1.5 非倒相反馈电路

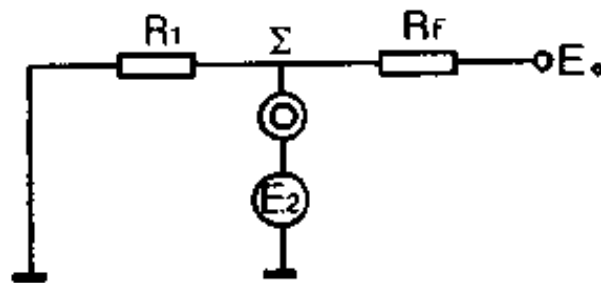


图 1.6 图 1.5 的等效电路

$$V_{\Sigma} = E_2 = \frac{R_1}{R_1 + R_f} E_0$$

$$\frac{E_0}{E_2} = 1 + \frac{R_f}{R_1} \quad (1.4)$$

(1.4)式表明非倒相反馈闭环增益为: $1 + \frac{R_f}{R_1}$, 且同相.

1.4 理想集成运放基本应用

根据理想运放的虚地原理,本节将概括地例举几种主要应用电路.在上一节讨论了理想运放两种基本反馈电路,可以看到,在基本反馈电路中,只要更换不同的反馈元件 R_f 和输入元件 R_1 ,则可实现各种不同的数学运算.

(1) 倒相器

如图 1.7,按(1.3)式,只要令 $R_f=R_1=R$,则有

$$\frac{E_o}{E_i} = -\frac{R}{R} = -1 \quad (1.5)$$

即 $E_o = -E_i$ 实现了倒相功能.

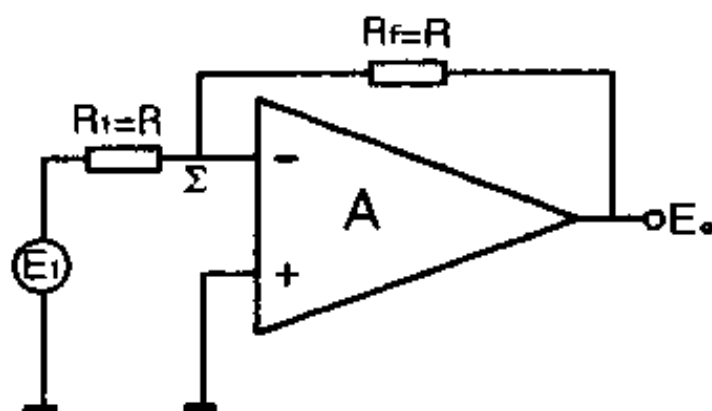


图 1.7 倒相器

(2) 比例器

如图 1.8,按(1.3)式,当 $R_f=KR, R_1=R$ 时(K 为比例常数),

则有
$$\frac{E_o}{E_i} = -K, \quad E_o = -KE_i \quad (1.6)$$

说明输出讯号与输入讯号成比例关系,即构成了比例器.

(3) 加法器

在(-)端上外接多个电阻 $R_1, R_2, \dots, R_n, E_1, E_2, \dots, E_n$ 为输

入电压,如图 1.9. 根据理想运放假设条件,输入端电流 $i_{\lambda}=0$, 所以有

$$i_1 + i_2 + \dots + i_n = i_f \quad (1.7)$$

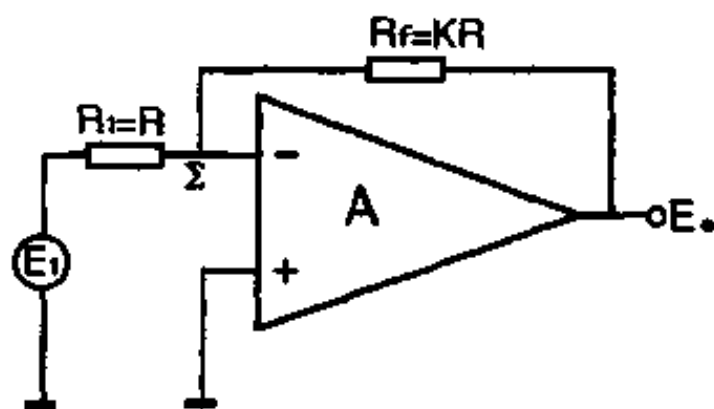


图 1.8 比例器

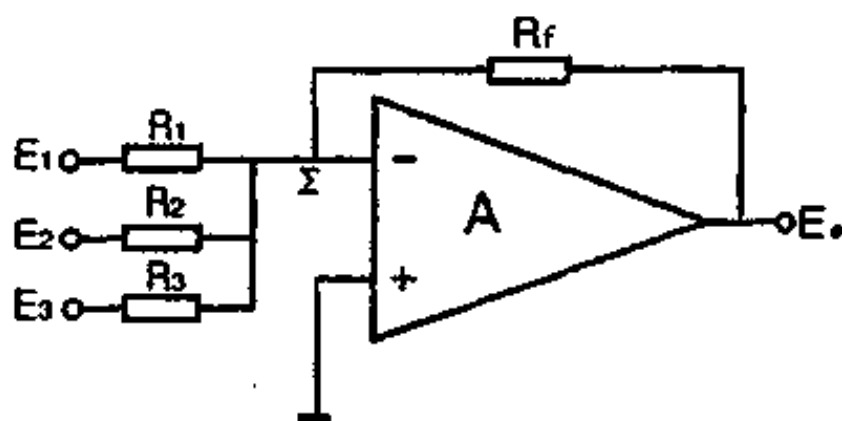


图 1.9 加法器

再根据理想运放的虚地原理, Σ 为“虚地点”。

$$i_f = -\frac{E_0}{R_f}, \quad i_1 = \frac{E_1}{R_1}, \quad i_2 = \frac{E_2}{R_2}, \quad \dots \quad i_n = \frac{E_n}{R_n} \quad (1.8)$$

把(1.8)式代入(1.7)式, 得出

$$E_0 = -\left(\frac{R_f}{R_1} E_1 + \frac{R_f}{R_2} E_2 + \dots + \frac{R_f}{R_n} E_n \right) \quad (1.9)$$

说明输出讯号 E_0 是输入讯号 E_1, E_2, \dots, E_n 比例相加结果, 如果取 $R_1 = R_2 = \dots = R_n = R$, 那么有

$$E_0 = -\frac{R_f}{R}(E_1 + E_2 + \dots + E_n) \quad (1.10)$$

即输出讯号 E_0 与输入讯号 E_1, E_2, \dots, E_n 之和成正比关系, 构成了加法器.

(4) 减法器

在运放的(-)端和(+)端分别同时输入讯号 E_1, E_2 , 并令 $R'_f = R_f, R'_1 = R_1$, 如图 1.10. 根据虚地原理, Σ 为虚地点.

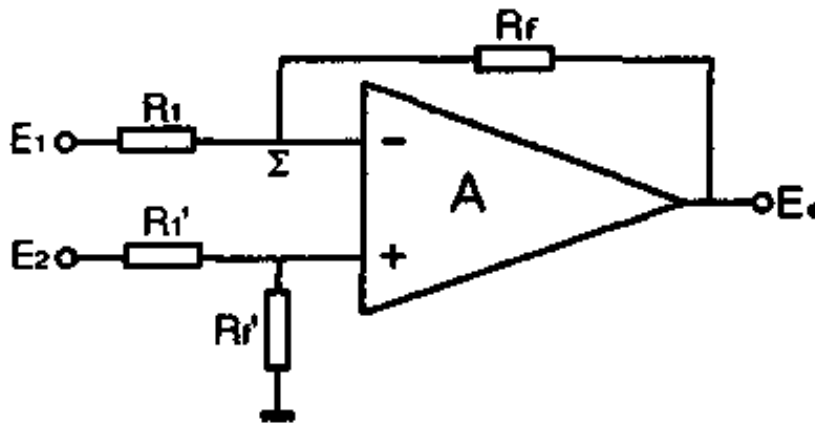


图 1.10 减法器

$$E_- = E_+ = \frac{R'_f}{R'_f + R'_1} E_2 \quad (1.11)$$

又因为理想运放, $i_\lambda = 0$, 所以 $i_1 = i_f$

$$\frac{E_1 - E_-}{R_1} = \frac{E_- - E_0}{R_f} \quad (1.12)$$

把(1.11)式中的 E_- 值代入(1.12)得

$$E_0 = \frac{R_f}{R_1}(E_2 - E_1) \quad (1.13)$$

说明输出讯号 E_0 跟输入讯号 E_2, E_1 之差成比例关系, 即所谓减法器.

(5) 积分器

所谓积分器是指放大器输出电压与输入电压成积分关系. 要实现这种关系, 只要把图 1.3 中的 R_f 换成电容 C , 即可构成积分

器电路. 如图 1.11.

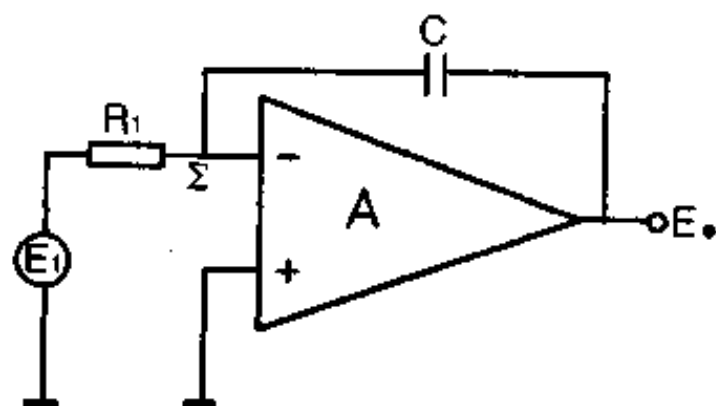


图 1.11 积分器

按虚地原理, Σ 为“虚地点”, 因此有

$$E_0 = -V_c$$

而

$$dV_c = \frac{dq}{C}, \quad dq = i_c(t)dt$$

所以

$$E_0 = -V_c = -\frac{1}{C} \int i_c(t)dt \quad (1.14)$$

由于是理想运放, 所以

$$i_\lambda = 0, \quad i_c = i(t) = \frac{E_1}{R_1}$$

代入(1.14)式得出

$$E_0 = -\frac{1}{\tau} \int_0^t E_1 dt \quad (1.15)$$

式中 $\tau = R_1 C$ 为积分时间常数. (1.15)式可以看出输出电压 E_0 与输入电压 E_1 成积分关系.

(6) 微分器

所谓微分器是指输出电压与输入电压成微分关系. 要实现这种关系, 只需把图 1.3 中的输入电阻 R_1 改为电容 C , 即可构成微分器. 如图 1.12.

按虚地原理, Σ 为“虚地点”. 则有

$$E_0 = -R_f \cdot i_f(t), \quad E_1 = V_c$$

又由于 $i_\lambda = 0$, 所以 $i_c = i_f$.

因此

$$\begin{aligned} E_0 &= -R_f i_f(t) = -R_f i_c(t) = -R_f \cdot \frac{CdV_c}{dt} \\ &= -R_f C \frac{dE_1}{dt} \end{aligned} \quad (1.16)$$

可见输出与输入成微分关系, 即构成了微分器.

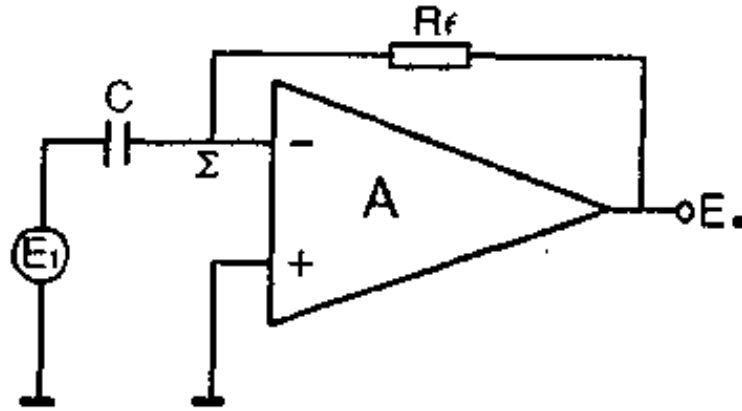


图 1.12 微分器

(7) 对数放大器

所谓对数放大器是指放大器的输出电压与输入电压成对数关系. 对此, 只要把图 1.3 中的反馈电阻改为三极管 T, 即构成了对数放大器. 如图 1.13 所示.

同样, 按虚地原理, Σ 为虚地点. 又由于假设了运放是理想的, 所以输入端电流 $i_\lambda = 0$, 因此有 $I_c = i_1 = \frac{E_1}{R_1}$. 再按晶体管原理, 有

$$I_c \approx I_e = I_s \left(e^{\frac{qV_{BE}}{KT}} - 1 \right) \approx I_s e^{\frac{qV_{BE}}{KT}}$$

$$V_{BE} = \frac{KT}{q} \ln \frac{I_c}{I_s}$$

而 $E_0 = -V_{CE} = -V_{BE}$

$$\therefore E_0 = -\frac{KT}{q} \ln \frac{I_c}{I_s} = -\frac{KT}{q} \ln \frac{E_1}{R_1 I_s}$$

令 $A = -\frac{KT}{q}$, $B = \frac{KT}{q} \ln R_1 I_s$, 则得

$$E_0 = A \ln E_1 + B \quad (1.17)$$

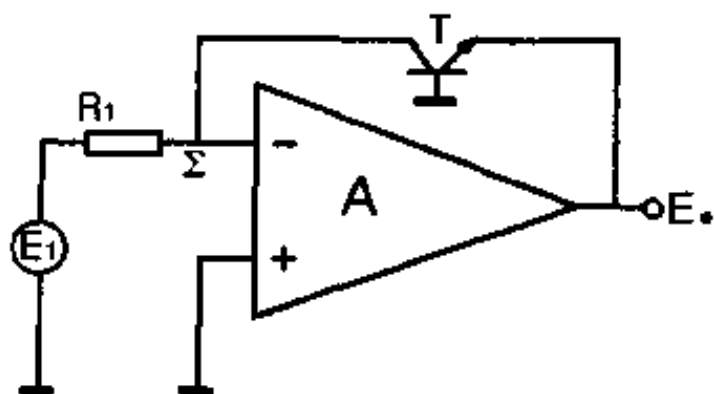


图 1.13 对数放大器

(8) 指数放大器

所谓指数放大器是指输出电压与输入电压成对数的反函数即指数关系. 为此只要把图 1.3 中输入电阻 R_1 更换成晶体管 T 即可构成指数放大器, 如图 1.14 所示.

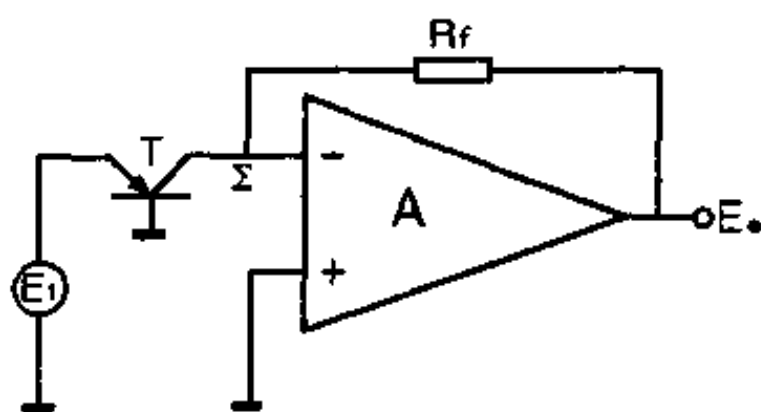


图 1.14 指数放大器

按虚地原理, Σ 为虚地点.

$$i_f = I_c \approx I_{cs} e^{\frac{qV_{BE}}{KT}} = I_{cs} e^{\frac{qE_1}{KT}}$$

$$E_o = -R_f i_f = -R_f I_{cs} e^{\frac{qE_1}{KT}} \quad (1.18)$$

上式说明输出 E_o 与输入 E_1 成指数关系。

上述例举了理想运放的几种应用, 以让读者对集成运放用途有个初步了解. 在举例中, 我们反复地运用了理想运放的虚地原理, 说明它是集成运放应用中一个既简单又重要的原理. 但在这里要指出的是所有这些分析都基于运放是理想的, 它必须满足理想运放的假设条件. 如果运放不是理想的, 会有什么样的结果, 会带来什么样的误差? 关于这个问题, 将在下一章进行详细讨论.

第二章 实际集成运放模型

上一章讨论了理想运放的假设条件,但在实际中,这些条件不可能“理想”地达到,而只能渐渐趋近于这些条件,也就是说“理想运放”是不存在的.实际运放跟假想中的理想运放总存在着“偏差”.例如,实际集成运放差模开环电压增益不是无穷大,而是一个有限值;它的输入阻抗也不是无穷大,输出阻抗也不可能为零;失调电压、失调电流、温漂、噪声等也不是零;共模抑制比也是有限值等等.集成电路和工艺设计者的任务就是根据实际要求,在某一项或某几项集成电路参数性能方面做得更接近于理想集成运放.但是无论如何跟理想运放相比都会存在“偏差”,只不过不同的运放,“偏差”程度不同而已.在这一章里,我们首先讨论实际运放跟理想运放的偏差,最后导出实际集成运放的等效模型.

2.1 实际运放与理想运放的误差

2.1.1 考虑差模电压增益 A_d 为有限值时 ——实际运放与理想运放的误差

如果差模开环电压增益 A_d 不是理想的无穷大,而是一个有限值,那么实际集成运放跟理想的运放将有误差,“虚地点”要进行移动.

(1) “虚地点”的修正

按(1.1)式
$$E_o = -A_d(E_- - E_+) - A_c \frac{E_- + E_+}{2}$$

现在假设 A_d 是有限值, 但共模电压增益 A_c 值仍然假定为零, 则有

$$E_o = -A_d(E_- - E_+)$$

$$E_- - E_+ = -\frac{E_o}{A_d} \neq 0$$

$$E_- - E_+ - \left(-\frac{E_o}{A_d}\right) = 0 \quad (2.1)$$

而理想运放是 $E_- - E_+ = 0$. 因此实际集成运放的“虚地点”要产生移动. 如图 2.1 所示. 等效于在实际运放里面套上一个理想运放,

图中 $V_1 = -\frac{E_o}{A_d}$.

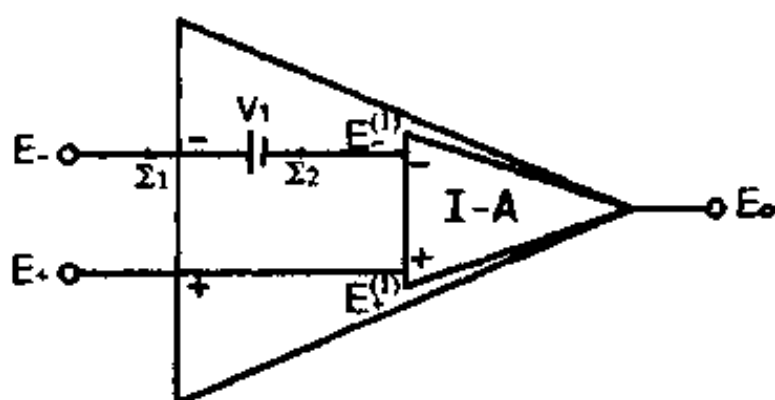


图 2.1 考虑 A_d 影响后的实际运放模型

由图可得

$$(E_- - E_+) - (E_-^{(1)} - E_+^{(1)}) - \left(-\frac{E_o}{A_d}\right) = 0$$

或改写成

$$(E_-^{(1)} - E_+^{(1)}) - \left[(E_- - E_+) - \left(-\frac{E_o}{A_d}\right) \right] = 0$$

由(2.1)式可知

$$E_- - E_+ - \left(-\frac{E_o}{A_d}\right) = 0$$

所以

$$E_-^{(1)} - E_+^{(1)} = 0 \quad (2.2)$$

(2.2)结果表明,实际运放的虚地点不在 Σ_1 ,而是移动到 Σ_2 点.

(2) 倒相反馈闭环增益误差

当考虑到差模开环电压增益 A_d 为有限值后,倒相反馈电路由图 1.3 更改为图 2.2,它的简化电路为图 2.3 表示.此时 Σ_1 点不是虚地点.由于仍然假定输入阻抗 R_{in} 为无穷大.因此

$$I_1 = 0, \quad \therefore i_1 = i_f$$

$$i_1 = \frac{E_1 - \left(-\frac{E_0}{A_d}\right)}{R_1}, \quad i_f = \frac{-\frac{E_0}{A_d} - E_0}{R_f}$$

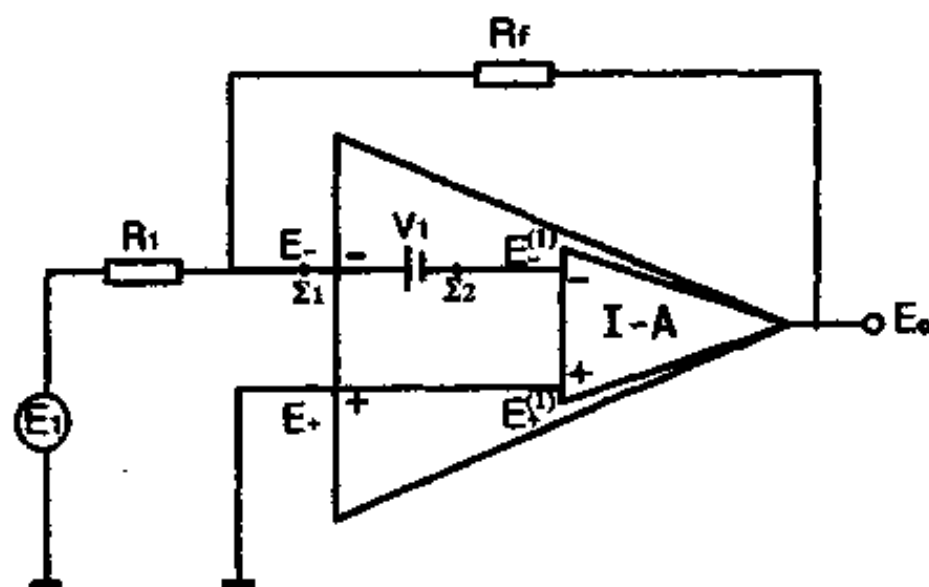


图 2.2 考虑 A_d 影响后的倒相反馈等效电路

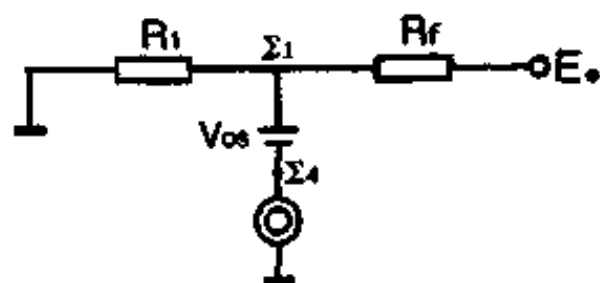


图 2.3 图 2.2 的等效电路

(请注意:图 2.3 和图 2.12 排版颠倒)

两式相等得出

$$\frac{E_0}{E_1} = \frac{-\frac{R_f}{R_1}}{1 + \frac{1}{A_d\beta}} \quad (2.3)$$

式中

$$\beta = \frac{R_1}{R_1 + R_f}$$

由于 $-1 < \frac{1}{A_d\beta} < 1$, 可把 $\left(1 + \frac{1}{A_d\beta}\right)^{-1}$ 用泰勒展开, 并略去高阶小量后, (2.3) 式写成

$$\frac{E_0}{E_1} = -\frac{R_f}{R_1} \left(1 - \frac{1}{A_d\beta}\right) \quad (2.4)$$

现在来比较一下理想运放和考虑 A_d 为有限值后的实际运放的倒相反馈增益

$$\begin{cases} \frac{E_0}{E_1} = -\frac{R_f}{R_1} & \text{理想运放} \\ \frac{E_0}{E_1} = -\frac{R_f}{R_1} \left(1 - \frac{1}{A_d\beta}\right) & \text{实际运放} \end{cases}$$

可以看到误差项为 $\epsilon = \frac{1}{A_d\beta}$. 说明一个实际运放差模开环电压增益 A_d 越大, 误差项越小. 当 A_d 为无限大时, $\epsilon = 0$, 即为理想的情况; 同时也可以看到, 当运放闭环反馈运用时, 反馈越深, ϵ 越小, 精度越高.

(3) 同相反馈闭环增益误差

考虑 A_d 为有限值后, 同相反馈电路由图 1.5 改为图 2.4, 虚地点由 Σ_1 移动到 Σ_2 点. 它的简化电路如图 2.5 表示. 由图 2.5 可以写出

$$\begin{aligned} E_2 + \left(-\frac{E_0}{A_d}\right) &= \frac{R_1}{R_1 + R_f} E_0 \\ \frac{E_0}{E_2} &= \frac{\frac{R_1 + R_f}{R_1}}{1 + \frac{1}{A_d\beta}} \approx \frac{R_1 + R_f}{R_1} \left(1 - \frac{1}{A_d\beta}\right) \end{aligned} \quad (2.5)$$

(2.5)式表示当考虑 A_d 为有限值后同相反馈闭环增益. 而理想运放同相反馈闭环增益由(1.4)式表示即 $\frac{E_o}{E_2} = \frac{R_1 + R_f}{R_1}$. 比较(1.4)式和(2.5)式, 误差项也为

$$\epsilon = \frac{1}{A_d \beta}$$

式中

$$\beta = \frac{R_1}{R_1 + R_f}$$

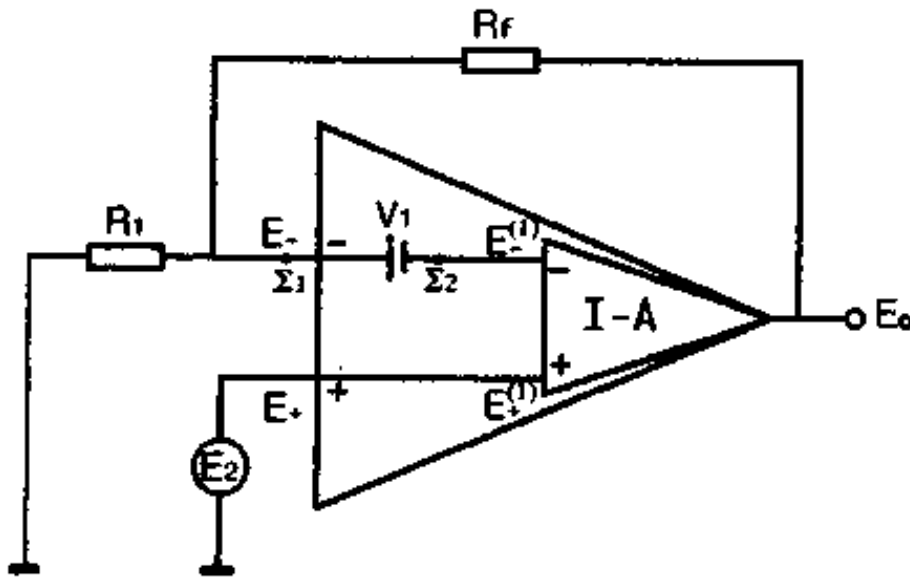


图 2.4 考虑 A_d 影响后同相反馈等效电路

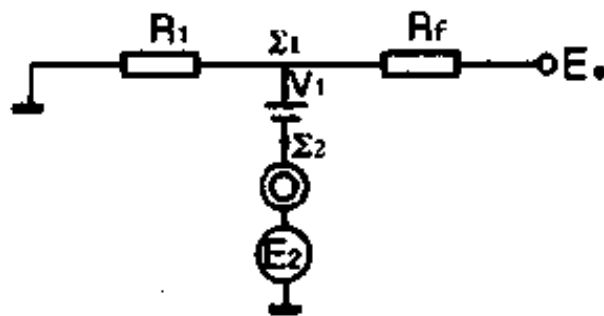


图 2.5 图 2.4 的等效电路

2.1.2 考虑共模电压增益 A_c 不为零时

——实际运放与理想运放的误差

上面我们讨论了差模开环电压增益 A_d 不是无穷大,而是有限值,其它参数仍为理想情况下引起的误差.这一节再同时考虑共模电压增益 A_c 也不为零时的情况.

(1) 虚地点进一步修正

由(1.1)式

$$\begin{aligned} E_o &= -A_d(E_- - E_+) - A_c \frac{E_- + E_+}{2} \\ &= -A_d \left[(E_- - E_+) + \frac{A_c}{A_d} \cdot \frac{E_- + E_+}{2} \right] \end{aligned}$$

在这里引进一个参数 $\text{CMRR} = \frac{A_d}{A_c}$ 叫做共模抑制比.它是差模电压增益 A_d 与共模电压增益 A_c 之比.这样上式可以写成

$$(E_- - E_+) - \left(-\frac{E_- + E_+}{2\text{CMRR}} \right) - \left(-\frac{E_o}{A_d} \right) = 0$$

令

$$V_1 = -\frac{E_o}{A_d}, \quad V_2 = -\frac{E_- + E_+}{2\text{CMRR}}$$

则有

$$(E_- - E_+) - V_2 - V_1 = 0 \quad (2.6)$$

而理想运放 $E_- - E_+ = 0$.因此当同时考虑 A_d 为有限值, A_c 不为零时,虚地点要再次发生移动.如图 2.6 所示.

现在来求出虚地点位置.从图 2.6 得

$$(E_- - E_+) - (E_-^{(2)} - E_+^{(2)}) - V_2 - V_1 = 0$$

$$(E_-^{(2)} - E_+^{(2)}) - [(E_- - E_+) - V_2 - V_1] = 0 \quad (2.7)$$

由(2.6)式可知

$$(E_- - E_+) - V_2 - V_1 = 0$$

$$\therefore E_-^{(2)} - E_+^{(2)} = 0 \quad (2.8)$$

可见“虚地点”由 Σ_1 移动到 Σ_3 点.

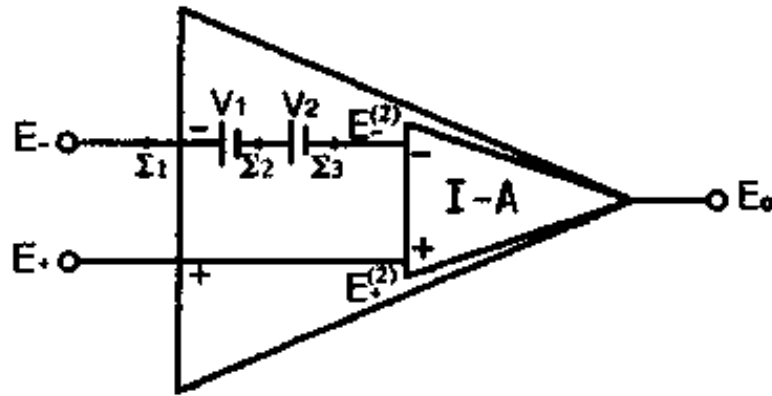


图 2.6 考虑 A_d, A_c 影响后的实际运放等效模型

(2) 同相反馈闭环增益误差

考虑 A_d 为有限值, A_c 不为零时, 同相反馈电路由图 1.5 改为图 2.7 所示.

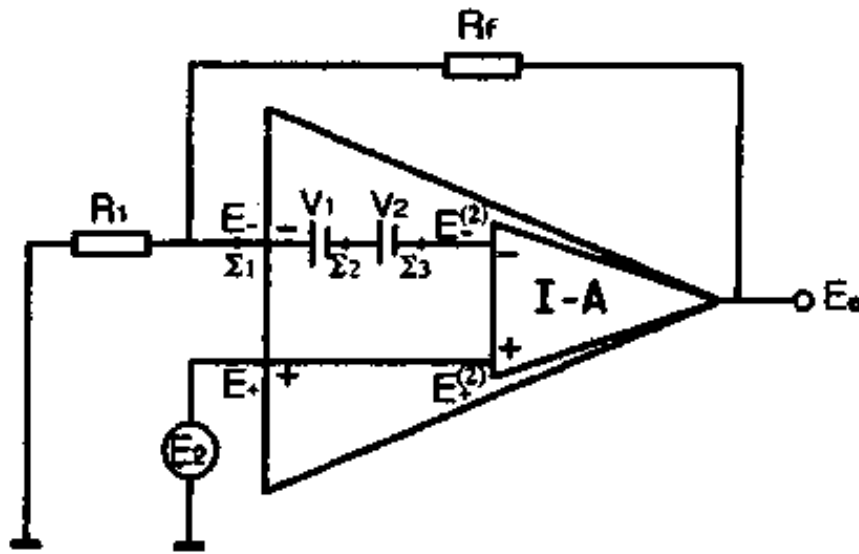


图 2.7 考虑 A_d, A_c 影响后同相反馈等效电路

现在来求这种非倒相反馈闭环增益的误差, 由简化电路图 2.8 可得

$$\begin{aligned}
E_- &= V_1 + V_2 + E_2 = -\frac{E_0}{A_d} - \frac{E_- + E_+}{2\text{CMRR}} + E_2 \\
&= -\frac{E_0}{A_d} + E_2 - \frac{E_-}{2\text{CMRR}} - \frac{E_2}{2\text{CMRR}} \\
E_- \left(1 + \frac{1}{2\text{CMRR}} \right) &= E_2 \left(1 - \frac{1}{2\text{CMRR}} \right) - \frac{E_0}{A_d} \\
E_- &= E_2 \frac{\left(1 - \frac{1}{2\text{CMRR}} \right)}{\left(1 + \frac{1}{2\text{CMRR}} \right)} - \frac{\frac{E_0}{A_d}}{\left(1 + \frac{1}{2\text{CMRR}} \right)} \quad (2.9)
\end{aligned}$$

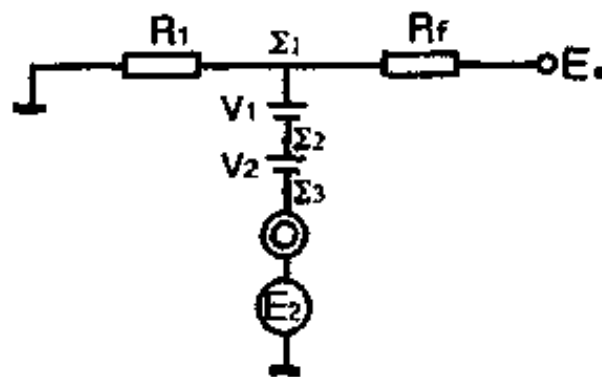


图 2.8 图 2.7 的等效电路

泰勒展开 $(1+x)^n$ 项, 略去二次小项后得

$$E_- = E_2 \left(1 - \frac{1}{2\text{CMRR}} \right) \left(1 - \frac{1}{2\text{CMRR}} \right) - \frac{E_0}{A_d} \left(1 - \frac{1}{2\text{CMRR}} \right)$$

再略去高阶小量后得

$$E_- = E_2 \left(1 - \frac{1}{\text{CMRR}} \right) - \frac{E_0}{A_d} \quad (2.10)$$

另一方面

$$E_- = \frac{R_1}{R_1 + R_f} E_0 \quad (2.11)$$

(2.10)与(2.11)两式右边相等, 即

$$\frac{R_1}{R_1 + R_f} E_0 = E_2 \left(1 - \frac{1}{\text{CMRR}} \right) - \frac{E_0}{A_d}$$

$$\begin{aligned} \therefore \frac{E_0}{E_2} &= \left(\beta + \frac{1}{A_d} \right)^{-1} \left(1 - \frac{1}{\text{CMRR}} \right) \\ &= \frac{\frac{1}{\beta}}{1 + \frac{1}{A_d \beta}} \left(1 - \frac{1}{\text{CMRR}} \right) \end{aligned}$$

其中
$$\beta = \frac{R_1}{R_1 + R_f}$$

把 $\left(1 + \frac{1}{A_d \beta} \right)^{-1}$ 泰勒展开略去高阶小量后得到

$$\frac{E_0}{E_2} = \left(1 + \frac{R_f}{R_1} \right) \left(1 - \frac{1}{\text{CMRR}} - \frac{1}{A_d \beta} \right) \quad (2.12)$$

由(1.4)式可知理想运放同相反馈闭环增益为 $\frac{E_0}{E_2} = 1 + \frac{R_f}{R_1}$, 所以当考虑到差模开环电压增益 A_d 为有限值, 共模电压增益 A_c 不为零时, 实际运放跟理想运放非倒相反馈闭环增益相对误差为:

$$\epsilon = \left(\frac{1}{\text{CMRR}} + \frac{1}{A_d \beta} \right) \quad (2.13)$$

如果把非倒相的反馈回路接成跟随组态, 如图 2.9 所示.

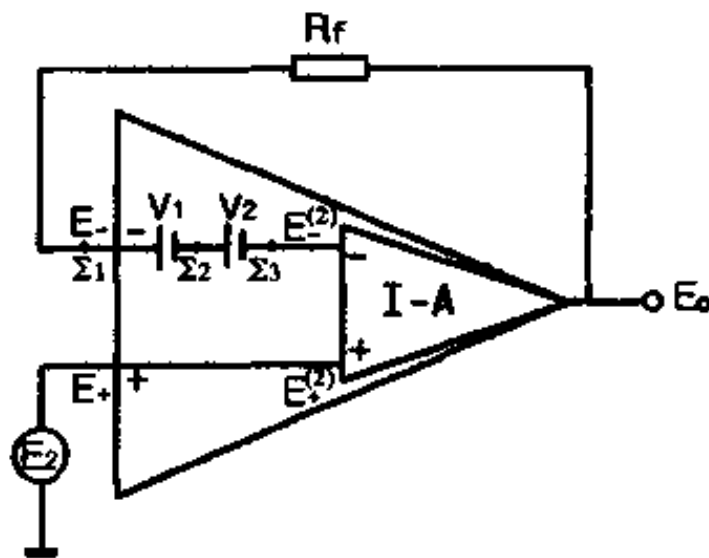


图 2.9 考虑 A_d, A_c 影响后跟随组态等效电路

$$\beta = \frac{R_1}{R_1 + R_f} = 1$$

则有
$$\frac{E_0}{E_2} = 1 - \frac{1}{\text{CMRR}} - \frac{1}{A_d} \quad (2.14)$$

现在来分析(2.14)式各项的物理意义:

第一项表示理想的跟随器;

第二项表示由于共模电压增益 A_c 不为零(即共模抑制比 CMRR 不是无穷大)而引起的跟随误差;

第三项表示由于差模电压增益 A_d 为有限值而引起的跟随误差.

从(2.14)式也可以看到,如果某种集成运放共模抑制比 CMRR 为 80 db,差模开环电压增益 A_d 为 120 db,接成跟随器使用.那么由于 CMRR 引起的跟随误差为万分之一,而由 A_d 引起的跟随误差为百万分之一.因此总的跟随误差主要由共模抑制比决定.所以一个高级集成运放应设计成共模抑制比 CMRR 和开环电压增益 A_d 在相近的数量级上.

2.1.3 考虑输入失调电压 V_{os} 不为零时

——实际运放与理想运放的误差

如果先假定共模电压增益 A_c 为零.根据第一章的(1.1)式,则有 $E_0 = -A_d(E_- - E_+)$,说明当输入电压 $(E_- - E_+) = 0$ 时,输出电压 E_0 也应为零,实际上不是这样,当 $(E_- - E_+) = 0$ 时,输出端 E_0 不为零,而是有一个值.我们把这种现象叫做“失调”.如果把不为零的输出电压 E_0 折合到输入端,这个电压值称为集成运放输入失调电压,常用符号 V_{os} 表示.这样就有

$$E_- - E_+ - V_{os} = -\frac{E_0}{A_d} \quad (2.15)$$

如果再假定 A_d 为无穷大,那么有

$$E_- - E_+ = V_{os} \quad (2.16)$$

因此引进失调电压 V_{os} 后,实际集成运放的虚地点要从 Σ_1 移动到 Σ_2 点,如图 2.10 所示.

当考虑失调电压后,输入电压为零时,反馈电路由图 2.11 表示. 由其等效电路图 2.12, 可以求出闭环输出电压 E_o 与 V_{os} 关系.

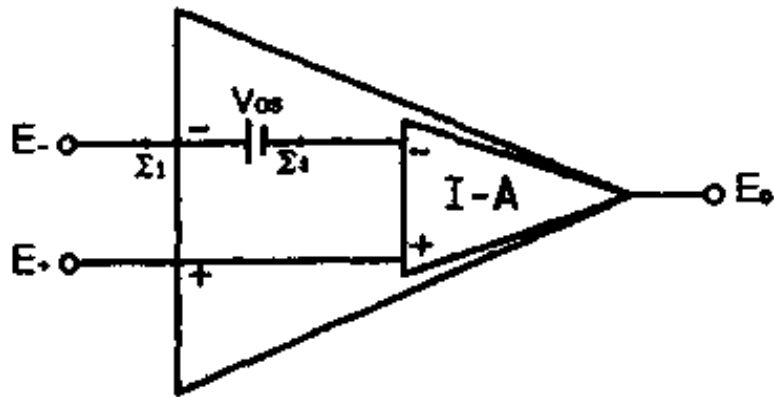


图 2.10 考虑 V_{os} 存在后实际运放等效模型

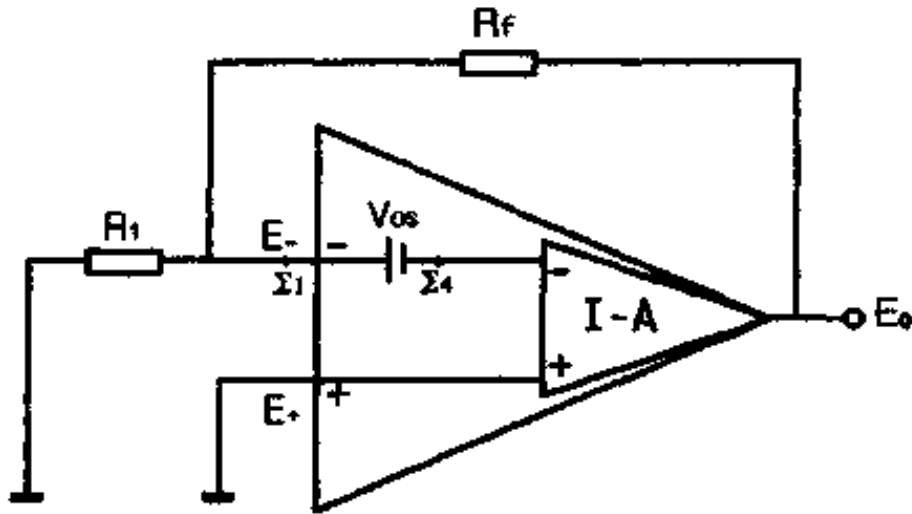


图 2.11 闭环输出 $E_o \sim V_{os}$ 关系

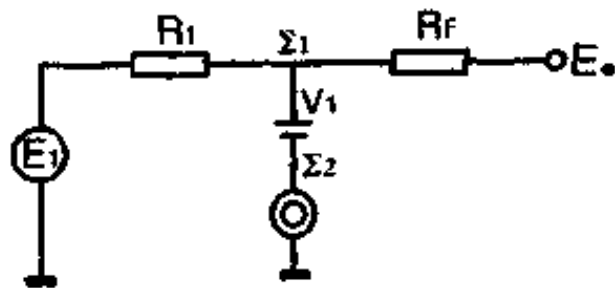


图 2.12 图 2.11 等效电路

$$V_{os} = \frac{R_1}{R_1 + R_f} E_o$$

$$E_o = \left(1 + \frac{R_f}{R_1} \right) V_{os} \quad (2.17)$$

说明此时的输出 E_o 相当于运放失调电压 V_{os} 被闭环增益所放大。这个结果常被用来测试集成运放输入失调电压 V_{os} 。

当同时考虑 A_d, A_c, V_{os} 影响后, 实际运放的等效电路如图 2.13。如果再考虑实际运放的其它参数影响, “虚地点” 还将进一步作出修正。

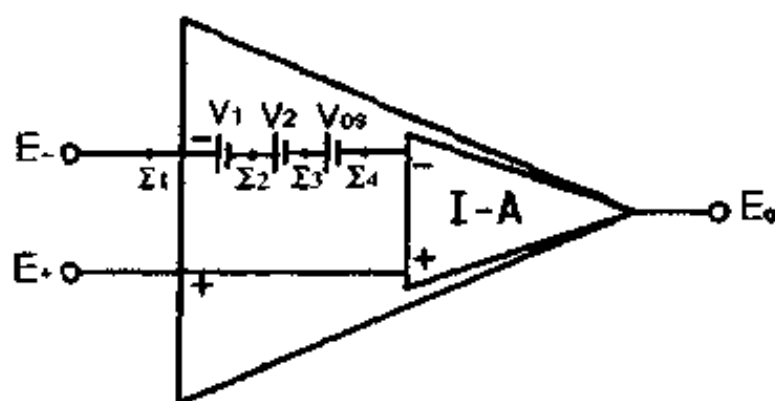


图 2.13 考虑 A_d, A_c, V_{os} 影响后实际运放模型

2.2 实际集成运放等效模型

上面考虑了差模电压增益 A_d , 共模电压增益 A_c , 输入失调电压 V_{os} 的影响后, 实际运放所引起的误差。可以用同样的方法, 再考虑差模输入阻抗 R_{id} , 基极注入电流 I_b , 输入失调电流 I_{os} 的影响, 所引起的实际运放误差。综合这些参数影响后, 可以画出实际集成运放近似等效模型如图 2.14 所示。

图中: V_{os} —— 输入失调电压。它是指输入为零时, 输出端出现的直流电压换算到输入端的电压值。

I_b —— 输入偏置电流。实际运放中, 输入阻抗总为有限值, 所

以输入端总有一部分电流流入, 如用 I_{b1}, I_{b2} 分别表示流入(-)端和(+)端的电流, 那么 I_b 就定义为 $I_b =$

$$\frac{I_{b1} + I_{b2}}{2}$$

I_{os} ——输入失调电流. 指输出电压为零时, 两个输入端输入电流之差, 即 $I_{os} = I_{b1} - I_{b2}$.

A_d ——差模开环电压增益.

CMRR——共模抑制比.

E_- ——倒相输入端对地电位.

E_+ ——非倒相输入端对地电位.

E_{ic} —— $E_{ic} = \frac{E_- + E_+}{2}$ 共模输入电压.

E_{id} —— $E_{id} = E_- - E_+$ 差模输入电压.

I ——输入讯号电流.

R_{id} ——差模输入阻抗.

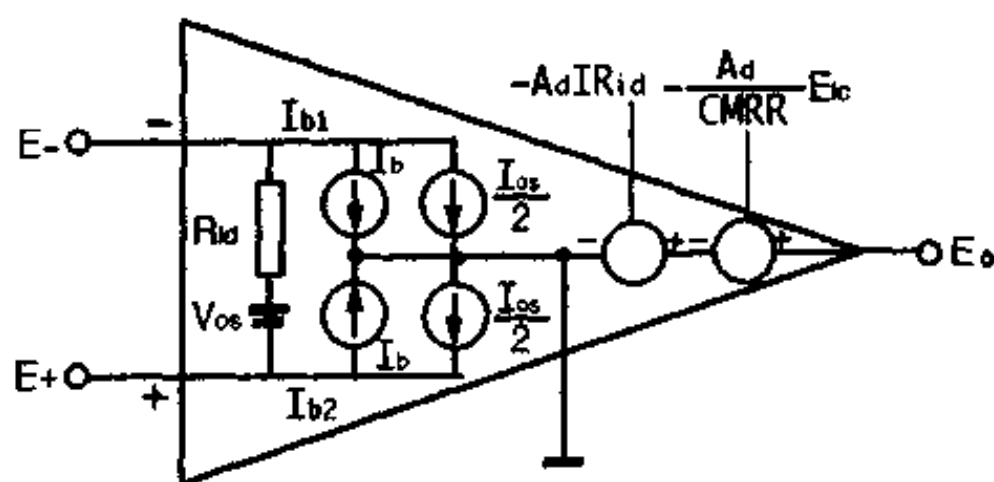


图 2.14 实际集成运放等效模型

在这个《模型》中, 我们做了如下假设:

①差模开环电压增益 A_d , 共模抑制比 CMRR, 输入阻抗 R_{id} 都是有限值.

②输入失调电压 V_{os} , 偏置电流 I_b , 失调电流 I_{os} 都不为零.

③ 输出阻抗 R_o 很小, 共模输入阻抗 R_{ic} 很大, 即 $R_o \rightarrow 0$, $R_{ic} \rightarrow \infty$.

在这个《模型》中, 由于考虑到运放两个输入端之间存在着有限的差模输入阻抗 R_{id} , 这样在实际运放的两个输入端之间存在着 R_{id} 和 V_{os} . 所以可以用电阻 R_{id} 及电压源 V_{os} 串接表示; 运放的输入偏置电流用 I_b 表示; 以 I_{os} 表示失调电流. 在输出端的两个电压源则分别表示输出电压差模与共模分量.

现在来验证这个《模型》的正确性.

当考虑 A_d, A_c, V_{os} 影响后, 运放的模型已由图 2.13 给出. 从图 2.13 可以得到

$$E_- - E_+ - V_{os} - \left(-\frac{E_{ic}}{\text{CMRR}} \right) - \left(-\frac{E_o}{A_d} \right) = 0$$

$$E_o = -A_d(E_- - E_+ - V_{os}) - \frac{A_d}{\text{CMRR}} E_{ic} \quad (2.18)$$

——输出跟输入关系式

$$E_- - E_+ = V_{os} - \frac{E_o}{A_d} - \frac{E_{ic}}{\text{CMRR}} \quad (2.19)$$

——输入跟输出关系式

现在我们从图 2.14 等效模型中得出输出与输入, 输入与输出关系式, 看其结果是否跟 (2.18), (2.19) 式相一致.

由图 2.14 可以写出

$$E_o = -\frac{A_d}{\text{CMRR}} E_{ic} - A_d I R_{id} \quad (2.20)$$

而 $E_- - E_+ = I R_{id} + V_{os}$ $I R_{id} = E_- - E_+ - V_{os}$

代入 (2.20) 式得出

$$E_o = -A_d(E_- - E_+ - V_{os}) - \frac{A_d}{\text{CMRR}} E_{ic} \quad (2.21)$$

——输出跟输入关系式

$$E_- - E_+ = V_{os} - \frac{E_o}{A_d} - \frac{E_{ic}}{\text{CMRR}} \quad (2.22)$$

——输入跟输出关系式

可见由图 2.14 模型中得出两个关系式与由图 2.13 得出的结果完全一样。

现在再从图 2.14 模型中看实际运放的其它参数。

$$I_{b_1} = I_b + \frac{I_{os}}{2} \quad (2.23)$$

$$I_{b_2} = I_b - \frac{I_{os}}{2} \quad (2.24)$$

两式相加得出
$$I_b = \frac{I_{b_1} + I_{b_2}}{2} \quad (2.25)$$

这个结果正是基极输入偏置电流 I_b 的定义。

两式相减得出
$$I_{os} = I_{b_1} - I_{b_2} \quad (2.26)$$

这也正是输入失调电流 I_{os} 的定义。

第三章 Bi 集成运放单元电路

在第一二章我们讨论了理想集成运放和实际集成运放的运算误差,其目的是给集成运放的使用者提供应用的依据,涉及内容仅仅是集成运放的外部问题,而从事微电子技术的研究工作者和工程技术人员,更重要的是要研究集成运放的内部构成,设计和研制出各种高性能的集成运放,以满足应用上的不同要求.为此,本书将把集成运放的内部结构的分析和研究作为重点.这一章先讨论双极型(Bipolar)集成运放(简称 Bi 集成运放)单元电路,这些单元电路不但对分析和设计集成电路运算放大器是重要的,而且也是其它模拟集成电路的“积木块”.

3.1 Bi 晶体管放大器混 π 模型

为后面章节的电路分析和 Bi 集成运放的增益计算方便,本节我们先讨论双极型晶体管放大器混 π 小信号模型.

3.1.1 共射晶体管放大器混 π 小信号模型

图 3.1 为共射单管放大器混 π 小信号模型等效电路.图中 $r_x = r'_{bb}$, 为基区电阻

$$r_x = (1 + \beta)r_e \quad (3.1)$$

其中 r_e 为 eb 结正向电阻.

$$g_m = \left. \frac{\partial I_C}{\partial V_{BE}} \right|_{V_{CE} = \text{常数}} = \frac{\beta}{1 + \beta} \cdot \frac{1}{r_e} \approx \frac{1}{r_e} \quad (3.2)$$

为晶体管跨导

$$\because V_x = i_b r_x = (1 + \beta)r_e \cdot i_b$$

∴ $g_m V_x = \beta i_b$, 其中, β 为共射电流放大系数.

$$r_o = \left. \frac{\partial V_{CE}}{\partial I_C} \right|_{I_b = \text{常数}} = \frac{V_A}{I_C} = \frac{V_T}{\eta I_C} \quad (3.3)$$

为共射晶体管输出阻抗

其中 $V_T = \frac{KT}{q} \approx 26\text{mV}$ ($T = 300\text{K}$ 时), V_A —欧拉(Early)

电压; η —欧拉系数.

$\left\{ \begin{array}{l} \text{对于 npn 晶体管 } \eta_{\text{nnp}} \approx 2 \times 10^{-4} \\ \text{对于 pnp 晶体管 } \eta_{\text{pnp}} \approx 5 \times 10^{-4} \end{array} \right.$

共射输入阻抗

$$r_{in} = r_x + r_\pi = r'_{in} + (1 + \beta)r_x \quad (3.4)$$

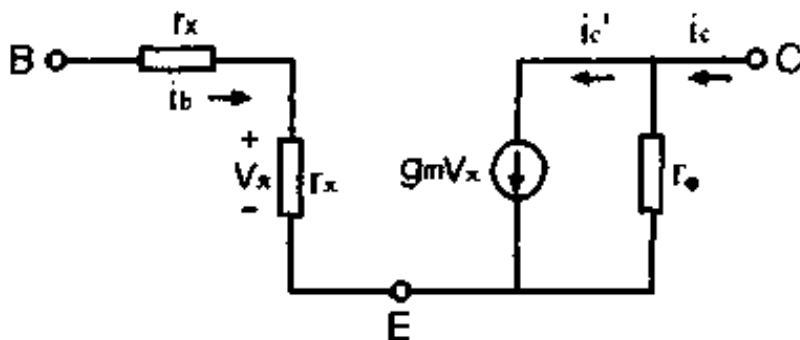


图 3.1 共射晶体管混 π 模型

3.1.2 共射晶体管放大器跨导和输出阻抗

在这一节我们将用双极型晶体管混 π 小信号模型, 导出射极接有反馈电阻 R_E 的单管放大器的跨导 G_m 和输出阻抗 R_o 的表达式^[16].

(1) 跨导 G_m 公式

图 3.2 为射极接有反馈电阻 R_E 的单管放大器求跨导 G_m 的等效电路图.

设 $r'_{in} \ll r_\pi$, 输入电压变化为 v_i , 输出电流变化为 i_c , 则跨导为

$$G_m = \frac{i_c}{v_i} \quad (3.5)$$

$$\begin{aligned}
 v_i &= V_x + V_{RE} = V_x + (i_b + g_m V_x) R_E \\
 &= i_b [r_\pi (1 + g_m R_E) + R_E]
 \end{aligned} \tag{3.6}$$

$r_\pi = (1 + \beta)r_e = \frac{\beta}{g_m}$, $i_b = \frac{i_c}{\beta}$ 代入上式得:

$$\begin{aligned}
 v_i &= i_c \left(\frac{1}{g_m} + \frac{\beta + 1}{\beta} R_E \right) \\
 &\approx i_c \left(\frac{1 + g_m R_E}{g_m} \right)
 \end{aligned} \tag{3.7}$$

$$G_m = \frac{i_c}{v_i} \approx \frac{g_m}{1 + g_m R_E} \tag{3.8}$$

当射极反馈电阻 $R_E = 0$ 时, $G_m = g_m$, 即此时的跨导就是共射组态下的晶体管跨导.

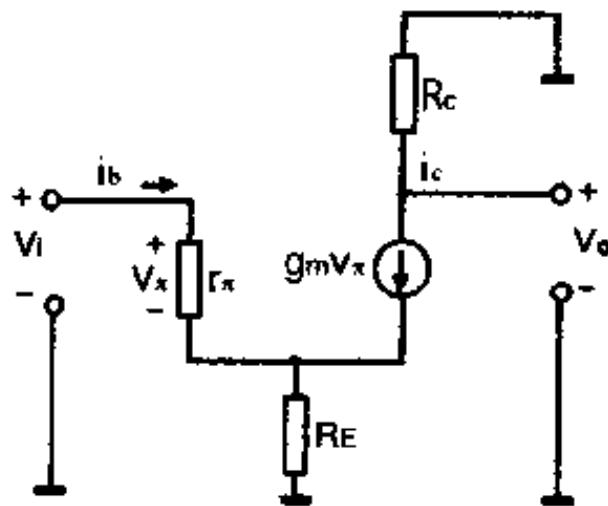


图 3.2 求跨导等效电路

(2) 输出阻抗 R_o 公式

图 3.3 为求输出阻抗 R_o 的等效电路. 假定 R_c 很大, 可以略而不计.

$$R_o = \frac{v_x}{i_x} \tag{3.9}$$

$$v_x = i_1 r_o - V_x \tag{3.10}$$

$$i_x = i_1 + g_m V_x \tag{3.11}$$

$$V_x = -i_x (r_x \parallel R_E) \quad (3.12)$$

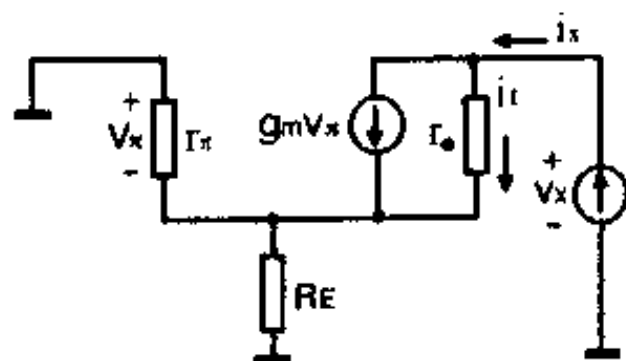


图 3.3 求输出阻抗等效电路

把(3.12)代入(3.10)、(3.11)式得

$$v_x = i_1 r_o + i_x (r_x \parallel R_E) \quad (3.13)$$

$$i_x = i_1 - i_x g_m (r_x \parallel R_E)$$

$$i_1 = i_x [1 + g_m (r_x \parallel R_E)] \quad (3.14)$$

把(3.14)式代入(3.13)式得

$$v_x = i_x \{ [1 + g_m (r_x \parallel R_E)] r_o + (r_x \parallel R_E) \}$$

$$R_0 = \frac{v_x}{i_x} = [1 + g_m (r_x \parallel R_E)] r_o + (r_x \parallel R_E) \quad (3.15)$$

上式中的第一项为

$$r_o + r_o g_m (r_x \parallel R_E) = r_o + \frac{V_A}{V_T} (r_x \parallel R_E)$$

$V_A \gg V_T$, 所以(3.15)式中第一项 \gg 第二项, 这样(3.15)式可以简化写成

$$R_0 \approx r_o [1 + g_m (r_x \parallel R_E)]$$

整理后得出

$$R_0 \approx r_o \left[\frac{1 + g_m R_E}{1 + \frac{g_m R_E}{\beta}} \right] \quad (3.16)$$

由(3.16)式可见, 当 $R_E = 0$ 时, $R_0 = r_o$, 即为共射组态下晶体管输出阻抗. 接有 R_E , 可使共射放大器的输出阻抗 R_0 增大, R_E 越

大,输出阻抗 R_o 也就越大,这个结果对集成运放电路分析和设计都是很重要的。

3.2 Bi 集成运放输入级

现代集成运放就其电路方案来说主要是采用参数补偿原理,所谓参数补偿原理,是指依靠电路的对称性设法使集成运放一些重要参数如失调电压、失调电流以及失调参量随温度、时间的变化尽可能达到最小。通过分析将会看到这些失调参数主要是由输入级特性所决定的,集成化的差分输入级电路,将提供良好的对称。因此在集成运放中,输入级通常都采用差分电路。本节对当前采用的几种输入级电路作一论述,其中重点讨论基本型的差分电路——共射差分输入级。

3.2.1 共射差分输入级

——第一代集成运放输入级

共射差分输入级电路形式如图 3.4 所示。这是第一代集成运放 $\mu A709$ 采用的输入级电路。 T_1, T_2 是两个参数对称的晶体管, R_{c1}, R_{c2} 是 T_1, T_2 负载电阻, R_E 是发射极耦合电阻。

(1) 差分放大器差模电压增益

$$\text{设 } V_{i1} = \frac{V_d}{2}, \quad V_{i2} = -\frac{V_d}{2}$$

$$\text{则 } V_{i1} - V_{i2} = V_d$$

V_d 称为差模输入电压,也就是当 T_1, T_2 两个晶体管输入两个幅度相等,相位相反的信号时,这种情况叫做差模输入。此时,由于 T_1 管输入正信号,射极电流增加 ΔI_e ,而 T_2 管输入负信号,射极电流将减小 ΔI_e ,结果流过 R_E 的电流是不变的,因此在 R_E 上无信号压降。这样共射差分放大器可以分成两个独立的 $R_E = 0$ 的共射单管放大器。如图 3.5 所示。

图 3.6 是差模输入混 π 模型等效电路.

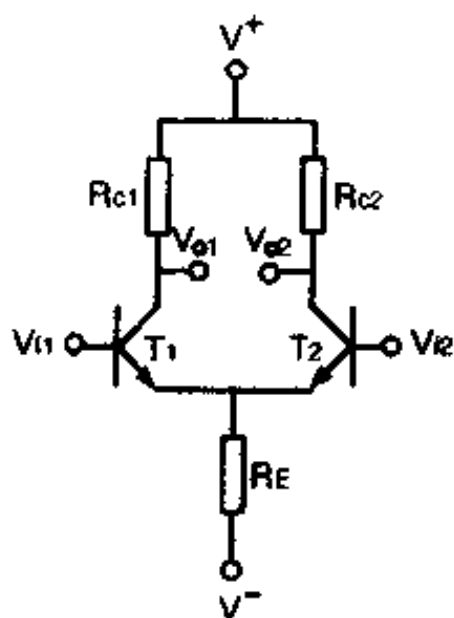


图 3.4 共射差分输入级

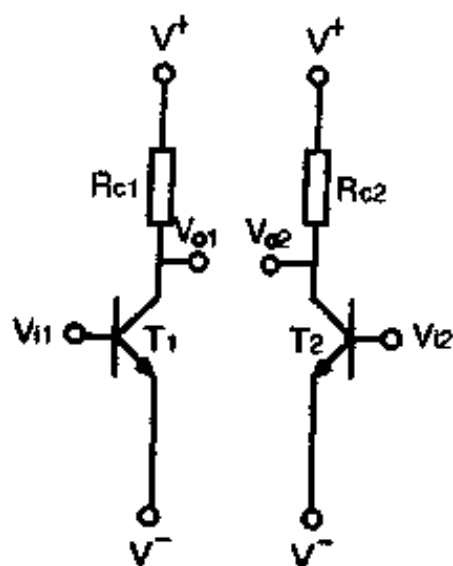


图 3.5 差模输入等效电路

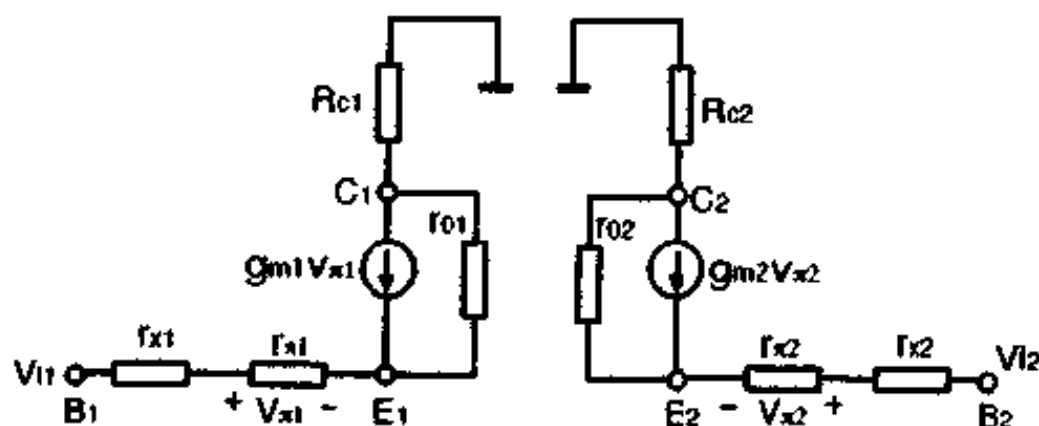


图 3.6 差模输入混 π 等效电路

对于单管放大器电压增益可以写成

$$A_d = A_I \frac{R_L}{R_{in}} \quad (3.17)$$

$$A_I = -\beta$$

$$R_L = R_c \parallel r_o$$

设 $r_o \gg R_c$, 则上式可近似为

$$R_L \approx R_c \quad (3.18)$$

$$R_{in} = r_x - r_{\pi} = r'_{be} + (1 + \beta)r_e \approx (1 + \beta)r_e \quad (3.19)$$

因此得出

$$A_d = -\frac{\beta R_c}{(1+\beta)r_e} \approx -\frac{R_c}{r_e} \quad (3.20)$$

假定差分放大器两个晶体管器件参数完全对称,即

$$\beta_1 = \beta_2 = \beta, r_{e1} = r_{e2} = r_e, R_{c1} = R_{c2} = R_c$$

那么
$$V_{o1} = -\frac{R_c}{r_e} V_{i1} = -\frac{R_c}{2r_e} V_d \quad (3.21)$$

$$V_{o2} = -\frac{R_c}{r_e} V_{i2} = \frac{R_c}{2r_e} V_d \quad (3.22)$$

所以差分放大器差模电压增益为

单端输出
$$A_{d\text{单}} = \frac{V_{o1}}{V_d} = -\frac{R_c}{2r_e} \quad (3.23)$$

双端输出
$$A_{d\text{双}} = \frac{V_{o1} - V_{o2}}{V_d} = -\frac{R_c}{r_e} \quad (3.24)$$

从(3.23), (3.24)式看出,共射差分放大器单端输出差模电压增益为单管放大器一半,双端输出(平衡输出)与单管放大器增益相同.

(2) 差分放大器共模电压增益

当差分放大器两个输入端输入两个幅度相等,相位相同的输入信号 $V_{i1} = V_{i2} = V_i$ 时,则称之为共模输入.由于两个输入信号幅度相同,相位也相同,因而它们在 R_E 上的信号电流,方向都相同,其结果在 R_E 上的信号压降为 $2\Delta I_e R_E$. 这样可把图 3.4 等效成图 3.7. 也就是说共模输入时,差分放大器可以等效成两个独立的,具有射极反馈电阻为 $2R_E$ 的单管放大器,如图 3.8.

共模输入混 π 模型等效电路如图 3.9.

单管放大器电压增益

$$A_c = A_f \frac{R_L}{R_{in}}$$

$$A_f = -\beta$$

$$R_L \approx R_c \quad (r_o \gg R_c)$$

$$R_{in} = r_x + r_x + (1 + \beta)2R_E \approx (1 + \beta)(r_e + 2R_E)$$

因此
$$A_c = -\frac{\beta R_c}{(1 + \beta)(r_e + 2R_E)} \quad (3.25)$$

$$V_{o1} = -\frac{\beta_1 R_{c1}}{(1 + \beta_1)(r_{e1} + 2R_E)} V_{ic} \quad (3.26)$$

$$V_{o2} = -\frac{\beta_2 R_{c2}}{(1 + \beta_2)(r_{e2} + 2R_E)} V_{ic} \quad (3.27)$$

假定 T_1, T_2 两管器件参数完全对称, 并设 $\beta \gg 1$, 那么共模电压增益为

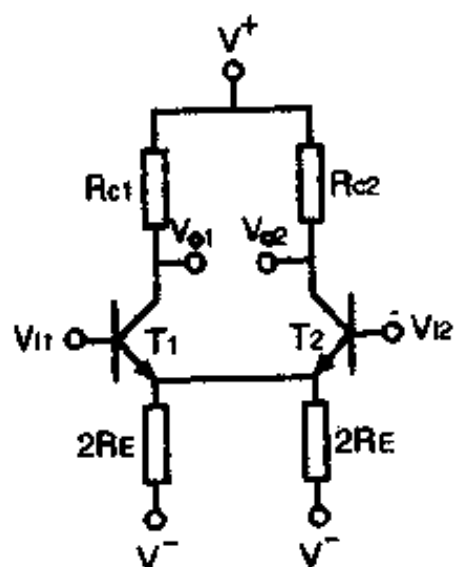


图 3.7 共模输入等效电路

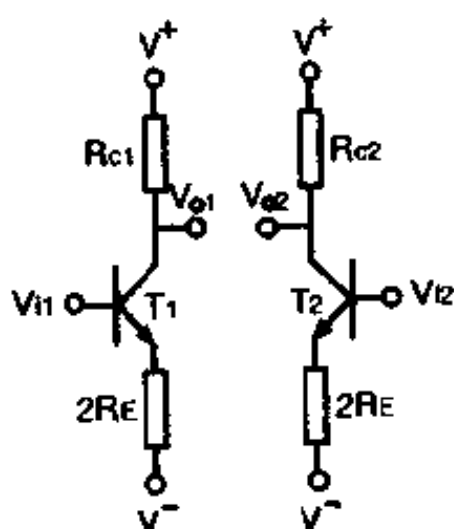


图 3.8 图 3.7 等效电路

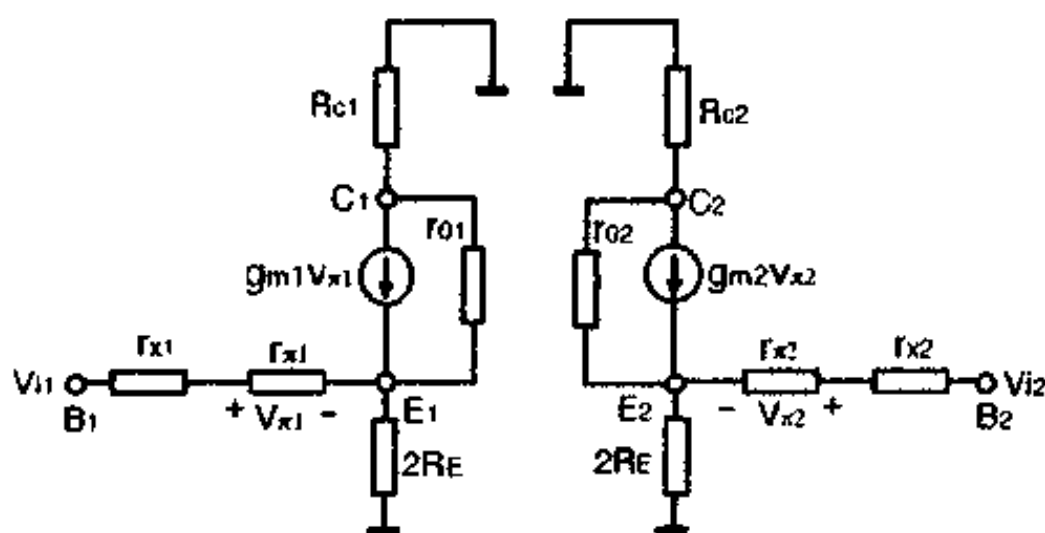


图 3.9 共模输入混 π 等效电路

$$\text{单端输出} \quad A_{c\text{单}} = \frac{V_{o1}}{V_{ic}} = -\frac{R_c}{r_c + 2R_E} \quad (3.28)$$

$$\text{双端输出} \quad A_{c\text{双}} = \frac{V_{o1} - V_{o2}}{V_{ic}} = 0 \quad (3.29)$$

由此可见,由于反馈电阻 R_E 的抑制作用,单端输出的共模电压增益比差模增益小, R_E 越大, A_c 越小.对于双端平衡输出,当两个管子参数完全对称的情况下,共模电压增益为零.显然,两个晶体管实际上不可能完全对称,因此即使是平衡输出, A_c 也不为零.关于这个问题下面即将讨论.

(3) 共模抑制比 CMRR

上面已经导出,差分放大器平衡输出差模电压增益与单管放大器相同;共模电压增益由于 R_E 的负反馈作用,使之显著下降;当两管参数完全对称时,平衡输出共模增益为零,这说明共射差分放大器具有抑制共模信号能力.为了描述这一能力强弱程度,引进“共模抑制比”这一参数,它定义为:差模电压增益 A_d 与共模电压增益 A_c 之比.

$$\text{CMRR} = \frac{A_d}{A_c} \quad \text{或} \quad \text{CMRR} = 20 \log \frac{A_d}{A_c} \quad (\text{db})$$

当 $A_c = 0$ 时, $\text{CMRR} \rightarrow \infty$,这是理想情况,实际上两个差分对管参数不可能完全对称,因此 CMRR 也不可能是无穷大.下面就讨论实际情况.

设 $R_{c2} = R_{c1} + \Delta R_{c1}$, $\beta_2 = \beta_1 + \Delta\beta_1$, $r_{c2} = r_{c1} + \Delta r_{c1}$

则(3.26), (3.27)式变为

$$V_{o1} = -\frac{\beta_1 R_{c1}}{(1 + \beta_1)(r_{c1} + 2R_E)} V_{ic} \quad (3.30)$$

$$V_{o2} = -\frac{(\beta_1 + \Delta\beta_1)(R_{c1} + \Delta R_{c1})}{(1 + \beta_1 + \Delta\beta_1)(r_{c1} + \Delta r_{c1} + 2R_E)} V_{ic} \quad (3.31)$$

那么平衡输出共模电压增益为

$$A_{c2} = \frac{V_{o1} - V_{o2}}{V_{ic}}$$

$$= \frac{(\beta_1 + \Delta\beta_1)(R_{c1} + \Delta R_{c1})}{(1 + \beta_1 + \Delta\beta_1)(r_{e1} + \Delta r_{e1} + 2R_E)} \cdot \frac{\beta_1 R_{c1}}{(1 + \beta_1)(r_{e1} + 2R_E)} \quad (3.32)$$

设

$$f(\beta_1 + \Delta\beta_1, R_{c1} + \Delta R_{c1}, r_{e1} + \Delta r_{e1}) = \frac{(\beta_1 + \Delta\beta_1)(R_{c1} + \Delta R_{c1})}{(1 + \beta_1 + \Delta\beta_1)(r_{e1} + \Delta r_{e1} + 2R_E)}$$

$$f(\beta_1, R_{c1}, r_{e1}) = \frac{\beta_1 R_{c1}}{(1 + \beta_1)(r_{e1} + 2R_E)}$$

$f(\beta_1, R_{c1}, r_{e1})$ 是无奇点函数, 当 $\frac{\Delta\beta_1}{\beta_1}, \frac{\Delta R_{c1}}{R_{c1}}, \frac{\Delta r_{e1}}{r_{e1}} \ll 1$ 时, 可根据微分近似公式

$$f(\beta_1 + \Delta\beta_1, R_{c1} + \Delta R_{c1}, r_{e1} + \Delta r_{e1}) - f(\beta_1, R_{c1}, r_{e1}) \\ = \frac{\partial f(\beta_1, R_{c1}, r_{e1})}{\partial \beta_1} \Delta\beta_1 + \frac{\partial f(\beta_1, R_{c1}, r_{e1})}{\partial R_{c1}} \Delta R_{c1} + \frac{\partial f(\beta_1, R_{c1}, r_{e1})}{\partial r_{e1}} \Delta r_{e1}$$

这样(3.32)式可以写成

$$A_{c2} = f(\beta_1 + \Delta\beta_1, R_{c1} + \Delta R_{c1}, r_{e1} + \Delta r_{e1}) - f(\beta_1, R_{c1}, r_{e1}) \\ = \frac{R_{c1}}{(r_{e1} + 2R_E)} \cdot \frac{\Delta\beta_1}{(1 + \beta_1)^2} + \frac{\beta_1}{(1 + \beta_1)(r_{e1} + 2R_E)} \Delta R_{c1} \\ - \frac{\beta_1 R_{c1}}{(1 + \beta_1)} \cdot \frac{1}{(r_{e1} + 2R_E)^2} \Delta r_{e1}$$

假设 $\beta \gg 1, (1 + \beta) \approx \beta, r_{e1} \ll R_E$, 则上式化简为

$$A_{c2} = \frac{R_{c1}}{2R_E} \left(\frac{\Delta\beta_1}{\beta_1^2} + \frac{\Delta R_{c1}}{R_{c1}} - \frac{\Delta r_{e1}}{2R_E} \right) \quad (3.33)$$

由(3.24)式 $A_{d2} = -\frac{R_{c1}}{r_{e1}}$

$$\therefore \text{CMRR} = \frac{A_{d2}}{A_{c2}} = -\frac{2R_E}{r_{e1}} \cdot \frac{1}{\frac{\Delta\beta_1}{\beta_1^2} + \frac{\Delta R_{c1}}{R_{c1}} - \frac{\Delta r_{e1}}{2R_E}} \quad (3.34)$$

由上式可知, 要提高共模抑制比除了要保证器件参数对称外, 还要尽可能提高射极电阻 R_E 值. 因此在集成电路运算放大器设计中, 常用恒流源输出动态电阻作为 R_E , 从而大大提高了集成运放的 CMRR 值.

(4) 差分放大器传输特性

上面讨论的都是小信号特性,当输入信号较大时,需要用传输特性来分析.所谓传输特性是指电路的输出量和输入量之间的函数关系.讨论传输特性便于我们进一步全面了解在整个信号范围内的电路输出情况.

根据晶体管原理,晶体管射极电流 I_e 与发射结直流电压 V_{BE} 之间的关系为

$$I_{e1} = I_{es1} \left(e^{\frac{qV_{BE1}}{nKT}} - 1 \right) \approx I_{es1} e^{\frac{qV_{BE1}}{nKT}} \quad (3.35)$$

$$I_{e2} = I_{es2} \left(e^{\frac{qV_{BE2}}{nKT}} - 1 \right) \approx I_{es2} e^{\frac{qV_{BE2}}{nKT}} \quad (3.36)$$

式中 I_{es1}, I_{es2} 分别为差分对管 T_1, T_2 发射结反向饱和电流, n 为修正因子,在小电流下, $n=1.5$,大电流时 $n=1$.

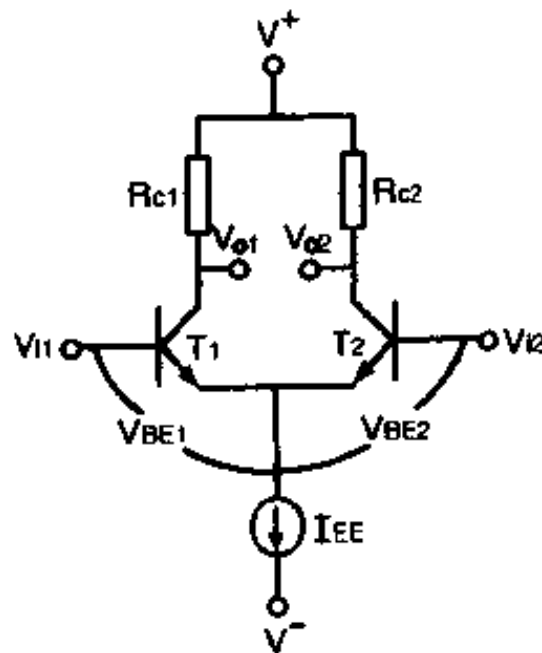


图 3.10 共射差分输入级电路

由图 3.10 可知

$$I_{EE} = I_{e1} + I_{e2} = I_{es1} e^{\frac{qV_{BE1}}{nKT}} + I_{es2} e^{\frac{qV_{BE2}}{nKT}} \quad (3.37)$$

在集成电路中, T_1, T_2 两个晶体管设计是对称的,因此可以假定 $I_{es1} = I_{es2}$. 则上式可写成

$$I_{EE} = I_{e1} e^{\frac{qV_{BE1}}{nKT}} \left(1 + e^{\frac{q}{nKT}(V_{BE2} - V_{BE1})} \right) \quad (3.38)$$

又

$$V_{id} = V_{i1} - V_{i2} = V_{BE1} - V_{BE2}$$

∴

$$I_{EE} = I_{e1} \left(1 + e^{-\frac{qV_{id}}{nKT}} \right)$$

$$I_{e1} = \frac{I_{EE}}{\left(1 + e^{-\frac{qV_{id}}{nKT}} \right)}$$

$$I_{c1} = \alpha_1 I_{e1} = \frac{\alpha_1 I_{EE}}{\left(1 + e^{-\frac{qV_{id}}{nKT}} \right)} \quad (3.39)$$

同理

$$I_{c2} = \alpha_2 I_{e2} = \frac{\alpha_2 I_{EE}}{\left(1 + e^{\frac{qV_{id}}{nKT}} \right)} \quad (3.40)$$

如果作一近似 $I_{c1} \approx I_{e1}, I_{c2} \approx I_{e2}$, 则有

$$I_{c1} \approx \frac{I_{EE}}{\left(1 + e^{-\frac{qV_{id}}{nKT}} \right)} \quad (3.41)$$

$$I_{c2} \approx \frac{I_{EE}}{\left(1 + e^{\frac{qV_{id}}{nKT}} \right)} \quad (3.42)$$

根据(3.41), (3.42)式, 可以作出 $I_{c1} \sim V_{id}, I_{c2} \sim V_{id}$ 差分放大器输出电流 I_c 与输入电压关系的传输特性曲线, 如图 3.11 所示。

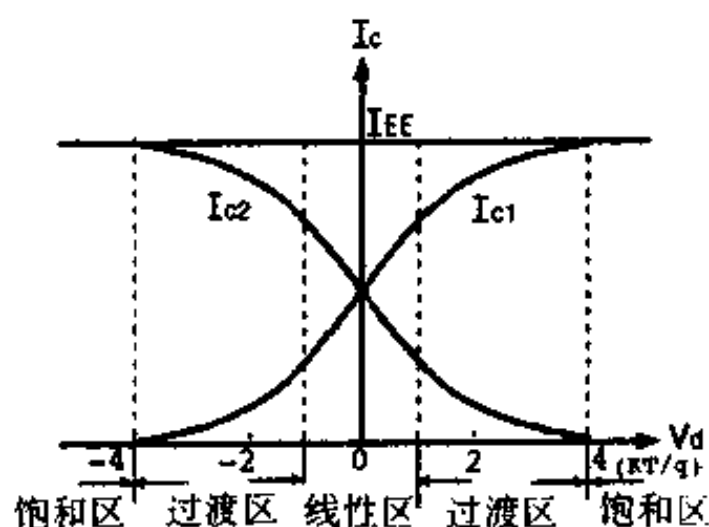


图 3.11 差分放大器传输特性

下面进行讨论($n=1$ 情况).

① 当输入电压 $V_{id}=0$ 时,差分放大器处于平衡状态, $I_{c1}=I_{c2}=\frac{1}{2}I_{EE}$.

② 当输入小信号时,即 $V_{id}=\pm\frac{KT}{q}=\pm 26\text{ mV}$ 时,输出 I_{c1} , I_{c2} 与输入 V_{id} 近似呈线性关系,也就是说,差分放大器可以对峰—峰值 52 mV 的差模输入信号提供线性放大.

③ 当 $V_{id}>\pm 4\frac{KT}{q}=\pm 104\text{ mV}$ 时,输出呈饱和状态,这个区域称为饱和区,差分放大器这种特性可以用作限幅器.

(5) 共射差分级跨导 G_m

所谓跨导是指输入电压变化 dV_{id} 引起集电极电流变化 dI_c . 用公式表示为

$$G_m = \frac{dI_c}{dV_{id}}$$

① 单端输出跨导,对(3.41)式求微分

$$G_{m1} = \frac{dI_{c1}}{dV_{id}} = \frac{q}{nKT} \cdot e^{-\frac{qV_{id}}{nKT}} \cdot I_{EE} \cdot \frac{1}{\left(1 + e^{-\frac{qV_{id}}{nKT}}\right)^2}$$

当 $V_{id}=0$ 处,跨导最大 $G_{m1 \cdot \max}$,此时

$$G_{m1 \cdot \max} = \frac{qI_{EE}}{4nKT} = \frac{1}{2nr_e} \quad (3.43)$$

② 平衡输出跨导 $G_{m1 \cdot \max}$

$$G_{m1 \cdot \max} = \frac{d(I_{c1} - I_{c2})}{dV_{id}} = \frac{dI_{c1}}{dV_{id}} - \frac{dI_{c2}}{dV_{id}} = \frac{1}{nr_e} \quad (3.44)$$

说明平衡输出跨导为单端输出跨导 2 倍.

当 $n=1$ 时,平衡输出跨导为

$$G_{m1} = \frac{1}{r_e} = \frac{I_c(\mu\text{A})}{0.026(\text{V})} \approx 40I_c(\text{M}\Omega)^{-1}$$

当 $n=1.5$ 时, $G_{m1} \approx 26I_c(\text{M}\Omega)^{-1}$

$$G_{m1} = \begin{cases} 40I_c (n=1) & \text{单位: } I_c (\mu\text{A}) \\ 26I_c (n=1.5) & G_{m1} (\text{M}\Omega)^{-1} \end{cases} \quad (3.45)$$

③ 共射差分级增益用跨导表示. 由(3.24)式, 平衡输出差模电压增益表示为 $A_{d1} = -\frac{R_c}{r_c}$, 而 $G_{m1} = \frac{1}{r_c}$

$$\therefore A_{d1} = -G_{m1}R_c \quad (3.46)$$

这就是增益简单表示式, 它常用来估算差分输入级的增益. 用(3.45)式代入得:

$$A_{d1} = \begin{cases} 40I_c R_c (n=1) & \text{单位: } I_c (\mu\text{A}) \\ 26I_c R_c (n=1.5) & R_c (\text{M}\Omega) \end{cases} \quad (3.47)$$

由此可见, 要提高输入级增益 A_{d1} , 必须提高工作电流 I_c 和负载电阻 R_c . 但提高 I_c 将带来输入阻抗下降, 所以最佳办法是提高 R_c . 这就不难理解第二代集成运放输入级为什么要采用有源负载来替代第一代的电阻负载.

(6) 差分放大器输入阻抗 R_{in}

差分放大器输入阻抗 R_{in} 定义为差模输入电压 $V_{id} = V_{i1} - V_{i2}$ 的变化 dV_{id} 与输入基极电流 I_b 的变化 dI_b 之比, 即

$$R_{in} = \frac{dV_{id}}{dI_b} = \beta \frac{dV_{id}}{dI_c}$$

很显然, 从两个输入端看到差模输入阻抗应为单管共射放大器输入阻抗的两倍.

$$R_{in} = 2h_{ie} = 2[r_b + (1 + \beta)r_c] \approx 2\beta r_c = \frac{52n}{I_b (nA)} (\text{M}\Omega) \quad (3.48)$$

$$\therefore R_{in} = \begin{cases} \frac{52}{I_b} (n=1) & \text{单位: } I_b (\text{nA}) \\ \frac{78}{I_b} (n=1.5) & R_{in} (\text{M}\Omega) \end{cases} \quad (3.49)$$

由上式可以看到, 要提高差分放大器输入阻抗 R_{in} , 应该减小 I_b . 第三代集成运放采用了超 β 晶体管作为输入级, 以减小注入基

极电流,达到了提高输入阻抗的目的.

(7) 差分放大器失调电压 V_{os}

一个理想的集成运放当输入信号电压为零时,其输出也应该是零;但在实际集成运放中,由于电路参数不对称,当输入电压为零时,仍然有输出电压,这种现象称为失调.

失调电压 V_{os} 通常有两种定义方法:

① 输入失调电压 V_{os} 是当输入信号电压为零时,输出端出现的直流电压折合到输入端的电压值.

② V_{os} 是指当输入信号电压为零时,为使输出端直流电压也为零,所需在输入端外加一个补偿电压,这个外加的补偿电压就称为输入失调电压.

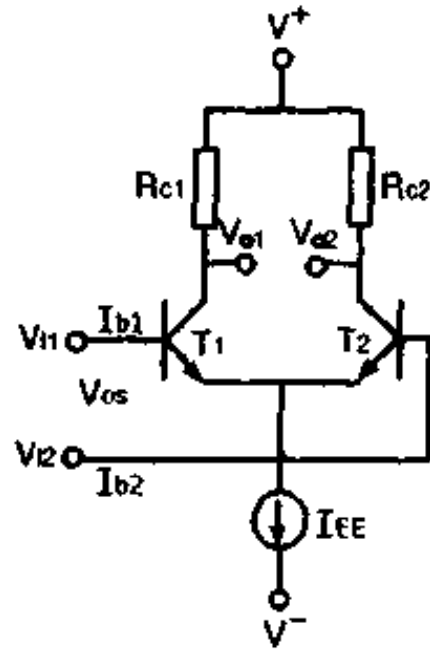


图 3.12 差分放大器失调电压

现在来计算共射差分输入级输入失调电压 V_{os} .

由图 3.12 可以写出,输入失调电压

$$V_{os} = V_{BE1} - V_{BE2} \quad (3.50)$$

根据晶体管原理,晶体管射流 I_c 与其 eb 结正向压降 V_{BE} 之间有如下关系

$$I_{c1} \approx I_{cs1} e^{\frac{qV_{BE1}}{KT}} \quad (3.51)$$

$$I_{c2} \approx I_{cs2} e^{\frac{qV_{BE2}}{KT}} \quad (3.52)$$

$$\therefore V_{BE1} = \frac{KT}{q} \ln \frac{I_{c1}}{I_{cs1}}$$

$$V_{BE2} = \frac{KT}{q} \ln \frac{I_{c2}}{I_{cs2}}$$

$$\therefore V_{os} = V_{BE1} - V_{BE2} = \frac{KT}{q} \ln \left(\frac{I_{c1}}{I_{c2}} \cdot \frac{I_{cs2}}{I_{cs1}} \right) \quad (3.53)$$

现在我们要把(3.53)式更具体地化为跟设计因素和工艺因素相关联的表达式.

由图 3.12 得出

$$V_{od} = V_{o1} - V_{o2} = I_{c2}R_{c2} - I_{c1}R_{c1}$$

根据失调电压定义,当 V_{od} 为零时,输入端所需外加的补偿电压.所以令 $V_{od} = 0$ 得出

$$\begin{aligned} \frac{I_{c1}}{I_{c2}} &= \frac{R_{c2}}{R_{c1}} \\ \frac{I_{c1}}{I_{c2}} &= \frac{\alpha_2 R_{c2}}{\alpha_1 R_{c1}} \end{aligned} \quad (3.54)$$

α 为共基晶体管电流放大系数.

另外再从(3.51),(3.52)式得出

$$\frac{I_{c1}}{I_{c2}} = \frac{I_{es1}}{I_{es2}} e^{\frac{q}{KT}(V_{BE1} - V_{BE2})}$$

令 $I_{c1} = I_{c2}$ 即两个晶体管通以相同的射流,在等射流下两管前向压降之差用符号 $\Delta V_{BE2} = V_{BE1} - V_{BE2}$ 表示. 这样得出

$$\frac{I_{es2}}{I_{es1}} = e^{\frac{q}{KT}\Delta V_{BE2}} \quad (3.55)$$

把(3.54),(3.55)式代入(3.53)式,得出失调电压

$$V_{os} = \frac{KT}{q} \left[\ln \left(\frac{\alpha_2}{\alpha_1} \cdot \frac{R_{c2}}{R_{c1}} \right) \right] + \Delta V_{BE2} \quad (3.56)$$

假定 T_1, T_2 两个晶体管发射区面积分别为 A_1, A_2 , 发射结单位面积反向饱和电流分别为 I'_{es1}, I'_{es2} . 由(3.55)式得到

$$\Delta V_{BE2} = \frac{KT}{q} \ln \frac{I_{es2}}{I_{es1}} = \frac{KT}{q} \left(\ln \frac{A_2}{A_1} + \ln \frac{I'_{es2}}{I'_{es1}} \right)$$

代入(3.56)得出

$$V_{os} = \frac{KT}{q} \left(\ln \frac{\alpha_2}{\alpha_1} + \ln \frac{R_{c2}}{R_{c1}} + \ln \frac{A_2}{A_1} + \ln \frac{I'_{es2}}{I'_{es1}} \right)$$

假定 $\alpha_2 = \alpha_1 + \Delta\alpha_1, R_{c2} = R_{c1} + \Delta R_{c1}, A_2 = A_1 + \Delta A_1, I'_{es2} = I'_{es1} + \Delta I'_{es1}$, 代入上式得出

$$V_{os} = \frac{KT}{q} \left[\ln \left(1 + \frac{\Delta\alpha_1}{\alpha_1} \right) + \ln \left(1 + \frac{\Delta R_{c1}}{R_{c1}} \right) \right. \\ \left. + \ln \left(1 + \frac{\Delta A_1}{A_1} \right) + \ln \left(1 + \frac{\Delta I'_{cs1}}{I'_{cs1}} \right) \right]$$

按 $\ln(1+x) = x - \frac{x^2}{2} + \frac{x^3}{3} - \dots$ ($-1 < x \leq 1$) 展开式, 把括号内四项展开, 并略去高次项后得

$$V_{os} = \frac{KT}{q} \left(\frac{\Delta\alpha_1}{\alpha_1} + \frac{\Delta R_{c1}}{R_{c1}} + \frac{\Delta A_1}{A_1} + \frac{\Delta I'_{cs1}}{I'_{cs1}} \right) \\ = \frac{KT}{q} \left(\frac{\Delta\beta_1}{\beta_1^2} + \frac{\Delta R_{c1}}{R_{c1}} + \frac{\Delta A_1}{A_1} + \frac{\Delta I'_{cs1}}{I'_{cs1}} \right) \quad (3.57)$$

现在来讨论下差分放大器输入失调电压 V_{os} 跟哪些设计参数和工艺参数有关.

① V_{os} 跟差分对管电流放大系数不对称 $\Delta\beta$ 有关. 这主要是由扩散工艺或离子注入工艺不均匀性引起的.

② V_{os} 跟差分对管集电极负载电阻不对称 ΔR_{c1} 有关. 这项失调主要是由版图设计, 制版工艺, 扩散(或离子注入)工艺, 光刻工艺引起.

③ V_{os} 跟差分对管发射区面积误差 ΔA_1 有关. 这主要是版图设计, 制版工艺, 光刻工艺造成的.

④ V_{os} 跟差分对管发射结单位面积反向饱和漏电流不同 I'_{cs1} 有关. 这项失调跟氧化, 扩散等多种因素都有关系.

失调电压是集成运放的重要参数, 为了减小失调, 除了要提高工艺技术外, 设计者常把两个差分对管和负载电阻设计成完全对称的图形结构, 并让它们尽可能地靠近, 以减小工艺误差引起的失调.

(8) 差分放大器输入失调电流 I_{os}

所谓输入失调电流指输出直流电压为零时, 两个输入端基极偏置电流之差. 即输入失调电流 $I_{os} = I_{b1} - I_{b2}$. 由图 3.12 可以写出

$$V_{od} = V_{o1} - V_{o2} = I_{b2}\beta_2 R_{o2} - I_{b1}\beta_1 R_{c1}$$

设 $\beta_2 = \beta_1 + \Delta\beta_1$, $R_{c2} = R_{c1} + \Delta R_{c1}$

代入上式并略去二次小项后得出

$$V_{os} = (I_{b2} - I_{b1})\beta_1 R_{c1} + I_{b2}(\beta_1 \Delta R_{c1} + \Delta\beta_1 R_{c1})$$

根据失调电流的定义,让差分放大器平衡输出电压 $V_{os} = 0$,此时得出

$$I_{b1} - I_{b2} = I_{b2} \left(\frac{\Delta\beta_1}{\beta_1} + \frac{\Delta R_{c1}}{R_{c1}} \right) \quad (3.58)$$

$$I_{os} = I_{b1} - I_{b2} \approx I_b \left(\frac{\Delta\beta_1}{\beta_1} + \frac{\Delta R_{c1}}{R_{c1}} \right) \quad (3.59)$$

从(3.59)式可以看出差分放大器的输入失调电流跟下列因素有关:

① I_{os} 跟差分对管电流放大系数 β 的不对称有关,注意这里与失调电压不同,失调电压 V_{os} 跟 β 的不对称性关系为 $\frac{\Delta\beta}{\beta^2}$,而失调电流 I_{os} 是 $\frac{\Delta\beta}{\beta}$ 关系,说明 β 的失配对 I_{os} 影响更为严重.

② I_{os} 跟差分对管的集极负载电阻 R_c 的失配 ΔR_c 有关.

③ I_{os} 跟基极偏置电流 I_b 成正比关系, I_b 越小, I_{os} 也就越小.这个结果给集成运放的设计指出了减小 I_{os} 的一个途径.第三代集成运放采用超 β 晶体管作为输入级,从而大大减小了基极偏置电流和输入失调电流.

(9) 差分输入级输入失调电压温漂

失调电压温漂是输入失调电压 V_{os} 随温度而变化的集成运放中的一个极为重要的参数,因此弄清产生温漂的原因及其减小温漂的方法,无疑对集成运放的设计工作者来说是十分重要的.

由(3.56)式,可以得到失调电压另一个表达式为

$$V_{os} = \frac{KT}{q} \left(\frac{\Delta\beta_1}{\beta_1^2} + \frac{\Delta R_{c1}}{R_{c1}} \right) + \Delta V_{BE2}$$

式中 $\Delta V_{BE2} = V_{BE1} - V_{BE2}$ 为差分对管等射流下前向压降之差.在上面式子中, $\Delta\beta_1, \beta_1, \Delta R_{c1}, R_{c1}, \Delta V_{BE2}$ 均是温度 T 的函数,即

$$V_{os} = V_{os}(T, \Delta\beta_1, \beta_1, \Delta R_{c1}, R_{c1}, \Delta V_{BE2})$$

$$\therefore \frac{dV_{os}}{dT} = \frac{\partial V_{os}}{\partial T} + \frac{\partial V_{os}}{\partial \Delta\beta_1} \cdot \frac{d\Delta\beta_1}{dT} + \frac{\partial V_{os}}{\partial \beta_1} \cdot \frac{d\beta_1}{dT} + \frac{\partial V_{os}}{\partial \Delta R_{c1}} \cdot \frac{d\Delta R_{c1}}{dT} + \frac{\partial V_{os}}{\partial R_{c1}} \cdot \frac{dR_{c1}}{dT} + \frac{\partial V_{os}}{\partial \Delta V_{BE2}} \cdot \frac{d\Delta V_{BE2}}{dT}$$

共六项,下面我们先分项计算,然后再把各项叠加起来.

$$\text{第一项: } \frac{\partial V_{os}}{\partial T} = \frac{K}{q} \left(\frac{\Delta\beta_1}{\beta_1^2} + \frac{\Delta R_{c1}}{R_{c1}} \right) \quad (3.60)$$

$$\text{第二项: } \frac{\partial V_{os}}{\partial \Delta\beta_1} \cdot \frac{d\Delta\beta_1}{dT} = \frac{KT}{q} \cdot \frac{1}{\beta_1} \left(\frac{d\beta_2}{\beta_1 dT} - \frac{d\beta_1}{\beta_1 dT} \right)$$

令 $\frac{1}{\beta} \cdot \frac{d\beta}{dT} = c$, c 称为电流放大系数 β 的温度系数.

$$\frac{d\beta_2}{\beta_1 dT} \approx \frac{d\beta_2}{\beta_2 dT} = c_2, \quad \frac{d\beta_1}{\beta_1 dT} = c_1$$

$$\therefore \text{第二项: } \frac{KT}{q} \cdot \frac{1}{\beta_1} (c_2 - c_1) \quad (3.61)$$

$$\text{第三项: } \frac{\partial V_{os}}{\partial \beta_1} \cdot \frac{d\beta_1}{dT} = -\frac{KT}{q} \cdot \frac{2\Delta\beta_1}{\beta_1^2} c_1 \quad (3.62)$$

$$\text{第四项: } \frac{\partial V_{os}}{\partial \Delta R_{c1}} \cdot \frac{d\Delta R_{c1}}{dT} = \frac{KT}{q} \left(\frac{dR_{c2}}{R_{c1} dT} - \frac{dR_{c1}}{R_{c1} dT} \right)$$

令 $\frac{dR}{RdT} = \rho$, ρ 称为电阻温度系数.

$$\rho_2 \approx \frac{dR_{c2}}{R_{c1} dT}, \quad \rho_1 = \frac{dR_{c1}}{R_{c1} dT}$$

$$\therefore \text{第四项: } \frac{KT}{q} (\rho_2 - \rho_1) \quad (3.63)$$

$$\text{第五项: } \frac{\partial V_{os}}{\partial R_{c1}} \cdot \frac{dR_{c1}}{dT} = -\frac{KT}{q} \cdot \frac{\Delta R_{c1}}{R_{c1}} \rho_1 \quad (3.64)$$

$$\text{第六项: } \frac{\partial V_{os}}{\partial \Delta V_{BE2}} \cdot \frac{d\Delta V_{BE2}}{dT} = \frac{\Delta V_{BE2}}{T} \quad (3.65)$$

把六项叠加起来,得出失调电压温漂的完整表达式:

$$\frac{dV_{os}}{dT} = \frac{K}{q} \left(\frac{\Delta\beta_1}{\beta_1^2} + \frac{\Delta R_{c1}}{R_{c1}} \right) + \frac{KT}{q} \cdot \frac{1}{\beta_1} (c_2 - c_1) - \frac{KT}{q} \cdot \frac{2\Delta\beta_1}{\beta_1^2} c_1$$

$$+\frac{KT}{q}(\rho_2-\rho_1)-\frac{KT}{q}\cdot\frac{\Delta R_{c1}}{R_{c1}}\rho_1+\frac{\Delta V_{BE}}{T} \quad (3.66)$$

对于基区扩散电阻 $\rho=2000-3000$ PPM/°C, 对于典型的硅晶体管 $T>25$ °C 时, $c=0.5$ %/°C; $T<25$ °C 时, $c=1.5$ %/°C. 用具体数值代入 (3.66) 式估算, 可以证明: $\frac{K}{q}\cdot\frac{\Delta\beta_1}{\beta_1^2}$, 以及第二项, 第三项, 第五项均可略而不计, 因此 (3.66) 式可以简化为

$$\frac{dV_{os}}{dT}\approx\frac{\Delta V_{BE2}}{T}+\frac{K}{q}\cdot\frac{\Delta R_{c1}}{R_{c1}}+\frac{KT}{q}(\rho_2-\rho_1) \quad (3.67)$$

现在来估算下在室温下各项对失调电压温漂的贡献.

① $\frac{\Delta V_{BE2}}{T}$ 表示由于差分对管在等射流下前向压降差而引起的失调电压温漂. 在常规的工艺条件下, 假定室温下 $\Delta V_{BE2}=1$ mV, 该项产生的温漂为 3.3 μ V/°C.

② $\frac{K}{q}\cdot\frac{\Delta R_{c1}}{R_{c1}}$ 表示由于差分对管集极负载电阻 R_{c1}, R_{c2} 的失配而引起的失调电压温漂. 假定 $\frac{\Delta R_{c1}}{R_{c1}}$ 为 5%, 则该项对温漂的贡献为 4.3 μ V/°C.

③ $\frac{KT}{q}(\rho_2-\rho_1)$ 表示由于两个负载电阻温度系数不同而引起的温漂. 通常硼基区扩散电阻的温度系数 ρ 为 2000 PPM/°C, 假定两个电阻温度系数相差 5%, 则

$$\frac{KT}{q}(0.2\%+0.2\%\times 5\%-0.2\%)=2.6\ \mu\text{V}/^\circ\text{C}$$

这里必须指出的是, 上面所讨论的情况都是假定差分对管 T_1, T_2 eb 结的温度是相同的, 实际上两个晶体管的 eb 结结温可能有差异, 也就是说集成运放的芯片上存在温度梯度. 由于有温度梯度的存在, 也会引起失调电压温漂. 下面讨论一下这个问题.

假定差分级两个对管 eb 结结温分别为 T_A, T_B . 此时既要考虑等 I_e 、等温下两个管子 eb 结前向压降差, 也要考虑两个 eb 结因结温不同而产生的压降差. 因此总的压降差应为

$$\Delta V'_{BE} = \Delta V_{BE} + \frac{\partial V_{BE}}{\partial T} (T_B - T_A)$$

其中 ΔV_{BE} 为等 I_c 、等温下两个管子 eb 结前向压降差, $\frac{\partial V_{BE}}{\partial T} (T_B - T_A)$ 是由于两个 eb 结结温不同而造成的压降差, 因此 $\frac{d}{dT} \left[\frac{\partial V_{BE}}{\partial T} (T_B - T_A) \right]$ 就是因有温度梯度而引起的附加温漂。

$\frac{\partial V_{BE}}{\partial T} \approx -2.0 \text{ mV}/^\circ\text{C}$, 可以近似认为是常数

$$\therefore \frac{d}{dT} \left[\frac{\partial V_{BE}}{\partial T} (T_B - T_A) \right] \approx \frac{\partial V_{BE}}{\partial T} \cdot \frac{d(T_B - T_A)}{dT}$$

如果环境温度 T 变化 1°C , 差分对管 eb 结结温变化相差 0.001°C , 则该项引起的附加温漂为

$$\frac{\partial V_{BE}}{\partial T} \cdot \frac{d(T_B - T_A)}{dT} = -2.0 \text{ mV}/^\circ\text{C} \cdot \frac{0.001}{1} \approx -2 \mu\text{V}/^\circ\text{C}$$

这个结果很重要, 说明在集成运放, 特别是高精度、低漂移集成运放版图设计时为什么需要采取“热对称”设计。

3.2.2 共集—共基(CC—CB)差分输入级

——第二代集成运放输入级

共集—共基差分输入级电路如图 3.13 所示。这是第二代集成运放 $\mu\text{A}741$ 输入级。该电路是用高性能 npn 晶体管 T_1, T_2 和横向 pnp 管 T_3, T_4 组成等效 pnp 晶体管作为输入级, 这种 CC—CB 差分级也称复合差分输入级。 T_5, T_6, T_7 组成恒流源, 作为该级的有源负载, 信号从 T_1, T_2 基极输入, T_3, T_4 集电极输出。

由 (3.46) 式可知差分放大器的差模电压增益 $A_{d1} = -G_{m1} R_c$, 因此要提高增益 A_{d1} , 有二个途径, 一是提高输入级跨导 G_{m1} , 也就是要提高工作电流 I_c , 但 I_c 的提高将带来功耗大, 偏流大, 输入阻抗低等问题; 二是提高负载 R_c , 但如果仍用电阻为负载, R_c 就要很大, 也带来功耗以及大电阻占有面积大的问题, 不便于集成化。第

二代集成运放是利用晶体管很高的输出阻抗作为负载,即有源负载,替代第一代集成运放的电阻负载,从而大大提高了输入级的电压增益.采用有源负载是第二代集成运放的重要标志.

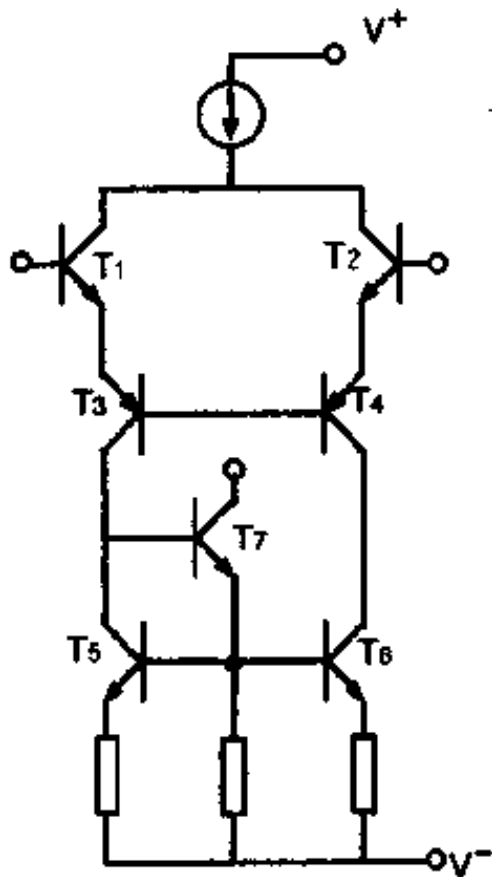


图 3.13 CC-CB 差分输入级

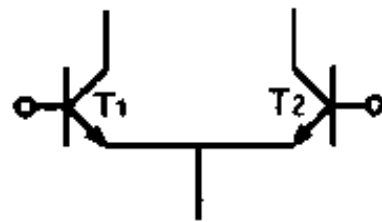


图 3.14 共射差分输入级动态范围

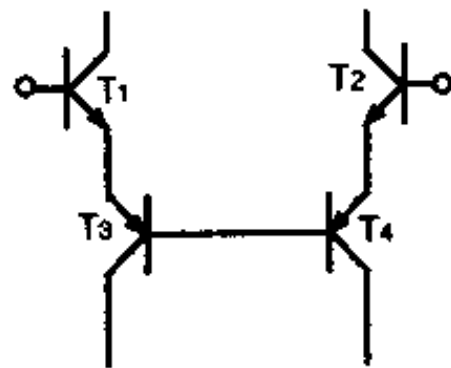


图 3.15 CC-CB 输入级动态范围

复合差分输入级由于采用 β 高的 npn 晶体管和共基接法的 pnp 管组成输入级,因此既提高了运放的输入阻抗,又改善了横向 pnp 管的频响特性.另外,这种输入电路也提高了差模输入电压的动态范围,使得两个输入端可以承受很高的差模电压.

对于共射差分输入级,如图 3.14 所示.若 T_2 基极固定在某一电位,而 T_1 的基极电位抬高,公共发射极电位就随之提高,结果使 T_2 的 eb 结反向偏压也随之增大,当 e 极电位高到 eb 结反向击穿电压时, T_2 发射结就产生击穿,因此共射差分输入级差模电压范围一般不得超过晶体管发射结反向击穿电压.

对于复合差分输入级如图 3.15 所示,情况就不一样了,由于

T_4 发射结是横向 pnp 晶体管的发射结, 它有很高的反向击穿电压, 因此这种复合差分输入级具有很宽的差模电压动态范围。

下面再来计算下复合差分输入级传输特性, 跨导, 输入阻抗和电压增益。

(1) 共集—共基复合差分级传输特性

由图 3.16 可以写出

$$V_1 = V_{BE1} + V_{BE3} + V_{bb}$$

$$V_2 = V_{BE2} + V_{BE4} + V_{bb}$$

$$V_1 - V_2 = V_{BE1} - V_{BE2} + V_{BE3} - V_{BE4}$$

$$\therefore I_{e1} = I_{e3}, \quad I_{e2} = I_{e4}$$

$$\therefore I_{e1} e^{\frac{qV_{BE1}}{nKT}} = I_{e3} e^{\frac{qV_{BE3}}{nKT}}$$

$$I_{e2} e^{\frac{qV_{BE2}}{nKT}} = I_{e4} e^{\frac{qV_{BE4}}{nKT}}$$

设 $I_{e1} = I_{e2}, \quad I_{e3} = I_{e4}$

两式相除得出

$$e^{\frac{q(V_{BE1} - V_{BE2})}{nKT}} = e^{\frac{q(V_{BE3} - V_{BE4})}{nKT}}$$

$\therefore V_{BE1} - V_{BE2} = V_{BE3} - V_{BE4}$ 代入 (3.68) 式得

$$V_1 - V_2 = 2(V_{BE1} - V_{BE2}) \quad (3.69)$$

设 $I_c = I_{c1} + I_{c2} = \alpha_1 I_{e1} + \alpha_2 I_{e2}$

因 T_1, T_2 为 npn 晶体管, 其 β 大, $\alpha = \frac{\beta}{1+\beta} \approx 1$

所以 $I_c \approx I_{e1} + I_{e2}$

$$\begin{aligned} &= I_{e1} e^{\frac{qV_{BE1}}{nKT}} + I_{e2} e^{\frac{qV_{BE2}}{nKT}} \\ &\approx I_{e1} \left(1 + e^{-\frac{q(V_{BE1} - V_{BE2})}{nKT}} \right) \end{aligned}$$

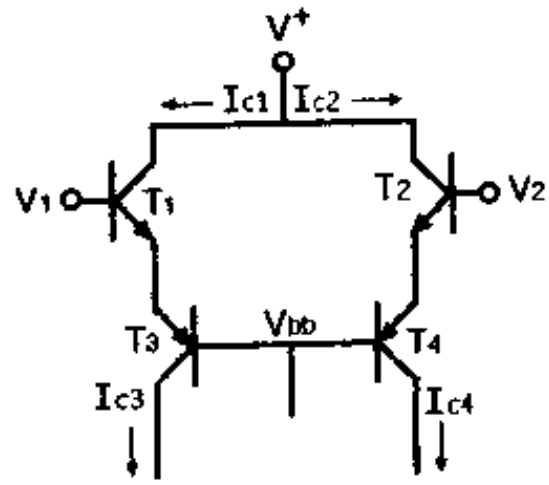


图 3.16 CC—CB 输入级简图

$$\therefore I_{c1} = \frac{I_c}{1 + e^{-\frac{q}{nKT}(V_{BE1} - V_{BE2})}}$$

用(3.69)式代入得:

$$I_{c1} = \frac{I_c}{1 + e^{-\frac{q}{2nKT}(V_1 - V_2)}} \quad (3.70)$$

同理得出 $I_{c2} = \frac{I_c}{1 + e^{\frac{q}{2nKT}(V_1 - V_2)}} \quad (3.70)$

由于 $I_{c3} = \alpha_3 I_{c1} = \alpha_3 I_{c1} \approx \alpha_3 I_{c1}, I_{c4} \approx \alpha_4 I_{c2}$

所以得出复合差分级传输特性表示式为

$$I_{c3} = \frac{\alpha_3 I_c}{1 + e^{-\frac{q}{2nKT}(V_1 - V_2)}} \quad (3.72)$$

$$I_{c4} = \frac{\alpha_4 I_c}{1 + e^{\frac{q}{2nKT}(V_1 - V_2)}} \quad (3.73)$$

(2) 共集—共基复合差分级跨导

平衡输出跨导为

$$G_{m1} = \frac{d(I_{c3} - I_{c4})}{d(V_1 - V_2)}$$

可以求出当 $V_1 = V_2$ 时, 跨导最大为

$$\begin{aligned} G_{m1\max} &= \frac{\alpha_3 I_c}{8n \frac{KT}{q}} + \frac{\alpha_4 I_c}{8n \frac{KT}{q}} \\ &\approx \frac{\alpha_3 I_c}{4n \frac{KT}{q}} \end{aligned} \quad (3.74)$$

可见复合差分级平衡输出跨导是共射差分级一半, 如用 $\frac{KT}{q} = 0.026 \text{ V}$ 代入得

$$G_{m1} \approx \begin{cases} 10\alpha_3 I_c & (n=1) \\ 6.5\alpha_3 I_c & (n=1.5) \end{cases} \quad (3.75)$$

由于 $I_c = I_{c1} + I_{c2} \approx I_{c1} + I_{c2} = I_{c3} + I_{c4} = \frac{I_{c3}}{\alpha_3} + \frac{I_{c4}}{\alpha_4} \approx \frac{2I_{c3}}{\alpha_3}$, 这样(3.75)

式可以改写成

$$G_{m1} \approx \begin{cases} 20I_{c3} (\text{或 } I_{c4}) & (n=1) \\ 13I_{c3} (\text{或 } I_{c4}) & (n=1.5) \end{cases} \quad (3.76)$$

式中单位: I_{c3} 用 μA , G_m ($\text{M}\Omega$)⁻¹

(3) 共集一共基复合差分级电压增益

$$A_{d1} = G_{m1} R_{L1} = \begin{cases} 20I_{c3} R_{L1} & (n=1) \\ 13I_{c3} R_{L1} & (n=1.5) \end{cases} \quad (3.78)$$

R_{L1} 是输入级有效负载, I_{c3} 用 μA , R_{L1} ($\text{M}\Omega$)

(4) 共集一共基复合差分级输入阻抗

$$R_{in} = 2(1 + \beta_1)(r_{e1} + r_{e3})$$

$$\because I_{e1} = I_{c3}, \quad \therefore r_{e1} = r_{e3}$$

$$R_{in} \approx 4(1 + \beta_1)r_{e1} = \frac{4nKT}{I_{b1}q} \text{ 代入数值得}$$

$$R_{in} = \begin{cases} \frac{104}{I_{b1}} & (n=1) \\ \frac{156}{I_{b1}} & (n=1.5) \end{cases} \quad (3.79)$$

单位 I_{b1} : $n\text{A}$, R_{in} : $\text{M}\Omega$

说明共集一共基复合差分级的输入阻抗为共射差分级 2 倍。

3.2.3 共射一共基(CE-CB)差分输入级

——第三代集成运放输入级

图 3.17 是第三代集成运放采用的共射一共基(CE-CB)差分输入级简化电路。 T_1, T_2 为超 β ($\beta > 3000$) 晶体管, T_3, T_4 为共基接法的对管, T_1, T_2, T_3, T_4 组成了共射一共基差分输入级, T_5, T_6 是它的有源负载。由于超 β 晶体管 ce 耐压低, 为使 T_1, T_2 能正常工作而不致击穿, 在 T_3, T_4 的基极与 T_1, T_2 发射极之间加两个正向二极管 T_5, T_6 进行箝位, 使 T_1, T_2 的 bc 结处于零电压工作状态。信号从 T_1, T_2 基极输入, T_5, T_6 集电极输出。

共射一共基差分输入级电路, 由于采用超 β 晶体管, 在相同

的集流下,可以得到很小的基极电流 I_b ,因而使输入失调电流 I_{os} 大大减小,同时输入阻抗大大提高,并改善了温漂特性;另外 T_3, T_4 为共基接法,有很高的输出阻抗,加上采用输出阻抗很高的有源负载,还有第二级输入阻抗也高,三者综合结果,使得输入级有效负载 R_{L1} 很高,因此第三代集成运放输入级增益可达 3000 倍以上. 输入差分级采用超 β 晶体管,标志着集成运放跨入了第三代,它的各种参数性能都发生了重大突破.

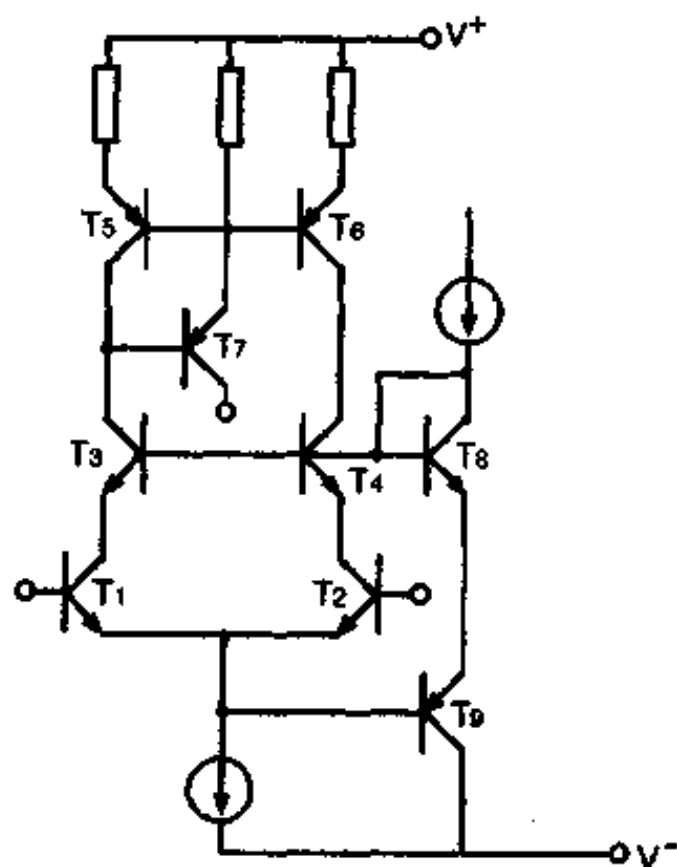


图 3.17 CE-CB 差分输入级

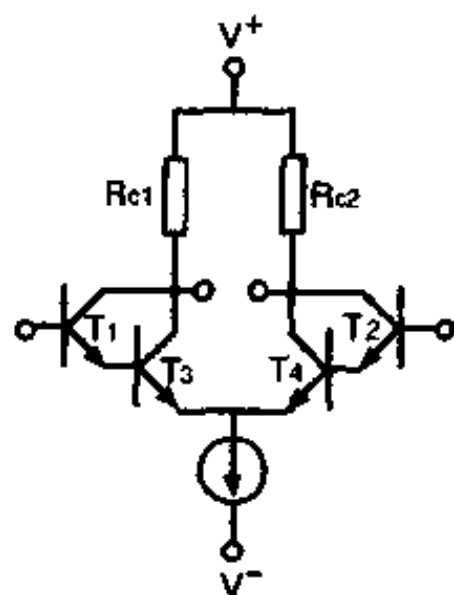


图 3.18 Darlington 输入级

3.2.4 达林顿(Darlington)差分输入级

为了减小集成运放的输入级基极电流 I_b , 提高运放的输入阻抗,除了采用超 β 晶体管外,还可以采用两个晶体管复合办法,如图 3.18 所示. 这种输入级称为 Darlington 差分输入级. 信号从 T_1, T_2 基极输入, T_1, T_3, T_2, T_4 集电极输出, T_3, T_4 的基极电流即为 T_1, T_2 射极电流,因此这种输入级 T_1, T_2 的基极电流 I_{b1}, I_{b2} 是很小的,从而将大大提高了输入阻抗. 但是,由于 T_1, T_2 是在很小的

B

电流下工作,在工艺上如不能很好地控制晶体管电流放大系数 β 小电流下严重下降的趋势,那么这种输入级要想提高输入阻抗的目的依然达不到.因此,Darlington 差分输入级对制造工艺,特别是如何克服表面复合效应而导致 β 下降的问题,将有很高的要求. Darlington 输入级另一个缺点是失调电压通常比共射差分输入级,共集一共基差分输入级大.

3.2.5 场效应管差分输入级

提高集成运放输入阻抗的第三种办法是利用场效应晶体管输入阻抗高这一特点,用场效应管作为差分输入级,如图 3.19 所示.

场效应管差分输入级,一种是用结型场效应管(JFET). 另一种是用 MOS 场效应管. 结型场效应晶体管结构如图 3.20 所示.

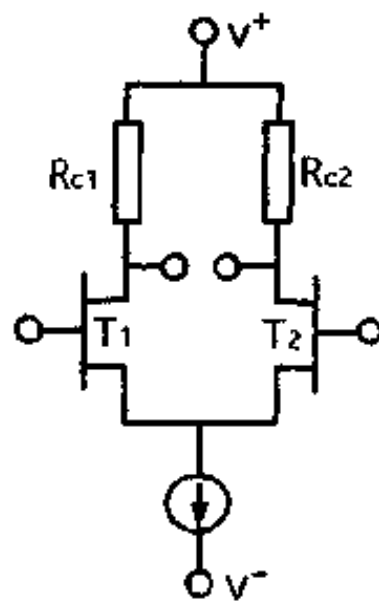


图 3.19 场效应管差分输入级

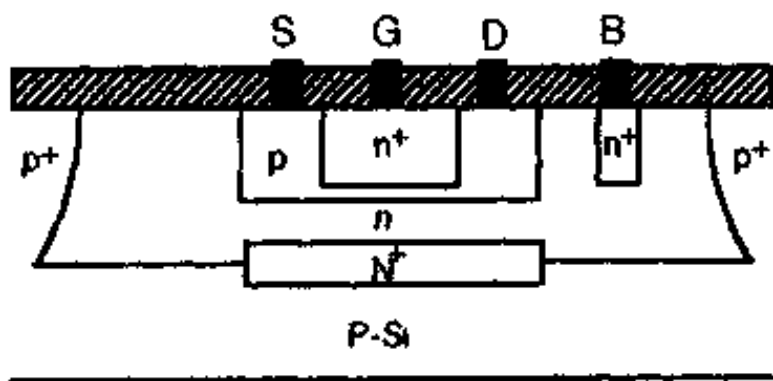


图 3.20 JFET 结构示意图

S, D 分别叫源,漏, G, B 分别为顶栅,底栅,工作时,栅源,栅漏之间的 pn 结处于反偏状态,通过改变栅极电压,来改变沟道宽窄,以此控制导电能力,用结型场效应管接成共源差分输入级,信号从栅源端输入,由于栅源 pn 结反偏,这种输入级具有很高的输

入阻抗。

高输入阻抗集成运放输入级如采用结型场效应晶体管,其后续常用双极型晶体管。P沟结型场效应晶体管和双极型晶体管工艺上完全相容,这是 JFET 作为集成运放输入级一大优点,如图 3.21 所示。

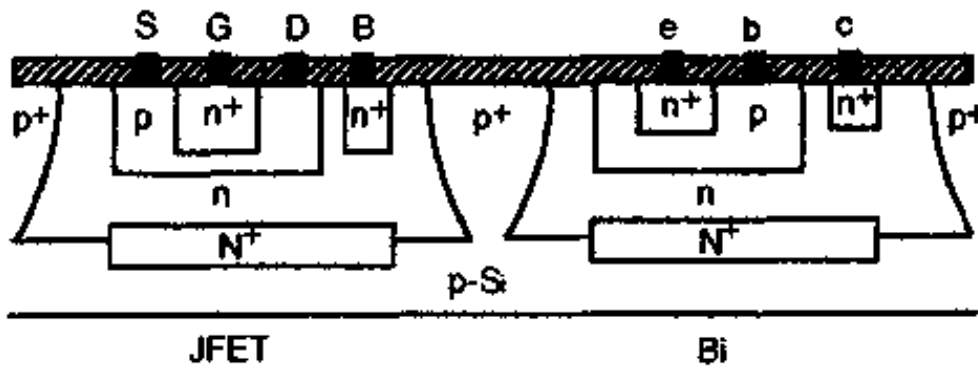


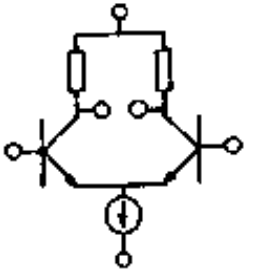
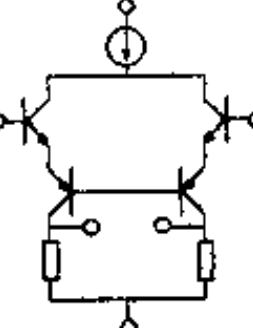
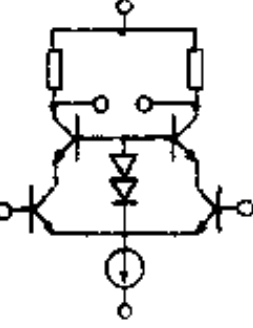
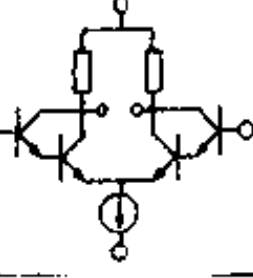
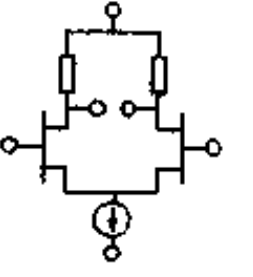
图 3.21 JFET 和双极型兼容技术

整个集成运放用同一衬底 p 型 Si,同时扩散埋层 N^+ ,然后外延 n 型层,在双极型晶体管基区扩散时,也扩散了结型场效应管的源漏区,在双极型管扩散发射区时,也同时扩散 JFET 的栅区。由于两种器件工艺兼容,所以 JFET 在集成运放和其他模拟集成电路中得到了广泛应用。当然,如果不增加任何附加工艺,同时作出 JFET 和双极型管子,也不尽理想,因为这样形成的 JFET 沟道太宽,造成夹断电压太高,为了克服这一缺点,通常可以在双极型管发射区扩散前,在 JFET 中先扩散一层 n^+ ,然后在双极型管发射区扩散同时,再扩栅区,以增加结深,减小 JFET 沟道宽度。

用结型场效应管构成运放输入级,其偏置电流即为 pn 结反向漏电流,而温度则是反向漏电流敏感函数,温度升高,反向漏电流明显增大,造成集成运放高温特性变差。因此用 JFET 作集成运放输入级要解决的一个问题是减小 pn 结反向漏电流。

另一种是用 MOS 场效应晶体管作为差分输入级。关于 MOS 集成运放,我们将在第九章进行专门讨论。

表 3.1 集成运放几种输入级比较

名称	电路形式	平衡输出跨导 $I_e : \mu A, G_{m1} : (M\Omega)^{-1}$	差模输入阻抗 $I_b : nA, R_{in} : M\Omega$	代表性 电路
共射差分输入级		$G_{m1} = \begin{cases} 40I_e (n=1) \\ 26I_e (n=1.5) \end{cases}$	$R_{in} = \begin{cases} \frac{52}{I_b} (n=1) \\ \frac{78}{I_b} (n=1.5) \end{cases}$	$\mu A709$ (美国) 5G23(上海元件五厂)
CC-CB差分输入级		$G_{m1} = \begin{cases} 20I_{c3} (n=1) \\ 13I_{c3} (n=1.5) \end{cases}$	$R_{in} = \begin{cases} \frac{104}{I_{b1}} (n=1) \\ \frac{156}{I_{b1}} (n=1.5) \end{cases}$	$\mu A741$ (美国) 5G24(上海元件五厂)
CE-CB差分输入级		$G_{m1} = \begin{cases} 40I_{e1} (n=1) \\ 26I_{e1} (n=1.5) \end{cases}$	$R_{in} = \begin{cases} \frac{52}{I_{b1}} (n=1) \\ \frac{78}{I_{b1}} (n=1.5) \end{cases}$	AD508 (美国) 4E325(复旦) KD205 KD207(中国科技大学)
达林顿输入级		$G_{m1} = \begin{cases} 20I_{c3} (n=1) \\ 13I_{c3} (n=1.5) \end{cases}$	$R_{in} = \begin{cases} \frac{104}{I_{b1}} (n=1) \\ \frac{156}{I_{b1}} (n=1.5) \end{cases}$	x52 (电子部 13 所)
场效应管输入级		G_{m1} 是设计参数	JFET $R_{in} = 10^8 - 10^{12} \Omega$ MOS $R_{in} = 10^{13} \Omega$	5G28(上海元件五厂) BG313(北京无线电器件所) CA3130(RCA) ICL7613 系 列 (Intersil)

3.3 集成运放中间级

在集成运放中,通常把输入级和输出级之间的电路统称为中间级.实际运放的中间级虽然各异不同,但概括起来,中间级必须承担三项基本功能:一是保证足够高的电压增益;二是进行直流电平移动,保证输入零电平时,输出也是零电平;三是完成双端转换成单端输出的功能,同时中间级还应该包括恒流源偏置电路.本节就这些电路进行逐一讨论.

3.3.1 集成运放恒流源电路

恒流源电路在模拟集成电路中应用极为广泛,它的主要用途有二个:一是用之作有源负载,这方面将在 3.3.2 节讨论.二是用之对电路中的工作点进行偏置,给电路中各个晶体管以稳定的正确的工作点.

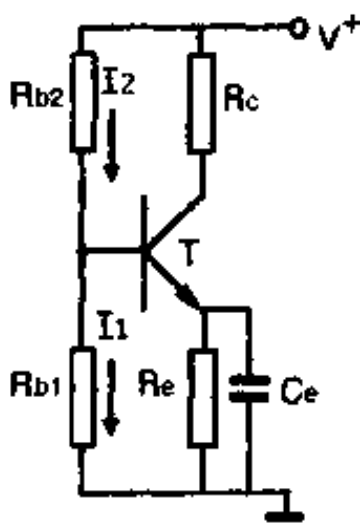


图 3.22 晶体管分立元件偏置电路

在集成电路中,偏置电路和晶体管分立元件的偏置方法不同,也就是说晶体管分立元件通常采用的偏置电路在集成电路中是不适用的.为了说明这个问题,让我们先看一个例子.

图 3.22 是晶体管共射放大电路, R_{b1} , R_{b2} 是偏置电阻,通过分压办法固定基极电位, R_e 是射极反馈电阻,起着直流反馈和保证工作点稳定作用.这是晶体管分立元件通常采用的偏置电路,现在来估算下这种偏置电路中的各个电阻的阻值.

例如: $I_c = 13\mu\text{A}$, $\beta = 50$, $V^+ = 15\text{V}$

求 R_{b1} , R_{b2} 阻值.

当 $I_c = 13\mu\text{A}$ 时, $I_b = 0.26\mu\text{A}$,按晶体管电路原理, $I_1 \geq (5 -$

10) I_b 选择原则, 取 $I_1 = 5I_b = 1.3\mu\text{A}$. 再按基极电位 $V_b = (5-10)V_{BE}$ 选择原则, 取 $V_b = 4\text{V}$, 这样 R_{b1} 约要 $3\text{M}\Omega$, $R_{b2} \approx 8\text{M}\Omega$. 这样大的阻值在集成电路中占有的面积是无法实现的, 因此这种偏置电路是不适用于集成化的要求. 所以在模拟集成电路中常采用恒流源电路作为偏置电路. 下面就讨论模拟集成电路中各种类型的恒流源电路.

(1) 基本型恒流源电路

图 3.23 是基本型恒流源电路, 它是由两个配对晶体管 T_1, T_2 构成, 设两个晶体管完全对称, 前向压降 $V_{BE1} = V_{BE2}$, 电流放大系数 $\beta_1 = \beta_2$. I_r 为参考电流, I_o 为恒流源输出电流. 现在来导出它们之间的关系.

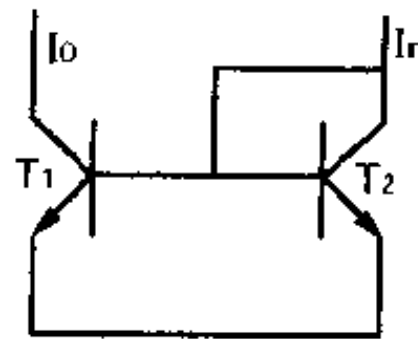


图 3.23 基本型恒流源电路

$$\begin{aligned} I_r &= I_{c2} + I_{b1} + I_{b2} \\ &= I_c + \frac{2I_c}{\beta} = I_c \left(1 + \frac{2}{\beta} \right) \end{aligned}$$

$$\because I_o = I_{c1} = I_c$$

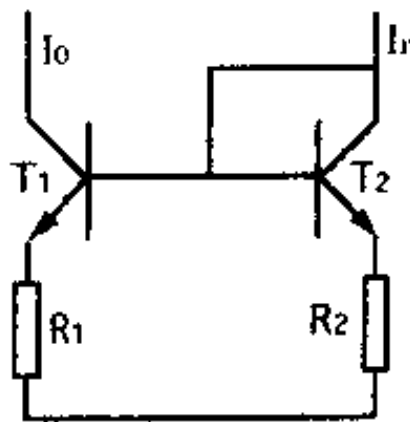
$$\therefore I_r = I_o \left(1 + \frac{2}{\beta} \right), \quad I_o = I_r \left(1 - \frac{2}{\beta + 2} \right) \quad (3.80)$$

当 $\beta \gg 1$ 时

$$I_o \approx I_r \quad (3.81)$$

即恒流源输出电流等于参考电流, 因此这种恒流源也叫做“电流镜”. 给定了参考电流 I_r , 输出电流也就恒定了. 这种恒流源电路简单, 但误差大, 灵活性差, 适用大电流偏置的场合.

(2) 电阻比例型恒流源电路



在图 3.23 中 T_1, T_2 射极接上两个电阻 R_1, R_2 , 即构成了比例型恒流源电路, 如图 3.24 所示. 改变 R_1 与 R_2 比值, 即可改变输出电流 I_o .

和参考电流 I_r 之比.

由图 3.24 可以写出:

$$\begin{aligned} V_{BE1} + I_{e1}R_1 &= V_{BE2} + I_{e2}R_2 \\ V_{BE2} - V_{BE1} &= I_{e1}R_1 - I_{e2}R_2 \end{aligned} \quad (3.82)$$

根据晶体管原理又可以写出

$$\begin{aligned} V_{BE1} &= \frac{KT}{q} \ln \frac{I_{e1}}{I_{es1}}, \quad V_{BE2} = \frac{KT}{q} \ln \frac{I_{e2}}{I_{es2}} \\ V_{BE2} - V_{BE1} &= \frac{KT}{q} \ln \frac{I_{e2}I_{es1}}{I_{e1}I_{es2}} \end{aligned}$$

设 T_1, T_2 两个管发射区面积设计相同, 工艺上实现单位面积反向漏电流也相同, 即 $I_{es1} = I_{es2}$, 则可以得出

$$V_{BE2} - V_{BE1} = \frac{KT}{q} \ln \frac{I_{e2}}{I_{e1}} \quad (3.83)$$

比较(3.82), (3.83)式则得

$$I_{e1} = \frac{I_{e2}R_2}{R_1} + \frac{1}{R_1} \cdot \frac{KT}{q} \ln \frac{I_{e2}}{I_{e1}}$$

因 $I_0 = I_{e1} \approx I_{c1}$, 在忽略基流情况下, $I_r \approx I_{c2} \approx I_{e2}$, 则有

$$I_0 = \frac{I_r R_2}{R_1} + \frac{1}{R_1} \cdot \frac{KT}{q} \ln \frac{I_r}{I_0} \quad (3.84)$$

当 $I_{e2} \approx I_{e1}$ 或 $I_{e2}R_2 \gg \frac{KT}{q} \ln \frac{I_{e2}}{I_{e1}}$ 时, 得出

$$\frac{I_0}{I_r} \approx \frac{R_2}{R_1} \quad (3.85)$$

可见, 输出电流 I_0 和参考电流 I_r 之间的关系可由 R_2 和 R_1 的比值来决定, 因此灵活性大, 这种恒流源还有温度补偿作用, 如当温度上升时, V_{BE1} 下降, 同时 V_{BE2} 也下降, 减小了输出电流 I_0 上升.

(3) 面积比例型恒流源电路

比例恒流源除了在图 3.24 中 T_1, T_2 射极加 R_1, R_2 电阻来实现外, 另一种办法是不加电阻, 而是改变 T_1, T_2 两管发射区面积比, 同样也可以改变输出电流 I_0 和参考电流 I_r 的比例关系. 设

T_1, T_2 两管 $\beta_1, \beta_2 \gg 1$, 即忽略基流情况下, 则有

$$\begin{aligned} I_0 &= I_{c1} \approx I_{e1} \\ I_r &\approx I_{c2} \approx I_{e2} \end{aligned} \quad (3.86)$$

$$\frac{I_0}{I_r} \approx \frac{I_{e1}}{I_{e2}}$$

$$I_{e1} = A_{e1} I'_{es1} e^{\frac{qV_{BE1}}{KT}} \quad (3.87)$$

$$I_{e2} = A_{e2} I'_{es2} e^{\frac{qV_{BE2}}{KT}} \quad (3.88)$$

式中 A_{e1}, A_{e2} 分别为 T_1, T_2 两管发射区面积.

I'_{es1}, I'_{es2} 为 T_1, T_2 管子单位面积反向漏电流.

在集成电路版图设计时, 常把 T_1, T_2 两管相靠很近, 加上工艺相同, 掺杂浓度相同, 因此两个管子单位面积的反向漏电流可以认为相同, $I'_{es1} = I'_{es2}$. 另外按图 3.23 电路, T_1, T_2 两管的正向压降也相同, $V_{BE1} = V_{BE2}$. 这样由 (3.87) 和 (3.88) 式可以得出

$$\frac{I_0}{I_r} = \frac{A_{e1}}{A_{e2}} \quad (3.89)$$

因此在模拟集成电路版图设计时, 只要根据 I_0 和 I_r 比值的要求, 设计出相应的发射区面积 A_{e1} 和 A_{e2} .

(4) 小电流恒流源电路

在集成运放中, 参考电流 I_r 通常是由主偏置电流提供, 电流一般较大, 如输出电流 I_0 要求很小的情况时, 需要用小电流恒流源来实现, 如图 3.25 所示. 这种恒流源也称 Widlar 恒流源.

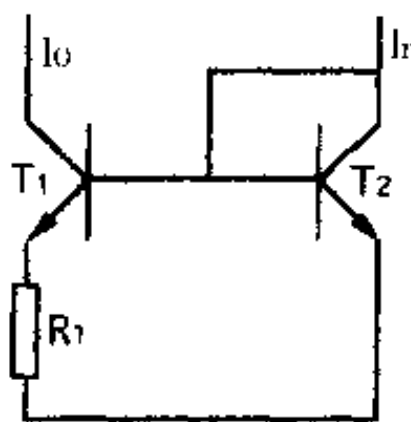


图 3.25 小电流恒流源

$$V_{BE2} = V_{BE1} + I_{c1} R_1$$

$$I_{c1} = \frac{1}{R_1} (V_{BE2} - V_{BE1})$$

$$V_{BE1} = \frac{KT}{q} \ln \frac{I_{c1}}{I'_{es1}}$$

$$V_{BE2} = \frac{KT}{q} \ln \frac{I_{e2}}{I_{e2}}$$

设 T_1 与 T_2 管子完全对称, 则有 $I_{e1} = I_{e2}$.

$$I_{e1} = \frac{KT}{R_1 q} \ln \frac{I_{e2}}{I_{e1}}$$

当 $\beta \gg 1$ 时, 基极电流可以略而不计.

$I_r \approx I_{e2}, I_0 \approx I_{e1}$. 最后得出

$$I_0 = \frac{KT}{qR_1} \ln \frac{I_r}{I_0} \quad (3.90)$$

或

$$R_1 = \frac{KT}{qI_0} \ln \frac{I_r}{I_0} \quad (3.91)$$

只要给定参考电流 I_r 和设定输出电流 I_0 , 则可算出电阻 R_1 值, 这种恒流源设计方便灵活, 在固定的参考电流下, 只要改变 R_1 值, 就可以得出不同的输出电流 I_0 ; 同时当 I_r 受电源电压波动影响时, I_0 变化很小, I_0 较稳定.

(5) 改进型恒流源电路

所谓改进型是对图 3.23 基本型恒流源的改进, 上面已导出基本型恒流源输出电流 I_0 和参考电流 I_r 之间的关系为

$$I_0 = I_r \left(1 - \frac{2}{\beta + 2} \right)$$

其相对误差为

$$\frac{I_r - I_0}{I_r} = \frac{2}{\beta + 2} \quad (3.92)$$

现在来计算下相对误差值, 当 $\beta = 100$ 时, 相对误差仅为 2%, 当 $\beta = 5$ 时, 误差约为

29%. 因此对 β 很大的 npn 管或完全纵向 pnp 管作基本型恒流源时, 其误差可以略而不计, 但对 β 很小的横向 pnp 管来说, 其误差就相当大. 为了减小

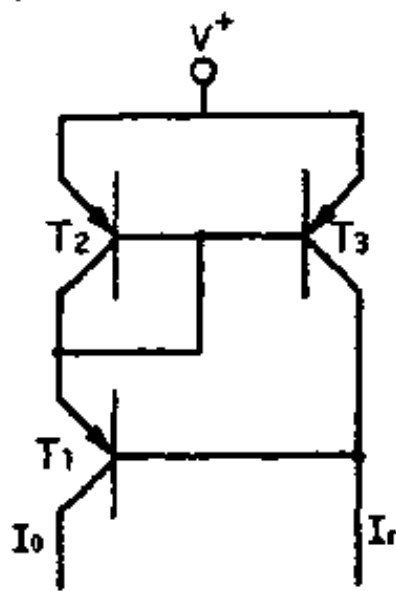


图 3.26 改进型恒流源

输出电流 I_0 和参考电流 I_r 间的误差, 需要对基本型恒流源进行改

进,改进后的恒流源电路如图 3.26 所示.这种改进型恒流源有时也称为 Wilson 恒流源.

下面来推导下这种改进型恒流源输出电流 I_0 与参考电流 I_r 之间的关系及相对误差.

设 T_1, T_2, T_3 三个管 β 相同,其它参数也对称,按图 3.26 可以写出

$$I_r = I_{c3} + I_{b1} = I_{c3} + \frac{I_0}{\beta}$$

$$I_{c3} = I_r - \frac{I_0}{\beta} \quad (3.93)$$

$$I_{e1} = I_{c2} + \frac{I_{c2}}{\beta} + \frac{I_{c3}}{\beta}$$

$$\approx I_{c3} \left(1 + \frac{2}{\beta} \right) \quad (3.94)$$

$$I_0 = \frac{\beta}{\beta+1} I_{e1} \quad (3.95)$$

用(3.93), (3.94)式代入(3.95)式得出

$$I_0 \approx \left(1 - \frac{2}{\beta^2 + 2\beta + 2} \right) I_r \quad (3.96)$$

相对误差为

$$\frac{I_r - I_0}{I_r} = \frac{2}{\beta^2 + 2\beta + 2} \quad (3.97)$$

当横向 pnp 管 $\beta=5$ 时,相对误差为 5.4%,说明改进型恒流源输出电流和参考电流相对误差比基本型恒流源小得多,“镜象”精度得到了重大提高.

(6) 缓冲型恒流源电路

当电路要求有多个恒流源输出电流时,若仍使用基本型恒流源,则输出电流和参考电流误差太大,特别用横向 pnp 管时误差更大.为了解决这一问题,可采用缓冲型恒流源,如图 3.27 所示.

它是在 T 管 bc 极之间接一个三极管作为缓冲级.假设 T_0, T_1, \dots, T_n 各管完全对称.现在来看下输出电流和参考电流之间

的关系.

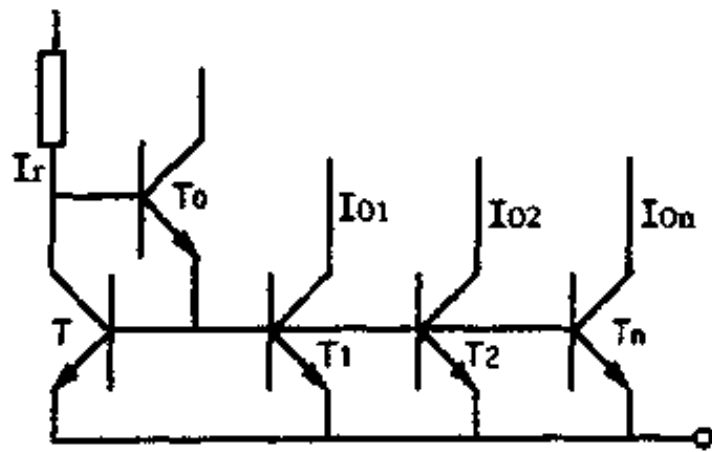


图 3.27 缓冲型恒流源

由图 3.27 可以写出

$$\begin{aligned} I_r &= I_c + I_{b0} = I_c + \frac{n+1}{\beta+1} I_b \\ &= I_c + \frac{n+1}{\beta(\beta+1)} I_c \\ &= I_c \left(1 + \frac{n+1}{\beta^2 + \beta} \right) \end{aligned}$$

因 $I_o = I_c$

$$\text{即} \quad I_r = I_o \left(1 + \frac{n+1}{\beta^2 + \beta} \right) \quad (3.98)$$

$$I_o = I_r \left(1 - \frac{n+1}{\beta^2 + \beta + n + 1} \right) \quad (3.99)$$

$$\text{相对误差} \quad \frac{I_r - I_o}{I_r} = \frac{n+1}{\beta^2 + \beta + n + 1} \quad (3.100)$$

当 $\beta=100, n=5$ 时相对误差仅为 0.06%。当 $\beta=5, n=5$ 时, 相对误差为 16%。现在再回头看, 如果不用缓冲型, 而用基本型恒流源, 看其相对误差。基本型恒流源是把 T 管 bc 极短接, 此时有关系

$$I_r = I_c + (n+1)I_b = I_c \left(1 + \frac{n+1}{\beta} \right) = I_o \left(1 + \frac{n+1}{\beta} \right) \quad (3.101)$$

$$I_o = \left(1 - \frac{n+1}{\beta + n + 1} \right) I_r \quad (3.102)$$

相对误差为
$$\frac{I_r - I_0}{I_r} = \frac{n+1}{\beta+n+1} \quad (3.103)$$

当 $\beta=100, n=5$ 时, 相对误差为 5.7%, 当 $\beta=5, n=5$ 时, 相对误差为 55%.

可见采用带缓冲级的恒流源, 其输出电流和参考电流之间的误差将大幅度地减小.

(7) 横向 pnp 管恒流源电路

横向 pnp 管在模拟集成电路中已得到广泛应用. 所谓横向 pnp 管, 是以 n 型外延层作为 pnp 管基区, 其发射区和集电区由硼扩散同时实现的, 因此在工艺上容易制造出多个发射区和集电区的晶体管. 基本型恒流源电路的两个晶体管的基区是连在一起的, 发射极也接同电位上, 这样就可以用一个多集电极的横向 pnp 管构成多个恒流源, 图 3.28 就是用一个多集电极横向 pnp 管作为基本型恒流源的电路, 它的等效电路如图 3.29 所示.

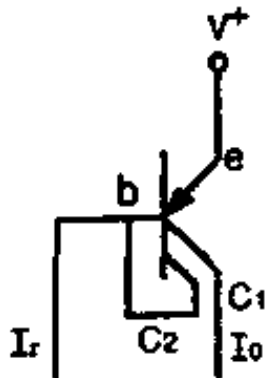


图 3.28 横向 pnp 管恒流源

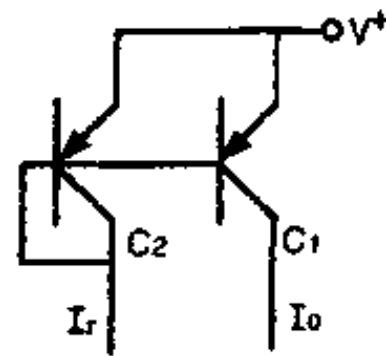
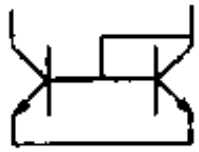
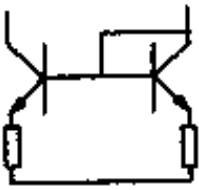
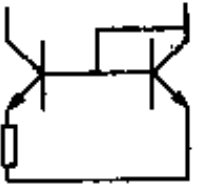
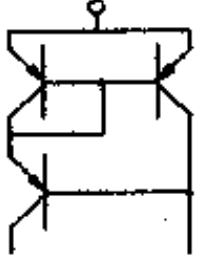
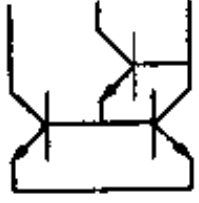
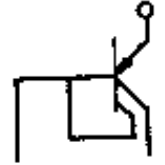


图 3.29 基本型 pnp 恒流源

这种恒流源电路简单, 版图面积省. 但由于横向 pnp 管固有的弱点, β 小, 频响差, 且小电流和大电流下 β 都发生严重下降, 因此作为恒流源不是在电流全范围内都可使用, 关于横向 pnp 管详细讨论将在第 5 章进行.

本节介绍了在模拟集成电路中几种常用的恒流源电路, 每种恒流源各有优点也各有缺点, 在模拟集成电路设计中, 可根据电路的不同要求选择使用, 在一种集成运放中, 常选择几种恒流源同时并用, 在后面电路分析时将可看到这种现象.

表 3.2 模拟集成电路中常用恒流源电路

名 称	电 路 结 构	I_0 与 I_r 关系式	特 点
基本型恒流源		$I_0 = \left(1 - \frac{2}{\beta + 2}\right) I_r$ $I_0 \approx I_r$	电路简单, 误差大.
比例型恒流源		$I_0 = \frac{R_2}{R_1} I_r + \frac{KT}{qR_1} \ln \frac{I_r}{I_0}$ $\frac{I_0}{I_r} \approx \frac{R_2}{R_1}$	具有温度补偿功能, I_0 随温度漂移小.
小电流恒流源		$I_0 = \frac{KT}{qR_1} \ln \frac{I_r}{I_0}$	电流 I_0 改变范围宽, 可获微电流输出.
改进型恒流源		$I_0 = \left(1 - \frac{2}{\beta^2 + \beta + 2}\right) I_r$ $I_0 \approx I_r$	误差小, I_0 稳定, 输出阻抗高.
缓冲型恒流源		$I_0 = \left(1 - \frac{2}{\beta^2 + \beta + 2}\right) I_r$ $I_0 \approx I_r \quad (n=1)$	误差小.
横向 pnp 管恒流源			版图结构简单, 面积省.

3.3.2 有源负载

在 3.2 节中已经导出, 集成运放输入级差模电压增益 $A_d = -G_{m1}R_L$, G_{m1} 为其跨导, R_L 为集电极有效负载. 说明要提高增益有二个途径: 一是提高跨导 G_{m1} , 也就是说要增大工作电流 I_c , 显然 I_c 不能无限制增大, I_c 大会带来功耗大, 输入阻抗低等问题. 二是提高有效负载 R_L , 但如果仍采用电阻为负载, 它的提高也受到限制, 电阻大, 导致集成电路芯片面积增大, 不利于集成化. 因此, 人们希望有这样一种“负载”, 它对直流而言, 阻值很小, 对交流信号而言, 阻抗很大. 利用晶体管动态输出阻抗高这一特点, 用晶体管高输出阻抗作为负载, 大大提高了 R_L , 这种负载称之为有源负载.

图 3.30 是有源负载放大电路原理图. T_1 为放大管, T_2, T_3 构成基本型恒流源, 作为 T_1 的有源负载, 利用 T_2 动态输出阻抗高, 提高了放大管集电极有效负载, 实现高增益目的.

从晶体管原理知道, 共射晶体管电压和电流关系的输出特性如图 3.31 所示. 若晶体管静态工作点在输出特性曲线平坦部分 M 点 ($V_{ce} = V_M, I_c = I_M$), 则其直流电阻为 $R_0 = \frac{V_M}{I_M}$ 是很小的, 而其

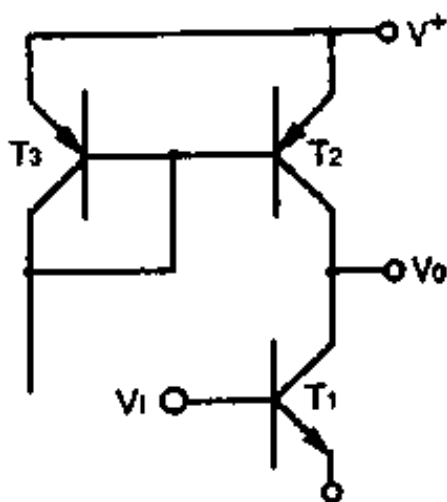


图 3.30 有源负载放大电路

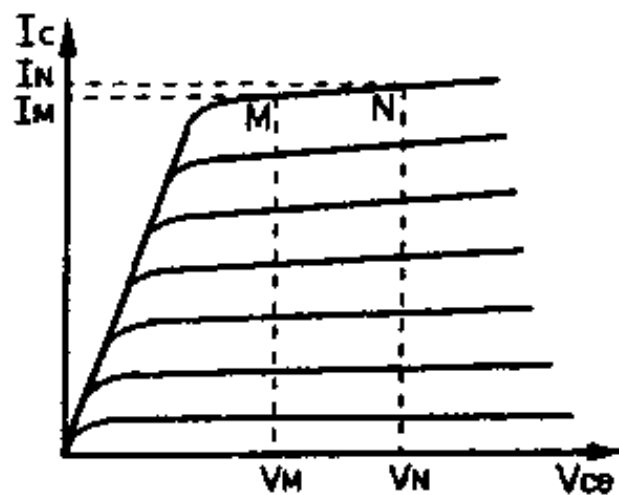


图 3.31 晶体管输出特性曲线

动态输出阻抗 $r_o = \frac{\partial V_{ce}}{\partial I_c}$ 是很大的, 对于良好晶体管共射极输出阻抗 r_o 在小电流下可达 $M\Omega$ 数量级. 如 $I_c = 13\mu A$ 时, $r_o \approx 3-5M\Omega$.

现在我们再进一步讨论晶体管输出阻抗跟哪些因素有关.

根据晶体管原理, 共射极输出阻抗为

$$r_o = \frac{r_c}{1+\beta}$$

r_c 为共基极输出阻抗, 可以导出

$$r_c = \frac{1}{\frac{2}{W}(1-\eta)\left(\frac{\delta_c}{6V_c}\right)I_c} \quad (3.104)$$

式中: W 为有效基区宽度

η 为输运系数

δ_c 为集电结势垒总宽度

V_c 为集电结电压

I_c 为工作电流

由(3.104)式可以看到 r_c 跟下列因素有关:

① r_c 跟其工作电流 I_c 成反比, 要提高 r_c , 可适当减小其工作电流 I_c .

② r_c 跟有效基区宽度 W 成正比. $W = W_0 - \delta'_c$, W_0 为物理基区宽度, δ'_c 集电结势垒在基区一边的宽度. δ'_c 是基区调变效应引起的. 由于基区调变效应, 使有效基区宽度变小, r_c 下降, 要使 r_c 高, 可以适当放宽基区宽度 W_0 , 使基区调变效应影响变小. 当然基区宽度增宽, β 将下降.

③ r_c 还跟工艺因素有关. 如反向漏电流, 少子寿命, 表面复合等都会影响 r_c 的大小, 因此如何改善工艺条件, 这也是提高 r_c 的一个途径.

3.3.3 双端变单端转换电路

现代集成运算放大器通常有两个输入端和一个输出端, 所以

几乎都存在一个将差分输入级的双端输出信号转换为单端输出信号问题. 本节就单端化电路进行讨论.

在 3.2 节中已经证明, 共射差分放大器单端输出差模电压增益为单管放大器一半, 而平衡双端输出的电压增益与单管放大器相同. 因此在实现双端变单端转换时候, 如何获得与双端平衡输出一样高的电压增益, 这是要考虑的一个问题.

下面列举两种双端变单端转换电路.

(1) $\mu A702$ 集成运放单端化电路

图 3.32 是 $\mu A702$ (BG301, 5G922) 集成运放双端变单端转换电路.

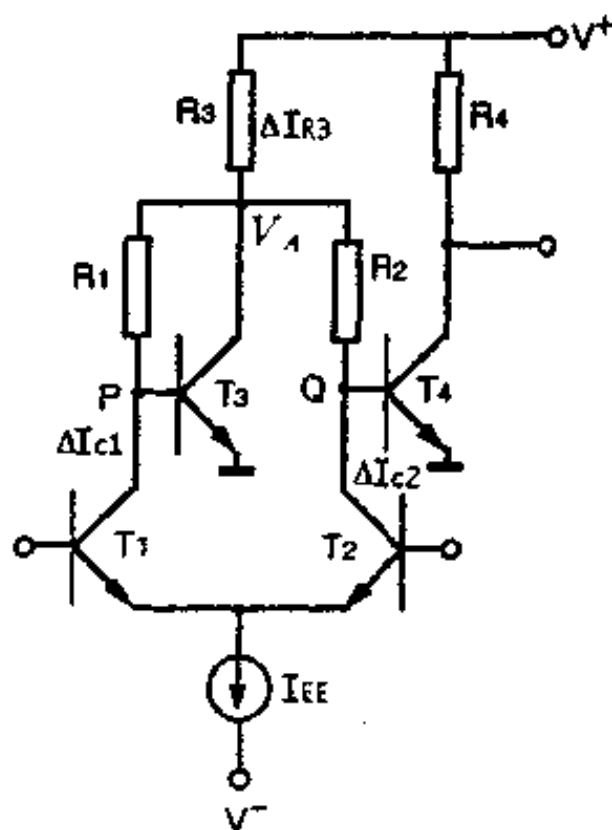


图 3.32 $\mu A702$ 单端化电路

T_1, T_2, R_1, R_2 组成共射差分输入级, 信号从 T_2 集电极单端输出到第二级 T_3 的基极.

当输入为差模信号时, 经 T_1, T_2 管放大后, 在 T_1, T_2 两管集电极得到两个大小相等相位相反的两个信号. 设 T_1 的 I_{c1} 变化为

ΔI_{c1} , 符号为“+”, 则 T_2 的 I_{c2} 变化为 ΔI_{c2} , 符号为“-”, 即 $\Delta I_{c1} = -\Delta I_{c2}$, T_1 的 ΔI_{c1} 经 T_3 管放大后, 再经 R_2 加在 T_4 管的基极, 符号为“-”, 与 ΔI_{c2} 加在 T_4 基极信号相位相同, 大小也几乎一样, 于是 T_4 基极得到信号为 $2\Delta I_{c2}$, 完成了双端变单端的转换.

下面来推导这个转换结果.

假设基极电流的影响可以略去不计, 由图 3.32 可以写出

$$\begin{aligned} V_A &= V^+ - I_{R3}R_3 \\ \Delta V_A &= -\Delta I_{R3}R_3 \end{aligned} \quad (3.105)$$

$$\begin{aligned} V_P &= V_A - I_{c1}R_1 \\ \Delta V_P &= -\Delta I_{R3}R_3 - R_1\Delta I_{c1} \end{aligned} \quad (3.106)$$

$$\begin{aligned} V_Q &= V_A - I_{c2}R_2 \\ \Delta V_Q &= -\Delta I_{R3}R_3 - R_2\Delta I_{c2} \end{aligned} \quad (3.107)$$

$$\begin{aligned} \Delta I_{R3} &= -\Delta I_{c1} + \Delta I_{c3} + \Delta I_{c2} = \Delta I_{c3} \\ &= \beta_3 \Delta I_{b3} = \beta_3 \frac{\Delta V_P}{r_{e3}} \end{aligned}$$

用(3.106)式代入上式, 解得

$$\Delta I_{R3} = \frac{-R_1\Delta I_{c1}}{\left(\frac{r_{e3}}{\beta_3} + R_3\right)} \approx -\frac{R_1}{R_3}\Delta I_{c1} \quad (3.108)$$

把(3.108)式代入(3.107)式, 得出

$$\Delta V_Q = R_1\Delta I_{c1} - R_2\Delta I_{c2}$$

因 $\Delta I_{c2} = -\Delta I_{c1}$, 并取 $R_1 = R_2$

$$\therefore \Delta V_Q = 2R_1\Delta I_{c1} \quad (3.109)$$

这说明由 Q 点取出的电压变化量和 P, Q 两点平衡输出的电压变化量等同, 从而实现了双端变单端的转换.

假如输入的是共模信号, 则正好在 Q 点, 两个信号大小相等, 方向相反, 相互抵消, 这就是所谓的共模抑制, 这个问题将在后面讨论.

(2) 有源负载单端化电路

图 3.33 是集成运放 KD203 有源负载的双端变单端的转换电路。

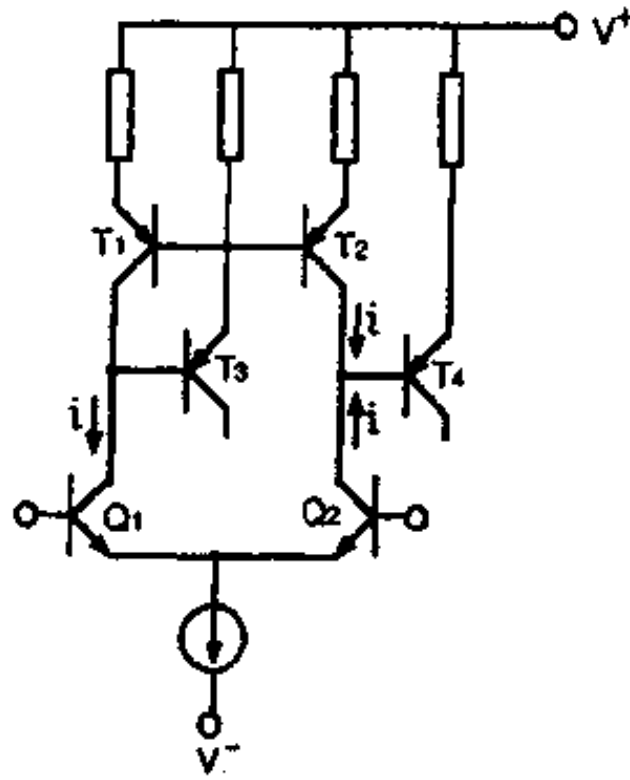


图 3.33 有源负载单端化电路

由图可以看到, T_1, T_2, T_3 组成缓冲型恒流源, 作为差分输入级 Q_1, Q_2 的有源负载, 同时实现差分级双端输出变为单端输出的转换。

当输入为差模信号时, Q_1, Q_2 输出两个大小相等, 相位相反的信号电流。设 Q_1 集电极电流增大 i , 则 Q_2 集电极电流将减小 i , 其方向如图 3.33 所示。根据 3.2.1 节推导结果, 缓冲型恒流源当 I_{CQ1} 增大 i 时, I_{CQ2} 也同样增大 i , 其结果是 T_4 基极得到 $2i$ 信号电流, 跟差分输入级双端平衡输出的信号等同, 从而完成了双端变单端的转换。

3.3.4 电平移动电路

一个设计良好的集成运放, 当输入端为零电平时, 输出端电平也应该为零。但是集成运放级与级之间是采用直接耦合式的, 运放

中的晶体管又多数采用共射接法,信号从基极输入集电极输出,集电极电平和基极电平总存在一个阶梯,npn管集电极电平比基极

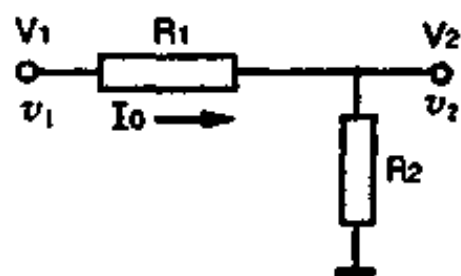


图 3.34 电阻分压法移动电平

高, pnp 管集电极电平比基极低, 这样每经一级放大, 电平就要发生移动, 或升高, 或降低, 致使输入为零电平时, 输出不能保持零电平状态. 为了使输出也保持零电平, 就需要进行电平移动. 电平移动电路作用是把升高的电平降低或降低的电平升高, 以达

到输出零电平目的. 下面介绍几种电平移动电路.

(1) 电阻分压法移动电平

电平移动最简单的办法是采用电阻分压法, 如图 3.34 所示.

原来直流电平为 V_1 , 交流电平为 v_1 , 移动后电平分别为 V_2 , v_2 . 它们之间的关系很容易写出

$$\text{直流} \quad V_2 = \frac{R_2}{R_1 + R_2} V_1 \quad (3.110)$$

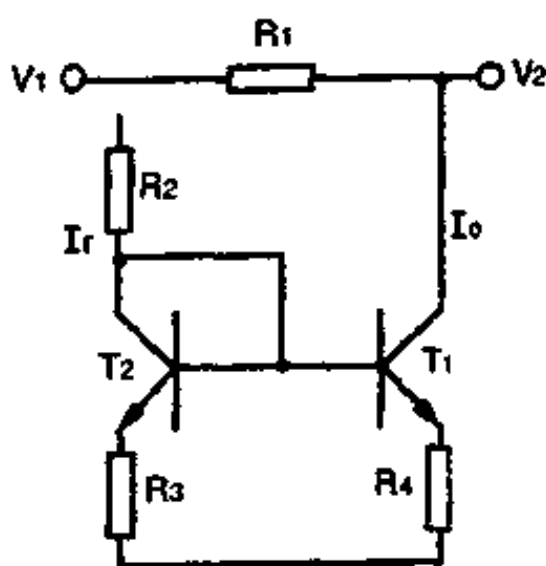
$$\text{交流} \quad v_2 = \frac{R_2}{R_1 + R_2} v_1 \quad (3.111)$$

这种方法简单, 但实现了直流电平移动的同时交流信号 v_1 也衰减为 $\frac{R_2}{R_1 + R_2} v_1$, 因此在集成运放不宜使用.

(2) 恒流源电平移动电路

我们希望在进行直流电平移动的同时, 交流信号不发生衰减, 要实现这一要求, 只要把图 3.34 中的电阻 R_2 换成恒流源, 如图 3.35 所示.

R_2, R_3, R_4, T_1, T_2 组成恒流源, 恒流源输出电流 I_0 在电阻 R_1 上产生恒图 3.35 恒流源电平移动电路



定的压降 $I_0 R_1$, 输出直流电平 V_2 比输入直流电平 V_1 降低了 $I_0 R_1$, 即

$$V_2 = V_1 - I_0 R_1 \quad (3.112)$$

根据 3.3.1 节推导结果, 比例型恒流源输出电流 I_0 为

$$I_0 = \frac{I_r R_3}{R_4} + \frac{1}{R_4} \frac{KT}{q} \ln \frac{I_r}{I_0}$$

$$\therefore V_2 = V_1 - \frac{I_r R_3 R_1}{R_4} + \frac{R_1}{R_4} \cdot \frac{KT}{q} \ln \frac{I_r}{I_0} \quad (3.113)$$

可根据电平移动数值的要求, 选择(3.113)式后项各个参数. 对于交流信号来说, 由于恒流源输出阻抗 r_0 很高, 所以电压 $v_2 \approx v_1$, 几乎不发生衰减现象.

(3) pnp 晶体管电平移动电路

图 3.36 是 pnp 管电平移动电路, T_1 是 npn 放大管, T_2 是 pnp

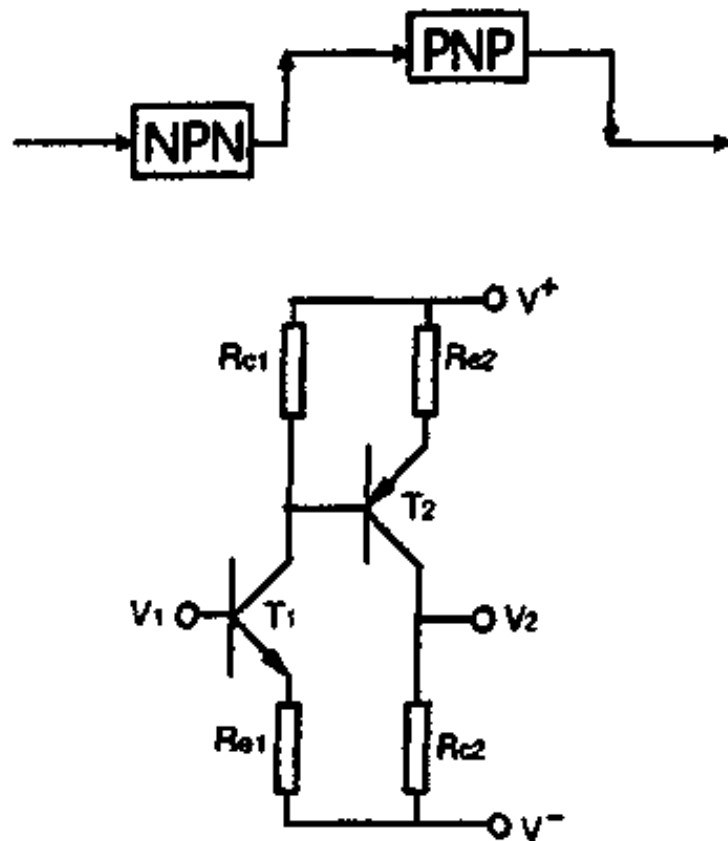


图 3.36 pnp 管电平移动电路

晶体管, 它既起电平移动作用, 又起放大作用, 对于 npn 晶体管, 集电极电位高于基极电位, 经 npn 管放大后, 电平升高了, 对于

pnp 管,集电极电位低于基极电位,经 pnp 管放大后,电平又降低了. 因此,只要适当选取 $R_{c1}, R_{c1}, R_{c2}, R_{c2}$ 电阻值,即可实现电平移动的目的.

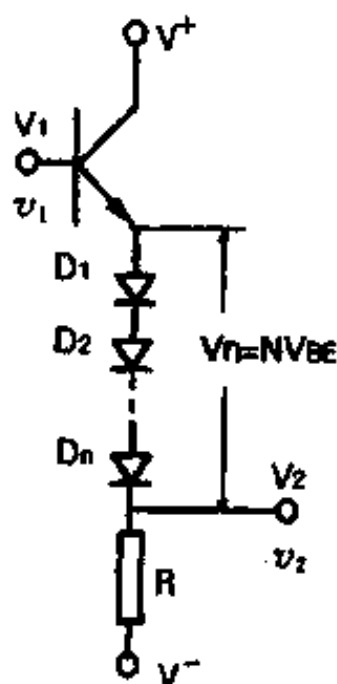


图 3.37 二极管电平移动电路

由于 pnp 管在模拟集成电路中获得了广泛应用,所以电路设计者在设计集成运放时,常采用 npn 管作为运放的输入级,第二级则采用 pnp 管作为放大级,它既起放大作用,又起电平移动作用,无需另外附加专门电平移动电路,体现出 pnp 管作为电平移动的优越性.

(4) 二极管电平移动电路

利用多个二极管正向偏置,也可以作为电平移动电路,如图 3.37 所示.

$$\text{直流输出电平} \quad V_2 = V_1 - (n+1)V_{BE} \quad (3.114)$$

$$\text{信号电平} \quad dV_2 = dV_1, \quad \text{即} \quad v_2 = v_1 \quad (3.115)$$

所以直流电平移动了 $(n+1)V_{BE}$, 信号无衰减. 二极管电平移动电路存在的问题是每个二极管直流电平只能移动 $\sim 0.7\text{V}$ 左右,如采用多个二极管,占用芯片面积就很大;另外移动值只能是 V_{BE} 的整数倍,可调性差;还有 V_{BE} 随温度变化大 $\frac{\partial V_{BE}}{\partial T} \approx -2.0 \text{ mV}/^\circ\text{C}$, 所以电平也随温度而变化.

除了上面介绍四种电平移动电路外,当然还有其它方法,如采用稳压管进行电平移动,但所有方法都必须考虑到设计的合理性和工艺的兼容性.

3.4 集成运放输出级

集成运放输出级主要包括输出级电路和输出保护电路. 对输

出级有许多特殊要求,其中最主要的要求是:必须保证有一定的电压输出幅度,这个幅度应尽可能接近电源电压值;保证一定的电流输出能力;要有尽可能低的输出阻抗,使电压增益受负载变更影响小;功耗尽可能小等.本节先讨论几种输出级电路,分析各自的优缺点,然后再介绍输出保护电路.

3.4.1 单管射极跟随器输出级

最简单的输出级是采用单管射极跟随器作为输出级电路.图 3.38 和图 3.39 分别是 npn 和 pnp 管射极跟随器输出级.这是大家早已熟悉的电路. V_i 和 V_o 分别为输入和输出电压, R_e 为射极电阻, R_L 为负载.

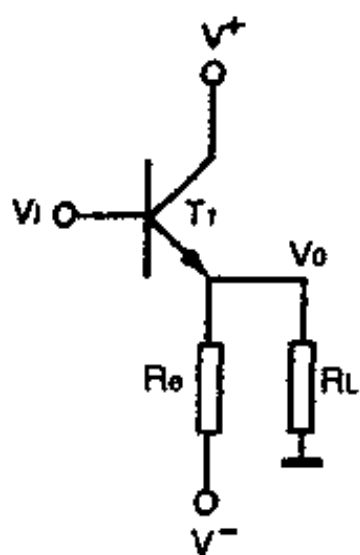


图 3.38 npn 管射极跟随器

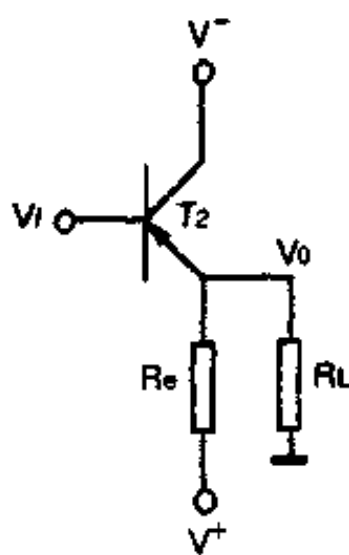


图 3.39 pnp 管射极跟随器

根据晶体管电路,大家知道,这种简单的射随器有三大特点:

- ① 电压增益近似为 1;
- ② 输出阻抗很低;
- ③ 输入阻抗很高.

但是,在集成运放中如采用这种简单的射随器作为输出级有它的欠缺之处:

- ① 输出不对称.

所谓不对称,主要表现为正负向输出电压幅度不一致,正负向输出电流差别大.下面对 npn 和 pnp 管两种跟随器分别进行简单讨论:

nnp 管跟随器情况:

如图 3.38 所示,当负载 R_L 输出为正信号时,负载上的电流由 T_1 管流向 R_L ,此时

$$\text{正向电压输出幅度 } V_{OP}^+ = V^+ - V_{ces1} \approx V^+ \quad (3.116)$$

$$\text{正向输出电流 } I_m^+ \approx \frac{V^+}{R_L} \quad (3.117)$$

当负载上输出为负信号时,负载电流由地 $\rightarrow R_L \rightarrow R_e \rightarrow V^-$,此时:

$$\text{负向输出幅度 } V_{OP}^- = \frac{R_L}{R_e + R_L} V^- \quad (3.118)$$

$$\text{负向输出电流 } I_m^- = \frac{V^-}{R_e + R_L} \quad (3.119)$$

由此可见,以 npn 管为跟随器时,正向跟随特性好,负向跟随特性差.

pnp 管跟随器情况:

如图 3.39 所示, V_o 为正向输出时,电流由 $V^+ \rightarrow R_e \rightarrow R_L \rightarrow$ 地,此时

$$\text{正向输出幅度 } V_{OP}^+ = \frac{R_L}{R_e + R_L} V^+ \quad (3.120)$$

$$\text{正向输出电流 } I_m^+ = \frac{V^+}{R_e + R_L} \quad (3.121)$$

V_o 为负向输出时,电流由地 $\rightarrow R_L \rightarrow T_2 \rightarrow V^-$,此时

$$\text{负向输出幅度 } V_{OP}^- \approx V^- \quad (3.122)$$

$$\text{负向输出电流 } I_m^- \approx \frac{V^-}{R_L} \quad (3.123)$$

可见,以 pnp 管为跟随器时,负向跟随特性好,正向跟随特性差.总之,不论以 npn 管或 pnp 管单独构成输出级时,正负向总是不对称的.

② 跟随效率低

如以 npn 管为跟随器, 正向输出时, 电流分成二路, 一路流过负载 R_L , 一路流过射极电阻 R_e . 显然流过 R_e 的电流是无谓的损耗, 因此, 这种跟随输出级效率低. 为了减小 R_e 上的电流损失, 希望 R_e 取大些, 但根据(3.118)式结果, R_e 大, 负向输出幅度 V_{OP} 要降低. 因此, 在实际中, 只能折衷选取 R_e .

这种简单的射随输出级, 只适用于负载轻的场合. 初期的集成运放 $\mu A702$ 用了这种输出级电路.

3.4.2 推挽输出级

为克服单管射随输出级的缺点, 解决效率与幅度之间的矛盾, 可用推挽输出级电路, 如图 3.40 所示.

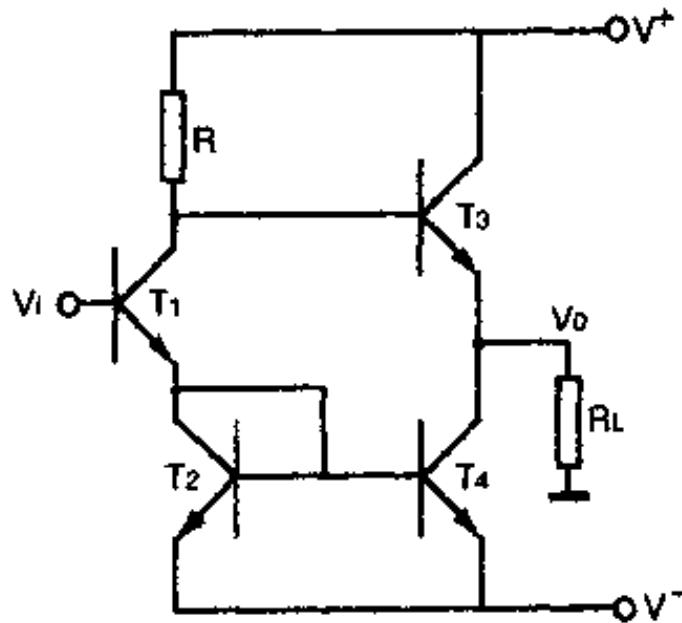


图 3.40 推挽输出级

T_1 为倒相驱动管, T_3, T_4 构成推挽输出级, T_2, T_4 组成基本型恒流源, 替代单管射随器中的射极电阻.

当 T_1 基极输入负信号时, T_3 基极得到正信号, 通过 T_3 的跟随作用, 在负载 R_L 上得到正信号输出, 在这同时, T_1 发射极得到负信号, 使得 T_4 集流减小, T_4 输出阻抗增加. 只要 T_1 驱动足够大, 即可使 T_3 饱和, 电流由 $V^+ \rightarrow T_3 \rightarrow R_L \rightarrow$ 地, $V_{OP} = V^+ - V_{ces3} \approx$

$V^+, I_m^+ \approx \frac{V^+}{R_L}$. 由于此时 T_4 的输出阻抗 r_{oc} 很大, 所以电流几乎无分流作用, 全部流入 R_L , 提高了效率.

当 T_1 输入正信号时, T_3 基极得到负信号, 只要驱动足够, 可使 T_3 截止. 同时, T_4 基极得到正信号, T_4 导通并饱和, 电流由地 $\rightarrow R_L \rightarrow T_4 \rightarrow V^-, V_{OP} \approx V^-$, 从而又克服了单管射随器输出不对称的缺点.

但是, 推挽输出级也存在一个重要问题, 正信号由 T_3 射随输出, 其输出阻抗相当于 T_3 的射随输出阻抗, 因此正向输出阻抗很低, 而在负向时, 由 T_4 集电极输出, 输出阻抗相当于 T_4 集极输出阻抗, 因此负向输出阻抗较高, 输出阻抗正负向不对称, 是推挽输出级一个缺点.

3.4.3 互补输出级

在 3.4.1 节我们已经分析了单管射随输出级输出特性, npn 管跟随器, 正向跟随特性好; pnp 管负向跟随特性好. 人们自然会想到, 如果同时利用两种管子组成输出级, 取各自的优点, 正负向不对称的问题, 即可解决. 这种利用 npn 和 pnp 管组成的输出级, 即称之为互补输出级, 如图 3.41 所示.

T_1 为 npn 管, T_2 为 pnp 管, 当 V_i 为正信号时, T_1 的 eb 结正偏, T_2 eb 结反偏, 正信号由 npn 管 T_1 射随输出; 当输入为负信号时, T_2 正偏, T_1 反偏, 负信号由 T_2 射随输出. 这种输出级电路, 既克服了单管射随输出级正负输出幅度, 输出电流不对称的缺点, 又克服了推挽输出级输出阻抗正负向不一致的缺点. 因此, 互补输出级是现代集成运放常用的输出级电路, 但在实用中, 不是简单地用图 3.41 电路.

图 3.41 这样简单的互补输出电路, 将会产生输出信号失真. 当输入信号 V_i 在 $-0.7 \sim +0.7V$ 范围时, T_1, T_2 管子都不通, 输出为零, 出现“死区”, 由死区现象造成的失真, 人们称之为“交越失

真”。图 3.42 表示“交越失真”的转移特性曲线。为克服交越失真常

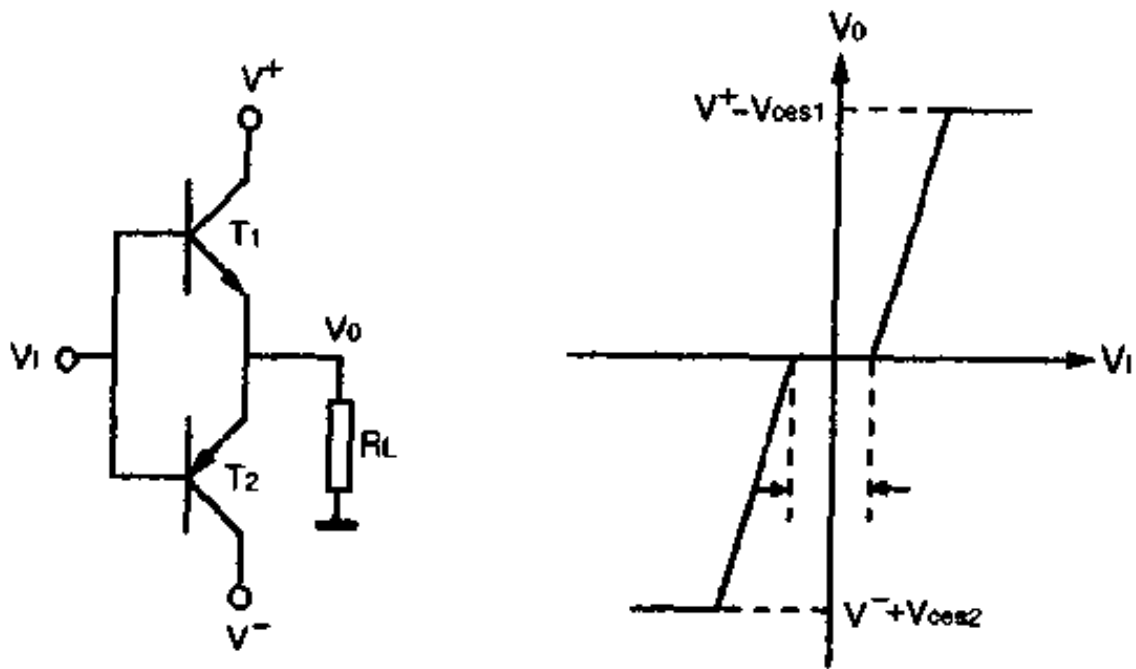


图 3.41 互补输出级

图 3.42 简单互补输出级转移特性

用的办法是在输出管 T_1, T_2 基极间加两个二极管如图 3.43 所示, 由于正偏二极管存在, 使得输入为零信号时, T_1, T_2 处于导通的临界状态, 当一有信号输入时, 马上就有输出信号, 从而克服了“交越失真”。

这里要指出的是, T_3, T_4 偏置电压必须设计合适, 使得 $V_{BE3} + V_{BE4} = V_{BE1} + V_{BE2}$ 。

现在以图 3.43 KD203 集成运放互补输出级为例, 如何设计才能达到克服交越失真之目的。根据晶体管原理

$$I_c = A_c I_{cs}' e^{\frac{qV_{BE}}{KT}}$$

I_c 为晶体管射极工作电流;

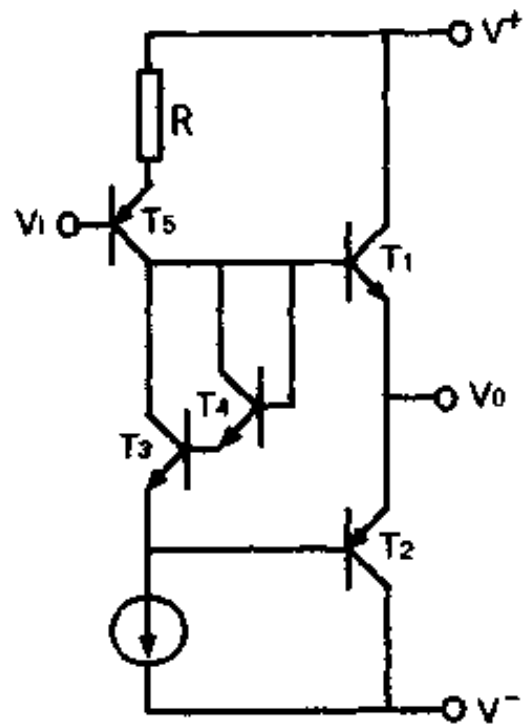


图 3.43 KD203 互补输出级

A_e 为发射结面积;

$I_{e'}$ 为发射结单位面积反向饱和电流;

V_{BE} 为 eb 结正向压降.

设 T_1, T_2, T_3, T_4 管发射结单位面积反向饱和电流 $I_{e'}$ 均相同, 则可写出

$$V_{BE3} + V_{BE4} = \frac{KT}{q} \ln \frac{I_{e3} \cdot I_{e4}}{A_{e3} \cdot A_{e4} \cdot I_{e'}^2} \quad (3.124)$$

$$V_{BE1} + V_{BE2} = \frac{KT}{q} \ln \frac{I_{e1} \cdot I_{e2}}{A_{e1} \cdot A_{e2} \cdot I_{e'}^2} \quad (3.125)$$

要克服交越失真, 必须满足 $V_{BE3} + V_{BE4} = V_{BE1} + V_{BE2}$, 因此得出

$$\frac{I_{e3} \cdot I_{e4}}{A_{e3} \cdot A_{e4}} = \frac{I_{e1} \cdot I_{e2}}{A_{e1} \cdot A_{e2}} \quad (3.126)$$

假设 T_1, T_2 发射结面积设计相同, 且 $I_{e1} = I_{e2}$, T_3, T_4 发射结也设计相同, $I_{e4} = \frac{I_{e3}}{\beta}$, 那么可以得出

$$\frac{A_{e1}^2}{A_{e3}^2} = \beta \cdot \frac{I_{e1}^2}{I_{e3}^2} \quad (3.127)$$

在 KD203 集成运放中 $I_{e3} = 176\mu\text{A}$, $I_{e1} = I_{e2} = 100\mu\text{A}$, $\beta = 100$, 代入上式得出

$$\frac{A_{e1}}{A_{e3}} = 5.68$$

3.4.4 集成运放输出保护电路

对任何类型的集成运放, 它的最小负载电阻值是有限制的, 如果负载电阻小于限制值, 或输出端与地短路、或与电源短路, 都会导致输出管因电流过大而损坏. 因此, 在现代集成运放中, 一般都有输出保护电路, 以限制输出级电流, 这样, 即使输出端与地、或与电源短路时, 不致损坏集成运放.

获得“短路保护”最简单的办法是在互补输出级两个输出管的发射极与输出端之间分别串入两个电阻 R_{e1} 、 R_{e2} , 如图 3.44 所示.

可以看到,在略去 T_1 管的饱和压降下,流过 T_1 管的电流为

$$I_0 = \frac{V^+}{R_{e1} + R_L} \quad (3.128)$$

当输出端与地短路时

$$I_{om} = \frac{V^+}{R_{e1}} \quad (3.129)$$

要得到“短路保护”,必须 $I_{om} < I_{cm}$ (I_{cm} 为 T_1 管允许的最大电流),即要求 $R_{e1} > \frac{V^+}{I_{cm}}$. 所以用这种方法获得短路保护, R_{e1} 和 R_{e2} 的取值较大,从而增加了输出级的输出阻抗,严重地影响集成运放的输出幅度和驱动能力. 因此这种方法不宜采用.

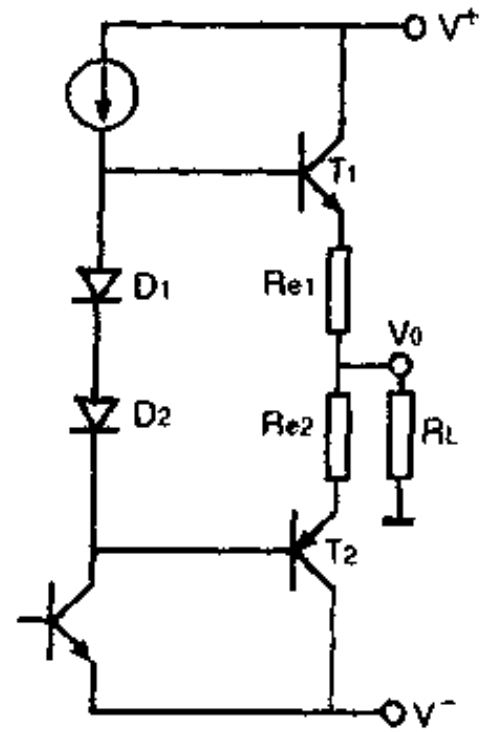


图 3.44 电阻保护电路

图 3.45 为二极管保护电路,它由 D_3 、 D_4 、 R_{e1} 、 R_{e2} 组成, D_3 、 D_4 是过流保护二极管, R_{e1} 、 R_{e2} 为取样电阻. 在正常情况下, D_3 、 D_4 截止不导通.

设 T_1 管工作,流过 R_{e1} 上的电流为 I_{e1} ,则 D_3 上的压降为

$$\begin{aligned} V_{D3} &= V_{BE1} + I_{e1}R_{e1} - V_{D1} \\ &\approx I_{e1}R_{e1} \end{aligned}$$

当因某种原因如输出端与地短路,流过 R_{e1} 上的电流突然增大,当

$$I_{e1} = I_{e1max} = \frac{(V_{D3})_{on}}{R_{e1}}$$

时, ($(V_{D3})_{on}$ 是二极管导通电压), 则 D_3 导通,分去了 T_1 管的基极电流,从而限制了 T_1 管的输出电流,使得流经 T_1 的电流不会超过

$$I_{e1max} = \frac{(V_{D3})_{on}}{R_{e1}}, \text{达到了正向保护目的.}$$

负向保护原理也一样,当 $I_{e2} = I_{e2max} = \frac{(V_{D4})_{on}}{R_{e2}}$ 时, D_4 管导通,分流了 T_2 管的基流,达到了负向保护目的.

图 3.46 是三极管保护电路, 由 T_3 、 T_4 、 R_{e1} 、 R_{e2} 组成, T_3 、 T_4 是保护三极管, R_{e1} 、 R_{e2} 为取样电阻。

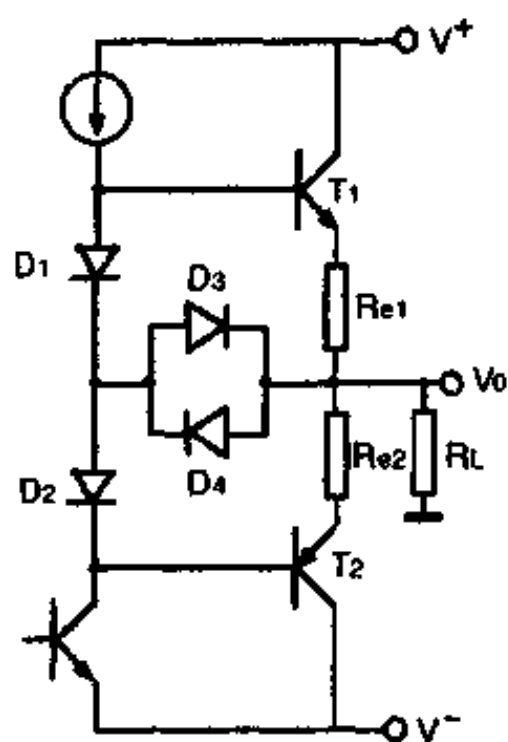


图 3.45 二极管保护电路

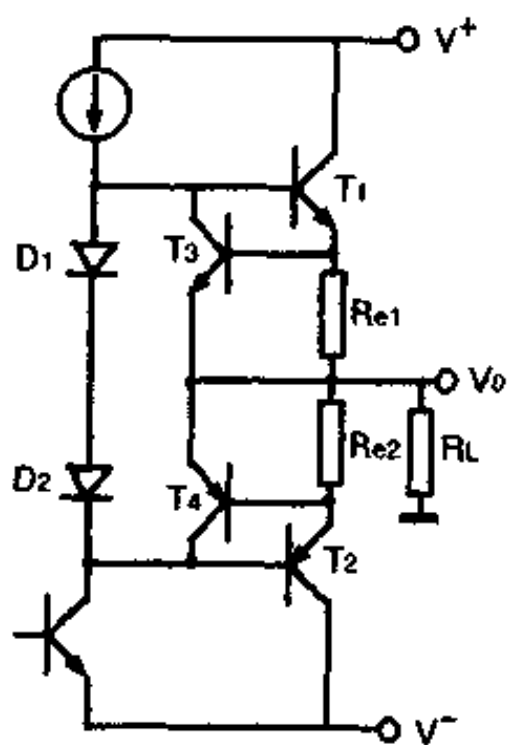


图 3.46 三极管保护电路

保护原理与二极管基本相同, 正向工作时, 如因短路电流突然增大, 则流过 R_{e1} 的电流 $I_{e1} \uparrow$, 当 $I_{e1}R_{e1} = V_{BE3}$ 时, T_3 管导通, T_3 管即分流了 T_1 管基极驱动电流, 使 T_1 管的电流 $I_{e1} \downarrow$, 因此通过 T_1 管的电流被限制在

$$I_{e1\max} \leq \frac{V_{BE3}}{R_{e1}}$$

负向保护原理与正向相同, 流经 T_2 管的电流被限制在

$$I_{e2\max} \leq \frac{V_{BE4}}{R_{e2}}$$

第四章 Bi 集成运放典型电路

第三章讨论了集成运放单元电路,作为单元电路讨论总结,本章将以一种实际集成运放典型电路进行分析,使之构成整体概念.

自从 1964 年美国仙童公司研制成功了集成运放 $\mu\text{A}702$ 以来,历经了几代变革. 1965 年出现了第一代集成运放 $\mu\text{A}709$,这代产品的标志是横向 pnp 晶体管在集成运放中得以应用. 1968 年出现了第二代集成运放 $\mu\text{A}741$,这代产品的标志是集成运放电路中采用了有源负载. 1972 年出现了第三代集成运放 MC1556, AD508,这代产品的标志是输入级采用超 β 晶体管. 随后又研制成功第四代集成运放 HA2900,这是一种斩波稳零的集成运放. 近年来出现品种众多的高精度型,低功耗型,高速型,高输入阻抗型,宽带型,以及高压型等各种高性能集成电路运算放大器. 本书作为教程,由于篇幅限制,不可能也不必要对每一代,每一种电路都进行分析. 作为双极型集成运放的典型电路,这里仍然选用经典电路 $\mu\text{A}741$ 为代表进行分析. 这是因为 $\mu\text{A}741$ 电路是一种通用型集成运放,电路结构简单典型,具有代表性;制造最为普遍,应用最为广泛,曾为美国所有集成电路厂家所生产,是一种风靡世界的一代产品. 从 $\mu\text{A}741$ 电路问世,至今已有 28 年了,但如今市场上仍然销售这种产品,可见 $\mu\text{A}741$ 电路具有强大的生命力. 本节就 $\mu\text{A}741$ 集成运放的电路结构、工作原理、增益计算等进行分析讨论.

4.1 $\mu\text{A}741$ 电路结构及工作原理

图 4.1 是 $\mu\text{A}741$ 集成运放完整电路图.

整个电路由输入级(第一级),中间级(第二级)和输出级构成.

(1) 输入级

① 共集—共基差分输入级.

T_1, T_2, T_3, T_4 组成共集—共基差分输入级. 信号由 T_1, T_2 基极输入, 经跟随器 T_1, T_2 射极输出, 加在 T_3, T_4 的发射极上, 再由 T_3, T_4 集电极输出.

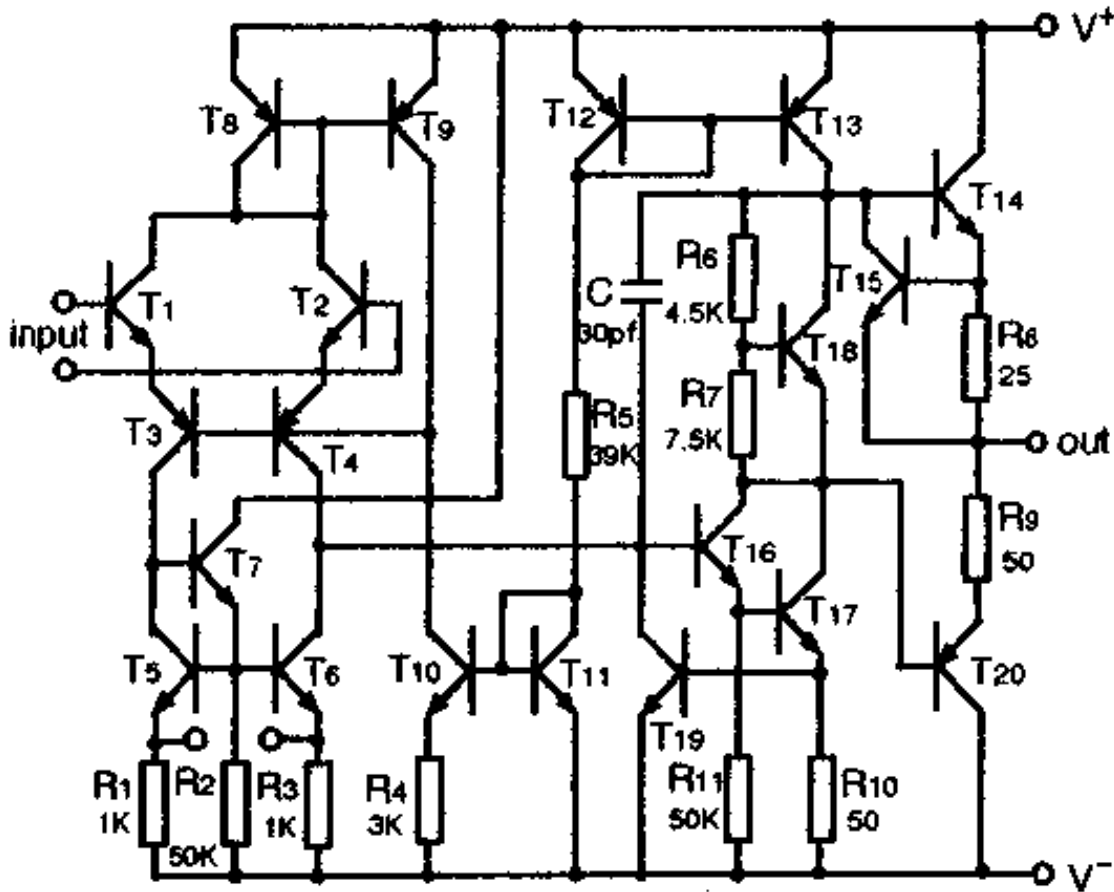


图 4.1 $\mu A741$ 集成运放电路图

② 有源负载

T_5, T_6, T_7 组成缓冲型恒流源, 作为 T_3, T_4 的有源负载. T_6 射极串入 R_3 是为进一步提高 T_6 管的输出阻抗, 加进与 R_3 相等电阻 R_1 是为保证 T_5, T_6 的 V_{BE} 和 I_c 相等. R_2 是用之对 T_7 偏置, 使得它工作在与 T_5, T_6 相当的工作电流下, 否则 T_7 的工作电流即为 T_5, T_6 的基极电流, T_7 的 $I_{c1} \downarrow \Rightarrow \beta_7 \downarrow$, 其结果 T_7 管的缓冲作用将减弱.

③ 双端—单端转换

集成运放通常是采用差模输入和单端输出, 这就需要完成双

端向单端转换, $\mu A741$ 电路是用 T_5 、 T_6 、 T_7 完成这一转换, 将 T_3 、 T_4 集电极双端信号转换为 T_6 集电极单端输出信号。

④ 电平移动

T_3 、 T_4 为 pnp 晶体管, 信号由 T_3 、 T_4 射极进入, 集电极输出, 直流电平经 T_3 、 T_4 后向负方向移动, 然后经第二级 npn 管后再向正方向移动。

(2) 中间级

T_{16} 、 T_{17} 组成达林顿结构的第二级放大, T_{13} 是其有源负载, 从而使中间级获得较高的增益。这种结构具有输入阻抗高, 电压增益高的特点。 R_1 是泄漏电阻, 提高温度稳定性。

(3) 输出级

T_{14} 、 T_{20} 组成互补输出级, T_{18} 、 R_6 、 R_7 构成 T_{14} 、 T_{20} 偏置电路, 使 T_{14} 、 T_{20} 基极之间电位在 $2V_{BE18}$ 间, 其目的为克服“交越”失真。

由图 4.2 可以算出 V_{CE18} 值。

$$V_{CE18} = \frac{R_6 + R_7}{R_7} V_{BE18}$$

$$R_6 = 4.5k\Omega, R_7 = 7.5k\Omega$$

设 $V_{BE18} = 0.7V$, 则 $V_{CE18} = 1.12V$ 。这说明为克服交越失真, 在 T_{14} 和 T_{20} 基极之间加偏置电压为 $1.12V$ 。

(4) 偏置电路

图 4.3 为 $\mu A741$ 电路主偏置电路。在 T_{11} 、 T_{12} 右边, 由 T_{12} 、 T_{13} 构成基本型恒流源, 作为第二级主放大管 T_{16} 、 T_{17} 有源负载。

在 T_{11} 、 T_{12} 左边, 由 T_{11} 、 T_{10} 、 R_4 组成的小电流恒流源作为输入级恒流源。

T_8 、 T_9 组成另一组基本型恒流源, 如图 4.4 所示。

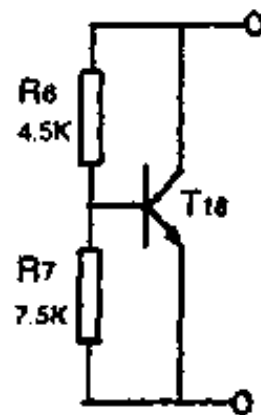


图 4.2 $\mu A741$ 输出偏置电路

$\mu A741$ 偏置电路一个巧妙设计是输入偏置形成一个闭环系统. 这保证了输入级的工作电流能自动维持稳定. 其原理如下:

若由于某种原因如温度变化, 使得 $I_3 + I_4$ 增大, 则 I_8 也随之增大, 导致 $I_9 \uparrow$, 而 $I_9 + I_{34} = I_{10}$, I_{10} 是恒流源的恒定电流, 因此当 $I_9 \uparrow$ 时, $I_{34} \downarrow$, 即 $I_3 + I_4 \downarrow$.

$$I_3 + I_4 \uparrow \Rightarrow I_8 \uparrow \Rightarrow I_9 \uparrow \Rightarrow I_3 + I_4 \downarrow$$

同样

$$I_3 + I_4 \downarrow \Rightarrow I_8 \downarrow \Rightarrow I_9 \downarrow \Rightarrow I_3 + I_4 \uparrow$$

这样闭环系统保证了输入级工作电流处于稳定状态.

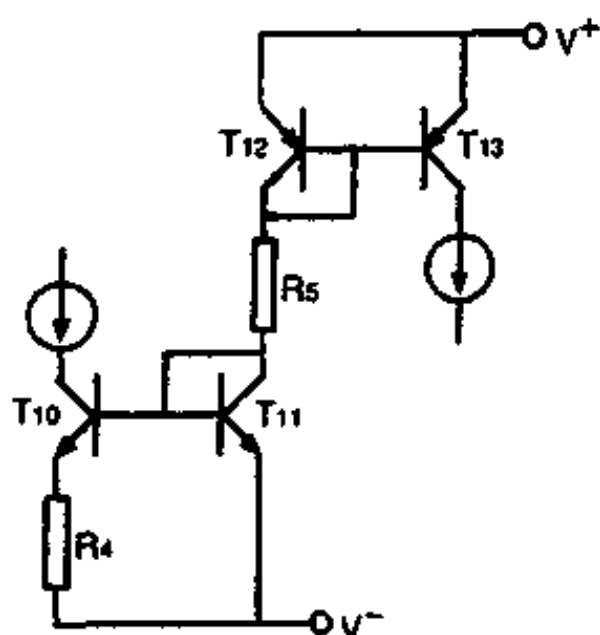


图 4.3 $\mu A741$ 主偏置电路

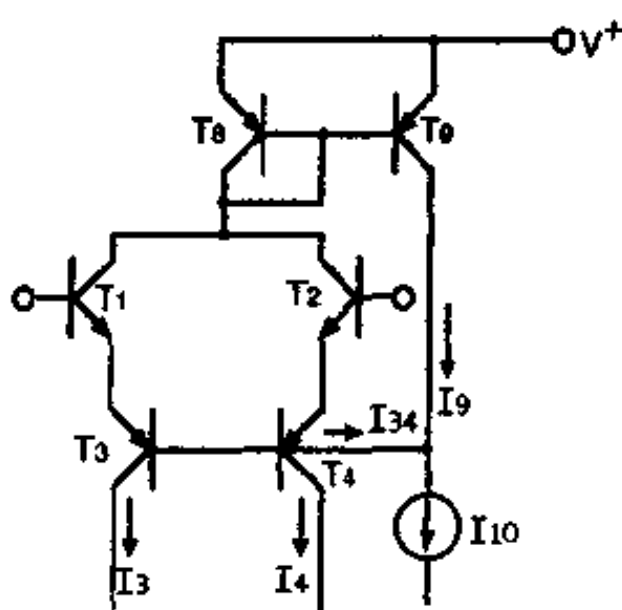


图 4.4 $\mu A741$ 输入闭环电路

(5) 输出保护电路

① 正向保护

T_{15} 、 R_8 组成正向保护电路. 当正向电流增大时, R_8 上的压降提高, 当到达 $I_{cT14} \cdot R_8 = 0.7V$ 时, T_{15} 管导通, 分流了 T_{14} 电流, 达到了正向保护目的.

② 负向保护

R_{10} 、 T_{19} 用以完成负向保护. 当负向电流增加时, T_{20} 基流 $I_{b20} \uparrow$, 因 $I_{c13} + I_{b20} \approx I_{c17}$, I_{c13} 为恒流源, 所以当 $I_{b20} \uparrow$ 时, $I_{c17} \uparrow$, 结

B

果 R_{10} 上的压降增加, 当 $I_{c17} \cdot R_{10} = 0.7V$ 时, T_{19} 管导通, 旁路了 T_{16} 基极电流, 使得 $I_{c17} \downarrow$, 导致 $I_{b20} \downarrow$, 达到了负向保护的目的。

4.2 $\mu A741$ 静态工作点计算

静态工作点是指集成运放在零输入时, 各级的静态工作电流。为计算方便, 我们重新把 $\mu A741$ 偏置电路画于图 4.5。

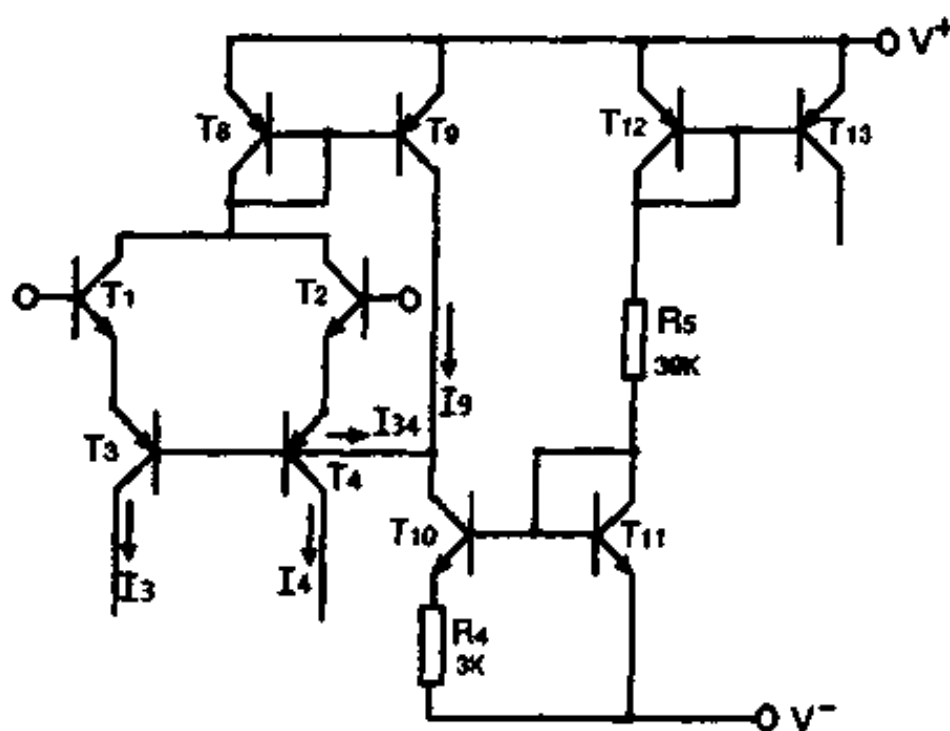


图 4.5 $\mu A741$ 偏置电路

(1) 主偏置电流 I_{R5} 计算

$$I_{R5} = \frac{V^+ - V_{BE12} - V_{BE11} - V^-}{R_5} \quad (4.1)$$

$$R_5 = 39k\Omega$$

设 $V_{BE12} = V_{BE11} = 0.7V$

$$V^+ = 15V, \quad V^- = -15V$$

代入(4.1)式得

$$I_{R5} = 733\mu A$$

(2) I_{c10} 计算

T_{11} 、 T_{10} 、 R_4 构成小电流恒流源

$$I_{c10} = \frac{KT}{qR_4} \ln \frac{I_{R5}}{I_{c10}}$$

$$V_T = \frac{KT}{q} = 26\text{mV}$$

$$I_{R5} = 733\mu\text{A}, \quad R_4 = 3\text{k}\Omega$$

代入得出 $I_{c10} = 28\mu\text{A}$

(3) I_{c3} 、 I_{c4} 、 I_{34} 、 I_{c9} 计算

由于 T_1 、 T_2 为 npn 晶体管, β 大, 可以认为其射极电流和集极电流相等, 即 $I_{e1} \approx I_{c1}$, $I_{e2} \approx I_{c2}$. 这样可以把 T_9 、 T_8 、 T_3 与 T_4 等效成改进型恒流源, 如图 4.6 所示.

根据(3.96)式

$$I_0 = I_r \left(1 - \frac{2}{\beta^2 + 2\beta + 2} \right)$$

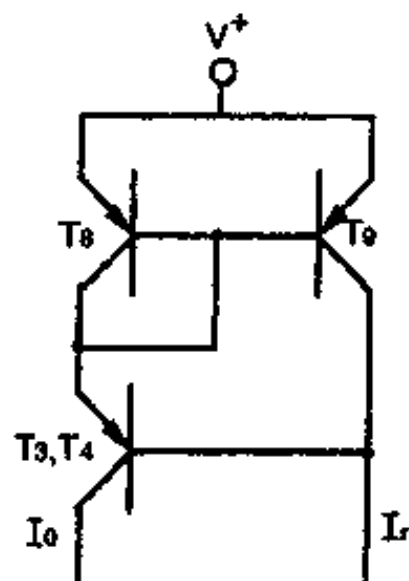


图 4.6 等效改进型恒流源 此处 $I_r = I_{c10}$, $I_0 = I_{c3} + I_{c4}$

假定 T_3 、 T_4 完全对称, $I_{c3} = I_{c4}$, 则有

$$I_{c3} = I_{c4} = \frac{1}{2} I_{c10} \left(1 - \frac{2}{\beta^2 + 2\beta + 2} \right)$$

$I_{c10} = 28\mu\text{A}$, 设 $\beta = 5$, 得出

$$I_{c3} = I_{c4} = 13.24\mu\text{A}$$

$$I_{b3} = I_{b4} = I_{c3} / \beta = 2.65\mu\text{A}$$

$$I_{34} = I_{b3} + I_{b4} = 5.30\mu\text{A}$$

$$I_{c9} = I_{c10} - I_{34} = 22.70\mu\text{A}$$

(4) I_{c13} 、 I_{c17} 、 I_{c18} 计算

T_{12} 、 T_{13} 构成基本型恒流源. 按(3.80)式

$$I_0 = I_r \left(1 - \frac{2}{\beta + 2} \right)$$

$I_0 = I_{c13}$, $I_r = I_{R5}$, 设 $\beta = 5$

代入上式得

$$I_{c13} = 523.6 \mu\text{A}$$

$I_{b17} \approx I_{c13} / \beta$, 设 $\beta = 100$, 则

$$I_{b17} \approx 5 \mu\text{A}$$

$$I_{R11} \approx \frac{V_{BE17}}{R_{11}} \approx 14 \mu\text{A}$$

$$I_{c16} \approx I_{R11} + I_{b17} = 19 \mu\text{A}$$

$$I_{c17} = I_{c13} - I_{c16} = 504.6 \mu\text{A}$$

在略去 T_{18} 基流下

$$I_{R6} = I_{R7} = \frac{V_{BE18}}{R_7} = 93.3 \mu\text{A}$$

$$I_{c18} = I_{c13} - I_{R6} = 430.3 \mu\text{A}$$

(5) I_{c14}, I_{c20} 计算

$$V_{CE18} = V_{BE14} + V_{BE20} + I_{c14} \cdot R_8 + I_{c20} \cdot R_9 \quad (4.2)$$

由于 R_8, R_9 阻值小, 在电阻上的压降可以略而不计, (4.2) 式简写为

$$V_{CE18} \approx V_{BE14} + V_{BE20} \quad (4.3)$$

$$V_{BE14} = V_T \ln \frac{I_{c14}}{I_{es14}}$$

$$V_{BE20} = V_T \ln \frac{I_{c20}}{I_{es20}}$$

代入(4.3)式得

$$V_{CE18} = V_T \left(\ln \frac{I_{c14}}{I_{es14}} + \ln \frac{I_{c20}}{I_{es20}} \right) \quad (4.4)$$

$I_{c14} = I_{c20}, I_{es14}, I_{es20}$ 为 T_{14}, T_{20} 管反向饱和电流, 跟 T_{14}, T_{20} 版图尺寸及工艺条件有关, 设 $I_{es14} = I_{es20}$, 则(4.4)式可以改写为

$$\frac{V_{CE18}}{V_T} = 2 \ln \frac{I_{c14}}{I_{es14}} \quad (4.5)$$

$V_T = 26\text{mV}$, V_{CE18} 按 4.1 节计算结果为 1.12V , 并设 $I_{es14} = I_{es20} = 5 \times 10^{-14}\text{A}$, 代入(4.5)式得

$$I_{e14} = I_{e20} \approx 113\mu\text{A}$$

4.3 $\mu\text{A}741$ 集成运放增益计算

$\mu\text{A}741$ 集成运放是二级放大电路, 设输入级(第一级)差模电压增益为 A_d , 第二级电压增益为 A_{d2} , 输出级为射级跟随器, 电压增益为 1. 因此总增益可以写成

$$A_d = A_{d1} \cdot A_{d2} \quad (4.6)$$

(1) $\mu\text{A}741$ 输入级增益 A_{d1} 计算

按(3.46)式, 共射差分级增益为

$$A_{d1} = G_{m1} \cdot R_{L1} \quad (4.7)$$

其中 G_{m1} 为输入级跨导, R_{L1} 为其有效负载.

① 输入级跨导 G_{m1}

$\mu\text{A}741$ 输入级共集一共基差分级, 按(3.76)、(3.77)式, 其跨导为

$$G_{m1} = \begin{cases} 20I_{c3} (\text{或 } I_{c4}) & (n=1) \\ 13I_{c3} (\text{或 } I_{c4}) & (n=1.5) \end{cases}$$

取 $n=1.5$, 则

$$G_{m1} = 13I_{c3} \quad (4.8)$$

按 4.2 节计算结果, $I_{c3} = 13.24\mu\text{A}$, 代入得

$$G_{m1} = 172.12 [\text{M}\Omega]^{-1} \quad (4.9)$$

② 输入级有效负载 R_{L1}

$\mu\text{A}741$ 输入级有效负载 R_{L1} 是 T_4 管输出阻抗 R_{o4} , T_6 管输出阻抗 R_{o6} , 第二级输入阻抗 R_{i1} 的并联.

$$R_{L1} = \left\{ \begin{array}{l} T_4 \text{ 的输出阻抗 } R_{o4} \\ T_6 \text{ 的输出阻抗 } R_{o6} \\ \text{第二级输入阻抗 } R_{i1} \end{array} \right\} \text{ 并联}$$

按戴维南定理, 可以把求 T_4, T_6 的输出阻抗的电路简化成如图 4.7 所示.

由图 4.7 可以看到, T_4 的输出阻抗 R_{o4} 可以看成射极接有电阻为 $1/g_{m2}$ 的共射单管放大器的输出阻抗, 按 (3.16) 式, 可以写成

$$R_{o4} = \frac{V_T}{\eta_{npn} I_{c4}} \left[\frac{1 + g_{m4} \left(\frac{1}{g_{m2}} \right)}{1 + \frac{g_{m4} \left(\frac{1}{g_{m2}} \right)}{\beta_4}} \right] \quad (4.10)$$

用 $V_T = 0.026V$, $I_{c4} = 13.24\mu A$,

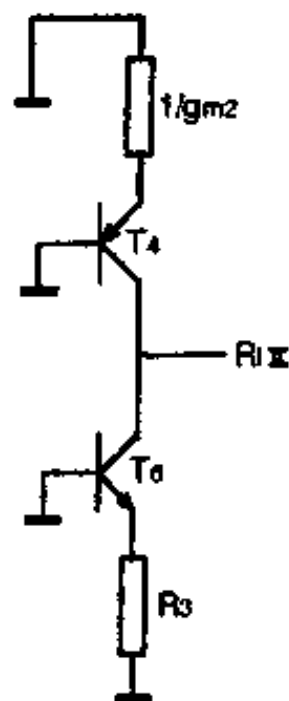
$$I_{c2} \approx \frac{1}{2} I_{c9} = 11.35\mu A, \quad \beta_4 = 5,$$

$\eta_{npn} = 5 \times 10^{-4}$ 代入上式得

$$R_{o4} \approx 6.9M\Omega \quad (4.11)$$

同样

图 4.7 求 R_{o4} 、 R_{o6} 等效电路



$$R_{o6} = \frac{V_T}{\eta_{npn} I_{c6}} \left[\frac{1 + g_{m6} \cdot R_3}{1 + \frac{g_{m6} \cdot R_3}{\beta_6}} \right] \quad (4.12)$$

用 $I_{c6} \approx I_{c4} = 13.24\mu A$, $R_3 = 1k\Omega$, $\beta_6 = 100$, $\eta_{npn} = 2 \times 10^{-4}$ 代入上式得

$$R_{o6} \approx 14.8M\Omega \quad (4.13)$$

图 4.8 为求第二级输入阻抗 R_{i1} 电路图.

$$R_{i1} = \beta_{16} (r_{e16} + h_{i17} \parallel R_{11}) \quad (4.14)$$

$$h_{i17} = \beta_{17} (r_{e17} + R_{10}) \quad (4.15)$$

$$I_{e16} \approx 19\mu A, \quad I_{e17} \approx 504.6\mu A$$

$$R_{11} = 50k\Omega, \quad R_{10} = 50\Omega$$

设 T_{16} 管 $I_{e16} = 19\mu A$ 时, $\beta_{16} = 100$

T_{17} 管 $I_{e17} = 504.6\mu A$ 时, $\beta_{17} = 200$

把这些数值代入 (4.14) 式, 算得

$$R_{i1} = 1.58M\Omega \quad (4.16)$$

$$\begin{aligned}
 R_{L1} &= R_{04} \parallel R_{06} \parallel R_{L1} \\
 &= 6.9\text{M}\Omega \parallel 14.8\text{M}\Omega \parallel 1.58\text{M}\Omega \\
 &= 1.18\text{M}\Omega
 \end{aligned} \tag{4.17}$$

这样第一级增益为

$$\begin{aligned}
 A_{d1} &= G_{m1} \cdot R_{L1} \\
 &= 172.12[\text{M}\Omega]^{-1} \times 1.18\text{M}\Omega \\
 &\approx 203
 \end{aligned} \tag{4.18}$$

(2) $\mu\text{A}741$ 第二级增益 A_{d2} 计算

$$A_{d2} = G_{m2} \cdot R_{L2} \tag{4.19}$$

G_{m2} 为第二级跨导, R_{L2} 为第二级有效负载.

① 第二级跨导 G_{m2}

由于 T_{16} 为射极跟随器, 电压增益约为 1, 因此第二级跨导 G_{m2} 可以认为就是射极接有反馈电阻 R_{10} 的 T_{17} 管跨导. 按(3.8)式

$$G_{m2} = \frac{g_{m17}}{1 + g_{m17} \cdot R_{10}} \tag{4.20}$$

$I_{c17} = 504.6\mu\text{A}$, $R_{10} = 50\Omega$ 代入算出

$$G_{m2} \approx 9.85[\text{k}\Omega]^{-1} \tag{4.21}$$

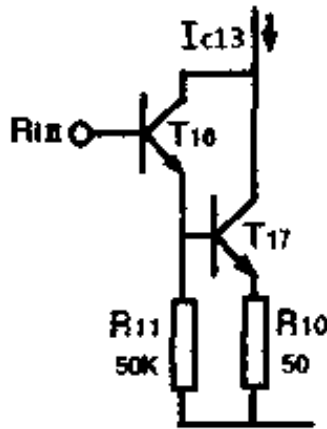


图 4.8 求 R_{L1} 电路

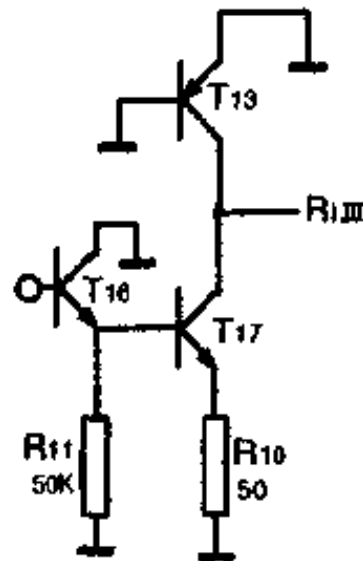


图 4.9 求 R_{L2} 电路

② 第二级有效负载 R_{L2}

第二级有效负载 R_{L2} 近似为 T_{13} 输出阻抗 R_{o13} , T_{17} 输出阻抗 R_{o17} , 输出级输入阻抗 R_{i1} 并联.

$$R_{L2} = R_{o13} \parallel R_{o17} \parallel R_{i1} \quad (4.22)$$

图 4.9 为求 R_{L2} 的等效电路图.

按(3.16)式

$$R_{o13} = r_{o13} = \frac{1}{\eta_{npn} g_{m13}} \quad (4.23)$$

$I_{c13} = 523.6 \mu\text{A}$, $\eta_{npn} = 5 \times 10^{-4}$, 代入算得

$$R_{o13} = r_{o13} = 99.3 \text{k}\Omega \quad (4.24)$$

$$R_{o17} = \frac{1}{\eta_{npn} g_{m17}} \left[\frac{1 + g_{m17} \cdot R_{10}}{1 + \frac{g_{m17} \cdot R_{10}}{\beta_{17}}} \right] \quad (4.25)$$

$\eta_{npn} = 2 \times 10^{-4}$, $I_{c17} = 504.6 \mu\text{A}$, $R_{10} = 50 \Omega$, $\beta_{17} = 200$ 代入(4.25)式算得

$$R_{o17} \approx 505 \text{k}\Omega \quad (4.26)$$

图 4.10 为求输出级输入阻抗 R_{i1} 电路图.

设负载电阻 $R_L = 2 \text{k}\Omega$

$$R_{i1} = \beta_{14} (r_{e14} + R_8 + R_L) \quad (4.27)$$

$I_{c14} \approx 113 \mu\text{A}$, $R_8 = 25 \Omega$, $\beta_{14} = 200$ 代入算得

$$R_{i1} = 451 \text{k}\Omega \quad (4.28)$$

因此 $R_{L2} = R_{o13} \parallel R_{o17} \parallel R_{i1}$

$$= 99.3 \text{k}\Omega \parallel 505 \text{k}\Omega \parallel 451 \text{k}\Omega \\ \approx 70 \text{k}\Omega$$

第二级增益

$$A_{d2} = G_{m2} \cdot R_{L2} \\ = 9.85 [\text{k}\Omega]^{-1} \times 70 \text{k}\Omega \approx 689$$

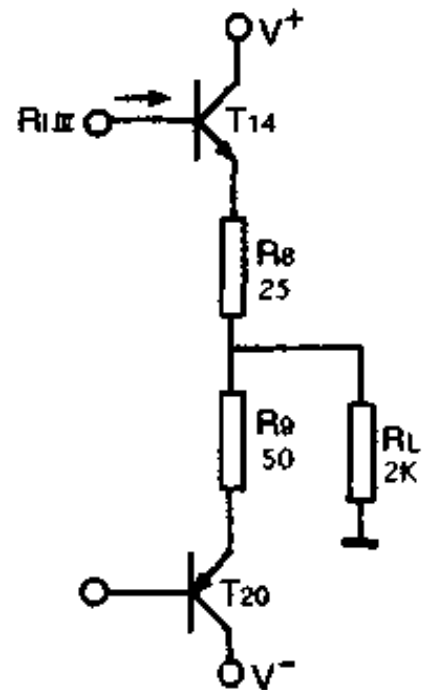


图 4.10 求 R_{i1} 电路

这样 $\mu A741$ 电路总增益为

$$\begin{aligned} A_d &= A_{d1} \cdot A_{d2} \\ &= 203 \times 689 = 139867 (\text{倍}) \\ &\approx 103 \text{db} \end{aligned}$$

这里要说明的是,在计算 $\mu A741$ 电路增益时,由于对晶体管 β 取值不同,计算结果略有差别.

4.4 $\mu A741$ 集成运放参数指标

表 4.1 是 $\mu A741$ 集成运放主要参数指标表.

表 4.1 $\mu A741$ 集成运放性能参数

参数名称	符号	单位	典型值
输入失调电压	V_{os}	mV	2
输入失调电流	I_{os}	nA	20
输入偏置电流	I_b	nA	80
开环电压增益	A_d	db	100
共模抑制比	CMRR	db	90
失调电压温漂	$\frac{dV_{os}}{dT}$	$\mu V/^{\circ}C$	3
失调电流温漂	$\frac{dI_{os}}{dT}$	nA/ $^{\circ}C$	0.1
最大共模输入电压	V_{ic}	V	± 13
最大差模输入电压	V_{id}	V	± 30
最大输出电压	V_{op}	V	± 13
差模输入阻抗	R_{id}	M Ω	2
单位增益上升速率	SR	V/ μs	0.5
3db 带宽	BW	kHz	0.01
功 耗	P_w	mW	50

由表看到, $\mu A741$ 集成运放综合性能相当优异,作为通用型

集成运放是可贵的. 当然, $\mu A741$ 并不是完美无缺的. 从 4.2 节增益计算可以看出, 它的第一级电压增益仅为 200 倍左右, 总增益也只有 100db 多些, 输入阻抗, 失调电压温漂都不算十分理想. 人们为了进一步提高集成运放性能, 在电路设计上, 工艺技术上都进行了许多研究, 导致了以超 β 晶体管为输入级的高精度、低漂移第三代集成运放的出现, 使通用型集成运放的综合性能更上一层楼.

第五章 Bi 模拟集成电路中的元器件

第三章和第四章主要讨论 Bi 集成运放为代表的双极型模拟集成电路原理。第五章和第六章将讨论 Bi 模拟集成电路设计。在第五章先讨论构成模拟集成电路中的元器件。在第六章我们将以通用型高增益集成运放 KD203 和高精度低漂移集成运放 KD207 为例,讨论整体电路设计。在这里要说明下,在第五、六章中的晶体管如果没有写明是 MOS 管,均为双极型晶体管。

5.1 模拟集成电路中的晶体管

晶体管是组成集成电路的主要器件。在模拟集成电路中,不同电路对晶体管的要求是不同的,在同一电路中,各个晶体管的要求也是不同的,集成电路设计者就是要充分利用器件的几何尺寸,设计出最佳晶体管,来满足电路的要求,使电路达到最优状态。因此可以说,器件设计和电路设计是相辅相成、融为一体的。通常在模拟集成电路中,电路对晶体管有如下要求:

① 耐压要求。在模拟集成电路中,晶体管的电流放大系数 β 和耐压的综合要求,要比逻辑电路严格。

② 工作电流要求。在电路中,根据不同晶体管作用不同,各管承受最大工作电流,也有不同的要求。

③ 频率特性的要求。

④ 噪声的要求。

⑤ 其它特殊要求。

对于第一条来说,根据晶体管原理,我们知道,材料的电阻率越高,雪崩击穿电压也就越高,因此可根据“耐压”要求,合理地选

择衬底材料的电阻率. 对模拟集成电路来说, 材料电阻率选取通常要比逻辑电路高些, 因为耐压要求高.

对第二条来说, 根据晶体管原理, 由于发射区存在电流“集边效应”, 使得晶体的最大工作电流 I_m 正比于发射区的“有效长度”, 而与其面积无关. 所谓“有效长度”, 指发射区相对于基极那部分长度. 在模拟集成电路中, 单位有效边长承受的电流能力为 $0.04\text{—}0.16\text{mA}/\mu\text{m}$, 在逻辑电路中为 $0.4\text{mA}/\mu\text{m}$.

对于第三条来说, 按晶体管原理, 晶体管电流放大系数 β 的频率特性如图 5.1 所示. 在低频时, β 基本上不随频率而变化, 随着频率增高, β 开始下降.

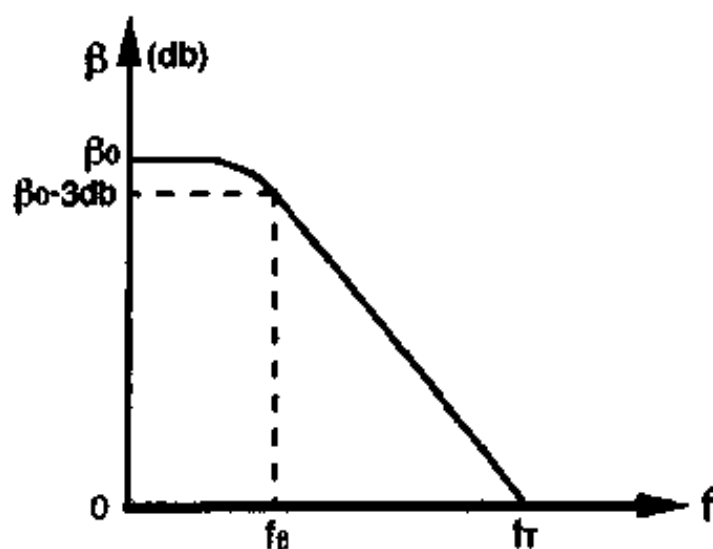


图 5.1 β 的频响特性

$\beta = 0.707\beta_0$ 时, 对应的频率 f_β 称之为晶体管截止频率.

$\beta = 1$ 时, 相对应的频率 f_T , 称为晶体管特征频率.

当频率大于 f_β 以后, 有重要关系

$$f \cdot \beta = \text{常数} \Rightarrow f \cdot \beta = f_T \cdot 1 = f_T \quad (5.1)$$

所以特征频率 f_T 有时也称增益带宽乘积. 例如某电路要求晶体管 β 大于 10, 带宽为 60MHz, 则晶体管特征频率要求 $f_T = f \cdot \beta > 60 \times 10 = 600\text{MHz}$.

f_T 表示晶体管放大作用的最高界限,是晶体管设计的一个重要依据. 它的表达式^[11]为

$$\frac{1}{f_T} \approx 2\pi \times 1.4 (\tau_e + \tau_b + \tau_d + \tau_c) \quad (5.2)$$

$\tau_e = r_e c_e$ 发射结电容充放电时间

$$r_e = \frac{KT}{qI_e} \text{——发射结动态电阻}$$

c_e ——发射结势垒电容

τ_b ——基区渡越时间

对于杂质浓度均匀分布的基区

$$\tau_b = \begin{cases} \frac{W^2}{2D_n} & (\text{nnp 晶体管}) \\ \frac{W^2}{2D_p} & (\text{ppp 晶体管}) \end{cases}$$

对于杂质浓度有梯度分布的基区

$$\tau_b = \begin{cases} \frac{W^2}{5D_n} & (\text{nnp 管}) \\ \frac{W^2}{5D_p} & (\text{ppp 管}) \end{cases}$$

W ——基区宽度

D_n ——电子扩散系数

D_p ——空穴扩散系数

$$\tau_d = \frac{\delta_c}{v_m} \text{集电结势垒渡越时间}$$

δ_c ——集电结势垒宽度

v_m ——载流子在势垒中运动速度

$$\tau_c = \frac{1}{2} r_{cs} c_c \text{集电结势垒电容延迟时间}$$

r_{cs} ——集电极串联电阻. 它是集电区材料体电阻和电极接触电阻之和.

c_c ——集电结势垒电容

所以晶体管的特征频率 f_T 是众多参数的函数

$$f_T = f_T(I_c, A_c, W, D, (D_p), \delta, v_m, r_{cs}, A_c)$$

晶体管特征频率 f_T 反映它电流放大系数 β 同讯号频率之间关系的一个频率参数. 另一个频率参数称晶体管最高振荡频率 f_M , 它反映晶体管功率增益 K_p 同讯号频率之间的关系. 它的意义是当讯号频率 f 增高时, 晶体管功率增益 K_p 下降, 当 K_p 下降到 $K_p = 1$ 时, 此时的频率称之为晶体管最高振荡频率 f_M , 它的表达式为

$$f_M = \sqrt{\frac{f_T}{8\pi r_b c_c}} \quad (5.3)$$

要提高 f_M , 必须提高晶体管的特征频率 f_T , 减小基极电阻 r_b 和集电结电容 c_c .

对于第 4 条来说, 降低噪声的办法有减小基极电阻, 提高特征频率, 增大 β 等.

对于模拟集成电路中晶体管的这些要求, 都可以在允许的范围内通过晶体管版图设计和改善工艺条件来实现的.

5.1.1 模拟集成电路中的普通晶体管

这里说的普通晶体管是指这种晶体管在电路中只有工作电流要求. 因此在设计版图时, 首先是满足工作电流要求, 其次再综合考虑光刻精度、套准精度以及电路的成品率. 下面列举几种不同结构的晶体管的版图设计.

(1) 单基极条形结构晶体管

图 5.2(a)、(b) 分别是单基条形结构晶体管的平面版图和剖面图.

这种结构有如下特点:

- ① 图形结构简单, 常用.
- ② 占用面积小, f_T 高.
- ③ 发射区有效长度小, 因此最大工作电流小.

④ 基区电阻大,最高振荡频率 f_M 低,噪声略大.

现举一个简单设计例子.晶体管 T 要求最大工作电流为 $640\mu\text{A}$,请问发射区有效长度最小应为多少?

由图 5.2(a)可以看到发射区有效长度为 L ,而单位有效长度承受的电流能力取 $0.16\text{mA}/\mu\text{m}$,则 L 为 $4\mu\text{m}$.但此时还要考虑到边长为 $4\mu\text{m}$ 的发射区,光刻工艺能否实现?对电路的成品率有否影响?这就要综合考虑了.

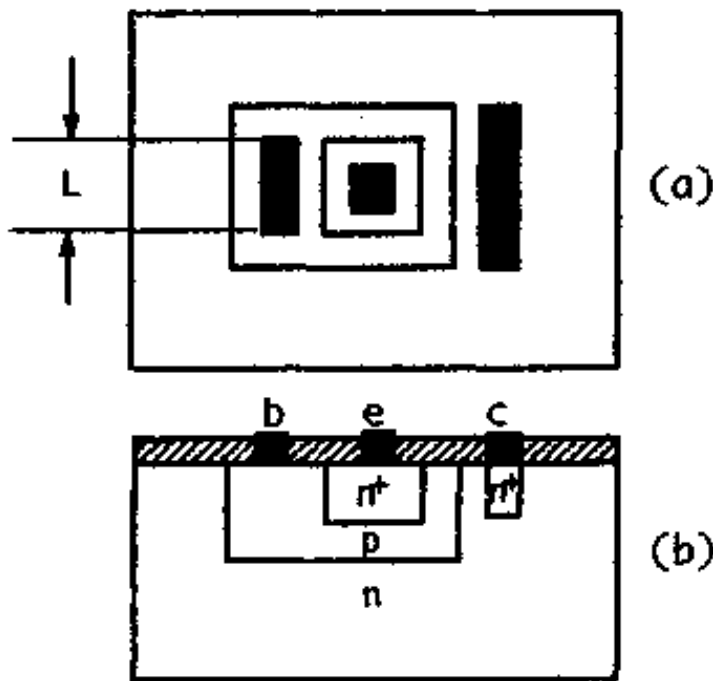


图 5.2 单基极条形结构

(2) 双基极条形结构晶体管

图 5.3(a)、(b)为双基极条形结构晶体管的平面图和剖面图.这种结构特点是:

① 在相同的发射区面积下,发射区有效长度增加一倍,允许的最高工作电流比单基形增加一倍.

② 集电结面积比单基形稍大, $f_T \downarrow$.

③ 基极电阻 r_b 为单基形一半,最高振荡频率 $f_M \uparrow$.

④ 占用面积比单基形大.

(3) 马蹄形结构晶体管

图 5.4 是马蹄形结构晶体管的平面版图. 这种结构主要特点:

① 发射区有效长度大, 最高工作电流大.

② 集电极串联电阻小, 饱和压降小. 因此, 马蹄形结构晶体管常用之作输出管.

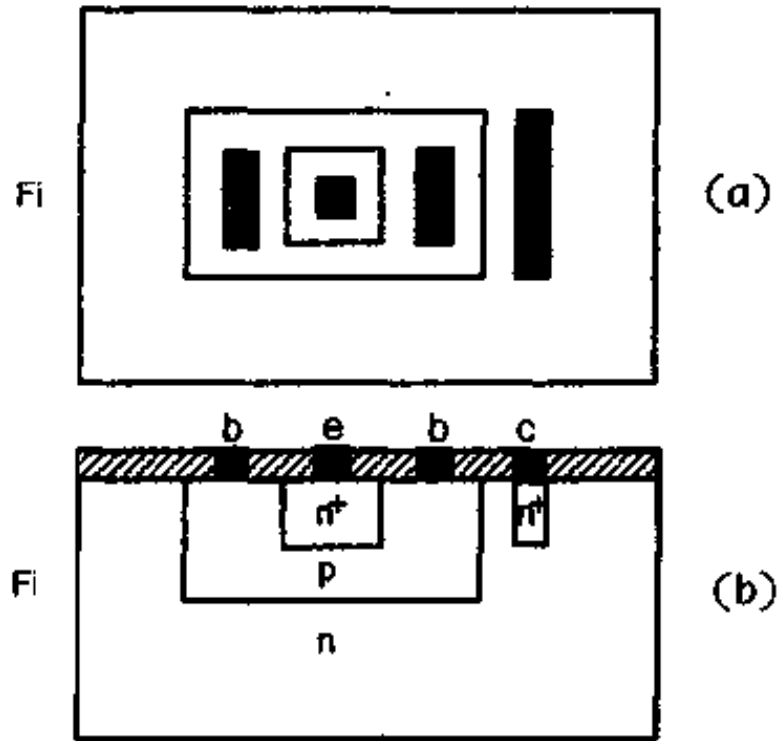


图 5.3 双基极条形结构

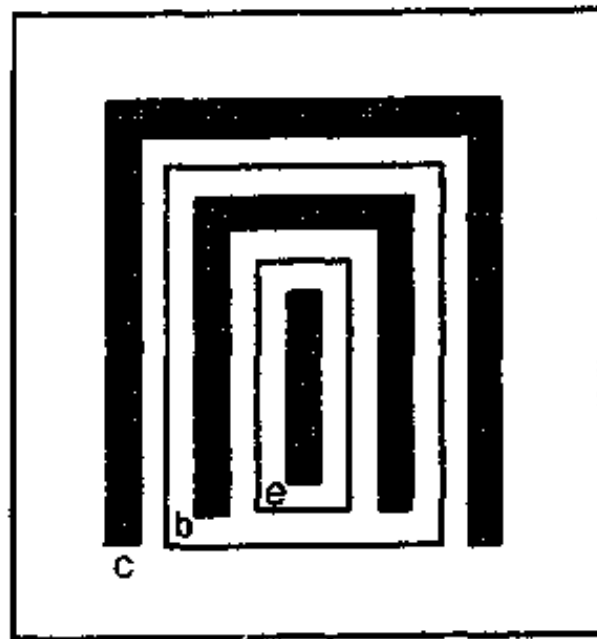


图 5.4 马蹄形结构

(4) 梳形结构晶体管

图 5.5 是梳形结构晶体管平面版图。

这种结构发射区有效长度更大,允许最高的工作电流更大;基极电阻 r_b 小,最高振荡频率高;但占用面积大.这种结构晶体管常用之作为驱动管.

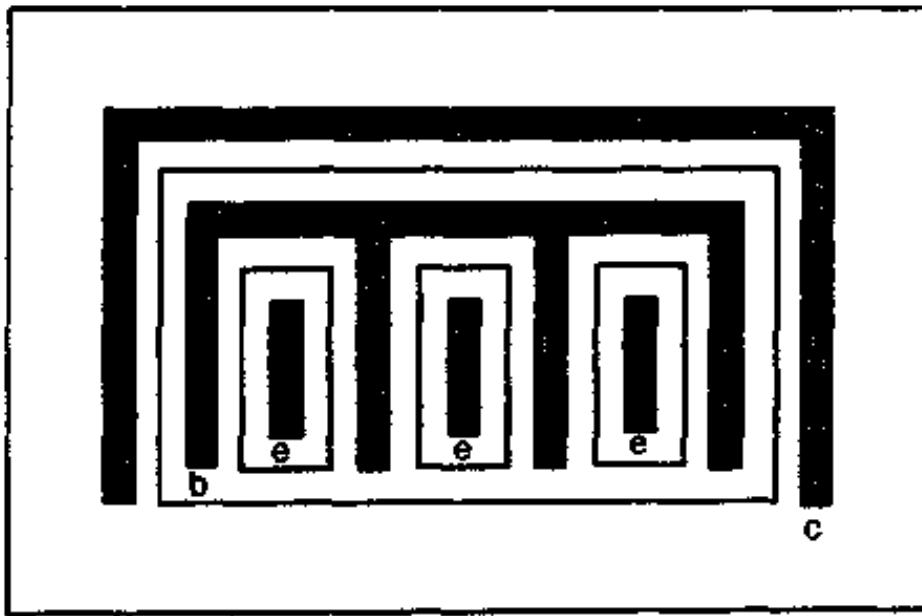


图 5.5 梳形结构

总之,在模拟集成电路中,晶体管的图形结构采用何种形式,取决于晶体管在电路中所起的作用而定.集成电路的设计同分立元件电路设计一个重大的差别在于集成电路设计者能够充分利用集成电路特点,通过改变晶体管等元器件的图形结构和几何尺寸,设计出最佳最合理的晶体管来满足整体电路的要求.在设计时,要综合考虑,既要考虑工作电流,特征频率,最高振荡频率,噪声等电学参数,又要兼顾工艺水平,如光刻精度、套准精度,占有面积以及电路成品率因素.

5.1.2 模拟集成电路中的横向 pnp 管

在模拟集成电路中常见的 pnp 晶体管是横向 pnp 晶体管,这种结构晶体管的发射区和集电区是在 n 型硅基片上用扩散或离子

注入的办法在形成 npn 管基区同时形成的, 而 n 型基片作为横向 pnp 管的基区.

在集成电路双极型器件制造工艺中, 在同一衬底上, 既形成高性能 npn 管又形成高性能 pnp 管是很难的, 因此初期(1964 年)运放($\mu A702$)只用一种单一的 npn 晶体管. 随着模拟集成电路的发展, 单用一种 npn 管无法设计出高性能集成运放, 因为这种电路互补输出, pnp 管作电平移动, 有源负载等都需要采用 npn 和 pnp 两种管子. 由于横向 pnp 管工艺简单, 人们采用了横向 pnp 管, 首次在 $\mu A709$ 第一代集成运放中应用. 横向 pnp 管虽然频率特性差, 电流放大系数小, 但由于制造工艺与 npn 管相容性强, 因而获得长期广泛应用.

(1) 横向 pnp 管结构

图 5.6(a)、(b)是横向 pnp 管一种结构的平面版图和剖面图.

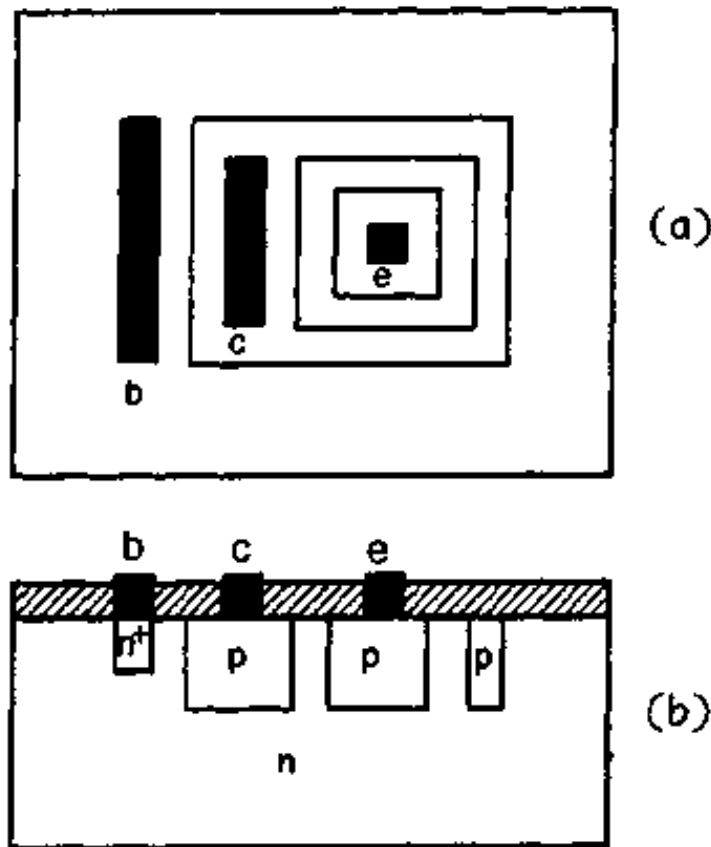


图 5.6 横向 pnp 晶体管结构

横向 pnp 管是这样形成的: 在 n 外延层上, 在作 npn 晶体管

基区同时,扩散出 p 型集电区和 p 型发射区,原来的 n 外延层作为横向管基区,完成了 pnp 结构.随后继续作纵向 npn 管的发射区,工艺简单,与 npn 管完全相容.

(2) 横向 pnp 管电流增益

本节将应用晶体管原理相关结果,简要导出横向 pnp 管电流放大系数表达式^{[12][22]}.其结果虽则粗糙,但对横向 pnp 管的版图设计和工艺分析将有参考价值.

图 5.7 画出横向 pnp 管的剖面结构,标出了各种几何尺寸名称.

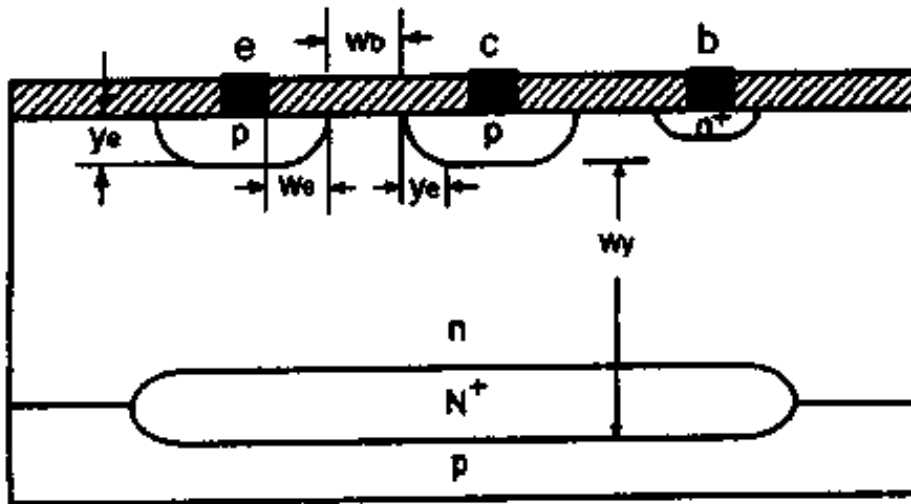


图 5.7 横向 pnp 管剖面结构

图 5.8 绘出横向 pnp 管横向效应和纵向效应的电流分布图.下面根据这两个图导出横向 pnp 管电流放大系数表达式.

图 5.7 中:

W_b ——横向有效基区宽度

W_y ——n 型外延层与埋层厚度之和—发射区结深

y_e ——发射区结深

W_c ——发射区边缘到引线孔间距

A_x ——发射区横向侧面积

A_y ——发射区底面积

① 空穴从 p 型发射区注入到 n 型基区,分为两部分电流:一部分空穴从发射区的横向侧面积 A_x 沿着横向基区 W_b 到达 p 型集电区,形成横向 pnp 管集电极电流 I_{px} ,这部分电流对电流放大有贡献.另一部分空穴从发射区的底面积 A_y 进入纵向基区,这部分空穴或在纵向基区与电子复合掉,或注入到外延层和埋层被衬底所收集.我们把穿过发射区底面积的空穴电流统称为 I_{py} .判据这部分空穴能否穿过纵向基区,要看空穴在基区中的扩散长度 L_{pb} ,当 $L_{pb} > W_y$ 时,这部分空穴将穿过纵向基区到达 p 型衬底;当 $L_{pb} < W_y$ 时,那么这部分空穴将和纵向基区中多数载流子电子复合.

② 横向 pnp 管基区中电子也会沿着横向和纵向二个方向注入到 p 型发射区内,从而分别形成发射区中横向电子电流 I_{nx} 和纵向电子电流 I_{ny} . 电流分布如图 5.8 所示.

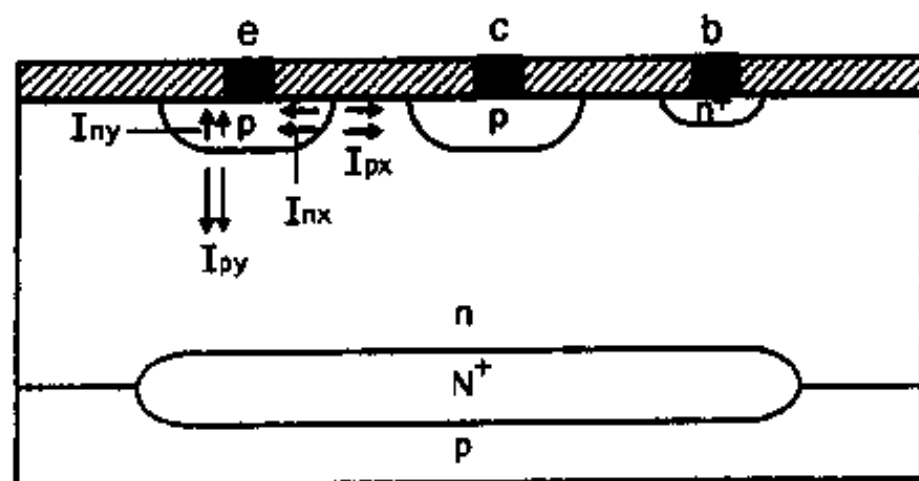


图 5.8 横向 pnp 管电流分布图.

以上 4 种电流表达式可根据晶体管原理导出

$$I_{px} = A_x \frac{qD_{pb}n_i^2}{W_b n_b^0} (e^{qV/KT} - 1) \quad (5.4)$$

$$I_{nx} = A_x \frac{qD_{nc}n_i^2}{W_e p_e^0} (e^{qV/KT} - 1) \quad (5.5)$$

$$I_{ny} = A_y \frac{qD_{nc}n_i^2}{y_e p_e^0} (e^{qV/KT} - 1) \quad (5.6)$$

$$I_{py} = \begin{cases} A_y \frac{qD_{pb}n_i^2}{W_y n_b^0} (e^{qV/KT} - 1) & (L_{pb} > W_y) \end{cases} \quad (5.7)$$

$$I_{py} = \begin{cases} A_y \frac{qD_{pb}n_i^2}{L_{pb} n_b^0} (e^{qV/KT} - 1) & (L_{pb} < W_y) \end{cases} \quad (5.8)$$

式中： D_{ne} ——电子在发射区中扩散系数

D_{pb} ——空穴在基区中扩散系数

P_c^0 ——发射区中多子(空穴)平衡浓度

n_b^0 ——基区中多子(电子)平衡浓度

n_i ——本征载流子浓度

V ——eb 结正向结电压

下面分两种情况,计算横向 pnp 管电流放大系数 β 表达式.

第一种情况： $L_{pb} > W_y$ 时

$$\text{发射极电流} \quad I_e = I_{px} + I_{py} + I_{nx} + I_{ny} \quad (5.9)$$

$$\text{基极电流} \quad I_{b1} = I_e - I_{px} - I_{py} = I_{nx} + I_{ny} \quad (5.10)$$

$$\text{集电极电流} \quad I_c = I_{px} \quad (5.11)$$

$$\beta_1 = \frac{I_c}{I_{b1}} = \frac{I_{px}}{I_{nx} + I_{ny}} \quad (5.12)$$

第二种情况： $L_{pb} < W_y$ 时

$$\text{基极电流} \quad I_{b2} = I_e - I_{px} = I_{py} + I_{nx} + I_{ny} \quad (5.13)$$

$$\beta_2 = \frac{I_c}{I_{b2}} = \frac{I_{px}}{I_{py} + I_{nx} + I_{ny}} \quad (5.14)$$

利用爱因斯坦关系式

$$D = \frac{KT}{q} \mu$$

$$\therefore D_{pb} \cdot \frac{n_i^2}{n_b^0} = \frac{KT}{q} \mu_p \cdot \frac{n_i^2}{n_b^0} = \frac{KT}{q} \mu_p \cdot \mu_n \frac{n_i^2}{\mu_n n_b^0}$$

$$\text{又} \quad q\mu_n n_b^0 = \frac{1}{\rho_b} \quad \rho_b \text{——基区电阻率}$$

$$\therefore D_{pb} \cdot \frac{n_i^2}{n_b^0} = (KT\mu_p \cdot \mu_n n_i^2) \rho_b \quad (5.15)$$

$$\text{同理} \quad D_{ne} \cdot \frac{n_i^2}{P_c^0} = (KT\mu_p \cdot \mu_n n_i^2) \rho_c \quad (5.16)$$

ρ_e ——发射区电阻率

把(5.15)、(5.16)式代入(5.4)、(5.5)、(5.6)、(5.7)、(5.8)式
得出 I_{px} 、 I_{nx} 、 I_{py} 、 I_{py} 表达式,再代入(5.12)、(5.14)式得出^[12]

$L_{pb} > W_y$ 时

$$\beta_1 = \frac{A_x \rho_b / W_b}{A_x \rho_e / W_e + A_y \rho_e / y_e} \quad (5.17)$$

$L_{pb} < W_y$ 时

$$\beta_2 = \frac{A_x \rho_b / W_b}{A_x \rho_e / W_e + A_y \rho_e / y_e + A_y \rho_b / L_{pb}} \quad (5.18)$$

由(5.17)、(5.18)式可以看到,提高横向管电流放大系数可采取下列途径:

在版图设计上:

- ① 适当减小横向基区宽度 W_b ,但要以横向管不透通为限.
- ② 尽可能提高发射结侧面积 A_x 与底面积 A_y 之比.为此,发射区采用圆形为好.

在工艺上:

- ① 尽可能提高空穴在横向管基区中寿命,为此,在工艺过程中绝对避免掺金等以减小空穴寿命的任何工艺措施.
- ② 适当提高横向管发射区浓度,即提高 npn 管基区扩散浓度.
- ③ 适当增加扩散结深 y_e ,即增加 npn 管的基区扩散结深.

在外延层材料上:

适当提高外延层电阻率 ρ_b .

下面我们利用(5.17)、(5.18)式计算一个实际的横向 pnp 管电流放大系数 β_1 、 β_2 .

图 5.9 是专用集成电路 KD904 中所采用的一个横向 pnp 管设计版图.

设计参数:

正方形发射区边长: $32\mu\text{m}$ (版图尺寸)

发射区与引线孔套刻间距: $10\mu\text{m}$

横向基区宽度: $10\mu\text{m}$ (版图尺寸)

发射结结深: $y_j = 3\mu\text{m}$

外延层厚度: $12\mu\text{m}$

隐埋层厚度: $10\mu\text{m}$

外延层电阻率: $\rho_b = 2.5\Omega\text{-cm}$

发射区方块电阻: $\rho_{\square} = 200\Omega/\square$

考虑扩散效应后,实际尺寸如下:

- ① 发射结结深: $y_j = 3\mu\text{m}$
- ② 有效基区宽度: $W_b \approx 10\mu\text{m} - 2 \times 3\mu\text{m} = 4\mu\text{m}$
- ③ 发射区边缘到引孔间距: $W_s \approx 10 + 3 = 13\mu\text{m}$
- ④ $W_y = 10 + 12 - 3 = 19\mu\text{m}$
- ⑤ 发射区横向侧面积: $A_x \approx (32 + 3 + 3) \times 3 \times 4 = 456\mu\text{m}^2$
- ⑥ 发射区底面积: $A_y \approx 32 \times 32 = 1024\mu\text{m}^2$
- ⑦ 发射区电阻率: $\rho_e = \rho_{\square} \cdot y_j = 200 \times 3 = 0.06\Omega\text{-cm}$
- ⑧ 空穴在基区中扩散长度: $L_{pb} = 15\mu\text{m}$

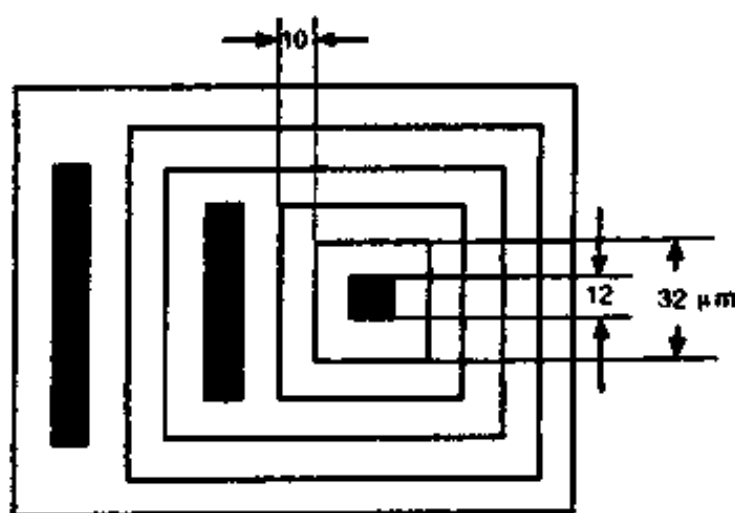


图 5.9 一个横向 pnp 版图

把以上数值代入(5.17)、(5.18)式得

$$\beta_1 \approx 13 \quad \beta_2 \approx 1.5$$

这个结果与实测结果大体上符合。

(3) 横向 pnp 晶体管频率特性

由(5.2)式看出,晶体管特征频率 f_T 跟发射结电容充放电时间 τ_e ,载流子在基区渡越时间 τ_b ,集电结势垒渡越时间 τ_d ,集电结势垒电容延迟时间 τ_c 成反比关系,即 $\frac{1}{f_T} \propto (\tau_e + \tau_b + \tau_d + \tau_c)$,在四项中,基区渡越时间 τ_b 最大.在横向 pnp 晶体管中,由于基区宽度比纵向 npn 管基区大 4 倍以上,因而可以认为特征频率 f_T 主要取决于 τ_b ,而其它各项均可略而不计.又因为横向 pnp 管基区杂质分布是均匀的,基区中少数(空穴)渡越时间为

$$\tau_b = \frac{W_b^2}{2D_{pb}} \quad (5.19)$$

$$f_T \approx \frac{1}{1.4 \times 2\pi} \cdot \frac{1}{\tau_b} = \frac{1}{1.4 \times 2\pi} \cdot \frac{2D_{pb}}{W_b^2} \quad (5.20)$$

由(5.20)式看出,由于横向 pnp 管基区宽度比纵向 npn 管大好几倍,同时空穴扩散系数 D_p 又比电子扩散系数小 3 倍之多,所以横向 pnp 管频率特性比纵向 npn 管差得多.如横向 pnp 管基区宽度取 $8\mu\text{m}$, $D_{pb} \approx 10\text{cm}^2/\text{s}$,那么横向 pnp 管特征频率 $f_T \approx 3.5\text{MHz}$,这值不到典型的纵向 npn 管的百分之一。

(4) 横向 pnp 晶体管版图设计几例

下面画出几种横向 pnp 管设计版图。

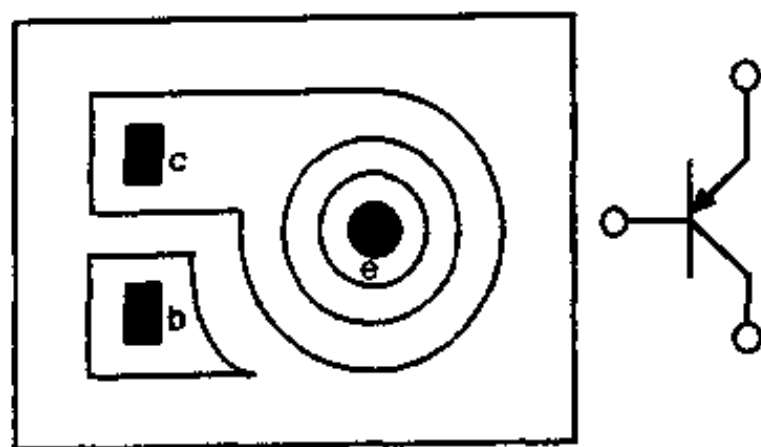


图 5.10 圆形单发射极单基极单集电极

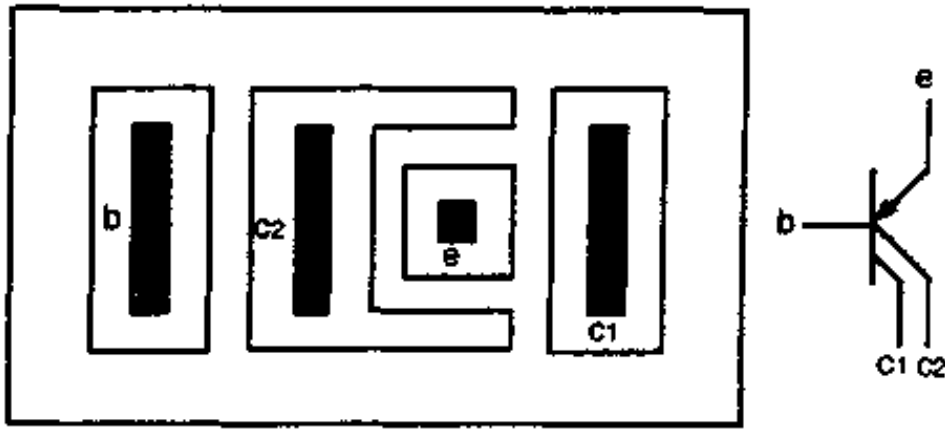


图 5.11 双集电极单发射极单基极

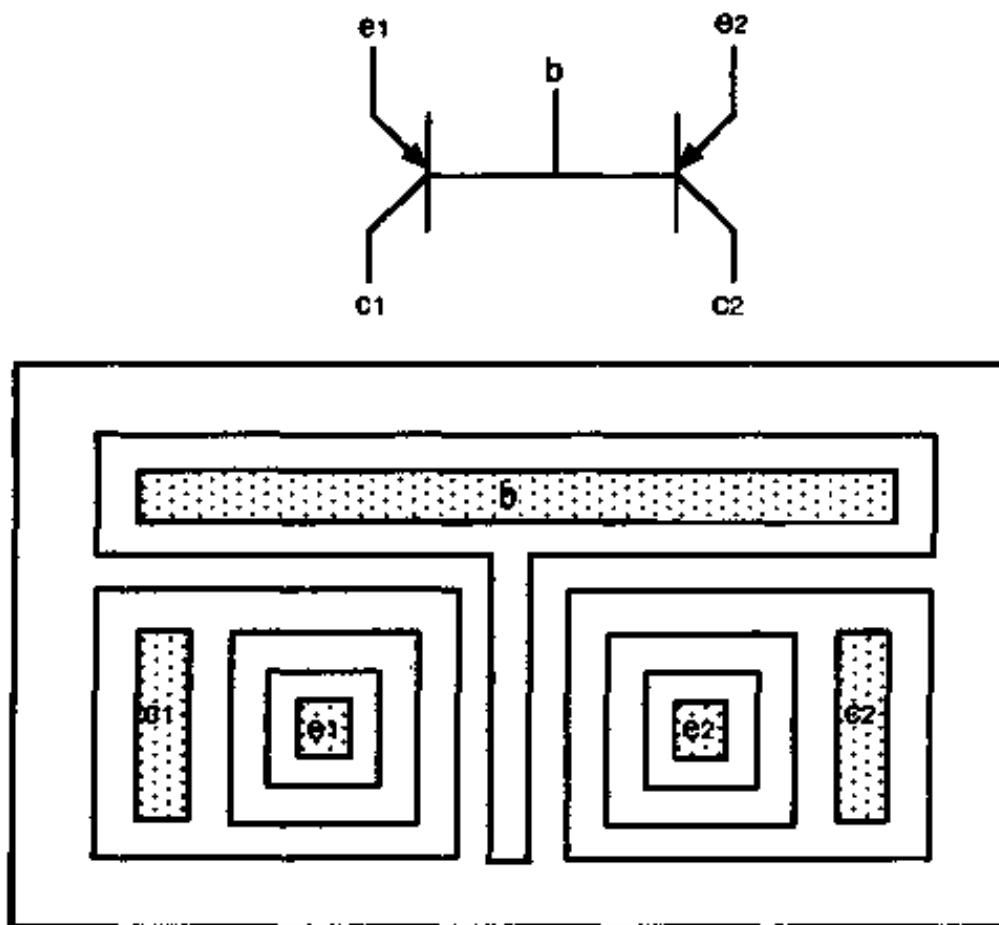


图 5.12 单基极双发射极双集电极

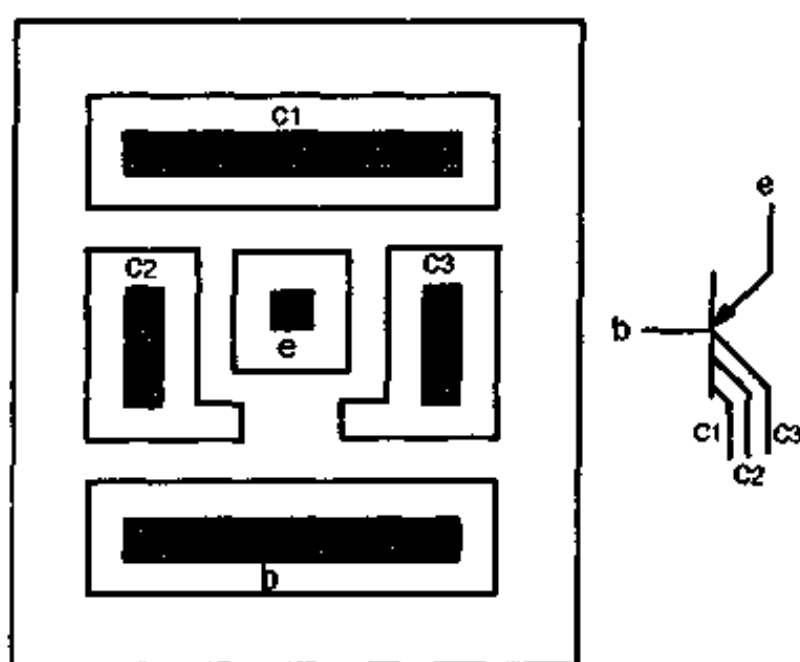


图 5.13 三集电极单发射极单基极

5.1.3 模拟集成电路中的衬底 pnp 管

这一节简单介绍一下在模拟集成电路中的另一种 pnp 晶体管,就是所谓纵向衬底 pnp 管.这种 pnp 晶体管是这样构成的:利用 p 型衬底作为集电区,集电极从 pn 结隔离槽上方引出,n 型外延层作为基区,而发射区是在做纵向 npn 管基区扩散时同时形成的,构成纵向结构,如图 5.14 所示.

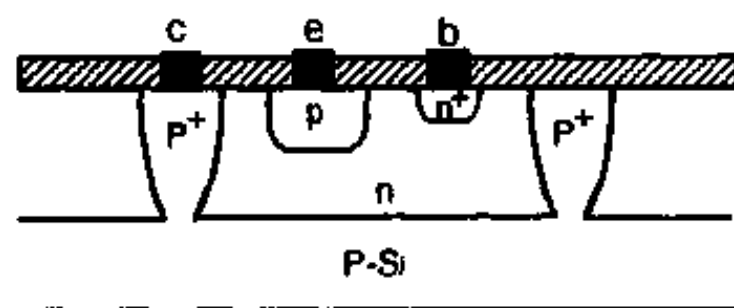


图 5.14 纵向衬底 pnp 晶体管

由于 pn 结隔离的集成电路, p 型衬底是接全电路最负的电位上, 以便使 pn 结处于反偏, 达到隔离目的. 衬底 pnp 晶体管是以 p 型衬底作为集电区, 因此在集成电路中, 只有集电极接全电路最负电位的 pnp 管才能采用这种管子, 所以其用途具有局限性, 主要用作集成运放, 功率放大器等中的互补输出级的 pnp 管.

衬底 pnp 管利用外延层作为基区, 所以基区宽度较大, 因而电流放大系数和频率特性也是不尽理想, β 一般在 10—30 范围, 比横向 pnp 管略大, 特征频率 $f_T \approx 10\text{MHz}$ 以上, 比横向 pnp 管稍好, 但比纵向 npn 管差.

5.1.4 模拟集成电路中的高性能 pnp 管

在上面讨论知道, 无论横向 pnp 晶体管还是衬底 pnp 管都存在共同的问题点, 就是频率特性差, 电流放大系数小. 为提高集成运放的频响特性、压摆率、稳定性等诸方面的性能指标, 中国科学技术大学在通用型集成运放 KD203, 高精度集成运放 KD205, 高精度、低漂移集成运放 KD207 中, 首次采用分片集成技术: 一片用高性能的 npn 晶体管集成, 另一片则采用高性能的 pnp 管集成. 在这种特殊的集成技术中, 制造了高性能的完全纵向 pnp 晶体管. 这种 pnp 管各项参数指标都达到和 npn 晶体管相比拟的水平. 当然这种集成方法不是通用的集成技术, 但它对提高集成运放性能方面有过一定的实用性.

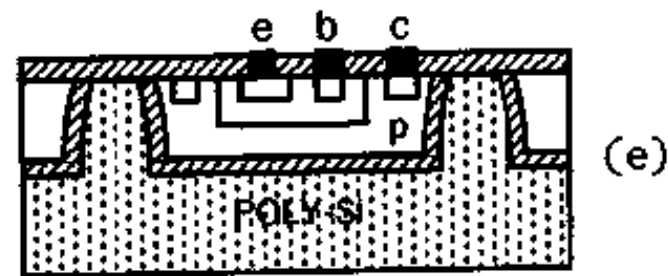
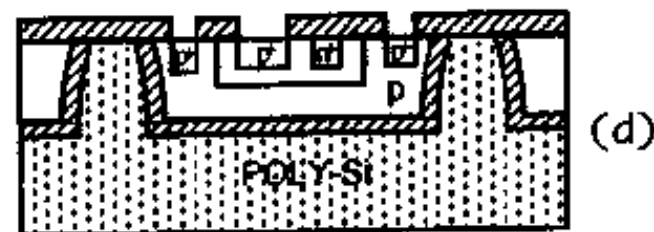
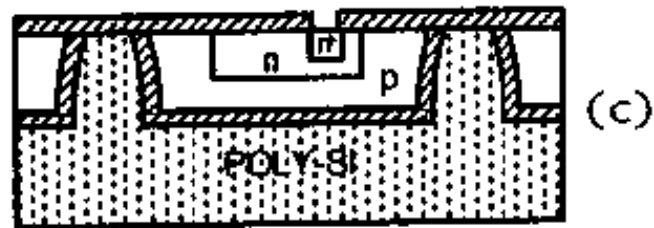
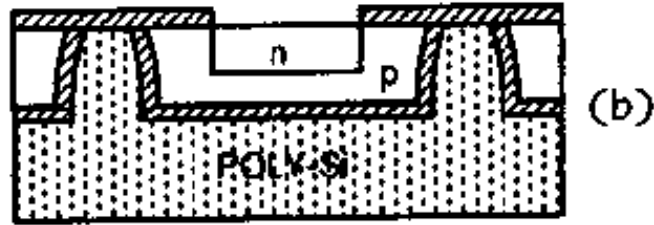
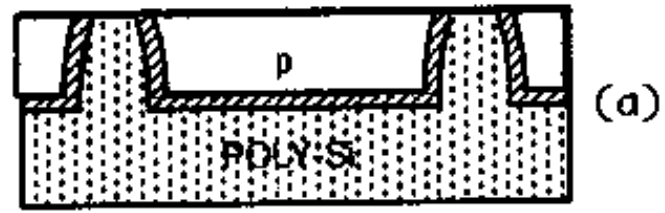
(1) 高性能 pnp 管集成技术工艺过程

图 5.15 画出了高性能 pnp 管制造工艺的过程. 它是采用介质隔离技术, 衬底用多晶硅, SiO_2 为隔离介质, 在 p 型硅材料上, 进行 n 型基区扩散, 然后再在基区引线孔处扩散高浓度的 n^+ 层, 最后进行 p^+ 型发射区扩散, 形成 $p^+ - n - p$ 完全纵向 pnp 晶体管.

(2) 高性能 pnp 管集成技术特殊性

① 版图设计特殊性

我们知道, 在 Si-SiO₂ 系统中, 存在有可动电荷, 固定电荷, 辐



- a. 研磨后 p-Si 基片 b. 扩散 n 型基区 c. 扩散 n⁺ 区
 d. 扩散 p⁺ 发射区 e. 纵向 pnp 管形成

图 5.15 高性能 pnp 管工艺

射感应电荷以及界面态,在这些电荷和能态中,正电荷占优势,由于氧化层中正电荷的镜像感应,导致 pnp 管低浓度的集电区表面空穴“耗尽”,形成了 n 型“沟道”,由于“沟道效应”的结果,使得基极—集电极“沟道”电流大大增加,给 pnp 管平面集成技术带来困难,如图 5.16 所示.

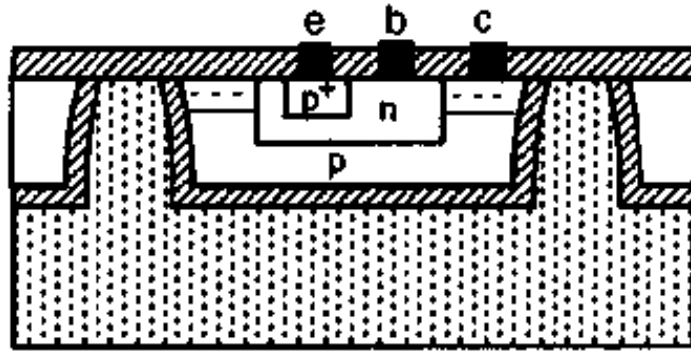


图 5.16 pnp 管沟道效应

为切断“沟道电流”,在 pnp 管版图设计上可使用“保护环”,如图 5.17. 在扩散 p⁺ 发射区同时扩散 p⁺ 型“保护环”. 从而切断低浓度的 p 型集电区的表面沟道,大大减小了 pnp 管的表面漏电. 采取“保护环”版图设计方案,再加上相应的工艺措施,可使 pnp 管漏电流 I_{c0} 降到 npn 管的相同数量级.

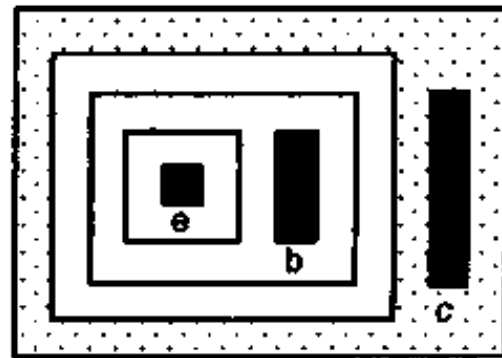


图 5.17 pnp 管“保护环”设计

② 制造工艺特殊性

实践表明,热氧化会引起硅表面杂质浓度再分布,杂质不同,氧化速率和氧化温度不同,再分布情况也不相同. 对于 npn 硅管来说,发射区通常是用磷扩散的,而对 pnp 硅管来说,发射区是用硼扩散的,磷和硼两种杂质在 Si-SiO₂ 界面处分凝系数是不同的,磷的分凝系数 $m_p \approx 10$,硼的分凝系数 $m_B \approx 0.3$,因此在发射区扩

散后,再进行热氧化时,氧化层对磷杂质有“排斥”作用,使 npn 晶体管发射区表面浓度提高,而氧化层对硼杂质有“吸收”作用,使 pnp 晶体管发射区表面浓度下降,结果使 pnp 管电流放大系数 β 下降.

为解决 pnp 管发射区扩散后再分布氧化时 β 下降的问题,可采取相应的工艺措施. pnp 管集成中,基区是采用磷扩散的,它的表面浓度约为 $10^{18}/\text{cm}^3$,为使基区铝引线孔区不致“反型”,保持良好的欧姆接触,必须在基区引孔区扩散高浓度的 n^+ 区. 要使 pnp 管不致因扩散 n^+ 区而使 β 下降,可把 n^+ 扩散工序改在 pnp 管发射区扩散之前进行. 另外发射区扩散后,再分布氧化层可用低温热氧化和低温沉积氧化层来形成.

5.1.5 模拟集成电路中的超 β 晶体管

在高精度集成运放中,为减小偏置电流,提高输入阻抗,改善电路性能,输入级采用所谓超 β 晶体管. 这种晶体管电流放大系数 β 高达 2000—5000,但击穿电压低, $BV_{ce} \approx 4\text{V}$,超 β 晶体管首次在第三代集成运放 AD508 中获得应用.

超 β 晶体管和电路中其它普通的 npn 晶体管是在同一基片上做成,因此存在超 β npn 管和普通的 npn 管工艺上如何“相容”的问题. 也就是说,在同基片上,既要作出 β 足够高的超 β 管,同时又要兼顾到普通的 npn 管击穿电压的要求.

由器件原理可以知道,只要减小基区宽度就可以提高 β 值,因此超 β 晶体管和普通的晶体管之间的主要差别在于基区宽度. 为此超 β 管的发射区扩散通常采用二次磷扩散方法,以减小基区宽度,提高 β 值,而普通的 npn 晶体管发射区仍按常规的一次磷扩散工艺,保持适度的基区宽度,以保证击穿电压的要求.

图 5.18 表示超 β 晶体管制作工艺过程. 在基区扩散的基础上,进行第一次发射区磷扩散,此时只扩散超 β 管发射区,普通管的发射区窗口不光刻出来,如图 5.18(a)所示. 在第二次发射区扩

散时,同时扩散超 β 管和普通管,这样超 β 管的发射结深继续向下推进,使基区宽度缩小,如图 5.18(b)所示.

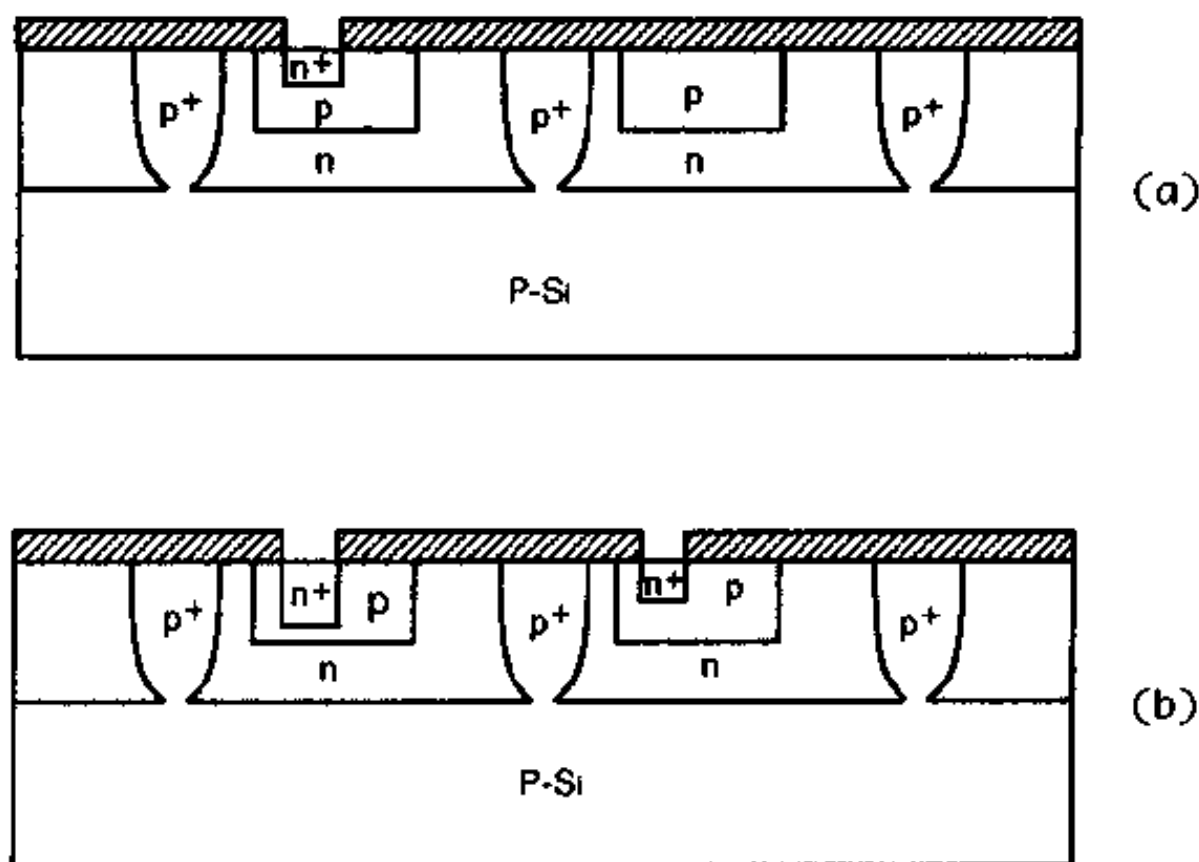


图 5.18 超 β 晶体管制作工艺

5.1.6 模拟集成电路中的 MOS 晶体管

用超 β 晶体管为集成运放差分输入级,偏置电流小,输入阻抗高,如果输入级工作电流 $I_c = 10\mu\text{A}$,其 β 设为 1000,那么基极电流 I_b 即为 10nA ,则输入阻抗 $R_{in} \approx 5\text{M}\Omega$.但如果采用 MOS 晶体管作为输入级,它的输入阻抗则高达 $\sim 10^{12}\Omega$,比超 β 管要高几个数量级. MOS 管占有的版图面积也小.由于 MOS 管具备一些比双极型晶体管所不具备的特点,因此 MOS 管在模拟集成电路中获得广泛应用,特别是利用 MOS 管高输入阻抗的特点,用 MOS 管作集成运放输入级,同时再利用双极型管特点,作为运放的中间级和输出级,构成所谓 Bi-MOS 模拟集成电路.关于 Bi-MOS,全 MOS 集成运放,我们将在第九章进行详细讨论,这里不作重复.

5.2 模拟集成电路中的二极管

在模拟集成电路中,通常是用三极管的不同连接方式构成二极管,这样更方便更灵活.本节就集成电路中二极管几种连接方法及其击穿电压,反向漏电流,电容等方面进行讨论.

5.2.1 集成电路中的二极管构成法

(1) 集电极—基极短接

集电结零偏, $V_{CB} = 0$, 用发射结作二极管. 如图 5.19 所示.

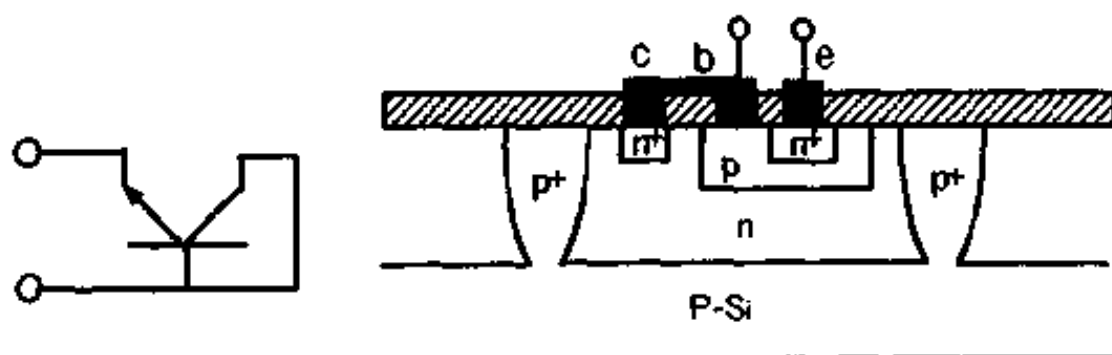


图 5.19 c-b 短接

(2) 发射极—基极短接

发射结零偏, $V_{EB} = 0$, 用集电结构成二极管. 如图 5.20 所示.

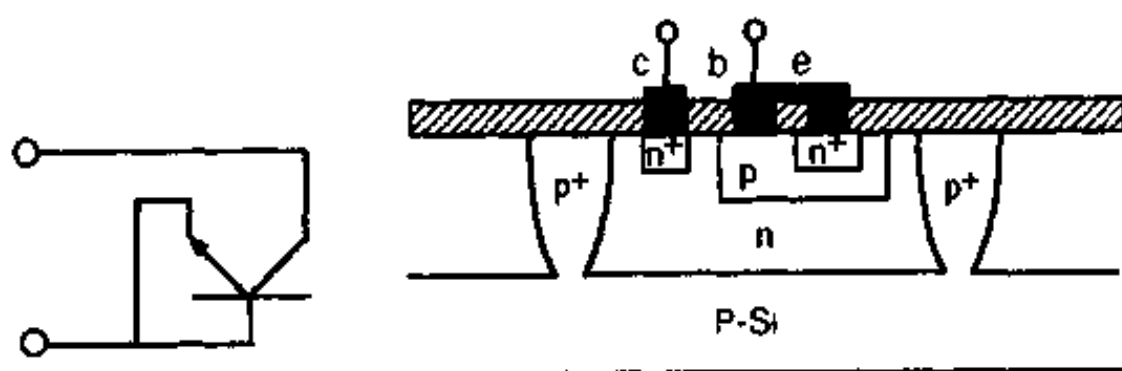


图 5.20 e-b 短接

(3) 发射极—集电极短接

$V_{CE}=0$, 发射结和集电结并联, 发射结和集电结都起作用, 如图 5.21 所示.

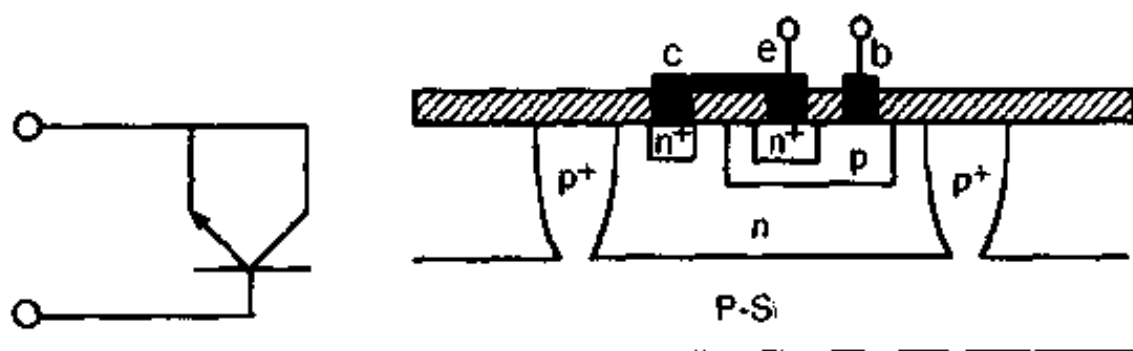


图 5.21 e-c 短接

(4) 集电极开路

$I_c=0$, 发射结起二极管作用, 如图 5.22.

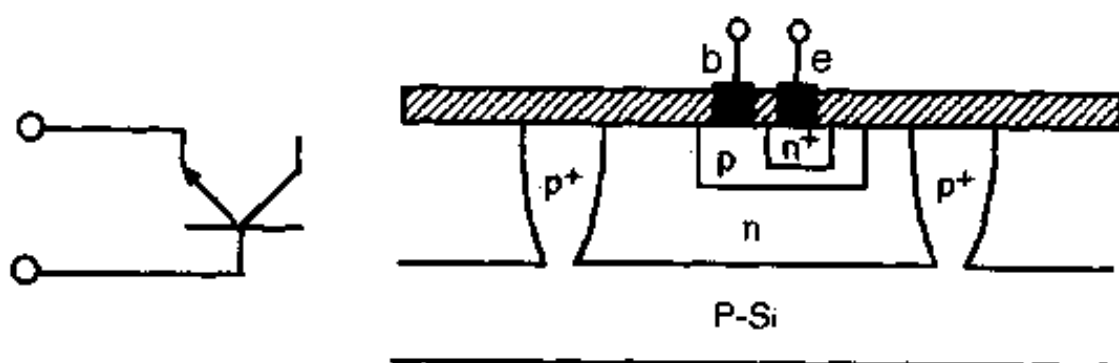


图 5.22 $I_c=0$

(5) 发射极开路

$I_e=0$, 集电结起二极管作用, 如图 5.23.

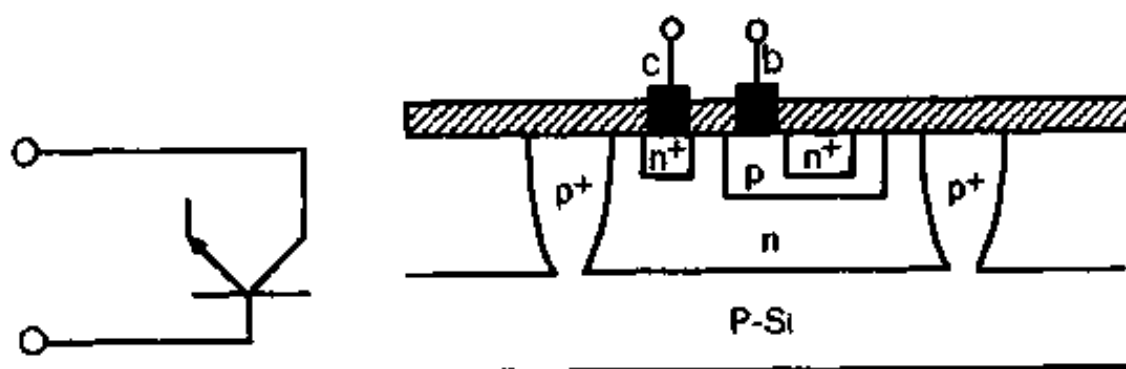


图 5.23 $I_e=0$

5.2.2 五种接法的二极管击穿电压

(1) c—b 短接(图 5.19)

发射结构成二极管,其反向击穿电压即为发射结反向击穿电压 $BV_{EB} \approx 6-8V$.

(2) e—b 短接(图 5.20)

集电结构成二极管,反向击穿电压即为集电结反向击穿电压, $BV_{CB} \approx 50-100V$.

(3) e—c 短接(图 5.21)

发射结与集电结并联,反向击穿电压为发射结反向击穿电压, $BV_{EB} \approx 6-8V$.

(4) 集电极开路(图 5.22)

发射结构成二极管,击穿电压为 $BV_{EB} \approx 6-8V$.

(5) 发射极开路(图 5.23)

集电结构成二极管,击穿电压为 $BV_{CB} \approx 50-100V$.

5.2.3 五种二极管反向漏电流

pn 结反向漏电流由三部分组成

$$I_R = I_D + I_G + I_S \quad (5.21)$$

I_D ——体内扩散引起漏电流

I_G ——耗尽层中电荷产生而出现的漏电流

I_S ——表面漏电流

在室温下硅中 $I_D \ll I_G$.

$$I_G = Aq \frac{n_i}{2\tau} \delta \quad (5.22)$$

式中: A ——结面积

q ——电子电荷

n_i ——本征载流子浓度

τ ——载流子寿命

δ ——耗尽层厚度

由于引起表面漏电流 I_s 的原因是多方面的,这里暂且不考虑,我们只定性地讨论五种二极管的 I_G 大小.

对于第 1 种接法 $V_{CB}=0$,第 4 种接法 $I_c=0$,这两种接法都是发射结起二极管作用.根据(5.22)式, $I_G \propto A \cdot \delta$,此时 $A=A_e$ 为发射结面积,发射结面积比集电结面积小;再看 δ ,如果用突变结近似模型,对于 $n^+ - p$ 结(发射结):

$$\delta \approx \delta_p = \left[\frac{2\epsilon_0\epsilon_S}{qN_p} (V_D - V) \right]^{1/2} \quad (5.23)$$

对于 $p - n^-$ 结(集电结)

$$\delta \approx \delta_n = \left[\frac{2\epsilon_0\epsilon_S}{qN_n} (V_D - V) \right]^{1/2} \quad (5.24)$$

$$\therefore \text{发射结} \quad \delta \approx \delta_p \propto \left(\frac{1}{N_p} \right)^{1/2}$$

$$\text{集电结} \quad \delta \approx \delta_n \propto \left(\frac{1}{N_n} \right)^{1/2}$$

N_p ——基区浓度, N_n ——集电区浓度

显然 $N_p \gg N_n$, $\therefore \delta_p \ll \delta_n$

根据以上分析发射结面积, δ 都比集电结小,所以在五种接法的二极管中第一种($V_{CB}=0$)和第 4 种($I_c=0$)反向漏电流最小.

对于第 2 种($V_{EB}=0$),第 5 种($I_c=0$)都是用集电结构成二极管, A_c, δ_n 都较大,所以 I_G 也较大.

对于第 3 种($V_{CE}=0$),由于是发射结和集电结并联,显然,反向漏电流最大.

5.2.4 五种二极管电容

在 pn 结隔离的集成电路中,存在有三个 pn 结,这就是:

发射极——基极结(发射结)

集电极——基极结(集电结)

集电极——衬底结(衬底结)

设发射结电容为 C_{Te} , 集电结电容为 C_{Tc} , 衬底结电容为 C_{TS} , 二极管总电容为 C_D , 寄生电容为 C_P .

下面计算 pn 结隔离的五种接法的二极管电容值.

(1) $V_{CB}=0$. 等效电路如图 5.24 所示

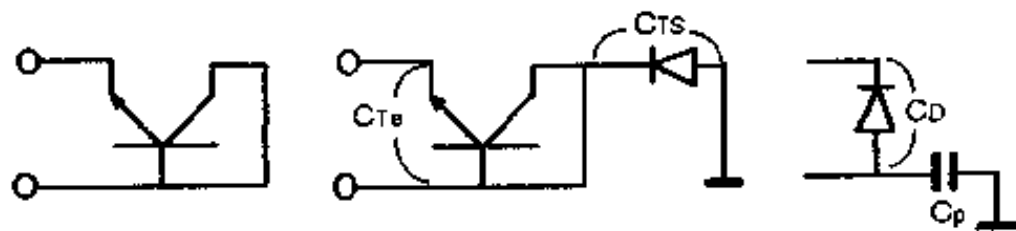


图 5.24 $V_{CB}=0$

由图可写出, $C_D=C_{Te}, C_P=C_{TS}$.

(2) $V_{EB}=0$. 等效电路如图 5.25 所示

$$C_D=C_{Tc}, \quad C_P=C_{TS}$$

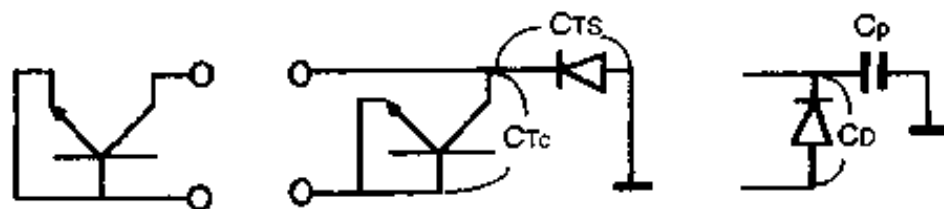


图 5.25 $V_{EB}=0$

(3) $V_{CE}=0$. 等效电路如图 5.26 所示

$$C_D=C_{Te}+C_{Tc}, \quad C_P=C_{TS}$$

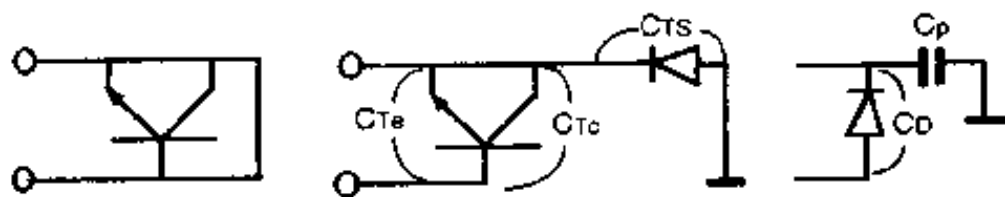


图 5.26 $V_{CE}=0$

(4) $I_c=0$. 等效电路如图 5.27 所示

$$C_D = G_{Tc}, C_P = \frac{C_{TS} \cdot C_{Tc}}{C_{TS} + C_{Tc}}$$

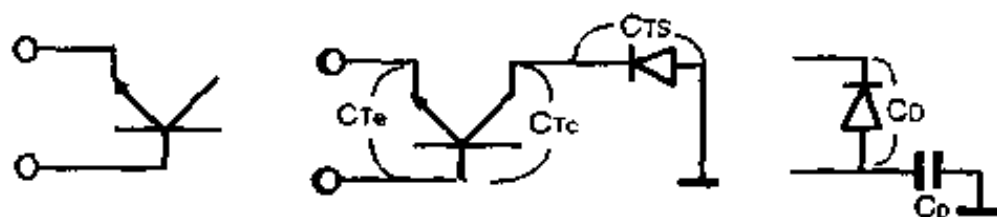


图 5.27 $I_c = 0$

(5) $I_c = 0$. 等效电路如图 5.28 所示

$$C_D = C_{Tc}, C_P = C_{TS}$$

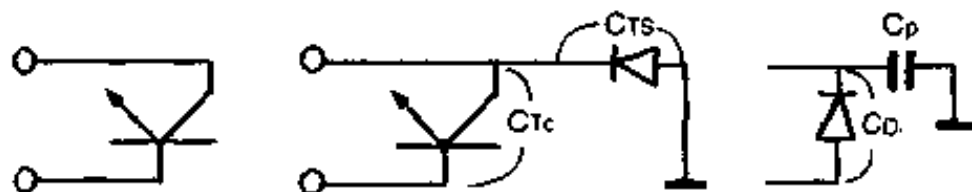


图 5.28 $I_c = 0$

由上面分析看出,第 3 种 $V_{CE} = 0$ 二极管总电容最大,而在第 4 种 $I_c = 0$ 中,寄生电容最小.

通过以上对五种接法的二极管的版图结构,击穿电压,反向漏电流及二极管的电容讨论,在版图设计时,可根据电路对二极管的要求,选择合适的接法,以使综合性能最佳.

5.3 模拟集成电路中的电阻

在模拟集成电路中,常用的电阻有扩散电阻,包括基区扩散电阻,发射区扩散电阻和夹层沟道电阻.另外还有离子注入电阻,薄膜电阻如 Cr-Si 电阻等.扩散电阻是在形成晶体管基区或发射区扩散时同时作成的,工艺相容、简单,无需另加工序,本节主要讨论扩散电阻.

现在先介绍下在模拟集成电路电阻设计中常用的方块电阻概念。

图 5.29 画出一个扩散区, 扩散区长度为 L , 宽度为 W , 扩散结深为 x_j , 扩散层平均电阻率为 $\bar{\rho}$ 。则这一扩散区按箭头方向看进去的电阻为

$$R = \bar{\rho} \frac{L}{x_j W} \quad (5.25)$$

当 $L = W$, 即取一方块时, 其电阻为

$$R = R_{\square} = \bar{\rho} \frac{1}{x_j} \quad (5.26)$$

我们就把 $R_{\square} = \bar{\rho} \frac{1}{x_j}$, 称之为方块电阻, 它与 $\bar{\rho}$ 、 x_j 有关, 但与方块大小无关。如把 (5.26) 式代入 (5.25) 式则得

$$R = R_{\square} \frac{L}{W} \quad (5.27)$$

这是设计集成电路中扩散电阻最基本公式。例如 npn 管基区扩散方块电阻 $R_{\square} = 200\Omega/\square$, 电阻扩散区长 $L = 200\mu\text{m}$, 宽 $W = 20\mu\text{m}$, 则这一扩散电阻

$$R = R_{\square} \cdot \frac{L}{W} = 2\text{k}\Omega$$

5.3.1 基区扩散电阻

(1) 基区扩散电阻结构

图 5.30 是基区扩散电阻剖面图。它是在扩散 npn 管基区时同时扩散形成的。

这里要指出的是基区扩散电阻必须和 n 外延层处于反偏状

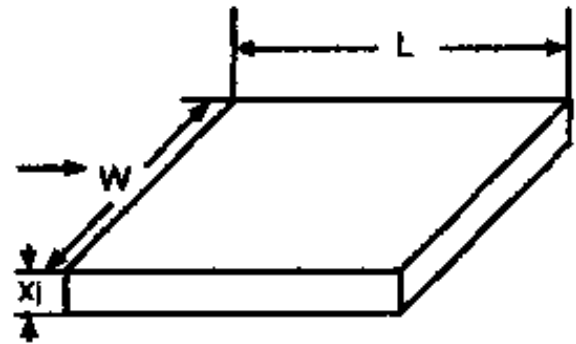


图 5.29 方块电阻

态,如果电阻是在单独的隔离区内,电阻两个端头中高电位一端必须与n外延层相接,如果电阻两端中高电位一端比npn晶体管集电极电位低,则该晶体管与电阻可放在同一隔离区内.图5.31是基区扩散电阻R单独在一个隔离区内的版图及等效电路,电阻R右端电位比左端高,右端与外延层n相接,使整个电阻与n外延层都处于反偏状态.

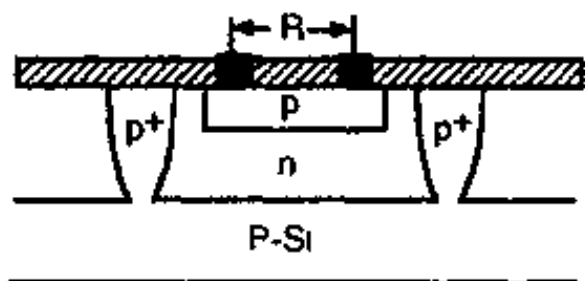


图 5.30 基区扩散电阻结构

(2) 电阻图形设计

常用的图形有三种类型:

① 瘦型图形,如图5.32.

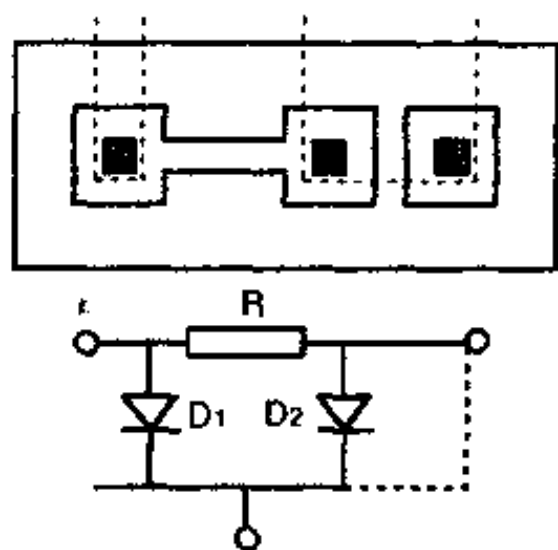


图 5.31 单独隔离区内电阻版图

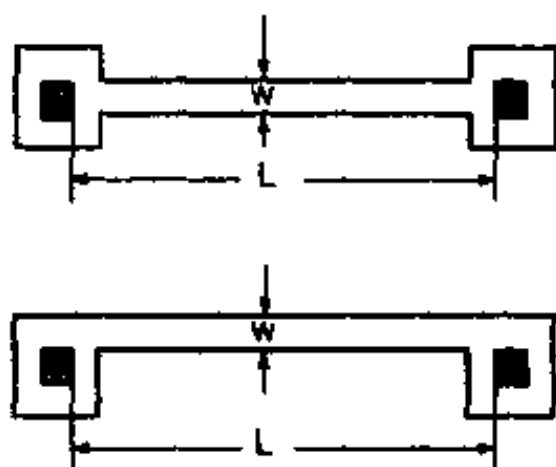


图 5.32 瘦型电阻图形

② 胖型图形,如图5.33.

③ 弯型图形,如图5.34, $L = L_1 + L_2$.

在设计这些电阻阻值时,不能简单地按(5.27)式进行计算,而必须加进端头修正和弯头修正,才能获得相对准确,(5.28)式是基

区扩散电阻一种经验公式^[11]。

$$R = R_0 \left(\frac{L}{W} + K_1 + nK_2 \right) \quad (5.28)$$

K_1 ——电阻端头修正因子

K_2 ——电阻弯头修正因子,实验确认为 0.5

n ——弯头数目

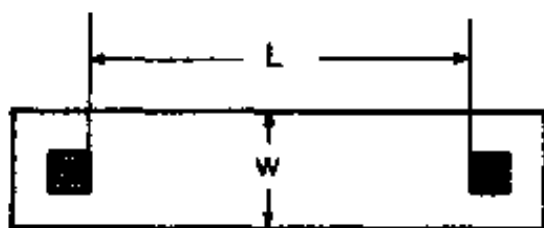


图 5.33 胖型电阻图形

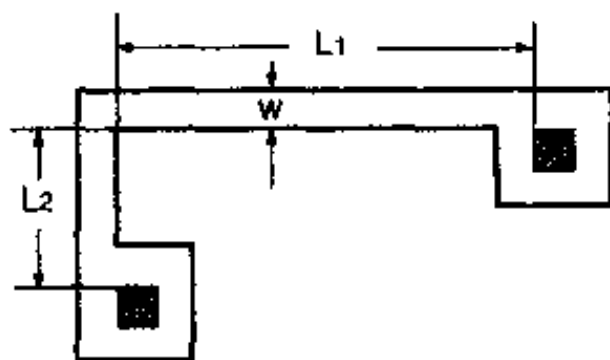


图 5.34 弯型电阻图形

表 5.1 为端头修正因子值^[11]。但要指出的是无论是(5.28)式还是表 5.1 值都只是经验性的,要设计更准确,还可以结合工艺、设计实践总结出更为满意的公式和修正值。

表 5.1 端头修正因子

条宽 W (μm)	K_1	
	瘦型	胖型
≤ 25	0.8	0.28
50	0.4	0.14
75	0.27	0.09
100	0.2	0.07
> 100	可略	可略

(3) 基区扩散电阻误差

基区扩散电阻不可能作得非常精确,这在集成电路设计时必须考虑的因素,要使电路在扩散电阻误差范围内能正常工作.另外在电阻版图设计、工艺控制方面要尽可能减小电阻的误差.根据(5.27)式

$$R = R_0 \frac{L}{W} = R(R_0, L, W)$$

对 R 进行全微分

$$\begin{aligned} dR &= \frac{\partial R}{\partial R_0} dR_0 + \frac{\partial R}{\partial L} dL + \frac{\partial R}{\partial W} dW \\ &= \frac{L}{W} dR_0 + \frac{R_0}{W} dL - \frac{1}{W^2} R_0 \cdot L \cdot dW \\ \frac{dR}{R} &= \frac{dR_0}{R_0} + \frac{dL}{L} - \frac{dW}{W} \end{aligned} \quad (5.29)$$

由上式可见基区扩散电阻的误差由下列因素构成的.

- ① 基区扩散引起方块电阻 R_0 的误差;
- ② 由制版,光刻,侧向扩散引起 $\Delta W, \Delta L$.

显然,要提高扩散电阻精度,要采取的办法有:

在设计时,适当增大电阻条宽 W .

在工艺上,提高制版、光刻,扩散精度和准确性.

在版图布局上,把相同阻值电阻,特别是对称的电阻,宽、长、

形状都要设计一致,并尽可能靠近,减小相对误差.

(4) 扩散电阻功率限制

实验表明,对于 TO 型或偏平封装,在室温下每平方微米电阻面积所允许的最大功率为:

$$P_{Amax} = 5 \times 10^{-3} \text{mW}/\mu\text{m}^2 \quad (5.30)$$

设电阻条宽为 W ,长为 L ,方块电阻为 R_{\square} ,流过电流为 I ,则功率为 $P_{\square} = I^2 R = I^2 \cdot R_{\square} \frac{L}{W}$. 单位面积允许的最大功率为

$$P_{Amax} = I^2 \cdot R_{\square} \cdot \frac{L}{W} \cdot \frac{1}{WL} = I^2 \frac{R_{\square}}{W^2}$$

则单位条宽允许的最大电流为

$$\frac{I}{W} = \sqrt{\frac{P_{Amax}}{R_{\square}}} \quad (5.31)$$

设 $R_{\square} = 200\Omega/\square$, $P_{Amax} = 5 \times 10^{-3} \text{mW}/\mu\text{m}^2$

$$\text{则} \quad \frac{I}{W} \approx 0.16 \text{mA}/\mu\text{m} \quad (5.32)$$

因此对于 $R_{\square} = 200\Omega/\square$ 来说,单位条宽电阻最大允许电流为 $I_{Wmax} \approx 0.16 \text{mA}/\mu\text{m}$. 表 5.2 是按(5.31)式计算的对不同的方块电阻的功率限制.

表 5.2 扩散电阻功率限制

$R_{\square} (\Omega/\square)$	2	5	10	50	100	150	200	300
$I_{Wmax} \left(\frac{\text{mA}}{\mu\text{m}} \right)$	1.6	1.0	0.71	0.32	0.22	0.18	0.16	0.13

(5) 扩散电阻温度系数

电阻温度系数指温度每升高 1°C 时,阻值相对变化量. 了解不同类型的电阻温度系数,对低漂移集成运放及其它模拟集成电路的设计具有重要意义. 对于 npn 管基区扩散电阻,其温度系数约为 $2000\text{PPM}/^{\circ}\text{C}$. 对 pnp 管基区扩散电阻,作者实验表明,温度系

数约为 3000PPM/°C. 图 5.35 是 pnp 管基区扩散电阻与温度关系曲线.

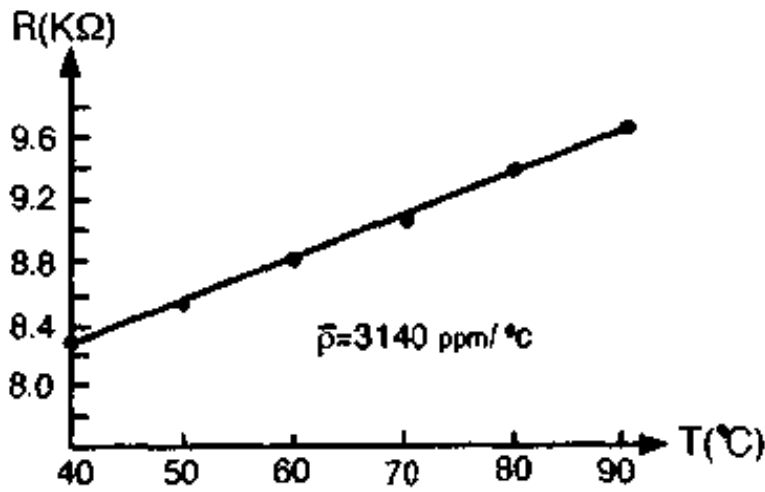


图 5.35 pnp 管基区扩散电阻~温度曲线

5.3.2 夹层沟道电阻

夹层电阻也称沟道电阻, 兼顾二者, 我们称之为夹层沟道电阻. 它是经基区和发射区两次扩散两层之间构成的电阻. 如 5.36 图所示.

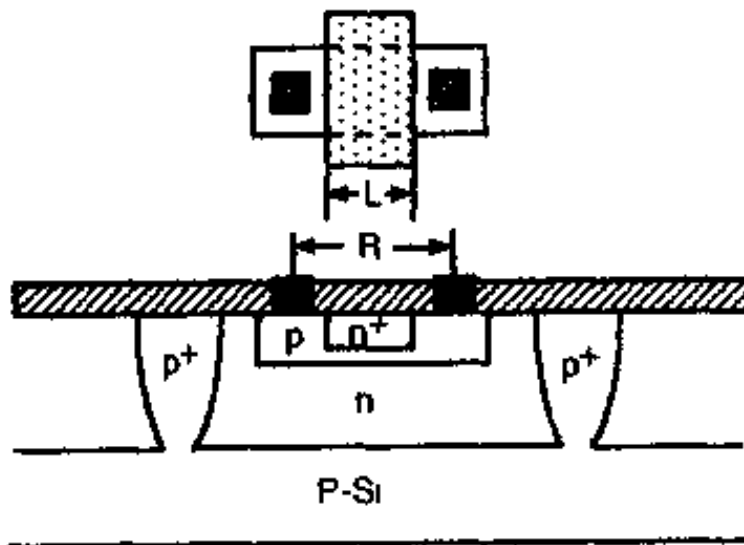


图 5.36 夹层沟道电阻

这里同样要指出的是电阻两端中高电位一端和 n^+ 层都要接到 n 型外延层上,使得发射结和集电结都处于反偏状态.

沟道夹层电阻是以夹层中的沟道为电阻通道,方块电阻大,一般为 $5-10\text{k}\Omega/\square$,因此适合作大阻值电阻,占用版图面积小.但是这种电阻缺点也是明显的,它的阻值大小是由沟道决定的,而沟道大小是随晶体管电流放大系数 β 而变化, β 大意味着基区宽度小,也就是“沟道”小,阻值就变大,因此这种电阻误差大;另外一个缺点是耐压低,它的最高耐压即为发射结反向击穿电压,为 $6-8\text{V}$;还有一个缺点是温度系数大为 $4000-7000\text{PPM}/^\circ\text{C}$,比基区扩散电阻大 2 至 4 倍.但尽管如此,在阻值大,精度要求不高,耐压要求小于 6V 的场合仍然获得广泛应用.

5.3.3 发射区扩散电阻

它是在发射区扩散时形成的,由于发射区浓度高,方块电阻小, $R_{\square}=2-5\Omega/\square$,因此这种电阻适合作比较精密的低值电阻($1-几十\Omega$).

5.4 模拟集成电路中的电容

集成运放在运用时,为保证运放闭环工作的稳定性,通常要进行频率补偿,频率补偿最常用的办法是电容补偿法,补偿电容一般为几十 pf ,它可以作在芯片上,叫“内补偿”,也可以外接,叫“外补偿”.在早期的集成运放中,通常采用外接补偿电容,但在现代的集成运放中,普遍把电容集成在芯片上.可以作为集成电容的主要有扩散结电容和 MOS 电容,扩散结电容有 eb 结电容, bc 结电容和 cs 结电容.这些结电容的电容量一般都很小, eb 结电容约为 $10^{-3}\text{pf}/\mu\text{m}^2$, bc 结电容为 $2\times 10^{-4}\text{pf}/\mu\text{m}^2$, cs 结电容更小约为 $10^{-4}\text{pf}/\mu\text{m}^2$,而且结电容量大小还跟其偏压有关.因此,在模拟集成电路中,很少被采用.通常是采用 MOS 电容.图 5.37 是一个实用的

MOS 电容器的平面版图和剖面结构图。

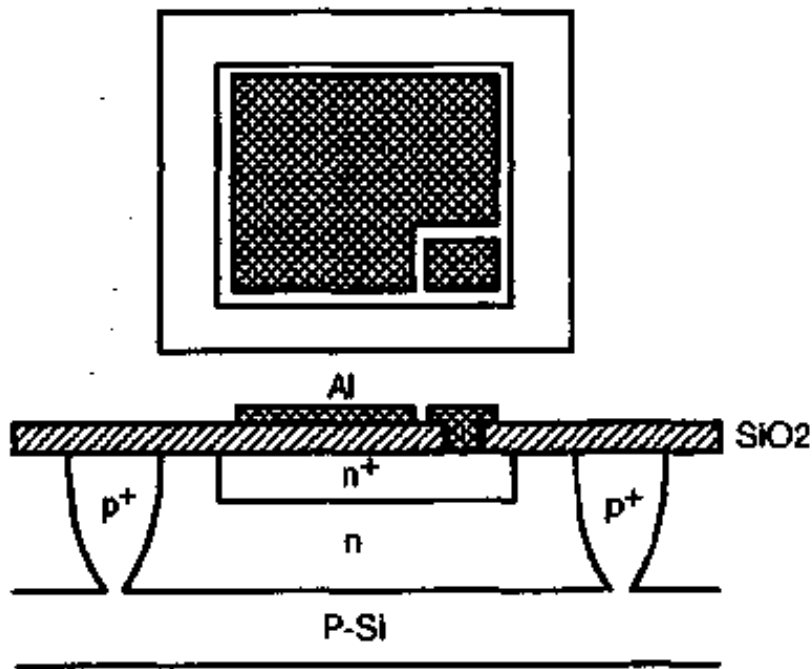


图 5.37 MOS 电容结构

MOS 电容是这样集成的：在扩散 npn 管发射区同时，在 n 型外延层上扩散一层 n⁺ 层，然后氧化一层 $d_i = 1000 \text{ \AA}$ 左右的优质氧化层，作为电容器的介质，再在氧化层上蒸上 Al，作为电容器一端，电容器另一端由 n⁺ 区引出，构成了 MOS 电容器。它的电容量由下式表示

$$C = \frac{\epsilon_0 \epsilon_{\text{SiO}_2} A_s}{d_i} \quad (5.33)$$

$\epsilon_0 = 8.85 \times 10^{-6} \text{ pf}/\mu\text{m}$ 真空介电常数

ϵ_{SiO_2} —— SiO₂ 介电常数为 3.9

A_s —— 电容器面积

d_i —— SiO₂ 厚度

现在计算一个例子。如需要集成一个电容值为 18pf 的 MOS 电容作为集成运放的补偿电容，假设氧化层厚度为 1000 Å，问电容器面积应设计多少？

根据(5.33)式

$$A_s = \frac{Cd_i}{\epsilon_0 \epsilon_{SiO_2}} = \frac{18\text{pf} \times 1000 \times 10^{-4}(\mu\text{m})}{8.85 \times 10^{-6}\text{pf}/\mu\text{m} \times 3.9} \\ \approx 52151\mu\text{m}^2$$

目前在模拟集成电路中,用常规工艺集成几十 pf 的 MOS 电容在技术上不存在问题,但它占用芯片版图面积相当大,由于氧化层面积大,如氧化层质量欠佳或光刻引起的针孔等都会造成芯片成品率下降.因此,在模拟集成电路设计时,电容究竟采用外接还是内部集成,要综合考虑实用性、经济性等多方面问题.

第六章 模拟集成电路设计实例

在第三章集成运放单元电路和第五章模拟集成电路元器件设计讨论的基础上,本章将以通用型高增益集成运放 KD203 和高精度低漂移集成运放 KD207 作为设计实例,对电路和版图设计进行讨论,以加深对模拟集成电路的设计原理,设计方法以及版图设计规则的进一步理解. KD203 和 KD207 均为中国科技大学微电子研究室分别于 1975 年和 1980 年设计和研制成功的. 它与 X54, NG04, BG305, 4E325 等电路一样,均是根据我国当时社会需要而自行设计的集成电路运算放大器.

6.1 KD203 集成运放电路设计

KD203 集成运放属第二代通用型集成电路运算放大器. 所谓“通用型”指运放的性能指标要兼顾多方面的要求. 1974 年,我国已有几家研制成功第二代集成运放并投入生产,但存在一些问题:一是与国外同类产品相比,性能略差;二是成品率低,难以投入批量生产满足社会需求, KD203 集成运放就是在这样的背景下设计的. 它的设计指标是:高增益,开环电压增益大于 20 万倍;低的漂移,失调电压温漂小于 $3\mu\text{v}/^\circ\text{C}$;高的成品率,能投入批量生产. 根据这些设计要求, KD203 集成运放在电路设计上采用简单的共射差分输入级,二级放大,在满足电路总的增益要求下,调整第一级和第二级增益分配,提高输入级增益,以期待失调电压及其温漂,噪声达到最佳. 在工艺上采用“分片集成技术”,采用高性能的 pnp 晶体管,避开使用频响差的横向 pnp 管,提高集成运放频响特性,从而达到了预定的设计指标.

烈地抑制 T_1, T_2 管的失调, 温漂, 噪声.

⑤ T_3 加入是为提高电流传递精度, W_1 是用之对 T_3 的偏置, 以保证 T_3 工作电流合适, 否则 T_3 管的工作电流仅为 $2I_{bT_1}$, 工作电流太低, β 值要下降, T_3 的缓冲作用就弱.

⑥ T_1, T_2, T_3 又是双端变单端的转换电路.

(2) KD203 集成运放中间级

T_4, T_5, W_2, W_3 构成中间(第二级)放大级. T_4 为跟随器, 起第一级与第二级隔离作用, 提高第二级输入阻抗. T_5 为第二级(中间级)主放大管, W_3 是其射极电阻, 它的作用是极其关键的, 对温漂, 第一级和第二级的增益分配有重要影响. Q_5 是 T_5 的有源负载.

(3) KD203 集成运放输出级

Q_9, T_6 构成互补输出级, Q_6, Q_7 为克服“交越失真”而加的二个二极管. Q_8, R_2, W_4 及 T_7, W_5, W_6 构成输出保护电路.

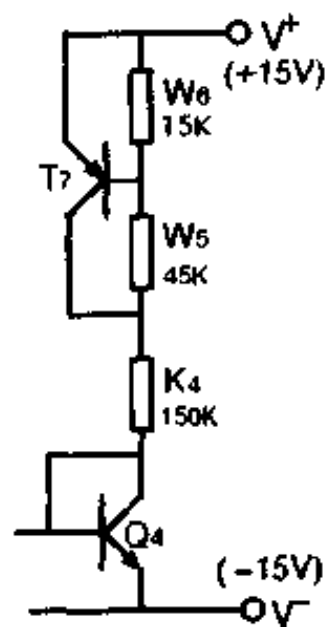
(4) KD203 恒流源电路

T_7, W_6, W_5, K_4, Q_4 构成主偏置电路.

Q_4, Q_3, R_1 构成小电流恒流源.

Q_4, Q_5 构成基本型恒流源.

T_7, W_5, W_6 加入, 使 D 点电位相对于正电源低 $2.8V$, 从而使 T_3, T_4, T_1, T_2 管工作电压大大降低, 有利于成品率提高.



6.1.2 KD203 电路静态工作点计算

图 6.2 为 KD203 集成运放主偏置电

图 6.2 KD203 主偏置电路.

(1) 求主偏置电流 I_{K_4}

T_7, W_6, W_5 组成稳压管, 设 $\beta \gg 1$, 则有

$$V_{CE T_7} = \frac{W_6 + W_5}{W_6} V_{EB T_7} = \frac{15 + 45}{15} \times 0.7V = 2.8V$$

$$I_{K4} = \frac{V^+ - V^- - V_{CE1} - V_{BE4}}{K_4}$$

$$V^+ = 15V, V^- = -15V, V_{CE1} = 2.8V, V_{BE4} = 0.7V$$

代入上式得

$$I_{K4} \approx 176\mu A \quad (6.1)$$

(2) 确定 $I_{CQ3} = 20\mu A$, 即 $I_{eQ1} = I_{eQ2} =$

$10\mu A$, 求 R_1 值.

图 6.3 是小电流恒流源.

根据(3.91)式

$$\begin{aligned} R_1 &= \frac{KT}{qI_{CQ3}} \ln \frac{I_{K4}}{I_{CQ3}} \\ &= \frac{26mV}{20\mu A} \ln \frac{176}{20} \approx 2.8k\Omega \end{aligned}$$

(6.2)

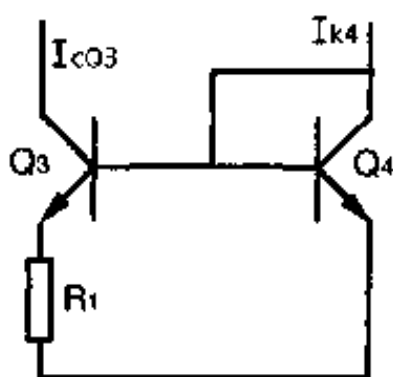


图 6.3 小电流恒流源

(3) 求 I_{CT1}, I_{CT2}

$$\begin{aligned} I_{CQ1} &= I_{CT1} + I_{eT3} \approx I_{CT1} + \frac{2I_{eT1} + I_{W1}}{\beta_{T3}} \\ &= I_{CT1} + \frac{2I_{CT1}}{\beta_{T1} \cdot \beta_{T3}} + \frac{I_{W1}}{\beta_{T3}} \end{aligned}$$

当 $\beta_{T1} \cdot \beta_{T3} \gg 2$ 时(本电路采用完全纵向 pnp 管, 可以实现), 可写成

$$I_{CQ1} = I_{CT1} + \frac{I_{W1}}{\beta_{T3}} \quad (6.3)$$

$$I_{W1} = \frac{V^+ - V_E}{W_1} \quad (6.4)$$

$$V_E = V^+ - I_{eT1} \cdot K'_1 - V_{EBT1} \quad (6.5)$$

$$K'_1 = K_1 + \frac{1}{2}K_3$$

解(6.3), (6.4), (6.5)式得

$$I_{CT1} \approx \frac{I_{CQ1} - \frac{V_{EBT1}}{W_1 \cdot \beta_{T3}}}{1 + \frac{K'_1}{W_1 \cdot \beta_{T3}}} \quad (6.6)$$

$W_1 = 70\text{k}\Omega, K_1 = 15\text{k}\Omega, K_3 = 4.7\text{k}\Omega, \beta_{T3} = 100, V_{EBT1} = 0.55\text{V}, I_{CQ1} = 10\mu\text{A}$, 代入(6.6)式得

$$I_{CT1} = I_{CT2} \approx 9.90\mu\text{A} \quad (6.7)$$

(4) 求 V_A, V_B 电位

$$V_A = V_B = V^+ - I_{CT1} \cdot K'_1 - V_{EBT1} - V_{EBT3}$$

$$V^+ = 15\text{V}, I_{CT1} = 9.90\mu\text{A}, K'_1 = 17.35\text{k}\Omega$$

$V_{EBT1} = V_{EBT3} = 0.55\text{V}$, 代入上式得

$$V_A = V_B \approx 13.73\text{V} \quad (6.8)$$

(5) 求 I_{CQ5}

Q_5 与 Q_4 组成基本型电流源, 如图 6.4.

因 Q_4, Q_5 为 npn 管 $\beta \gg 1$, 可按(3.81)

式写出

$$I_{CQ5} = I_{K4} = 176\mu\text{A}$$

(6) I_{CQ9}, I_{CT6} 的确定

由图 6.1 可以写出

$$V_{BEQ6} + V_{BEQ7} = V_{BEQ9} + V_{EBT6} + I_{CQ9} \cdot R_2 + I_{CT6} \cdot W_4 \quad (6.9)$$

因 $R_2 = 25\Omega, W_4 = 50\Omega$ 阻值小, 电阻上压降可以略而不计,

(6.9)式可以改写成

$$V_{BEQ6} + V_{BEQ7} = V_{BEQ9} + V_{EBT6} \quad (6.10)$$

根据晶体管原理

$$I_c = A_c I_{cs}' e^{\frac{qV_{BE}}{KT}} \quad (6.11)$$

$$V_{BEQ6} = V_T \ln \frac{I_{CQ6}}{A_{cQ6} \cdot I_{csQ6}'} \quad (6.12)$$

$$V_{BEQ7} = V_T \ln \frac{I_{CQ7}}{A_{cQ7} \cdot I_{csQ7}'} \quad (6.13)$$

$$V_{BEQ9} = V_T \ln \frac{I_{CQ9}}{A_{cQ9} \cdot I_{csQ9}'} \quad (6.14)$$

$$V_{EBT6} = V_T \ln \frac{I_{CT6}}{A_{cT6} \cdot I_{csT6}'} \quad (6.15)$$

A_c 是晶体管发射区面积, 假设发射区单位面积反向饱和电流

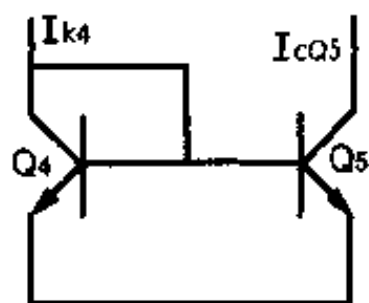


图 6.4 基本型电流源

$I_{e'}$ 都相同,把(6.12)~(6.15)代入(6.10)式得到

$$\frac{I_{CQ6} \cdot I_{CQ6} / \beta}{A_{CQ6} \cdot A_{CQ7}} = \frac{I_{CQ9} \cdot I_{CT6}}{A_{CQ9} \cdot A_{CT6}} \quad (6.16)$$

假设版图设计时, $A_{CQ6} = A_{CQ7}$, $A_{CQ9} = A_{CT6}$, 当输出端直流电平为零时, $I_{CQ9} = I_{CT6}$, 则有

$$\frac{A_{CQ9}}{A_{CQ6}} = \frac{I_{CQ9}}{I_{CQ6}} \sqrt{\beta} \quad (6.17)$$

$I_{CQ6} \approx 176 \mu\text{A}$, 并确定 $I_{CQ9} = I_{CT6} = 100 \mu\text{A}$, 再设 β 为 100, 代入上式则得

$$\frac{A_{CQ9}}{A_{CQ6}} \approx 5.68 \quad (6.18)$$

如果把(6.17)式改写下, 就得出输出管工作电流表达式

$$I_{CQ9} = \frac{A_{CQ9}}{A_{CQ6} \sqrt{\beta}} \cdot I_{CQ6}$$

这说明当 I_{CQ6} 确定后, 输出管工作电流是由 Q_9, Q_6 管发射区面积比和晶体管放大系数 β 确定的.

(7) 求 I_{CT5}

$$I_{CT5} \approx I_{CQ5} = 176 \mu\text{A} \quad (6.19)$$

(8) W_3 值选取

根据 $V_A = V_B$ (必须相等, 才能满足第二级失调为零)

$$I_{CT5} \cdot W_3 + V_{EBT5} + V_{EBT4} = I_{CT1} \cdot K'_1 + V_{EBT1} + V_{EBT3}$$

$$I_{CT5} \cdot W_3 = I_{CT1} \cdot K'_1 + (V_{EBT3} - V_{EBT4}) + (V_{EBT1} - V_{EBT5})$$

$$W_3 = \frac{I_{CT1} \cdot K'_1 + (V_{EBT3} - V_{EBT4}) - (V_{EBT5} - V_{EBT1})}{I_{CT5}} \quad (6.20)$$

由于 $I_{CT3} = I_{CT4}$, $\therefore V_{EBT3} = V_{EBT4}$

$$W_3 = \frac{I_{CT1} \cdot K'_1 - (V_{EBT5} - V_{EBT1})}{I_{CT5}}$$

$$\approx \frac{I_{CT1} \cdot K'_1 - \frac{KT}{q} \ln \frac{I_{CT5}}{I_{CT1}}}{I_{CT5}} \quad (6.21)$$

$$I_{eT1} \approx I_{CT1} = 9.90 \mu\text{A}, K'_1 = K_1 + \frac{1}{2}K_3 = 17.35 \text{k}\Omega$$

$$I_{CT5} \approx I_{CT5} = 176 \mu\text{A}, \frac{KT}{q} = 26 \text{mV} \text{ 代入得}$$

$$W_3 \approx 550 \Omega \quad (6.22)$$

6.1.3 KD203 开环电压增益计算

KD203 是二级放大的集成运放. 设第一级(输入级)增益为 A_{d1} , 第二级(中间级)增益为 A_{d2} , 总的开环电压增益为

$$A_d = A_{d1} \cdot A_{d2} \quad (6.23)$$

(1) 第一级增益 A_{d1} 计算

图 6.5 为输入级(第一级)电路图.

$$A_{d1} = G_{m1} \cdot R_{L1} \quad (6.24)$$

G_{m1} 为输入级跨导, R_{L1} 为输入级有效负载.

KD203 输入级是采用简单的共射差分输入级, 根据第三章单元电路讨论结果, 共射差分输入级跨导由(3.45)式表示.

$$\text{当 } n=1.5 \text{ 时} \quad G_{m1} = 26I_e \quad (6.25)$$

式中 I_e 单位为 μA , G_{m1} 为 $(\text{M}\Omega)^{-1}$.

用 $I_e = I_{eQ1} = I_{eQ2} = 10 \mu\text{A}$ 代入(6.25)式得

$$G_{m1} = 260 (\text{M}\Omega)^{-1} \quad (6.26)$$

输入级有效负载为

$$R_{L1} = \left\{ \begin{array}{l} T_2 \text{ 的输出电阻 } R_{OT2} \\ Q_2 \text{ 的输出电阻 } R_{OQ2} \\ \text{第二级输入电阻 } R_{i1} \end{array} \right\} \text{ 并联}$$

按图 6.5, Q_2 的射极反馈电阻, 是 Q_1 射极视入的电阻, 近似等于 $1/g_{mQ1}$. 对于 T_2 射极反馈电阻可以作这样近似: 由于 $W_1 = 70 \text{k}\Omega \ll r_{eT2}$, 因此可以近似把 T_2 的基极接地, 其射极电阻为 K'_2 . 这样就可以把图 6.5 等效成图 6.6.

① 求 T_2 的输出电阻 R_{OT2} : 根据图 6.6, T_2 的输出电阻等效成

具有射极反馈为 $K'_2 = K_2 + \frac{1}{2}K_3 = 17.35\text{k}\Omega$ 的共射放大器的输出电阻. 按(3.16)式, 写出

$$R_{oT_2} = r_{oT_2} \left[\frac{1 + g_{mT_2} \cdot K'_2}{1 + \frac{g_{mT_2} \cdot K'_2}{\beta_{T_2}}} \right] \quad (6.27)$$

$$I_{CT_2} = 9.90\mu\text{A} \approx 10\mu\text{A}$$

$$K'_2 = K_2 + \frac{1}{2}K_3 = 17.35\text{k}\Omega$$

$$\beta_{T_2} = 100$$

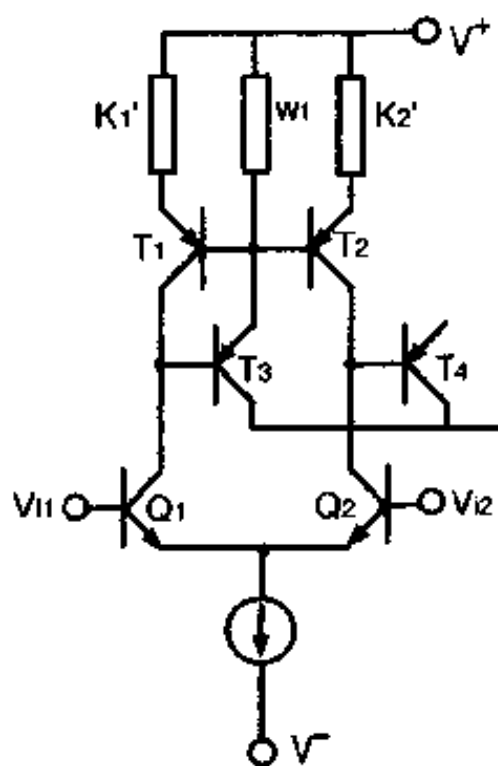


图 6.5 KD203 输入级

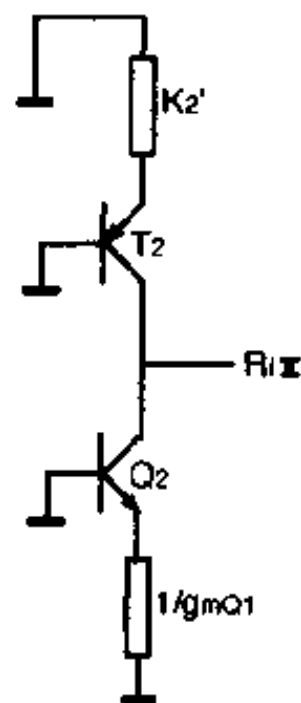


图 6.6 求 R_{L1} 等效电路

按这数值, $g_{mT_2} \cdot K'_2 \ll \beta_{T_2}$, 所以(6.27)式可以简化成

$$R_{oT_2} = r_{oT_2} (1 + g_{mT_2} \cdot K'_2) \quad (6.28)$$

代入上述数值得

$$R_{oT_2} = 7.67 r_{oT_2} = 7.67 \frac{V_T}{\eta_{ppp} \cdot I_{CT_2}} \quad (6.29)$$

η_{pnp} 是 pnp 晶体管欧拉系数取 5×10^{-4} , 代入 (6.29) 式得出

$$R_{oT2} \approx 39.9 \text{M}\Omega \quad (6.30)$$

② 求 Q_2 的输出电阻 R_{oQ2} : 根据图 6.6, Q_2 输出电阻就是具有射极反馈电阻为 $1/g_{mQ1}$ 的共射放大器输出电阻, 按 (3.16) 式写出

$$R_{oQ2} = r_{oQ2} \left[\frac{1 + g_{mQ2} \cdot \frac{1}{g_{mQ1}}}{1 + g_{mQ2} \cdot \frac{1}{g_{mQ1}} / \beta_{Q2}} \right] \quad (6.31)$$

由于 $I_{CQ1} = I_{CQ2} \Rightarrow g_{mQ1} = g_{mQ2}$

$$\therefore R_{oQ2} \approx 2r_{oQ2} = 2 \cdot \frac{V_T}{\eta_{\text{npn}} \cdot I_{CQ2}} \quad (6.32)$$

式中 η_{npn} 为 npn 晶体管欧拉系数取 2×10^{-4} , $V_T = 0.026 \text{V}$, $I_{CQ2} = 10 \mu\text{A}$. 代入上式得

$$R_{oQ2} = 26 \text{M}\Omega \quad (6.33)$$

③ 求第二级输入阻抗 R_{i1} : R_{i1} 就是由 T_4 管基极右看的输入阻抗, 可由图 6.7 求之.

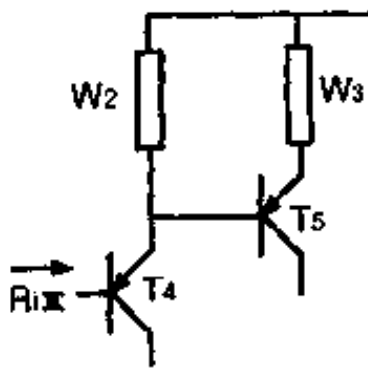


图 6.7 求 R_{i1} 电路

$$\begin{aligned} R_{i1} &= h_{ieT4} \\ &= \beta_{T4} (r_{eT4} + W_2 \parallel h_{ieT5}) \\ &= \beta_{T4} [r_{eT4} + W_2 \parallel \beta_{T5} (r_{eT5} + W_3)] \end{aligned} \quad (6.34)$$

$I_{eT5} = 176 \mu\text{A}$, $I_{eT4} \approx 10 \mu\text{A}$, $V_T = 26 \text{mV}$, $W_2 = 70 \text{k}\Omega$, $W_3 = 550 \Omega$, 设 $\beta_{T4} = \beta_{T5} = 100$, 把这些数值代入 (6.34) 式得

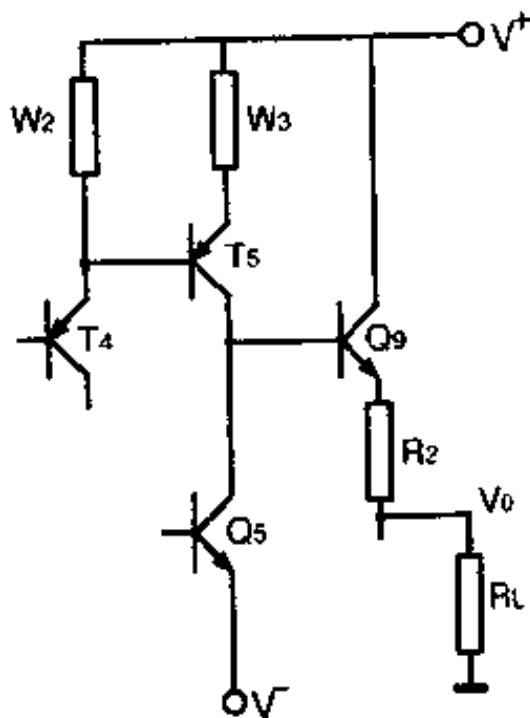
$$R_{i1} \approx 3.8 \text{M}\Omega \quad (6.35)$$

第一级有效负载为

$$\begin{aligned} R_{L1} &= R_{oT2} \parallel R_{oQ2} \parallel R_{i1} \\ &= 39.9 \text{M}\Omega \parallel 26 \text{M}\Omega \parallel 3.8 \text{M}\Omega \\ &\approx 3.0 \text{M}\Omega \end{aligned} \quad (6.36)$$

第一级增益为

$$\begin{aligned} A_{d1} &= G_{m1} \cdot R_{L1} \\ &= 260(\text{M}\Omega)^{-1} \times 3.0\text{M}\Omega \\ &= 780 \end{aligned}$$



(2) 第二级增益 A_{d2} 计算

第二级增益为

$$A_{d2} = G_{m2} \cdot R_{L2} \quad (6.37)$$

G_{m2} 为第二级跨导, R_{L2} 为其有效负载.

图 6.8 为 KD203 集成运放第二级电路, T_4 管为射极跟随器, 所以第二级跨导 G_{m2} 实际上就是接有反馈电阻 W_3 的共射放大器 T_5 管的跨导, 根据(3.8)式, 可以写出

$$G_{m2} = \frac{g_{mT5}}{1 + g_{mT5} \cdot W_3} \quad (6.38)$$

图 6.8 KD203 第二级电路

$$I_{CT5} = 176\mu\text{A}, W_3 = 550\Omega, V_T = 0.026\text{V}$$

代入上式得出

$$G_{m2} \approx 1.43(\text{k}\Omega)^{-1}$$

第二级有效负载 R_{L2} 是 T_5 管的输出电阻 R_{oT5} , Q_5 管的输出电阻 R_{oQ5} 和输出级输入电阻 R_{iQ9} 三者并联值, 即

$$R_{L2} = \left. \begin{array}{l} T_5 \text{ 的输出电阻 } R_{oT5} \\ Q_5 \text{ 的输出电阻 } R_{oQ5} \\ \text{输出级输入电阻 } R_{iQ9} \end{array} \right\} \text{ 并联}$$

R_{oT5} 是接有反馈电阻 W_3 的共射放大器 T_5 的输出电阻. 按(3.16)式写出

$$\begin{aligned} \textcircled{1} R_{oT5} &= r_{oT5} \left(\frac{1 + g_{mT5} \cdot W_3}{1 + g_{mT5} \cdot W_3 / \beta_{T5}} \right) \\ &= \frac{V_T}{\eta_{pp} \cdot I_{CT5}} \cdot \left(\frac{1 + \frac{I_{CT5}}{V_T} \cdot W_3}{1 + \frac{I_{CT5}}{V_T} \cdot W_3 / \beta_{T5}} \right) \end{aligned} \quad (6.39)$$

$I_{CT5} = 176\mu\text{A}$, $W_3 = 550\Omega$, $V_T = 26\text{mV}$, $\beta_{T5} = 100$, $\eta_{pp} = 5 \times 10^{-4}$, 代入(6.39)式得

$$R_{oT5} \approx 1345\text{k}\Omega$$

$$\begin{aligned} \textcircled{2} R_{oQ5} &= r_{oQ5} = \frac{V_T}{\eta_{pp} \cdot I_{CQ5}} \\ &= \frac{26\text{mV}}{2 \times 10^{-4} \times 176\mu\text{A}} \approx 739\text{k}\Omega \end{aligned} \quad (6.40)$$

$$\textcircled{3} h_{iQ9} = \beta_{Q9} (r_{eQ9} + R_2 + R_L) \quad (6.41)$$

$$r_{eQ9} = \frac{V_T}{I_{eQ9}} = \frac{26\text{mV}}{100\mu\text{A}} = 0.26\text{k}\Omega$$

$R_2 = 25\Omega$, 设 $R_L = 5\text{k}\Omega$, $\beta_{Q9} = 100$, 代入(6.41)式得

$$h_{iQ9} \approx 528\text{k}\Omega$$

则第二级有效负载为

$$\begin{aligned} R_{L2} &= R_{oT5} \parallel R_{oQ5} \parallel h_{iQ9} \\ &= 1345\text{k}\Omega \parallel 739\text{k}\Omega \parallel 528\text{k}\Omega \\ &\approx 251\text{k}\Omega \end{aligned}$$

第二级增益为

$$A_{d2} = G_{m2} \cdot R_{L2} = 1.43\text{k}\Omega^{-1} \times 251\text{k}\Omega \approx 359$$

KD203 总增益

$$A_d = A_{d1} \cdot A_{d2} = 780 \times 359 = 280020 (\text{倍})$$

如用分贝表示

$$A_D = 20 \log 280020 \approx 109\text{db}$$

6.1.4 KD203 电路设计特点及参数指标

KD203 集成运放是在全面分析 $\mu\text{A}741$ 电路的基础上, 根据当

时我国工艺水平而设计成功的. 设计主要特点有以下几个方面:

(1) 适当地调整了第一级和第二级的增益分配, 在保持开环电压总增益不变的前提下, 适当地提高了第一级增益, 从而使第二级产生的失调、温漂压制到较低值.

(2) 提高了第二级主放大管 T_3 的射极电阻 W_3 , 使得电阻 K_1 值也随之提高. 由于 T_1 、 T_2 管射极接上大电阻 K_1 、 K_2 ($=15k\Omega$), 从而产生了强烈的负反馈, 迫使 T_1 、 T_2 管的噪声以及第一级的失调、温漂压至最低. 这样结果, 在 KD203 电路中只剩下一对 Q_1 、 Q_2 管对噪声有贡献, 而 $\mu A741$ 有三对管对噪声贡献. 从而使 KD203 集成运放的噪声、温漂均有良好的性能指标.

(3) KD203 集成运放元件少, 晶体管耐压要求低, 从而有较高的成品率.

(4) 在工艺上, 采用“分片集成法”, 应用高性能 pnp 晶体管, 避开用频响特性差的横向 pnp 管, 因此, KD203 集成运放有良好的交流特性, 单位增益带宽可达 20MHz, 上升速率为 $3V/\mu s$. 频率补偿容易, 闭环应用稳定, 跟随特性好.

KD203 集成运放主要参数指标如图 6. 1.

表 6. 1 KD203 主要参数指标

参数名称	符号	单位	典型值
输入失调电压	V_{os}	mV	1.5
输入失调电流	I_{os}	nA	50
输入偏置电流	I_b	nA	300
开环电压增益	A_d	db	106($R_L=5k\Omega$)
共模抑制比	CMRR	db	94
失调电压温漂	$\frac{dV_{os}}{dT}$	$\mu A/^\circ C$	2
低频噪声峰峰值	V_{p-p}	μV	2
单位增益带宽	GB	MHz	20
单位增益上升速率	SR	$V/\mu s$	2
最大输出幅度	V_{op}	V	± 13
静态功耗	P_W	mW	15

6.2 KD203 集成运放版图设计

双极型模拟集成电路的版图设计,无论是采用 pn 结隔离,还是采用介质隔离,是用计算机辅助设计,还是用人工干预,版图设计的一般原则都是相同的.在版图设计时,作为版图设计者首先应该搞清电路设计思想和电路工作原理;其次要了解现有的工艺水平和工艺方法;同时还要认真考虑成品率问题.当然,有的工程技术人员,既是电路设计者,又是版图设计者,这样将会更好地把电路设计和版图设计融为一体,更有利于实现电路设计的意图.本节将以 KD203 集成运放版图设计为例,介绍模拟集成电路版图设计的一般原则和一些特殊的设计方法.

6.2.1 模拟集成电路版图设计一般原则

(1) 划分隔离区原则

在集成电路中,晶体管,二极管,电阻等元件是制作在同一半导体衬底基片上,由于它们所处的电位各不相同,因此必须进行电性能隔离,最后再用 Al 互连起来,构成某种功能的电路.隔离方法有多种,常用的有 pn 结隔离和介质隔离.

版图设计,首先把整体电路划分若干隔离区,划分隔离区原则是:

① 对同类型晶体管如 npn 晶体管(或如 KD203 电路中完全纵向 pnp 管),凡是集电极电位相同的管子,可放在同一隔离区内,而集电极电位不相同的管子,都要相互隔离,放在不同的隔离区内.

② 对于横向 pnp 晶体管,因以外延层为基区,所以,凡是基极电位相同的横向 pnp 管可放在同一隔离区.如果 npn 管集电极和横向 pnp 管基极电位相同,也无需隔离.

③ 对于电阻,原则上所有电阻都可以放在同一隔离区内,但

所有电阻与隔离区都必须处于反偏状态. 实际上考虑到为降低对电阻的耐压要求和互连方便, 通常不采取这种办法.

④ 电阻和晶体管能否放在同一隔离区内, 要看具体情况. 对于 npn 晶体管来说, 如果基区扩散电阻两端中的高电位一端比集电极电位低, 则可放在同一隔离区内; 对于完全纵向的 pnp 管来说, 基区扩散电阻两端中的低电位一端若比集电极电位高者, 则该电阻与该晶体管可放在同一隔离区内.

⑤ pn 结隔离的隔离沟, 必须接全电路最低电位, 以保证集电区—衬底处于反偏状态.

⑥ 在上述原则的前提下, 还要综合考虑是否有利于电路性能的改善, 成品率的提高等, 灵活地划分隔离区.

(2) 图形尺寸选择原则

图形尺寸选择是根据制版精度, 光刻精度, 套准精度, 以及电路对元件的要求, 成品率等因素来确定的. 当然光刻尺寸越小, 版图面积也越小, 频率特性也好, 成本也就越低, 但还要考虑光刻精度能否实现, 成品率是否会下降, 电路其它性能是否能满足等. 因此合理选择图形尺寸是十分重要的. 下面以图 6.9 一个晶体管版图设计为例, 来讨论如何合理地选择图形尺寸.

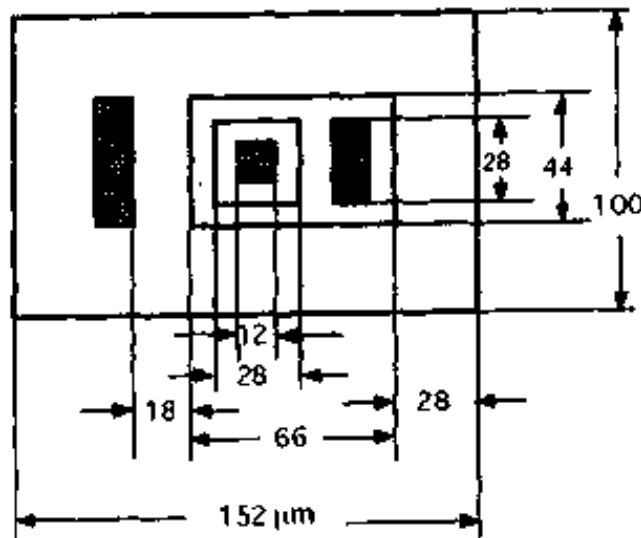


图 6.9 一个晶体管图形尺寸设计

① 发射区引线孔尺寸选择:版图中最小尺寸是发射区引线孔,假设该管工作电流 $I_c = 176\mu\text{A}$,在模拟集成电路中,发射区有效长度承受电流能力一般取 $0.16\text{mA}/\mu\text{m}$,那么发射区边长只要选取 $1.1\mu\text{m}$.但是这样小的发射区边长用常规的光刻技术是难以实现的.因此,在这种情况下,应以光刻精度来选取发射区引线孔尺寸.为兼顾成品率,发射区引线孔可取 $12\mu\text{m} \times 12\mu\text{m}$.

② 发射区尺寸选择:发射区尺寸选取主要依据光刻套准精度,如用常规工艺,套准间距可取 $8\mu\text{m}$,这样发射区尺寸即为 $28\mu\text{m} \times 28\mu\text{m}$.

③ 基区尺寸选择:基区尺寸也是要考虑光刻套准精度,如发射区边到基区边间距为 $8\mu\text{m}$.考虑到发射区侧向扩散,发射区到基区引孔间距可取 $10\mu\text{m}$.这样基区引孔尺寸为 $28\mu\text{m} \times 12\mu\text{m}$,基区尺寸选取为 $66\mu\text{m} \times 44\mu\text{m}$.

④ 集电区尺寸选择:集电尺寸选择要考虑扩散侧扩宽度,还要考虑 pn 结势垒扩展宽度.通常认为横向扩散宽度近似于结深.这里有三个横向侧扩:一是基区横向侧扩,设基区结深 $x_{j\beta} = 3\mu\text{m}$;二是集电区引线孔 n^+ 区横向侧扩,设发射区结深 $x_{j\alpha} = 1\mu\text{m}$;三是 pn 结隔离区侧扩,设 $x_{j\gamma} = 10\mu\text{m}$.另外在反向偏压作用下集电结 ($p-n^-$) 势垒向集电区扩展宽度 $\delta_{n^-}^p$,隔离结 (p^+-n^-) 势垒向集电区扩展宽度 $\delta_{n^-}^{p^+}$,关于 $\delta_{n^-}^{p^+}$ 和 $\delta_{n^-}^p$ 大小可用突变结近似模型由第五章的 (5.24) 式算出.

对于 $p-n^-$ 结和 p^+-n^- 结

$$\delta_{n^-}^p \approx \delta_{n^-}^{p^+} \approx \delta = \left[\frac{2\epsilon_0\epsilon_s}{qN_{n^-}} (V_D - V) \right]^{1/2} \quad (5.24)$$

ϵ_0 ——真空介电常数 $8.85 \times 10^{-14}\text{F/cm}$.

ϵ_s ——硅介电常数 12.

q ——电子电荷 $1.6 \times 10^{-19}\text{C}$

N_{n^-} ——集电区杂质浓度,一般为 $1 \times 10^{15}/\text{cm}^3$

V_D ——势垒接触电势差 0.8V

V ——pn 结上外加的反向电压

如果两个 pn 结反向偏压均取 $V = -30V$, 按 (5.24) 式可算出: $\delta_{n-}^p \approx \delta_{n+}^p \approx 6.3\mu m$, 取 $6\mu m$, 再假定光刻套准精度 $a_p = 8\mu m$. 这样可以算出下列几个间距尺寸.

基区与集电区引线孔间距为

$$x_{jb} + x_{jc} + \delta_{n-}^p + a_p = 3 + 1 + 6 + 8 = 18\mu m$$

集电区引线孔与隔离沟间距为

$$x_{jc} + x_{js} + \delta_{n+}^p + a_p = 1 + 10 + 6 + 8 = 25\mu m$$

取 $28\mu m$.

基区与隔离沟间距为

$$x_{jb} + x_{js} + \delta_{n-}^p + \delta_{n+}^p + a_p = 3 + 10 + 6 + 6 + 8 = 33\mu m$$

这里是假设了隔离结和集电结反向外加偏压均为 $-30V$ 下的极端结果, 实际上隔离结和集电结并不是都加 $-30V$ 电压, 如取 $-15V$, 按 (5.24) 式计算结果 δ_{n-}^p 和 δ_{n+}^p 约为 $4.5\mu m$. 实践表明基区与隔离沟间距也取 $28\mu m$ 就够了.

⑤ 电阻条间距选择: 隔离区电位是这个区内集电极电位, 如果电阻作为单独隔离区, 电阻的最高反偏电压即为集成运放电源电压 $30V$, 则两个电阻各向隔离区势垒展宽 $6\mu m$, 另外, 两个电阻也各向隔离区横向扩散 $3\mu m$, 再加上制版、光刻误差, 这样两个基区扩散电阻间距可取 $20\mu m$.

⑥ 铝条间隔选择: 铝条间隔主要考虑光刻分辨率, 实践表明用常规光刻技术, 铝条间隔取 $12-14\mu m$ 即可.

⑦ 压焊点尺寸选择: 为减小版图面积, 希望焊点小些, 但从压焊方便和成品率考虑, 又希望焊点大些, 对超声压焊来说, 压焊点常取 $120\mu m \times 120\mu m$. 两个焊点间距通常要大于 $100\mu m$.

以上图形尺寸的选取是基于常规工艺水平, 是“保守”尺寸. 实际上虽然运放的工作电压为 $\pm 15V$, 而晶体管的工作电压, 电阻的反偏电压都小于 $30V$, 因此势垒的扩展宽度也小于 $6\mu m$, 这样图形间距都可以缩小. 如果采用离子注入技术, 提高光刻精度, 套准精

度,则版图面积也可以进一步缩小.

6.2.2 模拟集成电路版图特殊设计方法

(1) 几何对称设计

在第三章我们推导了共射差分输入级的失调电压 V_{os} 和失调电流 I_{os} 分别由(3.57)式和(3.59)式表示.

$$V_{os} = \frac{KT}{q} \left(\frac{\Delta\beta_1}{\beta_1^2} + \frac{\Delta R_{c1}}{R_{c1}} + \frac{\Delta A_1}{A_1} + \frac{\Delta I'_{cs1}}{I'_{cs1}} \right) \quad (3.57)$$

$$I_{os} = I_b \left(\frac{\Delta\beta_1}{\beta_1} + \frac{\Delta R_{c1}}{R_{c1}} \right) \quad (3.59)$$

可以看出,由于差分对管电流放大系数不对称 $\Delta\beta$,集极负载电阻不对称 ΔR_{c1} ,发射区面积不对称 ΔA_1 ,都会造成集成运放的“失调”,为减小失调电压,失调电流,在版图设计上就要采取“几何对称设计”.所谓几何对称设计,就是两个对称的晶体管或两个对称电阻,版图大小,形状应设计完全一样,版图面积设计稍大些,以减小几何误差.另外对称管,对称电阻应尽可能靠近,布放在对称位置上.

(2) “热对称”设计

在第三章我们也推导了差分输入级失调电压温漂表达式(3.66)式,指出了如果集成芯片上存在温度梯度,造成差分对管eb结结温不同,则可产生附加温漂,这附加温漂为

$$\frac{\partial V_{BE}}{\partial T} \cdot \frac{d(T_A - T_B)}{dT}$$

$\frac{\partial V_{BE}}{\partial T} \approx -2.0\text{mV}/^\circ\text{C}$,如果环境温度变化 1°C ,引起两个对管

结温度变化相差 0.001°C 的话,则该项引起的附加温漂约为 $2\mu\text{V}/^\circ\text{C}$.因此,在集成运放中,特别在高精度低漂移运放版图设计中都采用“热对称”设计.

“热对称”设计方法是这样的:

① 输入对管尽可能远离输出级的驱动管和功放管,以减小

“热源”对输入对管影响。

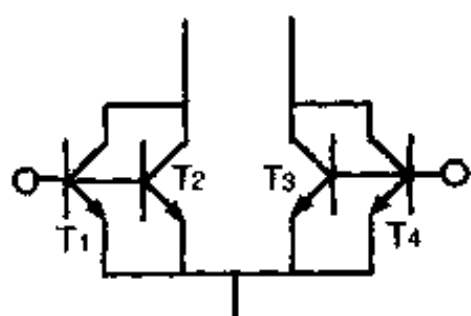


图 6.10 AD508 输入对管 T_1 和 T_2 并联成一个输入 npn 管, T_3 和 T_4 并联成另一个输入 npn 管, 然后采用交叉耦合办法安排在对称轴两侧, 这种“热对称”设计方法也称“交叉耦合热对称设计. 第三代集成运放 AD508 就是采用这种交叉耦合热对称设计, 使得失调电压温漂达到 $0.3\mu\text{V}/^\circ\text{C}$ 以下。

图 6.10 是 AD508 集成运放输入差分对管, 图 6.11 是 AD508 输出级电路, 图 6.12 是 AD508 电路交叉耦合热对称版图设计布局。

② 以芯片的中心线为对称轴, 把对管布放在对称轴两侧, 把驱动管和输出管也对称地布放在对称轴两侧。

③ 用形状, 大小完全相同的 npn 晶体管并联成输入差分对管, 如图 6.10。

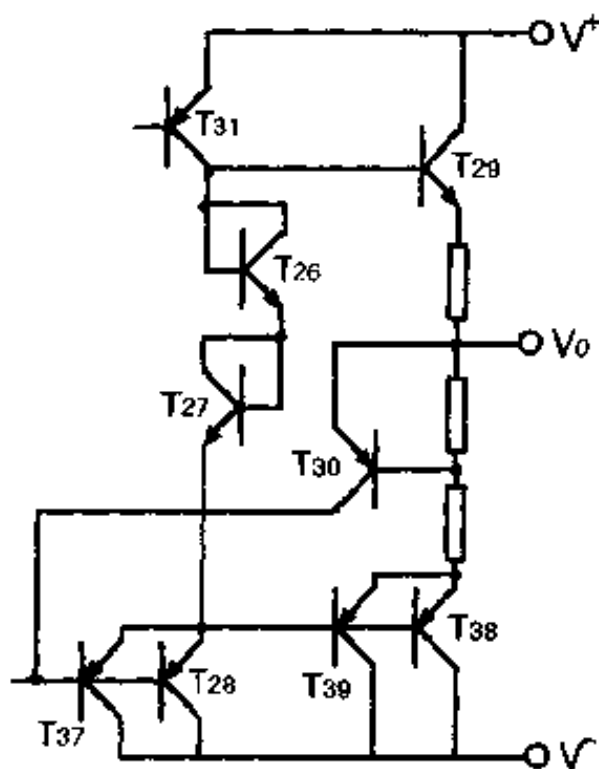


图 6.11 AD508 输出级电路

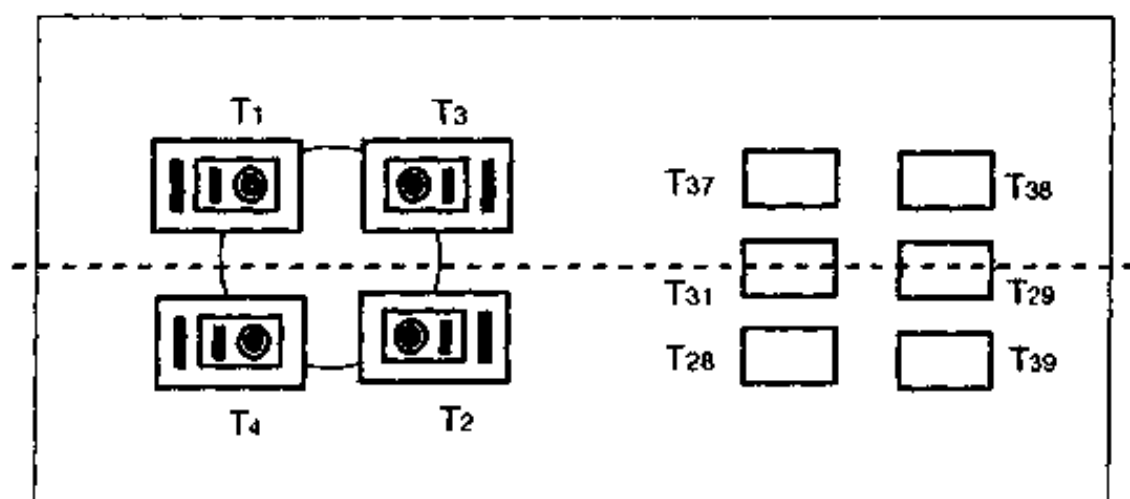


图 6.12 AD508 热对称设计布局

6.2.3 KD203 集成运放版图设计

KD203 集成运放采用 SiO_2 隔离的“分片集成技术”。版图分为两块,一是 npn 晶体管和相关电阻集成在“nnp”集成块上,二是 pnp 晶体管和相关电阻集成在“pnp”集成块上。其版图均按上述原则设计的,下面以 npn 集成块为例介绍 KD203 版图设计。pnp 集成块版图设计只在特殊方面加以介绍。电路图见图 6.1。KD203 集成运放在实现技术方法方面虽有特殊性,但在模拟集成电路版图设计方面却具有普遍性。作者意图想通过这一简单的版图设计以加深对版图设计的一般原则和特殊设计方法的进一步理解。

(1) 隔离区划分

根据划分隔离区原则,把 npn 晶体管和相关电阻划分十个隔离区: $R_3, R_4, Q_1, Q_2, Q_3, Q_5, Q_9$ 为单独隔离区, R_1 高电位一端的电位比 Q_3, Q_4, Q_5 管的集电极电位都低,因此 R_1 都可以和这三个晶体管中的任一个管同放一个隔离区,但考虑到降低 R_1 的耐压,选择和 Q_4 为一个隔离区。 Q_6, Q_7, Q_8 集电极电位相同, R_2 电阻高电位一端电位比 Q_6, Q_7, Q_8 集电极电位低,因此把 Q_6, Q_7, Q_8, R_2 放在一个隔离区内, D_1, D_2 是输入保护二极管可以放在一个隔离区内。

(2) 图形最小尺寸确定

综合考虑工艺水平,版图面积和成品率,确定以下版图最小尺寸:

发射区引线孔尺寸: $15\mu\text{m} \times 15\mu\text{m}$

套准精度: $9\mu\text{m}$

发射区面积: $33\mu\text{m} \times 33\mu\text{m}$

发射区—基区引线孔间距: $15\mu\text{m}$

基区引线孔尺寸: $15\mu\text{m} \times 33\mu\text{m}$

基区面积: $51\mu\text{m} \times 81\mu\text{m}$

基区—集电区引线孔间距: $15\mu\text{m}$

B

集电区引线孔尺寸: $15\mu\text{m} \times 51\mu\text{m}$

基区—隔离沟间距: $30\mu\text{m}$

集电区面积: $111\mu\text{m} \times 171\mu\text{m}$

沟宽: $21\mu\text{m}$

铝条最小尺寸: $15\mu\text{m}$

铝条最小间距: $12\mu\text{m}$

铝条覆盖每边: $6\mu\text{m}$

压焊点: $100\mu\text{m} \times 120\mu\text{m}$

(3) 各晶体管尺寸设计

6.1.2 节计算出了 KD203 电路 npn 管静态工作点为

$$I_{CQ1} = I_{CQ2} = 10\mu\text{A}$$

$$I_{CQ3} = 20\mu\text{A}$$

$$I_{CQ4} = 176\mu\text{A}$$

$$I_{CQ5} = 176\mu\text{A}$$

$$I_{CQ6} = 176\mu\text{A}$$

$$I_{CQ7} = 1.76\mu\text{A} (\beta = 100 \text{ 时})$$

I_{CQ9} 短路最大电流为 28mA .

D_1, D_2 短路最大电流为 15mA .

① Q_3, Q_4, Q_5, Q_8 设计: 根据上述列出的静态工作电流, 除了 Q_9 和 D_1, D_2 外, 其余管最大工作电流 I_c 为 $176\mu\text{A}$, 按确定的最小图形尺寸设计, 发射区边长为 $33\mu\text{m}$, 发射区有效边长度承受电流取 $0.16\text{mA}/\mu\text{m}$, 则最小图形尺寸的晶体管承受电流为 $0.16\text{mA}/\mu\text{m} \times 33\mu\text{m} = 5.28\text{mA}$, 远大于 $176\mu\text{A}$, 因此原则上说 $Q_1, Q_2, Q_3, Q_4, Q_5, Q_6, Q_7$ 以及保护管 Q_8 均可按确定的最小图形设计, 但考虑到 Q_1, Q_2 为输入差分对管, 为减小失调, 图形尺寸加大些. Q_6, Q_7 是为克服“交越失真”而加进的二个二极管, 它与输出管有一定的面积比, 也不能按常规设计. 这样 Q_3, Q_4, Q_5, Q_8 按确定的最小图形尺寸设计, 设计的版图如图 6.13 所示.

当然,考虑到这些管中,有的铝线要从基区与集电区引线孔中间穿越,这部分尺寸可计算加大.

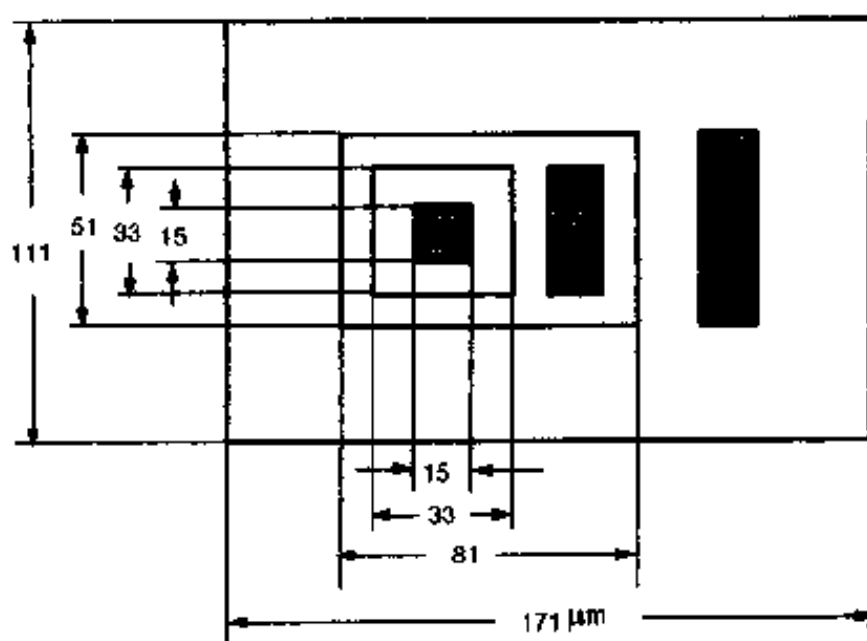


图 6.13 Q_3, Q_4, Q_5, Q_8 版图

② Q_1, Q_2 设计: Q_1, Q_2 为输入差分对管,发射区面积偏差对失调电压的贡献为 $V_T \cdot \Delta A_e / A_e$,适当增大 A_e 面积有助于减小 $\Delta A_e / A_e$,因此 Q_1, Q_2 发射区面积设计比最小图形尺寸略大些,采用圆形发射区,直径 $\varnothing = 39\mu\text{m}$,两管形状,大小完全对称,布放在对称轴两侧.如图 6.14.

③ D_1, D_2 设计: D_1, D_2 为输入保护二极管.如果正电源与(-)端短路,同时负电源与(+)端短路.此时通过 D_2 或 D_1 电流为 30mA.但这种情况机率极少.通常是一端短路,此时 D_1 或 D_2 只承受

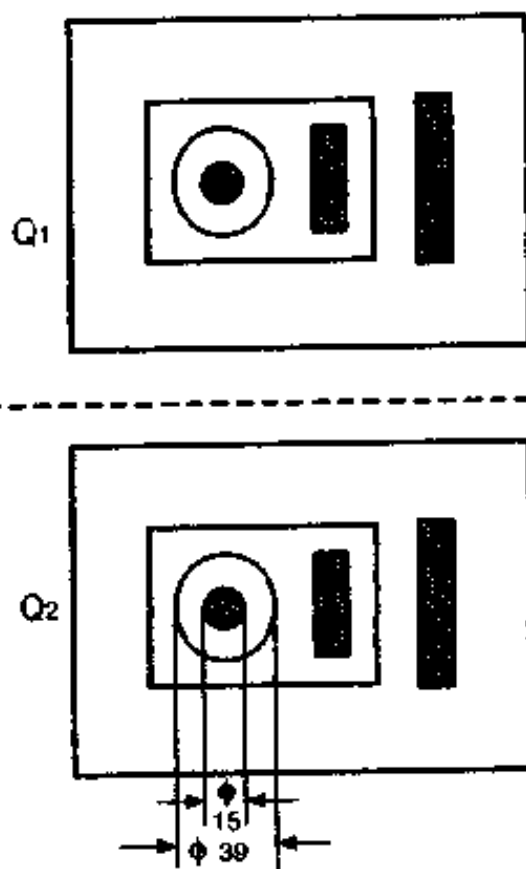


图 6.14 Q_1, Q_2 对管版图

15mA,而且为“瞬态”电流,因此发射区单位有效长度承受电流能力可取 $0.2\text{mA}/\mu\text{m}$. 采用双基条形结构,发射区为 $39\mu\text{m} \times 39\mu\text{m}$,则 D_1, D_2 允许通过电流为 15.6mA. 如图 6.15.

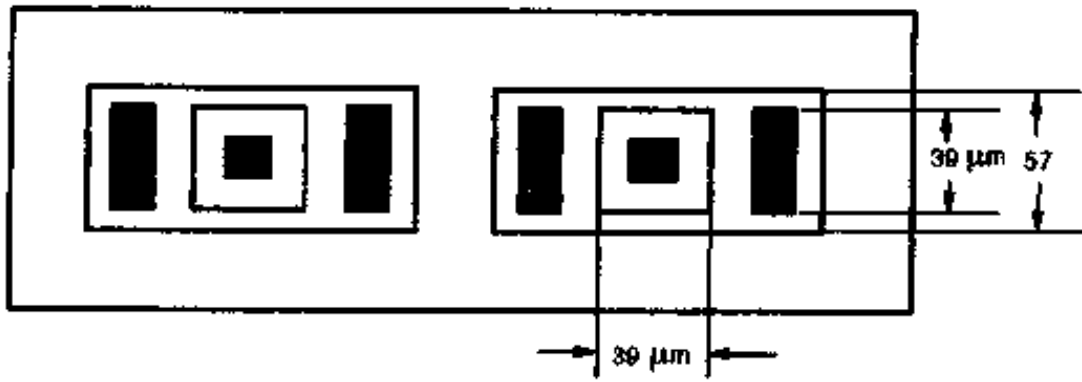


图 6.15 D_1, D_2 版图

④ Q_6, Q_7, Q_8 设计: Q_8 管版图设计要跟 Q_6, Q_7 管联系起来考虑,即既要保证输出管 Q_8 确定的静态工作电流,又要保证输出端短路时承受的最大电流. 根据(6.18)式,假设 Q_6, Q_7 发射区面积设计相同, Q_6 静态工作电流为 $176\mu\text{A}$,要保证 Q_8 静态工作电流为 $100\mu\text{A}$,那么 Q_8 与 Q_6 管发射区面积比应为 5.68,如 Q_6, Q_7 管按确定的最小版图设计,如图 6.13,它的发射区面积为 $33\mu\text{m} \times 33\mu\text{m} = 1089\mu\text{m}^2$, Q_8 发射区面积应为 $1089 \times 5.68 \approx 6185\mu\text{m}^2$, Q_8 发射区短边若为 $33\mu\text{m}$,则长边 $L \approx$

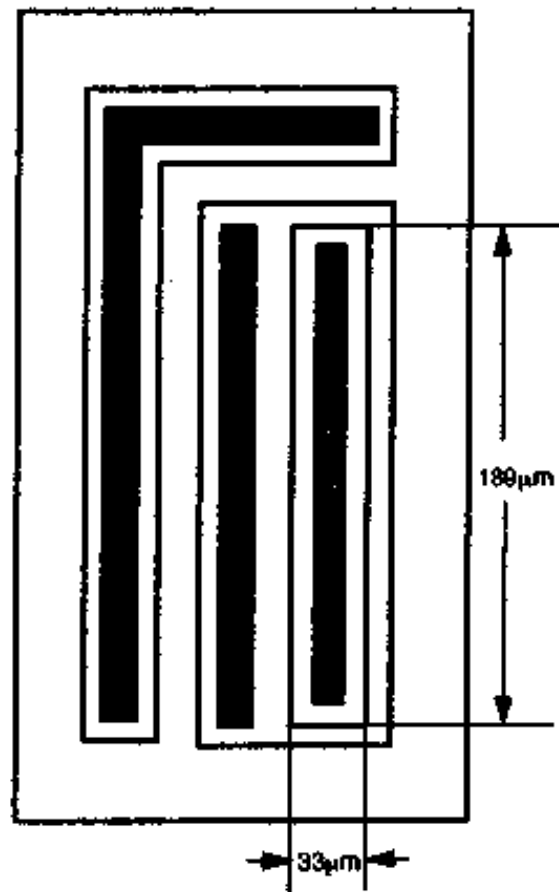


图 6.16 Q_8 管版图

$187\mu\text{m}$,取 $189\mu\text{m}$. 而当输出端短路时,流过 Q_8 电流剧增,当电流增至 28mA , R_2 上压降为 0.7V , Q_8 管导通,起正向保护作用. 因此

Q₉管最大电流应设计大于 28mA, 取单位有效长度承受电流为 0.16mA/μm, Q₉管发射区对着基区引线孔的边长应大于 175μm. 上述 $L=189\mu\text{m}>175\mu\text{m}$, 从而也满足了短路要求. Q₉版图结构和尺寸如图 6.16 所示.

(4) 电阻版图设计

① R_3, R_4 设计: 在输入一端与电源短路时, R_3, R_4 需要承受 15mA 电流. 在第五章已经算出了扩散电阻的功率限制, $R_{\square}=200\Omega/\square$ 时, 单位条宽电阻允许电流为 0.16mA/μm, 通过 15mA, 电阻条宽 $W_{3,4}$ 应大于 94μm, 取 $W_{3,4}=96\mu\text{m}$. 再按(5.28)式, 算出电阻条长度 $L_{3,4}$.

$$R_{3,4} = R_{\square} \left(\frac{L_{3,4}}{W_{3,4}} + K_1 + nK_2 \right) \quad (5.28)$$

设采用“胖型”结构, 如图 6.17 所示.

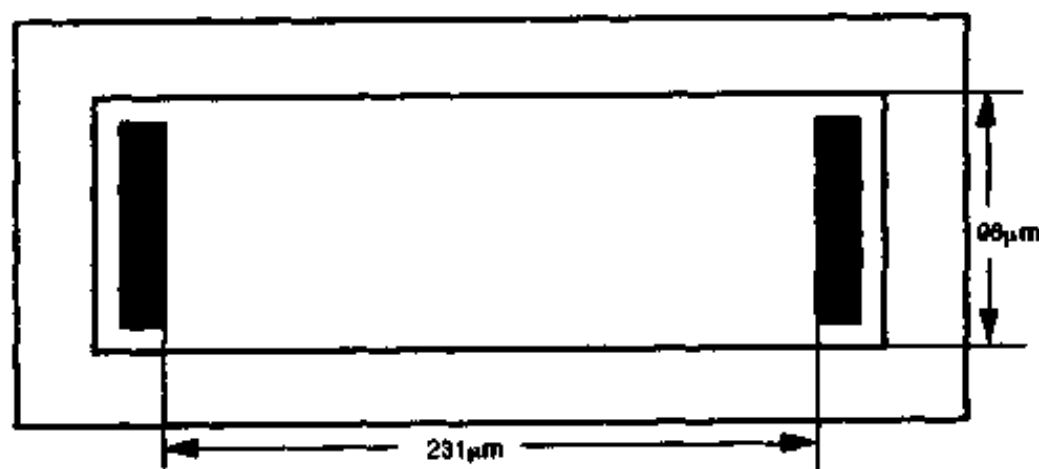


图 6.17 R_3, R_4 版图

$R_{\square}=200\Omega/\square, W_{3,4}=96\mu\text{m}, K_1=0.09, n=0, R_{3,4}=500\Omega$, 则算出 $L_{3,4}\approx 231\mu\text{m}$.

② R_1 电阻设计: $I_{R_1}=20\mu\text{m}$, 条宽可随意选取, 如取 $W_1=12\mu\text{m}$. 考虑到 R_1 与 Q_4 同放一个隔离区, 采用瘦弯型结构, 如图 6.18 所示.

$$R_1 = R_{\square} \left(\frac{L}{W_1} + K_1 + nK_2 \right)$$

$$R_{\square} = 200\Omega/\square, W_1 = 12\mu\text{m}, R_1 = 2.8\text{k}\Omega, K_1 = 0.8, K_2 = 0.5,$$

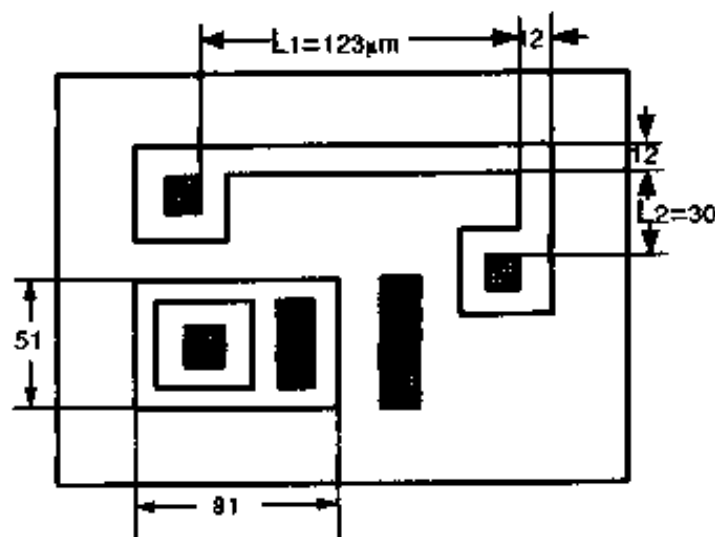


图 6.18 R_1 与 Q_1 版图

$n=1$, 算出 $L=L_1+L_2\approx 153\mu\text{m}$.

③ R_2 电阻设计: 输出端短路时, $I_{R_2} = 28\text{mA}$, 电阻条宽 W_2 应

大于 $175\mu\text{m}$. $R_2 = 25\Omega$, $L_2 = \frac{R_1}{R_{\square}} \cdot$

$W_2 \approx 22\mu\text{m}$. 但因铝条覆盖每边为

$6\mu\text{m}$, 这样铝条间距只有 $10\mu\text{m}$, 违

反了本设计设定的铝条间距

$12\mu\text{m}$ 的最小选择. 因此把 R_2 分

成两个电阻设计: $R_{2-1} = 50\Omega$, R_{2-2}

$= 50\Omega$, $R_2 = R_{2-1} \parallel R_{2-2}$. $W_{2-1} =$

$W_{2-2} > 87.5\mu\text{m}$, 考虑到 R_2 和 Q_6 ,

Q_7, Q_8 同放在一个隔离区内, 取

$W_{2-1} = W_{2-2} = 111\mu\text{m}$, 则电阻条

长 $L_{2-1} = L_{2-2} \approx 27\mu\text{m}$. 图 6.19 是

$R_{2-1}, R_{2-2}, Q_6, Q_7, Q_8$ 的版图尺寸

与布局.

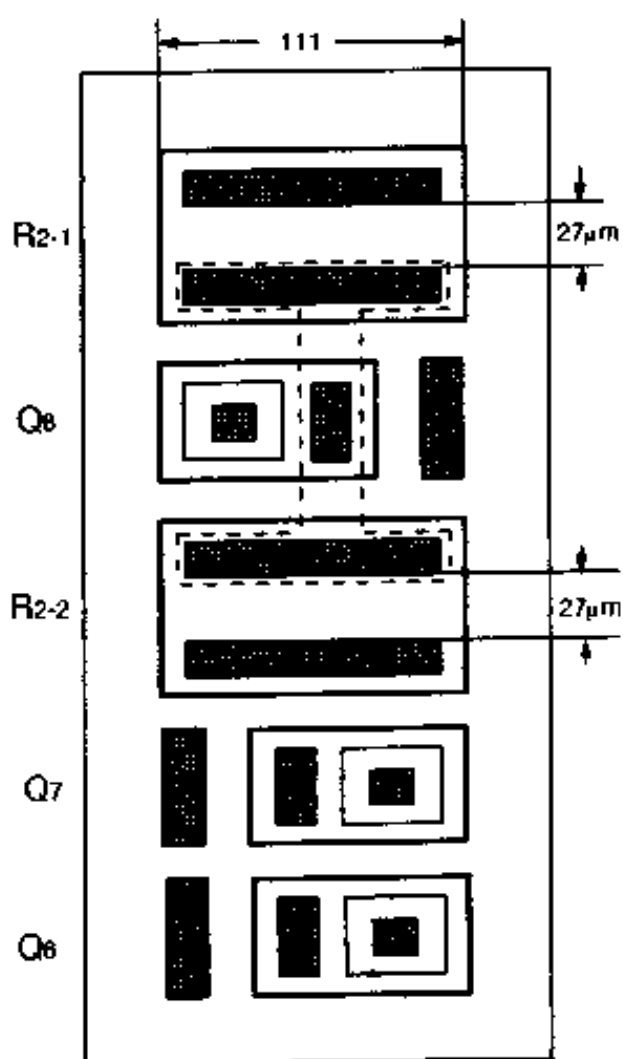


图 6.19 R_2, Q_6, Q_7, Q_8 版图

由于 KD203 集成运放 npn 集

成块元件少,电路的整个版图的布局与布线较为简单,这里不再画出。

(5) pnp 集成块版图设计

pnp 集成块版图设计原则,最小尺寸选择均与 npn 集成块相同,这里不再重复. 与 npn 集成块版图设计不同之处在于 pnp 晶体管和相关电阻版图设计时,都要加“保护环”。下面以 T_5 pnp 晶体管和其射极电阻 W_3 设计为例,介绍“保护环”设计方法。

$W_3 = 550\Omega$, $R_0 = 220\Omega/\square$, 电阻条宽选为 $33\mu\text{m}$, $K_1 = 0.4$,

根据 $W_3 = R_0 \left(\frac{L_2}{W_3} + K_1 \right)$ 算得

$$L_3 \approx 69\mu\text{m}$$

T_5 管基区面积与 npn 管相同,为 $51\mu\text{m} \times 81\mu\text{m}$,“保护环”最小宽度为 $9\mu\text{m}$,“保护环”与基区间距为 $15\mu\text{m}$, W_3 与 T_5 放在同一隔离区内. 其版图设计如图 6.20 所示。

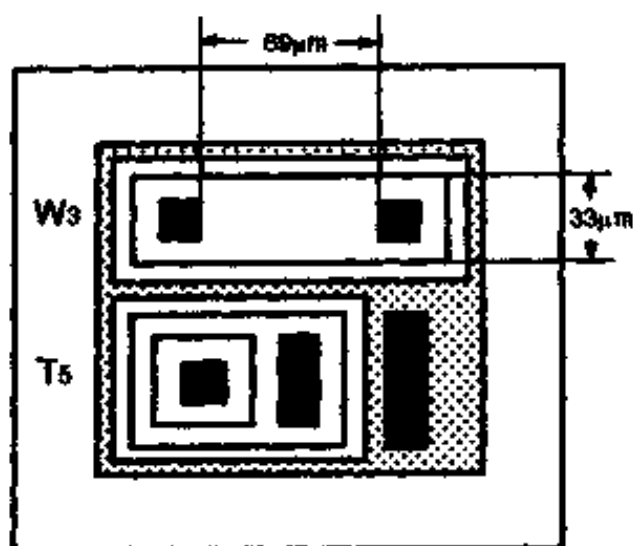


图 6.20 T_5 pnp 管和电阻 W_3 版图

6.3 集成运放 KD207 低漂移设计

KD207 属第三代高精度低漂移集成运放. 在电路结构上,参考了 AD508 电路,采用共射—共基(CE—CB)串接作为输入级. 在

低漂移设计方面,通过失调电压温漂的详细计算,选择了合适的参量,使得第一级和第二级的温漂迭加达到最佳值.在KD207集成运放设计中,除了考虑第一级(输入级)温漂外,还认真地考虑了第二级对温漂的贡献.为减小第二级对温漂的影响,调整了第一级与第二级的增益分配,适当地提高了输入级工作电流,从而增加了第一级的跨导 G_{m1} ,并采用高 β pnp晶体管作为第二级放大管,这样也提高了第一级的有效负载 R_{L1} ,两者结合提高了第一级增益 A_{d1} ($=G_{m1}R_{L1}$),使得第二级的温漂量压制到最低值.温漂是集成电路运算放大器一个重要的参数指标.本节以KD207集成运放设计为例,介绍一种集成运放低漂移设计方法.

6.3.1 KD207 电路结构与工作原理

图 6.21 是 KD207 集成运放电路结构图.

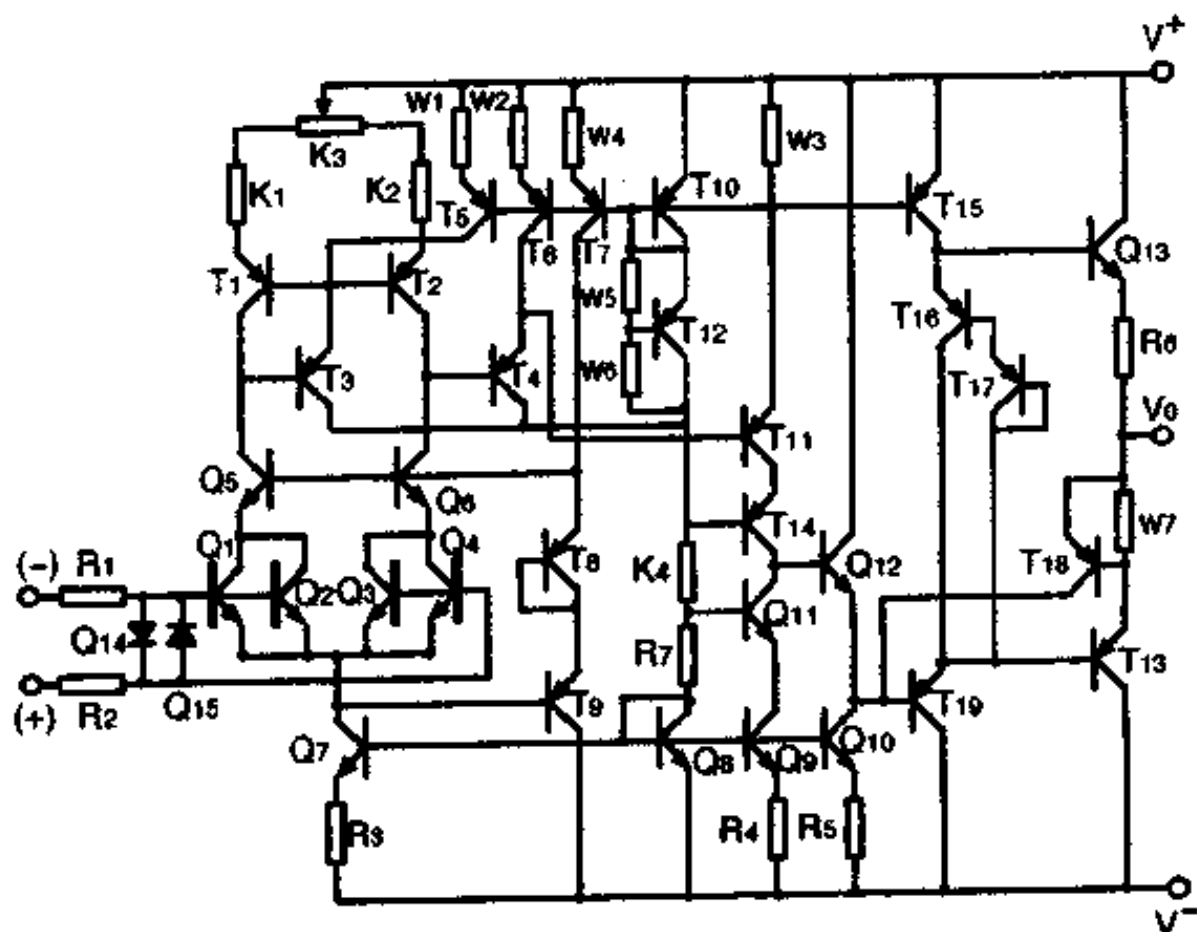


图 6.21 KD207 集成运放电路图

Q 为 npn 晶体管, T 为 pnp 晶体管, R、W 分别为 n 集成块和 p 集成块上的电阻, K_1 、 K_2 、 K_3 、 K_4 为外接电阻. 该电路采用超 β 晶体管 CE—CB 串接作为输入级, 二级放大, 全电路共有 48 个元件.

Q_1 、 Q_2 、 Q_3 、 Q_4 为超 β 晶体管, Q_5 、 Q_6 为共基接法的对管. Q_1 、 Q_2 、 Q_3 、 Q_4 和 Q_5 、 Q_6 组成了共射—共基(CE—CB)差分输入级. T_1 、 T_2 、 T_3 是其有源负载, 同时完成双端变单端的转换. T_8 、 T_9 为箝位二极管, 以保证超 β 晶体管 Q_1 、 Q_2 、 Q_3 、 Q_4 在低电压工作, 防止击穿.

T_4 、 T_{11} 组成第二级放大, Q_9 为其有源负载. W_3 为 T_{11} 管射极电阻, 在后面的分析中, 将会看到 W_3 是一个关键的参量.

Q_{12} 、 T_{19} 为二重跟随器, Q_{13} 、 T_{13} 组成互补输出级.

T_{10} 、 W_5 、 W_6 、 T_{12} 、 K_4 、 R_7 、 Q_8 构成主偏置电路. Q_8 、 Q_7 、 R_3 ; Q_8 、 Q_9 、 R_4 ; Q_8 、 Q_{10} 、 R_5 分别构成三组小电流恒流源. T_{10} 、 T_7 、 W_4 ; T_{10} 、 T_6 、 W_2 ; T_{10} 、 T_5 、 W_1 也分别构成三组小电流恒流源. T_{10} 、 T_{15} 构成基本型恒流源.

R_1 、 R_2 、 Q_{14} 、 Q_{15} 组成输入端保护电路. 输出端保护电路见图 6.22.

当正向短路时, 正向电流 $I_L^+ \uparrow$, 当 I_L^+ 增加到一定值, 使得 T_{18} 的 bc 结变为正偏时, 正向就保护了. 此时

$$V_{BEQ_{13}} + V_{R_6} = 2V_{BE} + V_{EBT_{19}} + V_{CBT_{13}} \quad (6.42)$$

即

$$V_{R_6} = 3V_{BE} \quad I_L^+ = \frac{3V_{BE}}{R_6} \approx 28\text{mA}$$

也就是说, 当 I_L^+ 增加到 28mA 时, T_{18} 管的 bc 结变为正偏, 此时电流形成了另一个回路. 即 $T_{16} \rightarrow T_{17} \rightarrow T_{19cb} \rightarrow T_{18cb} \rightarrow W_7 \rightarrow$ 地, 使得 I_L^+ 不再继续增大, 达到了保护目的.

当负向短路时, I_L^- 增加, 当 I_L^- 增加到 $0.7\text{V}/25\Omega \approx 28\text{mA}$ 时, T_{18} 管就导通, 从而分流了 T_{19} 管基流, 使 I_L^- 不再进一步增大, 达到

了负向保护.

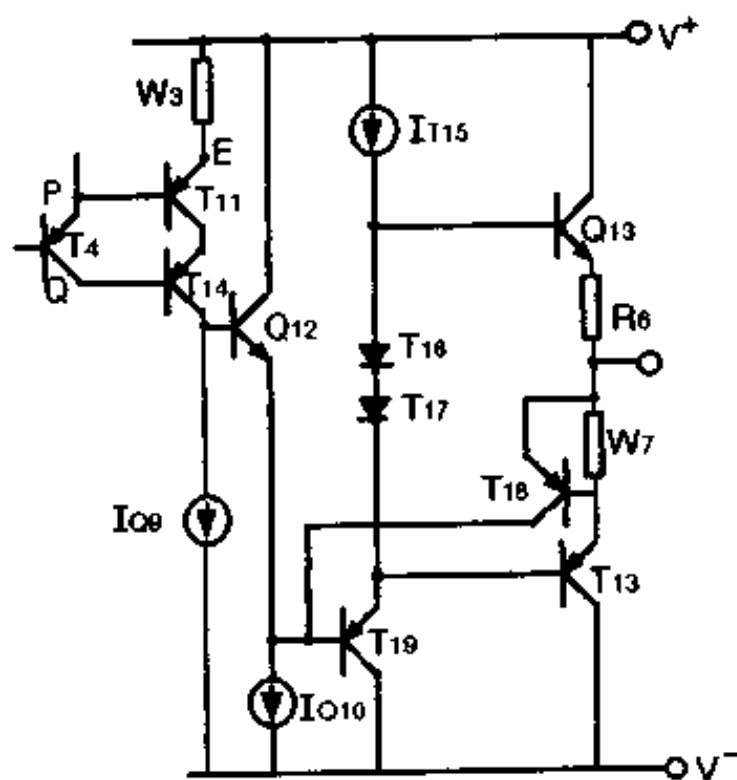


图 6.22 输出保护电路

6.3.2 KD207 输入失调电压推导

图 6.23 是 KD207 集成运放输入级电路.

KD207 为二级放大器,故其失调电压应为输入级失调和第二级失调的迭加.

$$V_{os} = V_{os1} + V_{os2} / A_{d1} \quad (6.43)$$

式中 V_{os1} 为输入级失调电压, V_{os2} / A_{d1} 为第二级折合到输入端的失调电压, A_{d1} 为输入级电压增益. 下面分别导出 V_{os1} 和 V_{os2} / A_{d1} 的表达式.

(1) 输入级失调电压 V_{os1}

由图 6.23, 输入级失调电压为

$$V_{os1} = V_{BEQ1} - V_{BEQ3} \quad (6.44)$$

根据晶体管原理可以写出

$$I_{CQ1} = I_{sQ1} e^{\frac{V_{BEQ1}}{V_T}}$$

$$I_{eQ3} = I_{eQ3} e^{\frac{V_{BEQ3}}{V_T}}$$

所以
$$\frac{I_{eQ1}}{I_{eQ3}} = \frac{I_{eQ1}}{I_{eQ3}} e^{\frac{V_{BEQ1} - V_{BEQ3}}{V_T}} \quad (6.45)$$

$$\begin{aligned} V_{os1} &= V_{BEQ1} - V_{BEQ3} \\ &= V_T \left(\ln \frac{I_{eQ1}}{I_{eQ3}} \cdot \frac{I_{eQ3}}{I_{eQ1}} \right) \\ &= V_T \left(\ln \frac{I_{CQ1}}{I_{CQ3}} + \ln \frac{\alpha_{Q3}}{\alpha_{Q1}} + \ln \frac{I_{eQ3}}{I_{eQ1}} \right) \end{aligned} \quad (6.46)$$

式中 $V_T = \frac{KT}{q}$, α_{Q1} 、 α_{Q3} 为共基电流放大系数, I_{eQ3} 、 I_{eQ1} 为晶体管反向饱和电流. 现在来分别求出(6.46)式括号内各项具体表达式.

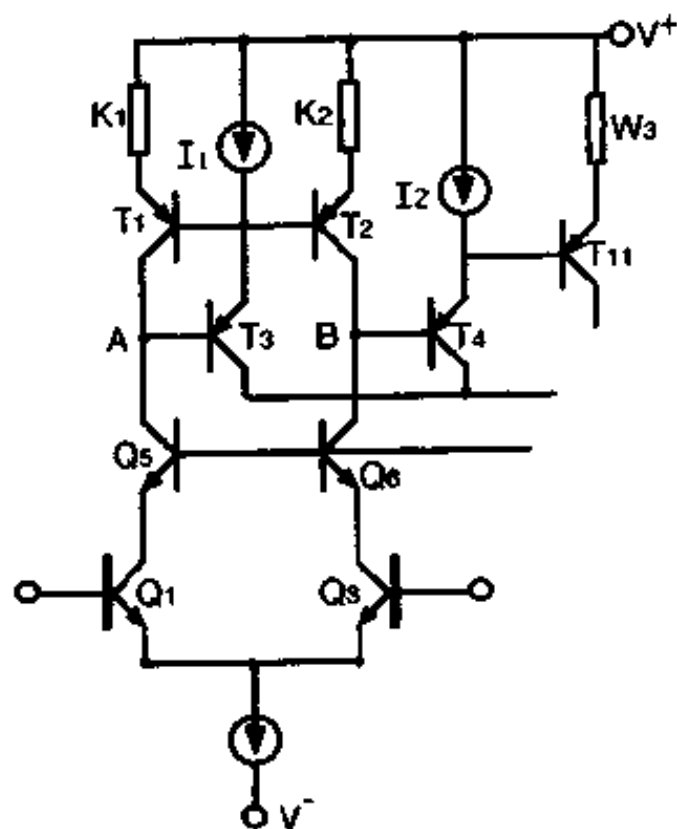


图 6.23 KD207 输入级电路

① 当 $I_{eQ1} = I_{eQ3}$ 时, 由(6.45)式可以得出

$$V_{BEQ1} - V_{BEQ3} \Big|_{I_{eQ1} = I_{eQ3}} = V_T \ln \frac{I_{eQ3}}{I_{eQ1}}$$

$$\ln \frac{I_{eQ3}}{I_{eQ1}} = \frac{\Delta V_{BEQ3}}{V_T} \quad (6.47)$$

式中 ΔV_{BEQ3} 为 Q_1 、 Q_3 两管在等射流下前向压降之差。

② 设 $\alpha_{Q3} = \alpha_{Q1} + \Delta\alpha_{Q1}$, 则

$$\begin{aligned} \ln \frac{\alpha_{Q3}}{\alpha_{Q1}} &= \ln \left(1 + \frac{\Delta\alpha_{Q1}}{\alpha_{Q1}} \right) \\ &\approx \frac{\Delta\alpha_{Q1}}{\alpha_{Q1}} \approx \frac{\Delta\beta_{Q1}}{\beta_{Q1}^2} \end{aligned} \quad (6.48)$$

式中 $\beta_{Q3} = \beta_{Q1} + \Delta\beta_{Q1}$ 为晶体管共射电流放大系数。

③ 设 $I_{CQ1} = I_{CQ3} + \Delta I_{CQ3}$, 则

$$\ln \frac{I_{CQ1}}{I_{CQ3}} \approx \frac{\Delta I_{CQ3}}{I_{CQ3}} \quad (6.49)$$

把(6.47)、(6.48)、(6.49)式代入(6.46)式得

$$V_{\omega 1} = V_T \left(\frac{\Delta I_{CQ3}}{I_{CQ3}} + \frac{\Delta\beta_{Q1}}{\beta_{Q1}^2} \right) + \Delta V_{BEQ3} \quad (6.50)$$

(6.50)式不是最终的结果,还要把 $\Delta I_{CQ3}/I_{CQ3}$ 化为更为具体的表达式。可以经过稍微繁杂的计算后,得出输入级失调电压表达式为

$$\begin{aligned} V_{\omega 1} = V_T \left[\frac{\Delta\beta_{Q1}}{\beta_{Q1}^2} + \frac{\Delta\beta_{T2}}{\beta_{T2}^2} + \frac{\Delta\beta_{Q5}}{\beta_{Q5}^2} + \frac{\Delta K_1 \cdot I_{ET2}}{V_T + K_1 \cdot I_{ET2}} \right. \\ \left. - \frac{\Delta V_{EBT2}}{V_T + K_1 \cdot I_{ET2}} + \frac{1}{1 + \beta_{T3}} \left(\frac{I_1 - I_2}{I_{ET2}} + \frac{2}{\beta_{T2}} \right. \right. \\ \left. \left. - \frac{I_{ET11}}{\beta_{T11} \cdot I_{ET2}} \right) \right] + \Delta V_{BEQ3} \end{aligned} \quad (6.51)$$

式中: $\Delta\beta_{Q1} = \beta_{Q3} - \beta_{Q1}$, $\Delta\beta_{T2} = \beta_{T1} - \beta_{T2}$, $\Delta\beta_{Q5} = \beta_{Q6} - \beta_{Q5}$, $\Delta K_1 = K_2 - K_1$

ΔV_{BEQ3} , ΔV_{EBT2} 分别是等射流下 Q_1 与 Q_3 , T_1 与 T_2 管前向压降之差, I_{ET11} , I_{ET2} 分别为 T_{11} 、 T_2 管射极电流, $(I_1 - I_2)/I_{ET2}$ 是考虑恒流源 I_1 与 I_2 失配结果。

(6.51)式是 KD207 输入级失调电压完整的表达式。如用下列具体数值代入各项

$$\beta_{\text{高}} = 500, \quad \left(\frac{\Delta\beta_{Q1}}{\beta_{Q1}} \right)_{\text{高}} = 10\%$$

$$\beta_{\text{低}} = 60, \quad \left(\frac{\Delta\beta}{\beta} \right)_{\text{低}} = 5\%$$

$$\Delta V_{BE} = 1\text{mV}, \quad I_{eT2} = 26\mu\text{A}$$

$$I_{eT1} = 52\mu\text{A}, \quad I_1 - I_2 = 1\mu\text{A}$$

可以计算出各项失调的具体数值,结果表明:第四项,第五项,第九项是第一级失调电压的主要贡献者,其余各项可以略而不计.这样(6.51)式可简化写成

$$\begin{aligned} V_{os1} &= V_{os4} + V_{os5} + V_{os9} \\ &= \frac{\Delta K_1 \cdot I_{eT2}}{1 + K_1 \cdot I_{eT2}/V_T} - \frac{\Delta V_{EBT2}}{1 + K_1 \cdot I_{eT2}/V_T} + \Delta V_{BEQ3} \\ &= \frac{26\Delta K_1}{(1 + K_1)} - \frac{\Delta V_{EBT2}}{(1 + K_1)} + \Delta V_{BEQ3} \end{aligned} \quad (6.52)$$

式中 $K_1, \Delta K_1$ 单位为 $\text{k}\Omega$, V_{os1} 为 mV .

(2) 第二级失调电压 V_{os2}

由图 6.23 可以写出

$$\begin{aligned} V_{os2} &= V_B - V_A \\ &= (W_3 \cdot I_{eT11} + V_{EBT11} + V_{EBT4}) - (K_1 \cdot I_{eT1} + V_{EBT1} \\ &\quad + V_{EBT3}) \\ &= W_3 \cdot I_{eT11} - K_1 \cdot I_{eT1} + (V_{EBT11} - V_{EBT1}) + (V_{EBT4} \\ &\quad - V_{EBT3}) \end{aligned} \quad (6.53)$$

把(6.53)式除以输入级电压增益 A_{d1} ,即为第二级失调对总的输入失调电压 V_{os} 的贡献.

6.3.3 KD207 集成运放低漂移设计

要设计出低漂移集成运放 KD207,首先要详尽地导出失调电压温漂 dV_{os}/dT 的表达式,我们在求 KD207 温漂表达式时,第一步要把对温漂有贡献的所有各项都分别求出来,然后再考虑在具体的条件下,各项对温漂贡献大小,逐步简化,取其主要项进行最

后计算. 在推导中, 严格地把 $\beta, \Delta\beta, K_1, \Delta K_1, V_{BE}, \Delta V_{BE}$ 等凡是跟温度有关的量都作为温度的函数. 下面根据这一原则, 进行推导计算.

(1) 输入级失调电压温漂计算

KD207 输入级失调电压由 (6.51) 式表示, 而其温漂即为 dV_{os1}/dT . 下面分别计算各项, 最后再迭加起来.

$$\begin{aligned} \text{设} \quad A_1 &= V_T \frac{\Delta\beta_{Q1}}{\beta_{Q2}^2}, & A_2 &= V_T \frac{\Delta\beta_{T2}}{\beta_{T2}^2} \\ A_3 &= V_T \frac{\Delta\beta_{Q5}}{\beta_{Q5}^2}, & A_4 &= V_T \frac{\Delta K_1 \cdot I_{eT2}}{V_T + K_1 I_{eT2}} \\ A_5 &= -V_T \frac{\Delta V_{EBT2}}{V_T + K_1 I_{eT2}} \\ A_6 &= \frac{V_T}{1 + \beta_{T3}} \cdot \frac{I_1 - I_2}{I_{eT2}} \approx \frac{V_T (I_1 - I_2)}{\beta_{T3} \cdot I_{eT2}} \\ A_7 &= \frac{2V_T}{\beta_{T2} (1 + \beta_{T3})} \approx \frac{2V_T}{\beta_{T3}^2} \\ A_8 &= -\frac{V_T \cdot I_{eT11}}{(1 + \beta_{T3}) \beta_{T11} \cdot I_{eT2}} \approx -\frac{V_T I_{eT11}}{\beta_{T3}^2 \cdot I_{eT2}} \\ A_9 &= \Delta V_{BEQ3} \end{aligned}$$

这样 (6.51) 式可以写成

$$V_{os1} = A_1 + A_2 + A_3 + A_4 + A_5 + A_6 + A_7 + A_8 + A_9$$

因此输入级失调电压温漂可以表示为

$$\begin{aligned} \frac{dV_{os1}}{dT} &= \frac{dA_1}{dT} + \frac{dA_2}{dT} + \frac{dA_3}{dT} + \frac{dA_4}{dT} + \frac{dA_5}{dT} + \frac{dA_6}{dT} \\ &\quad + \frac{dA_7}{dT} + \frac{dA_8}{dT} + \frac{dA_9}{dT} \end{aligned} \quad (6.54)$$

下面根据实际情况, 给出一组数组, 对 (6.54) 式中温漂分量进行分项考察, 以便进行简化.

如普通晶体管共射电流放大系数以 $\beta_{低}$, 超 β 晶体管用 $\beta_{高}$ 表示, 并假设

$$\beta_{低} = 60, \quad (\Delta\beta/\beta)_{低} = \pm 5\%$$

$$\beta_{\text{高}} = 500, \quad (\Delta\beta/\beta)_{\text{高}} = \pm 10\%$$

$$\beta \text{ 的温度系数 } C = \frac{1}{\beta} \cdot \frac{d\beta}{dT} = 0.5\%/^{\circ}\text{C}$$

$$\text{p 型基区扩散电阻温度系数 } \rho_R = \frac{1}{R} \cdot \frac{dR}{dT} = 2000\text{PPM}/^{\circ}\text{C}$$

$$\text{n 型基区扩散电阻温度系数 } \rho_W = \frac{1}{W} \cdot \frac{dW}{dT} = 3000\text{PPM}/^{\circ}\text{C}$$

$$\text{外接电阻温度系数 } \rho_K = \frac{1}{K} \cdot \frac{dK}{dT} = 50\text{PPM}/^{\circ}\text{C}$$

$$I_{eT1} = I_{eT2} = 26\mu\text{A}, \quad I_{eT11} = 52\mu\text{A}$$

$$I_2 = 10\mu\text{A}, \quad I_1 - I_2 = 1\mu\text{A}$$

$$(\text{相当于 } W_1 - W_2/W_1 = 13\%)$$

$$R_3 = 1.13\text{k}\Omega, \quad R_4 = 1.19\text{k}\Omega, \quad W_2 = 10.17\text{k}\Omega$$

$$\Delta V_{BEQ3} = \Delta V_{EST2} = 1\text{mV}, \quad V_T = 26\text{mV}$$

那么(6.54)式中各项经过较为繁杂的运算后,在室温下,代入上面给定的数组中相关值得出各项值为

$$\frac{dA_1}{dT} = \pm 0.034\mu\text{V}/^{\circ}\text{C}$$

$$\frac{dA_2}{dT} = \pm 0.144\mu\text{V}/^{\circ}\text{C}$$

$$\frac{dA_3}{dT} = \pm 0.144\mu\text{V}/^{\circ}\text{C}$$

$$\frac{dA_6}{dT} = \pm 0.06\mu\text{V}/^{\circ}\text{C}$$

$$\frac{dA_7}{dT} = -0.096\mu\text{V}/^{\circ}\text{C}$$

$$\frac{dA_8}{dT} = +0.096\mu\text{V}/^{\circ}\text{C}$$

$$\frac{dA_9}{dT} = \pm 3.33\mu\text{V}/^{\circ}\text{C}$$

由此可见,第1、2、3、6、7、8项相对于第9项均为小量,可以略之.这样输入级的温漂可简化成

$$\frac{dV_{os1}}{dT} = \frac{dA_4}{dT} + \frac{dA_5}{dT} + \frac{dA_9}{dT} \quad (6.55)$$

其中

$$\begin{aligned} \frac{dA_4}{dT} &\approx \frac{\Delta K_1}{K_1} \left[\frac{V_T K_1 \rho_{K1} I_{eT2}}{V_T + K_1 I_{eT2}} + \frac{V_T K_1^2 I_{eT2}^2}{T(V_T + K_1 I_{eT2})^2} \right. \\ &\quad \left. + \frac{V_T^2 K_1}{(V_T + K_1 I_{eT2})^2} \cdot \frac{(1 - \rho_{R3} T) I_{eT2}}{T(1 + V_T/2R_3 I_{eT2})} \right] \\ \frac{dA_5}{dT} &\approx -\Delta V_{EBT2} \left[\frac{V_T K_1 I_{eT2}}{T(V_T + K_1 I_{eT2})^2} + \frac{V_T}{T(V_T + K_1 I_{eT2})} \right. \\ &\quad \left. - \frac{V_T K_1}{(V_T + K_1 I_{eT2})^2} \cdot \frac{(1 - P_{R3} T) I_{eT2}}{T(1 + V_T/2R_3 I_{eT2})} \right] \\ \frac{dA_9}{dT} &\approx \frac{\Delta V_{BEQ3}}{T} \end{aligned}$$

代入数值后,写成

$$\begin{aligned} \frac{dV_{os1}}{dT} &= \frac{\Delta K_1}{K_1} \left[\frac{86.7 K_1^2 + 23.9 K_1}{(1 + K_1)^2} \right] - \Delta V_{EBT2} \left[\frac{2.41 K_1}{(1 + K_1)^2} \right. \\ &\quad \left. + \frac{10}{3(1 + K_1)} \right] + \frac{\Delta V_{BEQ3}}{T} \times 10^3 (\mu V/^\circ C) \quad (6.56) \end{aligned}$$

式中 $K_1 \cdot \Delta K_1$ 单位为 $k\Omega$, ΔV_{EBT2} 、 ΔV_{BEQ3} 单位为 mV .

从(6.56)式可以看到,输入级失调电压温漂只跟 K_1 , ΔK_1 , ΔV_{EBT2} , ΔV_{BEQ3} 有关. 而 ΔV_{EBT2} , ΔV_{BEQ3} 主要由工艺因素确定的. K_1 与 T_{11} 管射极电阻 W_3 有关,在设计时,为确保第二级失调为零,确定一个 W_3 值,就有相对应的一个 K_1 值. K_1 与 W_3 之间的对应关系可由(6.53)式求出得

$$K_1 = \frac{W_3 I_{eT11} + V_{EBT11} - V_{EBT1}}{I_{eT1}}$$

$$\begin{cases} I_{eT11} = 52\mu A, I_{eT1} = 26\mu A \\ V_{EBT11} - V_{EBT1} = V_T \ln(I_{eT11}/I_{eT1}) = 18.02mV \end{cases}$$

代入上式得出

$$K_1 \approx 2W_3 + 0.69 (k\Omega) \quad (6.57)$$

所以一旦 ΔV_{EBT2} , ΔV_{BEQ3} 确定后,输入级的失调电压温漂跟参

量 W_3 有着对应关系。

(2) 输入级温漂与参量 W_3 关系

输入级失调电压温漂 $\frac{dV_{os1}}{dT}$ 与 W_3 值关系可分两种情况讨论：

一是失调电压不调零情况；二是失调电压调零情况。

① 不调零情况下 $dV_{os1}/dT \sim W_3$ 关系

前面已经导出了输入失调电压温漂可简化表示成(6.55)式，如果代入具体数值后则由(6.56)式表示。失调电压不调零情况，即意味着 $\Delta K_1 = 0$ ，那么(6.56)式可再简化成

$$\frac{dV_{os1}}{dT} \approx -\Delta V_{EBT_2} \left(\frac{2.41K_1}{(1+K_1)^2} + \frac{10}{3(1+K_1)} \right) + \frac{\Delta V_{BEQ_3}}{T} \times 10^3 \quad (6.58)$$

由于 ΔV_{EBT_2} 、 ΔV_{BEQ_3} 都可正可负，因此可能出现四种情况：

第一种情况： $\Delta V_{EBT_2} < 0, \Delta V_{BEQ_3} > 0$

$$\left(\frac{dV_{os1}}{dT} \right)_1 = |\Delta V_{EBT_2}| \left(\frac{2.41K_1}{(1+K_1)^2} + \frac{10}{3(1+K_1)} \right) + \frac{|\Delta V_{BEQ_3}|}{T} \times 10^3 \quad (6.59)$$

第二种情况： $\Delta V_{EBT_2} > 0, \Delta V_{BEQ_3} < 0$

$$\left(\frac{dV_{os1}}{dT} \right)_2 = -|\Delta V_{EBT_2}| \left(\frac{2.41K_1}{(1+K_1)^2} + \frac{10}{3(1+K_1)} \right) - \frac{|\Delta V_{BEQ_3}|}{T} \times 10^3 \quad (6.60)$$

第三种情况： $\Delta V_{EBT_2} < 0, \Delta V_{BEQ_3} < 0$

$$\left(\frac{dV_{os1}}{dT} \right)_3 = |\Delta V_{EBT_2}| \left(\frac{2.41K_1}{(1+K_1)^2} + \frac{10}{3(1+K_1)} \right) - \frac{|\Delta V_{BEQ_3}|}{T} \times 10^3 \quad (6.61)$$

第四种情况： $\Delta V_{EBT_2} > 0, \Delta V_{BEQ_3} > 0$

$$\left(\frac{dV_{os1}}{dT} \right)_4 = -|\Delta V_{EBT_2}| \left(\frac{2.41K_1}{(1+K_1)^2} + \frac{10}{3(1+K_1)} \right) + \frac{|\Delta V_{BEQ_3}|}{T} \times 10^3$$

$$+ \frac{|\Delta V_{BEQ3}|}{T} \times 10^3 \quad (6.62)$$

图 6.24 是根据(6.59) - (6.62)式,在失调电压不失调情况下,画出的输入级温漂 dV_{os1}/dT 与 W_3 电阻关系四种曲线. 这里假定 $\Delta V_{EBT2}, \Delta V_{BEQ3}$ 均为 $\pm 1\text{mV}$, 以下相同.

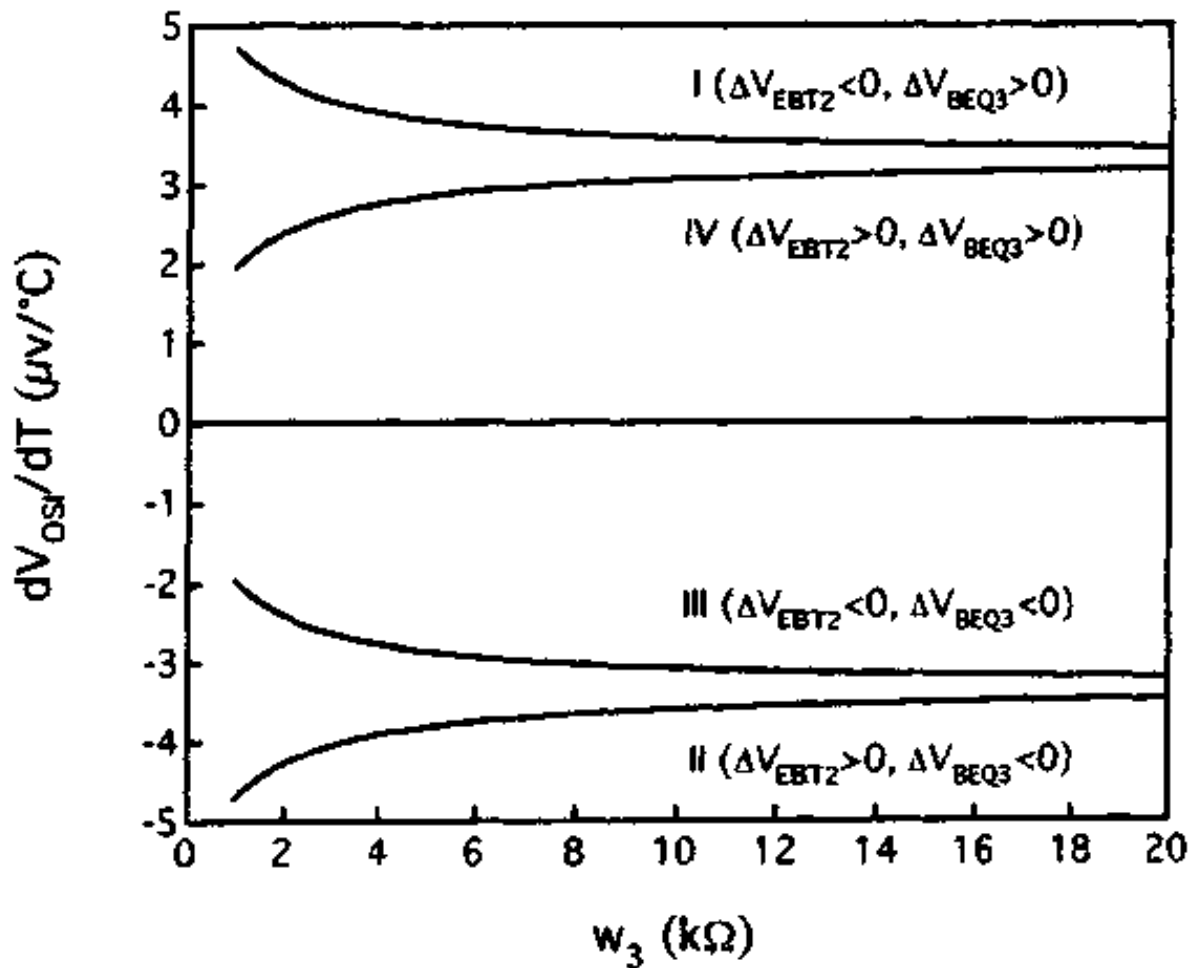


图 6.24 失调电压不失调时 $\frac{dV_{os1}}{dT} \sim W_3$ 关系

② 调零情况下 $dV_{os1}/dT \sim W_3$ 关系

调零意味着 $\Delta K_1 \neq 0$, 输入级失调电压温漂由(6.56)式表示. 输入级失调电压 V_{os} 则由(6.52)式表示, 即

$$V_{os} = \frac{26\Delta K_1}{1+K_1} - \frac{\Delta V_{EBT2}}{1+K_1} - \Delta V_{BEQ3}$$

现在要通过(6.52)式求出 ΔK_1 , 然后代入(6.56)式, 导出调零情况下 $dV_{os1}/dT \sim W_3$ 关系. 由于 $\Delta V_{EBT2}, \Delta V_{BEQ3}$ 可正可负, 因此也有 4 种可能的情况.

第一种: $\Delta V_{EBT_2} < 0, \Delta V_{BEQ_3} > 0$

$$(6.52) \text{式写成} \quad V_{os1} = \frac{26\Delta K_1}{1+K_1} + \frac{1}{1+K_1} + 1 = 0$$

$$\text{得出} \quad \Delta K_1 = -\frac{K_1+2}{26} \quad (6.63)$$

把(6.63)式代入(6.56)式得出输入级相应的失调电压温漂为

$$\begin{aligned} \left(\frac{dV_{os1}}{dT}\right)_I &= -\frac{K_1+2}{26K_1} \left[\frac{86.7K_1^2+23.9K_1}{(1+K_1)^2} \right] \\ &\quad + \left[\frac{2.41K_1}{(1+K_1)^2} + \frac{10}{3(1+K_1)} \right] + \frac{1}{300} \times 10^3 (\mu\text{V}/^\circ\text{C}) \end{aligned} \quad (6.64)$$

第二种: $\Delta V_{EBT_2} > 0, \Delta V_{BEQ_3} < 0$

用同样方法求得

$$\begin{aligned} \left(\frac{dV_{os1}}{dT}\right)_I &= \frac{K_1+2}{26K_1} \left[\frac{86.7K_1^2+23.9K_1}{(1+K_1)^2} \right] \\ &\quad - \left[\frac{2.41K_1}{(1+K_1)^2} + \frac{10}{3(1+K_1)} \right] - \frac{1}{300} \times 10^3 (\mu\text{V}/^\circ\text{C}) \end{aligned} \quad (6.65)$$

第三种: $\Delta V_{EBT_2} < 0, \Delta V_{BEQ_3} < 0$

$$\begin{aligned} \left(\frac{dV_{os1}}{dT}\right)_I &= \frac{1}{26} \left[\frac{86.7K_1^2+23.9K_1}{(1+K_1)^2} \right] \\ &\quad + \left[\frac{2.41K_1}{(1+K_1)^2} + \frac{10}{3(1+K_1)} \right] - \frac{1}{300} \times 10^3 (\mu\text{V}/^\circ\text{C}) \end{aligned} \quad (6.66)$$

第四种: $\Delta V_{EBT_2} > 0, \Delta V_{BEQ_3} > 0$

$$\begin{aligned} \left(\frac{dV_{os1}}{dT}\right)_N &= -\frac{1}{26} \left[\frac{86.7K_1^2+23.9K_1}{(1+K_1)^2} \right] \\ &\quad - \left[\frac{2.41K_1}{(1+K_1)^2} + \frac{10}{3(1+K_1)} \right] + \frac{1}{300} \times 10^3 (\mu\text{V}/^\circ\text{C}) \end{aligned} \quad (6.67)$$

再利用(6.57)式 K_1 与 W_3 关系,可画出在调零情况下,输入级失

调电压温漂 dV_{os1}/dT 跟 W_3 关系四组曲线, 如图 6.25 和图 6.26.

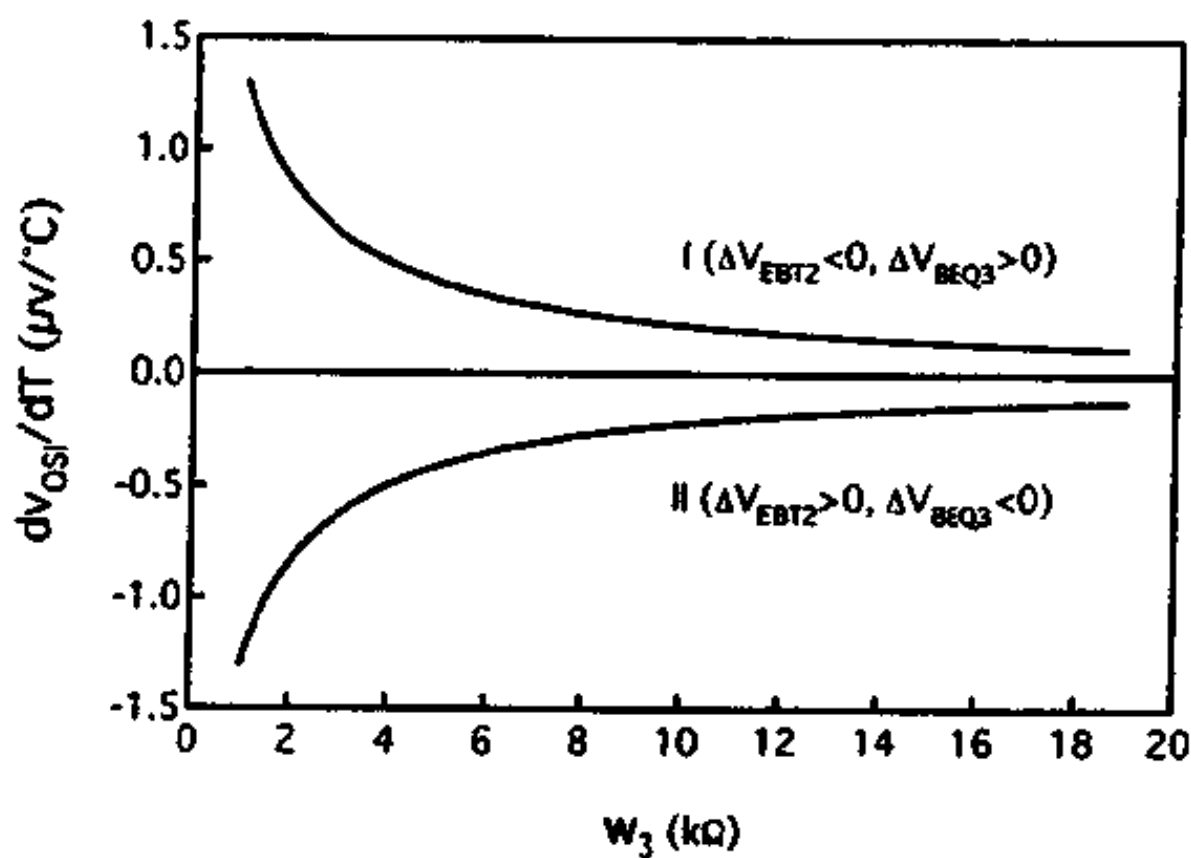


图 6.25 调零后 $\frac{dV_{os1}}{dT} \sim W_3$ 关系

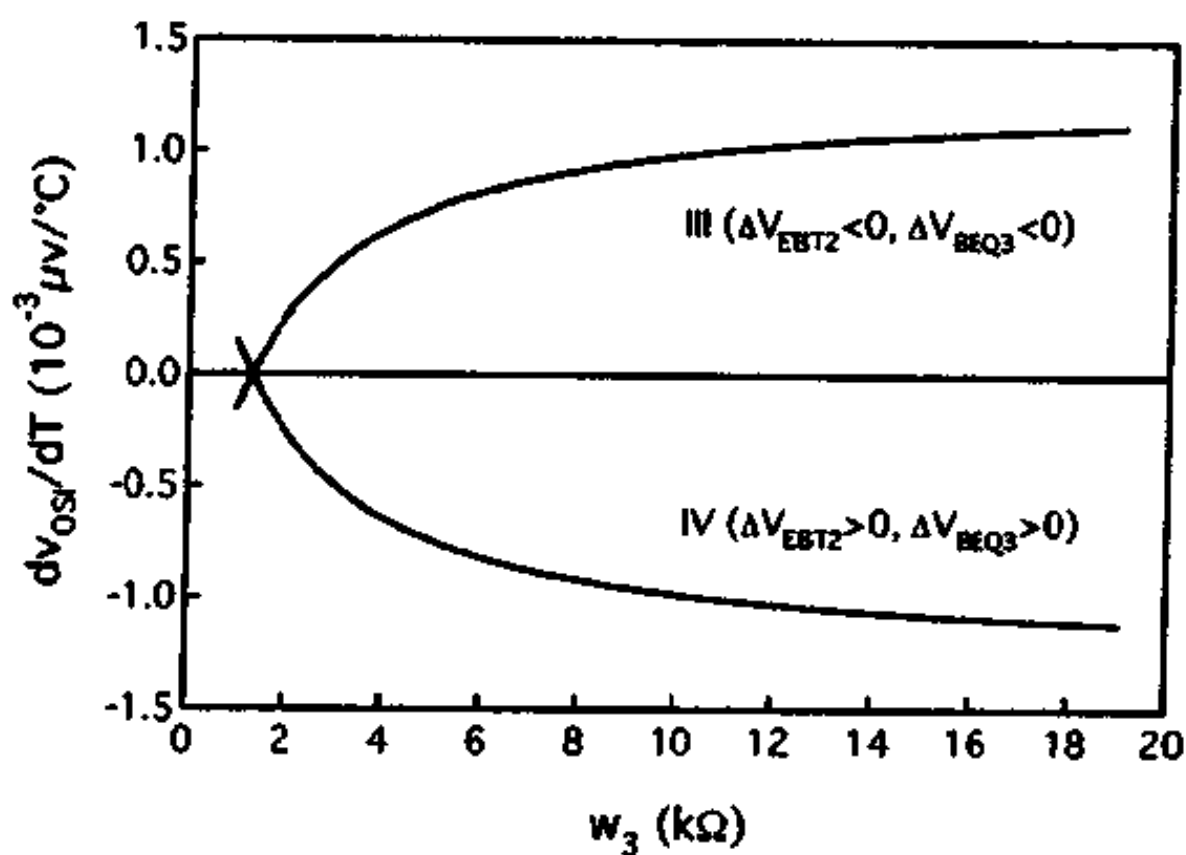


图 6.26 调零后 $\frac{dV_{os1}}{dT} \sim W_3$ 关系

(3) 第二级失调电压温漂计算

第二级失调电压 V_{os1} 由(6.53)式表示.

假定
$$\Delta V_{EBT1} = V_{EBT11} - V_{EBT1}$$

$$\Delta V_{EBT3} = V_{EBT4} - V_{EBT3}$$

这里要注意的是 $\Delta V_{EBT1} \rightarrow \Delta V_{EBT3}$ 不是等射流下的前向压降差. 这样

(6.53)式可以改写成

$$V_{os1} = W_3 I_{eT11} - K_1 I_{eT1} + \Delta V_{EBT1} + \Delta V_{EBT3} \quad (6.68)$$

第二级失调电压温漂为

$$\begin{aligned} \frac{dV_{os1}}{dT} = & \frac{\partial V_{os1}}{\partial W_3} \frac{dW_3}{dT} + \frac{\partial V_{os1}}{\partial I_{eT11}} \frac{dI_{eT11}}{dT} + \frac{\partial V_{os1}}{\partial K_1} \frac{dK_1}{dT} + \frac{\partial V_{os1}}{\partial I_{eT1}} \frac{dI_{eT1}}{dT} \\ & + \frac{\partial V_{os1}}{\partial \Delta V_{EBT1}} \frac{d\Delta V_{EBT1}}{dT} + \frac{\partial V_{os1}}{\partial \Delta V_{EBT3}} \cdot \frac{d\Delta V_{EBT3}}{dT} \end{aligned} \quad (6.69)$$

经过繁杂计算,再略小项后得出

$$\frac{dV_{os1}}{dT} \approx I_{eT11} \cdot W_3 \cdot \rho_{W3} + \frac{\Delta V_{EBT1}}{T} + \frac{\Delta V_{EBT3}}{T} \quad (6.70)$$

式中 ρ_{W3} 为电阻 W_3 温度系数.

$$I_{eT11} = 52\mu\text{A}, I_{eT1} = 26\mu\text{A}, \text{并设 } I_{eT3} \approx I_{eT4}, \rho_{W3} = 3000\text{PPM}/^\circ\text{C}$$

把这些数值代入(6.70)式计算得出

$$\frac{dV_{os1}}{dT} \approx 156W_3 + 60 \quad (\mu\text{V}/^\circ\text{C}) \quad (6.71)$$

式中 W_3 单位为 $\text{k}\Omega$

因此,第二级失调电压温漂折合到输入端的值应为

$$\frac{dV_{os1}}{A_{d1} dT} \approx \frac{156W_3 + 60}{A_{d1}} \quad (6.72)$$

A_{d1} 为输入级电压增益.

下面我们要导出 A_{d1} 的表达式.

$$A_{d1} = G_{m1} \cdot R_{L1} \quad (6.73)$$

按第三章结果,共射一共基差分输入级的跨导为

$$G_{m1} = 26I_e [\text{M}\Omega]^{-1} \quad (6.74)$$

对 KD207, $I_{eQ3,4} = 26\mu\text{A}$, 代入上式得

$$G_{m1} = 26 \times 26 = 676 [\text{M}\Omega]^{-1} \quad (6.75)$$

R_{L1} 为输入差分级有效负载, 是 T_2 的输出阻抗 R_{oT2} , Q_6 的输出阻抗 R_{oQ6} , 第二级输入阻抗 R_{i1} 的并联, 即

$$R_{L1} = R_{oT2} \parallel R_{oQ6} \parallel R_{i1} \quad (6.76)$$

按(3.16)式

$$R_{oT2} = r_{oT2} \left[\frac{1 + g_{mT2} \cdot K_1}{1 + \frac{g_{mT2} \cdot K_1}{\beta_{T2}}} \right] \quad (6.77)$$

$I_{cT2} = 26\mu\text{A}$, $\beta_{T2} = 60$, $\eta_{npn} = 5 \times 10^{-4}$, 并用(6.57)式 $K_1 = 2W_3 + 0.69$ 代入(6.77)式得

$$R_{oT2} = 120 \left[\frac{1.69 + 2W_3}{60.69 + 2W_3} \right] (\text{M}\Omega) \quad (6.78)$$

式中 W_3 单位为 $\text{k}\Omega$

$$R_{oQ3,4} = r_{oQ3,4} \left[\frac{1 + g_{m3,4}/g_{m1,2}}{1 + \frac{g_{m3,4}/g_{m1,2}}{\beta_{3,4}}} \right] \quad (6.79)$$

$I_{cQ3,4} = 26\mu\text{A}$, $\beta_{Q3,4} = 500$, $\eta_{npn} = 2 \times 10^{-4}$ 代入上式求得

$$R_{oQ3,4} \approx 10\text{M}\Omega$$

设经共基管 Q_6 后输出阻抗增加 10 倍, 则

$$R_{oQ6} \approx 100\text{M}\Omega \quad (6.80)$$

$$R_{i1} \approx \beta_{T4} [r_{eT4} + \beta_{T11} (r_{eT11} + W_3)] \quad (6.81)$$

$I_{cT11} = 52\mu\text{A}$, $I_{cT4} = 10\mu\text{A}$, $\beta_{T4} = \beta_{T11} = 60$ 代入得

$$R_{i1} \approx 3.6(0.5 + W_3) (\text{M}\Omega) \quad (6.82)$$

式中 W_3 单位为 $\text{k}\Omega$.

这样按(6.73), (6.75), (6.76), (6.78), (6.80), (6.82)式可以导出 A_{d1} 的表达式.

$$A_{d1} = A_{d1}(W_3) \quad (6.83)$$

把 $A_{d1}(W_3)$ 代入(6.72)式, 则可导出第二级失调电压温漂折合到输入端的表达式.

$$\frac{dV_{os1}}{A_{d1}dT} = \frac{dV_{os1}}{A_{d1}dT}(W_3) \quad (6.84)$$

因此,第二级失调电压温漂(折合到输入端)也是 T_{11} 射极电阻 W_3 的函数. 图 6.27 画出了 $dV_{os1}/A_{d1}dT$ 与 W_3 的关系曲线.

总的失调电压温漂是输入级(第一级)和第二级温漂的迭加. 图 6.28 给出了两种迭加曲线. 曲线①是图 6.25 中曲线(I)和图 6.27 迭加,这种迭加给出了 KD207 集成运放温漂理论上的最大值. 曲线②是图 6.25 中的曲线(II)和图 6.27 的迭加,可以看到当 $W_3 \approx 12k\Omega$ 时,两级温漂相互补偿,总温漂为零.

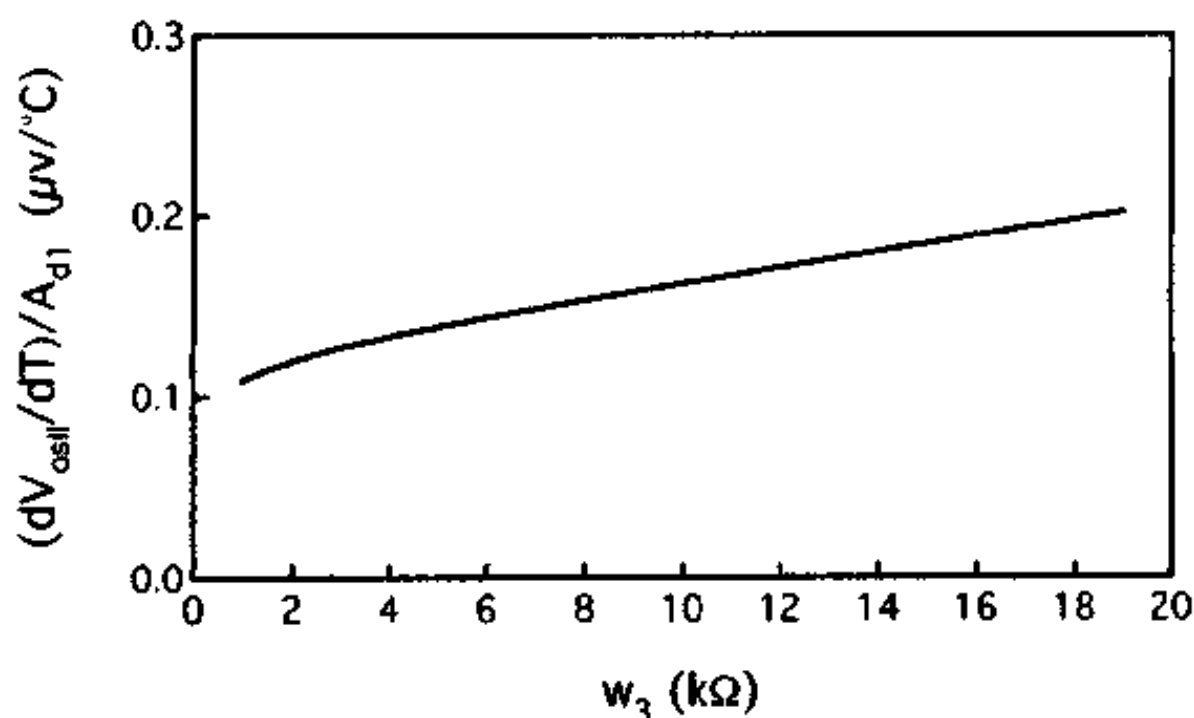


图 6.27 第二级温漂 $\frac{dV_{os1}}{A_{d1}dT} \sim W_3$ 关系

根据以上计算和分析,我们把 KD207 中的第二级主放大管 T_{11} 的射极电阻 W_3 , 选定为 $12k\Omega$. 这样无论是第一种迭加还是第二种迭加,温漂均可达到较小值.

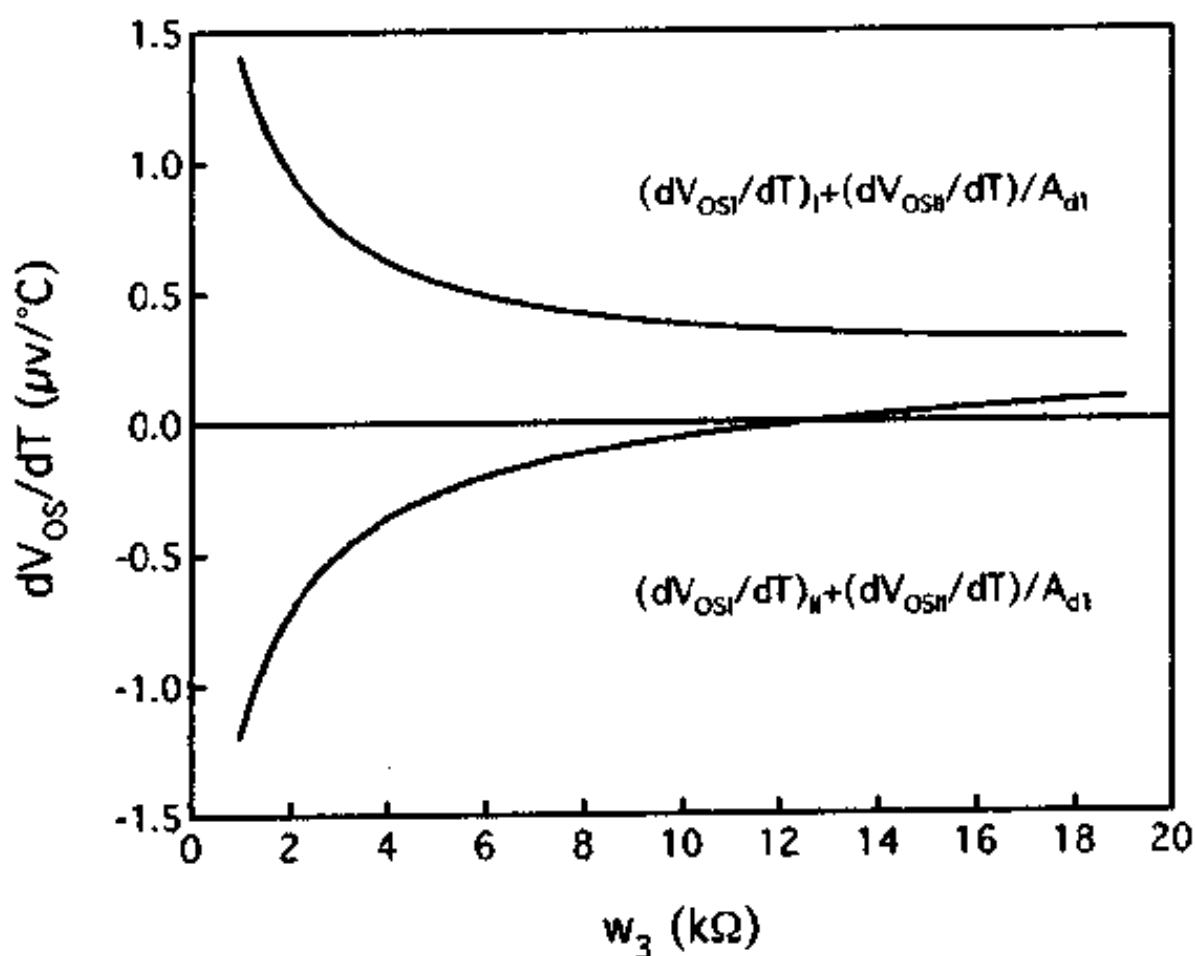


图 6.28 失调电压温漂 $dV_{os}/dT \sim W_3$ 关系

6.3.4 KD207 两级增益分配

(1) 输入级增益 A_{d1}

在上一节我们对 A_{d1} 进行了计算, 现在再归结如下:

$$A_{d1} = G_{m1} R_{L1} \quad (6.73)$$

$$G_{m1} = 676 [\text{M}\Omega]^{-1} \quad (6.75)$$

$$R_{L1} = R_{oT2} \parallel R_{oQ6} \parallel R_{i1} \quad (6.76)$$

$$R_{oT2} = 120 \left(\frac{1.69 + 2W_3}{60.69 + 2W_3} \right) (\text{M}\Omega) \quad (6.78)$$

$$R_{oQ6} \approx 100 \text{M}\Omega \quad (6.80)$$

$$R_{i1} \approx 3.6(0.5 + W_3) (\text{M}\Omega) \quad (6.82)$$

式中 W_3 单位为 $\text{k}\Omega$.

(2) 第二级增益 A_{d2}

$$A_{d2} = G_{m2} R_{L2} \quad (6.85)$$

按(3.8)式

$$G_{m2} = \frac{g_{mT11}}{1 + g_{mT11} \cdot W_3} \quad (6.86)$$

$I_{cT11} = 52\mu\text{A}$, 代入得

$$G_{m2} = \frac{2}{1 + 2W_3} [\text{k}\Omega]^{-1} \quad (6.87)$$

式中 W_3 单位为 $\text{k}\Omega$, 以下相同.

R_{L2} 是 T_{14} 输出阻抗 R_{oT14} , Q_{11} 输出阻抗 R_{oQ11} 和输出级输入阻抗 R_{i2} 的并联.

$$R_{L2} = R_{oT14} \parallel R_{oQ11} \parallel R_{i2} \quad (6.88)$$

按(3.16)式

$$R_{oT11} = r_{oT11} \left(\frac{1 + g_{mT11} \cdot W_3}{1 + \frac{g_{mT11} \cdot W_3}{\beta_{T11}}} \right) \quad (6.89)$$

$I_{cT11} = 52\mu\text{A}$, $\beta_{T11} = 60$, $\eta_{mp} = 5 \times 10^{-4}$ 代入得

$$R_{oT11} = 60 \times 10^3 \left(\frac{1 + 2W_3}{60 + 2W_3} \right) \quad (6.90)$$

$$R_{oT14} \approx 10R_{oT11} = 600 \times 10^3 \left(\frac{1 + 2W_3}{60 + 2W_3} \right) \quad (6.91)$$

$$R_{oQ9} = r_{oQ9} \left(\frac{1 + g_{mQ9} \cdot R_4}{1 + \frac{g_{mQ9} \cdot R_4}{\beta_{Q9}}} \right) \quad (6.92)$$

$I_{cQ9} = 52\mu\text{A}$, $\beta_{Q9} = 60$, $R_4 = 3\text{k}\Omega$, $\eta_{npn} = 2 \times 10^{-4}$ 代入上式算得

$$R_{oQ9} \approx 16 \times 10^3 (\text{k}\Omega) \quad (6.93)$$

$$R_{oQ11} \approx 10R_{oQ9} = 160 \times 10^3 (\text{k}\Omega) \quad (6.94)$$

$$R_{i2} \approx \beta_{Q12} \cdot \beta_{T19} \cdot \beta_{T13} \cdot R_L$$

$\beta_{Q12} = \beta_{T19} = \beta_{T13} = 60$, $R_L = 2\text{k}\Omega$ 代入得

$$R_{i2} \approx 432 \times 10^3 (\text{k}\Omega) \quad (6.95)$$

这样可根据(6.85), (6.87), (6.88), (6.91), (6.94), (6.95)

式,算出 A_{d2} 的表达式.

$$A_{d2} = A_{d2}(W_3) \quad (6.96)$$

(3) 总增益 A_d

$$A_d = A_{d1} \cdot A_{d2}$$

或
$$A_d(\text{db}) = A_{d1}(\text{db}) + A_{d2}(\text{db}) \quad (6.97)$$

A_d, A_{d1}, A_{d2} 都是 W_3 的函数. 图 6.29 画出了 $A_{d1} \sim W_3, A_{d2} \sim W_3, A_d \sim W_3$ 关系曲线.

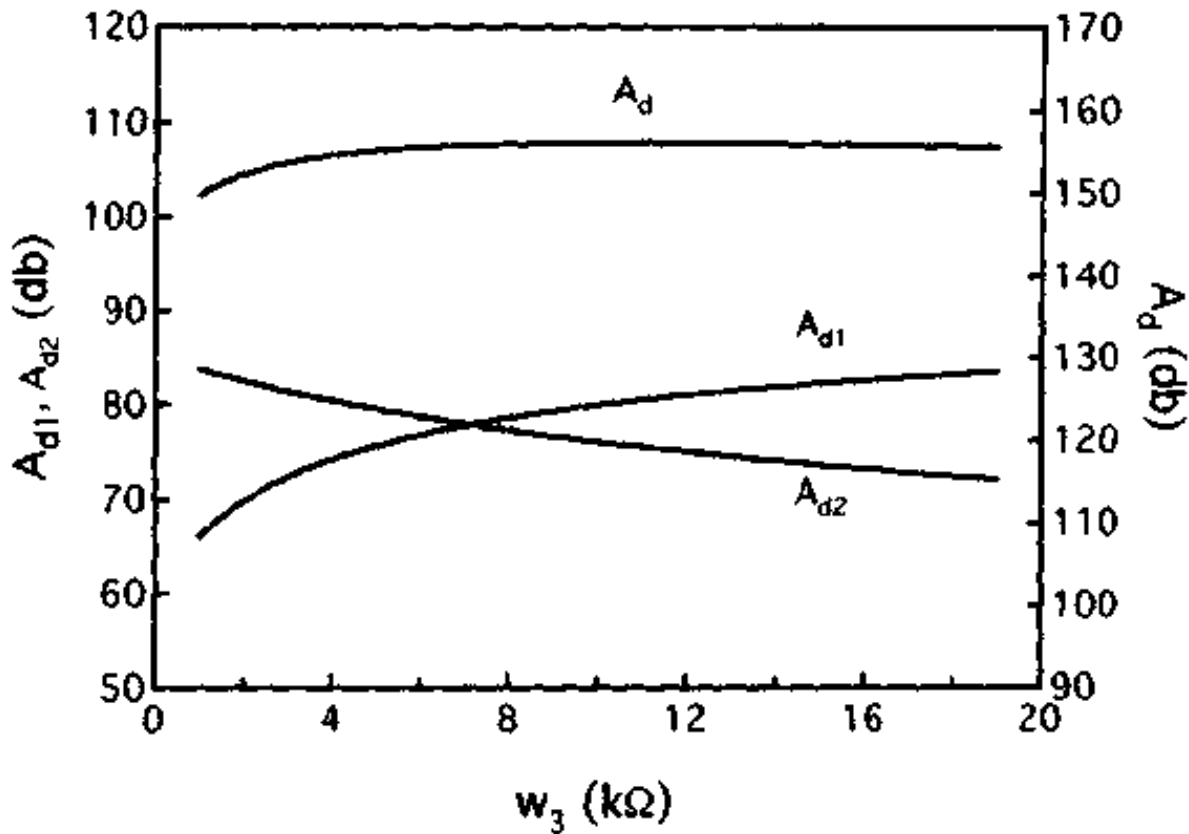


图 6.29 $A_{d1}, A_{d2}, A_d \sim W_3$ 关系

由图可见,第一级电压增益 A_{d1} 随着 W_3 阻值增大而增大,第二级增益 A_{d2} 随 W_3 增大而减小,总增益 A_d 变化不大. 当 $W_3 = 12\text{k}\Omega$ 时,理论计算结果 $A_{d1} \approx 81\text{db}, A_{d2} \approx 75\text{db}$,总增益 $A_d \approx 156\text{db}$.

6.3.5 KD207 集成运放主要参数性能

研制结果表明, KD207 集成运放主要参数指标实际测试值和

设计值基本相符,具备了高精度低漂移特点,表 6.2 是 KD207 集成运放参数表.

表 6.2 KD207 主要参数指标

参数名称	符号	单位	典型值
开环电压增益	A_{do}	db	130
共模抑制比	CMRR	db	120
输入失调电压	V_{os}	mV	<2
失调电压温漂	$\frac{dV_{os}}{dT}$	$\mu\text{V}/^\circ\text{C}$	<0.5
基极偏置电流	I_b	nA	≤ 40
输入失调电流	I_{os}	nA	≤ 10
低频噪声峰峰值	V_{p-p}	μA	1.0
单位增益上升速率	SR	$\text{V}/\mu\text{s}$	1.2
单位增益带宽	GB	MHz	3.0
静态功耗	P_w	mW	40

第七章 集成运放频率特性

在这之前,我们讨论集成运放时,均未考虑到运放的频率特性问题,都把集成运放开环电压增益 A_d 看成与频率无关的常数,也不发生相移.实际上,在高频时运放的开环电压增益并不是一个常数,而是频率的函数,随着频率的提高,增益将下降,且发生相移,集成运放频率特性就是讨论增益与频率,相位与频率关系的问题,前者称幅频特性,后者称相频特性.

造成增益随频率下降,相位随频率移动的原因,是电容效应引起的,在双极型集成运放的晶体管中,存在势垒电容和扩散电容,如 $e-b$ 结、 $b-c$ 结、 $c-s$ 结(集极-衬底结)的势垒电容,以及 $e-b$ 结的扩散电容,另外集成电路中还有分布电容.在低频时,可以不考虑这些电容效应,而在高频时,必须考虑电容的影响.

本章先原理性地讨论集成运放的频率特性,然后讨论运放在闭环状态下产生自激振荡的条件,最后再讨论如何进行频率补偿使之不发生自激振荡.要详细地讨论集成运放的频率特性是比较复杂的,因此本章只作半定量的讨论,更为深入的研究请参阅有关参考书.

7.1 集成运放开环频率特性

7.1.1 单级放大器开环频率特性

在第三章已经讨论过共射差分放大器如图 7.1 的差模特性,对小信号差模输入电压,在 R_E 上是无信号压降的,因此这样共射差分放大器,可以分成两个独立的 $R_E=0$ 的共射单管放大器,如

图 7.2 所示. 共射单管放大器的电压增益等于差分放大器平衡输出时的差模电压增益. 所以在讨论共射差分放大器频率特性时, 可以用一个单管共射放大器来分析.

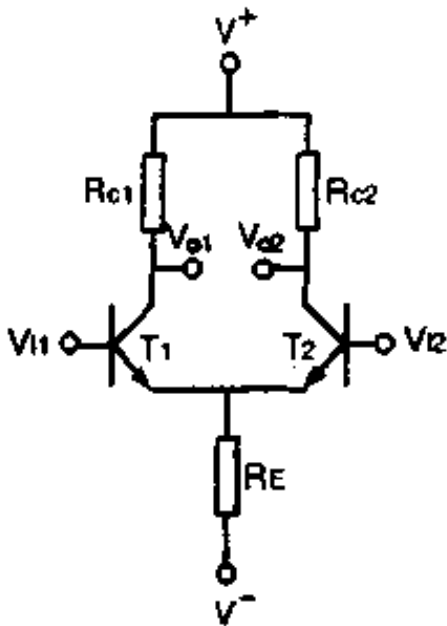


图 7.1 共射差分放大器

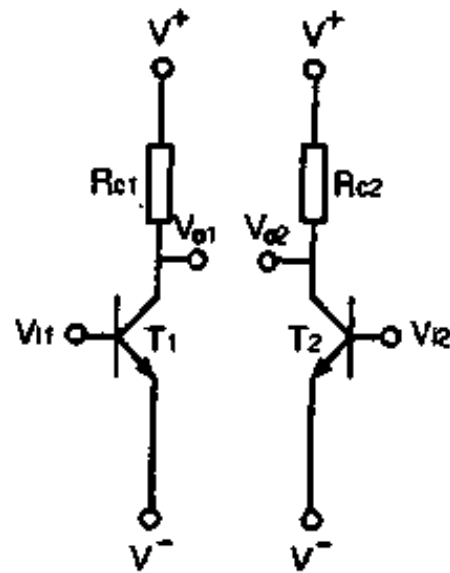


图 7.2 共射差分放大器半电路

图 7.3 是单管共射放大器高频等效电路, C_o 为输出电容和分布电容. 对于这样的单级放大器, 电压增益为

$$A_d(f) = -g_m R_L = -g_m (R_c \parallel X_c)$$

$$= -g_m \cdot \frac{R_c}{1 + j2\pi f C_o R_c} = \frac{A_{do}}{1 + j \frac{f}{f_1}} \quad (7.1)$$

式中: $A_{do} = -g_m R_c$, 是直流电压增益. $f_1 = \frac{1}{2\pi C_o R_c}$

再把 (7.1) 式写成指数式

$$A_d(f) = \frac{A_{do}}{\sqrt{1 + \left(\frac{f}{f_1}\right)^2}} e^{i\varphi} \quad (7.2)$$

增益

$$|A_d(f)| = \frac{A_{do}}{\sqrt{1 + \left(\frac{f}{f_1}\right)^2}} \quad (7.3)$$

相角
$$\varphi = -\operatorname{tg}^{-1} \frac{f}{f_1} \quad (7.4)$$

(7.3)、(7.4)式分别表示了单级放大器的开环电压增益的幅频特性和相频特性,下面分别进行讨论.

(1) 幅频特性

开环电压增益幅值随频率变化规律由(7.3)式表示.

① 当 $f=0$ 时, $|A_d(0)| = A_{do}$ 即为直流电压增益.

② 当 $f=f_1$ 时, $|A_d(f_1)| = \frac{A_{do}}{\sqrt{2}}$ 如用分贝表示,则为

$$\begin{aligned} |A_d(f_1)| &= 20\log A_{do} - 20\log \sqrt{2} \\ &= 20\log A_{do} - 3\text{db} \end{aligned} \quad (7.5)$$

这表明,当频率 $f=f_1$ 时,放大器的增益下降了 3db,我们把 f_1 称之为转折频率, f_1 即为放大器的 -3db 带宽.

③ 当 $f \gg f_1$ 时, $|A_d(f)| = \frac{A_{do}}{f/f_1}$ (7.6)

用分贝表示 $|A_d(f)| = 20\log A_{do} - 20\log \frac{f}{f_1}$ (7.7)

由(7.7)式可见,当 $f > f_1$ 的区域内,频率 f 每增加 10 倍,增益将下降 20db,即增益下降的规律为 -20db/10 倍频,或者说,频率每增加一倍增益下降 6db,所以这个区域也可以说下降规律为 -6db/倍频.

④ 由(7.6)式还可以看到当 $f > f_1$ 时,

$$|A_d(f)| \cdot f = A_{do} \cdot f_1 = \text{常数} \quad (7.8)$$

增益带宽之积为一常数.当 $|A_d(f)| = 1$ 时, $f_G = A_{do} \cdot f_1$, f_G (即为 GB)就称为单位增益带宽.图 7.4 为单级放大器增益幅频特性曲线.

(2) 相频特性

单级放大器相频特性曲线由(7.4)式表示.

① 当 $f=0.1f_1$ 时, $\varphi = -5.7^\circ$.

② 当 $f=f_1$ 时, $\varphi = -45^\circ$.

③ 当 $f = 10f_1$ 时, $\varphi = -84.3^\circ$.

④ 当 $f = \infty$ 时, $\varphi = -90^\circ$.

这说明单级放大器最大相移为 -90° . 图 7.5 是其相频特性曲线. 曲线(a)是准确的特性曲线, 曲线(b)为近似的特性曲线. 可以看到相移主要发生在 $0.1f_1 - 10f_1$ 区域内, 相移规律近似为: $-45^\circ/10$ 倍频.

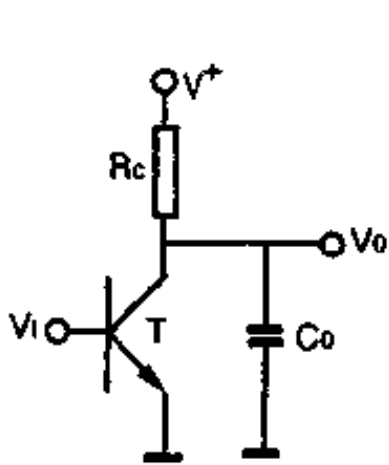


图 7.3 单级放大器高频等效电路

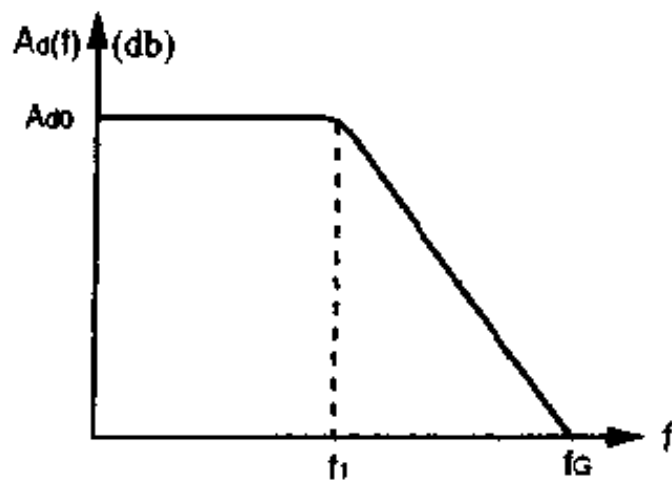


图 7.4 单级放大器幅频特性

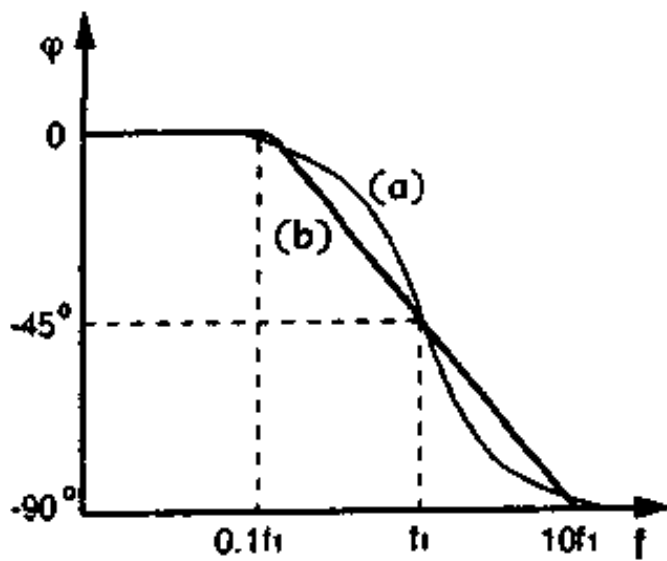


图 7.5 单级放大器相频特性^[20]

7.1.2 多级放大器开环频率特性

集成运放通常由二级、三级放大器构成。放大器的总增益 A_d 等于各级增益之积,即

$$A_d = A_{d1} \cdot A_{d2} \cdot A_{d3} \quad (7.9)$$

所以

$$\begin{aligned} A_d &= \frac{A_{do1}}{\sqrt{1 + \left(\frac{f}{f_1}\right)^2}} e^{j\varphi_1} \cdot \frac{A_{do2}}{\sqrt{1 + \left(\frac{f}{f_2}\right)^2}} e^{j\varphi_2} \cdot \frac{A_{do3}}{\sqrt{1 + \left(\frac{f}{f_3}\right)^2}} e^{j\varphi_3} \\ &= \frac{A_{do}}{\sqrt{\left[1 + \left(\frac{f}{f_1}\right)^2\right] \cdot \left[1 + \left(\frac{f}{f_2}\right)^2\right] \cdot \left[1 + \left(\frac{f}{f_3}\right)^2\right]}} e^{j\varphi} \end{aligned} \quad (7.10)$$

式中:

$A_{do} = A_{do1} \cdot A_{do2} \cdot A_{do3}$ 为直流开环电压增益。

$$\varphi = \varphi_1 + \varphi_2 + \varphi_3 \quad (7.11)$$

$$\varphi_1 = -\operatorname{tg}^{-1}\left(\frac{f}{f_1}\right), \quad \varphi_2 = -\operatorname{tg}^{-1}\left(\frac{f}{f_2}\right)$$

$$\varphi_3 = -\operatorname{tg}^{-1}\left(\frac{f}{f_3}\right)$$

(7.10)式表明,多级放大器总增益为各级增益之积,而总相移为各级相移之和。 f_1, f_2, f_3 分别为三级放大器三个极点转折频率。假定 $f_1 \ll f_2 \ll f_3$, 下面讨论其幅频特性和相频特性。

(1) 幅频特性

① 当 $f_1 < f < f_2$ 时,由(7.10)式得

$$|A_d(f)| \approx \frac{A_{do}}{\frac{f}{f_1} \sqrt{1 + \left(\frac{f}{f_2}\right)^2}} \approx \frac{A_{do}}{f/f_1}$$

用分贝表示

$$|A_d(f)|(\text{db}) = 20 \log A_{do} - 20 \log \frac{f}{f_1} \quad (7.12)$$

这就是说在 $f_1 < f < f_2$ 区域, 多级放大器增益是以 $-20\text{db}/10$ 倍频规律下降.

② 当 $f_2 < f < f_3$ 时

$$|A_d(f)| \approx \frac{A_{do}}{\frac{f}{f_1} \cdot \frac{f}{f_2} \sqrt{1 + \left(\frac{f}{f_3}\right)^2}} \approx \frac{A_{do}}{\frac{f}{f_1} \cdot \frac{f}{f_2}}$$

用分贝表示

$$|A_d(f)|(\text{db}) = 20\log A_{do} - 20\log \frac{f}{f_1} - 20\log \frac{f}{f_2} \quad (7.13)$$

这表示, 在第一级以 $-20\text{db}/10$ 倍频规律下降的基础上, 加上第二个极点后再以 $-20\text{db}/10$ 倍频程下降, 这样总的下降律是 $-40\text{db}/10$ 倍频规律下降.

③ 当 $f \gg f_3$ 时 $|A_d(f)| = \frac{A_{do}}{\frac{f}{f_1} \cdot \frac{f}{f_2} \cdot \frac{f}{f_3}}$

$$|A_d(f)|(\text{db}) = 20\log A_{do} - 20\log \frac{f}{f_1} - 20\log \frac{f}{f_2} - 20\log \frac{f}{f_3} \quad (7.14)$$

这物理意义也很清楚, 在第二级以 $-40\text{db}/10$ 倍频程下降的基础上, 再加上第三个极点后再以 $-20\text{db}/10$ 倍频程下降, 因此总的下降规律为 $-60\text{db}/10$ 倍频. 三级放大器幅频特性曲线可以画成如图 7.6(a) 所示.

(2) 相频特性

① $f = f_1$ 时, $\varphi_1 = -\text{tg}^{-1}\left(\frac{f}{f_1}\right) = -45^\circ, \varphi_2 = 0, \varphi_3 = 0$

$\therefore \varphi = -45^\circ$

$f_1 \ll f \ll f_2$ 时, $\varphi_1 = -90^\circ, \varphi_2 = 0, \varphi_3 = 0$

$\therefore \varphi = -90^\circ$

这说明, 一级放大器最大相移为 -90° .

② $f = f_2$ 时, $\varphi_1 = -\text{tg}^{-1}\left(\frac{f}{f_1}\right) = -90^\circ, \varphi_2 = -\text{tg}^{-1}\left(\frac{f}{f_2}\right)$

$$= -45^\circ, \varphi_3 = 0$$

$$\therefore \varphi = -135^\circ$$

$$f_2 \ll f \ll f_3 \text{ 时, } \varphi_1 = -90^\circ, \varphi_2 = -90^\circ, \varphi_3 = 0$$

$$\therefore \varphi = -180^\circ$$

这表示具有二个极点的二级放大器最大相移为 -180° 。

$$\textcircled{3} f = f_3 \text{ 时, } \varphi_1 = -90^\circ, \varphi_2 = -90^\circ, \varphi_3 = -45^\circ$$

$$\therefore \varphi = -225^\circ$$

$$f \gg f_3 \text{ 时, } \varphi_1 = -90^\circ, \varphi_2 = -90^\circ, \varphi_3 = -90^\circ$$

$$\therefore \varphi = -270^\circ$$

所以三级放大器最大相移为 -270° 。其相位频率特性曲线可以画成如图 7.6(b) 所示。

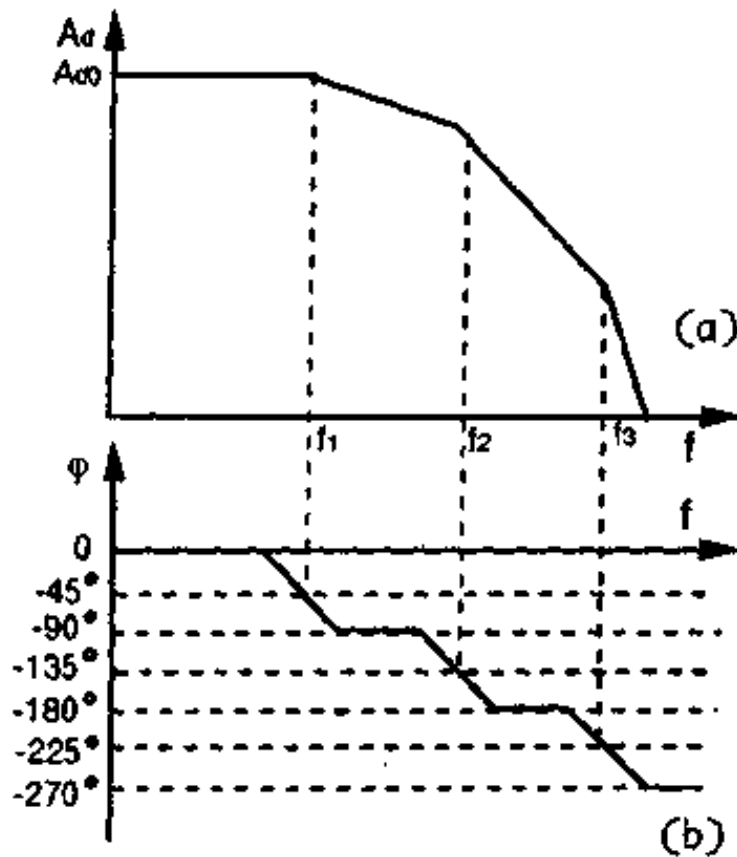


图 7.6 三级放大器幅频特性与相频特性^[21]

7.2 集成运放闭环自激振荡条件

集成运放通常是在闭环下使用,闭环越深精度越高,但也越容易产生自激振荡.当产生自激振荡时,运放就不能正常工作.为使集成运放在闭环下能稳定地工作,首先必须了解产生自激振荡的条件,然后研究如何破坏这些条件,使之稳定工作.因此这一节我们先来讨论自激振荡产生的条件.

7.2.1 负反馈放大器的基本关系式

图 7.7 是负反馈放大器的方框图. A_d 是放大器开环电压增益, β_f 是反馈系数, V_o 为输出电压, V_i 是输入电压, V_f 是反馈电压.

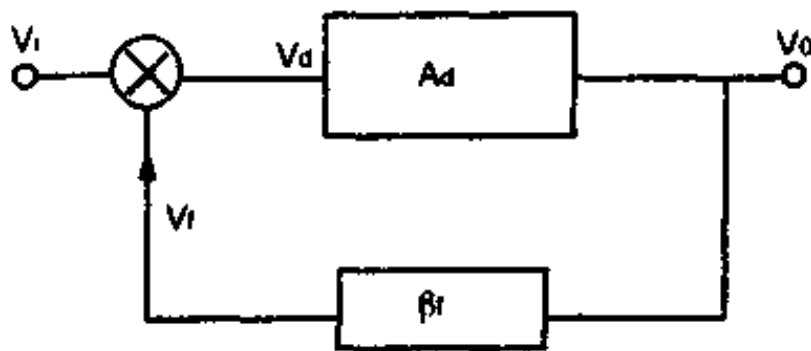


图 7.7 负反馈放大器方框图

根据这一方框图,可以写出

$$V_o = V_d A_d = (V_i - V_f) A_d = (V_i - \beta_f V_o) A_d$$

而闭环增益即为

$$A_F = \frac{V_o}{V_i} = \frac{A_d}{1 + A_d \beta_f} \quad (7.15)$$

(7.15)式就是负反馈放大器基本关系式.这式子建立了开环电压增益 A_d 与闭环增益 A_F 之间的关系,说明反馈后的闭环增益

是开环增益的 $1/(1+A_d\beta_f)$ 倍. 其中 $A_d\beta_f$ 称之为环路增益.

7.2.2 闭环自激振荡产生的条件

由(7.15)式可以看到, 当 $A_d\beta_f = -1$ 时, $A_f \rightarrow \infty$, 所以产生自激振荡的条件是

$$A_d\beta_f = -1 \quad (7.16)$$

现在再来具体分析下当 $A_d\beta_f = -1$ 情况下, 产生自激振荡的过程:

① 假如输入信号 $V_i = 0$, 由于某种扰动, 运放的输入端产生差模电压 V_d , 此时输出端就有输出电压 $V_o = A_d V_d$, 有了 V_o 就有反馈电压 V_f , $V_f = \beta_f V_o = \beta_f A_d V_d$. 因 $A_d\beta_f = -1$, 所以 $V_f = -V_d$.

② 假如经过一次反馈后, 运放输入端的差模电压为 V'_d , $V'_d = V_i - V_f = -V_f$, 所以 $V'_d = V_d$. 这说明在没有外加输入信号 $V_i = 0$, 且满足 $A_d\beta_f = -1$ 的情况下, 经过一次反馈循环后, 运放输入端的电压 V_d 大小, 相位都不发生变化.

③ 同样经过二次、三次…反馈循环后, 运放输入端电压 V_d 大小, 相位都保持不变, 输出电压 $V_o = A_d V_d$ 也保持不变. 这就是说在没有外加输入信号下, 只要满足 $A_d\beta_f = -1$ 时, 这种循环就能一直进行下去, 这个过程就是“自激振荡”过程.

我们把(7.16)式产生自激振荡条件改写成三角式:

$$A_d\beta_f = |A_d \parallel \beta_f| (\cos\varphi + j\sin\varphi) = -1$$

分别写成

$$|A_d \parallel \beta_f| = 1 \quad (7.17)$$

$$\cos\varphi + j\sin\varphi = -1$$

$$\varphi = \pi \pm 2n\pi \quad (n=0, 1, 2, \dots) \quad (7.18)$$

(7.17)、(7.18)式分别指出了产生自激振荡的幅值条件和相位条件.

现在再来看 $|A_d \parallel \beta_f| > 1$ 的情况. 当 $|A_d \parallel \beta_f| > 1$ 时, 运放输入端差模信号 V_d , 每经反馈循环一次后都会有所增加, 在集成运

放非线性区域, A_d 将随 V_d 的增大而减小, 当 V_d 增大到能使 A_d 减小到满足 $|A_d \parallel \beta_f| = 1$ 时, 输入 V_d 和输出 V_o 都将保持不变, 这时只要满足相位 $\varphi = \pm\pi \pm 2n\pi$ 条件, 就会发生自激振荡. 因此, 把 $|A_d \parallel \beta_f| > 1$ 情况也包括在内, 自激振荡产生的条件应为:

$$\text{幅值条件} \quad |A_d \parallel \beta_f| \geq 1 \quad (7.19)$$

$$\text{相位条件} \quad \varphi = \pi \pm 2n\pi \quad (n=0, 1, 2, \dots) \quad (7.20)$$

只有同时满足(7.19)、(7.20)式两个条件, 运放才会产生自激振荡, 只满足其中的一个条件, 运放是不会自激振荡的.

7.2.3 集成运放闭环稳定性判据

由上面分析可知, 要使集成运放在闭环下能稳定地工作, 就要破坏产生自激振荡的两个条件中一个, 使之不能同时满足两个条件. 因此, 运放闭环稳定工作条件应为

$$|A_d \parallel \beta_f| \geq 1 \text{ 时, 相移 } \varphi < \pm\pi \quad (7.21)$$

$$\text{相移 } \varphi = \pm\pi \text{ 时, } |A_d \parallel \beta_f| < 1 \quad (7.22)$$

根据 7.1 节分析, 单极点集成运放最大相移为 -90° , 因此单极点放大器在任何反馈深度下都不会产生自激振荡.

对于二个极点的集成运放, 只有频率 $f \rightarrow \infty$ 时, 相移才达到 -180° , 而此时增益 $A_d \rightarrow 0$, 也不满足(7.19)式自激振荡的幅值条件. 因此原则上说, 也不会产生自激振荡. 但由于集成运放中的分布电容影响, 二极点放大器也有可能发生自激振荡.

下面我们再来分析三极点放大器, 对于三极点的集成运放, 最大相移为 -270° , 其幅频特性和相频特性曲线如图 7.6(a)、(b)所示. 为了分析方便, 我们把图 7.6 再改画成图 7.8.

假设反馈系数 β_f 是与频率无关的常数, 则环路增益为

$$|T(f)| = |A_d| \cdot \beta_f$$

两边取对数, 有

$$|T(f)|(\text{db}) = 20\log |A_d| - 20\log \frac{1}{\beta_f} \quad (7.23)$$

式中 $20\log|A_d|$ 是开环增益频率特性曲线, 而 $20\log\frac{1}{\beta_f}$ 为反馈曲线, 它是平行于水平轴的直线, 与频率无关.

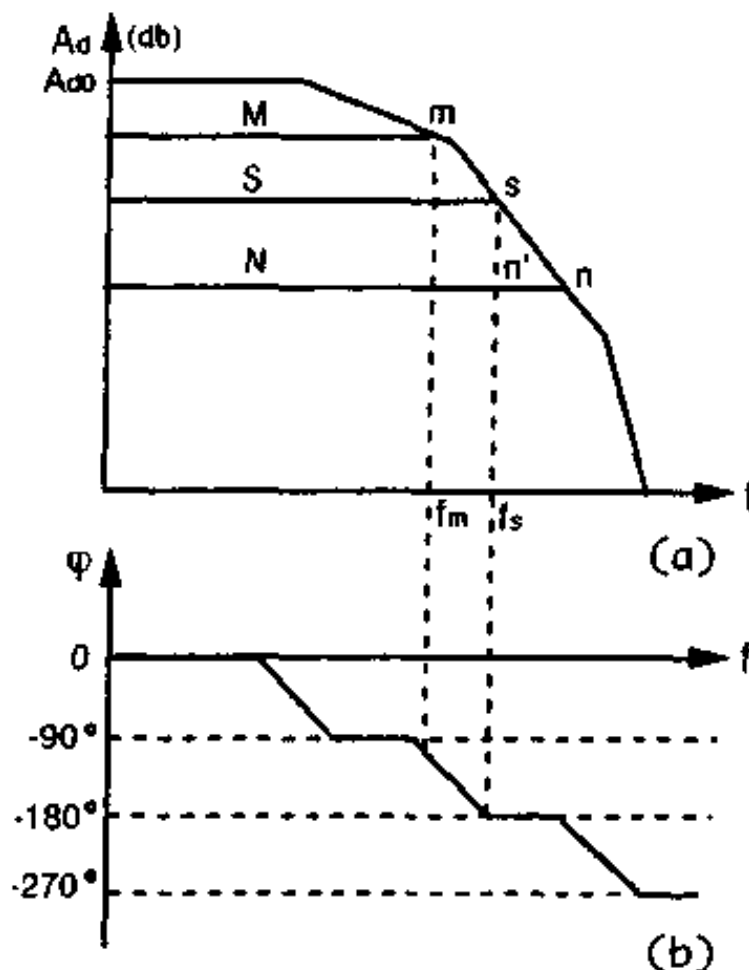


图 7.8 三极点放大器频率特性

① 当反馈系数 $\beta_f = \beta_{f_m}$ 时, 反馈曲线为 M, 当环路增益 $|T(f)| = 0\text{db}$ 时, 开环频率特性曲线与反馈曲线 M 相交于 m 点, 如图 7.8(a) 中所示. 在 m 点, $|A_d|\beta_f = 1$, 满足 (7.19) 式自激振荡幅值条件; m 点对应的频率如为 f_m , 相应的相移为 $\varphi_m < 180^\circ$, 不满足 (7.20) 式自激振荡相位条件. 也就是说当 $\beta_f = \beta_{f_m}$ 时, 满足 (7.21) 式闭环稳定条件, 所以运放在该闭环下工作是稳定的.

② 若增加负反馈深度, $\beta_f = \beta_{f_s}$, 这时 $20\log\frac{1}{\beta_f}$ 就减小, 反馈曲线由 M 变为 S, S 与开环频率特性曲线相交于 s 点, 设 s 点对应的

频率为 f_i , 如果在 f_i 频率下相移 $\varphi = -180^\circ$, 就同时满足了 $|A_d| \cdot \beta_f = 1, \varphi = \pm\pi$ 自激振荡的两个条件, 因此, 集成运放在该闭环下工作是不稳定的.

③ 若再增加负反馈深度, $\beta_f = \beta_{f_n}$, 此时, $20\log \frac{1}{\beta_{f_n}}$ 就更小, 反馈曲线由 S 变到 N, 在反馈曲线 N 上, 总可以找到相移 $\varphi = -180^\circ$ 时的频率 f_i , 在 $f = f_i$ 时, 环路增益 $|T(f_i)| = |A_c(f_i)| \cdot \beta_{f_n} > 1$, 既满足 $\varphi = \pm\pi$, 又满足 $|A_d| \cdot \beta_f > 1$ 的自激振荡条件, 所以在 $\beta_f = \beta_{f_n}$ 反馈深度下, 闭环工作更不稳定.

由上面分析结果可以看到, 集成运放反馈越深, 即闭环增益越小, 越容易产生自激振荡. 因此, 如果集成运放在跟随组态下不产生自激振荡, 那么在任何反馈深度下闭环使用都是稳定的. 这就是为什么人们常在跟随组态下来确定集成运放频率补偿元件值的依据.

7.3 集成运放频率补偿

上一节已经讨论到二个极点或三个极点的放大器在闭环工作时都可能产生自激振荡. 为了消除自激振荡, 使运放在任何反馈深度下都能稳定工作, 就要进行频率补偿.

所谓频率补偿, 就是外接或内接一些阻容元件, 来修改集成运放开环频率特性, 使多极点变为单极点, 破坏其自激振荡条件.

补偿方法可以有阻容补偿法和单一电容补偿法. 在电容补偿法中有简单的大电容补偿法和密勒(Miller)小电容补偿法. 补偿电容作在集成运放内部, 称为“内补偿”, 集成运放制作后, 再外接补偿元件, 称之“外补偿”. 本节只讨论集成运放中常用的补偿法, 即电容补偿法.

7.3.1 简单大电容补偿法

这种补偿方法是用一个较大的电容,接在放大器某一点与地之间.补偿电容的作用,是使运放在较低的频率时就出现转折,把三极点的特性曲线变为单极点的特性曲线,从而破坏运放的自激振荡条件.

在 7.1 节对于三极点的运放频率特性已作了讨论,在未加补偿前,开环电压频率特性曲线如图 7.9(A)所示.三个极点的转折频率分别为 f_1, f_2, f_3 .

$$f_1 = \frac{1}{2\pi R_c C_0}$$

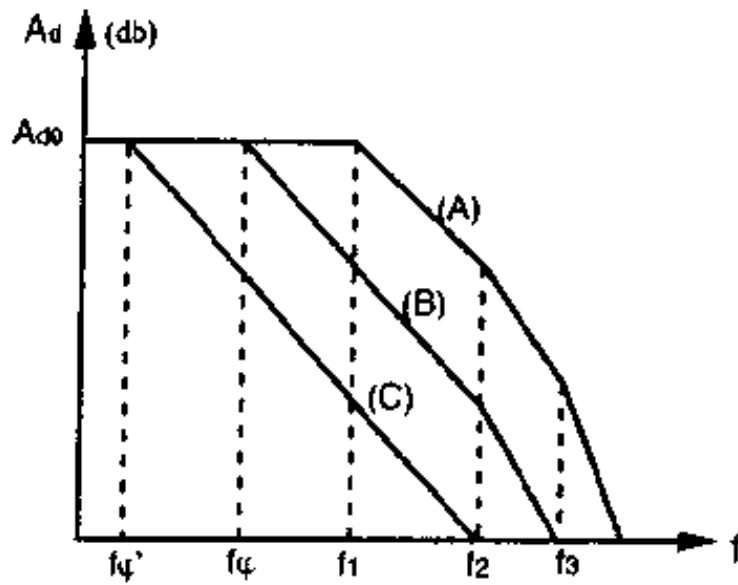


图 7.9 补偿前后频率特性曲线

假如现在补偿点选在产生第一个极点的放大器上,那么在图 7.3 的 C_0 处并联一个补偿电容 C_ϕ ,如图 7.10 所示.

加入补偿电容 C_ϕ 后,第一个极点的转折频率由下式决定

$$f_\phi = \frac{1}{2\pi R_c (C_0 + C_\phi)} \quad (7.24)$$

当 $C_\phi \gg C_0$ 时
$$f_\phi \approx \frac{1}{2\pi R_c C_\phi} \quad (7.25)$$

补偿后频率特性曲线如图 7.9(B)所示. 第一个极点的转折频率由 f_1 移至 f_φ , 而第二、三极点的转折频率仍保持不变.

如果再适当加大补偿电容 C_φ , 使得在 $f=f_2$ 时, 增益降为 0db, 如图 7.9(C)所示. 这样就把三个极点的频率特性曲线, 完全补偿成单极点的频率特性曲线, 第一个极点转折频率由原来的 f_1 移到 f'_φ , 而单极点放大器的最大相移为 -90° , 不满足自激振荡的相位条件, 从而完全消除了自激振荡. 这种补偿称之全补偿.

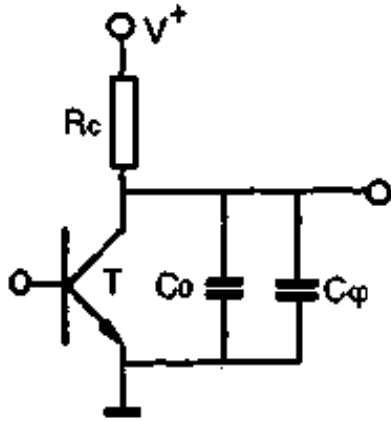


图 7.10 大电容补偿电路

全补偿所需要最小电容 C_φ 可以求出. 根据(7.8)式, 可以写出

$$A_{d0} \cdot f'_\varphi = f_2 \cdot 1 \quad (7.26)$$

而

$$f'_\varphi = \frac{1}{2\pi R_c C_\varphi}$$

求得

$$C_\varphi = \frac{A_{d0}}{2\pi R_c f_2} \quad (7.27)$$

这种补偿法简单, 但需要补偿电容较大, 一般需要几百 pf.

7.3.2 密勒(Miller)小电容补偿法

这种补偿法是利用密勒效应, 用一个小电容实现全补偿, 是集成运放中最为常用的一种频率补偿方法. 图 7.11 是密勒电容补偿原理图.

图中 A_{d1} 是集成运放第一级电压增益, A_{d2} 为第二级电压增益. 补偿电容 C_φ 是接在第二级的输出端和输入端之间, 由于电容的密勒扩增效应, 这个补偿电容 C_φ 可以等效成 M 点与地之间加一个大的电容 C_M , $C_M = (1 + A_{d2})C_\varphi$. 这种补偿方法优点是只要用一个几十 pf 的小电容, 即可实现全补偿, 因此在集成运放中获得最广泛应用. 如 $\mu A741$ 集成运放就是在第二级 T_{17} 的集电极与 T_{16} 的基

极间加一个 30pf 的补偿电容,如图 7.12 所示. KD203 集成运放也是第二级 T_3 的集电极与 T_4 基极间加一个 18pf 补偿电容,如图 7.13 所示. 由于补偿电容小,可采用 MOS 电容集成在运放的芯片上,以实现“内补偿”.

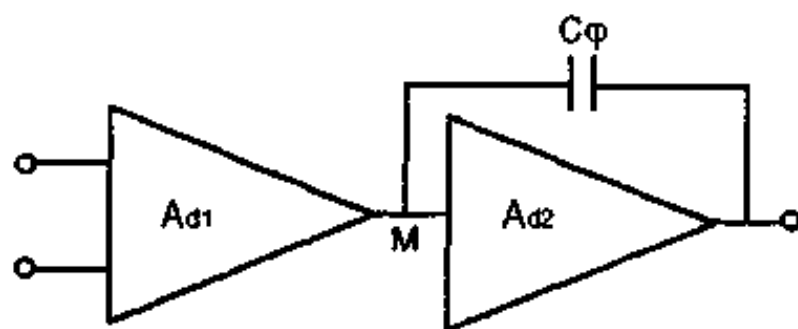


图 7.11 Miller 电容补偿原理

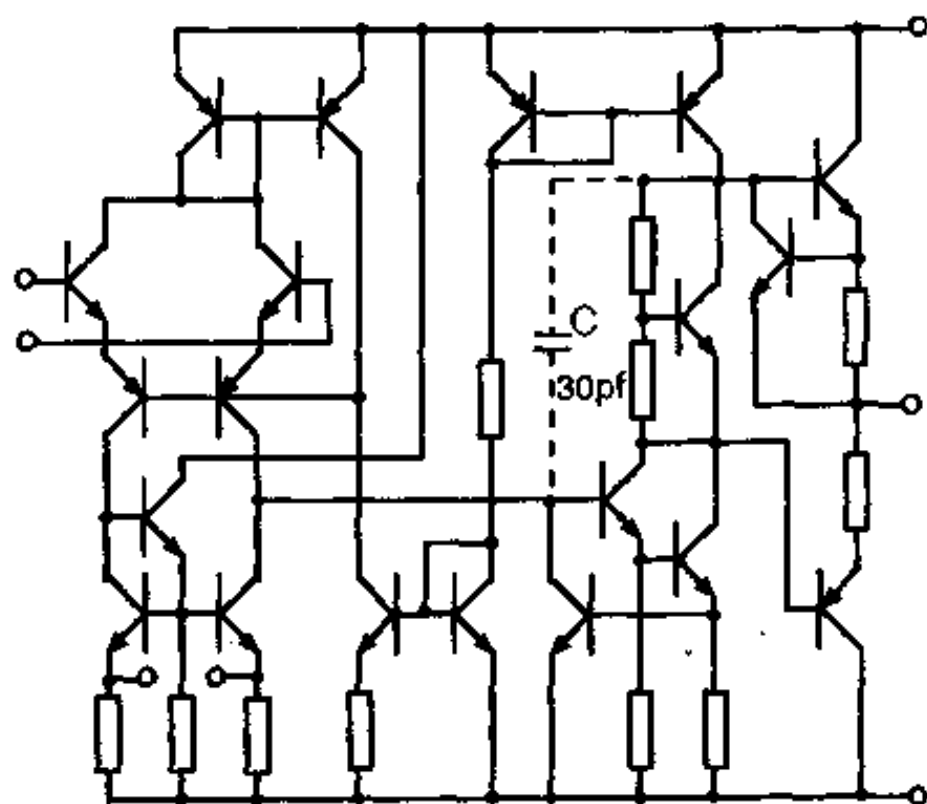


图 7.12 $\mu A741$ 集成运放电容补偿点

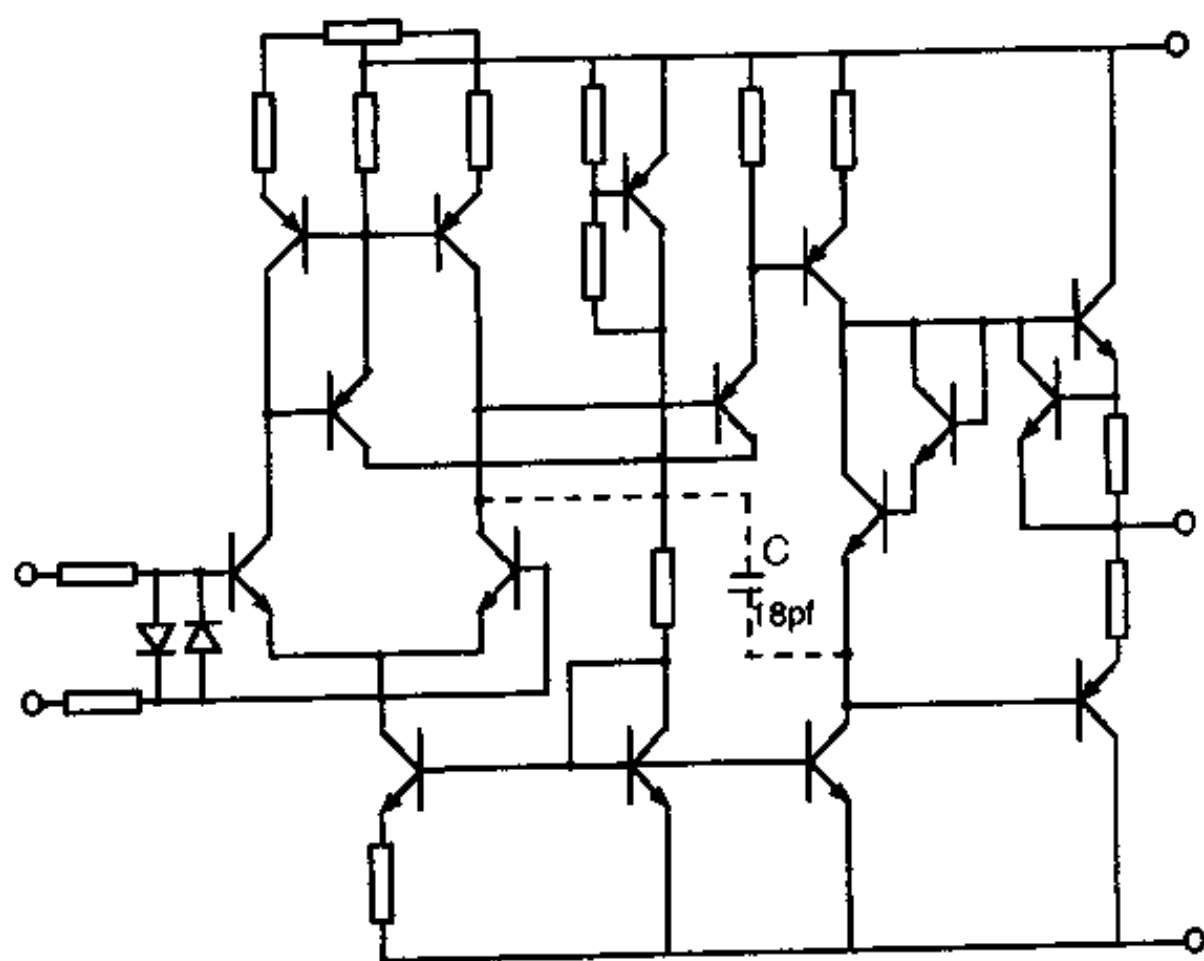


图 7.13 KD203 集成运放电容补偿点

第八章 集成运放参数测试

集成运放参数包括直流参数和交流参数两个方面。直流参数包括输入失调电压 V_{os} , 输入失调电流 I_{os} , 失调电压和失调电流温漂, 输入偏置电流 I_b , 开环电压增益 A_d , 共模抑制比 CMRR 等。交流参数如 -3dB 带宽, 单位增益带宽, 上升速率等。本章将讨论集成运放主要参数测试方法, 先讨论闭环测试法, 再讨论辅助运放测试法。

8.1 输入失调电压 V_{os} 测试

一个理想的集成运放当输入端输入电压为零(两输入端加相同的直流电压, 或均接地)时, 输出电压也应为零, 但实际上并不为零, 这就是“失调”, 失调电压定义有两种说法:

定义 1: 输入失调电压指输入电压为零时, 输出端出现的直流电压换算到输入端的值。

定义 2: 输入失调电压指为使输出电压为零, 所需加在输入端的直流补偿电压。

失调电压 V_{os} 是反映集成运放对称性的一个参数, V_{os} 越小, 对称性越好, 运放的漂移也就越小。

8.1.1 失调电压反馈测试法

图 8.1 是反馈测试法测试电路。

这种测试方法简单, R_f 为反馈电阻, 非倒相输入端的 R'_f, R'_1 是为平衡而加的补偿电阻, 一般取 $R'_f = R_f, R'_1 = R_1$ 。

根据(2.17)式
$$E_0 = \left(1 + \frac{R_f}{R_1}\right) V_{os}$$

$$V_{os} = \frac{E_0}{1 + R_f/R_1} \quad (8.1)$$

通常 $R_f \gg R_1$, 因此有

$$V_{os} \approx \frac{E_0}{R_f/R_1} \quad (8.2)$$

(8.2)式是略去失调电流 I_{os} 下得出的结果. 如果考虑 I_{os} 影响, V_{os} 应为

$$V_{os} = \frac{E_0}{R_f/R_1} - I_{os}R_1 \quad (8.3)$$

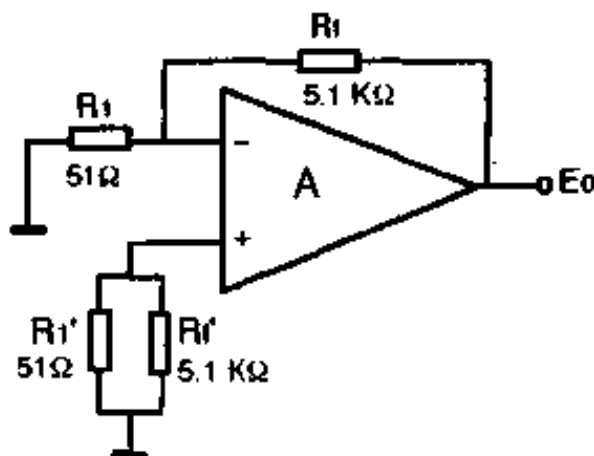


图 8.1 V_{os} 反馈测试电路

只要 R_1 选择足够小, (8.3)式后项可以略去, 即可写成(8.2)式. 式中 R_f/R_1 称为闭环增益. 因此, 只要在运放输出端测出直流电压 E_0 , 即可按(8.2)式算出失调电压 V_{os} . 图 8.1 中 $R_f = 5.1\text{k}\Omega$, $R_1 = 51\Omega$, 则闭环增益为 100. 如果输出端测出直流电压 $E_0 = 100\text{mV}$, 那么 $V_{os} = 1\text{mV}$.

8.1.2 V_{os} 辅助运放测试法

在此我们首先介绍下辅助运放测试原理.

图 8.2 是辅助运放测试原理图, 系统由待测运放 A_1 , 辅助

运放 $+A_2$ 构成, 通过反馈系数 β_f 形成负反馈. 对辅助运放有如下要求:

- ① A_2 增益必须很大, 使得可以把 S 点看成虚地点;
- ② A_2 输入阻抗必须很大, 则 A_2 的输入电流可以认为是零.

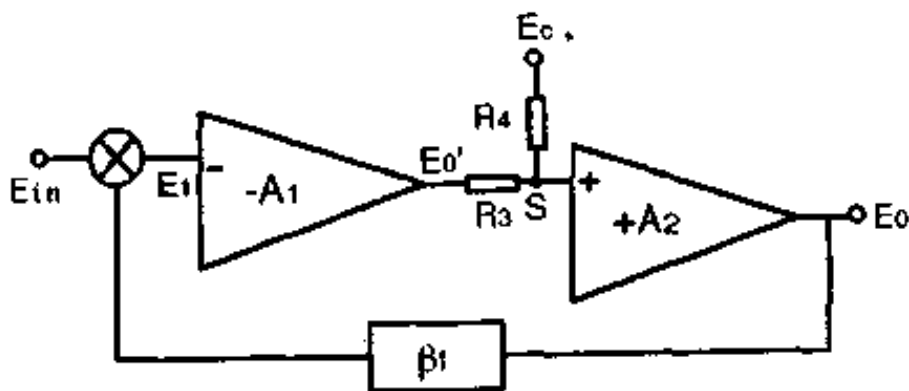


图 8.2 辅助运放测试原理图

根据上述假定, 可以写出
$$\frac{E'_o}{R_3} = -\frac{E_c}{R_4}$$

E_c 称之为内部输入电压.

$$E'_o = -\frac{R_3}{R_4} E_c \quad (8.4)$$

当 $R_3 = R_4$ 时
$$E'_o = -E_c \quad (8.5)$$

这说明当 $R_3 = R_4$ 时, 内部输入电压 E_c 和待测运放输出端直流电压大小相等, 方向相反.

现在再看当 $E_{in} = 0$ 时, $E_o/E_c = ?$

根据图 8.2, 通过反馈网路 β_f , $E_1 = \beta_f E_o$, $E'_o = (-A_1) E_1$, 所以有

$$E'_o = -A_1 \beta_f E_o \quad (8.6)$$

比较(8.4)与(8.6)式, 得出

$$\frac{E_o}{E_c} = \frac{R_3}{R_4} \cdot \frac{1}{A_1 \beta_f} \quad (8.7)$$

当 $R_3 = R_4$ 时
$$\frac{E_o}{E_c} = \frac{1}{\beta_f} \cdot \frac{1}{A_1} \quad (8.8)$$

这说明在负反馈系统内部输入点到输出端的增益是反馈系统闭环增益($1/\beta_f$)被这点之前的放大器增益所除。

(8.5)和(8.8)式是集成运放参数辅助运放测试法的两点主要依据。辅助运放测试法通用性强,精度高,对测试电路中的元件要求不太苛刻,便于测试自动化,因此现代集成运放多采用这种测试方法。

图 8.3 是辅助运放法测试失调电压 V_{os} 的测试电路图。 $-A_1$ 是待测运放, $+A_2$ 为辅助运放。在测试电路中,取 $R_3 = R_4 = 100\text{k}\Omega$, $E_c = 0$, 则待测运放 $-A_1$ 输出端直流电压 $E'_0 = 0$ 。根据失调电压定义 2, 可以得出

$$V_{os} = \beta_f \cdot E_0 = \frac{E_0}{\frac{R_f}{R_1}} \quad (8.9)$$

这结果与(8.2)式相同。只要测出辅助运放 $+A_2$ 输出端直流电压 E_0 , 即可得出 V_{os} 。

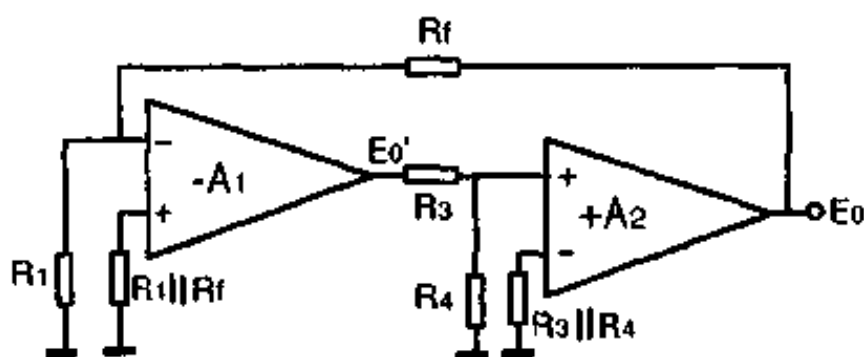


图 8.3 辅助运放测试法测试 V_{os}

8.2 输入失调电流 I_{os} 测试 输入偏置电流 I_b

理想的运放输入阻抗为无穷大,因此输入端没有电流流入。而

实际运放输入阻抗为有限值,因此总有一部分电流流入输入端.如用 I_{b1} 和 I_{b2} 分别表示当输出为零时流入(-)输入端和(+)输入端电流,则输入偏置电流定义为

$$I_b = \frac{I_{b1} + I_{b2}}{2} \quad (8.10)$$

输入失调电流则是这样定义的:当输出电压为零时,两个输入端偏置电流 I_{b1} 、 I_{b2} 之差.

即
$$I_{os} = I_{b1} - I_{b2} \quad (8.11)$$

8.2.1 I_{os} 、 I_b 反馈测试法

图 8.4 是反馈法测试 I_b 、 I_{os} 的电路图.

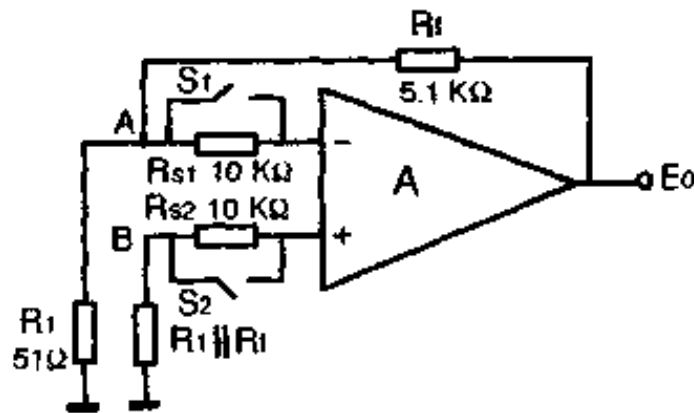


图 8.4 I_{os} 、 I_b 反馈测试法

测试 I_{os} 步骤如下:

① 当 S_1 、 S_2 合上时,则是测试失调电压 V_{os} 的电路.

$$V_{os} = \frac{E_o}{R_f/R_1} \quad (8.12)$$

② 当 S_1 、 S_2 都断开时,相当于被测运放输入端串入两个电阻 R_{s1} 、 R_{s2} ($R_{s1} = R_{s2} = R_s$),由于有输入电流 I_{b1} 、 I_{b2} 存在,如 $I_{b1} \neq I_{b2}$,则在电阻 R_s 上的压降 $I_{b1}R_s \neq I_{b2}R_s$.

$$E_A = E_- + I_{b1}R_s$$

$$E_B = E_+ + I_{b2}R_s$$

$$E_A - E_B = (E_- - E_+) + (I_{b1} - I_{b2})R_s$$

$$V'_{os} = V_{os} + I_{os}R_s$$

$$\therefore I_{os} = \frac{V'_{os} - V_{os}}{R_s} \quad (8.13)$$

V_{os} 是 S_1, S_2 合上时测得的失调电压。

$$V_{os} = \frac{E_0}{R_f/R_1}$$

V'_{os} 是 S_1, S_2 都断开时测得的失调电压。

$$V'_{os} = \frac{E'_0}{R_f/R_1} \quad (8.14)$$

把(8.12), (8.14)式代入(8.13)式得出

$$I_{os} = \frac{E'_0 - E_0}{R_s \cdot \frac{R_f}{R_1}} \quad (8.15)$$

因此, 只要测出 S_1, S_2 断开时的输出端电压 E'_0 和 S_1, S_2 合上时的输出端电压 E_0 , 即可求出失调电流 I_{os} 。

测试 I_b 步骤如下:

①合上 S_2 , 断开 $S_1, E_A = E_- + I_{b1}R_s, E_B = E_+$

$$E_A - E_B = (E_- - E_+) + I_{b1}R_s$$

$$\therefore V_{os1} = V_{os} + I_{b1}R_s \quad (8.16)$$

②合上 S_1 , 断开 $S_2, E_A = E_-, E_B = E_+ + I_{b2}R_s$

$$E_A - E_B = (E_- - E_+) - I_{b2}R_s$$

$$\therefore V_{os2} = V_{os} - I_{b2}R_s \quad (8.17)$$

(8.16) - (8.17)式得出 $V_{os1} - V_{os2} = (I_{b1} + I_{b2})R_s$

$$\therefore I_b = \frac{I_{b1} + I_{b2}}{2} = \frac{V_{os1} - V_{os2}}{2R_s} \quad (8.18)$$

$$\therefore V_{os1} = \frac{E_{01}}{R_f/R_1}, V_{os2} = \frac{E_{02}}{R_f/R_1}$$

$$\therefore I_b = \frac{E_{01} - E_{02}}{2R_s \cdot \frac{R_f}{R_1}} \quad (8.19)$$

因此只要分别测出输出端电压 E_{01}, E_{02} 值, 即可求出输入偏置电流 I_b .

这里要指出的是这种测试方法一个很大的缺点是要求电阻 R_{s1}, R_{s2} 严格匹配, 否则将造成非常大的误差. 假如 $R_{s1} = R_s, R_{s2} = R_s + \Delta R_s$, 那么当 S_1, S_2 断开时

$$E_A = E_- + I_{b1} R_s$$

$$E_B = E_+ + I_{b2} (R_s + \Delta R_s)$$

$$E_A - E_B = (E_- - E_+) + (I_{b1} - I_{b2}) R_s - I_{b2} \Delta R_s$$

$$V'_{os} - V_{os} = I'_{os} R_s - I_{b2} \Delta R_s$$

$$I'_{os} = \frac{V'_{os} - V_{os}}{R_s} + \frac{I_{b2} \Delta R_s}{R_s}$$

即

$$I'_{os} = I_{os} + \frac{I_{b2} \Delta R_s}{R_s}$$

失调电流相对误差为

$$\frac{I'_{os} - I_{os}}{I_{os}} \approx \frac{I_b \Delta R_s}{I_{os} R_s}$$

设 $I_b \approx 10 I_{os}$, 如果要求测试相对误差小于 1%, 则要求电阻的相对偏差 $\frac{\Delta R_s}{R_s} < 0.1\%$. 可见对 R_s 电阻的精度要求是相当苛刻的.

8.2.2 I_{os}, I_b 辅助运放测试法

图 8.5 是辅助运放测试 I_{os} 和 I_b 的实用电路图, $R_3 = R_4 = 100\text{k}\Omega, E_c = 0$.

测试 I_{os} 步骤:

① S_1, S_2 全合上, 测量 V_{os} .

② S_1, S_2 全断开, 测量 V_{os}' .

同反馈测试一样

$$I_{os} = \frac{E_0' - E_0}{R_s \cdot \frac{R_f}{R_1}} \quad (8.20)$$

E_0 是 S_1, S_2 全合上时,测得输出端电压. E_0' 是 S_1, S_2 全断开时,测得输出端电压.

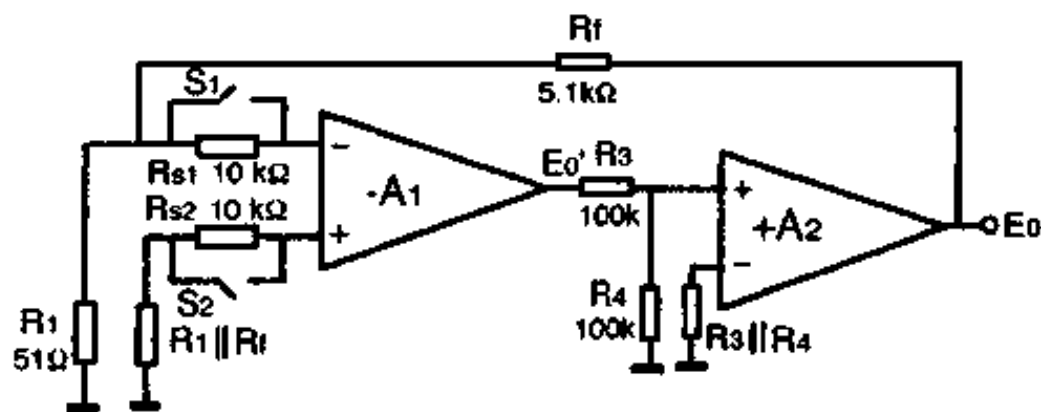


图 8.5 辅助运放法测试 I_{os}, I_b 电路

测试 I_b 步骤:

- ① 合上 S_2 , 断开 S_1 , 测得 E_{01} ;
- ② 断开 S_2 , 合上 S_1 , 测得 E_{02} . 则

$$I_b = \frac{E_{01} - E_{02}}{2R_f \cdot \frac{R_f}{R_1}} \quad (8.21)$$

E_{01}, E_{02} 是两次测得的输出端电压.

8.3 开环电压增益测试

开环电压增益是指集成运放在没有反馈的情况下,差模电压增益,即运放的输出端信号电压与两个输入端差模信号电压之比.

$$A_{d0} = \frac{\text{输出信号电压 } E_0}{\text{两输入端信号电压差 } E_{id}}$$

用分贝表示为

$$A_{d0} = 20 \log \frac{E_0}{E_{id}} \quad (\text{db})$$

开环电压增益是反映集成运放精度的一个重要参数. 虽然集

成运放很少在开环状态下应用,但开环电压增益越大,在闭环应用时,精度也就越高,因此人们总是追求高增益.

8.3.1 开环电压增益反馈测试法

根据开环电压增益的定义,应该用直流信号进行测试,但有时采用低频交流信号测量.这里介绍一种交流测试法——交流反馈测试法.测试电路如图 8.6 所示.

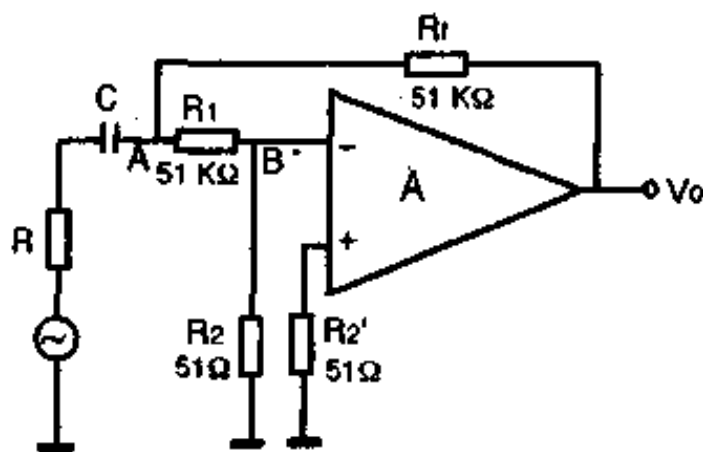


图 8.6 交流反馈法测试 A_{d0}

电路中 R_f 、 R_1 、 R_2 构成直流反馈, R_f 、 R 形成交流反馈, R_1 、 R_2 又起交流信号分压衰减作用. 设 B 点输入信号电压为 V_{iB} , 输出电压为 V_o , 则可以写出

$$A_d = \frac{V_o}{V_{iB}} \quad (8.22)$$

这里说明一下,为了区别于直流信号(E_o , E_{id}),输出端交流信号电压用 V_o 表示,输入端用 V_i 表示.

由于 B 点信号很小,难以精确测量,所以选择 A 点为输入信号测试点, A 点输入电压为 V_{iA} , 经衰减后有

$$V_{iB} = \frac{R_2}{R_1 + R_2} V_{iA} \quad (8.23)$$

代入(8.22)式得出

$$A_d = \frac{R_1 + R_2}{R_2} \cdot \frac{V_o}{V_{iA}} \quad (8.24)$$

在这式子中, V_o, V_{iA} 均可测出, R_1 和 R_2 是选定的, 从而可以算出待测运放开环电压增益 A_d . 用这种测试方法可以测出高增益运放 A_d , 但要注意几个细节问题:

① 输出电压 V_o 通常固定一个值, 如 $V_o = 5V$ (有效值), 以确保运放处于线性放大区.

② V_{iA} 信号很小, V_{iB} 更小, 因此 B 点到运放输入端要用屏蔽线连接, 线尽可能短, 以免干扰.

③ 测试频率必须选在增益—频率曲线平坦区, 使之测出的 $A_d = A_{d0}$ (A_{d0} 是直流开环电压增益).

8.3.2 开环电压增益辅助运放测试法

图 8.7 为辅助运放法测试开环电压增益 A_{d0} 的电路图. 图中 $-A_1$ 是待测运放, $+A_2$ 是辅助运放, R_L 是负载电阻, 按规定 $R_L = 2k\Omega$.

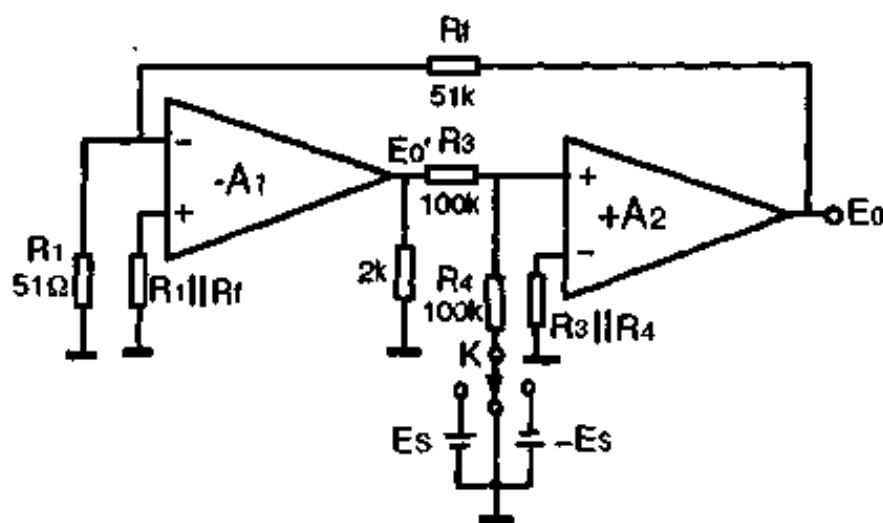


图 8.7 辅助运放测试法测试 A_{d0}

根据(8.5)式, 当 $R_3 = R_4$ 时, $E'_0 = -E_c$. 当开关 K 转向接地时, $E_c = 0$, 此时, 待测运放 ($-A_1$) 输出端电压 $E'_{o1} = 0$, 待测运放

($-A_1$)输入端电压为

$$E_{i1} = \beta_f E_{o1} \quad (8.25)$$

E_{o1} 为辅助运放输出端测出的电压. $\beta_f = \frac{R_1}{R_1 + R_f} \approx \frac{R_1}{R_f}$ 是反馈系数.

当开关 K 转向 E_s 时, $E_c = E_s$ (通常取 $E_s = 10V$), 此时: 待测运放($-A_1$)输出端电压为

$$E'_{o2} = -E_s$$

待测运放($-A_1$)输入端电压为

$$E_{i2} = \beta_f E_{o2} \quad (8.26)$$

E_{o2} 为 $E_c = E_s$ 时测得辅助运放($+A_2$)输出端电压值.

在这两次测量结果中:

待测运放($-A_1$)输入端电压变化为

$$E_{i2} - E_{i1} = \beta_f (E_{o2} - E_{o1})$$

待测运放($-A_2$)输出端电压变化为

$$E'_{o2} - E'_{o1} = -E_s - 0 = -E_s$$

$$\therefore A_{d0} = -\frac{E_s}{\beta_f (E_{o2} - E_{o1})} = -\frac{(R_f/R_1)E_s}{E_{o2} - E_{o1}} \quad (8.27)$$

R_f, R_1 是测试电路给定的, E_s 常用 $10V$, 这样只要两次测出辅助运放输出端电压值 E_{o2}, E_{o1} 值, 代入(8.27)式, 即可算出 A_{d0} .

集成运放有时正向开环电压增益 A_{d0}^+ 和负向开环电压增益 A_{d0}^- 是不对称的, 根据上述测试方法, 可以分别测出 A_{d0}^+, A_{d0}^- .

① 正向开环电压增益 A_{d0}^+ 测试: 当 $E_c = -E_s = -10V$ 时, $E'_{o2} = +10V$, 选取 $R_f/R_1 = 1000$, 则

$$A_{d0}^+ = \frac{10V \times 1000}{E_{o2} - E_{o1}} \quad (8.28)$$

② 负向开环电压增益 A_{d0}^- 测试: 当 $E_c = E_s = +10V$ 时, $E'_{o2} = -10V$. 选取 $R_f/R_1 = 1000$, 则

$$A_{d0}^- = -\frac{10V \times 1000}{E_{o2} - E_{o1}} \quad (8.29)$$

辅助运放法测试集成运放开环电压增益, 精度高, 误差小, 因

而在高增益集成运放测试中,多采用这种方法.

8.4 共模抑制比 CMRR 测试

当一个理想的运算放大器两个输入端加相同电压,即共模输入电压 E_{ic} 时,其输出电压应为零.但在实际运放中,由于运放的不对称性,输出电压并不为零,这个不为零的输出电压称为共模输出电压 E_{oc} . 共模输出电压 E_{oc} 与共模输入电压 E_{ic} 之比称为共模增益,用 A_c 表示.

$$A_c = \frac{E_{oc}}{E_{ic}} \quad (8.30)$$

因此,通常在运放输出端所测量的输出电压 E_o 实际上包含差模输出电压 E_{od} 和共模输出电压 E_{oc} , 即

$$E_o = E_{od} + E_{oc} = -A_d E_{id} - A_c E_{ic} \quad (8.31)$$

A_d 为差模电压增益, A_c 共模电压增益,负号表示输出与输入反相,当然我们希望 A_d 大、 A_c 小. 在此引进一个参数来表示 A_d 与 A_c 之比,称为共模抑制比,用 CMRR 表示.

$$\text{CMRR} = \frac{A_d}{A_c} \quad (8.32)$$

用分贝表示

$$\text{CMRR} = 20 \log \frac{A_d}{A_c} \quad (\text{db}) \quad (8.33)$$

共模抑制比表示一个集成运放对共模输入电压抑制能力. CMRR 越大,表明抑制能力越强.

8.4.1 CMRR 反馈测试法

图 8.8 是反馈法测试 CMRR 的电路图. 根据第二章实际运放模型,可以把图 8.8 等效成图 8.9, Σ_i 点为“虚地点”.

按图 8.9 可以写出

$$E_- - E_+ = -\frac{E_0}{A_d} - \frac{E_- + E_+}{2\text{CMRR}} + V_{os} \quad (8.34)$$

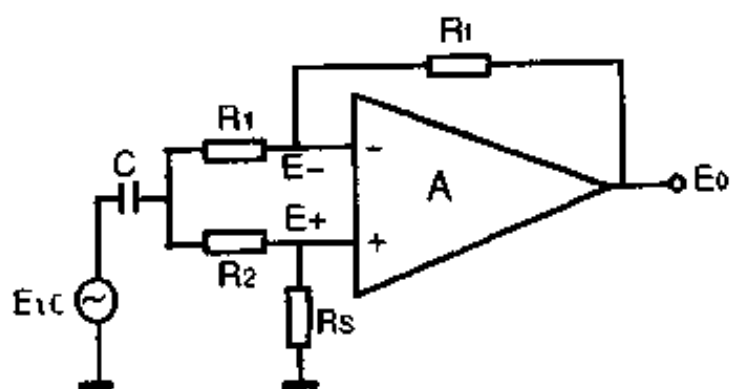


图 8.8 CMRR 反馈测试法

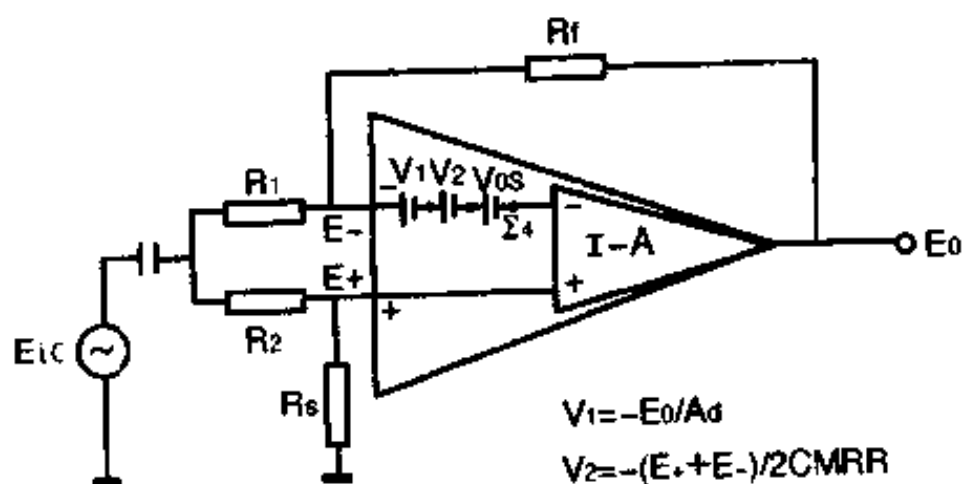


图 8.9 测试 CMRR 等效电路

下面求出 $E_- - E_+$, $E_- + E_+$ 表达式.

$$E_- = \frac{R_1}{R_f + R_1} (E_0 - E_{ic}) + E_{ic} \quad (8.35)$$

$$E_+ = \frac{R_s}{R_s + R_2} E_{ic} \quad (8.36)$$

$$\therefore E_- - E_+ = \frac{R_1}{R_f + R_1} E_0 - \left(\frac{R_1}{R_f + R_1} + \frac{R_s}{R_s + R_2} - 1 \right) E_{ic} \quad (8.37)$$

$$E_- + E_+ = \frac{R_1}{R_f + R_1} E_0 - \left(\frac{R_1}{R_f + R_1} - \frac{R_s}{R_s + R_2} - 1 \right) E_{ic} \quad (8.38)$$

把(8.37), (8.38)式代入(8.34)式得

$$\begin{aligned} & \frac{R_1}{R_f + R_1} E_0 + \left(1 - \frac{R_1}{R_f + R_1} - \frac{R_s}{R_s + R_2} \right) E_{ic} \\ &= -\frac{E_0}{A_d} - \frac{\frac{R_1}{R_f + R_1} E_0 + \left(1 - \frac{R_1}{R_f + R_1} + \frac{R_s}{R_s + R_2} \right) E_{ic}}{2\text{CMRR}} + V_{os} \end{aligned} \quad (8.39)$$

假定 $R_1 = R_2, R_f = R_s$ 严格成立, 则(8.39)式可以化简为

$$\left(R_1 + \frac{R_1 + R_f}{A_d} + \frac{R_1}{2\text{CMRR}} \right) E_0 = -\frac{R_f}{\text{CMRR}} E_{ic} + (R_1 + R_f) V_{os} \quad (8.40)$$

如忽略 V_{os} 影响, 即意味着在测试前先把失调电压 V_{os} 调零. 取 $R_f \gg R_1$, 再略去小量 $1/A_d$, 则(8.40)式化简为

$$\text{CMRR} \approx -\frac{R_f}{R_1} \cdot \frac{E_{ic}}{E_0}$$

取绝对值为

$$\text{CMRR} \approx \frac{R_f}{R_1} \cdot \frac{E_{ic}}{E_0} \quad (8.41)$$

或
$$\text{CMRR} \approx 20 \log \frac{R_f}{R_1} \cdot \frac{E_{ic}}{E_0} \quad (\text{db}) \quad (8.42)$$

因此可以通过测量 E_{ic}, E_0 测出 CMRR.

但要指出的是, 这个结果是假定了 R_1 与 R_2, R_s 与 R_f 严格相等下得出的, 如果 R_2 与 R_1, R_s 与 R_f 略有偏差, 都将会给 CMRR 带来很大误差. 因此这种方法测试 CMRR 对 R_1 与 R_2, R_s 与 R_f 的匹配度要求是非常苛刻的. 所以通常不多采用这种测试方法, 而常采用辅助运放法测试集成运放共模抑制比.

8.4.2 辅助运放法测试 CMRR

图 8.10 是辅助运放法测试 CMRR 的电路图。-A₁ 是待测运放，+A₂ 是辅助运放。

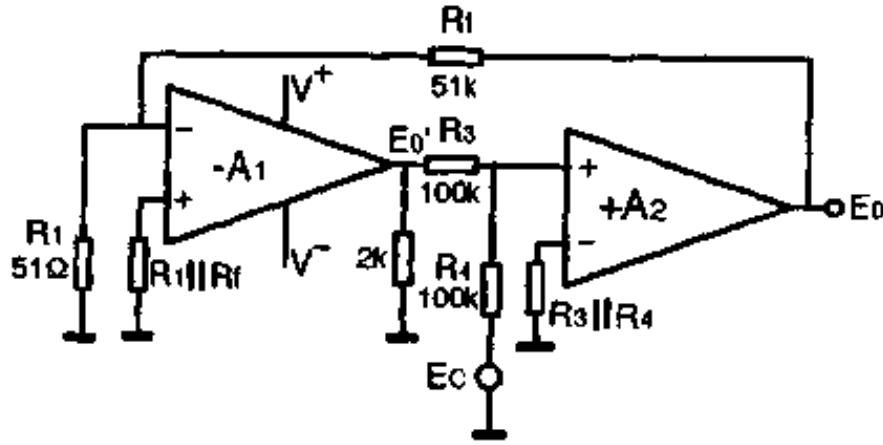


图 8.10 辅助运放法测试 CMRR 电路

在这个电路中，由于待测运放两个输入端都接地，不能直接加共模电压，因此采用正负浮动电源来等效一个共模电压。方法是这样的：

① 当 $E_c = 0, V^+ = 15V, V^- = -15V$ 时，输入端为零电位，这表示共模电压是零。

② 当 $E_c = 10V$ 时，待测运放输出端电压为 $-10V$ 。此时，若把待测运放输出端 $-10V$ 电压作为“基准电位”，原来为零电位的两个输入端相对于这一基准电位，就等于在输入端加 $+10V$ 的共模电压。而运放电源电压原来为 $\pm 15V$ ，现在以 $-10V$ 为基准中点电位，所以正电源电压应该调到 $+5V$ ，那么相对于 $-10V$ 基准中点电位，则为 $+15V$ ，负电源应调至 $-25V$ ，相对于 $-10V$ 中点电位则为 $-15V$ ，调整后运放本身的工作电压也是对称的。同样，如 $E_c = -10V$ ，则待测运放输出端电压为 $E'_o = 10V$ ，把 $+10V$ 作为基准电位，也相当于在输入端加 $-10V$ 共模电压，此时电源电压应调整至 $V^+ = +25V, V^- = -5V$ 。这里要注意的是，为保护待测运放，

改变待测运放输出端电压和变动电源电压应同步进行。

下面我们要导出测试 CMRR 表达式。

根据第二章实际运放模型,在不考虑 $-E_o/A_d$ 项时,图 8.10 可以等效为图 8.11 所示。

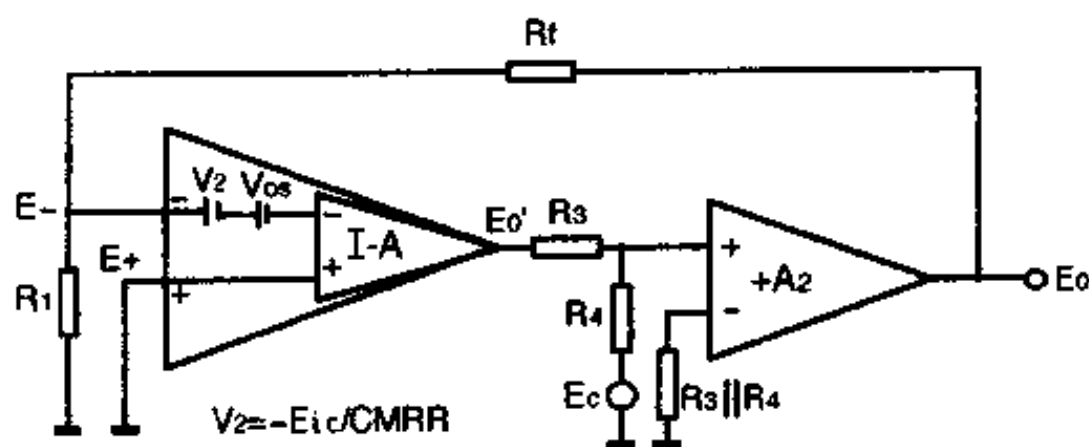


图 8.11 测试 CMRR 等效电路

Σ_i 为虚地点,可写出

$$E_- = \frac{R_1}{R_1 + R_f} \cdot E_o = -\frac{E_{ic}}{\text{CMRR}} + V_{os}$$

式中 E_{ic} 为共模输入电压。

$$\therefore E_o = \frac{R_f + R_1}{R_1} \left(-\frac{E_{ic}}{\text{CMRR}} + V_{os} \right) \quad (8.43)$$

① 当 $E_c = +10\text{V}$ 时, $E'_o = -10\text{V}$, 基准电位为 -10V , 相当于输入端加共模电压 $E_{ic} = +10\text{V}$. 此时待测运放的电源要相应变动为 $V^+ = +5\text{V}$, $V^- = -25\text{V}$. 把 $E_{ic} = +10\text{V}$ 代入(8.43)式得:

$$E_o^+ \approx \frac{R_f}{R_1} \left(-\frac{10\text{V}}{\text{CMRR}} + V_{os} \right) \quad (8.44)$$

② 当 $E_c = -10\text{V}$ 时, $E'_o = +10\text{V}$, 基准电位为 $+10\text{V}$, 输入共模电压等效为 $E_{ic} = -10\text{V}$. 运放电源变动为 $V^+ = +25\text{V}$, $V^- = -5\text{V}$. 把 $E_{ic} = -10\text{V}$ 代入(8.43)式得

$$E_o^- \approx \frac{R_f}{R_1} \left(\frac{10\text{V}}{\text{CMRR}} + V_{os} \right) \quad (8.45)$$

$$\therefore E_o^- - E_o^+ = \frac{R_f}{R_1} \cdot \frac{20V}{CMRR}$$

$$CMRR = \frac{R_f}{R_1} \cdot \frac{20V}{E_o^- - E_o^+} \quad (8.46)$$

或
$$CMRR = 20 \log \frac{R_f}{R_1} \cdot \frac{20V}{E_o^- - E_o^+} \quad (\text{db}) \quad (8.47)$$

所以只要通过两次测量： $E_i = 10V$ 时测出 E_o^+ ； $E_i = -10V$ 时测出 E_o^- ，即可按(8.46)式算出 CMRR. 这种测量方法不必先把 V_{os} 调零.

象开环电压增益一样 CMRR 也可分为 $CMRR^+$ 和 $CMRR^-$ ，这里不再重复讲述其测试方法.

8.5 集成运放转移特性测试

所谓集成运放的转移特性，就是输出差模电压 E_o 和输入差模电压 E_{id} 之间的关系曲线，如图 8.12 所示. 转移特性曲线测试常用来粗略判断集成运放的性能，特别在运放芯片中间测量时常用之.

由图 8.12 转移特性曲线可以直接观察到：

① 开环电压增益 A_d ：转移特性曲线斜率 E_o/E_{id} 即为集成运放的开环电压增益 A_d . 曲线越陡， A_d 越大.

② 观察失调电压 V_{os} ：根据失调电压定义，输出为零时，输入端的补偿电压即为失调电压 V_{os} . 反映在曲线上，当 $E_o = 0$ 时， $V_A = V_{os}$.

③ 观察最大输出幅度 V_{op}^+ 、 V_{op}^- ：在转移特性曲线趋于饱和时，如果再增大输入信号，输出幅度不变，此时 $E_{op}^+ = V_{op}^+$ ， $E_{op}^- = V_{op}^-$.

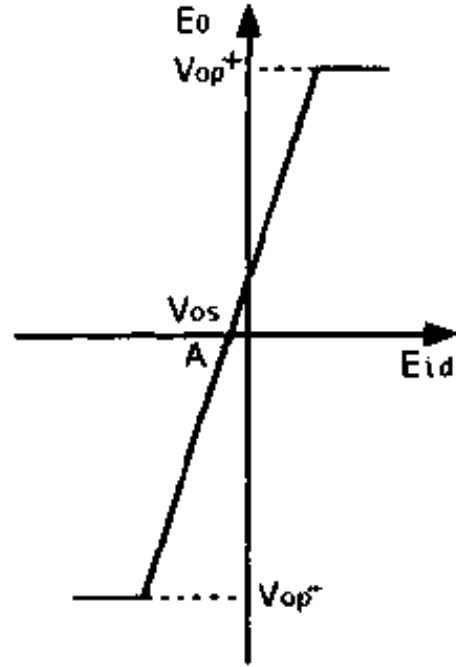


图 8.12 集成运放转移特性

转移特性曲线测试电路如图 8.13 所示.

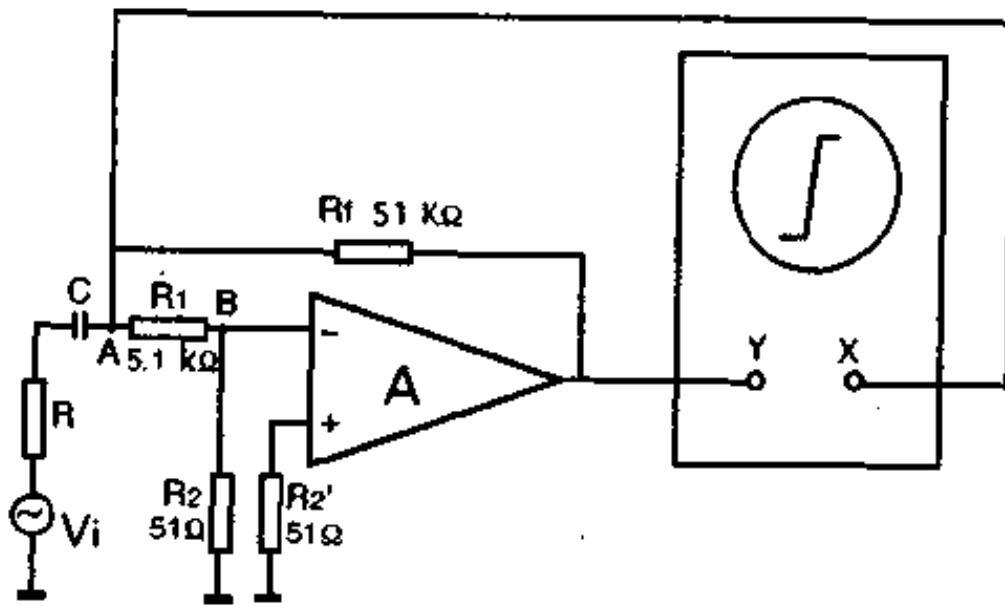


图 8.13 转移特性曲线测试电路

8.6 集成运放上升速率 SR 测试

所谓集成运放的上升速率是指运放输入端输入一个大幅度阶跃脉冲时,输出电压的上升变化速度,如图 8.14 所示,从负峰值到正峰值的最大变化速率,用符号 SR 表示.

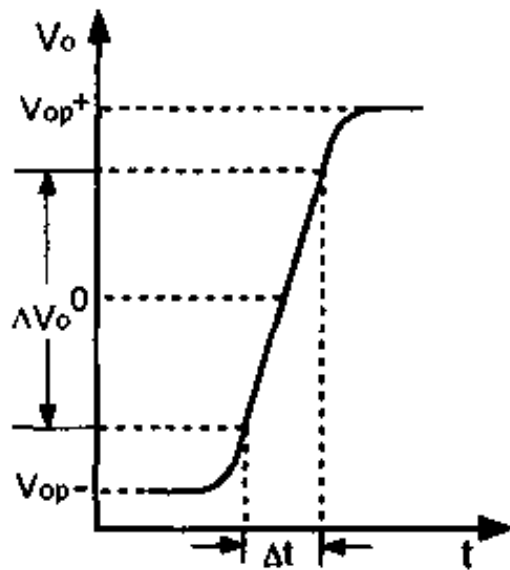


图 8.14 大信号下输出响应

$$SR = \frac{\Delta V_o}{\Delta t} (\text{V}/\mu\text{s}) \quad (8.48)$$

上升速率是描写集成运放大信号下瞬态响应的一个交流参数.在不同的反馈深度闭环组态下,SR 测量结果是不同的,因此通常规定在单位增益跟随组态下测试.图 8.15 是一个具体的测试电路.在测试中,要求

脉冲发生器出来的阶跃脉冲的前沿要陡. 另外运放在跟随组态下, 频率补偿要得当, 如果输出波形有振荡, 如图 8.16(a)所示, 或者有微振荡如图 8.16(b)所示, 都不能进行测量. 只能在补偿到输出波形刚不振荡时(如图 8.16(c)所示), 取在线性区测出 ΔV_o 和相应的 Δt , 此时 $SR = \Delta V_o / \Delta t$.

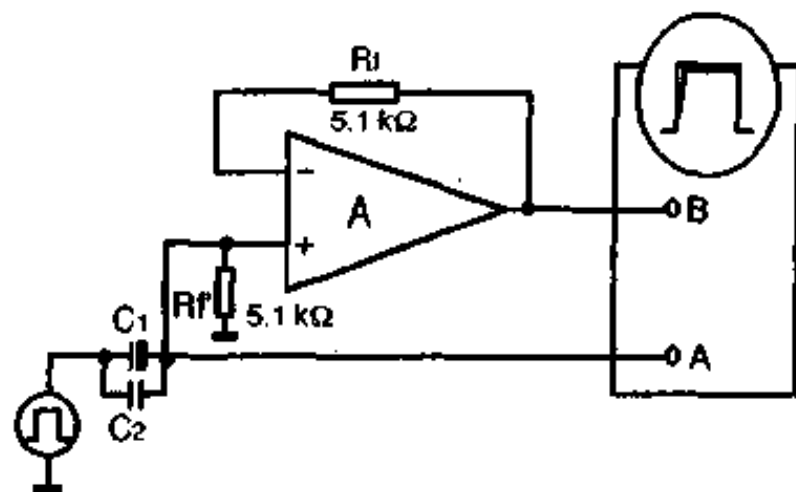


图 8.15 上升速率测试电路



图 8.16 在不同的补偿下输出波形

第九章 MOS 集成运放

第一块双极型集成电路运算放大器出现在 1964 年,但在其后近十年的时间里,MOS 集成技术并没有被模拟集成电路所采用,这是因为 MOS 晶体管参数离散性较大,跨导低,增益低,用 MOS 晶体管组成的集成运放差分输入级失调电压大等原因.但由于 MOS 晶体管具有输入阻抗高、功耗低、集成度高、占有芯片面积小、抗辐射能力强等优点,因而一直引起人们的兴趣.随着模拟集成电路的发展,工艺水平的提高,特别在模—数转换中,人们希望用 MOS 工艺技术,在同一衬底上实现模拟—数字集成系统;另外日用产品中的低功耗要求,也希望采用 MOS 模拟集成电路,由于这些原因,MOS 模拟集成电路在 70 年代中期得以迅速发展,出现许多高性能 MOS 集成电路运算放大器等 MOS 模拟集成电路.

这一章我们先讨论 MOS 晶体管基本知识,并在此基础上,讨论 MOS 集成运放单元电路,然后再对 Bi—MOS、全 MOS 典型电路进行分析,以加深对 MOS 集成运放单元电路“积木块”的理解,为分析、设计 MOS 集成运放和其它模拟集成电路提供基础.

9.1 MOS 晶体管

9.1.1 MOS 晶体管结构及工作原理

图 9.1 是 N 沟 MOS 晶体管结构示意图.

在非自对准技术中,它是在 p—Si 基片上,用扩散或离子注入技术形成两个高浓度的 N^+ 区,构成 MOS 晶体管的“源”(S)和

“漏”(D),源与漏之间的间距为 L ,称之沟道长度.然后在源和漏之间的硅表面上,氧化一层很薄的氧化层(SiO_2),在氧化层上再蒸发一层“金属”,作为“栅极”(G),并同时蒸上源,漏电极,形成MOS晶体管.

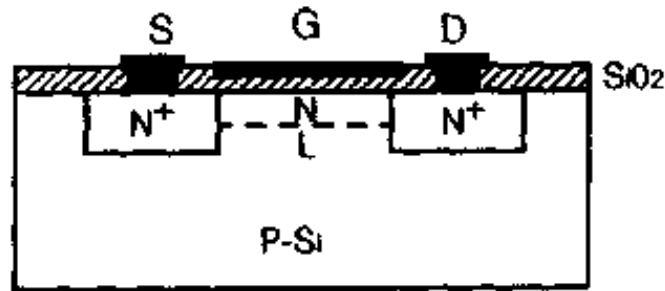


图 9.1 MOS 晶体管结构示意图

由于这种结构从上至下依次为“金属”—氧化物—半导体(Metal-Oxide-Semiconductor),因此这种晶体管叫做 MOS 晶体管.当然今天的 MOS 晶体管,“栅极”并不一定采用金属,它可以用掺杂的多晶硅作为栅极,称为“硅栅”,或用难熔金属硅化物和多晶硅构成“复合栅”.

图 9.2 是 N—沟 MOS 晶体管工作原理图.

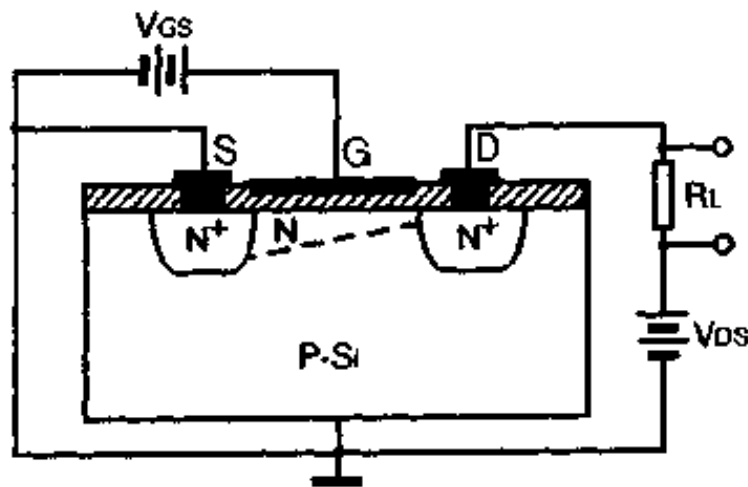


图 9.2 NMOS 晶体管工作原理图

假定 MOS 晶体管没有原始沟道,即 $V_{GS}=0$ 时,栅氧化层下面的 p-Si 不存在反型层.这时漏源之间即使加一电压 V_{DS} ,漏极电流 $I_{DS}=0$.

当栅极电压加到 $V_{GS} \geq V_T$ (阈值电压)时,则栅氧化层下面出现“反型层”,即 p 型表面“反型”成 N 型,于是在半导体表面就形成 $N^+ - N - N^+$ 结构,出现了 N 型沟道.这时,如果在漏-源之间加一正电压 V_{DS} ,那么电子就会从源区出发,经过“沟道”流向漏区,形成漏极电流 I_{DS} .

显而易见,漏极电流 I_{DS} 大小跟沟道厚度有关,而沟道厚度是受栅电压 V_{GS} 控制的,当 V_{GS} 加大时,沟道变厚,漏极电流 I_{DS} 增大,漏极电流 I_{DS} 的大小随栅压大小而改变,如在输出端加一负载 R_L ,则负载 R_L 上的输出信号将随着栅压 V_{GS} 变化而变化.栅压 V_{GS} 很小的变化,就会引起输出信号很大变化,从而达到信号放大作用.

MOS 晶体管跟双极型晶体管相比,主要有以下特点:

①MOS 晶体管是多数载流子器件.双极型晶体管是依赖于注入基区的少数载流子在基区中扩散工作的,同时基区中多数载流子也参与工作,由于两种载流子都参与工作,故称双极型晶体管.而 MOS 晶体管是依赖于多数载流子在沟道中漂移运动工作的,故 MOS 晶体管也称单极型晶体管.由于它是靠多子工作的管子,因而受温度,辐射等因素影响较小,所以 MOS 管热稳定性、抗辐射能力都较好.

②MOS 晶体管是电压控制器件.双极型晶体管放大作用是受注入电流控制的,是电流控制器件;MOS 管工作是受栅极电压控制的,它是电压控制器件.

③MOS 晶体管是表面场效应器件.双极型晶体管工作时,电流流过半导体内部.MOS 晶体管的电流是从半导体表面流过,因此半导体表面性质跟 MOS 管特性有着密切的关系.

④MOS 晶体管输入阻抗高.双极型晶体管共射组态下其输入电阻为几十 $k\Omega$,而 MOS 晶体管共源组态下,其输入电阻就是栅

B

氧化层的绝缘电阻,可达 $10^{12}\Omega$ 以上.这是 MOS 晶体管一个十分可贵的特性.若以 MOS 差分对管作为集成运放输入级将可大大提高其输入阻抗.

⑤MOS 晶体管自动隔离. MOS 晶体管栅极有绝缘介质,对于 N 沟 MOS 管来说,源区、漏区与沟道组成一体的 N 型区,它与 p 型衬底之间形成 pn 结,漏极加正电位使 pn 结处于反偏,从而把 N 型区和 p 型衬底自动隔离起来.这样在 MOS 集成电路中,不需要“隔离区”,集成度高.对于 P 沟 MOS 管,同样可以实现自动隔离.这一点,在集成电路技术中,也是十分可贵的.

⑥MOS 晶体管可作电阻.在图 9.2 中可以看到,在栅极上加一定的栅压后便出现沟道,这样源区、漏区与沟道连成一体,构成了电阻, MOS 管沟道厚度越小,则这电阻值也就越大,因此在 MOS 集成电路中,可用面积很小的 MOS 晶体管代替双极型集成电路中占面积很大的扩散电阻.

MOS 晶体管有四种基本类型:

(1)N 沟耗尽型 MOS 晶体管

由于氧化层中可动正电荷,固定正电荷的影响以及 $\text{SiO}_2\text{-Si}$ 界面态的存在,在未加栅源电压时,p 型 Si 表面就存在反型沟道,加上漏源电压 V_{DS} 后,就有漏极电流 I_{DS} .如果加一负栅压(相对于源) V_{GS} ,沟道将变窄,漏极电流 I_{DS} 就变小.如果加更负的栅压 V_{GS} ,漏极电流 I_{DS} 将更小.当 $V_{GS}=V_P$ 时,沟道消失, $I_{DS}=0$, V_P 称夹断电压.

这种结构的 MOS 晶体管,其沟道为 N 型;当 $V_{GS}=0$ 时,表面反型;加了一定的负栅压后,表面由“反型”变成“耗尽”,故称 N 沟耗尽型 MOS 晶体管.

(2)N 沟增强型 MOS 晶体管

如果以 p 型 Si 为衬底的 MOS 晶体管中,适当控制其掺杂浓度和表面态密度,则可在 $V_{GS}=0$ 时,p 型 Si 表面不存在反型层,即没有原始沟道,即使加 V_{DS} , $I_{DS}=0$;当加正栅压 $V_{GS}\geq V_T$ 时,表面

出现沟道,如果继续加大 V_{GS} ,则 $I_{DS} \uparrow$. V_T 称开启电压. 这种 MOS 晶体管称 N 沟增强型 MOS 晶体管.

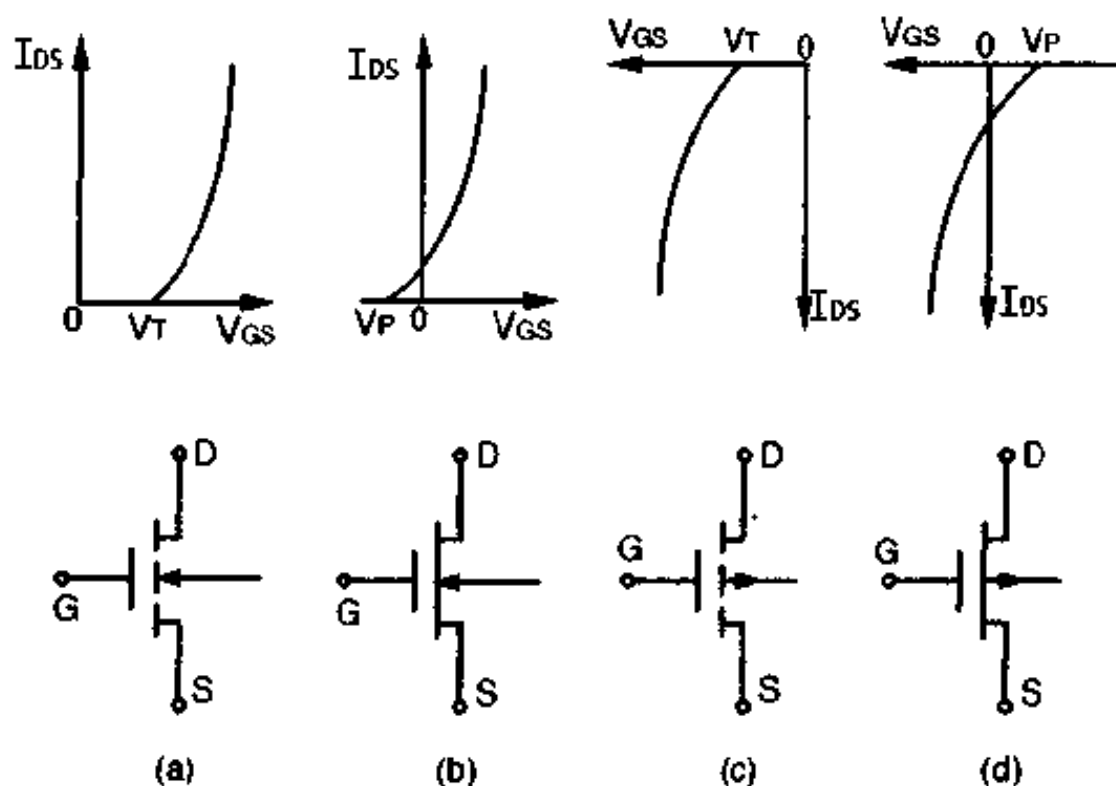
(3) P 沟增强型 MOS 晶体管

它是以 n 型 Si 为衬底的 MOS 晶体管. 由于表面态存在,使 n 型半导体表面形成积累层. 当 $V_{GS} = 0$ 时,没有沟道出现, $I_{DS} = 0$. 如果栅源间加一负栅压,当 $V_{GS} = V_T (< 0)$ 时, P 型沟道开始形成,出现 I_{DS} ; 如果加更负的 V_{GS} ,则 I_{DS} 增加. 这种 MOS 晶体管称 P 沟增强型 MOS 晶体管.

(4) P 沟耗尽型 MOS 晶体管

这是以 n 型 Si 为衬底的 MOS 晶体管. 当 $V_{GS} = 0$ 时,就存在沟道,当 V_{GS} 加正偏压时,沟道变窄, $I_{DS} \downarrow$; 当 V_{GS} 向正向加至 $V_{GS} = V_P$ 时,沟道消失, $I_{DS} = 0$. 这种 MOS 管称 P 沟耗尽型 MOS 晶体管.

以上四种类型 MOS 晶体管转移特性及符号如图 9.3 所示.



NMOS 增强型 NMOS 耗尽型 PMOS 增强型 PMOS 耗尽型

图 9.3 MOS 晶体管转移特性及符号表示

9.1.2 MOS 晶体管特性方程和特性曲线

(1) MOS 晶体管电流—电压特性方程

根据半导体表面理论,可以推导出 MOS 晶体管电流—电压关系的简化方程为

$$I_{DS} = \pm K[2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \quad (9.1)$$

式中: V_{GS} ——栅压(栅源电压);

V_T ——MOS 晶体管阈值电压(开启电压,夹断电压统称);

V_{DS} ——漏源电压;

$K = K' \frac{W}{L}$ ——导电因子或 K 因子;

$K' = \frac{\mu_p^2 C_i}{2}$ ——本征导电因子;

μ_p^2 ——沟道中电子或空穴迁移率;

$C_i = \frac{\epsilon_0 \epsilon_{SiO_2}}{d_i}$ ——氧化层单位面积电容;

ϵ_0 ——真空电容率(8.85×10^{-14} F/cm);

ϵ_{SiO_2} —— SiO_2 介电常数, d_i ——氧化层厚度;

W ——沟道宽度, L ——沟道长度。

通常规定:漏到源的电流方向规定为电流的正方向,漏源电压的正负也按此规定。这样:

对于 NMOS,特性方程为

$$I_{DS} = K[2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \quad (9.2)$$

对于 PMOS,特性方程为

$$I_{DS} = -K[2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \quad (9.3)$$

在 V_{DS} 较小时, MOS 晶体管电流—电压特性简化方程(9.1)式与完整方程符合较好。因此通常应用简化方程即可。

(2) MOS 晶体管输出特性曲线

MOS 晶体管输出特性曲线指在共源组态下,对应于某一定栅

压 V_{GS} , 漏极电流 I_{DS} 跟漏源电压 V_{DS} 关系曲线. 为分析方便, 我们以 N 沟增强型 MOS 管为例进行讨论. N 沟 MOS 晶体管电流—电压特性方程由 (9.2) 式表示.

① 当 $V_{DS} \ll V_{GS} - V_T$ 时, 特性方程 (9.2) 式可以改写成

$$I_{DS} = K[2(V_{GS} - V_T)V_{DS}] \quad (9.4)$$

可见在 V_{DS} 较小时, I_{DS} 跟 V_{DS} 成线性关系, 这个区域称为线性区.

② 当 $V_{DS} < V_{GS} - V_T$ 时, 此时 V_{DS}^2 不能略去, 特性方程为

$$I_{DS} = K[2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \quad (9.5)$$

在这个区域, I_{DS} 跟 V_{DS} 成二次函数关系. I_{DS} 随 V_{DS} 增加的速率逐渐减慢, 特性曲线开始弯曲.

③ 当 $V_{DS} = V_{GS} - V_T$ 时, 特性方程可以简写成:

$$I_{DS} = K(V_{GS} - V_T)^2 \quad (9.6)$$

这说明当 $V_{DS} = V_{GS} - V_T$ 时, I_{DS} 跟 V_{DS} 理论上说是无关的, 特性曲线开始进入饱和区.

④ 当 $V_{DS} > V_{GS} - V_T$ 时, 由于 $V_{DS} = V_{GS} - V_T$ 时, 在漏极处沟道被夹断, 漏极处不再有反型层. 如图 9.4 所示.

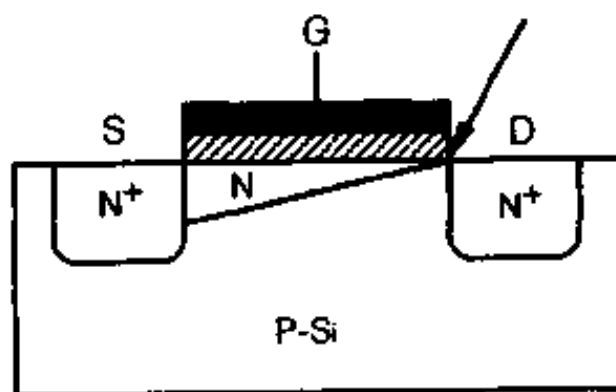


图 9.4 $V_{DS} = V_{GS} - V_T$ 时沟道夹断图

当 V_{DS} 继续增大时, 夹断点由漏极向源极移动, 如图 9.5 所示.

这时增加的 V_{DS} , 几乎都降落在漏极与夹断点之间的高阻层上, 因此当沟道被夹断后, 再增大 V_{DS} 时, I_{DS} 基本上保持不变. 实际

上,当 $V_{DS} > V_{GS} - V_T$ 时,夹断点由漏极向源极移动,夹断长度 L_g 随之增加,有效沟道长度 $L' = L - L_g$ 随之缩短,其结果

$$I_{DS} = K' \frac{W}{L} (V_{GS} - V_T)^2$$

变为
$$I'_{DS} = K' \frac{W}{L'} (V_{GS} - V_T)^2 = I_{DS} \frac{L}{L'}$$

$$L' < L \Rightarrow I'_{DS} > I_{DS}$$

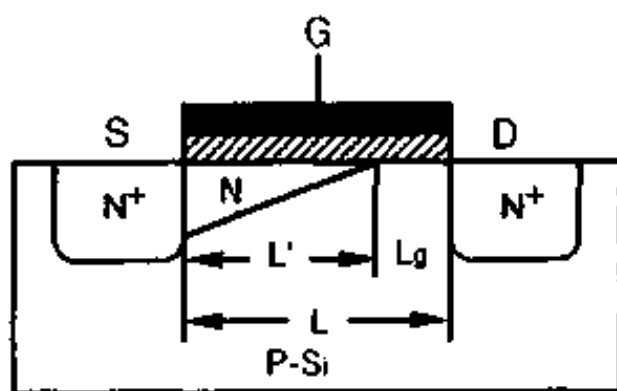


图 9.5 $V_{DS} > V_{GS} - V_T$ 时沟道夹断图

所以当 $V_{DS} > V_{GS} - V_T$ 后,沟道长度 L 受到漏源电压 V_{DS} 调制,使得有效沟道长度随着 V_{DS} 增加而缩短,而沟道区电压降仍为 $V_{GS} - V_T$. 这样随着 V_{DS} 增加 I_{DS} 也略有增加. 这就是所谓 MOS 晶体管沟道长度调制效应. 为表达 MOS 管沟道调制效应,在饱和区的电流—电压特性方程应改为

$$I_{DS} = K (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad (9.7)$$

参量 λ 表示沟道调制效应影响,单位为 V^{-1} . 在沟道长度 $L = 10\mu\text{m}$ 时, $\lambda \approx 0.03V^{-1}$. 沟道长度 L 越短,沟道调制效应越明显, λ 值越大.

综上所述, MOS 晶体管电流—电压输出特性曲线可划分为

$$\left\{ \begin{array}{l} \text{截止区} \quad V_{GS} < V_T \\ \text{非饱和区} \left\{ \begin{array}{l} \text{线性区} \quad V_{DS} \ll V_{GS} - V_T \\ \text{非线性区} \quad V_{DS} < V_{GS} - V_T \end{array} \right. \\ \text{饱和区} \quad V_{GS} \geq V_{DS} - V_T \end{array} \right.$$

图 9.6 是 N 沟增强型 MOS 晶体管输出特性.

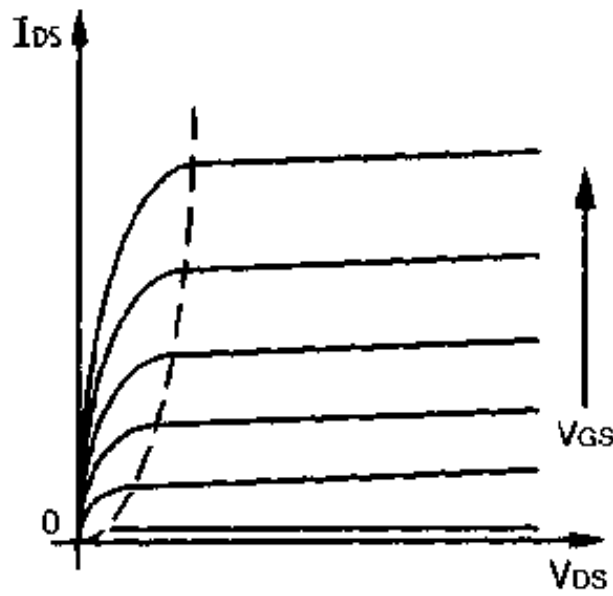


图 9.6 N 沟增强型 MOS 管输出特性

9.1.3 MOS 晶体管阈值电压

在 MOS 晶体管电流—电压特性方程中,可以看到有二个参数,一是阈值电压 V_T ,二是导电因子 K .这两个参数都是 MOS 晶体管设计和工艺的重要参数.在这一节我们将根据半导体表面理论,导出阈值电压 V_T 的具体表达式.

MOS 晶体管是通过表面反型沟道导电的.出现反型导电沟道的条件,就是要求半导体表面达到“强反型”.MOS 晶体管阈值电压就是使半导体表面产生强反型时所需要的栅极电压.在 MOS 系统中,既存在“栅金属”与半导体功函数差,又存在氧化层中的正电荷效应.因此阈值电压的一部分是用来消除这些效应对能带的影响,使能带恢复平带;另一部分电压降落氧化层上,余下部分使半导体表面产生强反型.

(1) 半导体表面强反型条件

在半导体物理中已经知道,半导体表面和体内一样,电子和空

穴浓度是由经典的麦克斯韦—玻尔兹曼统计来确定的。

$$n = n_i e^{\frac{E_F - E_i}{kT}} \quad (9.8)$$

$$p = n_i e^{\frac{E_i - E_F}{kT}} \quad (9.9)$$

式中： n_i ——本征载流子浓度， E_i ——本征费米能级， E_F ——费米能级

下面以 n 型半导体为例，分析表面产生强反型的条件。

对于 n 型半导体， $n \gg p$ ，

即

$$n_i e^{\frac{E_F - E_i}{kT}} \gg n_i e^{\frac{E_i - E_F}{kT}}$$

得出

$$E_F \gg E_i \quad (9.10)$$

这说明 n 型半导体费米能级 E_F 远离禁带中央，而靠近导带底 E_c 。

当表面势 $V_s < 0$ 时，表面能带向上弯曲，如图 9.7(a)，n 型半导体表面出现耗尽。

当表面势 V_s 更负时，能带继续向上弯曲，当表面处 $E_F = E_i$ 时，如图 9.7(b)，表面显现本征， $n = n_i$ 。

当表面势 V_s 更加负时，使得表面 $E_i - E_F$ 的间距等于体内 $E_F - E_i$ 的间距，如图 9.7(c)，这时表面空穴浓度 p 等于体内电子浓度 n 。这种情况就叫做“强反型”。因此产生强反型条件是

$$(E_i - E_F)_{\text{表面}} = (E_F - E_i)_{\text{体内}} \quad (9.11)$$

通常引进一个常用的参数 V_F ，叫费米势，定义为

$$V_F = -\frac{E_F - E_i}{q} \quad (9.12)$$

这样，表面产生“强反型”的条件是表面势为

$$V_s = 2V_F \quad (9.13)$$

对 n 型半导体，体内的电子浓度 n 和施主浓度 N_D 相等，则

$$N_D = n = n_i e^{\frac{E_F - E_i}{kT}} = n_i e^{-\frac{qV_F}{kT}}$$

$$V_F = -\frac{kT}{q} \ln \frac{N_D}{n_i} \quad (9.14)$$

对 p 型半导体, 同样得出

$$V_F = \frac{KT}{q} \ln \frac{N_A}{n_i} \quad (9.15)$$

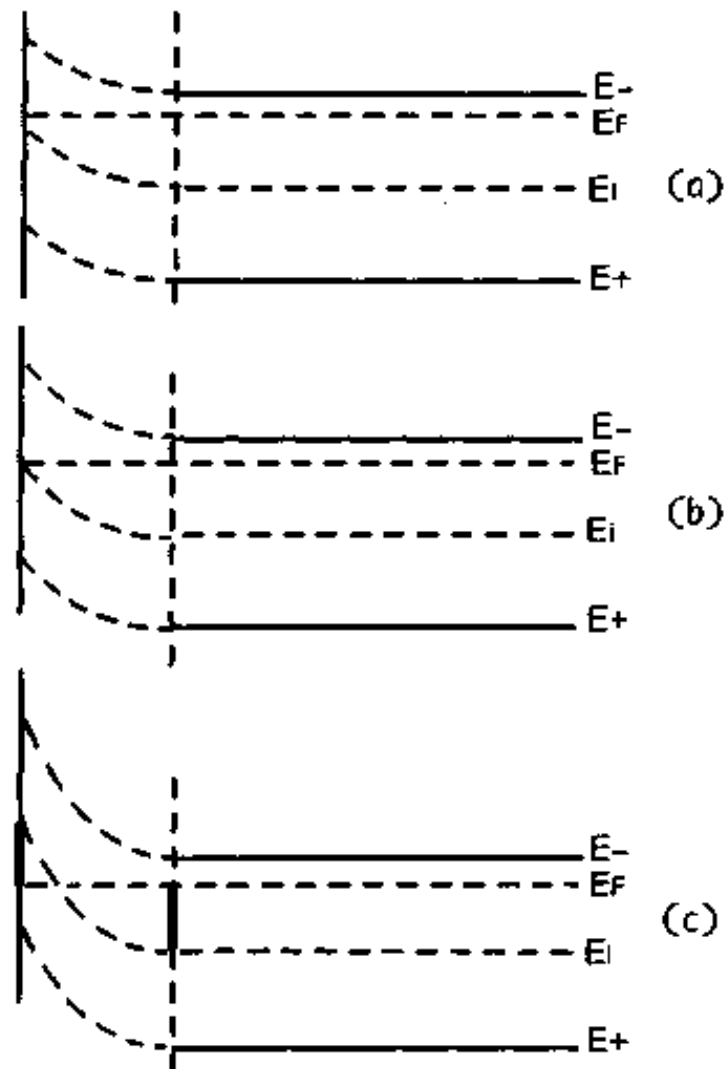


图 9.7 表面能带图

(2) 理想 MOS 晶体管阈值电压

所谓理想情况是指:

- ① 不考虑栅“金属”和半导体的功函数差, 氧化层是绝对绝缘的.
- ② 氧化层中不存在固定电荷、可动电荷, 也不存在 Si-SiO₂ 界面态.

在这种假设条件下, 阈值电压就是氧化层中的电压降 V_i 和半导体表面产生强反型的表面势 V_s 之和,

$$\text{即} \quad V_T = V_s + V_i \quad (9.16)$$

下面用耗尽层近似理论, 导出 V_i 表达式. 所谓耗尽层近似, 就是把耗尽层中可动电荷 (n 型半导体为电子), 看成“完全耗尽”. 而且耗尽层与半导体内部之间有明显的界线, 耗尽层中空间电荷密度看成就是电离施主或受主浓度.

对于 n 型半导体, 空间电荷密度为

$$\rho(x) = qN_D \quad (9.17)$$

按一维泊松方程

$$\begin{aligned} \frac{d^2V}{dx^2} &= -\frac{\rho(x)}{\epsilon_0\epsilon_s} = -\frac{qN_D}{\epsilon_0\epsilon_s} \\ \frac{dE(x)}{dx} &= \frac{qN_D}{\epsilon_0\epsilon_s} \\ E(x) &= \frac{qN_D}{\epsilon_0\epsilon_s}x + C_1 \end{aligned} \quad (9.18)$$

通常选取半导体表面处 $x=0$, 并规定空间电荷区体内一侧为零电位, 耗尽层厚度设为 x_d .

这样根据边界条件 $x=x_d$ 时, $E(x_d)=0$, 代入 (9.18) 式得

$$C_1 = -\frac{qN_D}{\epsilon_0\epsilon_s}x_d \quad (9.19)$$

$$E(x) = -\frac{qN_D}{\epsilon_0\epsilon_s}(x_d - x) \quad (9.20)$$

$$\text{即} \quad \frac{dV(x)}{dx} = \frac{qN_D}{\epsilon_0\epsilon_s}(x_d - x)$$

$$V(x) = -\frac{qN_D}{2\epsilon_0\epsilon_s}(x_d - x)^2 + C_2 \quad (9.21)$$

按边界条件 $x=x_d$ 时, $V(x_d)=0$, 代入 (9.21) 式, 求得 $C_2=0$, 所以

$$V(x) = -\frac{qN_D}{2\epsilon_0\epsilon_s}(x_d - x)^2 \quad (9.22)$$

当 $x=0$ 时, $V(0)=V_s$, 代入 (9.22) 式得出

$$V_i = -\frac{qN_D}{2\epsilon_0\epsilon_s}x_d^2 \quad (9.23)$$

$$x_d = \left[\frac{2\epsilon_0\epsilon_s}{qN_D}(-V_i) \right]^{\frac{1}{2}} \quad (9.24)$$

因此对 P 沟 MOS 耗尽层中单位面积电荷为

$$Q_B = qN_D x_d = [2\epsilon_0\epsilon_s qN_D(-V_i)]^{\frac{1}{2}} \quad (9.25)$$

同样的方法可以得出 N 沟 MOS

$$Q_B = -(2\epsilon_0\epsilon_s qN_A V_i)^{\frac{1}{2}} \quad (9.26)$$

式中 ϵ_0 为真空电容率, ϵ_s 半导体介电常数.

这样在栅电极上就有等量异号电荷 $-Q_B$ 出现, 于是栅极对半导体表面就构成了以 SiO_2 为介质的电容器, 电容器电压为 V_i .

$$V_i = -\frac{Q_B}{C_i} \quad (9.27)$$

C_i 为氧化层单位面积电容, $C_i = \frac{\epsilon_0\epsilon_{\text{SiO}_2}}{d_i}$. ϵ_{SiO_2} 为 SiO_2 介电常数, d_i 为氧化层厚度.

因此理想的 MOS 晶体管阈值电压为

$$V_T = V_s + V_i = V_s - \frac{Q_B}{C_i} \quad (9.28)$$

(3) 考虑“栅金属”与半导体功函数差影响后的 MOS 晶体管阈值电压

在 MOS 结构中, 由于“栅金属”和半导体的功函数不同, 而氧化层又不是绝对绝缘的, 因此, 栅金属和半导体之间可以通过氧化层交换电子, 从而造成半导体与栅金属之间的电位差, 使半导体表面能带发生弯曲, 要使能带恢复平直, 就必须在栅极上附加一个电压.

设栅金属功函数 W_m , 费米能级为 E_{FM} . 半导体功函数为 W_s , 费米能级为 E_F . 两者接触前能带图如图 9.8 所示.

当栅金属和半导体接触后, 假如 $W_m < W_s$, 那么电子就会从栅

金属流向半导体,直至两边费米能级相同达到平衡为止.其结果,金属表面缺少电子而带正电;半导体表面电子堆积而形成负的空间电荷区,表面能带向下弯曲如图 9.9 所示.

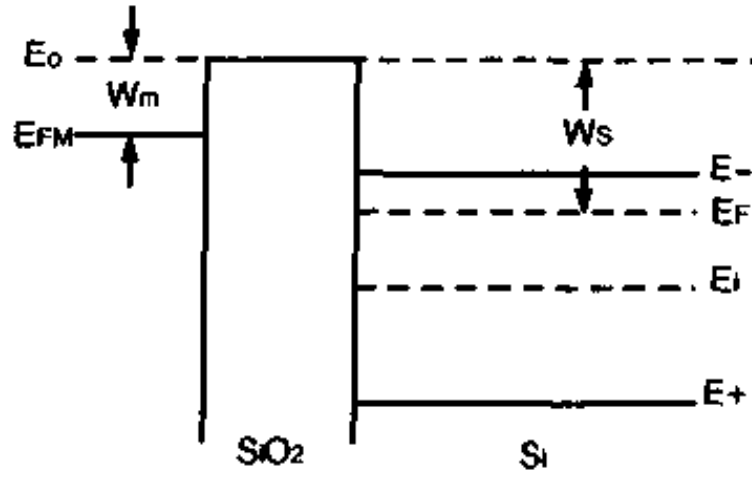


图 9.8 接触前能带图

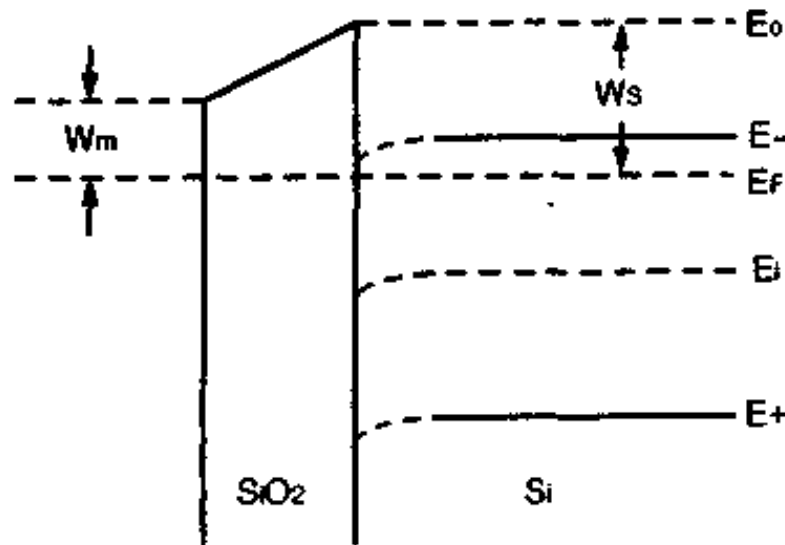


图 9.9 接触后能带图

设栅金属一边电位为 V_m , 半导体一边电位为 V_s . 半导体电位 V_s 与栅金属电位 V_m 之差写作 V_{ms} .

$$-q(V_s - V_m) = W_s - W_m$$

即

$$-qV_{ms} = W_s - W_m$$

$$V_{ms} = \frac{W_m - W_s}{q} \quad (9.29)$$

因此要使半导体表面能带恢复平带,在栅金属上必须加一个电压 $V_{FB} = V_{ms}$,以抵消功函数差造成的影响.所以当考虑栅金属与半导体功函数差影响后,MOS 晶体管的阈值电压应为

$$V_T = V_s - \frac{Q_B}{C_i} + V_{ms} \quad (9.30)$$

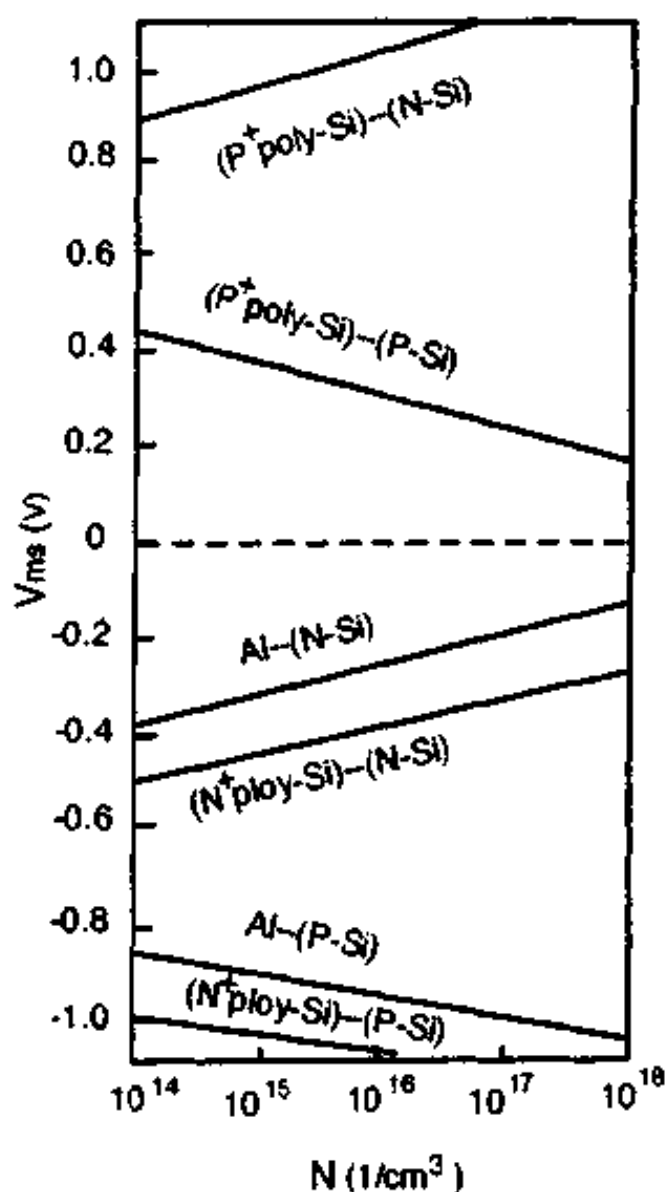


图 9.10 不同栅金属功函数差^{[10][42]}

功函数差 V_{ms} 跟栅金属材料有关,同时还跟半导体衬底材料型号,掺杂浓度有关.图 9.10 画出了硅衬底掺杂浓度不同时,铝栅和硅栅与硅衬底的功函数差.由图可见,对 PMOS, N 型衬底浓度若为 $N_D = 1 \times 10^{15} cm^{-3}$, 铝栅工艺来说, $V_{ms} \approx -0.3V$. 而采用硅栅工艺 (PMOS 硅栅常掺杂强 p^+ 型), $V_{ms} \approx +1.0V$. 可以通过计算,硅栅 PMOS 晶体管的阈值电压将比铝栅降低 1.3V 左右.

(4) 考虑氧化层中正电荷效应后的 MOS 晶体管阈值电压

实验表明,在制造 MOS 晶体管时,氧化层中总是存在

正电荷,包括固定正电荷,可动正电荷以及 $Si-SiO_2$ 界面存在界面态.由于这些正电荷效应,对 MOS 晶体管阈值电压将产生影响.

假定氧化层中单位面积正电荷密度为 Q_{fc} , 并认为 Q_{fc} 位于 $\text{SiO}_2\text{-Si}$ 界面附近的 SiO_2 中. 由于 Q_{fc} 存在, 其作用相当于在半导体表面施加一个正电压, 即使在零栅压下, 半导体表面也会出现负的空间电荷区, 致使能带向下弯曲. 为使能带恢复平带, 必须在栅金属上加一栅压 V_G , 使栅金属表面感应出负电荷 Q_m , Q_m 和氧化层中的正电荷 Q_{fc} 应是等量异号, 以抵消 Q_{fc} 的影响. 设氧化层单位面积电容为 C_i , 那么为恢复平带, 栅金属上所加的栅压应为

$$V_G = \frac{Q_m}{C_i} = -\frac{Q_{fc}}{C_i} \quad (9.31)$$

综上(1)—(4)分析与推导, MOS管阈值电压 V_T 可以写成

$$V_T = V_{ms} + V_s + \left(-\frac{Q_B}{C_i}\right) + \left(-\frac{Q_{fc}}{C_i}\right) \quad (9.32)$$

(9.32)式对 PMOS 和 NMOS 晶体管都适用. 它的各项物理意义是:

① V_{ms} 是栅金属与半导体功函数差造成的影响, 为使能带恢复平带所需要加的栅电压.

② $-\frac{Q_{fc}}{C_i}$ 是氧化层中的正电荷效应, 为使能带恢复平带所需要加的栅电压.

③ $-\frac{Q_B}{C_i}$ 是衬底表面耗尽层电荷对阈值电压影响.

④ V_s 是使半导体表面达到强反型所需要的表面势.

(5)考虑短沟道效应后的 MOS 晶体管阈值电压

(9.32)式阈值电压 V_T 表达式, 是采用“耗尽层近似”理论, 解一维泊松方程的结果. 这里假设了漏源之间未加直流电压 V_{DS} . 在 MOS 晶体管实际工作时, 沟道与衬底之间加有反向偏压, 这样漏源区耗尽层将对阈值电压 V_T 产生影响, 在沟道长度比较短时, 这种影响不能忽略, 这就是所谓“短沟道效应”.

H. C. poon 等人提出了“短沟道模型”, 如图 9.11. 他们认为, 由于短沟道效应, 沟道下面耗尽区电离杂质有效密度 $Q_B(\text{eff})$ 减少

了。

$$Q_B(\text{eff}) = FQ_B \quad (9.33)$$

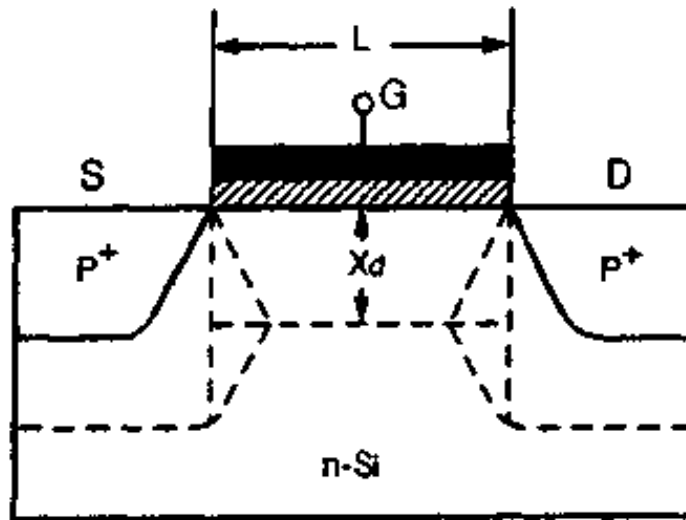


图 9.11 短沟道模型⁽⁷⁾

F 表示电荷减少系数, F 就是沟道下面没有被源漏耗尽层覆盖的梯形区对未考虑源漏耗尽层影响时矩形区之比. F 跟沟道长度 L 、源、漏区结深 x_j 有关, 具体表达式为

$$F = 1 - \left[\sqrt{1 + \frac{2x_d}{x_j}} - 1 \right] \frac{x_j}{L} \quad (9.34)$$

因此在考虑短沟道效应后, MOS 晶体管阈值电压 V_T 应为

$$V_T = V_m + V_i + \left(-\frac{Q_{fc}}{C_i} \right) + \left\{ -\frac{Q_B}{C_i} \left[1 - \left[\sqrt{1 + \frac{2x_d}{x_j}} - 1 \right] \frac{x_j}{L} \right] \right\} \quad (9.35)$$

式中 x_d 耗尽区厚度, x_j 源漏区结深, L 为沟道长度.

(6) 考虑体效应后的 MOS 晶体管阈值电压

在 MOS 集成电路中, 并不是所有的 MOS 晶体管源与衬底都连在一起, 处于同电位. 而是在源区与衬底之间加一定的反向偏置电压 V_{BS} , 反向偏置电压 V_{BS} 通过源区加在沟道与衬底之间, 其结果使沟道与衬底结的耗尽层变厚, 沟道变窄. 如要保持 $V_{BS} = 0$ 时

的沟道厚度,就需要附加一个栅极电压 ΔV_{GS} ,这就意味着要增加阈值电压 ΔV_T .这种由于源与衬底之间所加的反向偏置电压 V_{BS} 引起阈值电压 V_T 增加的效应,称为衬底体效应.从这个意义上说,衬底的作用与栅的作用相反,所以称背栅,因此衬底体效应也称背面栅效应.

衬底体效应结果,使得阈值电压增加 ΔV_T ,下面我们来推导 ΔV_T 的表达式.在(2)节中,已经导出了在不考虑体效应时,耗尽层厚度 x_d 与表面势 V_s 关系.对 P 沟 MOS 管由(9.23)式表示

$$V_s = -\frac{qN_D}{2\epsilon_0\epsilon_s}x_d^2$$

在考虑体效应后,衬底与源之间加反向偏压 V_{BS} (V_{BS} 为衬底到源的电压),这样(9.23)式可改为

$$V_s - V_{BS} = -\frac{qN_D}{2\epsilon_0\epsilon_s}x_d^2 \quad (9.36)$$

$$x_d = \left[\frac{2\epsilon_0\epsilon_s}{qN_D}(-V_s + V_{BS}) \right]^{\frac{1}{2}} \quad (9.37)$$

因此对 P 沟 MOS 耗尽层中单位面积电荷为

$$Q_{BS} = qN_D x_d = [2\epsilon_0\epsilon_s qN_D(-V_s + V_{BS})]^{\frac{1}{2}} \quad (9.38)$$

同样方法,可以得出 N 沟 MOS 耗尽层中

$$Q_{BS} = -[2\epsilon_0\epsilon_s qN_A(V_s - V_{BS})]^{\frac{1}{2}} \quad (9.39)$$

所以在考虑体效应后,阈值电压表达式为

$$(V_T)_{BS} = V_{ms} + V_s + \left(-\frac{Q_{fc}}{C_i} \right) + \left(-\frac{Q_{BS}}{C_i} \right) \quad (9.40)$$

$$\Delta V_T = (V_T)_{BS} - V_T = -\left(\frac{Q_{BS}}{C_i} - \frac{Q_B}{C_i} \right) \quad (9.41)$$

对于 P 沟 MOS 管, Q_{BS} 用(9.38)式, Q_B 用(9.25)式代入(9.41)式,得出

$$(\Delta V_T)_p = -\frac{1}{C_i} (2\epsilon_0\epsilon_s qN_D)^{\frac{1}{2}} [(-V_s + V_{BS})^{\frac{1}{2}} - (-V_s)^{\frac{1}{2}}] \quad (9.42)$$

对于 N 沟 MOS 管, Q_{BS} 用 (9.39) 式, Q_B 用 (9.26) 式代入 (9.41) 式, 得出

$$(\Delta V_T)_n = \frac{1}{C_i} (2\epsilon_0 \epsilon_r q N_A)^{\frac{1}{2}} [(V_s - V_{BS})^{\frac{1}{2}} - (V_s)^{\frac{1}{2}}] \quad (9.43)$$

$$\text{令} \quad r = \frac{1}{C_i} (2\epsilon_0 \epsilon_r q N)^{\frac{1}{2}} \quad (9.44)$$

则 (9.42)、(9.43) 式改写为

$$(\Delta V_T)_p = -r [(-V_s + V_{BS})^{\frac{1}{2}} - (-V_s)^{\frac{1}{2}}] \quad (9.45)$$

$$(\Delta V_T)_n = r [(V_s - V_{BS})^{\frac{1}{2}} - (V_s)^{\frac{1}{2}}] \quad (9.46)$$

因此在考虑衬底体效应后, MOS 晶体管阈值电压应写为

$$(V_T)_{BS} = V_T + \Delta V_T \quad (9.47)$$

对 PMOS

$$(V_T)_{BS} = V_T - r [(-V_s + V_{BS})^{\frac{1}{2}} - (-V_s)^{\frac{1}{2}}] \quad (9.48)$$

对 NMOS

$$(V_T)_{BS} = V_T + r [(V_s - V_{BS})^{\frac{1}{2}} - (V_s)^{\frac{1}{2}}] \quad (9.49)$$

这里 PMOS $V_s < 0, V_{BS} > 0$

NMOS $V_s > 0, V_{BS} < 0$

r 称为体效应系数.

9.1.4 MOS 晶体管主要参数

(1) 栅源直流输入阻抗 R_i

在共源组态中, MOS 晶体管栅源两端作为输入端, 因此其直流输入阻抗 R_i 实际上就是栅介质 SiO_2 层的绝缘电阻. 这个电阻通常可达 $10^{12} \Omega$ 左右. 输入阻抗高是 MOS 晶体管重要特点之一. 在集成运放中, 常以 MOS 管作为输入级, 以提高集成运放或其它模拟集成电路的输入特性.

(2) 直流导通电阻 R_{on}

漏源电压 V_{DS} 跟漏源电流 I_{DS} 之比定义为直流导通电阻 R_{on} ,

即
$$R_{on} = \frac{V_{DS}}{I_{DS}} \quad (9.50)$$

根据 MOS 管电流—电压特性方程

$$I_{DS} = \pm K[2(V_{GS} - V_T)V_{DS} - V_{DS}^2]$$

在非饱和区, 直流导通电阻 $R_{on\#}$ 应为

$$R_{on\#} = \frac{V_{DS}}{I_{DS}} = \pm \frac{1}{K[2(V_{GS} - V_T) - V_{DS}]} \quad (9.51)$$

当 $V_{DS} \ll V_{GS} - V_T$ 时

$$R_{on\#} \Big|_{V_{DS} \rightarrow 0} = \pm \frac{1}{2K(V_{GS} - V_T)} \quad (9.52)$$

在饱和区, 直流导通电阻 $R_{on\#}$ 为

$$R_{on\#} = \frac{V_{DS}}{I_{DS}} = \pm \frac{V_{DS}}{K(V_{GS} - V_T)^2} \quad (9.53)$$

当 $V_{DS} = V_{GS} - V_T$ 时, 即临界饱和时

$$R_{on\#} = \pm \frac{1}{K(V_{GS} - V_T)} \quad (9.54)$$

比较(9.54)与(9.52)式, 可以看出, 临界饱和直流导通电阻为非饱和区的 2 倍.

(3) 漏源击穿电压 BV_{DS}

漏源击穿有两种击穿可能: 一是漏与衬底间构成的 pn 结击穿; 二是漏源之间的穿通击穿.

关于漏与衬底间的 pn 结击穿, 由于 MOS 管栅极与漏区造成的附加电场的影响, 会使漏与衬底间的雪崩击穿电压比通常的 pn 结击穿电压 V_{BR} 要低.

主要漏源之间的穿通击穿, 由于 MOS 管工作时, 漏与衬底加有反向偏压, 源与衬底共地, 其结果是漏极耗尽层宽度 x_d 随漏源电压 V_{DS} 增加而向源区扩展, 当耗尽层宽度 x_d 等于栅道长度 L 时, 就发生穿通.

根据 pn 结理论, 突变结耗尽层宽度为

$$L = x_d = \left[\frac{2\epsilon_0\epsilon_s}{qN} (V_D + BV_{DS}) \right]^{\frac{1}{2}} \quad (9.55)$$

$$BV_{DS} \approx \frac{qN}{2\epsilon_0\epsilon_s} L^2 \quad (9.56)$$

式中, N 为衬底掺杂浓度, L 为沟道长度, ϵ_s 硅介电常数, ϵ_0 真空电容率.

对于 MOS 晶体管漏源击穿电压, 究竟是由 pn 结雪崩击穿还是由漏源穿通击穿决定, 要看衬底掺杂浓度和沟道长度而定. 如果衬底掺杂浓度为 $1 \times 10^{16} \text{cm}^{-3}$, 沟道长度为 $8 \mu\text{m}$, 突变结雪崩击穿电压 $V_B > 100\text{V}$, 而根据 (9.56) 式算得穿通电压约为 48V . 因此在通常情况下, MOS 管漏源击穿电压是由漏源穿通电压所决定.

(4) 栅源击穿电压 BV_{GS}

栅源击穿电压 BV_{GS} 指栅源之间所能承受的最大电压. 超过这电压, 栅氧化层就会发生破坏性击穿.

栅源击穿电压 BV_{GS} 主要由栅氧化层临界击穿电场强度 E_{ox} 和氧化层厚度 d_i 所决定的. 对于结构完整的氧化层, 其临界击穿电场为 $E_{ox} \approx 8 \times 10^6 \text{V/cm}$. 对于厚度 $d_i = 1000 \text{\AA}$ 的栅氧化层, 则栅源所能承受的最大电压为

$$BV_{GS} = E_{ox} \cdot d_i \approx 80\text{V} \quad (9.57)$$

若 MOS 管沟道长度 $L = 10 \mu\text{m}$, 沟道宽长比为 $W/L = 50 : 1$, 栅氧化层厚度 $d_i = 1000 \text{\AA}$, 则算得栅电容 $C = 1.73 \text{pf}$. 由于栅电容量小, 因此只要很小的电量, 就会形成很高的电压, 致使栅氧化层击穿. 例如只要 1nA 的电流, 充电 0.14 秒, 就可以造成栅与衬底间达到 81V 左右的电压, 使 1000\AA 的栅氧化层击穿.

因此, 为了防止栅击穿, 在 MOS 集成电路设计时, 通常要加栅保护电路. 也就是说, 在 MOS 集成电路设计时, 凡是有外引脚的 MOS 管都要加栅保护电路.

(5) MOS 晶体管跨导 g_m

双极型晶体管是一种“电流控制器件”, 是用基极电流 I_b 控制

集电极电流 I_c 。晶体管放大能力是用电流放大系数 β 来描述。

MOS 晶体管是一种“电压控制器件”，是用栅极电压 V_{GS} 来控制漏极电流 I_{DS} 。MOS 晶体管放大能力是用跨导 g_m 来描述。跨导的定义是漏源电压 V_{DS} 一定时，栅极电压 V_{GS} 的变化引起漏极电流 I_{DS} 的变化。

$$g_m = \left(\frac{\partial I_{DS}}{\partial V_{GS}} \right)_{V_{DS}=\text{常数}} \quad (9.58)$$

① 非饱和区跨导 $g_{m\text{非}}$ ：根据非饱和区电流—电压特性方程 (9.5) 式，得出 (N 沟) 非饱和区跨导

$$g_{m\text{非}} = 2KV_{DS} \quad (9.59)$$

② 饱和区跨导 $g_{m\text{饱}}$ ：按饱和区电流—电压特性方程 (9.6) 式，得出

$$g_{m\text{饱}} = 2K(V_{GS} - V_T) \quad (9.60)$$

③ 考虑沟道调制效应后饱和区跨导：从 (9.7) 式得出

$$g_{m\text{饱}} = 2K(V_{GS} - V_T)(1 + \lambda V_{DS}) \quad (9.61)$$

从 (9.7)、(9.61) 式还可以得出跨导另一种表达式

$$g_{m\text{饱}} = 2 \sqrt{K' \left(\frac{W}{L} \right) (1 + \lambda V_{DS}) I_{DS}} \quad (9.62)$$

从 (9.59) — (9.62) 式可以看出，无论是饱和区或非饱和区跨导 g_m 都跟 K 因子有关。要提高 MOS 管放大能力，就要提高跨导 g_m ，要提高 g_m ，应增大 K 因子，而 K 因子具体表达式为

$$K = \frac{\mu_n C_i}{2} \cdot \frac{W}{L} \quad (9.63)$$

(9.63) 式指出了 K 因子跟下列因素有关：

① K 因子跟沟道宽长比 W/L 成正比关系。 W 、 L 是 MOS 集成电路设计参数，可根据电路要求和实际工艺水平，选择适当的宽长比，实现电路设计的最佳方案。

② K 因子跟反型层中载流子迁移率 μ_n, μ_p 有关。 μ 大， K 也大。反型层中空穴和电子迁移率为

$$\mu_p(100) \approx 130 \text{cm}^2/\text{V} \cdot \text{s} \quad \mu_p(111) \approx 190 \text{cm}^2/\text{v} \cdot \text{s}$$

$$\mu_n(100) \approx 400 \text{cm}^2/\text{V} \cdot \text{s} \quad \mu_n(111) \approx 600 \text{cm}^2/\text{v} \cdot \text{s}$$

可见反型层中电子迁移率 μ_n 比空穴迁移率 μ_p 高 3 倍左右。因此在相同的 W/L 下, N 沟 MOS 比 P 沟 MOS 管 K 因子大。

③ K 因子跟栅氧化层单位面积电容 C_i 有关。 $C_i = \epsilon_{\text{SiO}_2} \epsilon_0 / d_i$, 减小氧化层厚度 d_i 可提高 C_i , 使 K 因子增大。

(6) MOS 晶体管衬底跨导 g_{mbs}

衬底跨导 g_{mbs} 是衬底体效应引起的跨导。它定义为

$$g_{mbs} = \left(\frac{\partial I_{DS}}{\partial V_{BS}} \right)_{V_{DS}=\text{常数}} \quad (9.64)$$

为求出 g_{mbs} 的表达式, 把 (9.64) 式写成

$$g_{mbs} = \frac{\partial I_{DS}}{\partial (V_T)_{BS}} \cdot \frac{\partial (V_T)_{BS}}{\partial V_{BS}} \quad (9.65)$$

当考虑衬底体效应后, MOS 管饱和区的电流—电压方程 (9.7) 式应改写成

$$I_{DS} = K [V_{GS} - (V_T)_{BS}]^2 (1 + \lambda V_{DS}) \quad (9.66)$$

$(V_T)_{BS}$ 为考虑衬底体效应后的阈值电压, 由 (9.48), (9.49) 式表示。由 (9.66) 式可以得出

$$\frac{\partial I_{DS}}{\partial (V_T)_{BS}} = - \frac{\partial I_{DS}}{\partial V_{GS}} = -g_m \quad (9.67)$$

再根据 (9.48) 式得出

$$\begin{aligned} \frac{\partial (V_T)_{BS}}{\partial V_{BS}} &= -r \frac{1}{2(-V_S + V_{BS})} = \lambda \\ &= -r \frac{1}{2(|V_S| + |V_{BS}|)^{\frac{1}{2}}} \quad (\text{PMOS}) \end{aligned} \quad (9.68)$$

由 (9.49) 式得出

$$\begin{aligned} \frac{\partial (V_T)_{BS}}{\partial V_{BS}} &= -r \frac{1}{2(V_S - V_{BS})^{\frac{1}{2}}} \\ &= -r \frac{1}{2(|V_S| + |V_{BS}|)^{\frac{1}{2}}} \quad (\text{NMOS}) \end{aligned} \quad (9.69)$$

$$\text{令} \quad \eta = r \frac{1}{2(|V_S| + |V_{BS}|)^{\frac{1}{2}}} \quad (9.70)$$

$$\text{则} \quad \frac{\partial(V_T)_{BS}}{\partial V_{BS}} = -\eta \quad (\text{PMOS} \cdot \text{NMOS 都适用}) \quad (9.71)$$

把(9.67), (9.71)式代入(9.65)式得出

$$g_{mbs} = \eta g_m \quad (9.72)$$

在(9.70)式中, r 用(9.44)式, V_s 用(9.13), (9.14), (9.15)式代入, 可以得出 η 表达式

$$\eta = \frac{(2\epsilon_0\epsilon_s q)^{\frac{1}{2}}}{2\epsilon_0\epsilon_{\text{SiO}_2}} \sqrt{\frac{N}{2 \frac{KT}{q} \ln \frac{N}{n_i} + |V_{BS}|}} d_i \quad (9.73)$$

式中: ϵ_0 ——真空电容率, ϵ_s ——半导体介电常数, ϵ_{SiO_2} —— SiO_2 介电常数, n_i ——本征载流子浓度, N ——衬底杂质浓度, V_{BS} ——衬底至源反向偏压, d_i ——氧化层厚度.

由(9.73)式可以看出 η 跟衬底杂质浓度 N , 衬底至源反向偏压及氧化层厚度有关, 可以算出 η 总是小于 1.

(7) 漏源输出电导 g_{ds} 和动态电阻 r_{ds}

在双极型晶体管中, 共射电路输出电导 g_o 定义为基极电流 I_b 恒定时, V_{CE} 变化引起集流 I_c 的变化.

在 MOS 晶体管中, 有个相应的参数是漏源输出电导 g_{ds} , 它定义为: 当栅压 V_{GS} 一定时, V_{DS} 变化引起漏源电流 I_{DS} 变化.

$$g_{ds} = \left(\frac{\partial I_{DS}}{\partial V_{DS}} \right)_{V_{GS} = \text{常数}} \quad (9.74)$$

漏源输出电导 g_{ds} 的倒数就是漏源动态电阻 r_{ds} , r_{ds} 是 MOS 晶体管一个重要参数.

$$r_{ds} = \left(\frac{\partial V_{DS}}{\partial I_{DS}} \right)_{V_{GS} = \text{常数}} \quad (9.75)$$

① 在非饱和区动态电阻:

$$r_{ds\text{非}} = \frac{\partial V_{DS}}{\partial I_{DS}} = \frac{1}{2K(V_{GS} - V_T - V_{DS})} \quad (9.76)$$

当 V_{DS} 很小时

$$r_{ds非} = \left(\frac{\partial V_{DS}}{\partial I_{DS}} \right)_{V_{DS} \rightarrow 0} = \frac{1}{2K(V_{GS} - V_T)} \quad (9.77)$$

比较(9.52)式看到,当 $V_{DS} \rightarrow 0$ 时,非饱和区动态电阻 $r_{ds非}$ 和直流导通电阻 $R_{on非}$ 相等,即

$$r_{ds非} |_{V_{DS} \rightarrow 0} = R_{on非} |_{V_{DS} \rightarrow 0} \quad (9.78)$$

② 饱和区动态电阻 $r_{ds饱}$: 在考虑沟道调制效应后,饱和区电流—电压特性方程由(9.7)式表示,即

$$I_{DS} = K(V_{GS} - V_T)^2(1 + \lambda V_{DS})$$

$$r_{ds饱} = \frac{\partial V_{DS}}{\partial I_{DS}} = \frac{1}{K(V_{GS} - V_T)^2 \lambda}$$

用(9.7)式代入得出

$$r_{ds饱} = \frac{1 + \lambda V_{DS}}{\lambda I_{DS}} \quad (9.79)$$

$$\approx \frac{1}{\lambda I_{DS}} \quad (9.80)$$

(8) 电压放大系数 K_V

MOS 晶体管电压放大系数 K_V 是表示栅源输入电压 V_{GS} 变化引起漏源输出电压 V_{DS} 变化的一个参数.

$$K_V = \left(\frac{\partial V_{DS}}{\partial V_{GS}} \right)_{I_{DS} = \text{常数}} = \frac{\partial I_{DS}}{\partial V_{GS}} \cdot \frac{\partial V_{DS}}{\partial I_{DS}} = g_m \cdot r_{ds} \quad (9.81)$$

上式看出 MOS 管电压放大系数 K_V 跟跨导 g_m 成正比. 如用 MOS 管作电压放大,则要求跨导 g_m 大些.

(9) MOS 管最高工作频率 f_m

从 MOS 晶体管结构看到,栅金属和沟道之间夹着 SiO_2 绝缘层,这样就构成了以栅金属为一板,沟道为另一板,以 SiO_2 为介质的平行板电容器,这个电容称之为栅电容,用符号 C_{cc} 表示. 由于栅电容 C_{cc} 的存在,决定了 MOS 晶体管最高工作频率 f_m 的理论极限.

从 MOS 管工作原理知道,栅源电压 V_{GS} 对沟道厚度和沟道中

载流子数目起有调制作用. 当栅源输入交流信号 V_{gs} 时, 如果 V_{gs} 由小增大, 则沟道中导电载流子数目将增多, 但增多的载流子不可能全部流向漏极, 形成漏极电流. 而是从源极流入沟道的导电载流子增量分成二部分: 一部分对栅电容 C_{cc} 充电, 经 C_{cc} 流向栅极; 另一部分经沟道流入漏极, 形成漏极输出电流. MOS 晶体管在低频小信号工作时, 栅电容 C_{cc} 阻抗很大, 可以略其影响. 但在高频工作时, 栅电容阻抗减小, 流过 C_{cc} 电流增大. 因此在高频工作时, 必须考虑栅电容 C_{cc} 的影响.

当通过栅电容 C_{cc} 的电流 $\omega C_{cc} V_{gs}$ 等于漏源输出电流 $g_m V_{gs}$ 时, 其工作频率 $f_m = \omega/2\pi$, 就定义为 MOS 晶体管最高工作频率.

$$2\pi f_m C_{cc} V_{gs} = g_m V_{gs}$$

$$f_m = \frac{g_m}{2\pi C_{cc}} \quad (9.82)$$

g_m 为 MOS 管跨导, 在饱和区, g_m 由 (9.60) 式给出

$$g_{m\text{sat}} = 2K(V_{GS} - V_T) = \mu C_i \frac{W}{L} (V_{GS} - V_T) \quad (9.83)$$

$$C_{cc} = C_i WL \quad (9.84)$$

式中 C_i 为栅氧化层单位面积电容, W 、 L 为沟道宽度和长度, μ 迁移率.

把 (9.83)、(9.84) 式代入 (9.82) 式得出

$$f_m = \frac{\mu}{2\pi L^2} (V_{GS} - V_T) \quad (9.85)$$

(9.85) 式看到 MOS 晶体管最高工作频率 f_m 跟沟道长度 L^2 成反比, 跟载流子迁移率成正比关系. 要提高 f_m , 就要缩短沟道长度 L . 由于电子迁移率 μ_n 比空穴迁移率 μ_p 高, 因此在相同的 L 下, NMOS 频率特性比 PMOS 要好.

例如沟道长度 $L = 8\mu\text{m}$ 的 NMOS 晶体管, 沟道中电子迁移率 $\mu_n = 400\text{cm}^2/\text{V} \cdot \text{S}$, 栅源电压 $V_{GS} = 5\text{V}$, 阈值电压 $V_T = 1\text{V}$, 工作在饱和区. 按 (9.85) 式算出最高频率为 $f_m \approx 400\text{MHz}$.

从计算结果看, MOS 管最高工作频率 f_m 并不低,但实际上 MOS 管的 f_m 要比计算的低得多. 其原因是因为 MOS 管中除了栅电容 C_{GC} 外,还存在其它寄生电容. 在采用非自对准技术时,有栅源、栅漏交迭电容 C_{GS} 、 C_{GD} ,还有源、漏区与衬底之间的 pn 结电容 C_{SB} 、 C_{DB} 以及漏源间寄生电容 C_{DS} 等. 由于这些众多的寄生电容存在,使 MOS 晶体管频率特性远不及双极型纵向晶体管.

9.1.5 MOS 晶体管低频小信号模型

所谓低频是指 MOS 晶体管工作在这频率时,其电容效应可以略而不计. 所谓小信号指交流信号很小,不影响静态工作点. 假定源极至漏极的串联电阻很小,也可以略而不计,那么共源组态下 MOS 晶体管低频小信号模型可以画成如图 9.12 所示.

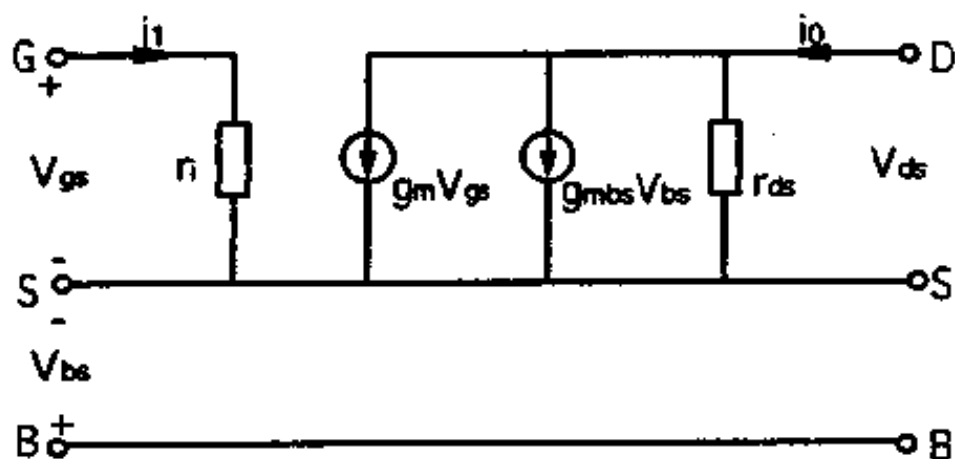


图 9.12 共源组态 MOS 管低频小信号模型

先看输入回路:信号 V_{gs} 从栅源输入, r_i 为交流输入阻抗,在低频小信号下, r_i 等于栅源直流输入阻抗 R_i , i_i 为输入电流. 所以输入回路方程可以写成

$$V_{gs} = i_i r_i = i_i R_i \quad (9.86)$$

再看输出回路. 根据 MOS 晶体管电流—电压特性方程,漏源电流 I_{DS} 是 V_{GS} 、 V_{DS} 函数,如果考虑衬底体效应,则 I_{DS} 也是衬底至源的反向偏置电压 V_{BS} 的函数,这样 I_{DS} 可以写成

$$I_{DS} = I_{DS}(V_{GS}, V_{DS}, V_{BS}) \quad (9.87)$$

$$dI_{DS} = \frac{\partial I_{DS}}{\partial V_{GS}} dV_{GS} + \frac{\partial I_{DS}}{\partial V_{DS}} dV_{DS} + \frac{\partial I_{DS}}{\partial V_{BS}} dV_{BS}$$

$$i_o = g_m V_{gs} + g_{ds} V_{ds} + g_{mbs} V_{bs} \quad (9.88)$$

(9.88)式是 MOS 晶体管低频小信号输出回路方程. 式中 g_m 为跨导, g_{mbs} 为衬底体效应引起的跨导, $g_{ds} = 1/r_{ds}$ 为输出电导. 因此按(9.86), (9.88)式, 可以画出共源组态下 MOS 晶体管低频小信号等效电路如图 9.12.

9.2 MOS 集成运放单元电路

我们在第三章讨论了双极型集成运放单元电路, 这一节我们将讨论 MOS 集成运放单元电路. 这些单元电路不仅是构成 MOS 集成运放的“积木块”, 而且也是分析和设计其它 MOS 模拟集成电路的基础.

9.2.1 MOS 有源电阻

在双极型模拟集成电路中, 常利用双极型晶体管很高的输出阻抗作为负载, 即有源负载. 在 MOS 模拟集成电路中, 同样可以用 MOS 晶体管有源电阻作为放大器的有源负载, 或作为有源电阻, 这不仅可以大大提高放大器增益, 而且也可以减小芯片面积, 降低功耗. 因而 MOS 有源电阻在 MOS 集成电路中获得广泛应用. 下面介绍几种 MOS 有源电阻的构成法.

(1) 栅—漏连接法

用增强型 NMOS 或 PMOS 晶体管, 把栅和漏连接起来, 构成栅—漏连接 MOS 管有源电阻, 如图 9.13 所示.

按 MOS 管低频小信号模型, 图 9.13 输出回路等效电路可以画成如图 9.14 所示.

按图 9.14, MOS 管输出等效电阻 r_o 为

$$r_o = \frac{V_{ds}}{g_m V_{gs} + g_{mbs} V_{bs} + g_{ds} V_{ds}} \quad (9.89)$$

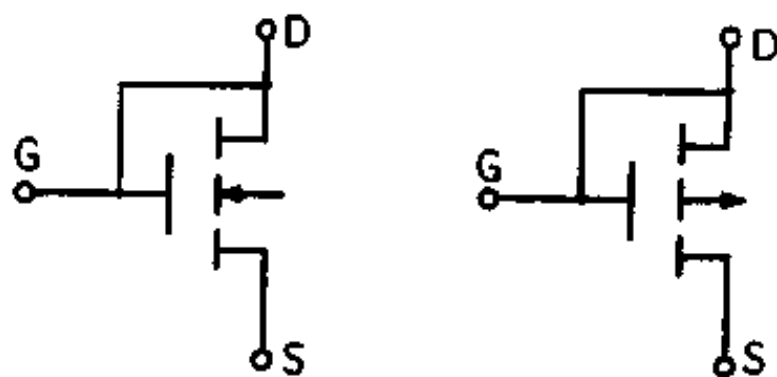


图 9.13 栅—漏连接 MOS 有源电阻

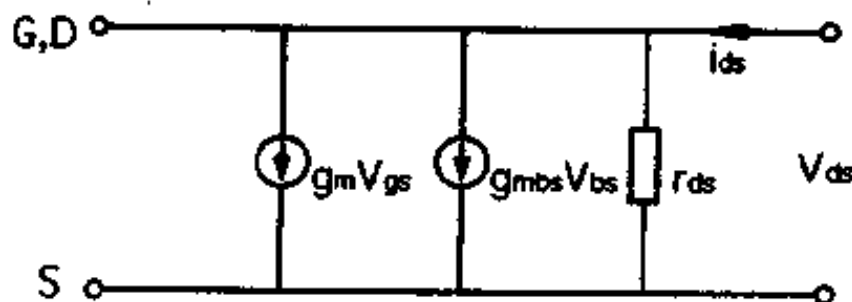


图 9.14 栅—漏连接 MOS 管等效电路

由于栅—漏相连,保证了 $V_{DS} > V_{GS} - V_T$,使 MOS 管工作在饱和区,并且 $V_{gs} = V_{ds}$ 。由于漏极和衬底通常都接着直流电压,根据戴维南定理,漏极和衬底都是交流接地点,这样 $V_{bs} = V_{ds} = V_{gs}$, (9.89)式可以简写成

$$r_o = \frac{1}{g_m + g_{mbs} + g_{ds}} \quad (9.90)$$

在一般情况下, g_{ds} 可以略之不计, (9.90)式进一步简化为

$$r_o = \frac{1}{g_m + g_{mbs}} = \frac{1}{(1+\eta)g_m} \quad (9.91)$$

式中 g_m 是 MOS 管饱和区跨导, η 可从 (9.73)式算出。

由 (9.91), (9.62), (9.73)式可以看到, r_o 跟 MOS 管宽长比

W/L , 工作电流 I_{DS} , 衬底掺杂浓度 N , 衬底与源极反向偏压 V_{BS} 有关. 当 I_{DS} , N , V_{BS} 确定后, r_o 主要跟 W/L 有关, 改变 W/L , 即可改变 MOS 管有源电阻值.

(2) 栅—源连接法

用耗尽型 MOS 晶体管, 把栅—源连接起来, 也可以构成 MOS 管有源电阻, 如图 9.15.

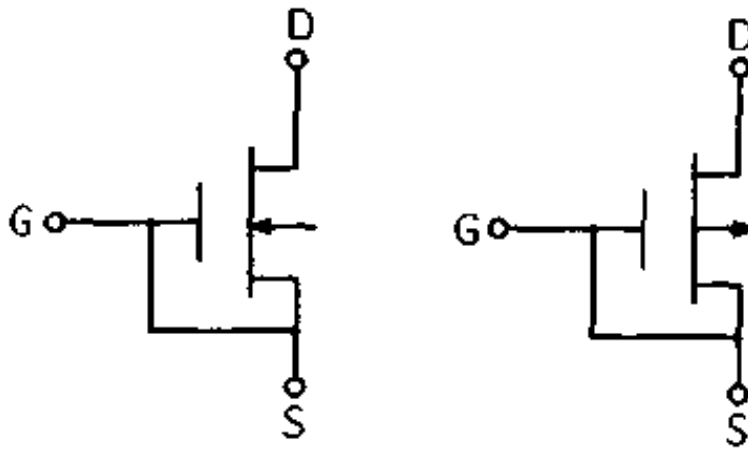


图 9.15 栅—源连接有源电阻

由于栅源相连, $V_{gs} = 0$, 所以输出回路等效电路可画成图 9.16 所示.

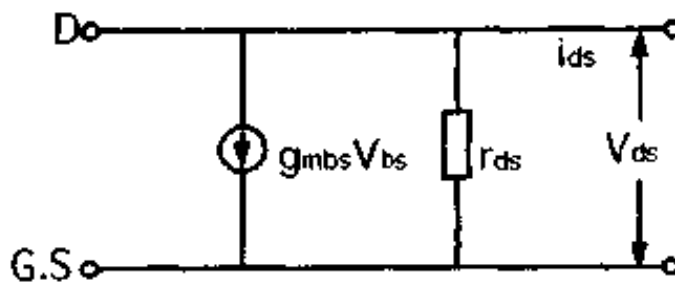


图 9.16 栅—源连接 MOS 管等效电路

按图 9.16, 可以写成输出等效电阻

$$r_o = \frac{V_{ds}}{g_{mbs} V_{bs} + g_{ds} V_{ds}} \quad (9.92)$$

由于 $V_{gs} = 0$, DMOS 管存在原始沟道, 因而 DMOS 管始终处于导通状态. 若漏极和衬底都接直流电压, 这样漏极和衬底都可以看成交流接地点, $V_{bs} = V_{ds}$. (9.92) 式可以改写成

$$r_o = \frac{1}{g_{mbs} + g_{ds}} \approx \frac{1}{g_{mbs}} = \frac{1}{\eta g_m} \quad (9.93)$$

比较 (9.93), (9.91) 式结果, 由于 $\eta < 1$, 所以在相同的 W/L 下, 栅—源连接的电阻要比栅—漏连接的要大. 在 NMOS 放大器中, 所以常用增强型 MOS 管作为放大管, 而负载却采用耗尽型 MOS 管.

(3) 栅极浮动法

把 MOS 晶体管栅极“浮动”起来, 既不接漏极也不接源极, 而是接一个偏置电压 V_B , 这样源—漏之间构成所谓的“浮动”有源电阻. 如图 9.17 所示.

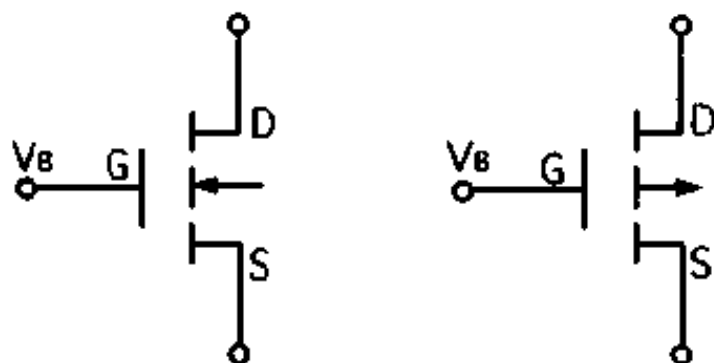


图 9.17 MOS 浮动有源电阻

显而易见, 这种“浮动”有源电阻, 实际上就是 MOS 晶体管输出动态电阻 r_{ds} . 在饱和区动态电阻 r_{ds} , 按 (9.79) 式写出

$$r_o = r_{ds} = \frac{1 + \lambda V_{DS}}{\lambda I_{DS}} \quad (9.94)$$

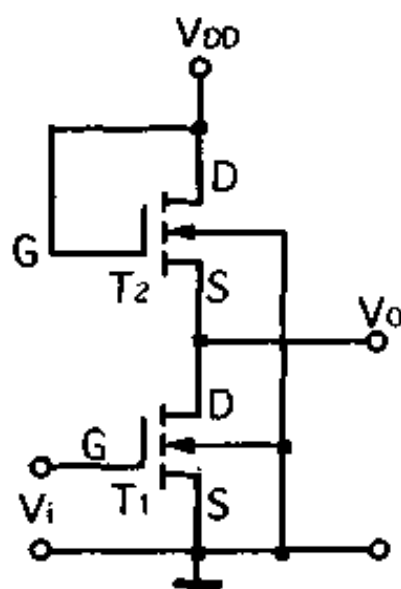
9.2.2 有源负载 MOS 单级放大器

MOS 单级放大器是 MOS 模拟集成电路基本单元电路. 在

MOS 集成电路中,单级放大器几乎都采用有源负载.本节将讨论几种常见的有源负载 MOS 单级放大器.

(1) E-E N 沟 MOS 单级放大器

E-E N 沟 MOS 单级放大器电路,是采用增强型 N 沟 MOS 晶体管作为放大管,采用栅-漏连接的增强型 N 沟 MOS 管作为有源负载,其电路如图 9.18 所示.



T_1 为放大管, T_2 为负载管.
放大器低频增益 A_0 可以写成

$$A_0 = -g_{m1} R_L \quad (9.95) \quad \text{图 9.18 E-E N 沟 MOS 单级放大器}$$

g_{m1} 为 T_1 管跨导, R_L 为 T_1 管有效负载,它是放大管 T_1 输出动态电阻 $r_{ds1} = 1/g_{ds1}$ 与负载管 T_2 的输出等效电阻 r_{o2} 的并联值.

T_2 管输出等效电阻 r_{o2} ,由(9.89)式写出

$$r_{o2} = \frac{V_{ds2}}{g_{m2} V_{gs2} + g_{mbs2} V_{bs2} + g_{ds2} V_{ds2}} \quad (9.96)$$

由图 9.18 可知 $V_{ds2} = V_{gs2} = V_{bs2} = -V_0$, 所以

$$r_{o2} = \frac{1}{g_{m2} + g_{mbs2} + g_{ds2}} \quad (9.97)$$

$$R_L = r_{ds1} \parallel r_{o2} = \frac{1}{(1 + \eta_2) g_{m2} + g_{ds2} + g_{ds1}} \quad (9.98)$$

$$A_0 = -g_{m1} \cdot R_L = -\frac{g_{m1}}{(1 + \eta_2) g_{m2} + g_{ds2} + g_{ds1}} \quad (9.99)$$

(2) E-D N 沟 MOS 单级放大器

E-D N 沟 MOS 单级放大器电路,是采用增强型 N 沟 MOS 晶体管为放大管,采用栅源连接的耗尽型 N 沟 MOS 管为有源负载,如图 9.19.

T_1 为放大管, T_2 为负载管. 放大器低频增益 A_0 可以写成

$$A_0 = -g_{m1} R_L \quad (9.100)$$

g_{m1} 为 T_1 管跨导, R_L 为 T_1 管有效负载.

$$R_L = r_{o2} \parallel r_{ds1} \quad (9.101)$$

由(9.92)式写出

$$r_{o2} = \frac{V_{ds2}}{g_{mbs2} V_{bs2} + g_{ds2} V_{ds2}} \quad (9.102)$$

$V_{ds2} = V_{bs2} = -V_o$ 代入上式得出

$$r_{o2} = \frac{1}{g_{mbs2} + g_{ds2}} = \frac{1}{\eta_2 g_{m2} + g_{ds2}} \quad (9.103)$$

$$R_L = r_{o2} \parallel r_{ds1} = \frac{1}{\eta_2 g_{m2} + g_{ds2} + g_{ds1}} \quad (9.104)$$

$$A_o = -g_{m1} R_L = -\frac{g_{m1}}{\eta_2 g_{m2} + g_{ds2} + g_{ds1}} \quad (9.105)$$

(3) CMOS 单级放大器

这是采用 N 沟增强型 MOS 管作为放大管, 采用栅极接固定偏压 V_B 的 P 沟增强型 MOS 管为负载管, 构成 CMOS 单级放大器, 如图 9.20 所示.

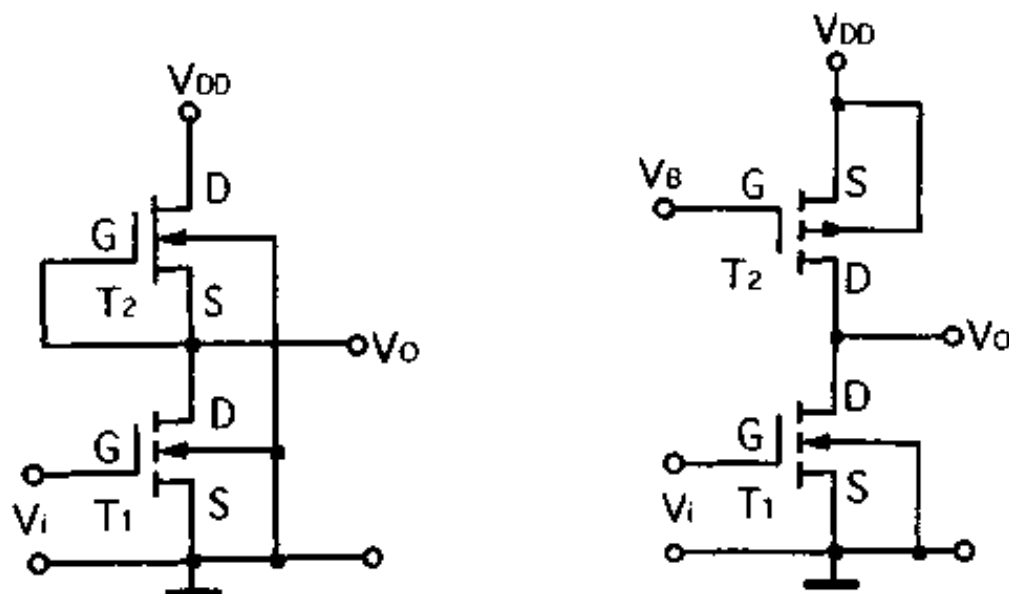


图 9.19 E-DN 沟 MOS 单级放大器

图 9.20 CMOS 单级放大器

T_1 为放大管, T_2 为负载管, 放大器低频增益为

$$A_o = -g_{m1} R_L \quad (9.106)$$

R_L 为有效负载. 它是 T_1 管输出动态电阻 $r_{ds1} = 1/g_{ds1}$ 和 T_2 管输出动态电阻 $r_{ds2} = 1/g_{ds2}$ 并联.

$$R_L = \frac{1}{g_{ds1} + g_{ds2}} \quad (9.107)$$

所以低频增益为

$$A_0 = -\frac{g_{m1}}{g_{ds1} + g_{ds2}} \quad (9.108)$$

比较(9.99), (9.105), (9.108)三式, 可以看出, 在参数相同的情况下, CMOS 单级放大器低频增益最高, 不存在衬底体效应, 输出电压摆幅也大. 因此 CMOS 放大器在模拟集成电路中获得广泛应用.

9.2.3 MOS 恒流源电路

在 MOS 模拟集成电路中, MOS 恒流源电路常用之作有源负载和构成偏置电路, 给电路中各个 MOS 管以稳定正确的工作点; 同时还可作为双端变单端转换电路. MOS 恒流源电路是 MOS 集成运放和其它模拟集成电路不可缺少的基本单元电路. 本节着重介绍二种基本的常用的 MOS 恒流源电路.

(1) 基本型 MOS 恒流源

图 9.21 为基本型 MOS 恒流源电路.

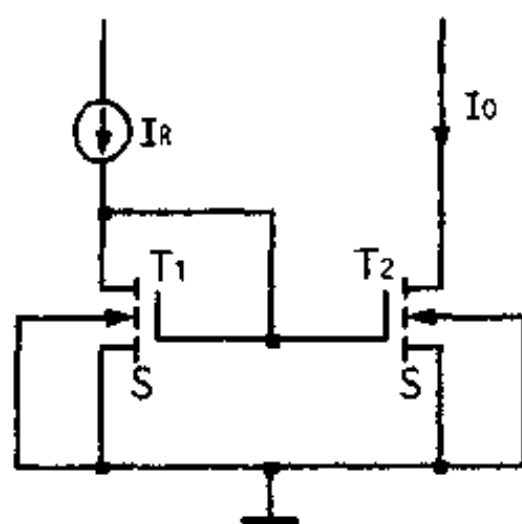


图 9.21 基本型 MOS 恒流源

T_1, T_2 是 N 沟增强型 MOS 晶体管, I_R 为参考电流, I_0 是恒流源输出电流. 要求 T_1, T_2 管都工作在饱和区. T_1 管由于栅漏相连, 满足 $V_{DS1} \geq V_{GS1} - V_{T1}$ 饱和条件, 因而 T_1 管总是工作在饱和区. 对于 T_2 管, 只要满足 $V_{DS2} \geq V_{GS2} - V_{T2}$, 则 T_2 管也工作在饱和区. 这

样可用饱和区公式, 求出 I_0 与 I_R 之间的关系.

按(9.7)式可以写出

$$I_R = I_{DS1} = K'_1 \left(\frac{W}{L} \right)_1 (V_{GS1} - V_{T1})^2 (1 + \lambda_1 V_{DS1}) \quad (9.109)$$

$$I_0 = I_{DS2} = K'_2 \left(\frac{W}{L} \right)_2 (V_{GS2} - V_{T2})^2 (1 + \lambda_2 V_{DS2}) \quad (9.110)$$

$V_{GS1} = V_{GS2}$, 假定 T_1, T_2 管工艺参数相同, 即 $K'_1 = K'_2, V_{T1} = V_{T2}$, 那么有

$$\frac{I_0}{I_R} = \frac{\left(\frac{W}{L} \right)_2 (1 + \lambda_2 V_{DS2})}{\left(\frac{W}{L} \right)_1 (1 + \lambda_1 V_{DS1})} \quad (9.111)$$

如果不考虑沟道调制效应, 则可简化为

$$I_0 \approx \left(\frac{W}{L} \right)_2 / \left(\frac{W}{L} \right)_1 \cdot I_R \quad (9.112)$$

式中 $\left(\frac{W}{L} \right)_1, \left(\frac{W}{L} \right)_2$ 分别为 T_1, T_2 管沟道宽长比. (9.112) 式可以看到, 当参考电流确定后, 恒流源输出电流 I_0 只跟设计参数 W/L 有关. 当 T_1, T_2 宽长比 $(W/L)_1 = (W/L)_2$ 时, $I_0 = I_R$, 即构成电流镜. 当改变 T_1, T_2 宽长比时, 就可以构成如同双极型恒流源那样的比例型恒流源.

这种基本型 MOS 恒流源主要缺点是输出阻抗不够高. 它的输出阻抗 r_0 实际上就是 T_2 管输出动态电阻 r_{ds2} .

$$r_0 = r_{ds2} = \frac{1 + \lambda_2 V_{DS2}}{\lambda_2 I_{DS2}} \approx \frac{1}{\lambda_2 I_{DS2}} \quad (9.113)$$

设 $\lambda_2 = 0.03V^{-1}, I_0 = 50\mu A$, 则恒流源输出阻抗 $r_0 \approx 0.66M\Omega$. 但如果在基本型 MOS 恒流源输出端加一共栅 MOS 管, 则输出阻抗将会提高, 其值近似为基本型恒流源输出电阻 r_0 乘上共栅管的电压放大系数. CA3130 Bi-MOS 集成运放中的恒流源就是采用这种结构.

(2) Wilson MOS 恒流源

基本型恒流源输出阻抗低,因而精度不高.要提高精度,就要提高恒流源的输出阻抗. Wilson 恒流源对基本型恒流源进行了改进,使之输出阻抗大大提高.图 9.22 是 Wilson MOS 恒流源电路图.

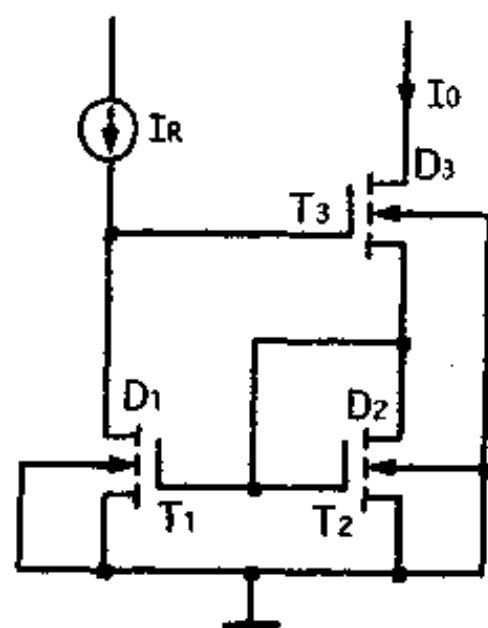


图 9.22 Wilson 恒流源

下面我们要导出 Wilson MOS 恒流源输出阻抗表达式.图 9.23 为 Wilson 恒流源等效电路图.

图中 V_x, i_x 分别为测试电压和测试电流,恒流源输出阻抗 r_0 即为 V_x/i_x .

按图 9.23,可以写出

$$\begin{aligned} i_x &= g_{m3}V_{gs3} - g_{mbs3}V_{ds2} + \frac{V_{ds3}}{r_{ds3}} \\ &= g_{m3}(V_{ds1} - V_{ds2}) - g_{mbs3}V_{ds2} + \frac{V_x - V_{ds2}}{r_{ds3}} \\ &= g_{m3}V_{ds1} - \left(g_{m3} + g_{mbs3} + \frac{1}{r_{ds3}} \right) V_{ds2} + \frac{V_x}{r_{ds3}} \end{aligned} \quad (9.114)$$

$$V_{ds1} = -g_{m1}V_{gs1}r_{ds1} = -g_{m1}V_{ds2}r_{ds1} \quad (9.115)$$

$$V_{ds2} = i_x \left(\frac{1}{g_{m2} + g_{ds2}} \right) \quad (9.116)$$

把(9.115), (9.116)式代入(9.114)式得出

$$i_x = - \left(g_{m3}g_{m1}r_{ds1} + g_{m3} + g_{mbs3} + \frac{1}{r_{ds3}} \right) \left(\frac{1}{g_{m2} + g_{ds2}} \right) i_x + \frac{V_x}{r_{ds3}}$$

$$\frac{V_x}{i_x} = \left[1 + \frac{g_{m3}g_{m1}r_{ds1} + g_{m3} + g_{mbs3} + \frac{1}{r_{ds3}}}{g_{m2} + g_{ds2}} \right] r_{ds3}$$

$$r_0 = \frac{V_x}{i_x} = r_{ds3} \left[1 + \frac{g_{m3}}{g_{m2} + g_{ds2}} (g_{m1}r_{ds1} + 1 + \eta) \right] + \frac{1}{g_{m2} + g_{ds2}} \quad (9.117)$$

假定 T_1, T_2, T_3 设计参数和工艺参数都相同, 即: $g_{m1} = g_{m2} = g_{m3}$.
 在通常情况下 $g_{m2} \gg g_{ds2}, g_{m1}r_{ds1} \gg 1 + \eta$

这样(9.117)式可简化为

$$r_o \approx r_{ds3}(1 + g_{m1}r_{ds1}) + \frac{1}{g_{m2}} \approx r_{ds3}g_{m1}r_{ds1} \quad [38][45] \quad (9.118)$$

(9.118)式表明, Wilson 恒流源的输出阻抗 r_o 是 T_3 管动态电阻 r_{ds3} 的 $g_{m1}r_{ds1}$ 倍. $g_{m1}r_{ds1}$ 正是 T_1 管的电压放大系数. 因此 Wilson 恒流源输出阻抗 r_o 高达数十 $M\Omega$.

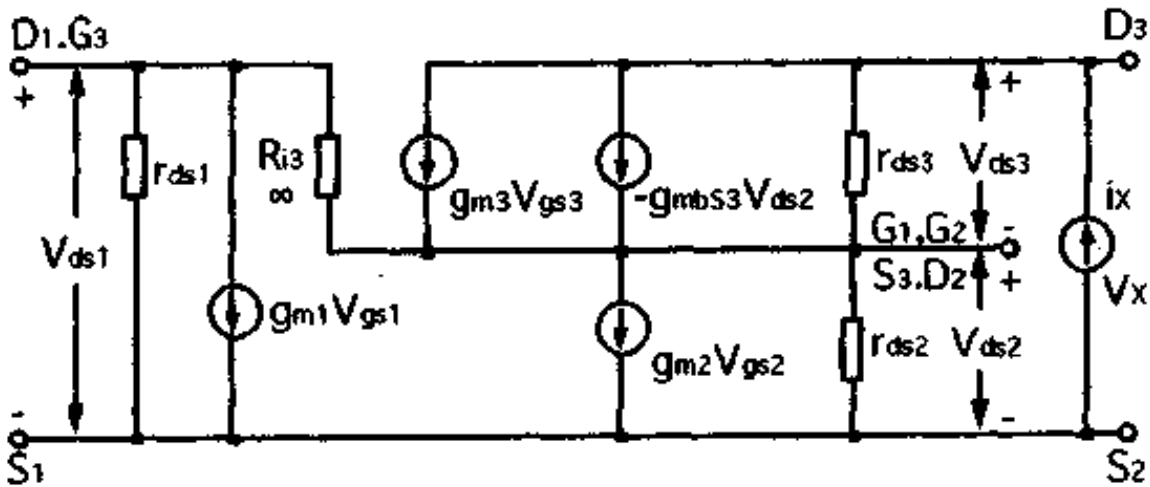


图 9.23 Wilson 恒流源等效电路^[38]

9.2.4 MOS 差分输入级

差分输入级是集成运放最基本最重要的单元电路. 由于 MOS 晶体管具有极高的直流输入阻抗这一可贵的特性, 因此采用 MOS 管构成的差分输入级, 将大大提高集成运放输入阻抗这一重要的参数性能. 为此人们对 MOS 差分输入级进行过许多研究. 本节就 MOS 差分输入级的基本特性进行讨论.

(1) 电阻负载 MOS 差分输入级

图 9.24 是以电阻 R_c 为负载的 MOS 差分输入级电路图. 图 9.25 为其等效电路图.

① 差模电压增益 A_d . 设 T_1 栅源输入电压为: $V_{i1} = \frac{1}{2}V_i$, T_2 栅源输入电压为: $V_{i2} = -\frac{1}{2}V_i$, 则: 差分放大器输入差模电压为

$$V_{i1} - V_{i2} = V_i \quad (9.119)$$

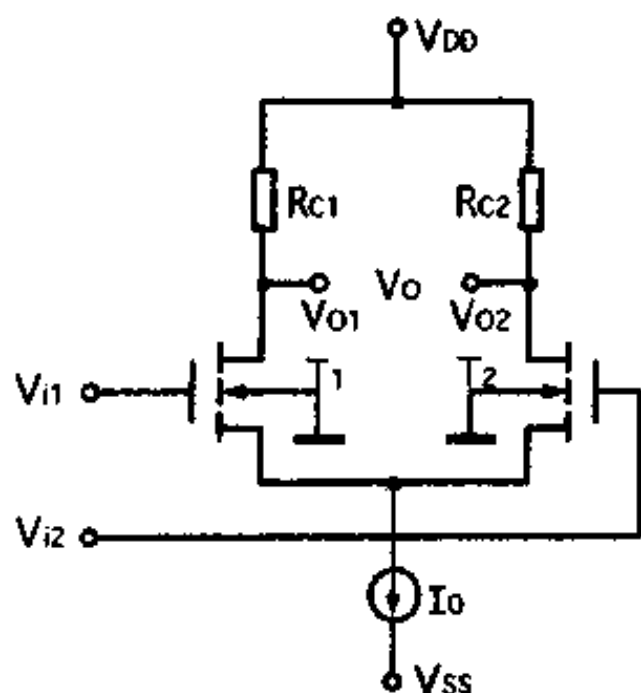


图 9.24 电阻负载 MOS 差分输入级

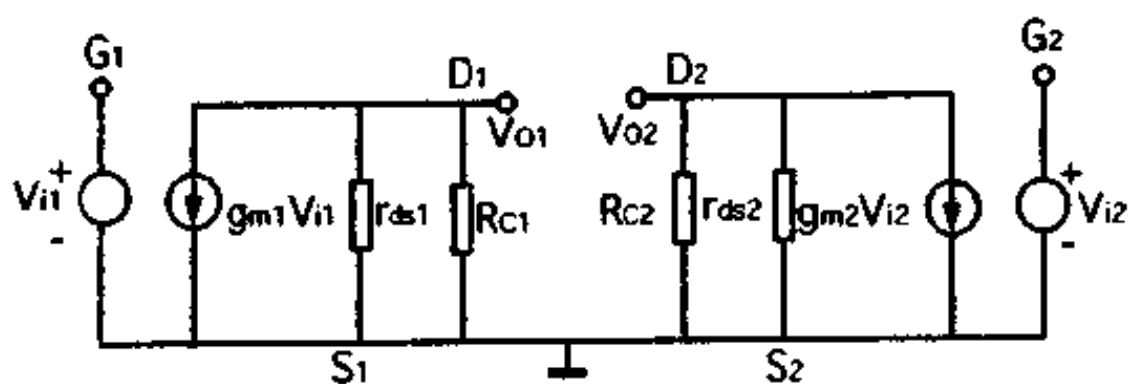


图 9.25 电阻负载差分输入级等效电路

按图 9.25 等效电路, 写出

$$V_{o1} = -g_{m1}V_{i1}(r_{ds1} \parallel R_{C1}) = -g_{m1}\left(\frac{1}{2}V_i\right)(r_{ds1} \parallel R_{C1}) \quad (9.120)$$

$$V_{o2} = -g_{m2}V_{i2}(r_{ds2} \parallel R_{C2}) = -g_{m2}\left(-\frac{1}{2}V_i\right)(r_{ds2} \parallel R_{C2}) \quad (9.121)$$

$$V_o = V_{o1} - V_{o2} = -\frac{1}{2}g_{m1}V_i(r_{ds1} \parallel R_{C1}) - \frac{1}{2}g_{m2}V_i(r_{ds2} \parallel R_{C2}) \quad (9.122)$$

差模电压增益则为

$$A_d = \frac{V_o}{V_i} = -\frac{1}{2}g_{m1}(r_{ds1} \parallel R_{C1}) - \frac{1}{2}g_{m2}(r_{ds2} \parallel R_{C2}) \quad (9.123)$$

设 T_1, T_2 对管参数完全对称, 即: $g_{m1} = g_{m2} = g_m, r_{ds1} = r_{ds2} = r_{ds}$

并设 $R_{C1} = R_{C2} = R_C$, 则(9.123)式改写成

$$A_d = -g_m(r_{ds} \parallel R_C) \quad (9.124)$$

(9.124)式表明, MOS 差分输入级差模电压增益 A_d 与双极型一样, 跟其单管的跨导 g_m 和有效负载 $(r_{ds} \parallel R_C)$ 有关. 要提高增益, 主要要提高有效负载. 把电阻负载改为有源负载乃是提高增益 A_d 的有效途径.

② MOS 差分输入级跨导 g_m . 从(9.124)式已经看到, 差分放大器跨导实际上就是单管 MOS 放大器的跨导, 因此可按(9.62)式写出结果

$$g_m = \sqrt{4KI_{DS}(1 + \lambda V_{DS})} \approx \sqrt{4KI_{DS}}$$

由于 $I_{DS} = \frac{1}{2}I_0$, 故上式可改写为

$$g_m \approx \sqrt{2KI_0} \quad (9.125)$$

③ MOS 差分输入级失调电压 V_{os} . 在第三章对差分放大器的失调电压我们给出了两种定义方法, 现在我们用这两种定义的概念求出 MOS 差分输入级的失调电压 V_{os} .

MOS 差分放大器失调电压可以认为是由两部分迭加而成的：一部分是由于两个 MOS 对管器件参数不对称引起的失调 V_{os1} ，另一部分是因为负载失配引起的失调 V_{os2} 。即

$$V_{os} = V_{os1} + V_{os2} \quad (9.126)$$

V_{os1} 就是假定负载完全对称的情况下，为使输出端直流电压为零，在输入端所加的补偿电压，也就是说，为使 T_1, T_2 的漏极电流相等，在输入端所加的补偿电压。

$$\Delta V_{GS} = V_{GS1} - V_{GS2} \quad (9.127)$$

假定不考虑沟道调制效应， T_1, T_2 饱和区漏极电流可以写成

$$I_{DS1} = K_1 (V_{GS1} - V_{T1})^2 \quad (9.128)$$

$$I_{DS2} = K_2 (V_{GS2} - V_{T2})^2 \quad (9.129)$$

设 $K_1 = K, K_2 = K + \Delta K, V_{T1} = V_T, V_{T2} = V_T - \Delta V_T$

并已设定 $I_{DS1} = I_{DS2} = I_0/2$

把这些值代入 (9.128), (9.129) 式，得出

$$\begin{aligned} \Delta V_{GS} &= V_{GS1} - V_{GS2} \\ &= \Delta V_T + \left[\sqrt{\frac{I_0}{2K}} - \sqrt{\frac{I_0}{2(K+\Delta K)}} \right] \\ &= \Delta V_T + \sqrt{\frac{I_0}{2K}} \left[1 - \left(1 + \frac{\Delta K}{K} \right)^{-\frac{1}{2}} \right] \end{aligned} \quad (9.130)$$

应用当 $x \ll 1$ 时， $(1+x)^n = 1 + nx + \dots$ 展开式，得

$$\Delta V_{GS} \approx \Delta V_T + \sqrt{\frac{I_0}{8K}} \frac{\Delta K}{K} \quad (9.131)$$

$K = K' \frac{W}{L}$ ，对 K 求微分得到

$$\frac{\Delta K}{K} = \frac{\Delta W}{W} - \frac{\Delta L}{L} = \left| \frac{\Delta W}{W} \right| + \left| \frac{\Delta L}{L} \right| \quad (9.132)$$

把 (9.132) 式代入 (9.131) 式得出

$$V_{os1} = \Delta V_{GS} = \Delta V_T + \sqrt{\frac{I_0}{8K}} \left(\left| \frac{\Delta W}{W} \right| + \left| \frac{\Delta L}{L} \right| \right) \quad (9.133)$$

利用(9.125)式代入(9.133)式得出

$$V_{os1} = \Delta V_T + \frac{I_0}{2g_m} \left(\left| \frac{\Delta W}{W} \right| + \left| \frac{\Delta L}{L} \right| \right) \quad (9.134)$$

对于 V_{os2} , 就是假定 T_1, T_2 管器件参数完全对称的情况下, 由于负载失配, 输出端出现的直流电压折合到输入端的电压值。

设 $R_{C2} = R_{C1} + \Delta R_C$

则输出端出现的直流电压差为

$$\frac{I_0}{2} R_{C2} - \frac{I_0}{2} R_{C1} = \frac{I_0}{2} \Delta R_C \quad (9.135)$$

这直流电压差折合到输入端即为

$$V_{os2} = \frac{I_0 \Delta R_C}{2g_m R_C} \quad (9.136)$$

由(9.134), (9.136)式得出 MOS 差分输入级失调电压为

$$\begin{aligned} V_{os} &= V_{os1} + V_{os2} \\ &= \Delta V_T + \frac{I_0}{2g_m} \left(\frac{\Delta R_C}{R_C} + \left| \frac{\Delta W}{W} \right| + \left| \frac{\Delta L}{L} \right| \right) \end{aligned} \quad (9.137)$$

由(9.137)式可以看出, MOS 差分输入级失调电压 V_{os} 跟两个 MOS 差分对管的阈值电压差 ΔV_T 成正比关系, 由于 MOS 管阈值电压在伏的数量级, 所以在一般情况下, 以 MOS 差分放大器作输入级的集成运放, 输入失调电压要比双极型的集成运放. 为减小 MOS 差分输入级失调电压, 就要降低 MOS 管阈值电压, 使之差值减小. 另外 MOS 差分输入级失调电压还跟 MOS 管的沟道宽长尺寸的误差, 负载电阻的不对称性有关. 为减小这些几何误差, 可以适当加大沟道长度 L 和宽度 W , 采用合理的版图布局以及提高工艺精度等。

(2) 有源负载 MOS 差分输入级

用 MOS 管构成的恒流源作为有源负载, 来替代 MOS 差分输入级的电阻负载, 即构成了有源负载 MOS 差分输入级电路. 如图

9.26 所示.

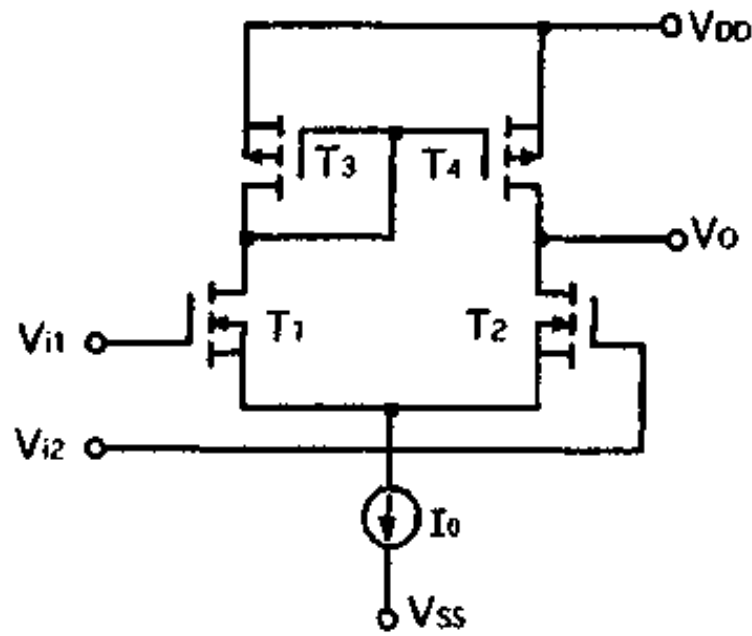


图 9.26 有源负载 MOS 差分输入级

T_1, T_2 是 N 沟增强型 MOS 晶体管组成差分对管, T_3, T_4 为 P 沟增强型 MOS 晶体管, 组成 MOS 恒流源电路, 作为 T_1, T_2 有源负载, T_3, T_4 还构成双端—单端转换电路, 完成单端化功能, 信号由 V_o 输出.

① 差模电压增益 A_d . 有源负载跟电阻负载的 MOS 差分输入级所不同的只是“负载”. 因此只要用“动态电阻”代替“电阻负载”, 即可得出有源负载 MOS 差分输入级差模电压增益.

设 T_1, T_2 器件参数完全对称,

即

$$g_{m1} = g_{m2}, r_{ds1} = r_{ds2}$$

T_3, T_4 动态电阻分别为 r_{ds3}, r_{ds4}

根据(9.124)式可以直接写出

$$A_d = -g_{m2} (r_{ds2} \parallel r_{ds4}) \quad (9.138)$$

按(9.80)式写出

$$r_{ds2} \approx \frac{1}{\lambda_2 I_{DS2}}, \quad r_{ds4} \approx \frac{1}{\lambda_4 I_{DS4}} \quad (9.139)$$

按(9.62)式写出

$$g_{m2} \approx \sqrt{4K_2 I_{DS2}} \quad (9.140)$$

把(9.139), (9.140)式以及 $I_{DS2} = I_{DS4}$ 代入(9.138)式得出

$$A_d = -\sqrt{\frac{4K_2}{I_{DS2}}} \left(\frac{1}{\lambda_2 + \lambda_4} \right) \quad (9.141)$$

从(9.138)式看出,要提高增益 A_d ,一是提高跨导 g_{m2} ,二是提高有效负载($r_{ds2} \parallel r_{ds4}$).从(9.140)式看,要提高跨导 g_{m2} ,就要增大电流 I_{DS2} ,但从(9.139)式看,要提高负载却要减小电流 I_{DS2} .由于跨导 g_{m2} 跟电流 I_{DS2} 平方根成正比,而负载跟电流成反比,因此最后结果增益 A_d 跟电流平方根成反比.由(9.141)式看出,有源负载差分输入级工作电流越小,则差模电压增益越高.

② 有源负载 MOS 差分输入级失调电压 V_{os} . 有源负载 MOS 差分输入级失调电压 V_{os} 也是由两部分迭加而成的,一部分是差分对管器件参数不对称引起的失调电压 V_{os1} ,另一部分是由负载管 T_3, T_4 不对称引起的失调电压 V_{os2} ,即

$$V_{os} = V_{os1} + V_{os2} \quad (9.142)$$

关于 T_1, T_2 管不对称引起的失调电压 V_{os1} 已经推导,由(9.134)式给出

$$V_{os1} = \Delta V_{T1} + \frac{I_0}{2g_{m1}} \left(\left| \frac{\Delta W_1}{W_1} \right| + \left| \frac{\Delta L_1}{L_1} \right| \right) \quad (9.143)$$

可以用同样方法求出

$$V_{GS3} - V_{GS4} = \Delta V_{T3} + \frac{I_0}{2g_{m3}} \left(\left| \frac{\Delta W_3}{W_3} \right| + \left| \frac{\Delta L_3}{L_3} \right| \right) \quad (9.144)$$

把 T_3, T_4 不对称产生的 $(V_{GS3} - V_{GS4})$ 先折合到输出端,则输出端的失调值应为

$$V'_{os2} = \left[\Delta V_{T3} + \frac{I_0}{2g_{m3}} \left(\left| \frac{\Delta W_3}{W_3} \right| + \left| \frac{\Delta L_3}{L_3} \right| \right) \right] \cdot g_{m3} (r_{ds4} \parallel r_{ds2}) \quad (9.145)$$

再把这输出端出现的直流电压 V'_{os2} ,再折合到差分放大器输

入端,即负载管 T_3, T_4 引起的差分输入级失调电压为

$$\begin{aligned}
 V_{os2} &= \frac{\Delta V'_{os2}}{g_{m1}(r_{ds2} \parallel r_{ds4})} \\
 &= \frac{g_{m3}}{g_{m1}} \Delta V_{T3} + \frac{g_{m3}}{g_{m1}} \left[\frac{I_0}{2g_{m3}} \left(\left| \frac{\Delta W_3}{W_3} \right| + \left| \frac{\Delta L_3}{L_3} \right| \right) \right] \\
 &= \frac{g_{m3}}{g_{m1}} \Delta V_{T3} + \frac{I_0}{2g_{m1}} \left(\left| \frac{\Delta W_3}{W_3} \right| + \left| \frac{\Delta L_3}{L_3} \right| \right) \quad (9.146)
 \end{aligned}$$

把(9.143), (9.146)式代入(9.142)式就得出有源负载差分输入级失调电压 V_{os}

$$\begin{aligned}
 V_{os} &= \Delta V_{T1} + \frac{g_{m3}}{g_{m1}} \Delta V_{T3} + \frac{I_0}{2g_{m1}} \cdot \\
 &\quad \left(\left| \frac{\Delta W_1}{W_1} \right| + \left| \frac{\Delta L_1}{L_1} \right| + \left| \frac{\Delta W_3}{W_3} \right| + \left| \frac{\Delta L_3}{L_3} \right| \right)^{[22][38]} \quad (9.147)
 \end{aligned}$$

(9.147)式指出了有源负载差分输入级失调电压 V_{os} 跟差分对管 T_1, T_2 的阈值电压差 ΔV_{T1} , 负载管 T_3, T_4 的阈值电压差 ΔV_{T3} 有关; 也跟负载管与差分对管的跨导之比 g_{m3}/g_{m1} 有关, 要减小失调电压, 就要减小 g_{m3}/g_{m1} 比值, 因此负载管的宽长比要设计小些. 另外为减小失调电压, 沟道长度和宽度要设计大些, 减小相对误差.

9.2.5 MOS 源极跟随器

在双极型电路中有射极跟随器, 在 MOS 电路中与之对应的有源极跟随器. 源极跟随器与射极跟随器一样, 具有输入阻抗高, 输出阻抗低, 电压增益近为 1 的特点, 常用之作级间隔离器或输出级电路, 源极跟随器也是 MOS 模拟集成电路中的基本单元电路之一.

图 9.27 为源极跟随器电路图.

图中 R_E 通常是采用有源电阻, 因此

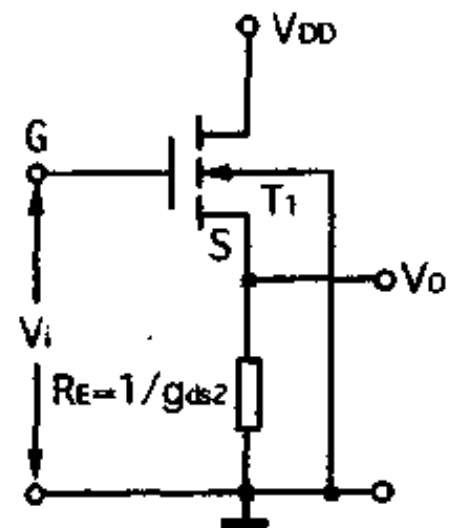


图 9.27 MOS 源极跟随器

可用 $R_E = 1/g_{ds2}$ 表示. 下面我们来求源极跟随器的电压增益和输出电阻.

① MOS 源极跟随器电压增益 A_d . 图 9. 28 是源极跟随器低频小信号等效电路.

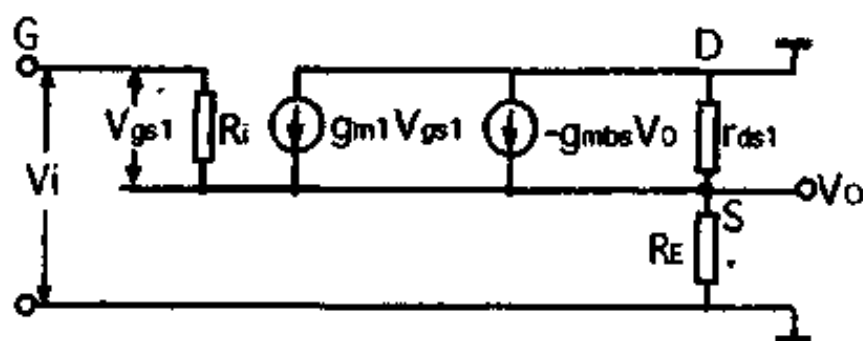


图 9. 28 源极跟随器等效电路

按等效电路可以写出

$$\begin{aligned} V_o &= (g_{m1} V_{gs1} - g_{mbs1} V_o) (r_{ds1} \parallel R_E) \\ &= [g_{m1} (V_i - V_o) - g_{mbs1} V_o] \frac{1}{g_{ds1} + g_{ds2}} \\ A_d &= \frac{V_o}{V_i} = \frac{g_{m1}}{(1 + \eta) g_{m1} + g_{ds1} + g_{ds2}} \end{aligned} \quad (9. 148)$$

因 $g_{m1} \gg g_{ds1}, g_{ds2}$, 所以上式可简化为

$$A_d \approx \frac{1}{1 + \eta} \quad (9. 149)$$

可见, MOS 源极跟随器, 电压增益 A_d 接近于 1, 如 $\eta \ll 1, A_d \approx$

1.

② MOS 源极跟随器输出电阻 r_o . 求输出电阻, 让 $V_i = 0$, 这样等效电路可画成如图 9. 29.

按等效电路可以写出

$$i_o = g_{m1} V_o + g_{mbs1} V_o + g_{ds1} V_o + g_{ds2} V_o$$

输出电阻

$$r_o = \frac{V_o}{i_o} = \frac{1}{(1 + \eta) g_{m1} + g_{ds1} + g_{ds2}} \quad (9. 150)$$

$g_{m1} \gg g_{ds1}, g_{ds2}$, 因此上式可简化为

$$r_o = \frac{1}{(1+\eta)g_{m1}} \quad (9.151)$$

可见, 源极跟随器输出阻抗很小, 当 $\eta \ll 1$ 时, 近似等于 MOS 管跨导倒数.

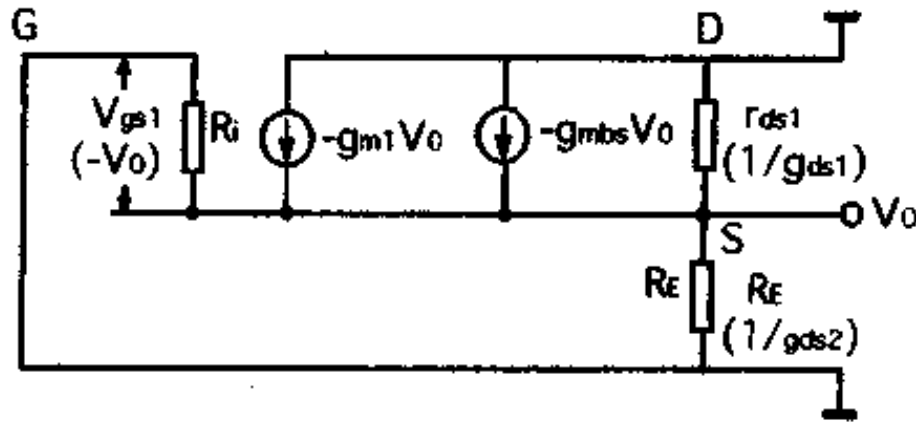


图 9.29 求输出电阻等效电路

9.2.6 MOS 集成运放输出级

MOS 输出级电路也是 MOS 集成运放基本的单元电路. 跟双极型电路一样, 对输出级要求有尽可能高的输出幅度; 尽可能大的输出电流; 尽可能低的输出阻抗; 尽可能小的功耗以及尽可能减小相移等. 下面讨论几种 MOS 输出级电路.

(1) 单管源极跟随器输出级

图 9.30 是单管源极跟随器输出级电路.

T_1 为源极跟随器, T_2 是 T_1 的有源负载. 下面我们来讨论这种输出级的摆幅.

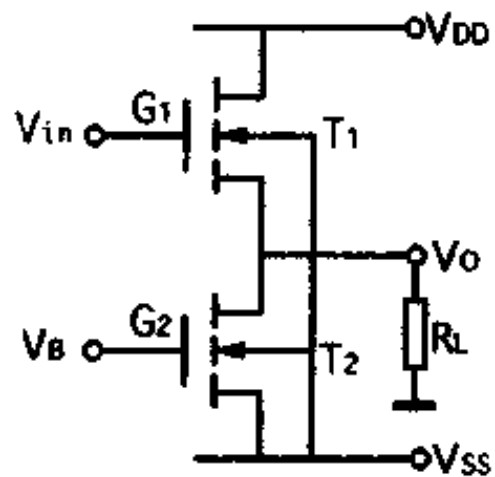


图 9.30 单管源极跟随器输出级

① 正向输出电压幅度. 当 $V_{in} \geq V_{T1}$ 时, T_1 管导通, 正向输出电流由

$$V_{DD} \rightarrow T_1 \rightarrow R_L \rightarrow \text{地}$$

$$V_o^+ = V_{DD} - V_{DS1} \quad (9.152)$$

设 V_{in} 的最大值取 V_{DD} , 此时 $V_{DS1} = V_{GS1}$, 因此正向输出最大幅度为

$$V_{o_{max}}^+ = V_{DD} - V_{T1} \quad (9.153)$$

由于 T_1 管的源极不是与衬底同电位, 因此其阈值电压 V_{T1} 将受到衬底体效应的影响, 要增加 ΔV_{T1} , 这样(9.153)式应改写为

$$V_{o_{max}}^- = V_{DD} - (V_{T1} + \Delta V_{T1}) \quad (9.154)$$

按(9.46)式

$$\Delta V_{T1} = r[(V_s - V_{BS})^{\frac{1}{2}} - (V_s)^{\frac{1}{2}}] \quad (9.155)$$

$V_{BS} = V_{SS} - V_{o_{max}}^+$, 代入上式得

$$\Delta V_{T1} = r[(V_s + V_{o_{max}}^+ + |V_{SS}|)^{\frac{1}{2}} - (V_s)^{\frac{1}{2}}] \quad (9.156)$$

由于 $V_{o_{max}}^+ + |V_{SS}|$ 是相当可观的, 所以 ΔV_{T1} 是不可忽略的值. 因此单管源极跟随器输出级的正向输出电压幅度将比 V_{DD} 低得多.

② 负向输出电压幅度. 负向输出时, 负向电流由地 $\rightarrow R_L \rightarrow T_2 \rightarrow V_{SS}$. T_2 为恒流源, 输出电阻为 $r_{o2} = r_{ds2}$. 因此负向输出电压可以写成

$$V_o^- = \frac{R_L}{R_L + r_{ds2}} V_{SS} \quad (9.157)$$

空载时
$$V_{o_{max}}^- \approx V_{SS} \quad (9.158)$$

但是负向输出最大电流是由恒流源偏置所决定, 因此这种输出级负向负载能力较低.

这种用单管源极跟随器作输出级, 由(9.149)式给出的电压增益 $A_d = 1/(1+\eta)$, η 为体效应结果, 从而使 $A_d < 1$.

由(9.151)式可知, 单管源极跟随器输出电阻 r_o 近似为 $1/g_m$, 由于 MOS 管跨导 g_m 较低, 因此源极跟随器的输出阻抗比双极型

的射极跟随器大,为减小输出电阻,在 CMOS 电路中有时采用双极型的 npn 晶体管替代图 9.30 中的 T_1 NMOS 管,如图 9.31 所示.

其中 npn 晶体管是通过 CMOS 相容工艺实现的,集电极是用 PMOS N 型衬底,基区是用 P 阱,发射区是在形成 NMOS 源漏 N^+ 区时,同时形成的.因此在 CMOS 工艺中作 npn 晶体管无需增加新工序.

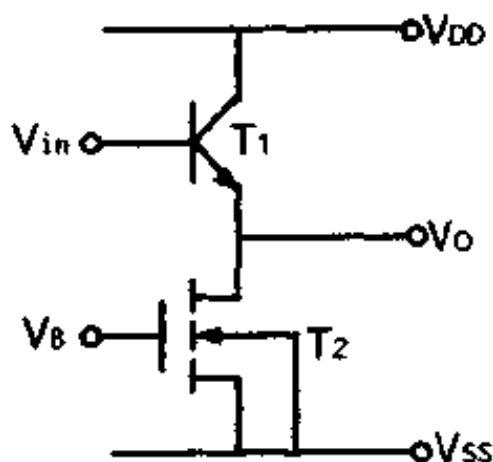


图 9.31 用 npn 管替代 MOS 管的输出级

(2) CMOS 互补输出级

为克服单管源极跟随器输出级负向负载能力低的缺点,可采用 NMOS 和 PMOS 两种晶体管的源极跟随器组成输出级,即所谓 CMOS 互补输出级,图 9.32 是 CMOS 互补输出级电路.

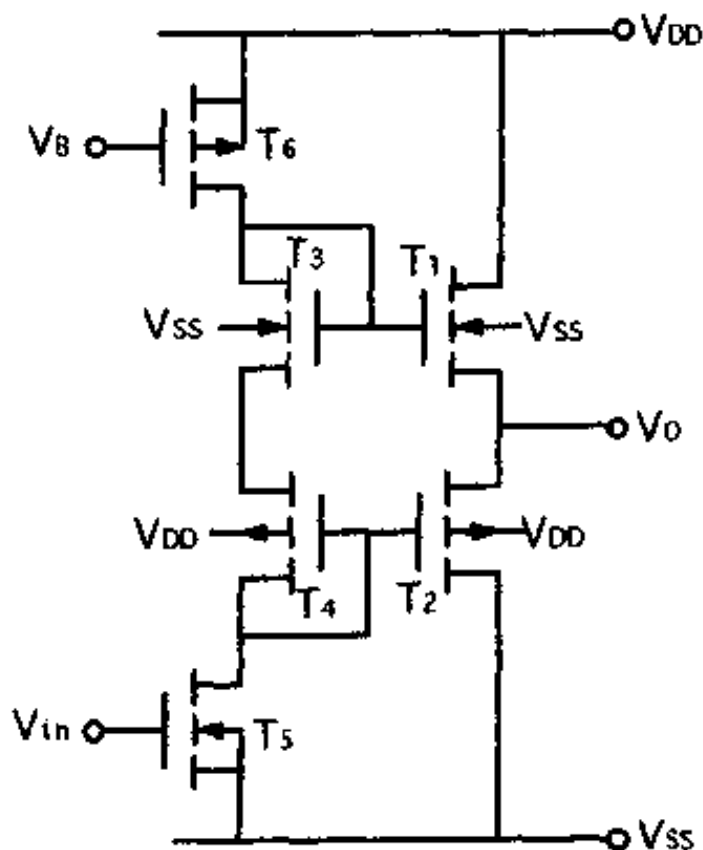


图 9.32 CMOS 互补输出级

图中, T_1, T_2 组成 CMOS 互补输出级, T_3, T_4 为 T_1, T_2 两管栅极间提供 2 个 V_T 的偏压, 以克服“交越失真”, T_5 为恒流源. 信号从 T_5 栅极输入.

当输入正信号 $V_{in} = V_{T5}$ 时, T_5 管开始导通, 当 T_5 管完全导通时, T_1 管截止, T_2 管导通. 输出负向电压为 V_0^- .

$$V_0^- = V_{SS} - V_{GS2} + V_{DS5} \approx V_{SS} - V_{GS2} \quad (9.159)$$

当输入 $V_{in} < V_{T5}$ 时, T_5 管截止, 当 T_5 管完全截止时, T_1 管导通, T_2 管截止, 输出为正向电压 V_0^+ .

$$V_0^+ = V_{DD} - V_{GS1} + V_{DS6} \approx V_{DD} - V_{GS1} \quad (9.160)$$

因此 CMOS 互补输出级输出电压摆幅为

$$\begin{aligned} V_0^+ - V_0^- &= V_{DD} - V_{SS} - V_{GS1} + V_{GS2} \\ &\approx (V_{DD} + |V_{SS}|) - (V_{GS1} + |V_{GS2}|) \end{aligned} \quad (9.161)$$

从(9.161)式看出, 输出摆幅比电源电压至少要降低两个阈值电压. 若要提高输出电流, 就要增大 V_{GS} , 使输出摆幅进一步下降. 摆幅小, 是 CMOS 互补输出级主要缺点.

(3) CMOS 反相推挽输出级

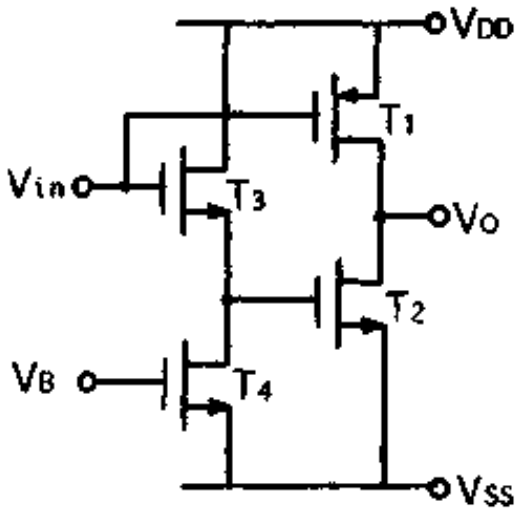


图 9.33 反相推挽输出级

为了尽可能提高输出幅度, 可采用反相推挽输出级. 图 9.33 是这种推挽输出级电路图. 为了视图明了, 这里我们改用 MOS 管另一种符号, 箭头一极表示源极.

图中 T_1, T_2 构成反相推挽输出级, 电压由两管漏极输出, T_3 是源极跟随器, T_4 是恒流源. 因 T_3 是源极跟随器, 所以其源极与栅极同相位, 源极信号基本上跟随栅极信号变化. 当

T_3 栅极输入信号向正方向变化时, T_2, T_1 栅极电位都向正方向变化. 由于 T_2 为 N 沟 MOS 管, T_1 为 P 沟 MOS 管, 因而 T_2 趋向导通, T_1 趋向截止, 输出负向电压; 当 T_3 栅极输入信号向负向变化

时, T_2 趋向截止, T_1 趋向导通, 输出正向电压. 因此这种输出级是靠 T_1, T_2 管推挽实现的, 其输出幅度非常接近正负电源. 摆幅大, 但输出电阻也大.

9.3 Bi-MOS 集成运放典型电路

Bi-MOS 集成运放是利用双极型器件(Bipolar)和 MOS 器件相容的工艺技术, 在同一衬底上形成 Bipolar 和 MOS 晶体管混合型的集成电路运算放大器. 它既发挥 MOS 晶体管直流输入阻抗高, 功耗低等特点, 又发挥双极型晶体管速度快, 频率高等优点, 使集成运放的综合性能指标大为提高. 通常采用 MOS 管作为差分输入级, 使得集成运放输入阻抗比双极型电路高得多; MOS 晶体管频率特性虽不如双极型纵向 npn 管, 但比横向 pnp 管好, 因此用 MOS 管替代横向 pnp 管, 使电路的频率特性又得以改善; 中间放大级多采用双极型纵向 npn 晶体管, 这样可保证速度快, 增益高的特点. 以 MOS 管作为差分输入级的 Bi-MOS 集成运放主要问题是失调电压较大. 在(9.147)式中可以看到, MOS 差分输入级失调电压 V_o 跟 MOS 差分对管的阈值电压差 ΔV_T 成正比关系, 为减小失调电压, 可以通过电路设计, 版图设计以及离子注入技术等工艺手段获得改善. 由于 Bi-MOS 集成运放具有众多的优点, 因而多年来倍受重视, 获得发展.

在 9.2 节我们讨论了 MOS 集成运放单元电路, 在这基础上, 本节先以 CA3130 Bi-MOS 集成运放这一典型电路进行分析. 在下一节再讨论全 MOS 集成运放.

CA 3130 是美国 RCA 公司开发的 Bi-MOS 的集成运放, 是最具有代表性的典型电路. 电路结构简单, 精巧, 性能优越. 它具有非常高的输入阻抗 ($R_{id} = 1.5 \times 10^{12} \Omega$), 非常低的输入电流 (工作电压 $V = 15V$ 时, $I_{in} = 5pA$, $V = 5V$ 时, $I_{in} = 2pA$), 并有宽的带宽 (单位增益带宽为 15MHz), 高的上升速率 (单位增益下, $SR =$

10V/ μ s), 还有高的电压增益($A_v \approx 110\text{db}$), 失调电压 V_{os} 典型值也只有 2mV.

9.3.1 CA 3130 电路结构和工作原理

图 9.34 是 CA 3130 Bi-MOS 集成运放电路图.

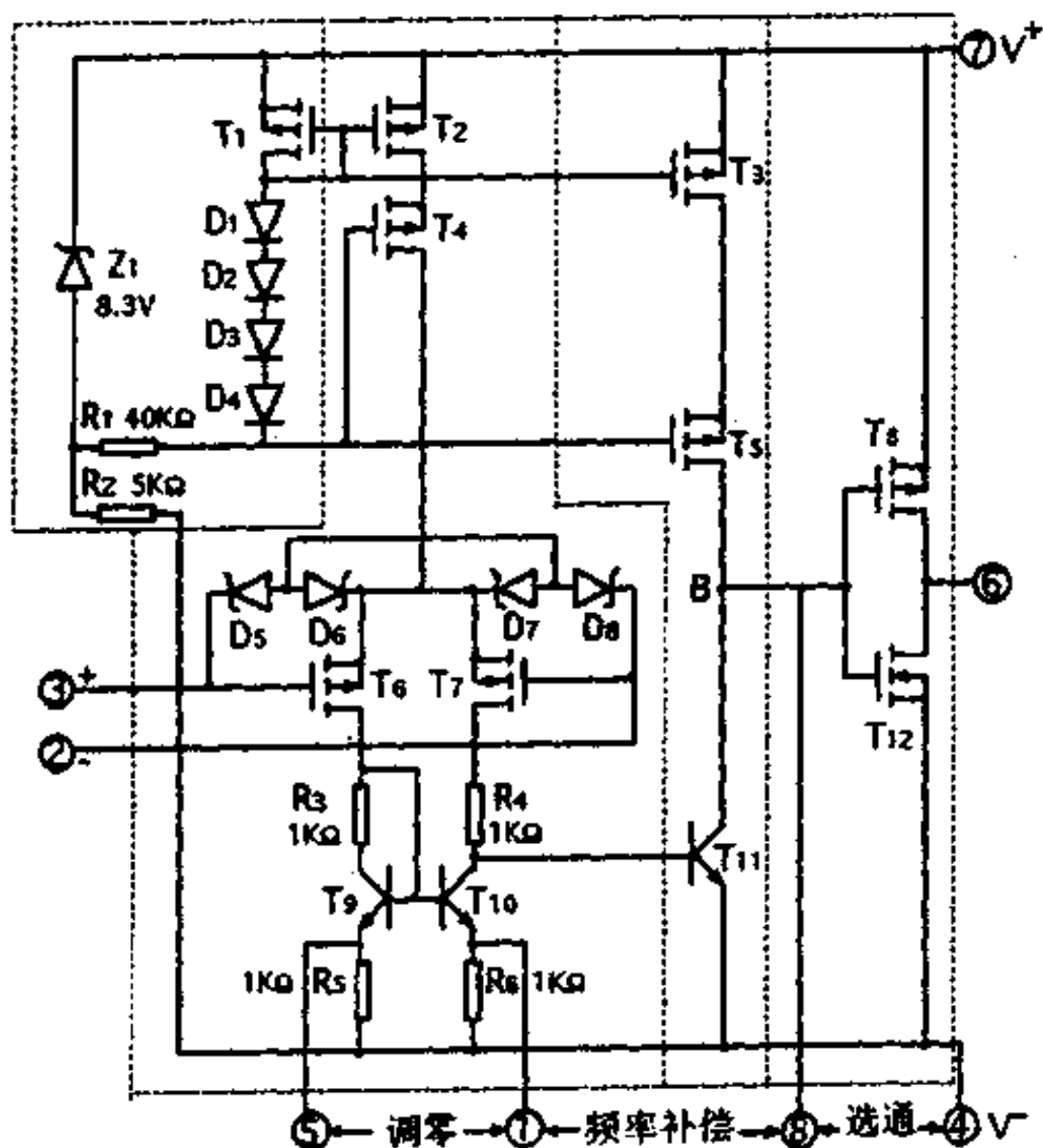


图 9.34 CA 3130 电路图^[6]

总体电路由偏置电路, 差分输入级, 中间级(第二级)和输出级构成.

(1) 主偏置电路

主偏置电路由 PMOS 管 T_1 , 二极管 D_1, D_2, D_3, D_4 , 稳压管 Z_1 , 限流电阻 R_1, R_2 组成, 如图 9.35.

稳压管 Z_1 提供 8.3V 基准电压, D_1, D_2, D_3, D_4 起 Z_1 温度补偿作用, 以提高偏置电路温度稳定性. 按图 9.35, 可以写出

$$|V_{DS1}| + 4V_D + I_{R1} \cdot R_1 = 8.3V \quad (9.162)$$

设二极管正向压降 $V_D \approx 0.55V$, 如恒流源参考电流 I_{R1} 设定 $100\mu A$, 则 $|V_{DS1}| = 2.1V$.

T_1, T_2 构成 MOS 基本型恒流源, 共栅管 T_1 的加入, 以提高基本型恒流源的输出电阻. 这一组恒流源提供差分输入级恒定电流. 如 T_2, T_4 管的宽长比 $(W/L)_{2,4}$ 为 T_1 管的 2 倍, 那么差分输入级恒定电流则为 $I_0 = 200\mu A$.

T_1, T_3 构成另一组基本型恒流源, T_3 的加入, 也是为了提高恒流源输出阻抗, 使输出阻抗变为 $r_{o5} = (g_{m5}r_{ds5})r_{ds3}$. 这一组恒流源作为第二级主放大管 T_{11} 的有源负载, 如 T_3, T_5 的宽长比 $(W/L)_{3,5}$ 也为 T_1 管 2 倍, 则 $I_{C11} = 200\mu A$.

(2) 输入级

P 沟 MOS 管 T_6, T_7 组成 MOS 差分输入级, 为了减小失调, 实际版图中采用六个 MOS 管交叉耦合构成. T_1, T_2, T_4 是输入级恒流源电路. 双极型晶体管 T_9, T_{10} , 电阻 R_3, R_4, R_5, R_6 构成双极型恒流源电路, 作为差分输入级的有源负载, 并完成双端 → 单端转换. D_5, D_6, D_7, D_8 是输入差分对管栅保护电路.

(3) 中间级

双极型 npn 晶体管 T_{11} 是中间级主放大管, T_1, T_3, T_5 构成 MOS 恒流源作为 T_{11} 的有源负载. 中间级是 CA 3130 集成运放的

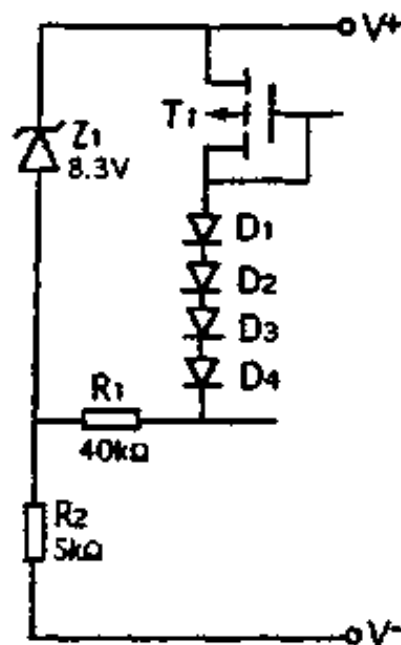


图 9.35 CA 3130 主偏置电路

主增益级。

(4) 输出级

P沟MOS管 T_8 和N沟MOS管 T_{12} 构成CMOS反相推挽输出级。在9.2.6节已经说明,这种输出级输出摆幅大,接近电源电压 $(V^+ - V^-)$ 。输出电流可达20mA左右。CA 3130 Bi-MOS集成运放还具有“选通功能”,CMOS反相推挽输出级的输入端(B点),如果施加选通信号电压 $V > \frac{1}{2}(V^+ - V^-)$ 时,则 $I_{T_{12}} \uparrow, I_{T_8} \downarrow$, 当 V 升至 V^+ 时, T_{12} 完全导通,其导通电阻最小, $I_{T_{12}}$ 达到最大值。与此同时, T_8 管完全截止,假如输出开路,则输出级电流几乎为零。如果选通信号电压 $V < \frac{1}{2}(V^+ - V^-)$, $I_{T_8} \uparrow, I_{T_{12}} \downarrow$, 当 $V = V^-$ 时, T_8 完全导通,其电流达到最大,与此同时, T_{12} 完全截止,如输出开路,输出级电流也几乎为零。这种“选通功能”,使CA 3130功耗大为降低。

9.3.2 CA 3130 低频增益计算

CA 3130 Bi-MOS集成运放由差分输入级,中间级和输出级构成。设差分输入级增益为 A_1 ,中间级增益为 A_2 ,输出级增益为 A_3 ,则CA 3130总增益为

$$A_d = A_1 \cdot A_2 \cdot A_3 \quad (9.163)$$

(1) 差分输入级增益 A_1

根据9.2.4节推导结果,MOS差分输入级差模电压增益由(9.124)式表示

$$A_1 = g_m (r_{ds} \parallel R_C)$$

$(r_{ds} \parallel R_C)$ 为有效负载,我们用 R_{L1} 表示,则上式改写成

$$A_1 = g_{m7} R_{L1} \quad (9.164)$$

g_{m7} 为 T_7 管跨导, R_{L1} 为其有效负载。

$$R_{L1} = (r_{ds7} + R_4) \parallel R_{o10} \parallel R_{i1} \quad (9.165)$$

R_{o10} 是 T_{10} 输出阻抗, R_{i1} 为第二级输入阻抗.

根据(9.125)式

$$g_{m7} = \sqrt{2K_7 I_0} \quad (9.166)$$

$$K = K' \frac{W}{L}, K' = \frac{\mu_p C_i}{2}, C_i = \frac{\epsilon_0 \epsilon_{SiO_2}}{d_i}$$

$$\mu_p(100) = 130 \text{cm}^2/\text{V} \cdot \text{s}$$

$$\epsilon_0 = 8.85 \times 10^{-14} \text{F/cm}$$

$$\epsilon_{SiO_2} = 3.9, d_i = 1000 \text{\AA}, \frac{W}{L} = 30$$

$I_0 = 200 \mu\text{A}$,把这一数组值代入(9.166)式算得

$$g_{m7} = 1.64 \times 10^{-4} [\Omega]^{-1} \quad (9.167)$$

$$R_{L1} = (r_{ds7} + R_s) \parallel R_{o10} \parallel R_{i1} \approx r_{ds7} \parallel R_{o10} \parallel R_{i1} \quad (9.168)$$

$$r_{ds7} \approx \frac{1}{\lambda_7 I_{DS7}}, \text{取 } \lambda_7 = 0.03 \text{V}^{-1}, I_{DS7} = \frac{1}{2} I_0 = 100 \mu\text{A}$$

代入上式得

$$r_{ds7} \approx 333 \text{k}\Omega \quad (9.169)$$

T_{10} 的输出阻抗 R_{o10} 按(3.16)式

$$R_{o10} = r_{o10} \left[\frac{1 + g_{m10} R_6}{1 + \frac{g_{m10} R_6}{\beta_{10}}} \right] \approx \frac{1}{\eta_{npn} g_{m10}} (1 + g_{m10} R_6) \quad (9.170)$$

$\eta_{npn} = 2 \times 10^{-4}, R_6 = 1 \text{k}\Omega, I_{CT10} = 100 \mu\text{A}$ 代入(9.170)式算得

$$R_{o10} \approx 6.3 \times 10^3 \text{k}\Omega \quad (9.171)$$

第二级输入阻抗 R_{i1}

$$R_{i1} \approx \beta_{T11} \cdot r_{eT11} \quad (9.172)$$

$I_{eT11} = 200 \mu\text{A}, \beta_{T11}$ 取 200 代入算得

$$R_{i1} \approx 26 \text{k}\Omega \quad (9.173)$$

$$\begin{aligned} R_{L1} &= r_{ds7} \parallel R_{o10} \parallel R_{i1} \\ &= 333 \text{k}\Omega \parallel 6300 \text{k}\Omega \parallel 26 \text{k}\Omega \approx 24 \text{k}\Omega \end{aligned} \quad (9.174)$$

把(9.167), (9.174)式代入(9.164)式

$$\begin{aligned} A_1 &= g_{m7} R_{L1} \\ &= 1.64 \times 10^{-4} (\Omega)^{-1} \times 24 \times 10^3 (\Omega) \approx 4.0 (\text{倍}) \end{aligned} \quad (9.175)$$

(2) 中间级增益 A_2

$$A_2 = g_{mT11} R_{L2} \quad (9.176)$$

g_{mT11} 为 T_{11} 管跨导, R_{L2} 为其有效负载

$$R_{L2} = r_{o5} \parallel R_{o11} \parallel r_{GS12} \quad (9.177)$$

T_5 的输出阻抗 r_{o5} , 应是恒流源 T_3 的输出阻抗 r_{ds3} 乘上共栅管 T_5 的电压增益 $g_{m5} r_{ds5}$, 即

$$r_{o5} = r_{ds3} (g_{m5} \cdot r_{ds5}) \quad (9.178)$$

$$g_{m5} = \sqrt{4K_5 I_{DS5}} \quad (9.179)$$

$I_{DS5} = 200 \mu\text{A}$, 设 T_5 的宽长比与 T_7 相同, 则代入上式得出

$$g_{m5} \approx 2.32 \times 10^{-4} (\Omega)^{-1} \quad (9.180)$$

$$r_{ds3} = r_{ds5} \approx \frac{1}{\lambda I_{DS3}}$$

$I_{DS3} = 200 \mu\text{A}$, λ 取 0.03V^{-1} 代入得

$$r_{ds3} = r_{ds5} \approx 166 \text{k}\Omega \quad (9.181)$$

把(9.180), (9.181)式代入(9.178)式得出

$$r_{o5} \approx 6393 \text{k}\Omega \quad (9.182)$$

T_{11} 管输出阻抗 $R_{o11} = r_{o11} = \frac{1}{\eta_{\text{ppn}} g_{m11}}$

$\eta_{\text{ppn}} = 2 \times 10^{-4}$, $I_{C11} = 200 \mu\text{A}$, 代入算得

$$R_{o11} \approx 650 \text{k}\Omega \quad (9.183)$$

$$r_{GS12} \approx 10^{12} \Omega \quad (9.184)$$

$$R_{L2} = r_{o5} \parallel R_{o11} \parallel r_{GS12} \approx 6393 \text{k}\Omega \parallel 650 \text{k}\Omega \approx 590 \text{k}\Omega \quad (9.185)$$

T_{11} 管跨导

$$g_{mT11} = \frac{I_{cT11}}{26 (\text{mV})} = \frac{200 (\mu\text{A})}{26 (\text{mV})} \approx 7.69 (\text{k}\Omega)^{-1} \quad (9.186)$$

把(9.186), (9.185)式代入(9.176)式

$$\begin{aligned} A_2 &= g_{mT11} R_{L2} \\ &= 7.69(\text{k}\Omega)^{-1} \times 590\text{k}\Omega \approx 4537(\text{倍}) \end{aligned} \quad (9.187)$$

(3) 输出级增益 A_3

$$A_3 = g_{mT12} \cdot R_{L3} \quad (9.188)$$

$$g_{mT12} = \sqrt{4K_{12}I_{DS12}} \quad (9.189)$$

设 $\mu_n = 400\text{cm}^2/\text{V} \cdot \text{s}$, $d_i = 1000 \text{ \AA}$, $\left(\frac{W}{L}\right)_{12} = 13$, $\epsilon_0 = 8.85 \times 10^{-14} \text{ F/cm}$, $\epsilon_{\text{SiO}_2} = 3.9$

偏置电流设定 $I_{DS12} = 8\text{mA}$. 把这数组值代入(9.189)式算得

$$g_{mT12} \approx 1.69 \times 10^{-3} (\Omega)^{-1} \quad (9.190)$$

$$R_{L3} = r_{ds\text{截止}} \parallel r_{ds\text{导通}} \approx r_{ds\text{导通}} \approx \frac{1}{\lambda_{12} I_{DS12}} \quad (9.191)$$

设当 $W_{12} = 20\mu\text{m}$ 时, $\lambda_{12} = 0.01\text{V}^{-1}$, $I_{DS12} = 8\text{mA}$, 代入(9.191)式得出

$$R_{L3} = 12.5\text{k}\Omega \quad (9.192)$$

把(9.190), (9.192)式代入(9.188)式

$$A_3 = 1.69 \times 10^{-3} (\Omega)^{-1} \times 12.5 \times 10^3 (\Omega) \approx 21(\text{倍}) \quad (9.193)$$

综上增益估算结果. $A_1 = 4.0$, $A_2 = 4537$, $A_3 = 21$

总增益为

$$A_d = A_1 \cdot A_2 \cdot A_3 = 4.0 \times 4537 \times 21 = 381108(\text{倍}) \approx 112 \text{ db} \quad (9.194)$$

9.3.3 CA 3130 主要参数指标

CA 3130 Bi-MOS 集成运放综合参数性能是相当优异的. 表 9.1 列出了其主要参数指标.

表 9.1 CA 3130 主要参数指标(典型值)^[44]

参数名称	典型值	备注
输入阻抗 R_{id}	$1.5 \times 10^{12} \Omega$	
输入电流 I_{in}	5 pA 2 pA	工作电压 $V = 15V$ 工作电压 $V = 5V$
失调电压 V_{os}	2 mV	
电压增益 A_d	110 db	320000(倍)
共模抑制比 CMRR	90 db	
最大输出电流 I_{om}	20 mA	
单位增益带宽 GB	15 MHz	
压摆率 SR	10 V/ μ s	单位增益下

9.4 全 MOS 集成运放典型电路

在第四章我们以美国仙童公司的 $\mu A 741$ 这一经典电路作为双极型集成运放的典型电路进行分析, 在 9.3 节我们又以美国 RCA 公司的代表性产品 CA 3130 作为 Bi-MOS 集成运放的典型电路进行讨论, 本节我们将以 Intersil 公司的代表作 ICL 7613 作为全 MOS 集成运放的典型电路进行简要介绍, 通过三种具有代表性的典型电路的分析与讨论, 以加深对双极型和 MOS 型模拟集成电路的单元电路理解, 并对 Bi 集成运放, Bi-MOS 集成运放, 全 MOS 集成运放整体电路有个系统的了解, 为分析、设计集成电路运算放大器和其它模拟集成电路打下基础。

MOS 集成运放由于具有输入阻抗高, 功耗低, 占有芯片面积小等特点, 因而获得了广泛重视, 除了用 MOS 晶体管构成单片 MOS 集成电路运算放大器外, MOS 集成运放还作为 LSI 模拟集成电路的基本单元广泛地应用于诸如模—数转换器中, 构成模拟—数字集成系统, 关于在单片模拟—数字 LSI 系统中所采用的集成运放, 这里不作讨论, 下面我们仅选用 Intersil 公司的 ICL 7613 CMOS 单片集成运放, 就其电路结构, 工作原理, 参数性能作一简单介绍。

9.4.1 ICL 7613 电路结构及工作原理

ICL 761x 系列 CMOS 集成运放是美国 Intersil 公司代表性产品. 包括 7611, 7612, 7613, 7614, 7615, 其电路结构基本相同, 所不同的是 7611, 7612, 7613 频率补偿为内补偿, 工作电流可调, 并具有输入保护电路. 7614, 7615 频率补偿为外补偿, 工作电流不可调, 7614 内部无输入保护电路. ICL 761x 系列集成运放均是 CMOS 低功耗电路.

ICL 7613 是 CMOS 低功耗集成电路运算放大器, 最小功耗电流仅为 $10\mu\text{A}$. 电路由偏置电路, 差分输入级和输出级构成(国内同类产品为 F7613), 图 9.36 为其完整的电路结构图.

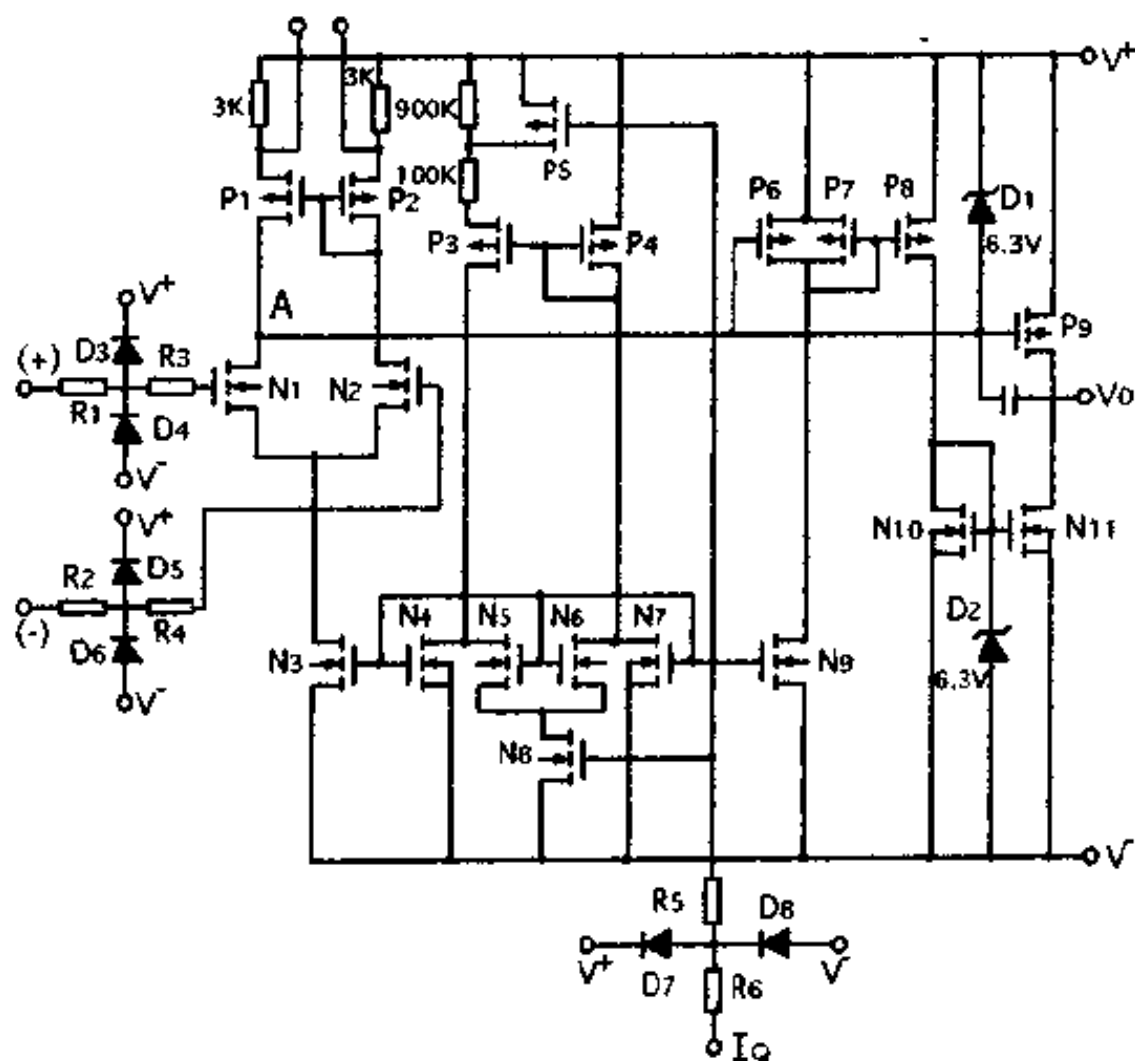


图 9.36 ICL 7613 电路图

(1) 输入级

由 N 沟 MOS 管 N_1, N_2, N_3 和 P 沟 MOS 管 P_1, P_2 构成差分输入级, N_3 为其偏置恒流源, P_1, P_2 为其有源负载, 同时实现双端变单端的转换. P_1, P_2 源极接有电阻是为提高 P_1, P_2 的输出阻抗. 引出端可外接电位器, 电位器中心端接正电源 V^+ , 可进行失调调零.

(2) 偏置电路

偏置电路由 P_3, P_4, P_5 和 N_4, N_5, N_6, N_7, N_8 组成. N_4, N_3 组成一组基本型恒流源, 提供输入级偏置电流 I_{01} ; N_4, N_9 组成另一组基本型恒流源, 提供输出级偏置电流 I_{02} . 它们之间的电流关系为

$$I_{01} = I_{N3} = I_{N4} \left[\left(\frac{W}{L} \right)_{N3} / \left(\frac{W}{L} \right)_{N4} \right] \quad (9.195)$$

$$I_{N6} = I_{N5} \left[\left(\frac{W}{L} \right)_{N6} / \left(\frac{W}{L} \right)_{N5} \right] \quad (9.196)$$

$$I_{N7} = I_{N4} \left[\left(\frac{W}{L} \right)_{N7} / \left(\frac{W}{L} \right)_{N4} \right] \quad (9.197)$$

$$I_{02} = I_{N9} = I_{N4} \left[\left(\frac{W}{L} \right)_{N9} / \left(\frac{W}{L} \right)_{N4} \right] \quad (9.198)$$

$$I_{N4} + I_{N5} = I_{P3} \quad (9.199)$$

$$I_{N6} + I_{N7} = I_{P4} \quad (9.200)$$

在这里, N_5, N_6 起着分流作用, 以实现调节偏置电流目的.

当 N_8, P_5 管的栅极接正电源时, P_5 管的栅源电压 $V_{GSP5} = 0$, P_5 管截止, P_3 管电流变小. 与此同时, N_8 管电流增大, 即 N_5, N_6 管电流增大, 分流增强, 导致 N_4 管电流 I_{N4} 减小, 使得输入级电流 $I_{01} = I_{N3}$, 输出级电流 $I_{02} = I_{N7}$ 都减小, 在电路设计时, 让此时的总电流为 $10\mu\text{A}$, 这就是 ICL 7613 CMOS 集成运放最小功耗电流为 $10\mu\text{A}$.

当 N_8, P_5 管栅极接负电源时, N_8 管截止, N_5, N_6 不起分流作

用. 与此同时, P_5 管电流增大 $\Rightarrow I_{P_3} \uparrow$, $I_{N_4} = I_{P_3}$, 从而使输入级偏置电流 I_{01} , 输出级偏置电流 I_{02} 都增大. 电路设计时, 让此时总电流为 1mA, 这就是 ICL 7613 最大功耗电流为 1mA.

当 N_8, P_5 栅极接地时, 此时电路总电流为 $100\mu\text{A}$, 其功耗介于上述两者之间.

ICL 7613 CMOS 集成运放其功耗可进行调节, 这是该电路一个特点.

(3) 输出级

输出级电路由 $N_9, P_6, P_7, P_8, N_{10}, N_{11}, P_9$ 构成, P_9, N_{11} 构成反相推挽输出级. 偏置电流有以下关系

$$I_{N_9} = I_{P_6} + I_{P_7} \quad (9.201)$$

$$I_{P_8} = I_{P_7} \left[\left(\frac{W}{L} \right)_{P_8} / \left(\frac{W}{L} \right)_{P_7} \right] \quad (9.202)$$

$$I_{N_{11}} = I_{N_{10}} \left[\left(\frac{W}{L} \right)_{N_{11}} / \left(\frac{W}{L} \right)_{N_{10}} \right] \quad (9.203)$$

当输入级的输出信号为正向时, P_6 管栅压升高, $I_{P_6} \downarrow$, 而 $I_{N_9} = I_{P_6} + I_{P_7}$, I_{N_9} 电流是恒定的, 所以 $I_{P_6} \downarrow \Rightarrow I_{P_7} \uparrow \Rightarrow I_{P_8} \uparrow \Rightarrow I_{N_{10}} \uparrow \Rightarrow I_{N_{11}} \uparrow$. 与此同时, 由于 P_9 栅极与 P_6 相连, 因此 I_{P_9} 电流也下降, 输出电流主要靠 N_{11} 管提供.

当输入级的输出信号为负向时, P_6 管栅压下降, 导致 $I_{P_6} \uparrow \Rightarrow I_{P_7} \downarrow \Rightarrow I_{P_8} \downarrow \Rightarrow I_{N_{10}} \downarrow \Rightarrow I_{N_{11}} \downarrow$. 与此同时, $I_{P_9} \uparrow$, 输出电流主要由 P_9 提供. 这样, 输出级 N_{11} 与 P_9 起着推挽作用.

ICL 7613 还具有输入, 输出保护电路, D_1, D_2 为输出保护二极管, $D_3 - D_8$ 为输入栅保护二极管.

9.4.2 ICL 7613 主要参数性能

ICL 7613(F7613) CMOS 集成运放主要参数指标如表 9.2 所列.

表 9.2 ICL 7613 主要参数指标^{[22][35]}

参 数 名 称	参数指标(典型) $V = \pm 5V$
输入失调电压 V_{os}	5mV
共模输入电压范围 V_{icR}	$\pm 4.4V$ ($I_Q = 10\mu A$) $\pm 4.2V$ ($I_Q = 100\mu A$) $\pm 3.7V$ ($I_Q = 1mA$)
输出电压摆幅 V_{opp}	$\pm 4.5V$ ($R_L = 10k\Omega$)
低频开环电压增益 A_{do}	± 100 db $\left(\begin{array}{l} R_L = 10k\Omega \\ I_Q = 100\mu A \end{array} \right)$
共模抑制比 CMRR	96 db ($I_Q = 10\mu A$) 91 db ($I_Q = 100\mu A$) 87 db ($I_Q = 1mA$)
转换速率 SR	0.016 V/ μs ($I_Q = 10\mu A$) 0.16 V/ μs ($I_Q = 100\mu A$) 1.6 V/ μs ($I_Q = 1mA$)
单位增益带宽 GB	0.044 MHz ($I_Q = 10\mu A$) 0.48 MHz ($I_Q = 100\mu A$) 1.4 MHz ($I_Q = 1mA$)

第十章 模拟集成锁相环

锁相环(Phase-Locked Loops)简称 PLL,是一种相位反馈自动控制电路。它是利用闭环相位反馈原理,使输出信号相位与输入信号相位之间保持一定的关系,可以实现频率跟踪,频率合成,信号解调等功能。在现代电子技术中获得了广泛应用。

锁相技术早在三十年代就被人们提出,但作为集成化的锁相电路在六十年代末才得以实现,世界上第一个实用的集成锁相环是 NE560。模拟集成锁相环是继集成电路运算放大器之后,又一种得到广泛应用的模拟集成电路。本章就锁相环基本原理,模拟集成锁相环单元电路,模拟集成锁相环典型电路分析等方面,进行简要讨论。

10.1 锁相环基本原理

10.1.1 锁相环构成

锁相环基本构成如图 10.1 所示。它是由鉴相器 PD(Phase Detector),低通滤波器 LPF(Low Pass Filter)和压控振荡器 VCO(Voltage Controlled Oscillator)组成。

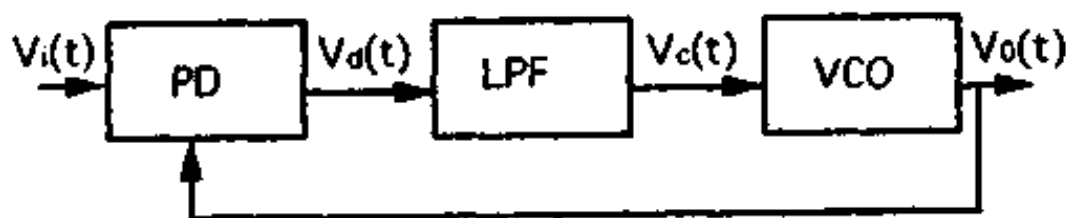


图 10.1 锁相环构成框图

鉴相器,也称相位比较器,用之比较检测输入信号 $V_i(t)$ 和压控振荡器输出信号 $V_o(t)$ 之间的相位差,完成相位差—电压的变换作用.

当 $V_i(t)$ 和 $V_o(t)$ 两个信号同时加到鉴相器输入端时,则在 PD 输出端产生输出电压 $V_d(t)$, $V_d(t)$ 是两个信号相位差的函数. 如果是线性鉴相,鉴相器的输出电压 $V_d(t)$ 则跟输入信号和压控振荡器输出信号的相位差成正比关系,相位差越大,鉴相器输出电压 $V_d(t)$ 也就越大.

低通滤波器作用是用来滤除鉴相器输出信号中的高频分量和其他干扰分量,保证锁相环路的性能,增加环路的稳定性.

压控振荡器是其振荡频率受低通滤波器输出电压 $V_c(t)$ 控制的振荡器,用之实现电压—频率变换作用. 控制电压发生变化,压控振荡频率也发生变化.

10.1.2 锁相环工作原理

在模拟集成锁相环中,鉴相器通常是一个模拟乘法器,对于一个线性化的模拟乘法器,它的输出电压 $V_d(t)$ 是跟其两个输入端的输入电压 $V_i(t)$ 和 $V_o(t)$ 的乘积成正比,即

$$V_d(t) = K_m V_i(t) V_o(t) \quad (10.1)$$

假定输入信号为

$$V_i(t) = V_{im} \sin[\omega_i t + \theta_i(t)] \quad (10.2)$$

而压控振荡器输出信号为

$$V_o(t) = V_{om} \sin[\omega_o t + \theta_o(t)] \quad (10.3)$$

把(10.2)、(10.3)式代入(10.1)式得

$$\begin{aligned} V_d(t) &= K_m V_{im} V_{om} \sin[\omega_i t + \theta_i(t)] \sin[\omega_o t + \theta_o(t)] \\ &= -\frac{1}{2} K_m V_{im} V_{om} \cos[(\omega_i + \omega_o)t + \theta_i(t) + \theta_o(t)] \\ &\quad + \frac{1}{2} K_m V_{im} V_{om} \cos[(\omega_i - \omega_o)t + \theta_i(t) - \theta_o(t)] \quad (10.4) \end{aligned}$$

(10.4)式中的第一项为“和频项”,频率高,将被低通滤波器

LPF 滤除;第二项为“差频项”,可通过 LPF,因此通过低通滤波器 LPF 后,信号只保留差频项

$$V_c(t) = \frac{1}{2} K_m V_{im} V_{om} \cos \{ (\omega_i - \omega_0)t + [\theta_i(t) - \theta_0(t)] \} \quad (10.5)$$

令 $\Delta\omega_0 = \omega_i - \omega_0$. 称为环路“频差”

$$V_{cm} = \frac{1}{2} K_m V_{im} V_{om}, K_m \text{ 为乘法器常数,单位为 } 1/V.$$

$$\theta_c(t) = \theta_i(t) - \theta_0(t), \text{ 为环路相位差}$$

这样(10.5)式可改写成

$$V_c(t) = V_{cm} \cos[\Delta\omega_0 t + \theta_c(t)] \quad (10.6)$$

$$\text{当 } \omega_i = \omega_0 \text{ 时} \quad V_c(t) = V_{cm} \cos\theta_c(t) \quad (10.7)$$

下面来讨论锁相环捕捉原理和跟踪原理.

假定锁相环开始工作时,输入信号频率 ω_i 和压控振荡器 VCO 中心振荡频率 ω_0 不相同,频差为 $\Delta\omega_0 = \omega_i - \omega_0$. 因存在 $\Delta\omega_0$, 从而引起输入信号和 VCO 输出信号相位差在 2π 周期内不断变化,低通滤波器输出电压 $V_c(t)$ 也将跟随着变化,而压控振荡器的振荡频率是受 $V_c(t)$ 控制的,因此 VCO 的振荡频率也在相应的范围内变化. 如频差 $\Delta\omega_0 = \omega_i - \omega_0 > 0$, 在这瞬时,低通滤波器 LPF 就有相应的输出电压 $V_c(t)$, 使得 VCO 的振荡频率提高,其结果使得频差 $\Delta\omega_0 = \omega_i - \omega_0$ 变小,最后 VCO 振荡频率变化到与输入信号频率相等. 鉴相器两个输入端信号之间只存在恒定的相位差,于是锁相环进入“锁定状态”. 我们把从信号加入到环路“锁定”这样动态过程,称之为锁相环的捕捉过程.

当锁相环已处于“锁定”状态时,即 $\omega_0 = \omega_i$, 此时若输入信号频率发生变化,如由 $\omega_i \rightarrow \omega_i + \Delta\omega_i$, 则将重新引起频差 $\Delta\omega_0 = \Delta\omega_i$, 同样可以通过锁相环路的自动控制作用,使环路重新进入锁定状态,也就是说, VCO 的振荡频率能跟踪输入信号频率. 这个瞬态过程称之为锁相环的跟踪过程. 锁相环跟踪特性乃是锁相环最基本特性. 当然无论“捕捉”或“跟踪”,都只能在一定范围内实现. “捕捉范围”、“跟踪范围”是集成锁相环两个重要参数.

10.2 模拟集成锁相环单元电路

模拟集成锁相环单元电路包括三个主要部分：一是鉴相器(PD)；二是压控振荡器(VCO)；三是环路滤波器(LPF)。本节将就这三个单元电路分别进行讨论。

10.2.1 模拟集成 PLL 中的鉴相器

鉴相器是用来比较检测输入信号 $V_i(t)$ 和压控振荡器输出信号 $V_o(t)$ 之间的相位差, 并产生一个与输入端两个信号相位差成比例关系的输出信号电压 $V_d(t)$, 完成相位差—电压变换功能。

模拟集成锁相环中的鉴相器, 常采用双平衡模拟乘法器, 也称 Gilbert 乘法器。图 10.2 是这种乘法器电路图。

双平衡模拟乘法器是由三对差分对管 T_1 和 T_2 , T_3 和 T_4 , T_5 和 T_6 组成。 $V_i(t)$ 为输入信号, $V_o(t)$ 是来自 VCO 的输出信号, $V_d(t)$ 为乘法器输出信号。下面我们推导输出信号 $V_d(t)$ 与两个输入端信号 $V_i(t)$ 、 $V_o(t)$ 之间的关

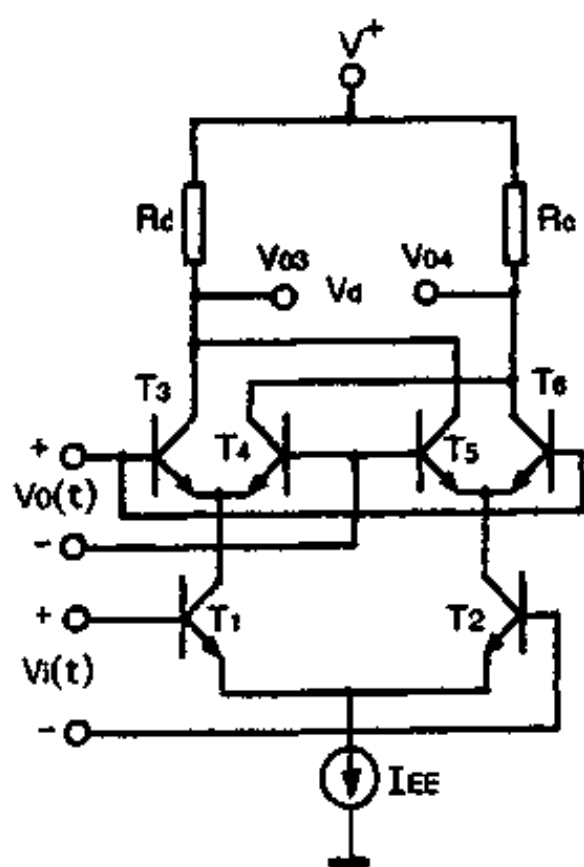


图 10.2 双平衡模拟乘法器

系。

根据第三章推导结果, 差分放大器传输特性, 输出电流与输入差模电压之间的关系, 由(3.41)、(3.42)式表示。假设晶体管共基电流放大系数 $\alpha \approx 1$, 修正系数 $n=1$, 那么可以写出

$$I_{C1} = \frac{I_{EE}}{1 + e^{-\frac{v_i}{V_T}}} \quad (10.8)$$

$$I_{C2} = \frac{I_{EE}}{1 + e^{\frac{v_i}{V_T}}} \quad (10.9)$$

$$I_{C3} = \frac{I_{C1}}{1 + e^{-\frac{v_0}{V_T}}} \quad (10.10)$$

$$I_{C4} = \frac{I_{C1}}{1 + e^{\frac{v_0}{V_T}}} \quad (10.11)$$

$$I_{C5} = \frac{I_{C2}}{1 + e^{\frac{v_0}{V_T}}} \quad (10.12)$$

$$I_{C6} = \frac{I_{C2}}{1 + e^{-\frac{v_0}{V_T}}} \quad (10.13)$$

将(10.8)式代入(10.10)、(10.11)式,(10.9)式代入(10.12)、(10.13)式,得出

$$I_{C3} = \frac{I_{EE}}{\left(1 + e^{-\frac{v_0}{V_T}}\right) \left(1 + e^{-\frac{v_i}{V_T}}\right)} \quad (10.14)$$

$$I_{C4} = \frac{I_{EE}}{\left(1 + e^{\frac{v_0}{V_T}}\right) \left(1 + e^{-\frac{v_i}{V_T}}\right)} \quad (10.15)$$

$$I_{C5} = \frac{I_{EE}}{\left(1 + e^{\frac{v_0}{V_T}}\right) \left(1 + e^{\frac{v_i}{V_T}}\right)} \quad (10.16)$$

$$I_{C6} = \frac{I_{EE}}{\left(1 + e^{-\frac{v_0}{V_T}}\right) \left(1 + e^{\frac{v_i}{V_T}}\right)} \quad (10.17)$$

差模输出电流为

$$\Delta I = (I_{C3} + I_{C5}) - (I_{C4} + I_{C6})$$

$$= \frac{I_{EE} \left[\left(1 + e^{\frac{v_0}{V_T}}\right) \left(1 + e^{\frac{v_i}{V_T}}\right) + \left(1 + e^{-\frac{v_0}{V_T}}\right) \left(1 + e^{-\frac{v_i}{V_T}}\right) \right]}{\left(1 + e^{-\frac{v_0}{V_T}}\right) \left(1 + e^{\frac{v_0}{V_T}}\right) \left(1 + e^{-\frac{v_i}{V_T}}\right) \left(1 + e^{\frac{v_i}{V_T}}\right)}$$

$$\begin{aligned}
& \frac{I_{EE} \left[\left(1 + e^{-\frac{V_0}{V_T}} \right) \left(1 + e^{\frac{V_i}{V_T}} \right) + \left(1 + e^{-\frac{V_i}{V_T}} \right) \left(1 + e^{\frac{V_0}{V_T}} \right) \right]}{\left(1 + e^{-\frac{V_0}{V_T}} \right) \left(1 + e^{\frac{V_0}{V_T}} \right) \left(1 + e^{-\frac{V_i}{V_T}} \right) \left(1 + e^{\frac{V_i}{V_T}} \right)} \\
&= \frac{I_{EE} \left[\left(e^{\frac{V_0+V_i}{V_T}} + e^{-\frac{V_0+V_i}{V_T}} \right) - \left(e^{\frac{V_0-V_i}{V_T}} + e^{-\frac{V_0-V_i}{V_T}} \right) \right]}{\left(1 + e^{-\frac{V_0}{V_T}} \right) \left(1 + e^{\frac{V_0}{V_T}} \right) \left(1 + e^{-\frac{V_i}{V_T}} \right) \left(1 + e^{\frac{V_i}{V_T}} \right)} \\
&= \frac{I_{EE} \left[\left(e^{\frac{V_i}{V_T}} - e^{-\frac{V_i}{V_T}} \right) \left(e^{\frac{V_0}{V_T}} - e^{-\frac{V_0}{V_T}} \right) \right]}{\left(1 + e^{-\frac{V_0}{V_T}} \right) \left(1 + e^{\frac{V_0}{V_T}} \right) \left(1 + e^{-\frac{V_i}{V_T}} \right) \left(1 + e^{\frac{V_i}{V_T}} \right)} \\
&= \frac{I_{EE} \left[e^{\frac{V_i}{V_T}} \left(1 - e^{-\frac{2V_i}{V_T}} \right) e^{\frac{V_0}{V_T}} \left(1 - e^{-\frac{2V_0}{V_T}} \right) \right]}{\left(1 + e^{-\frac{V_0}{V_T}} \right) \left(1 + e^{\frac{V_0}{V_T}} \right) \left(1 + e^{-\frac{V_i}{V_T}} \right) \left(1 + e^{\frac{V_i}{V_T}} \right)} \\
&= \frac{I_{EE} \left(e^{\frac{V_i}{V_T}} - 1 \right) \left(e^{\frac{V_0}{V_T}} - 1 \right)}{\left(1 + e^{\frac{V_0}{V_T}} \right) \left(1 + e^{\frac{V_i}{V_T}} \right)}
\end{aligned}$$

分子、分母同除以 $e^{\frac{V_i}{2V_T}} e^{\frac{V_0}{2V_T}}$ 后得

$$\Delta I = \frac{I_{EE} \left(e^{\frac{V_i}{2V_T}} - e^{-\frac{V_i}{2V_T}} \right) \left(e^{\frac{V_0}{2V_T}} - e^{-\frac{V_0}{2V_T}} \right)}{\left(e^{\frac{V_i}{2V_T}} + e^{-\frac{V_i}{2V_T}} \right) \left(e^{\frac{V_0}{2V_T}} + e^{-\frac{V_0}{2V_T}} \right)} \quad (10.18)$$

根据双曲正切函数定义

$$\text{th}x = \frac{e^x - e^{-x}}{e^x + e^{-x}}$$

所以输出差模电流可以写成

$$\Delta I = I_{EE} \left[\text{th} \left(\frac{V_i}{2V_T} \right) \right] \left[\text{th} \left(\frac{V_0}{2V_T} \right) \right] \quad (10.19)$$

说明双平衡模拟乘法器输出差模电流 ΔI 是跟两个输入电压 $V_i(t)$ 、 $V_o(t)$ 的双曲正切函数的乘积成正比关系。

输出差模电压为

$$\begin{aligned}
V_d(t) &= V_{o3} - V_{o4} = -R_C \Delta I \\
&= -R_C I_{EE} \left[\text{th} \left(\frac{V_i}{2V_T} \right) \right] \left[\text{th} \left(\frac{V_0}{2V_T} \right) \right] \quad (10.20)
\end{aligned}$$

(10.20)式是双平衡模拟乘法器输出差模电压与两个输入信号之间关系的一般表达式。

假设两个输入信号 $V_i(t)$ 和 $V_o(t)$ 频率相同, 均为 ω , 相位差为 $\theta_e(t)$, 即写成

$$V_i(t) = V_{im} \sin[\omega t + \theta_e(t)] \quad (10.21)$$

$$V_o(t) = V_{om} \sin(\omega t) \quad (10.22)$$

下面根据 $V_i(t)$ 、 $V_o(t)$ 信号相对于 V_T 大小不同情况, 对 (10.20) 式进行进一步讨论.

① 当 $\frac{V_i}{2V_T} \ll 1, \frac{V_o}{2V_T} \ll 1$ 时, 也就是当 $V_i \ll 2V_T = 52\text{mV}, V_o \ll 2V_T = 52\text{mV}$, 两个均为小信号时, 根据双曲正切函数幂级数展开式

$$\text{th}x = x - \frac{x^3}{3} + \frac{2}{15}x^5 - \dots$$

$$\text{th}\left(\frac{V_i}{2V_T}\right) \approx \frac{V_i}{2V_T}, \text{th}\left(\frac{V_o}{2V_T}\right) \approx \frac{V_o}{2V_T}$$

这样 (10.20) 式可以写成

$$\begin{aligned} V_d(t) &\approx -R_C I_{EE} \cdot \frac{V_i}{2V_T} \cdot \frac{V_o}{2V_T} \\ &= -\frac{R_C I_{EE}}{4V_T^2} V_i V_o \end{aligned} \quad (10.23)$$

(10.23) 式说明当模拟乘法器两个输入端均为小信号输入时, 其输出差模电压跟两个输入信号乘积成正比.

用 (10.21)、(10.22) 式代入 (10.23) 式得

$$\begin{aligned} V_d(t) &= -\frac{R_C I_{EE} V_{im} V_{om}}{4V_T^2} \sin[\omega t + \theta_e(t)] \sin \omega t \\ &= \frac{R_C I_{EE} V_{im} V_{om}}{8V_T^2} \{\cos[2\omega t + \theta_e(t)] - \cos \theta_e(t)\} \end{aligned} \quad (10.24)$$

对 $V_d(t)$ 进行积分, 就得经低通滤波器后的输出信号 $V_c(t)$.

$$\begin{aligned} V_c(t) &= \frac{1}{2\pi} \int_0^{2\pi} V_d(t) d\omega t \\ &= -\frac{R_C I_{EE} V_{im} V_{om}}{8V_T^2} \cdot \frac{1}{2\pi} \int_0^{2\pi} \cos \theta_e(t) d\omega t \end{aligned}$$

$$\begin{aligned}
&= -\frac{R_c I_{EE} V_{im} V_{om}}{8V_T^2} \cos \theta_c(t) \\
&= K_d \sin \left[\theta_c(t) - \frac{\pi}{2} \right]
\end{aligned} \tag{10.25}$$

式中
$$K_d = \frac{R_c I_{EE} V_{im} V_{om}}{8V_T^2} \tag{10.26}$$

由(10.25)、(10.26)式可见,当乘法器两个输入均为小信号时,乘法器输出信号经低通滤波器后为正弦波形,而其振幅 K_d 跟两个输入信号的振幅 V_{im}, V_{om} 成正比.

② 当 $\frac{V_i}{2V_T} \gg 1, \frac{V_o}{2V_T} \gg 1$ 时,即两个输入均为大信号时,为说明这种情况下乘法器输出性质,先看下双曲正切函数 $\text{th}\left(\frac{V_i}{2V_T}\right)$ 、 $\text{th}\left(\frac{V_o}{2V_T}\right)$ 的特性曲线.

$$\text{当 } V_i = V_o = 0 \text{ 时, } \text{th}\left(\frac{V_i}{2V_T}\right) = \text{th}\left(\frac{V_o}{2V_T}\right) = 0$$

$$V_i = V_o = \pm 2V_T \text{ 时, } \text{th}\left(\frac{V_i}{2V_T}\right) = \text{th}\left(\frac{V_o}{2V_T}\right) \approx \pm 0.76$$

$$V_i = V_o = \pm 4V_T \text{ 时, } \text{th}\left(\frac{V_i}{2V_T}\right) = \text{th}\left(\frac{V_o}{2V_T}\right) \approx \pm 0.96$$

其特性曲线如图 10.3 所示.

这一特性曲线说明,当乘法器两个输入信号都大于 $4V_T$ 时,图 10.2 模拟乘法器中的六个晶体管都成为“开关”,电路处于“开关”状态下工作, $\text{th}\left(\frac{V_i}{2V_T}\right)$ 、 $\text{th}\left(\frac{V_o}{2V_T}\right)$ 均为开关函数 $S_i(t)$ 、 $S_o(t)$. (10.20)式可以写成

$$V_d(t) = -R_c I_{EE} S_i(t) S_o(t) \tag{10.27}$$

此时模拟乘法器输出信号可以看成是两个方波相乘,其输入输出波形如图 10.4 所示.

经低通滤波器后应为

$$V_c(t) = \frac{1}{\pi} \int_0^\pi V_d(t) d\omega t$$

$$\begin{aligned}
&= \frac{1}{\pi} \left[\int_0^{\pi-\theta_c} V_d d\omega t + \int_{\pi-\theta_c}^{\pi} V_d d\omega t \right] \\
&= \frac{1}{\pi} [-R_c I_{EE}(\pi - \theta_c) + R_c I_{EE} \theta_c] \\
&= \frac{2R_c I_{EE}}{\pi} \left(\theta_c - \frac{\pi}{2} \right) \\
&= K_d \left(\theta_c - \frac{\pi}{2} \right) \tag{10.28}
\end{aligned}$$

式中 $K_d = \frac{2R_c I_{EE}}{\pi}$ 称为鉴相灵敏度, 量纲为 V/弧度。

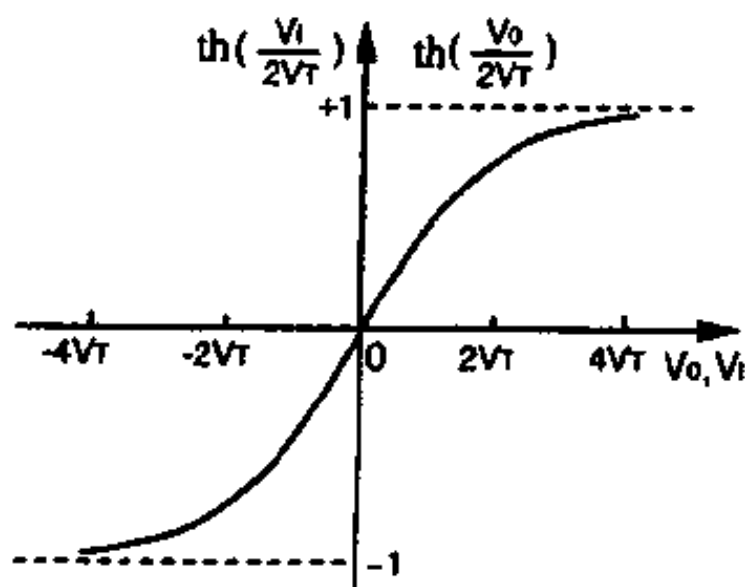


图 10.3 $\text{th}\left(\frac{V_i}{2V_T}\right)$ 、 $\text{th}\left(\frac{V_o}{2V_T}\right)$ 特性曲线

(10.28)式说明,当乘法器两个输入均为大信号时其输出经低通滤波器后的输出电压跟两个输入信号相位差 θ_c 成正比,而与两个输入信号的幅度无关。

③ 当 $\frac{V_i}{2V_T} \ll 1, \frac{V_o}{2V_T} \gg 1$ 时,即乘法器一个输入端输入小信号,另一个输入端输入大信号时,(10.20)式可以改写成

$$V_d(t) = -R_c I_{EE} \frac{V_i}{2V_T} \cdot S_o(t) \tag{10.29}$$

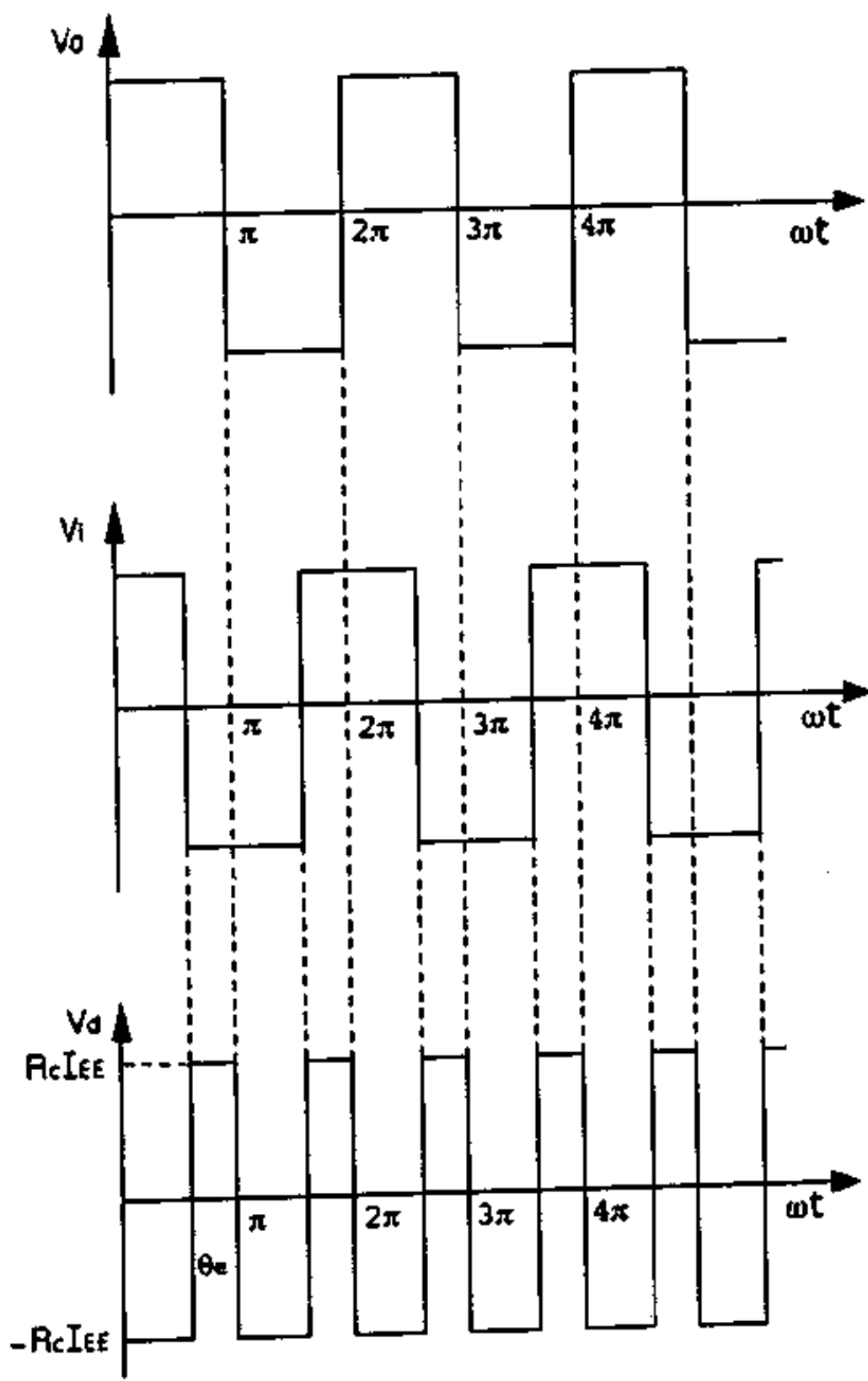


图 10.4 乘法器大信号输入时波形^[16]

这时输出波形是正弦波乘以方波,如图 10.5 所示.

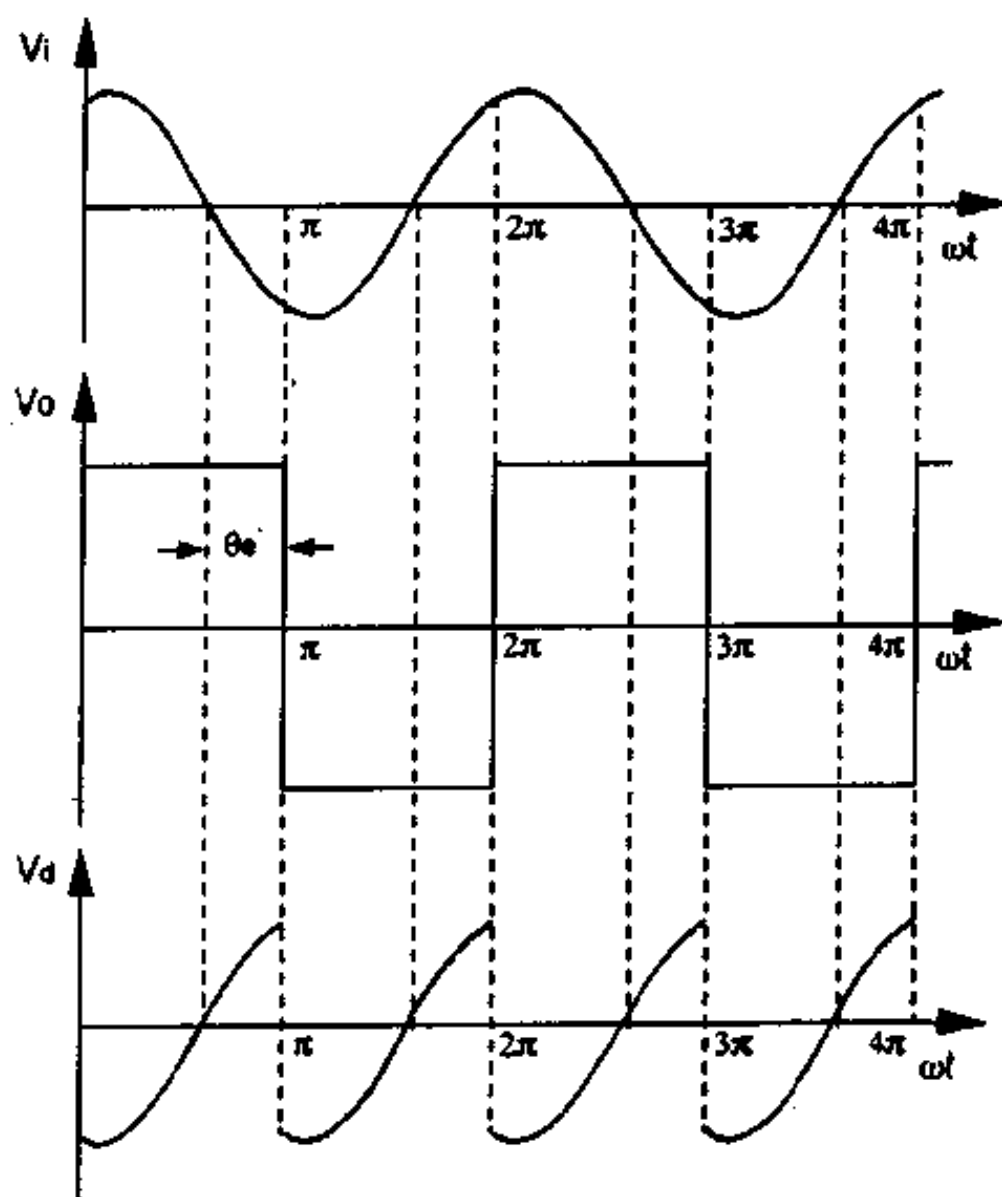


图 10.5 正弦波同方波相乘波形^[16]

经低通滤波器后,输出为

$$\begin{aligned}
 V_c(t) &= \frac{1}{\pi} \int_0^\pi V_d(t) d\omega t \\
 &= -\frac{R_C I_{EE} V_{im}}{2V_T \pi} \cdot \int_0^\pi \sin(\omega t + \theta_c) d\omega t \\
 &= -\frac{R_C I_{EE} V_{im}}{V_T \pi} \cos \theta_c \\
 &= K_d \sin\left(\theta_c - \frac{\pi}{2}\right)
 \end{aligned} \tag{10.30}$$

式中

$$K_d = \frac{R_C I_{EE} V_{im}}{V_T \pi} \quad (10.31)$$

(10.30)、(10.31)式说明,当模拟乘法器一个输入端输入小信号,另一个输入端输入大信号时,鉴相输出经低通滤波器后,输出电压具有正弦特性,而其幅值仅跟小信号幅值有关,而与大信号幅值无关。 K_d 称鉴相灵敏度。

10.2.2 模拟集成 PLL 中的压控振荡器

在模拟集成锁相环中的 VCO,多采用射极耦合定时多谐振荡器,这种振荡器频率高,稳定性能好。

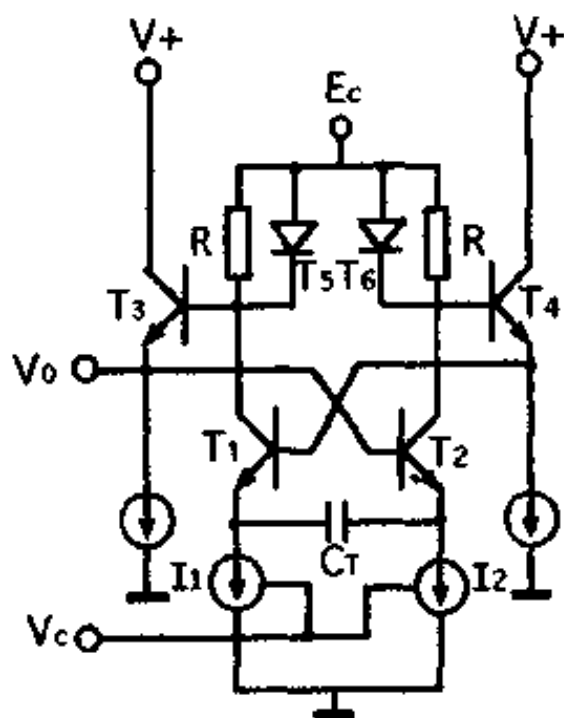


图 10.6 射耦定时多谐振荡器

图 10.6 是射耦定时多谐振荡器电路图。 I_1, I_2 是受输入电压 V_c 控制的恒流源,信号从射极跟随器 T_3 或 T_4 射极输出, C_T 为定时电容。

(1) 工作原理

① 当电源接通瞬间, T_1, T_2 两个晶体管将是同时导通,但由于导通时,两管电流不可能绝对一样,假定 $I_{c1} < I_{c2}$, 则 T_1 管集电极电位 V_{cT1} 将上升,导致 T_2 管基极电位 V_{bT2} 也上升,使得 I_{c2} 增加,由于

$I_{c1} + I_{c2} = I_1 + I_2$, 而 I_1, I_2 为恒流源,所以 I_{c1} 将进一步减小,以此循环,即

$$I_{c1} \downarrow \rightarrow V_{cT1} \uparrow \rightarrow V_{bT2} \uparrow \rightarrow I_{c2} \uparrow$$

其结果,使 T_1 管子很快进入截止态, T_2 管处于导通态。

② 当 T_1 管由导通变为截止、 T_2 管导通时,各点电位变化情况。

当 T_1 导通时, T_5 也导通, T_3 射极电位为 $V_{eT_3} = E_C - 2V_{BE}$, T_2 的基极电位 $V_{bT_2} = V_{eT_3} = E_C - 2V_{BE}$. 而当 T_1 由导通变为截止时, T_3 的基极电位为 $V_{bT_3} = E_C$, T_2 的基极电位为 $V_{bT_2} = E_C - V_{BE}$. 所以当 T_1 管由导通变为截止时, T_2 基极电位 V_{bT_2} 向上跳变了一个 V_{BE} . 而 T_2 导通时, T_6 也随之导通, T_4 的射极电位 $V_{eT_4} = E_C - 2V_{BE}$, T_1 的基极电位 $V_{bT_1} = E_C - 2V_{BE}$. 此时, T_2 的射极电位 V_{eT_2} 也是 $E_C - 2V_{BE}$. 由于 T_1 截止, 故 I_1 电流向电容 C_T 充电, 因 T_2 射极电位保持不变, 所以向电容 C_T 充电的结果, 使得 T_1 射极电位 V_{eT_1} 下降, 当下降到 $V_{eT_1} = E_C - 3V_{BE}$ 时, T_1 将导通.

③ T_1 导通后, T_5 也导通, $V_{bT_2} = E_C - 2V_{BE}$, 即 T_2 基极电位向负方向跳变了一个 V_{BE} , 使得 T_2 截止, T_6 也随之截止, T_1 基极电位向正方向跳变了一个 V_{BE} , $V_{bT_1} = E_C - V_{BE}$, 其射极也向正方向跳变了一个 V_{BE} , $V_{eT_1} = E_C - 2V_{BE}$. 由于电容 C_T 上的电压不能跳变, 所以 T_2 射极电位也要向正方向跳变一个 V_{BE} , $V_{eT_2} = E_C - V_{BE}$, 结果使 T_2 发射结受一个 V_{BE} 的反偏. 因 T_2 截止, 于是 I_1 向电容 C_T 反向充电, 充电结果, 使 T_2 射极电位下降, 当下降到 $V_{eT_2} = E_C - 3V_{BE}$ 时, T_2 又开始导通, T_1 截止. 这样 I_1 对定时电容 C_T 交替充电, T_1 、 T_2 状态不断翻转, 于是在 T_3 或 T_4 跟随器射极上得到对称方波输出. 图 10.7 画出了射耦多谐振荡器的各种波形.

(2) 振荡频率计算

按图 10.7(c), 射耦定时多谐振荡器的周期为

$$T = T_{m1} + T_{m2} \quad (10.32)$$

T_{m1} 为 T_1 管截止, T_2 管导通时暂稳态宽度

T_{m2} 为 T_1 管导通, T_2 管截止时暂稳态宽度

现在分别求出 T_{m1} 、 T_{m2} .

① 求 T_{m1} : 当 T_1 管截止, T_2 管导通时, 恒流源 I_1 向定时电容 C_T 充电, 在 T_{m1} 时间内, 电容上充的电荷为

$$\Delta Q_1 = T_{m1} \cdot I_1 \quad (10.33)$$

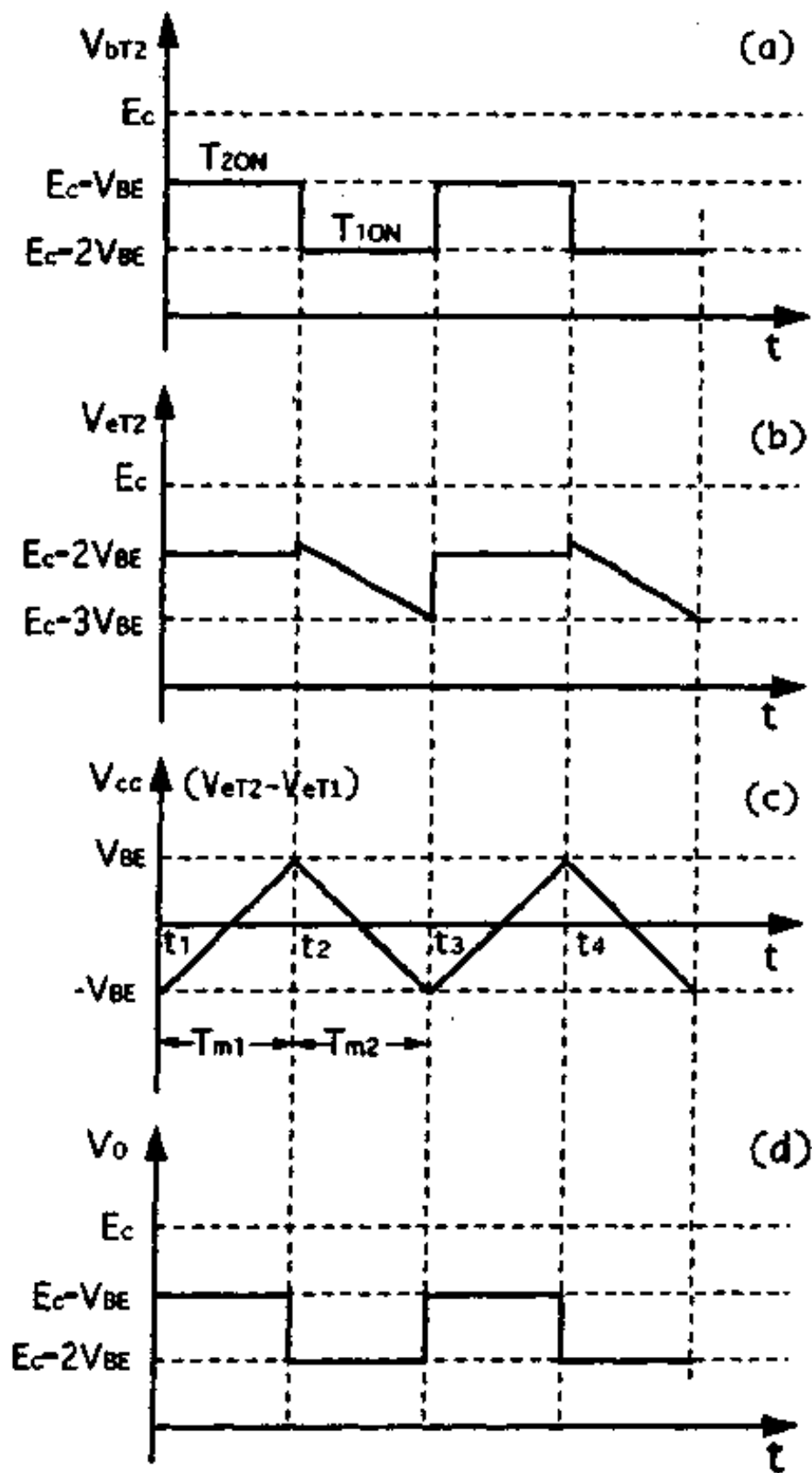


图 10.7 射耦定时多谐振荡器波形^[16]

电容 C_T 上的两端电压为

$$V_{CC} = V_{eT2} - V_{eT1}$$

根据上面原理分析, 在 t_1^+ 时刻

$$V_{eT2} = E_C - 2V_{BE} \quad (10.34)$$

$$V_{eT1} = E_C - V_{BE} \quad (10.35)$$

则
$$V_{CC}^+ = V_{eT2} - V_{eT1} = -V_{BE} \quad (10.36)$$

在 t_2^- 时刻

$$V_{eT2} = E_C - 2V_{BE}$$

$$V_{eT1} = E_C - 3V_{BE}$$

则
$$V_{CC}^- = V_{eT2} - V_{eT1} = +V_{BE} \quad (10.37)$$

所以在 T_{m1} 时间内电容 C_T 上的电压变化为

$$\Delta V_{CC} = V_{CC}^- - V_{CC}^+ = 2V_{BE} \quad (10.38)$$

又
$$\Delta V_{CC} = \frac{\Delta Q}{C_T} = \frac{T_{m1} \cdot I_1}{C_T}$$

得出
$$T_{m1} = \frac{C_T \Delta V_{CC}}{I_1} = \frac{2V_{BE} C_T}{I_1} \quad (10.39)$$

② 求 T_{m2} : 用上面相同的方法可以求出

$$T_{m2} = \frac{2V_{BE} C_T}{I_1} \quad (10.40)$$

所以振荡周期为

$$T = T_{m1} + T_{m2} = \frac{4C_T V_{BE}}{I_1} \quad (10.41)$$

射耦定时多谐振荡器的振荡频率则为

$$f_0 = \frac{I_1}{4C_T V_{BE}} \quad (10.42)$$

压控振荡器输出角频率为

$$\omega(t) = \omega_0 + K_0 V_C(t) \quad (10.43)$$

$\omega_0 = 2\pi f_0$ 是输入差模电压 $V_C(t) = 0$ 时, VCO 中心角频率.

K_0 为压控灵敏度, 量纲为弧度/秒·伏.

(3) 中心频率温度系数

压控振荡器中心频率温度系数定义为温度每变化 1°C , 其频率 f_0 变化的相对值, 即为: $\frac{1}{f_0} \frac{df_0}{dT}$, 它是集成锁相环一个重要参数.

VCO 的中心振荡频率可由 (10.42) 式求出

$$f_0 = \frac{I_1}{4C_T V_{BE}}$$

在上式中, 恒流源 I_1 , 定时电容 C_T , 晶体管 eb 结正向压降 V_{BE} 均为温度函数, 要求出 f_0 的温度系数, 可对 f_0 进行全微分

$$\begin{aligned} \frac{df_0}{dT} &= \frac{\partial f_0}{\partial I_1} \cdot \frac{dI_1}{dT} + \frac{\partial f_0}{\partial C_T} \cdot \frac{dC_T}{dT} + \frac{\partial f_0}{\partial V_{BE}} \cdot \frac{dV_{BE}}{dT} \\ \frac{1}{f_0} \frac{df_0}{dT} &= \frac{1}{I_1} \frac{dI_1}{dT} - \frac{1}{C_T} \frac{dC_T}{dT} - \frac{1}{V_{BE}} \frac{dV_{BE}}{dT} \end{aligned} \quad (10.44)$$

由此可见, 中心频率 f_0 的温度系数跟恒流源 I_1 , 定时电容 C_T , 晶体管 eb 结正向压降的温度系数有关. 电路设计者常采用相互补偿原理, 以使 VCO 中心频率的温度漂移达到最小值. 例如 NE560 集成锁相环中的 VCO 采用图 10.8 形式的恒流源.

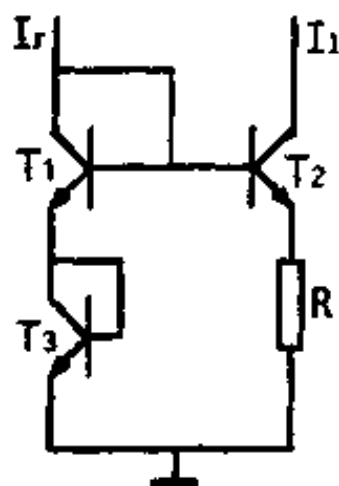


图 10.8 VCO 中补偿式恒流源

由图 10.8 可以写出

$$V_{BE1} + V_{BE3} = V_{BE2} + I_1 R$$

$$I_1 \approx \frac{V_{BE}}{R}$$

$$\begin{aligned} \frac{dI_1}{dT} &= \frac{\partial I_1}{\partial V_{BE}} \frac{dV_{BE}}{dT} + \frac{\partial I_1}{\partial R} \frac{dR}{dT} \\ \frac{1}{I_1} \frac{dI_1}{dT} &= \frac{1}{V_{BE}} \frac{dV_{BE}}{dT} - \frac{1}{R} \frac{dR}{dT} \end{aligned} \quad (10.45)$$

将 (10.45) 式代入 (10.44) 式得出

$$\frac{1}{f_0} \frac{df_0}{dT} = -\frac{1}{R} \frac{dR}{dT} - \frac{1}{C_T} \frac{dC_T}{dT} \quad (10.46)$$

可见,采用图 10.8 恒流源后,VCO 的中心频率 f_0 温度系数只跟电阻 R 和电容 C_T 的温度系数有关.如采用低温度系数的电阻和电容,将可大大减小中心频率的温漂.

10.2.3 模拟集成 PLL 中的环路滤波器

在模拟集成锁相环中的鉴相器,实际上是一个模拟乘法器,其输出信号中,既有差频分量,又包含有和频分量.环路滤波器的作用是滤除和频分量以及噪声等干扰成份.确保环路性能和稳定性,因此环路滤波器是一个低通滤波器.在模拟集成锁相环中,这种低通滤波器常采用比例积分滤波器.图 10.9 是无源比例积分滤波器电路图.

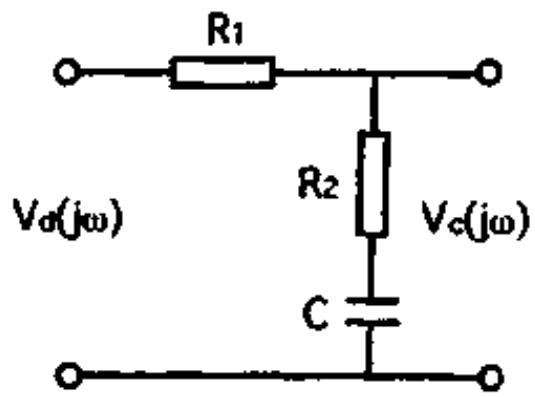


图 10.9 无源比例积分滤波器

按图 10.9 可以写出滤波器的传递函数

$$\begin{aligned}
 K_F(j\omega) &= \frac{V_c(j\omega)}{V_d(j\omega)} \\
 &= \frac{R_2 + \frac{1}{j\omega C}}{R_1 + R_2 + \frac{1}{j\omega C}} \\
 &= \frac{1 + j\omega C R_2}{1 + j\omega C (R_1 + R_2)} \quad (10.47)
 \end{aligned}$$

$$\text{令 } \omega_1 = \frac{1}{C R_1}, \omega_2 = \frac{1}{C R_2}, \omega_3 = \frac{1}{C (R_1 + R_2)} = \frac{\omega_1 \omega_2}{\omega_1 + \omega_2}$$

则(10.47)式可以改写成

$$K_F(j\omega) = \sqrt{\frac{1 + \left(\frac{\omega}{\omega_2}\right)^2}{1 + \left(\frac{\omega}{\omega_3}\right)^2}} e^{j(\varphi_1 - \varphi_2)} \quad (10.48)$$

$$\text{式中 } \varphi_1 = \text{tg}^{-1} \left(\frac{\omega}{\omega_2} \right) \quad (10.49)$$

$$\varphi_2 = \operatorname{tg}^{-1} \left(\frac{\omega}{\omega_3} \right) \quad (10.50)$$

所以无源比例积分器幅频特性为

$$K_F(\omega) = \frac{\sqrt{1 + \left(\frac{\omega}{\omega_2} \right)^2}}{\sqrt{1 + \left(\frac{\omega}{\omega_3} \right)^2}} \quad (10.51)$$

相频特性为

$$\varphi(\omega) = \varphi_1 - \varphi_2 = \operatorname{tg}^{-1} \left(\frac{\omega}{\omega_2} \right) - \operatorname{tg}^{-1} \left(\frac{\omega}{\omega_3} \right) \quad (10.52)$$

由(10.51)、(10.52)式可见,当频率 $\omega \gg \omega_2, \omega_3$ 时

$$\text{幅值} \quad K_F(\omega) = \frac{1}{\omega_2} \bigg/ \frac{1}{\omega_3} = \frac{R_2}{R_1 + R_2} \quad (10.53)$$

$$\text{相移} \quad \varphi(\omega) = \varphi_1(\omega) - \varphi_2(\omega) = 0 \quad (10.54)$$

由此说明这种滤波器具有比例特性。

下面我们按(10.51)、(10.52)式,作出无源比例积分滤波器幅频特性曲线和相频特性曲线。通常取 $R_2 \ll R_1$ 。

① 当 $\omega = 0$ 时,幅值 $K_F(0) = 1(0\text{db})$

$$\text{相移} \quad \varphi(0) = \varphi_1(0) - \varphi_2(0) = 0$$

② 当 $\omega = \omega_3$ 时,由于 $\omega_3 = 1/(R_1 + R_2)C$, $\omega_2 = 1/R_2C$, $R_2 \ll R_1$,

所以 $\omega_3 \ll \omega_2$,

根据(10.51)式

$$\text{幅值} \quad K_F(\omega_3) = \frac{1}{\sqrt{2}}$$

$$K_F(\omega_3)(\text{db}) = 20 \log 1 - 20 \log \sqrt{2} = -3\text{db}$$

说明当频率 $\omega = \omega_3$ 时,滤波器幅值下降了 3db。

$$\text{相移} \quad \varphi(\omega_3) = \operatorname{tg}^{-1} \left(\frac{\omega_3}{\omega_2} \right) - \operatorname{tg}^{-1} \left(\frac{\omega_3}{\omega_3} \right) \approx -45^\circ$$

$$\text{③ 当 } \omega = \sqrt{\omega_2 \omega_3} \text{ 时,幅值 } K_F(\sqrt{\omega_2 \omega_3}) \approx \sqrt{\frac{R_2}{R_1 + R_2}}$$

$$\begin{aligned}
\text{相移 } \varphi(\sqrt{\omega_2\omega_3}) &= \text{tg}^{-1} \left(\frac{\sqrt{\omega_2\omega_3}}{\omega_2} \right) - \text{tg}^{-1} \left(\frac{\sqrt{\omega_2\omega_3}}{\omega_3} \right) \\
&= \text{tg}^{-1} \left(\frac{\sqrt{\frac{\omega_3}{\omega_2}} - \sqrt{\frac{\omega_2}{\omega_3}}}{2} \right) \\
&= \text{tg}^{-1} \left(\frac{\omega_3 - \omega_2}{2\sqrt{\omega_2\omega_3}} \right) \\
&= -\text{tg}^{-1} \frac{R_1}{2\sqrt{R_2(R_1+R_2)}}
\end{aligned}$$

$$\textcircled{4} \text{ 当 } \omega = \omega_2 \text{ 时, 幅值 } K_F(\omega_2) = \frac{\sqrt{2}R_2}{\sqrt{R_2^2 + (R_1+R_2)^2}}$$

$$\begin{aligned}
\text{相移 } \varphi(\omega_2) &= \text{tg}^{-1} \left(\frac{\omega_2}{\omega_2} \right) - \text{tg}^{-1} \left(\frac{\omega_2}{\omega_3} \right) \\
&= 45^\circ - \text{tg}^{-1} \left(\frac{R_1+R_2}{R_2} \right)
\end{aligned}$$

由于 $R_2 \ll R_1$

$$\text{所以 } \text{tg}^{-1} \left(\frac{R_1+R_2}{R_2} \right) \approx 90^\circ$$

$$\varphi(\omega_2) \approx 45^\circ - 90^\circ = -45^\circ$$

$$\textcircled{5} \text{ 当 } \omega \gg \omega_2 \text{ 时, 幅值 } K_F(\omega) = \frac{R_2}{R_1+R_2}$$

$$\begin{aligned}
\text{相移 } \varphi(\omega) &= \text{tg}^{-1} \left(\frac{\omega}{\omega_2} \right) - \text{tg}^{-1} \left(\frac{\omega}{\omega_3} \right) \\
&\approx 90^\circ - 90^\circ = 0
\end{aligned}$$

⑥ 当 $\omega_3 \ll \omega \ll \omega_2$ 时, 由(10.51)式可得

$$K_F(\omega)(\text{db}) \approx 20\log 1 - 20\log \frac{\omega}{\omega_3} = -20\log \frac{\omega}{\omega_3} \quad (10.55)$$

由此可见在这段频域内, 频率每增加一倍幅值下降 6db, 即以 -6db/倍频程规律下降.

根据以上分析和计算, 可以画出无源比例积分滤波器的幅频

和相频特性曲线,如图 10.10 所示.

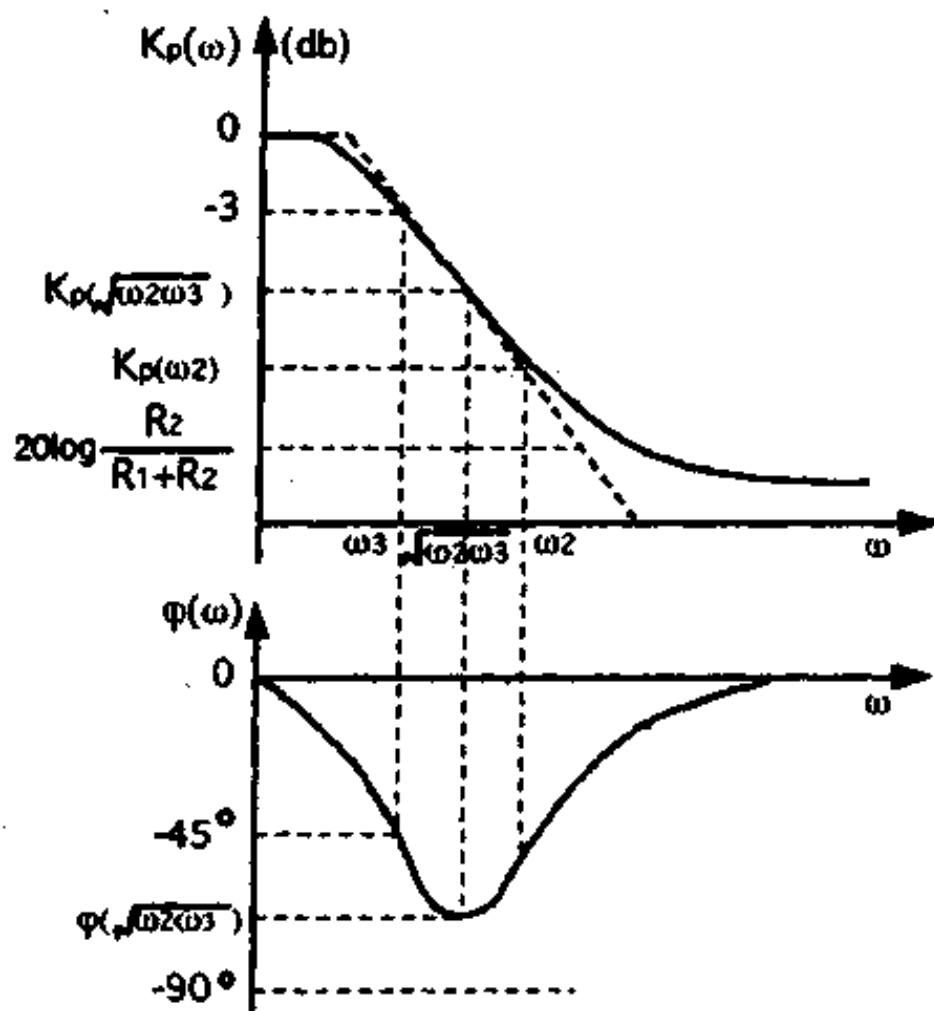


图 10.10 无源比例积分滤波器幅频、相频特性^[23]

10.3 模拟集成锁相环电路分析

本节将以模拟集成锁相环 KD8041H 为例,对 PLL IC 进行分析. KD8041H 是 1986 年中国科技大学微电子研究室设计和研制成功的甚高频单片模拟集成锁相环,频率范围为 0.1Hz—100MHz,最高工作频率可达 120MHz.

10.3.1 KD8041H 电路结构与工作原理

图 10.11 是 KD8041H 模拟集成锁相环电路图,图 10.12 是其电路方框图和外接元件图.

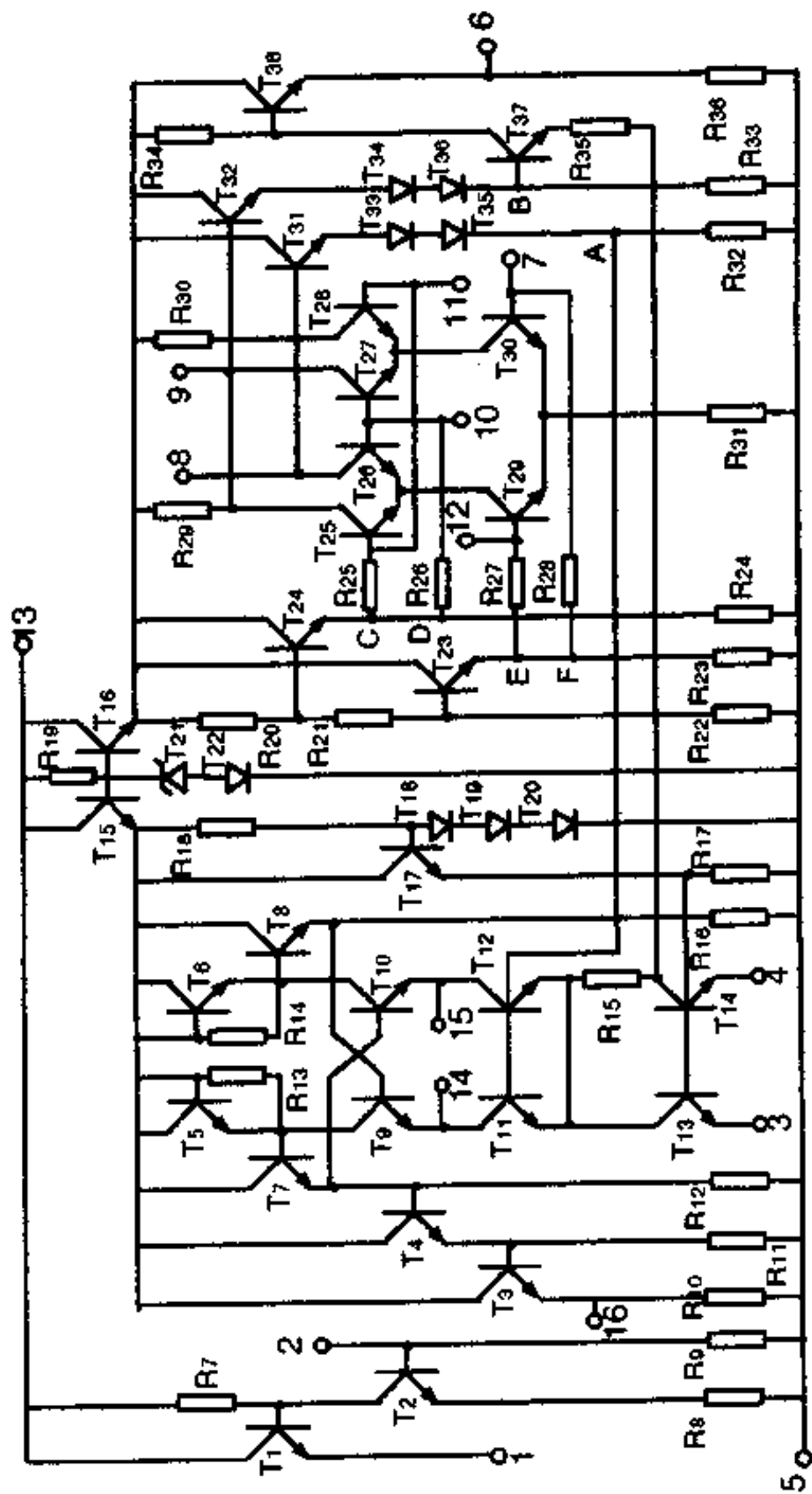


图 10.11 KD8041H 模拟集成锁相环电路图

该电路由 T_{25} 、 T_{26} 、 T_{27} 、 T_{28} 和 T_{29} 、 T_{30} 组成双平衡模拟乘法器作为锁相环的鉴相器，由 T_9 、 T_{10} 、 T_5 、 T_6 、 R_{13} 、 R_{14} 和跟随器 T_7 、 T_8 、 T_4 、 T_3 以及外接定时电容 C_7 组成压控振荡器。由 R_{29} 、 R_{30} 和外接 R_3 、 C_1 构成无源比例积分滤波器作为锁相环的低通滤波器。主偏置电路由 T_{21} 、 T_{22} 构成，经 T_{15} 、 T_{16} 跟随后提供 6.6 伏稳定电源。在主偏置电路左方，由 R_{18} 、 T_{18} 、 T_{19} 、 T_{20} 、 T_{17} 、 R_{17} 、 T_{13} 、 T_{14} 以及外接电阻 R_1 、 R_2 组成恒流源，使 T_{13} 、 T_{14} 集极有恒定电流输出；在主偏置右方，由 R_{20} 、 R_{21} 、 R_{22} 组成分压器，经 T_{24} 跟随后，使 C、D 点电位固定在 3.8V 上，经 T_{23} 跟随后，使 E、F 点电位固定在 1.6V 上。 T_1 、 T_2 、 R_7 、 R_8 、 R_9 和外接电阻 R_5 、 R_6 组成独立放大器。

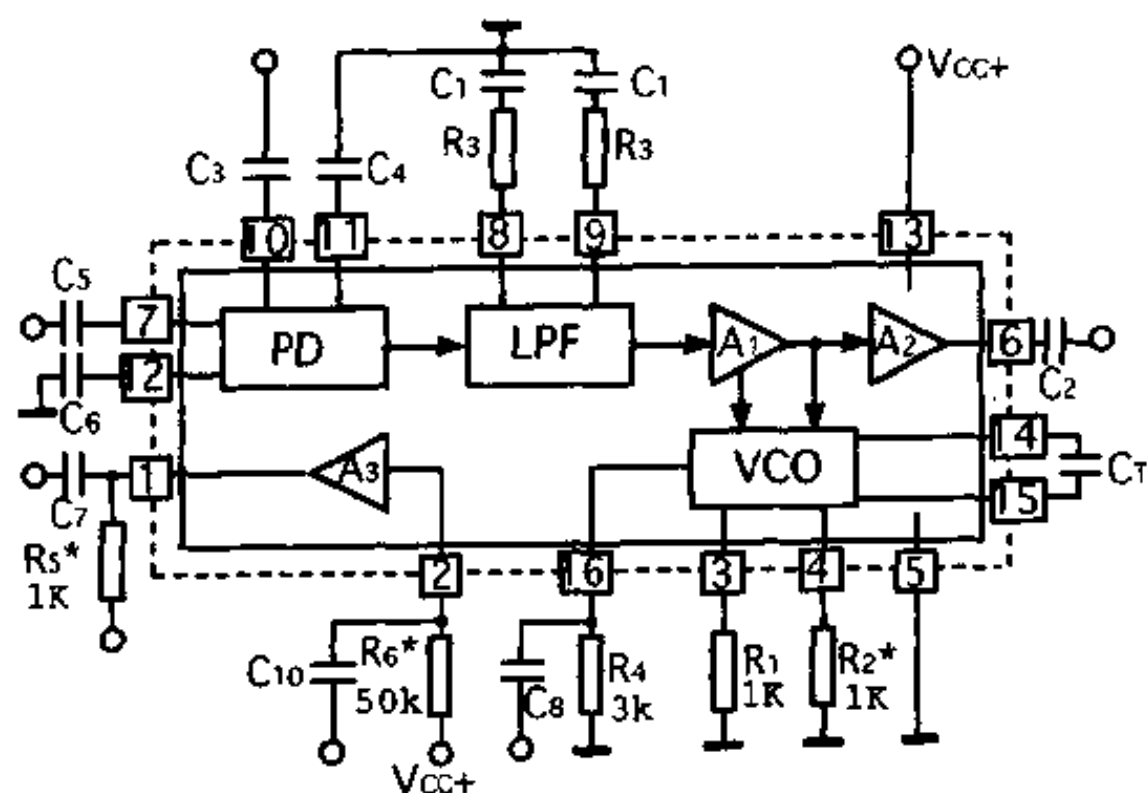


图 10.12 KD8041H 方框图与外接元件图

KD8041H 电路工作原理是这样的：输入信号由模拟乘法器 7、12 端输入，10、11 为乘法器另一输入端，通过外接电容 C_3 、 C_4 与 VCO 输出信号相连。鉴相器输出差模信号，经低通滤波器后，再经过 T_{31} 、 T_{33} 、 T_{35} 与 T_{32} 、 T_{34} 、 T_{36} 跟随和电平移动后，加在 T_{11} 、 T_{12} 和

T_{37} 基极,控制压控振荡器振荡频率,实现电压—频率变换作用.压控振荡器输出信号,经 T_7 、 T_4 、 T_3 三级跟随后,由 16 端输出. A_3 为独立放大器,可作为 VCO 信号放大,把 16 端接到 2 端,再从 1 端输出,加到鉴相器 10、11 端.由此组成 KD8041H 模拟集成锁相环路系统.

10.3.2 KD8041H 鉴相器

KD8041H 鉴相器就是双平衡模拟乘法器.图 10.13 为其鉴相器的电路图.

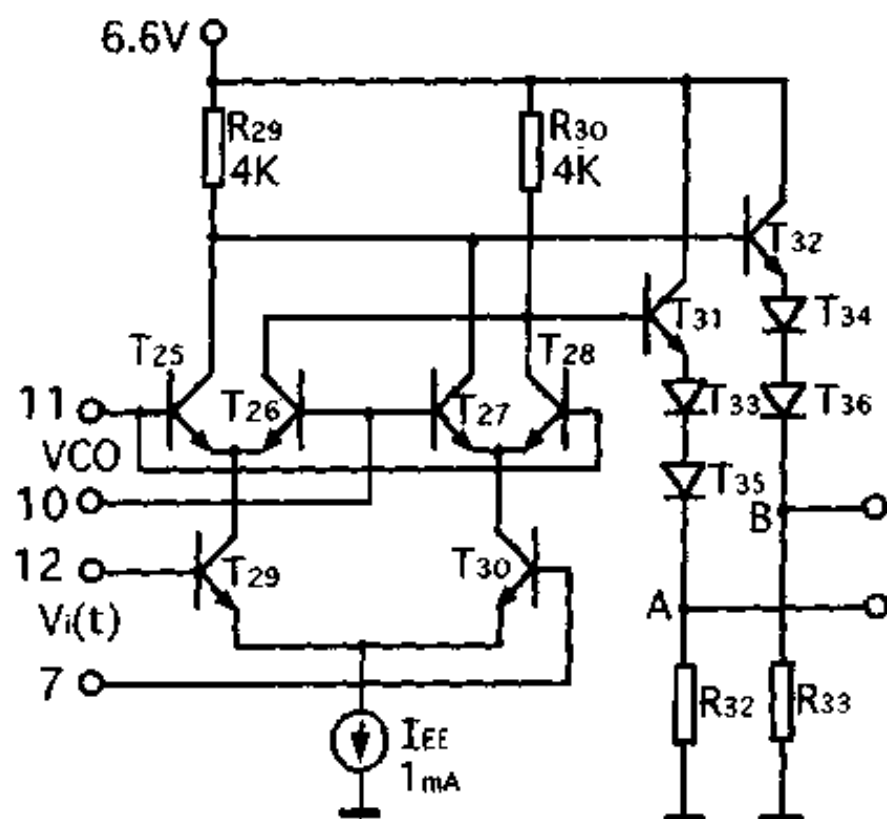


图 10.13 KD8041H 鉴相器

如果输入信号 V_i 、 V_o 均为大信号时,根据 10.2.1 节分析,按 (10.27) 式,鉴相器输出差模电压为

$$V_d(t) = -R_C I_{EE} S_i(t) S_o(t)$$

式中 $S_i(t)$ 、 $S_o(t)$ 为开关函数.

经低通滤波器后,按(10.28)式

$$\begin{aligned} V'_c(t) &= V_{b32} - V_{b31} \\ &= \frac{2R_C I_{EE}}{\pi} \left(\theta_c - \frac{\pi}{2} \right) \quad (0 < \theta_c < \pi) \end{aligned}$$

再经 T_{31} 、 T_{33} 、 T_{35} 和 T_{32} 、 T_{34} 、 T_{36} 等同的电平移动后,鉴相器输出差模电压为

$$\begin{aligned} V_c(t) &= V_B - V_A \\ &= \frac{2R_C I_{EE}}{\pi} \left(\theta_c - \frac{\pi}{2} \right) \\ &= K_d \left(\theta_c - \frac{\pi}{2} \right) \end{aligned}$$

鉴相灵敏度为

$$K_d = \frac{2R_C I_{EE}}{\pi}$$

$R_C = R_{29} = R_{30} = 4\text{k}\Omega$, $I_{EE} = 1\text{mA}$ 代入上式得

$$K_d = 2.55\text{V/弧度}$$

如果输入 V_i 为小信号,则可根据(10.31)式

$$K_d = \frac{R_C I_{EE} V_{im}}{\pi V_T}$$

代入具体数值

$$K_d \approx 49V_{im}/\text{弧度}$$

V_{im} 为 正弦输入峰值幅度.

10.3.3 KD8041H 压控振荡器

图 10.14 是 KD8041H 中的压控振荡器.

下面来计算 KD8041H 模拟集成锁相环压控振荡器中心振荡频率,中心频率温度系数和压控灵敏度.

(1) 中心振荡频率 f_0

根据(10.42)式,射耦定时多谐振荡器中心振荡频率为

$$f_0 = \frac{I_1}{4C_T V_{BE}}$$

按图 10.14, 可以写出, 当 $V_c(t) = 0$ 时

$$I_1 \approx \frac{1}{2} I_{\sigma_{11-12}} = \frac{1}{2} \left(I_2 + \frac{1}{2} I'_2 \right) \quad (10.56)$$

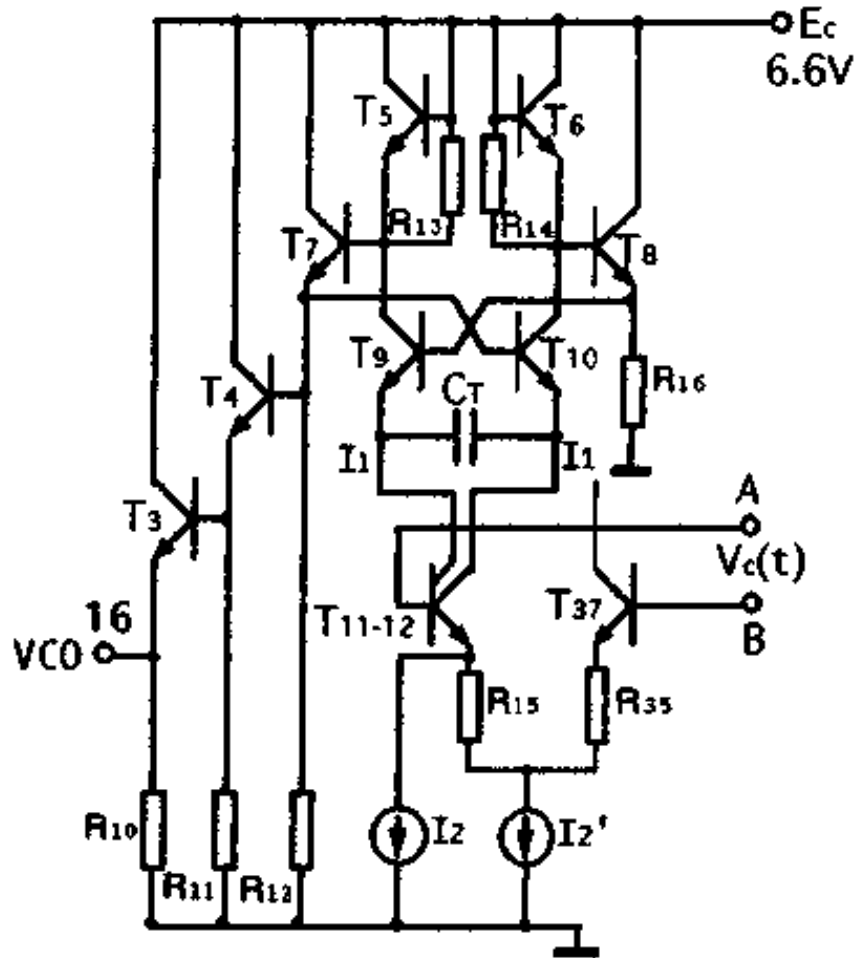


图 10.14 KD8041H 压控振荡器

由图 10.11 可以看到, 外接电阻 R_1, R_2 上的压降均为一个 V_{BE} , 设该 $V_{BE} = V_{BED}$, 所以

$$I_2 = \frac{V_{BED}}{R_1} \quad I'_2 = \frac{V_{BED}}{R_2}$$

代入(10.56)式得

$$I_1 = \frac{3}{4} \frac{V_{BED}}{R_1} \quad (10.57)$$

把(10.57)式代入(10.42)式得出

$$f_0 = \frac{3}{16C_T R_1} \cdot \frac{V_{BED}}{V_{BE}} \quad (10.58)$$

根据晶体管原理

$$V_{BED} = V_T \ln \frac{I_{eD}}{A_{eD} I'_{eD}} \quad (10.59)$$

$$V_{BE} = V_T \ln \frac{I_e}{A_e I'_{e'}} \quad (10.60)$$

$I'_{eD}, I'_{e'}$ 为发射结单位面积反向饱和电流, 可以认为是相等的, A_{eD}, A_e 是发射结面积, I_{eD}, I_e 为工作电流. 因此在电路设计和版图设计时, 只要选择好 I_{eD} 与 I_e, A_{eD} 与 A_e 之间的比例关系, 即可使 $V_{BED} = V_{BE}$, 这样 (10.58) 式可以改写为

$$f_0 = \frac{3}{16C_T R_1} \quad (10.61)$$

$R_1 = 1k\Omega, C_T$ 如用 pf 单位, 则

$$f_0 = \frac{187.5}{C_T (\text{pf})} \times 10^5 \quad (\text{Hz}) \quad (10.62)$$

要设定中心频率 f_0 , 需要外接定时电容值为

$$C_T = \frac{187.5}{f_0 (\text{Hz})} \times 10^6 \quad (\text{pf}) \quad (10.63)$$

(2) 中心频率温度系数 $\frac{1}{f_0} \frac{df_0}{dT}$

要求出中心频率 f_0 的温度系数, 只要按 (10.61) 式对 f_0 求全导数.

$$\begin{aligned} \frac{df_0}{dT} &= \frac{\partial f_0}{\partial C_T} \frac{dC_T}{dT} + \frac{\partial f_0}{\partial R_1} \frac{dR_1}{dT} \\ \frac{df_0}{f_0 dT} &= -\frac{1}{C_T} \frac{dC_T}{dT} - \frac{1}{R_1} \frac{dR_1}{dT} \end{aligned} \quad (10.64)$$

上式说明, KD8041H 中心频率温度系数只跟定时电容 C_T 和电阻 R_1 的温度系数有关, 在 KD8041H 电路中, C_T, R_1 均为外接元件, 可以选择温度系数小的电容和电阻, 这样可使中心频率温度系数达到最佳值.

(3) 压控灵敏度 K_0

压控灵敏度 K_0 可以从等效电路图 10.15 求出。

在第三章已经推导出接有射极反馈电阻 R_E 的共射放大器其跨导由 (3.8) 式表示

$$G_m = \frac{g_m}{1 + g_m R_E}$$

对于图 10.15 射极接有反馈电阻 R_{15}, R_{35} 的差分放大器其单端输出的跨导应为

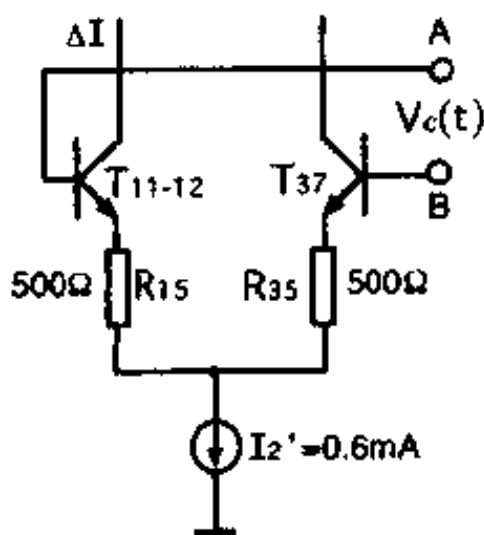


图 10.15 求压控灵敏度等效电路

$$G_m = \frac{\Delta I}{V_c} = \frac{1}{2} \left(\frac{g_{mT11-12}}{1 + g_{mT11-12} R_{15}} \right) \quad (10.65)$$

$g_{mT11-12}$ 为 T_{11}, T_{12} 复合管的跨导, R_{15} 为其射极反馈电阻。

$$\begin{aligned} g_{mT11-12} &\approx \frac{I_{CT11-12}}{V_T} \\ &= \frac{\frac{1}{2} I_2'}{V_T} = \frac{0.3\text{mA}}{26\text{mV}} \approx \frac{1}{87\Omega} \end{aligned}$$

代入 (10.65) 式

$$\frac{\Delta I}{V_c} = \frac{1}{2} \left[\frac{\frac{1}{87\Omega}}{1 + \frac{500\Omega}{87\Omega}} \right] = \frac{1}{1174\Omega} \quad (10.66)$$

按 (10.43) 式

$$\omega(t) = \omega_0 + K_0 V_c$$

或改写成:

$$f(t) = f_0 + K_0 V_c \quad (10.67)$$

$$\begin{aligned}
K_0 &= \frac{f(t) - f_0}{V_c} \\
&= \frac{I_1' - I_1}{4C_T V_{BE} V_c} \\
&= \frac{1}{4C_T V_{BE}} \cdot \frac{\Delta I_1}{V_c} \\
&= \frac{I_1}{4C_T V_{BE} \cdot I_1} \cdot \frac{\Delta I_1}{V_c} \\
&= \frac{f_0}{I_1} \cdot \frac{\Delta I_1}{V_c} \tag{10.68}
\end{aligned}$$

式中 I_1 为 $V_c(t)=0$ 时工作电流, f_0 为压控振荡器中心频率. 按图 10.14 和图 10.15, 可以写出

$$I_1 = \frac{1}{2} \left(I_2 + \frac{1}{2} I_2' \right) = 0.45 \text{mA} \tag{10.69}$$

而 $\Delta I_1 = \frac{1}{2} \Delta I$, 则(10.68)式可以写成

$$K_0 = \frac{f_0}{2I_1} \cdot \frac{\Delta I}{V_c} \tag{10.70}$$

把(10.66)、(10.69)式代入(10.70)式得出 KD7041H 模拟集成锁相环的压控灵敏度为:

$$K_0 \approx \frac{f_0}{1.06} \text{(Hz/V)} \tag{10.71}$$

10.3.4 KD8041H 主要参数指标

KD8041H 模拟集成锁相环具有工作频率高, 最高工作频率可达 120MHz, 相位抖动小, 中心频率温度系数小等特点. 其主要参数指标如表 10.1 所列.

表 10.1 KD8041H 主要参数指标

参数名称	指标
频率范围	0.1Hz—100MHz
跟踪范围	60%
捕捉范围	25%
输入阻抗	3k Ω
f_0 电压漂移	0.2%/V
f_0 温度系数	< 400PPM/°C
电源电压	9—16V
静态功耗	~25mA
工作温度	-50°C—+120°C

(测试条件: $T=25^\circ\text{C}$, $f_0=50\text{MHz}$, $V_{im}=50\text{mV}$, $V^+=12\text{V}$)

第十一章 模拟集成电路应用

模拟集成电路应用是极其广泛的,可以说象细胞一样渗透在现代通信,自动控制,电子仪表,精密测量,信息处理等现代电子技术各个领域.关于应用方面的专辑也很多,如《大全》,《200例》等,汇编了美国、日本、德国等国外模拟集成电路应用实例.本章只就集成运放和模拟集成锁相环最基本,最常用的例子进行讨论,以供读者参考.

在第一章,我们讨论了理想集成运放基本概念和基本应用,集成运放可以构成倒相器,比例器,加法器,减法器,积分器,微分器,对数放大器,指数放大器等数学运算,这是集成运放应用的基础,这里不再重复.在这一章只对集成运放用作《比较器》、《直流稳压电源》、《波形发生器》、《有源滤波器》、《D/A、A/D转换器》等方面的应用原理和典型实例进行分析.同时对模拟集成锁相环最基本的应用也例举一二进行讨论.

11.1 集成运放用作《比较器》

比较器用于比较输入信号电压的大小,完成这种“比较”功能可以直接用专用集成电路比较器,也可以用集成运放构成.

集成运放本身就具有比较器最基本特性,图 11.1 是集成运放转移特性曲线.从特性曲线可以看到其斜率为运

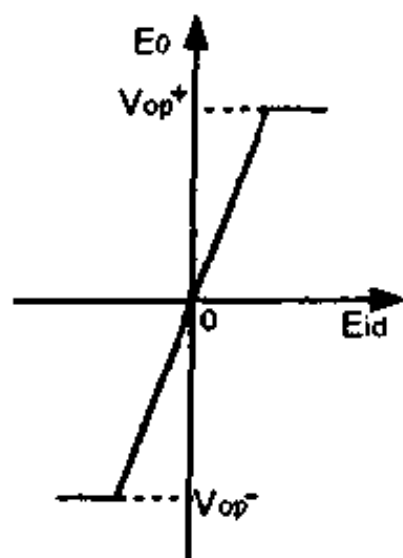


图 11.1 集成运放转移特性

放的开环电压增益 $A_d = -E_o/E_{id}$, 由于 A_d 很大, 如 $A_d = 100\text{db}$, 在开环状态下, 只要输入差模电压为 0.15mV , 输出就是 15V , 达到饱和态. 这种转移特性, 就是构成比较器的依据.

比较器在自动控制, 测量系统, 波形变换与整形等许多方面都得到广泛应用. 本节将例举用集成运放构成的几种比较器.

11.1.1 过零电压比较器

过零电压比较器是将输入信号电压与零电位进行比较, 完成这一比较功能, 只要把集成运放倒相输入端或非倒相输入端接零电位, 信号从非倒相端或倒相端输入, 如图 11.2 和图 11.3 所示.

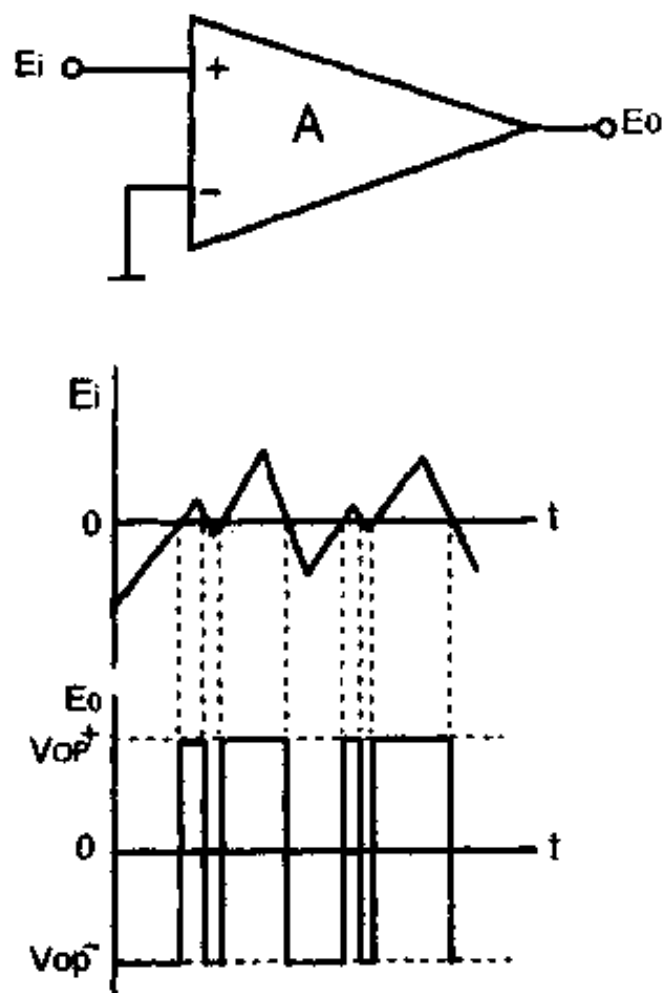


图 11.2 倒相端接地

$$E_i > 0 \quad E_o = V_{op}^+ \quad E_i < 0 \quad E_o = V_{op}^-$$

由图 11.2, 11.3 可以看出, 比较器输出信号只有两个状态, 一个是高电平 V_{op}^+ , 一个是低电平 V_{op}^- , 信号每次通过零电位时, 输出信号状态都要翻转一次. 这说明, 过零比较器可以把输入连续信号转换成输出脉冲信号, 或者说, 把输入模拟信号转换成输出数字信号.

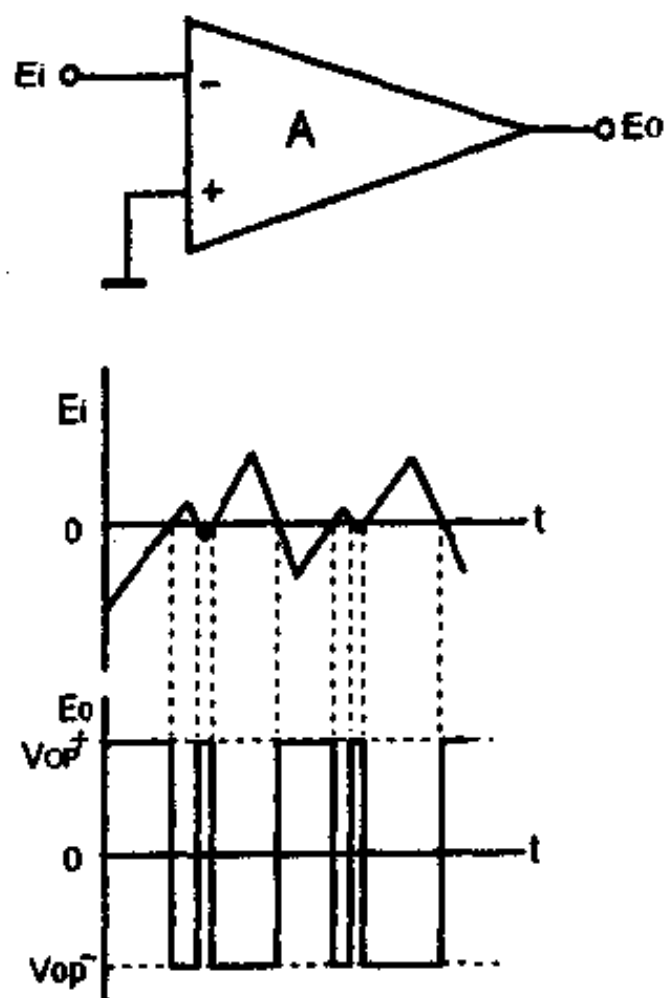


图 11.3 非倒相端接地

$$E_i < 0 \quad E_o = V_{op}^+ \quad E_i > 0 \quad E_o = V_{op}^-$$

11.1.2 施密特触发器

用集成运放构成的施密特触发器, 实际上是正反馈电压比较器, 如图 11.4 所示.

R_1, R_2 构成正反馈回路, E_R 为参考电平, 由图可以写出

$$\begin{aligned}
 E_+ &= \frac{R_2}{R_1 + R_2} (E_0 - E_R) + E_R \\
 &= \frac{R_1}{R_1 + R_2} E_R + \frac{R_2}{R_1 + R_2} E_0
 \end{aligned}
 \tag{11.1}$$

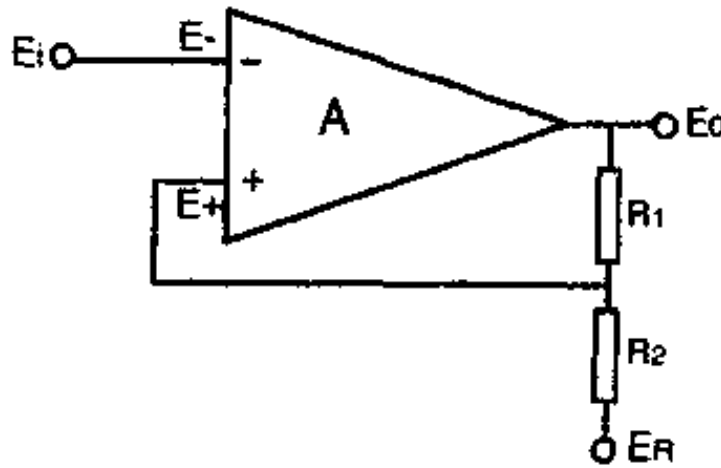


图 11.4 施密特触发器

当 $E_i < E_+$ 时, 输出为正向最大值 $+E_{om}$, 当 $E_i = E_+$ 时, 由于正反馈作用, 输出跳变到负向最大值 $(-E_{om})$, 我们把输出从正向最大值跳变到负向最大值时 E_i 值定义为施密特触发器上限电压 V_{OH}

$$V_{OH} = \frac{R_1}{R_1 + R_2} E_R + \frac{R_2}{R_1 + R_2} E_{om}
 \tag{11.2}$$

当输出从正向最大值 $(+E_{om})$ 跳变到负向最大值 $(-E_{om})$ 后

$$E'_+ = \frac{R_1}{R_1 + R_2} E_R - \frac{R_2}{R_1 + R_2} E_{om}
 \tag{11.3}$$

如果减小 E_i , 当减小到 $E_i = E'_+$ 时, 由于正反馈作用, 输出又从负向最大值跳变到正向最大值, 我们把输出从负向最大值跳变到正向最大值时 E_i 电压定义为施密特触发器下限电压 V_{OL} .

$$V_{OL} = \frac{R_1}{R_1 + R_2} E_R - \frac{R_2}{R_1 + R_2} E_{om}
 \tag{11.4}$$

根据 (11.2)、(11.4) 式可以画出输出 E_0 与输入 E_i 之间的关系曲线如图 11.5 所示.

$$\begin{aligned}
 V_H &= V_{OH} - V_{OL} \\
 &= \frac{2R_2}{R_1 + R_2} E_{om}
 \end{aligned}
 \tag{11.5}$$

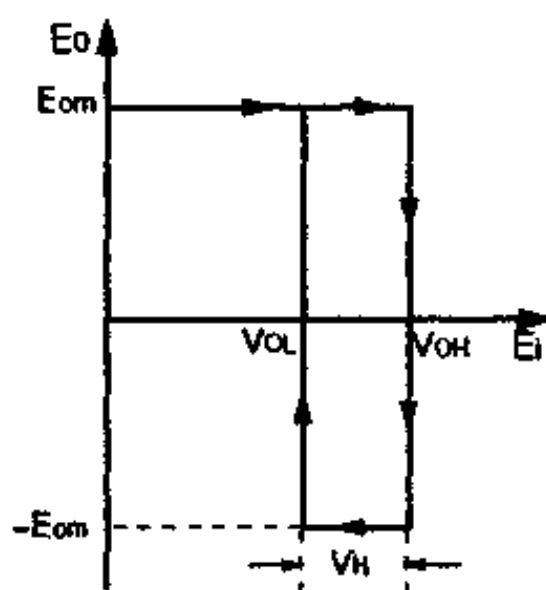


图 11.5 施氏触发器 $E_o - E_i$ 关系

V_H 称之为施密特触发器“滞后电压”，或称为“回差电压”。回差电压由 R_1, R_2 和集成运放输出摆幅 E_{om} 决定。由于 V_H 存在，所以施密特触发器具有抗噪声特性，只要调整 R_1, R_2 比值，使噪声信号落在回差电压范围内，噪声的干扰都不会引起电路的翻转。

11.1.3 窗口比较器

窗口比较器是用之比较检测输入信号是否落在“窗口”范围内。最简单的窗口比较器是由两个集成运放和一个逻辑门电路构成，如图 11.6 所示。

窗口上限 E_1 接在运放 A_1 非倒相端，下限 E_2 接在 A_2 倒相端， A_1 倒相端与 A_2 非倒相端相连，作为输入信号 E_i 输入端， G 为与非门电路。

当 $E_2 < E_i < E_1$ 时， A_1, A_2 输出均为高电平，与非门输出 E_o 为低电平；当 $E_i > E_1$ 时， A_1 输出为低电平， A_2 输出为高电平，与非

门输出 E_0 为高电平; 当 $E_i < E_2$ 时, E_0 也为高电平, 所以窗口比较转移特性如图 11.7 所示。

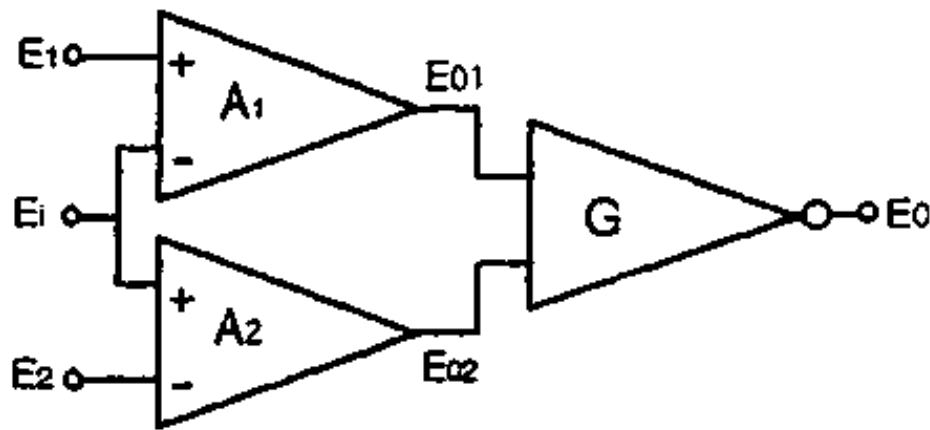


图 11.6 窗口比较器

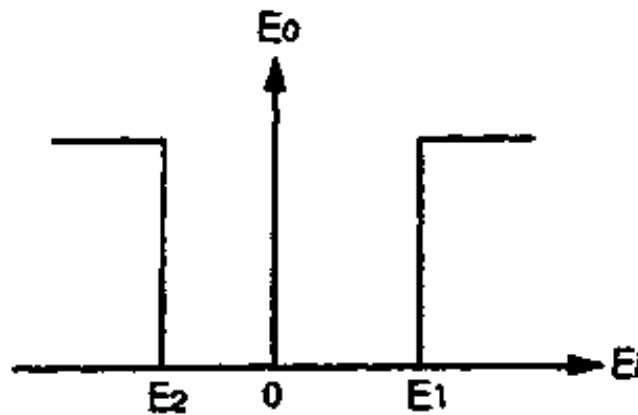


图 11.7 窗口比较器转移特性

11.2 集成运放用作《直流稳压源》

直流稳压源是电子仪器、电子设备必不可少的组成部分, 应用广泛。早期人们用分立元件组成稳压源; 在 60 年代末人们把稳压电路中各种元件集成化, 形成“全集成化”的集成稳压源; 另一种就是用集成运放构成的直流稳压源。无论分立元件稳压源, 集成稳压源, 还是用集成运放构成的稳压源, 就其原理来说, 基本相同, 但

用集成运放构成的稳压源有其特有的优点. 由于集成运放增益高, 使得稳压源诸如稳压系数, 纹波抑制比等性能要比分立元件好; 由于集成运放输出阻抗低, 使得集成运放稳压源输出阻抗也低; 由于集成运放温漂小, 使得稳压源温漂也大大减小, 因此用集成运放可以做成高精度直流稳压源. 本节首先简要介绍用集成运放构成串联型稳压源的基本原理, 随后介绍用集成运放构成高精度稳压源两种实用电路.

11.2.1 集成运算稳压源基本原理

图 11.8 是串联型稳压电路原理图.

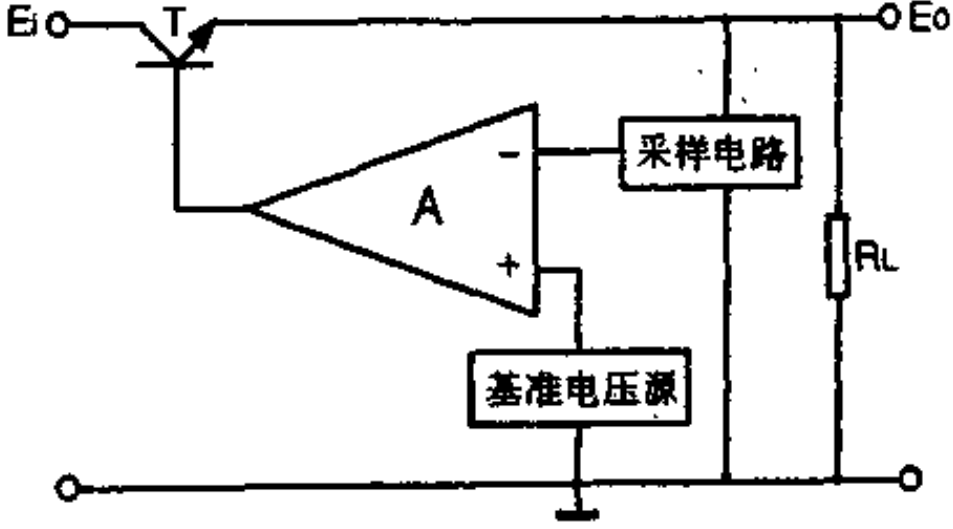


图 11.8 集成运放稳压源原理图

基准电压源用之提供比较放大器(A)稳定的基准电平, 集成运放 A 用作比较放大器, 它将采样信号与基准电压进行比较, 并将比较差模信号进行放大倒相后去控制调整管 T. 调整管 T 完成调整输入输出电压达到输出稳定目的. 这里跟分立元件稳压源不同之处在于比较放大器用高性能的集成运放替代了分立元件晶体管, 由于集成运放开环电压增益高达 100-120db, 只要输出电压微小波动, 经采样电路加到运放倒相端, 产生差模信号经高增益

放大倒相后,去控制调整管,所以用集成运放作为比较放大器,稳压电源的电压调整率(稳压系数),纹波抑制比指标都将大大改善,提高了稳压源的精度.

11.2.2 单电源集成运放稳压源

图 11.9 是我们用集成运放 KD203 作的高精度直流稳压源实用电路.输出电压为 +6V,最大输出电流 100mA.

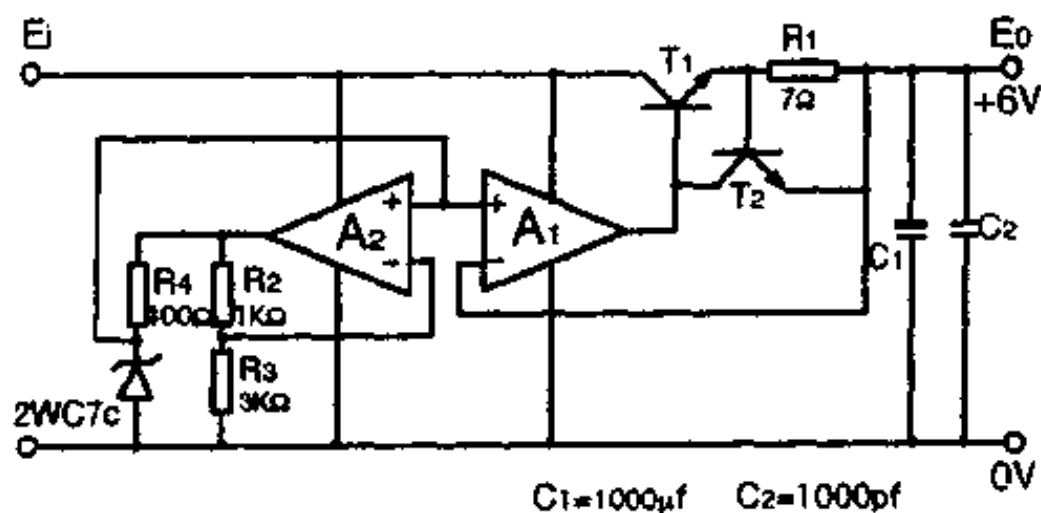


图 11.9 单电源集成运算高精度稳压源

图中 T_1 为调整管, A_1 为比较放大器,基准电压源用 2CW7C 稳压管,提供 6V 基准电压.因为基准电压是集成运放 A_1 参考电压,它的微小变化都会通过比较放大器 A_1 反映到输出端,因此基准电压稳定性是十分重要的.为提高基准电压的稳定性,附加了集成运放 A_2 ,这样使比较放大器 A_1 非倒相端准确地稳定在 6V,从而使输出电压 E_o 稳定在 6V. T_2 为过流保护管, $R_1 = 7\Omega$,当 R_1 上电流为 100mA 时, R_1 两端电压为 0.7V, T_2 管导通,起了过流保护作用.该稳压源输出电压为 +6V,最大输出电流为 100mA.

11.2.3 双电源集成运放稳压源

图 11.10 是我们用集成运放 KD203 作成的双向对称输出高

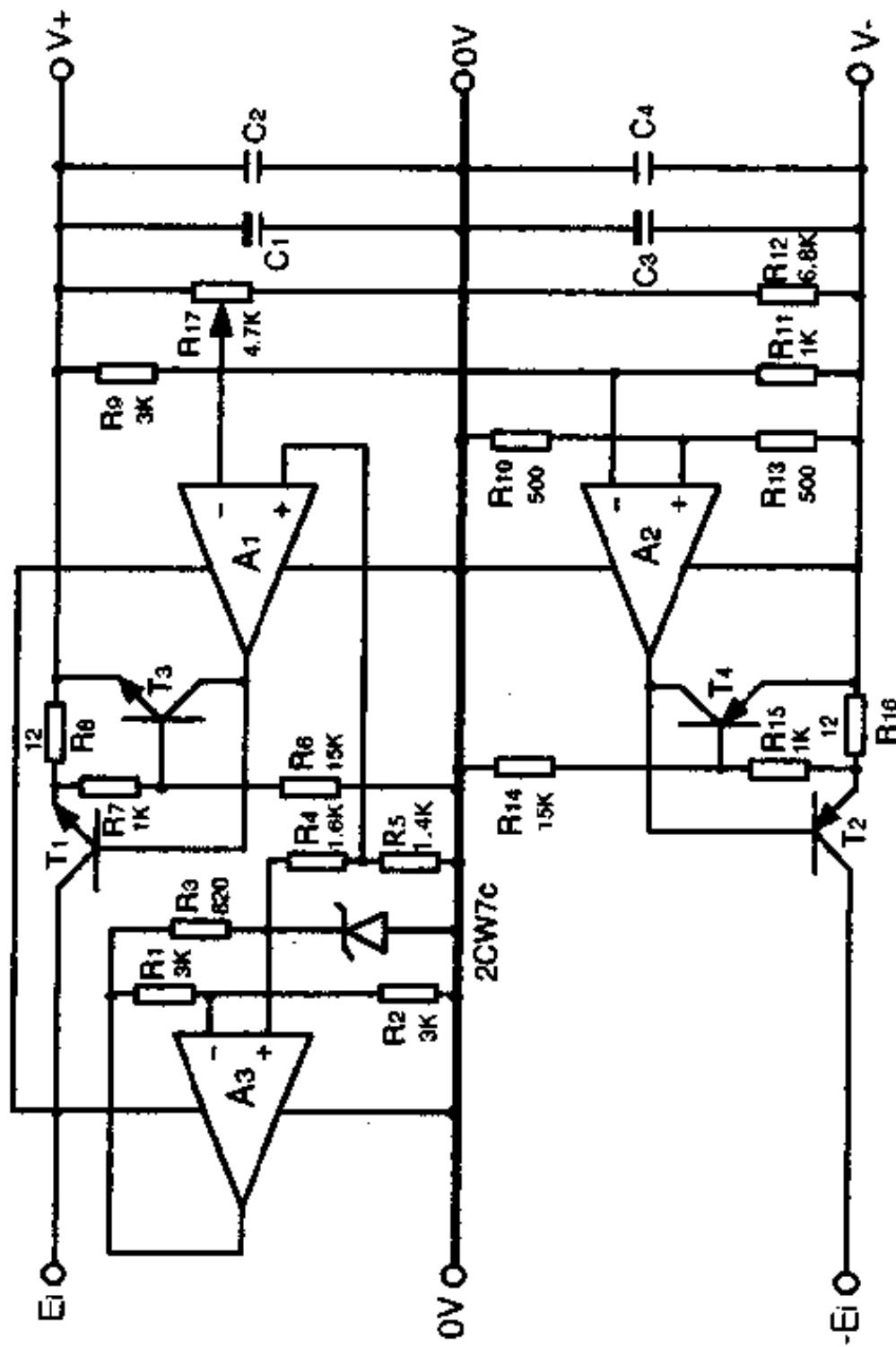


图 11.10 双电源高精度集成运放稳压源

精度集成运放稳压源实用电路. 输出电压为 $\pm 2.8\text{V} - \pm 15.33\text{V}$ 连续可调, 对应的最大输出电流为 $73\text{mA} - 138\text{mA}$.

图中 A_1 为正向输出比较放大器, 其基准电压源用 $2\text{CW}7\text{C}$ 6V 稳压管, 经 R_4 、 R_5 分压后加在集成运放 A_1 非倒相输入端, 因此 A_1 基准电压为 2.8V (对地). 为提高基准电压稳定性, 附加了集成运放 A_3 , 使 A_1 基准电压准确地稳定在 2.8V . A_2 为负向输出比较放大器, 基准电压由稳压后的输出电压提供.

其(+)端电压为

$$E_+ = \frac{R_{13}}{R_{10} + R_{13}} (0 - V^-) + V^- = \frac{1}{2} V^-$$

其(-)端电压为

$$E_- = \frac{R_{11}}{R_9 + R_{11}} (V^+ - V^-) + V^- = \frac{1}{2} V^-$$

所以稳定时或正负向输出同步波动时, A_2 输入端均无差模输入电压, 否则将进行调整, 保证输出稳定. T_1 、 T_2 分别为正、负向调整管. T_3 、 R_7 、 R_8 组成正向保护, T_4 、 R_{15} 、 R_{16} 组成负向保护.

可以算出当电位器 R_{17} 调至最下端时, 输出电压为 $\pm 15.33\text{V}$, 其相应的最大输出电流为 138mA , 当电位器 R_{17} 调至最上端时, 输出电压为 $\pm 2.8\text{V}$, 其相应的最大输出电流为 73mA . 所以输出电压为 $\pm 2.8\text{V} - \pm 15.33\text{V}$ 连续可调, 双向对称输出, 精度高.

11.3 集成运放用作《波形发生器》

应用集成运放正反馈原理, 可以构成各种振荡电路, 产生正弦波, 方波, 三角波等各种波形. 由于通用集成运放频带较窄, 因此如用通用集成运放作“波形发生器”, 主要在低频范围.

11.3.1 正弦波发生器

图 11.11 是用集成运放构成一种正弦波发生器电路图.

这个电路称之文氏桥式正弦波发生器。

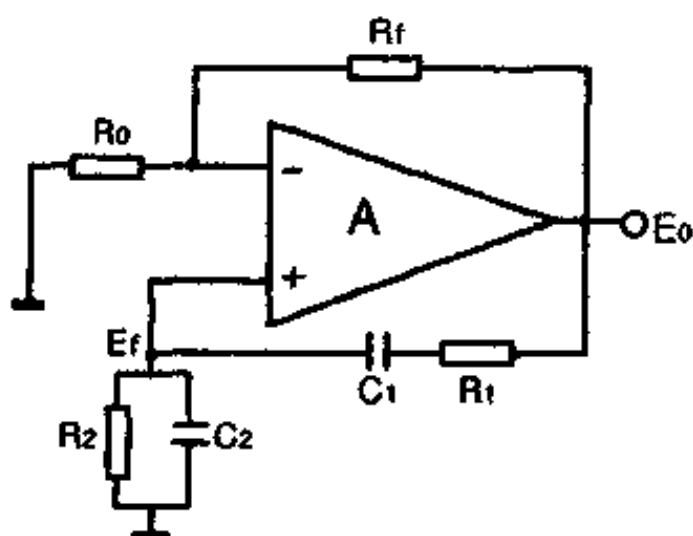


图 11.11 集成运放正弦波发生器

R_f 、 R_0 组成负反馈回路, 决定集成运放闭环增益

$$A_f = 1 + \frac{R_f}{R_0}$$

R_1 、 C_1 、 R_2 、 C_2 组成正反馈桥路, 其反馈系数为

$$\dot{\beta} = \frac{E_f}{E_0} = \frac{Z_2}{Z_1 + Z_2} \quad (11.6)$$

$$Z_1 = R_1 + \frac{1}{j\omega C_1} = \frac{1 + j\omega C_1 R_1}{j\omega C_1} \quad (11.7)$$

$$Z_2 = R_2 \parallel \frac{1}{j\omega C_2} = \frac{R_2}{1 + j\omega C_2 R_2} \quad (11.8)$$

代入(11.6)式得

$$\dot{\beta} = \frac{1}{\left(1 + \frac{R_1}{R_2} + \frac{C_2}{C_1}\right) + j\left(\omega C_2 R_1 - \frac{1}{\omega C_1 R_2}\right)} \quad (11.9)$$

取 $R_1 = R_2 = R$, $C_1 = C_2 = C$, 再设 $f_0 = \frac{1}{2\pi RC}$

则(11.9)式改写成

$$\begin{aligned}\dot{\beta} &= \frac{1}{3 + j\left(\frac{f}{f_0} - \frac{f_0}{f}\right)} \\ &= \frac{1}{\sqrt{3^2 + \left(\frac{f}{f_0} - \frac{f_0}{f}\right)^2}} e^{j\varphi}\end{aligned}\quad (11.10)$$

所以反馈系数 $\dot{\beta}$ ：

幅频特性

$$|\dot{\beta}| = \frac{1}{\sqrt{3^2 + \left(\frac{f}{f_0} - \frac{f_0}{f}\right)^2}} \quad (11.11)$$

相频特性

$$\varphi = -\operatorname{tg}^{-1} \frac{\left(\frac{f}{f_0} - \frac{f_0}{f}\right)}{3} \quad (11.12)$$

由(11.11)、(11.12)式可见当 $f = f_0 = \frac{1}{2\pi RC}$ 时

$$\text{反馈幅值 } |\dot{\beta}| = |\dot{\beta}|_{\max} = \frac{1}{3}$$

$$\text{相移 } \varphi = n\pi \quad (n=0, 1, 2, \dots)$$

这就是说当 $f = f_0 = \frac{1}{2\pi RC}$ 时，满足了自激振荡的相位条件。

要使自激振荡维持下去，还要满足幅值条件

$$|\dot{\beta}| A_f \geq 1, \text{ 即 } A_f = \left(1 + \frac{R_f}{R_0}\right) \geq 3$$

$$R_f \geq 2R_0$$

在这文氏桥式正弦波发生器中，正弦波频率为 $f_0 = 1/2\pi RC$ 。如果 R_1, R_2 采用同轴电位器，同步改变 $R_1 = R_2 = R$ ，则可改变正弦波频率。

11.3.2 方波发生器

(1) 占空比 1:1 的对称方波发生器

③当 E_+ 跳变到 $\frac{R_2}{R_1+R_2}(-V_z)$ 时, 电容 C 通过 R 放电, 结果使 $E_- \downarrow$, 当 E_- 下降到 $E_+ = \frac{R_2}{R_1+R}(-V_z)$ 时, 输出电压 E_o 又迅速从 $(-V_z)$ 翻转到 $(+V_z)$. 以此反复, 在集成运放输出端就输出一个方波信号.

图 11.13 是电容 C 充放电波形和输出方波波形.

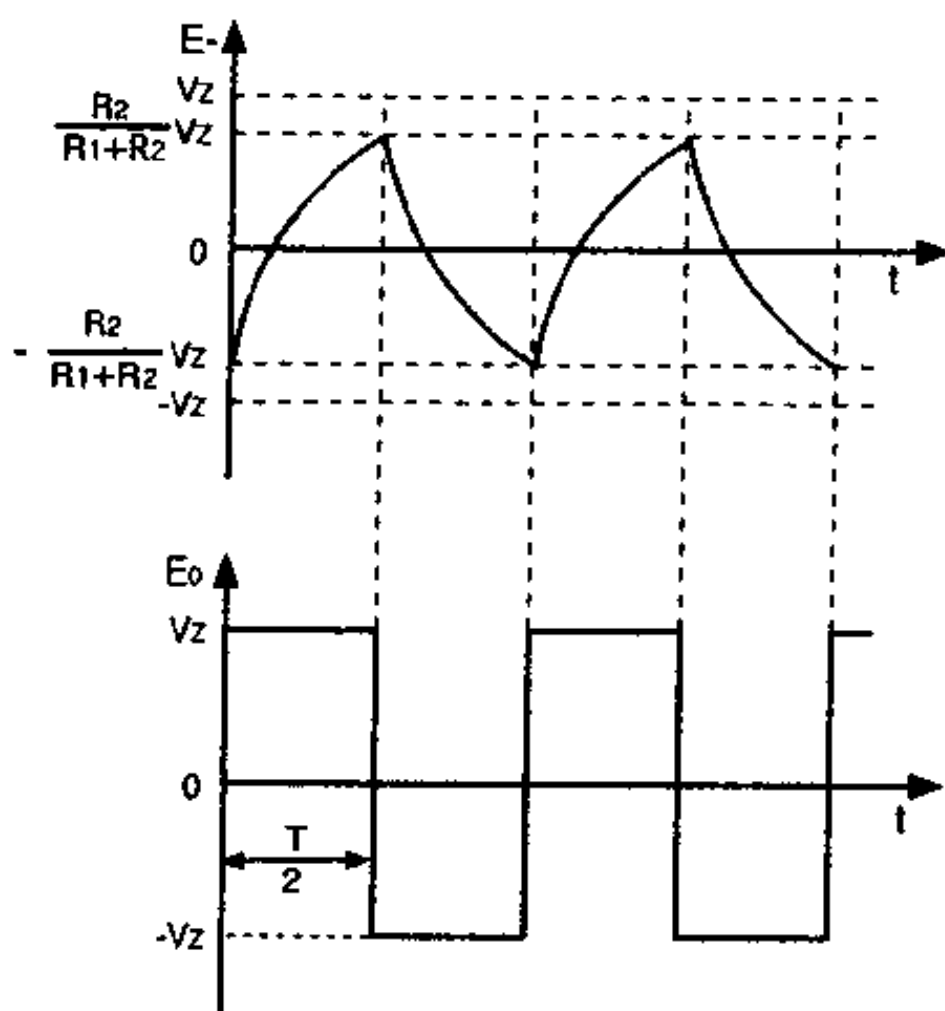


图 11.13 方波发生器波形

方波周期可由 RC 充电公式求之.

$$E_- = A(1 - e^{-\frac{t}{\tau}}) + B \quad (11.14)$$

式中 $\tau = RC$ 充电时间常数, A 和 B 可由边界条件求出.

当 $t=0$ 时

$$E_-(0) = -\frac{R_2}{R_1+R_2}V_z = B \quad (11.15)$$

当 $t = \infty$ 时

$$\begin{aligned} E_-(\infty) &= V_z = A + B \\ A &= V_z - B \\ &= \left(1 + \frac{R_2}{R_1+R_2}\right)V_z \end{aligned} \quad (11.16)$$

把(11.15)、(11.16)式代入(11.14)式得出

$$E_-(t) = \left(1 + \frac{R_2}{R_1+R_2}\right)V_z(1 - e^{-\frac{t}{\tau}}) - \frac{R_2}{R_1+R_2}V_z \quad (11.17)$$

当 $t = \frac{T}{2}$ 时, $E_-\left(\frac{T}{2}\right) = R_2/(R_1+R_2) \cdot V_z$, 上式写成

$$\frac{R_2}{R_1+R_2}V_z = \left(1 + \frac{R_2}{R_1+R_2}\right)V_z(1 - e^{-\frac{T}{2\tau}}) - \frac{R_2}{R_1+R_2}V_z$$

解得

$$T = 2\tau \ln\left(1 + \frac{2R_2}{R_1}\right)$$

方波频率则为

$$f = \frac{1}{T} = \frac{1}{2\tau \ln\left(1 + \frac{2R_2}{R_1}\right)} \quad (11.18)$$

因此只要改变充放电时间常数 $\tau = RC$, 即可改变输出方波频率。

(2) 占空比为 N 的非对称方波发生器

图 11.14 为非对称方波发生器电路图。

该电路与对称方波发生器原理相同, 所不同的是充电时通过 D_3 、 R_4 向电容 C 充电, 其充电时间常数为 R_4C , 放电时通过 R_5 、 D_4 放电, 放电时间常数为 R_5C 。

设 T_1 、 T_2 分别为充电和放电时输出方波的脉宽, 并略去 D_3 、 D_4 正向压降。

充电时, 跟上节方法一样按充电规律和边界条件求出

$$T_1 = R_4 C \ln \left(1 + \frac{2R_2}{R_1} \right) \quad (11.19)$$

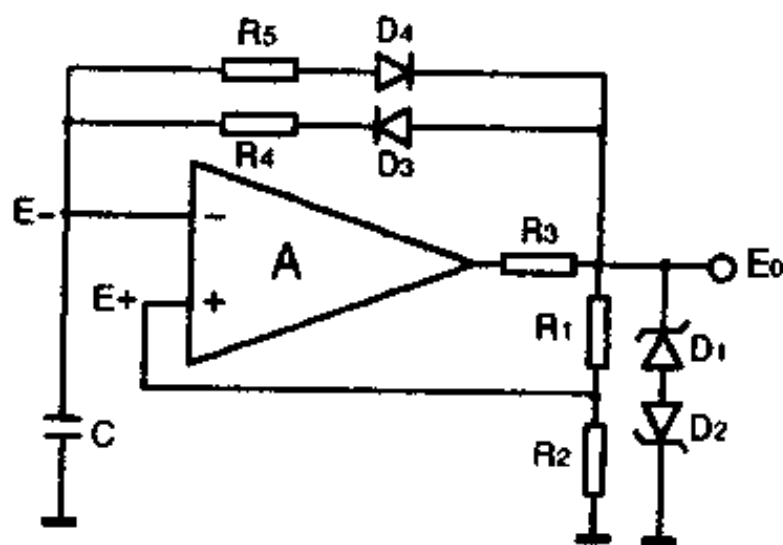


图 11.14 非对称方波发生器

放电时,按放电规律

$$E_-(t) = H e^{-\frac{t}{R_5 C}} + D \quad (11.20)$$

根据边界条件确定 H, D

$t=0$ 时

$$E_-(0) = \frac{R_2}{R_1 + R_2} V_z = H + D \quad (11.21)$$

$t=\infty$ 时

$$E_-(\infty) = -V_z = D \quad (11.22)$$

解得
$$H = \left(1 + \frac{R_2}{R_1 + R_2} \right) V_z \quad (11.23)$$

把(10.22)、(10.23)式代入(10.20)式得

$$E_-(T_2) = \left(1 + \frac{R_2}{R_1 + R_2} \right) V_z e^{-\frac{T_2}{R_5 C}} - V_z$$

即
$$-\frac{R_2}{R_1 + R_2} V_z = \left(1 + \frac{R_2}{R_1 + R_2} \right) V_z e^{-\frac{T_2}{R_5 C}} - V_z$$

解得

$$T_2 = R_5 C \ln \left(1 + \frac{2R_2}{R_1} \right) \quad (11.24)$$

比较(11.19)、(11.24)式得出输出输出波形占空比为

$$N = \frac{T_1}{T_2} = \frac{R_4}{R_5} \quad (11.25)$$

因此只要调整 R_4 与 R_5 比值,即可得到不同占空比的方波输出.图 11.15 为非对称输出方波波形图.

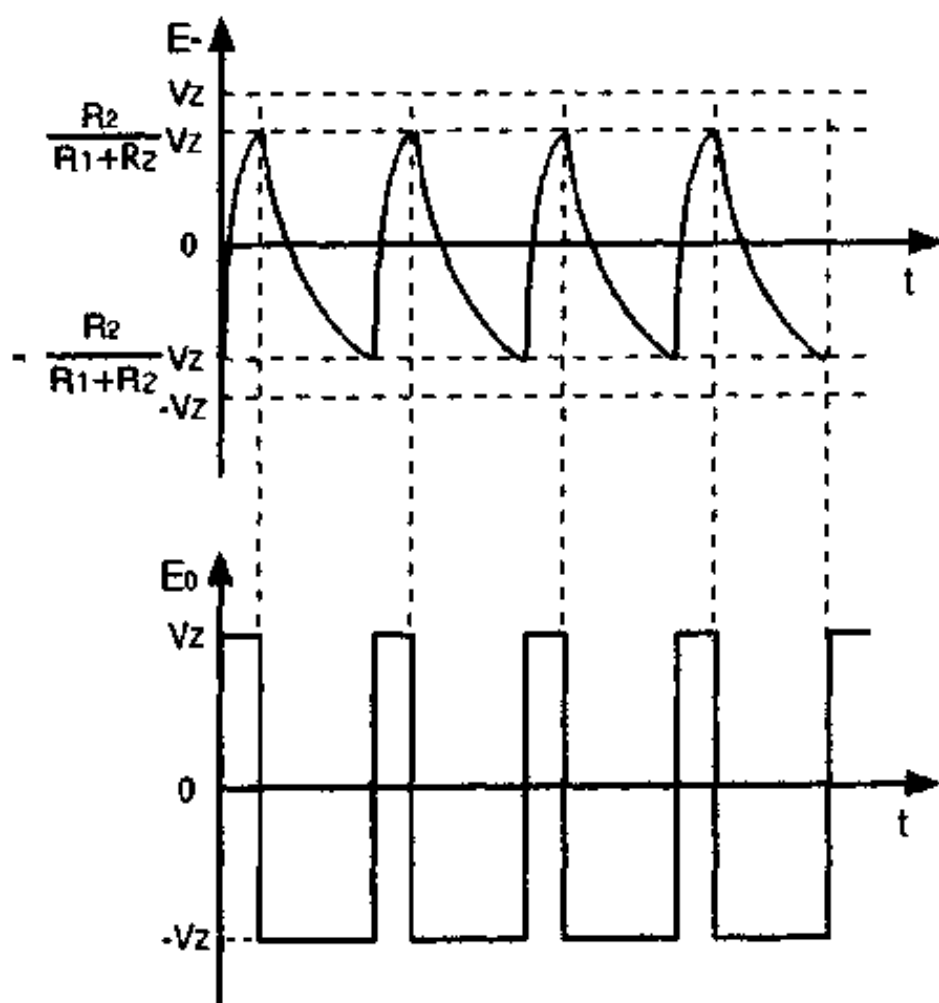


图 11.15 非对称方波发生器输出波形

11.3.3 三角波发生器

图 11.16 是用两个集成运放构成的三角波发生器电路图. A_1 作为比较器,其倒相端接地作为基准电位, R_1 构成正反馈回路. A_2

为积分器, C 为积分电容.

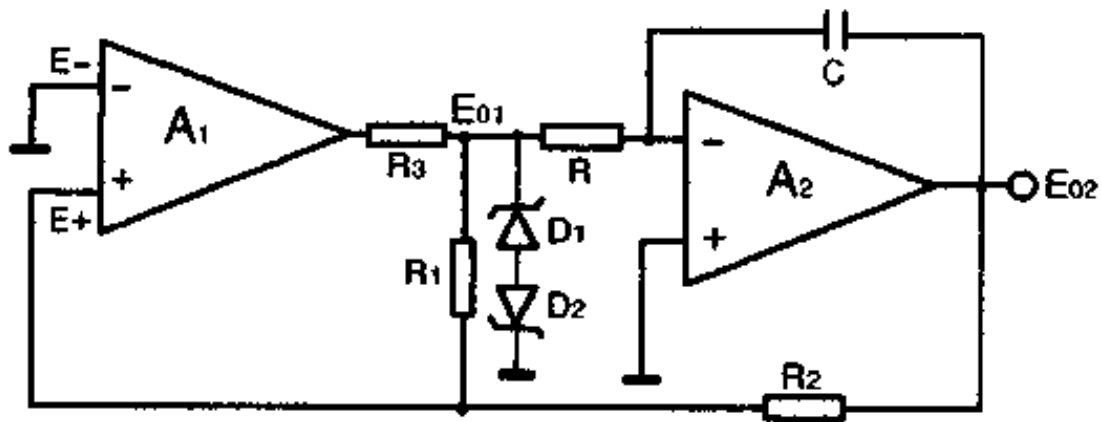


图 11.16 集成运放三角波发生器

根据上图可以写出

$$\begin{aligned} E_+ &= \frac{R_1}{R_1 - R_2} (E_{02} - E_{01}) + E_{01} \\ &= \frac{R_1}{R_1 + R_2} E_{02} + \frac{R_2}{R_1 + R_2} E_{01} \end{aligned} \quad (11.26)$$

当 $E_+ < 0$ 时, 由于 R_1 正反馈作用, A_1 输出电压 E_{01} 翻转到负向最大值 $E_{01} = -V_z$. A_2 为倒相积分器, 其输出电压 $E_{02}(t)$ 为 A_1 输出电压 $(-V_z)$ 积分

$$\begin{aligned} E_{02}(t) &= -\frac{1}{RC} \int_0^{t_1} (-V_z) dt + E_{02}(0) \\ &= \frac{t_1}{RC} V_z + E_{02}(0) \end{aligned} \quad (11.27)$$

式中 $E_{02}(0)$ 为初始值.

当 $E_+ > 0$ 时, $E_{01} = V_z$,

$$\begin{aligned} E_{02}(t) &= -\frac{1}{RC} \int_{t_1}^{t_2} V_z dt + E_{02}(t_1) \\ &= -\frac{1}{RC} (t_2 - t_1) V_z + E_{02}(t_1) \end{aligned} \quad (11.28)$$

所以, 每当 $E_+ = 0$ 时, A_1 输出电压 E_{01} 就要发生翻转. 让 (11.26) 式中 $E_+ = 0$, 则可得翻转时

$$E_{02} = -\frac{R_2}{R_1} E_{01} \quad (1.29)$$

假定 $t=0^-$ 时, $E_{01}=V_z$, 则按上式可得

$$E_{02}(0^-) = -\frac{R_2}{R_1} V_z \quad (1.30)$$

当 $t=0^+$ 时, A_1 输出发生翻转, 由 $(+V_z)$ 翻转到 $(-V_z)$, 这时积分器 A_2 输出电压由 (11.27) 式表示, 而其初始值则由 (11.30) 式表示, 这样 A_2 输出电压 $E_{02}(t)$ 随时间变化规律可以写成

$$\begin{aligned} E_{02}(t) &= \frac{t_1}{RC} V_z - \frac{R_2}{R_1} V_z \\ &= \left(\frac{t_1}{RC} - \frac{R_2}{R_1} \right) V_z \end{aligned} \quad (1.31)$$

(11.31) 式表明 A_2 输出电压 $E_{02}(t)$ 跟时间 t 成线性关系.

下面来求三角波的幅度与周期.

可以证明: 三角波上升时间和下降时间是相等的.

根据 (11.29) 式可以求出三角波幅值.

$$\text{当 } t=0 \text{ 时, } E_{01}=V_z, E_{02}(0) = -\frac{R_2}{R_1} V_z \quad (11.32)$$

$$t = \frac{T}{2} \text{ 时, } E_{01} = -V_z, E_{02}\left(\frac{T}{2}\right) = +\frac{R_2}{R_1} V_z \quad (11.33)$$

所以三角波幅度为

$$E_{02p-p} = E_{02}\left(\frac{T}{2}\right) - E_{02}(0) = 2 \frac{R_2}{R_1} V_z$$

把 (11.33) 式代入 (11.31) 式, 可以求出三角波的周期

$$\begin{aligned} E_{02}\left(\frac{T}{2}\right) &= \frac{R_2}{R_1} V_z = \left(\frac{T}{2RC} - \frac{R_2}{R_1} \right) V_z \\ T &= 4 \frac{R_2}{R_1} RC \end{aligned} \quad (11.35)$$

因此在选定 R_2 后, 改变 R_1 可改变三角波幅度, 改变 R 可改变其频率.

用图 11.16 两个集成运放构成的波形发生器, 在 A_1 输出端可

得方波, 在 A_2 输出端可得到三角波, 其波形如图 11.17 所示.

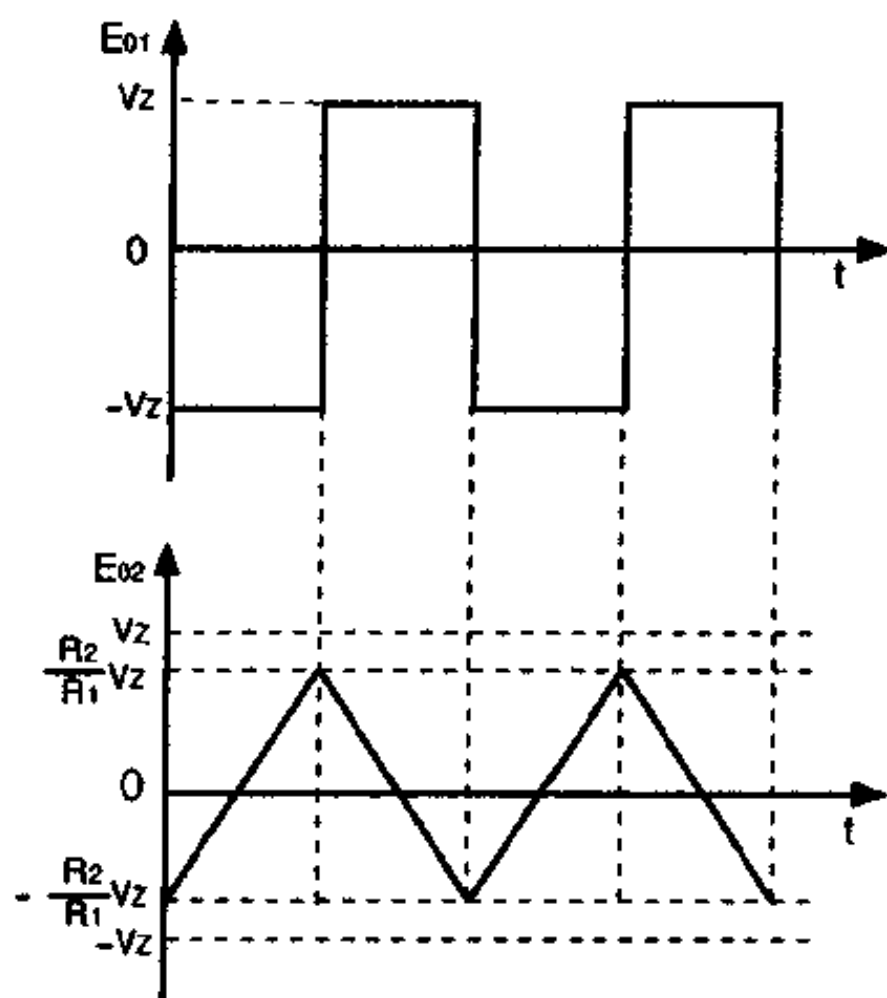


图 11.17 集成运放方波—三角波发生器波形

11.4 集成运放用作《有源滤波器》

11.4.1 有源低通滤波器

在第十章, 我们讨论了无源低通滤波器, 在这里我们介绍用集成运放构成的有源低通滤波器, 其电路如图 11.18 所示.

按图可以写出集成运放闭环增益为

$$A_f(f) = -\frac{R_f \parallel X_c}{R_i} = -\frac{R_f}{R_i} \cdot \frac{1}{1 + j2\pi f R_f C_f} \quad (11.36)$$

令

$$f_0 = \frac{1}{2\pi R_f C_f}$$

则上式可改写成

$$\begin{aligned} A_f(f) &= -\frac{R_f}{R_1} \frac{1}{1 + j\left(\frac{f}{f_0}\right)} \\ &= -\frac{R_f}{R_1} \cdot \frac{1}{\sqrt{1 + \left(\frac{f}{f_0}\right)^2}} e^{j\varphi} \end{aligned} \quad (11.37)$$

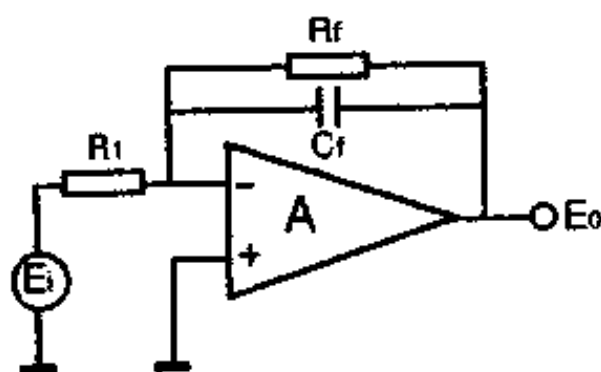


图 11.18 有源低通滤波器

幅频特性为

$$A_f(f) = -\frac{R_f}{R_1} \frac{1}{\sqrt{1 + \left(\frac{f}{f_0}\right)^2}} \quad (11.38)$$

相频特性为

$$\varphi = -\text{tg}^{-1}\left(\frac{f}{f_0}\right) \quad (11.39)$$

$$\text{当 } f=0 \text{ 时, } A_f(0) = -\frac{R_f}{R_1}$$

$$\text{当 } f=f_0 \text{ 时, } A_f(f_0) = -\frac{R_f}{R_1} \frac{1}{\sqrt{2}} = \frac{A_f(0)}{\sqrt{2}}$$

用分贝表示

$$A_f(f_0) (\text{db}) = 20 \log A_f(0) - 20 \log \sqrt{2}$$

$$= 20\log A_f(0) - 3\text{db} \quad (11.40)$$

因此 $f_0 = \frac{1}{2\pi R_f C_f}$ 就是 3db 带宽, 其幅频特性曲线如图 11.19 所示.

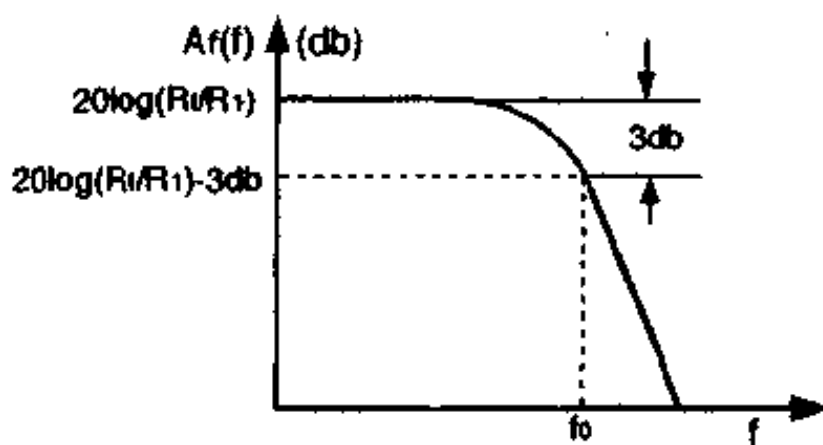


图 11.19 有源低通滤波器幅频特性

例如希望有源低通滤波器带宽为 0—15Hz, 若 $R_1 = 51\Omega$, $R_f = 5.1\text{k}\Omega$, 则低通滤波器电容应为

$$C_f = \frac{1}{2\pi f_0 R_f} = \frac{1}{6.28 \times 15 \times 5.1\text{K}\Omega} \approx 2.1(\mu\text{f})$$

11.4.2 有源高通滤波器

图 11.20 为集成运放构成的有源高通滤波器电路图.

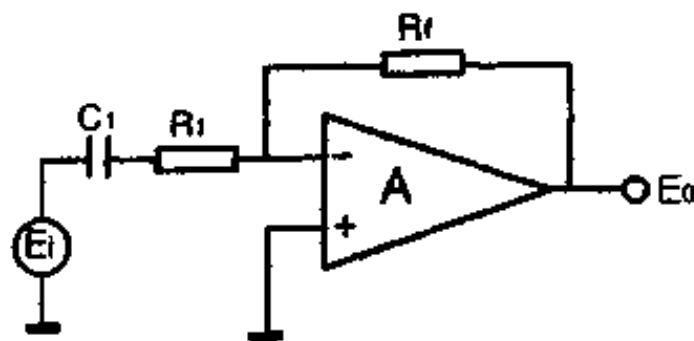


图 11.20 有源高通滤波器

按图可以写出集成运放闭环增益

$$A_f(f) = -\frac{R_f}{R_1 + \frac{1}{j\omega C_1}}$$

$$= -\frac{R_f}{R_1} \cdot \frac{1}{1 + \frac{1}{j2\pi f R_1 C_1}}$$

设 $f_0 = \frac{1}{2\pi R_1 C_1}$, 则

$$A_f(f) = -\frac{R_f}{R_1} \cdot \frac{1}{1 - j\left(\frac{f_0}{f}\right)} \quad (11.41)$$

$$= -\frac{R_f}{R_1} \cdot \frac{1}{\sqrt{1 + \left(\frac{f_0}{f}\right)^2}} e^{j\varphi} \quad (11.42)$$

所以幅频特性为

$$A_f(f) = -\frac{R_f}{R_1} \cdot \frac{1}{\sqrt{1 + \left(\frac{f_0}{f}\right)^2}} \quad (11.43)$$

相频特性为

$$\varphi = \text{tg}^{-1}\left(\frac{f_0}{f}\right) \quad (11.44)$$

当 $f=0$ 时, $A_f(0) \approx 0$

$$f=f_0 \text{ 时, } A_f(f_0) = -\frac{R_f}{R_1} \frac{1}{\sqrt{2}}$$

$$f \gg f_0 \text{ 时, } A_f(\infty) = -\frac{R_f}{R_1}$$

图 11.21 为这一高通滤波器幅频特性曲线。

11.4.3 有源带通滤波器

图 11.22 为集成运放构成的有源带通滤波器电路图。

按图可写出集成运放闭环增益

$$\begin{aligned}
 A_f(f) &= -\frac{R_f \parallel X_{Cf}}{R_1 + X_{C1}} \\
 &= -\frac{R_f}{1 + j2\pi f C_f R_f} \\
 &= -\frac{R_f}{R_1 \left(1 + \frac{1}{j2\pi f C_1 R_1} \right)} \\
 &= -\frac{R_f}{R_1 \left(1 + \frac{1}{j2\pi f C_1 R_1} \right) (1 + j2\pi f C_f R_f)} \quad (11.45)
 \end{aligned}$$

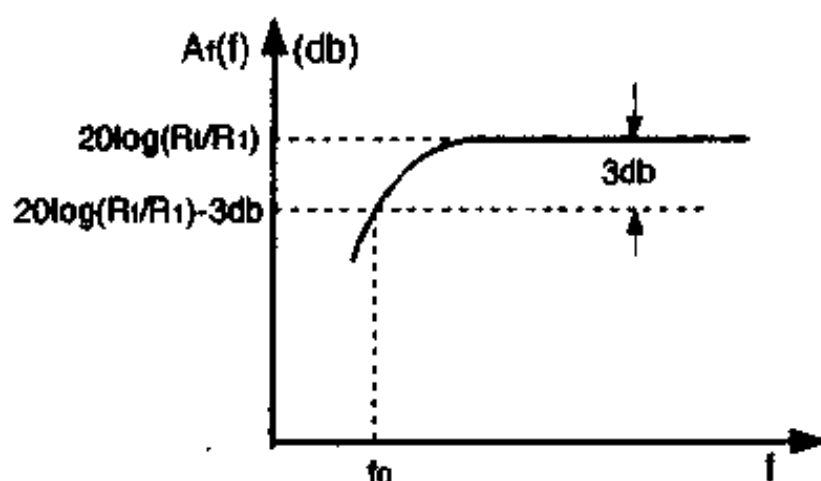


图 11.21 高通滤波器幅频特性

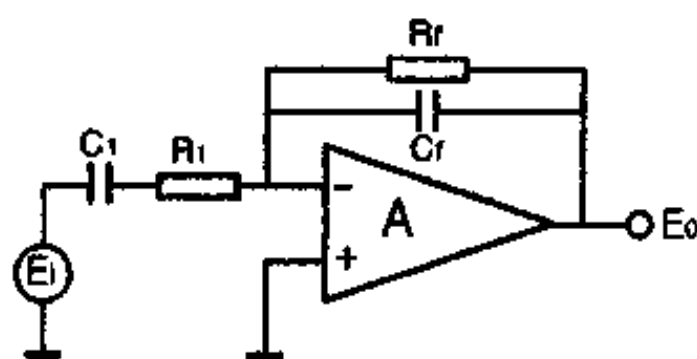


图 11.22 有源带通滤波器

设 $f_1 = \frac{1}{2\pi R_1 C_1}$, $f_2 = \frac{1}{2\pi R_f C_f}$, 则(11.45)式可以改写成

$$A_f(f) = -\frac{R_f}{R_1} \frac{1}{\left[1 - j\left(\frac{f_1}{f}\right)\right] \left[1 + j\left(\frac{f}{f_2}\right)\right]} \quad (11.46)$$

因此幅频特性和相频特性为

$$A_f(f) = -\frac{R_f}{R_1} \cdot \frac{1}{\sqrt{1 + \left(\frac{f_1}{f}\right)^2} \sqrt{1 + \left(\frac{f}{f_2}\right)^2}} \quad (11.47)$$

$$\varphi = \varphi_1 + \varphi_2 = \text{tg}^{-1}\left(\frac{f_1}{f}\right) - \text{tg}^{-1}\left(\frac{f}{f_2}\right) \quad (11.48)$$

图 11.23 为有源带通滤波器幅频特性曲线。

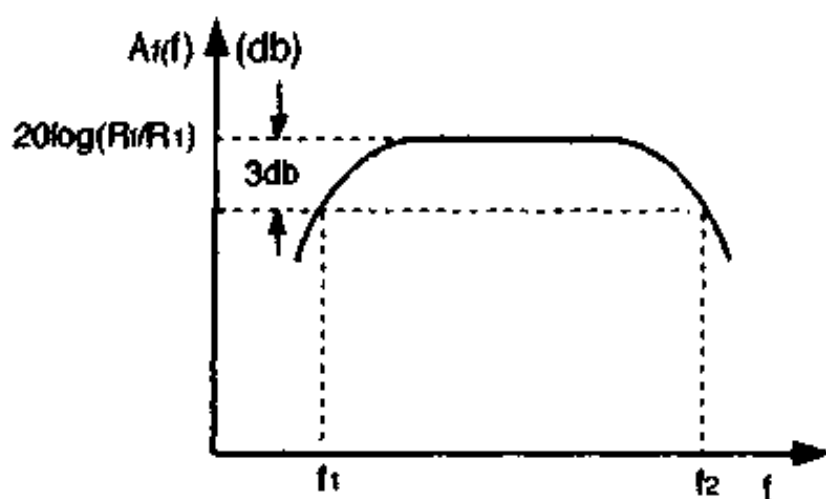


图 11.23 有源带通滤波器幅频特性

11.5 集成运放用作 D/A, A/D 转换器

本节将介绍集成运放在数字系统中的二种典型应用：一种是应用集成运放把数字量转换成模拟量，即 D/A 转换器；另一种是把模拟量转换成数字量，即 A/D 转换器^{[44][37][22]}。

11.5.1 集成运放用作 D/A 转换器

D/A 转换器主要包含数字和模拟两种电路，实现数字量到模

拟量转换. 完成这种“转换”功能可以直接用单片集成电路 D/A 转换器, 也可以用集成运放构成.

(1) 权电阻型 D/A 转换器

图 11.24 是权电阻型 D/A 转换器一个具体电路图, 它是由运算放大器的加法电路和数字寄存器构成. 加法器的最小输入电阻接在寄存器最高位 MSB 上, 加法器最大输入电阻接在寄存器最低位 LSB 上.

由图 11.24(a) 可以写出运算放大器输出电压 E_0 的表达式

$$\begin{aligned} E_0 &= -\left(\frac{R_f}{R_8}E_8 + \frac{R_f}{R_7}E_7 + \frac{R_f}{R_6}E_6 + \cdots + \frac{R_f}{R_1}E_1\right) \\ &= -(1.024E_8 + 0.512E_7 + 0.256E_6 + \cdots + 0.008E_1) \\ &= -0.008(2^7E_8 + 2^6E_7 + 2^5E_6 + \cdots + 2^0E_1) \\ &= -0.04\left(2^7\frac{E_8}{5} + 2^6\frac{E_7}{5} + 2^5\frac{E_6}{5} + \cdots + 2^0\frac{E_1}{5}\right) \quad (11.49) \end{aligned}$$

式中 $E_8, E_7, E_6, \dots, E_1$ 表示寄存器输出高电平或低电平电压值.

图 11.24(b) 表示运算放大器加法器输入数字量和输出模拟量之间的关系. 横坐标表示寄存器二进制数码, 纵坐标表示集成运放相对应的输出电压值.

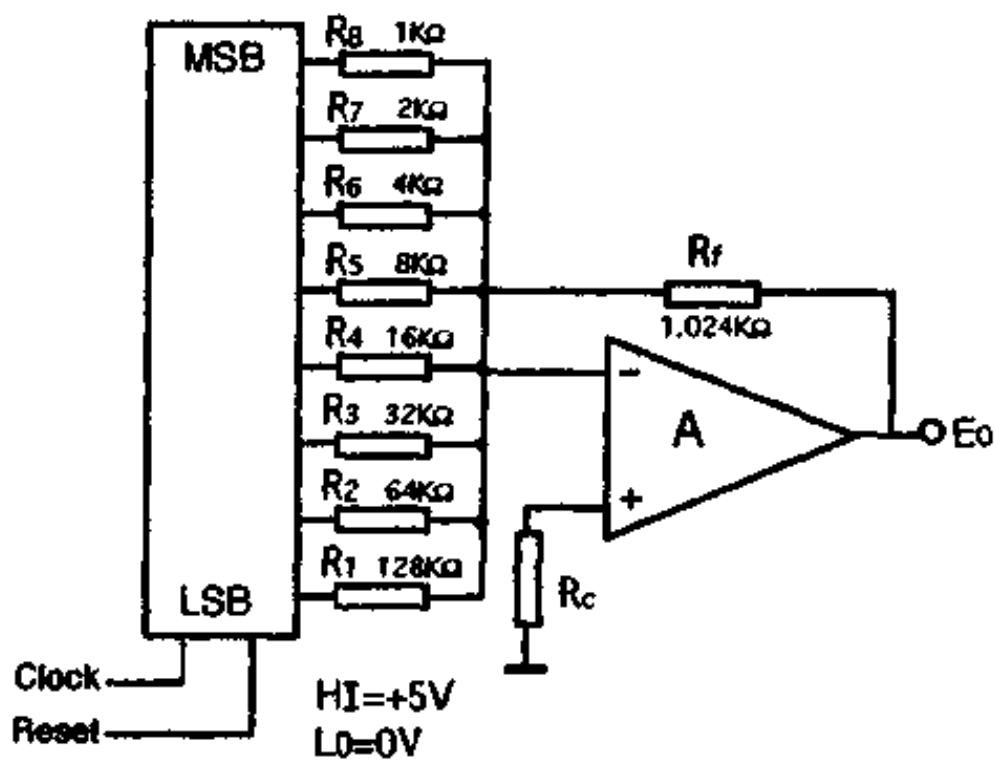
例如当二进制数码为 00000001 时, $E_8, E_7, E_6, E_5, E_4, E_3, E_2$ 为低电平 0V, E_1 为高电平 5V, 相对应的输出 $E_0 = -0.04V$. 当二进制数码为 11111110 时, $E_8, E_7, E_6, E_5, E_4, E_3, E_2$ 为高电平 5V, E_1 为低电平 0V, 输出 $E_0 = -10.16V$.

(2) T 型电阻 D/A 转换器

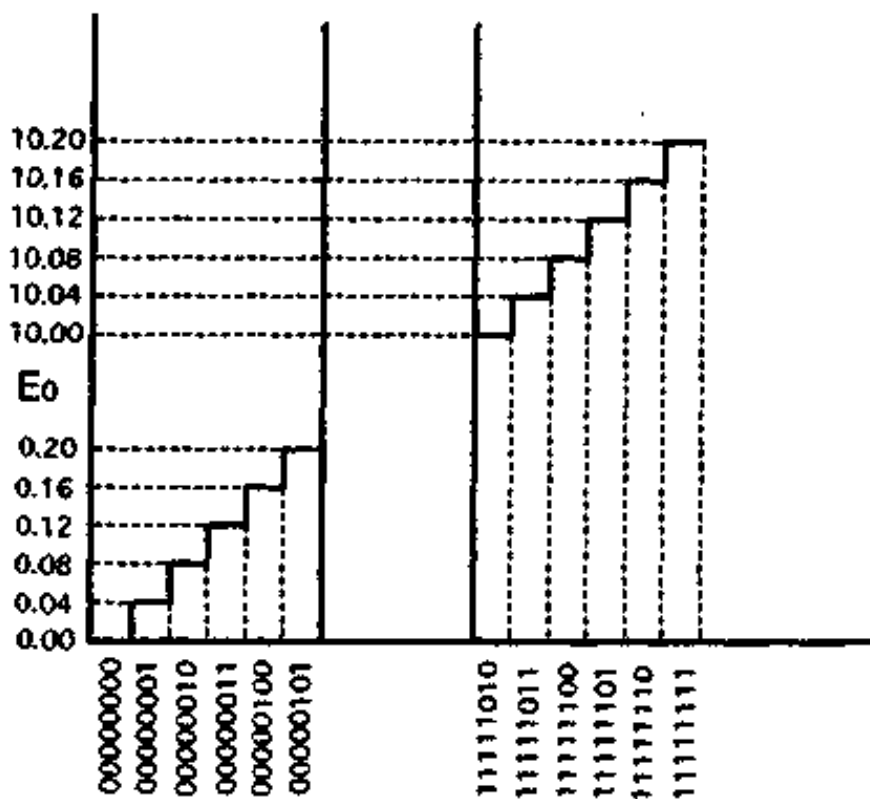
图 11.25 是一个 T 型电阻 8 位 D/A 转换器电路图.

在这电路中, 集成运放组成倒相放大器, 电阻 $R, 2R$ 组成 T 型网络, E_8, E_7, \dots, E_1 是 8 位二进制数码, E_0 是输出模拟电压.

现在来看看输出模拟电压量与输入数字量之间的关系.



(a) 权电阻型 D/A 转换器电路图



(b) D/A 转换器输出与输入关系

图 11.24 权电阻型 D/A 转换器^[44]

假定 $E_8E_7E_6E_5E_4E_3E_2E_1 = 00000001$, 可以利用戴维南定理, 算出

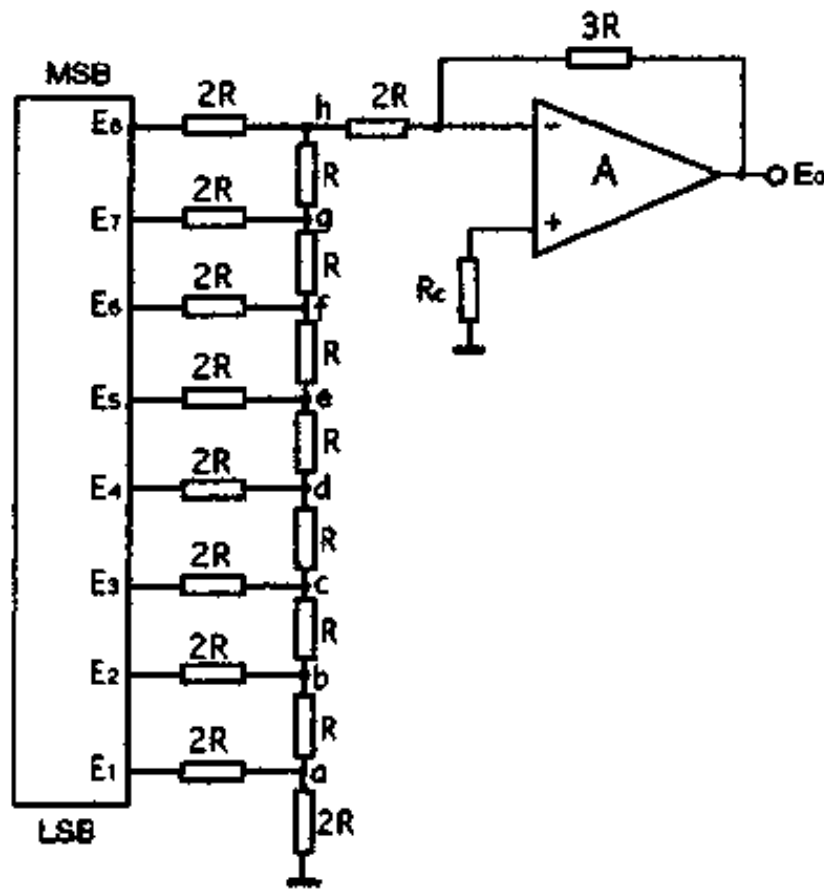


图 11.25 T型电阻 D/A 转换器(倒相输入)^[44]

a, b, c, \dots, h 各节点等效电压源. 先从节点 a 向下看, 各节点等效电路如 11.26 所示.

由图 11.26 可以看出, 每通过一个节点, 电压源电压衰减 $1/2$, 到 h 点, 电压衰减为 $V_H/2^8$, 而电压源内阻都是 R .

当数字寄存器输出为 00000001 时, 运算放大器输出电压为

$$E_0 = -\frac{3R}{2R+R} \left(\frac{V_H}{2^8} \right) = -\frac{V_H}{2^8} \quad (11.50)$$

同理, $E_8E_7E_6E_5E_4E_3E_2E_1 = 00000010, 00000100, 00001000, \dots$ 时, 对应的输出电压为 $E_0 = -(V_H/2^7), -(V_H/2^6), -(V_H/2^5), \dots$. 把这些电压迭加起来, 就得到输出模拟量与输入数字量之间的关系

$$E_0 = -\frac{V_H}{2^8} (E_8 2^7 + E_7 2^6 + E_6 2^5 + E_5 2^4 + E_4 2^3 + E_3 2^2 + E_2 2^1 + E_1 2^0) \quad (11.51)$$

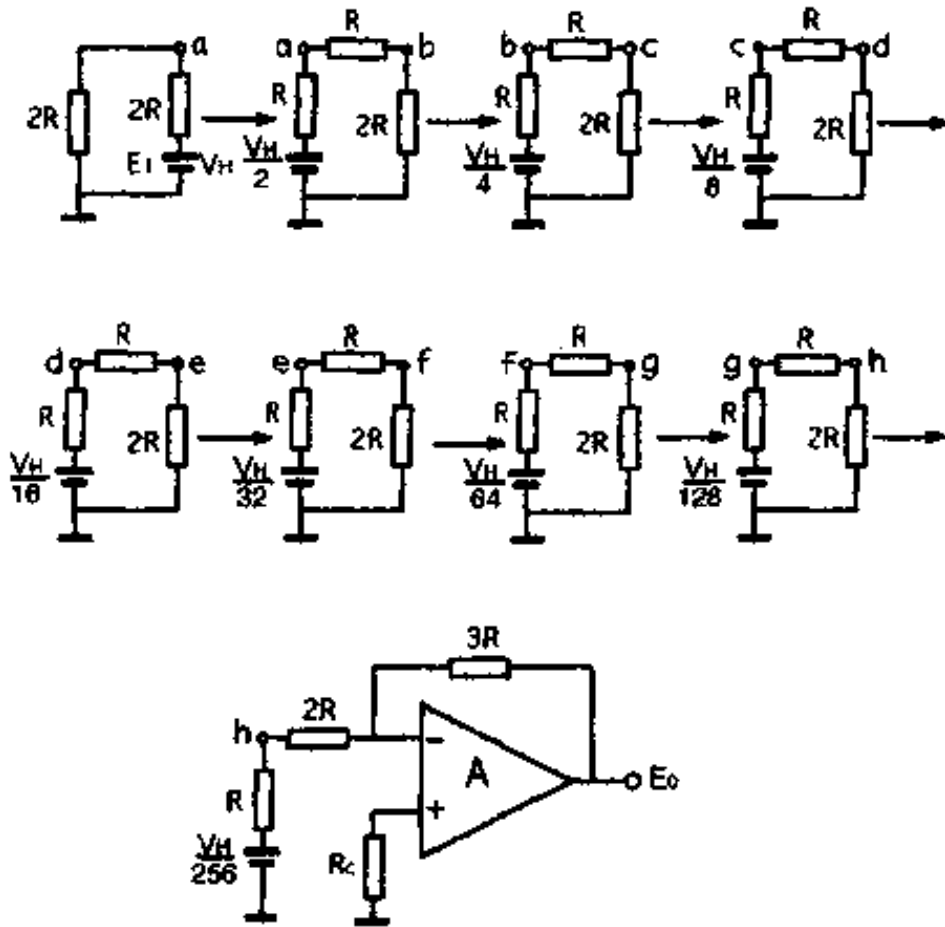


图 11.26 等效电路图

对于倒相输入 n 位 T 型电阻 D/A 转换器, 输出模拟量和输入数字量之间关系可以写成

$$E_0 = -\frac{V_H}{2^n} (E_n 2^{n-1} + E_{n-1} 2^{n-2} + \dots + E_2 2^1 + E_1 2^0) \quad (11.52)$$

如果信号从非倒相端输入, 如图 11.27 所示

跟倒相放大器推导方法相同, 得出

$$E_+ = \frac{2}{3} \frac{V_H}{2^8} (E_8 2^7 + E_7 2^6 + E_6 2^5 + E_5 2^4 + E_4 2^3 + E_3 2^2 + E_2 2^1 + E_1 2^0) \quad (11.53)$$

$$E_0 = \left(1 + \frac{R_f}{R_1}\right) \frac{2}{3} \frac{V_H}{2^8} (E_8 2^7 + E_7 2^6 + \dots + E_1 2^0) \quad (11.54)$$

对于非倒相输入 n 位 T 型电阻 D/A 转换器输出与输入关系可以写成

$$E_0 = \left(1 + \frac{R_f}{R_1}\right) \frac{2}{3} \frac{V_H}{2^n} (E_n 2^{n-1} + E_{n-1} 2^{n-2} + \dots + E_2 2^1 + E_1 2^0) \quad (11.55)$$

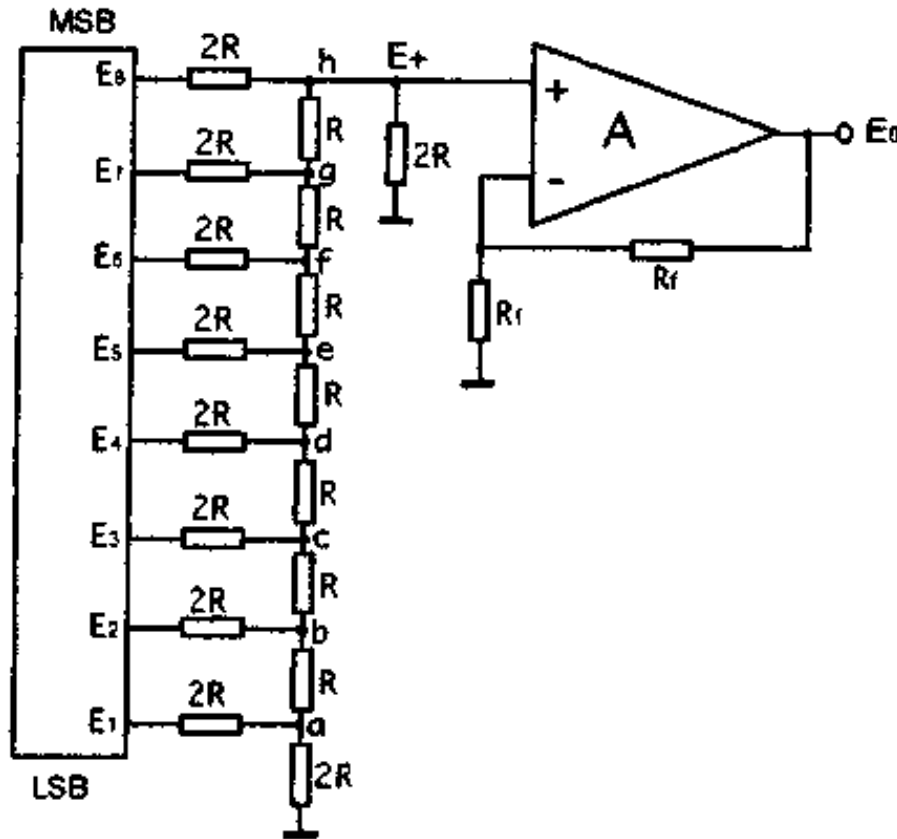


图 11.27 T 型电阻 D/A 转换器(非倒相输入)^[44]

11.5.2 集成运放用作 A/D 转换器

把模拟量(A)转换成数字量(D)的电路系统,称之为 A/D 转换器.实现 A/D 转换功能,可用单片集成电路 A/D 转换器,也可以用集成运放构成.在比较型的 A/D 转换器中,集成运放作为比较器应用.

图 11.28 是计数比较型 A/D 转换器电路图,它是由 D/A 转换器和电压比较器构成,在这里,集成电路运算放大器作为比较

器。

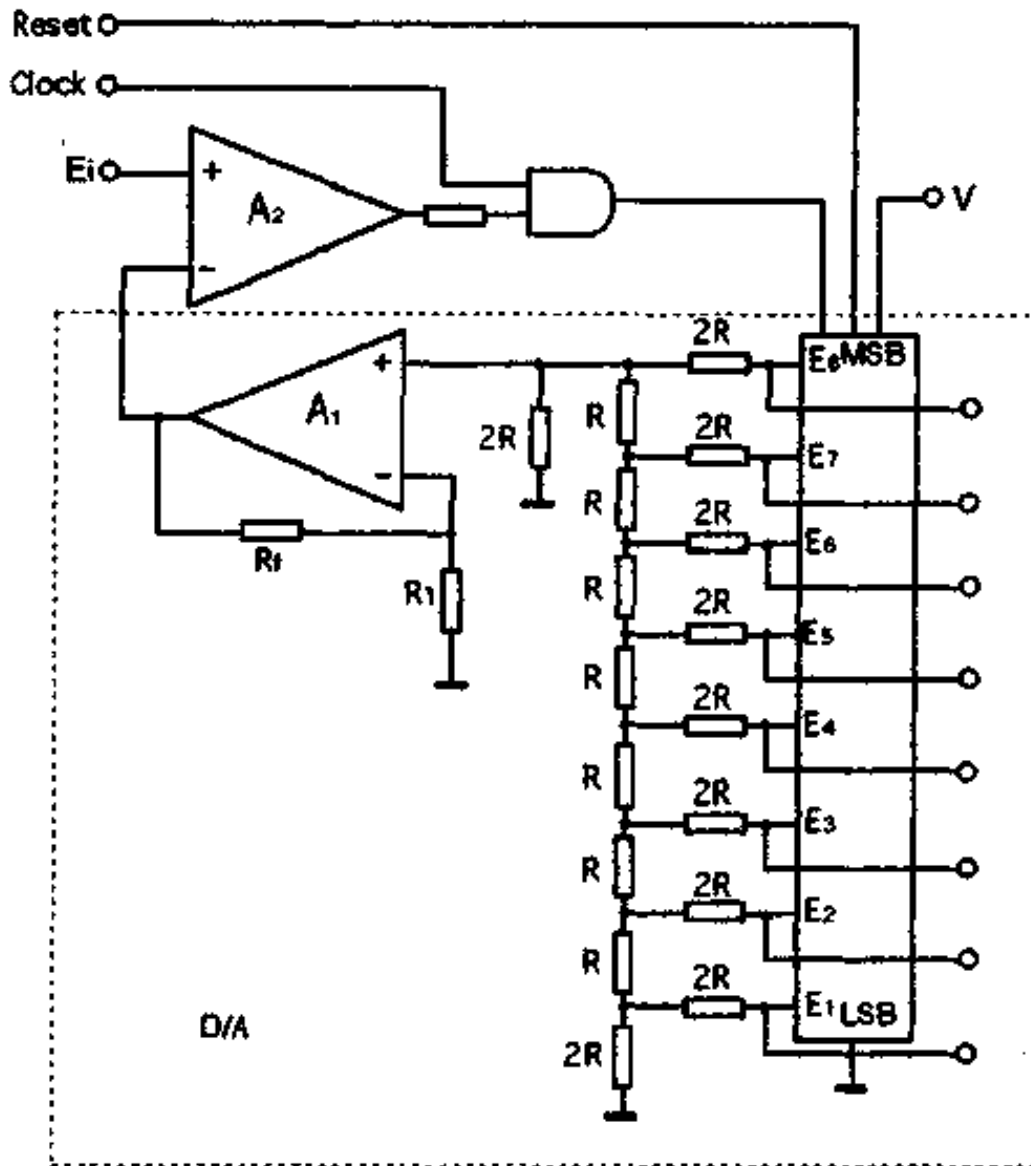


图 11.28 计数比较型 A/D 转换器^[44]

它的工作原理是这样的：

输入电压 E_i 加在集成运放 A_2 构成的比较器非倒相输入端上，D/A 转换器输出模拟信号加在比较器倒相端上与输入信号进行比较。转换开始前先将 D/A 计数器复位清零，这时电压比较器输出为高电平，时钟信号通过与门输入二进制计数器，计数器由时钟信号触发，开始计数，D/A 转换器就有相应的模拟信号输出。当 D/A 输出电压小于输入电压 E_i 时，电压比较器输出一直为高电

平,与门传导时钟信号,二进制计数器继续触发.当阶梯形电压增值到比输入电压高半个台阶时,电压比较器即输出低电平,与门于是阻止时钟信号通过,计数器停止计数.此时计数器中存储的二进制数字就是所要求的数字输出,从而实现把模拟电压 E_i 变成二进制数字输出的转换.

在 A/D 转换器中,模拟量是连续的,而数字量是“量化”的,因此用数字量表示模拟量,就是要把模拟量分割成数字“量化”单位的整数倍.显然,这种“量化”分割单位越小,转换精度就越高. D/A 中的位数即代表输入电压被分割的份数,对于一个 8 位 D/A 转换器,就意味着输入电压被分割成 2^8 (256) 份,对于一个 10 位 D/A 转换器,输入电压就被分割成 2^{10} (1024) 份,也就是说, D/A 位数越高, A/D 转换器精度也就越高.

计数比较型 A/D 转换器主要缺点是计数时间较长,因而转换速度较慢.

下面再简单介绍一种转换速度较快的 D/A 转换器,即逐次逼近比较型 A/D 转换器.这种转换器仍由一个集成运放组成的比较器 (A_2) 和一个 D/A 转换器构成,但 D/A 转换器不是采用二进制计数器,而是运用数字处理器 (Digital Processor). 如图 11.29 所示.

其工作原理是这样的:

① 转换前,数字处理器先清零,此时 D/A 转换器输出为 0V,电压比较器 (A_2) 输出为高电平.

② 转换开始后,时钟信号和逻辑控制电路首先将数字处理器最高位置“1”,使其输出为 10000000,这个数码通过 D/A 转换器转换成相对应的模拟电压 E_{01} ,送到比较器中与输入模拟信号 E_i 比较.数字处理器检测电压比较器的输出是否有变化,如有变化,说明 $E_{01} > E_i$,于是数字处理器将最高位“1”清除掉.如果没有变化,说明 $E_{01} < E_i$,将最高位“1”保留.

③ 接着数字处理器将次高位置“1”,即输出为 01000000 或

11000000, 这数码再通过 D/A 转换器转换成相应的模拟电压 E_{02} , 送进比较器再与输入电压 E_i 进行比较. 数字处理器检测电压比较器的输出是否有变化, 如果没有变化, 说明 $E_{02} < E_i$, 就把次高位“1”保留下来.

④ 这样逐次比较下去, 直到最低位为止. 比较完后, 数字处理器所存数码就是模拟量转换的数码.

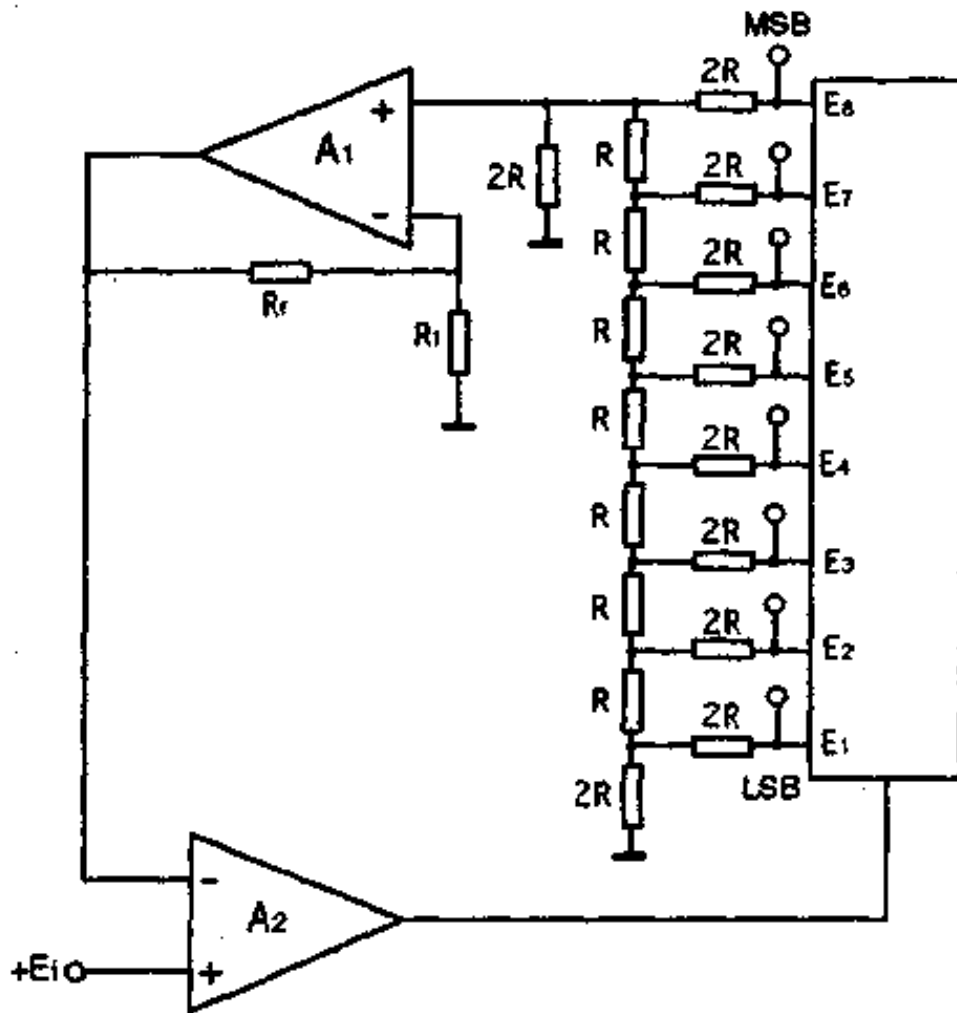


图 11.29 逐次逼近比较型 A/D 转换器^[44]

11.6 模拟集成锁相环用作《跟踪滤波器》

跟踪特性是集成锁相环最基本特性, 它的输出频率可以非常精确地跟踪输入信号频率的变化; 同时锁相环路又具有优越的滤

波性能,因此用模拟集成锁相环作为频率跟踪滤波器是很理想的.

图 11.30 是用 KD8041H 模拟集成锁相环构成频率跟踪滤波

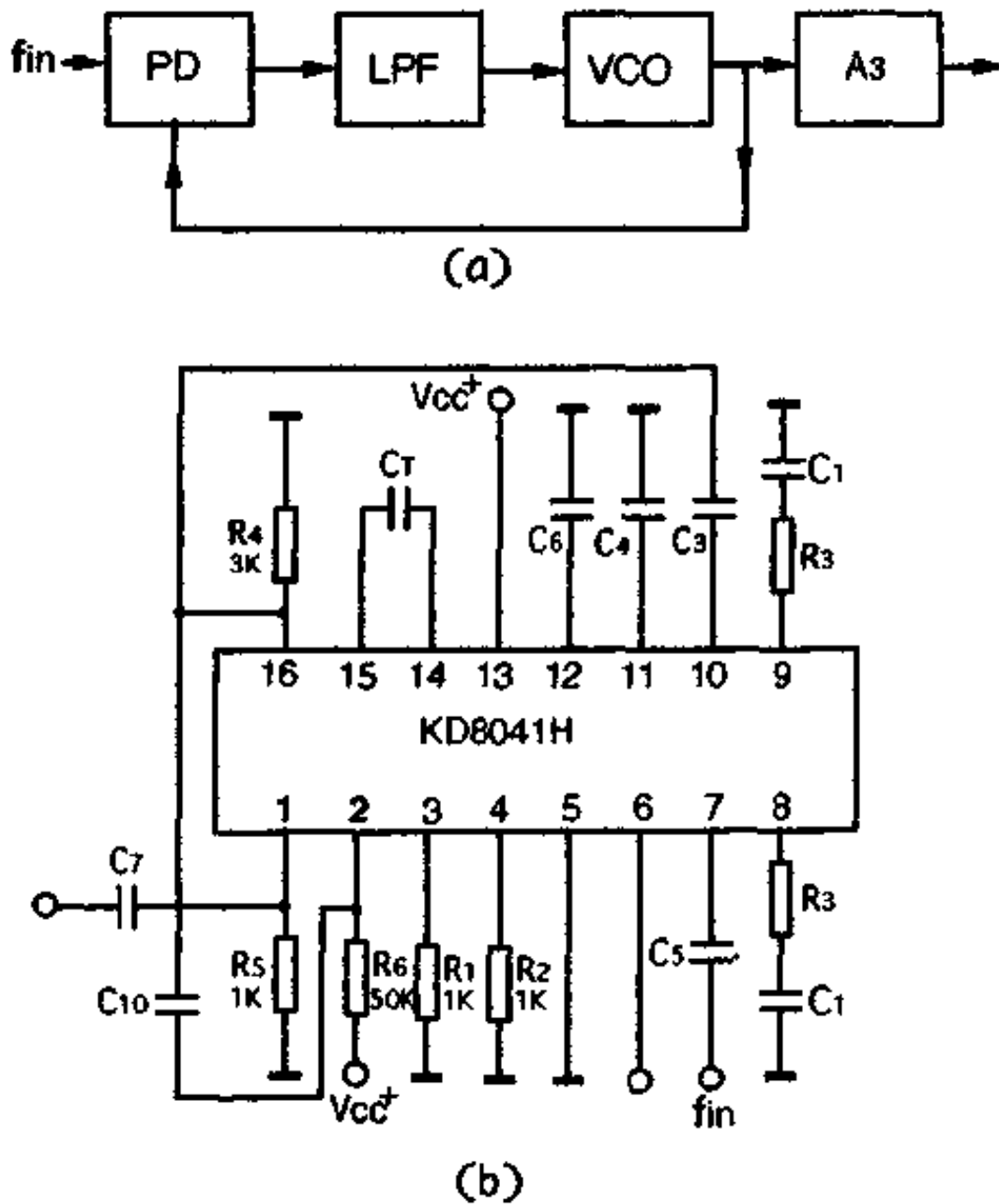


图 11.30 PLL 用作跟踪滤波器

器电路图. 频率为 f_{in} 的信号由 7 端输入, C_5 为耦合电容, C_6 为旁

路电容. 压控振荡器由 16 端输出, 通过耦合电容 C_3 馈回到鉴相器 10 端. 跟踪滤波信号可以由 VCO 16 输出端输出, 也可以再经过独立放大器 A_3 放大后, 由放大器 1 端输出.

这种用模拟集成锁相环构成的跟踪滤波器对滤除输入噪声来说是非常理想的. 假如输入信号中心频率为 f_{in} , 带宽为 Δf_{in} , 输入信噪比为 $(S/N)_{in}$, 可以证明^[23], 环路输出相位噪声均方值为

$$\overline{\theta_{no}^2} = \frac{1}{2 \left(\frac{S}{N} \right)_{in} \cdot \Delta f_{in} / 2} \Delta f_n \quad (11.56)$$

式中 Δf_n 为环路噪声带宽.

Δf_n 越小, 输出相位噪声均方值 $\overline{\theta_{no}^2}$ 也就越小, 而 Δf_n 可以通过调整环路参数做得很小. 因此这种跟踪滤波器将有效地滤除输入噪声.

11.7 模拟集成锁相环用作《调频信号解调器》

图 11.31 是用 KD8041H 模拟集成锁相环构成的调频信号解调器.

调频信号 FM 经限幅器后输入 KD8041H 锁相环鉴相器 7 输入端, C_5 为耦合电容, C_6 为旁路电容. 调频解调信号由 KD8041H 锁相环的 6 端经低通网络后输出.

调频信号 FM 经限幅器后输入 KD8041H 集成锁相环, 由于 VCO 能跟踪输入调频信号, 因此 VCO 输出端的输出信号就是一个具有相同调制规律的调频信号, 而 VCO 输入端控制电压就是调频解调信号.

用集成锁相环作为调频解调器, 最大特点是门限特性好. 对于普通的调频解调器, 在输入信噪比高时, 抗噪性能好, 但在输入信噪比低时, 输出信噪比急剧恶化, 当输入信噪比低到一定“门限”时, 解调将失效, 这就所谓调频波解调的门限效应. 而 PLL 作为调

频解调器,即使当输入信噪比很低时,其输出依然有较高的信噪比,PLL解调器最低输入信噪比的“门限”要比普通调频解调器低许多.

11.8 模拟集成锁相环用作《倍频器》

图 11.32 是用 KD8041H 模拟集成锁相环构成的倍频器.

设输入信号频率为 f_{in} ,调整压控振荡器频率为 $f_0 = Nf_{in}$,再在锁相环反馈回路上插入数字分频器,就构成了倍频器.倍频信号由 VCO 输出端输出,或再经独立放大器 A_3 放大后,由 A_3 输出端输出.

由于锁相环噪声带宽 Δf ,可以控制很小,因此锁相倍频器,在有输入噪声时,依然能得到高纯度的输出倍频信号.

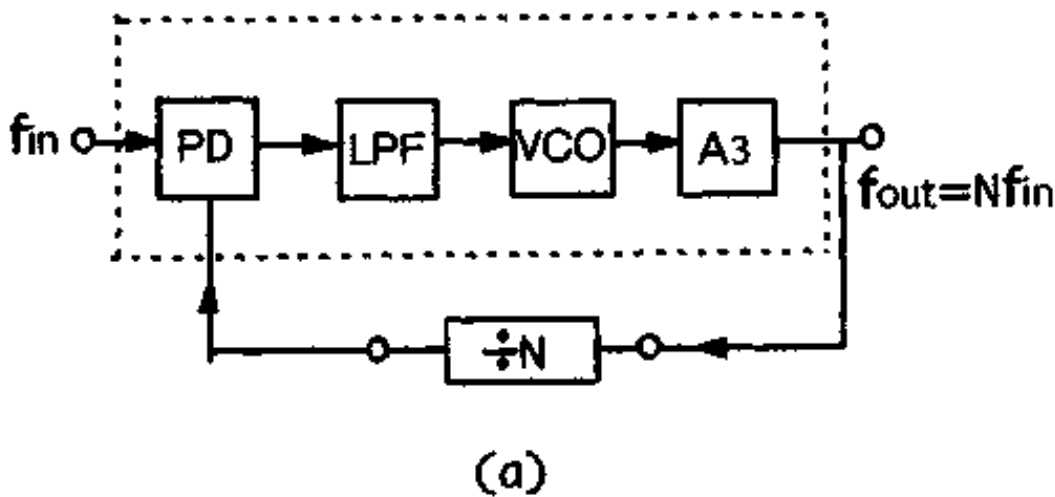
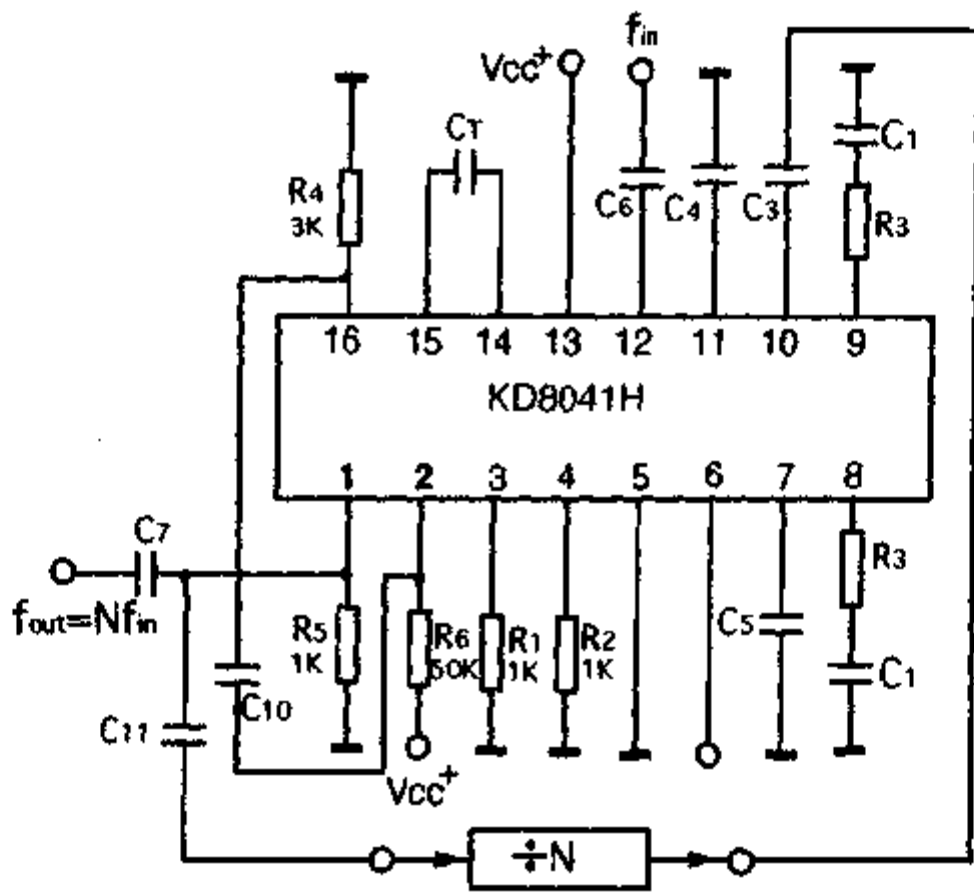


图 11.32(a) PLL 用作《倍频器》



(b)

图 11.32(b) PLL 用作《倍频器》

第十二章 习 题

(1) 图 12.1 中 A 为理想集成运放, $R'_f = R_f = 5.1\text{k}\Omega$, $R' = R = 51\Omega$, 在其倒相输入端和非倒相输入端同时输入信号电压 E_1 和 E_2 , 求输出电压 E_0 .

(2) 图 12.2 中 A 为理想集成运放, 试证明: $E_0 = E_2$.

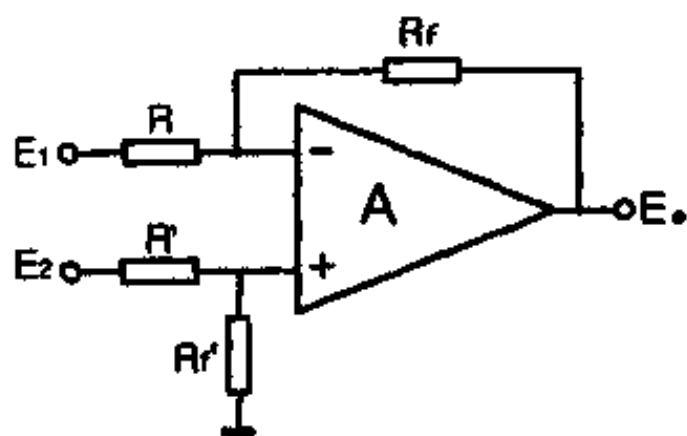


图 12.1

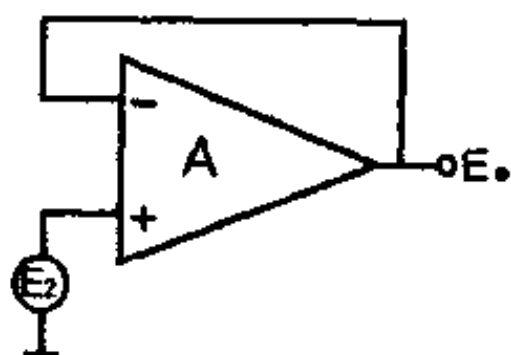


图 12.2

(3) 图 12.3, A 为理想集成运放, 试证明: $E_0 = -(E_1 + E_2 + E_3)$.

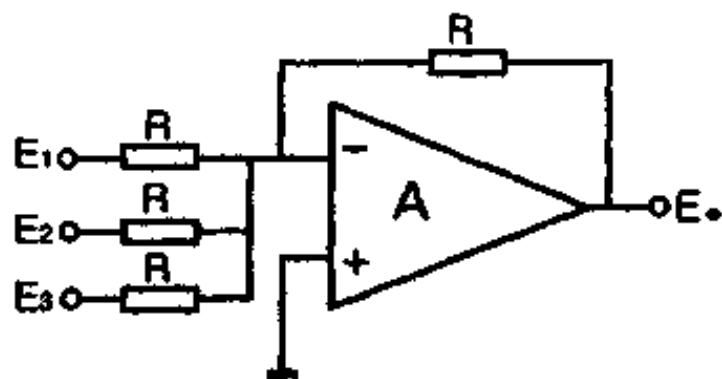


图 12.3

(4) 图 12.4 中, A_1, A_2, A_3, A_4 均为理想集成运放, 试求 E_o .

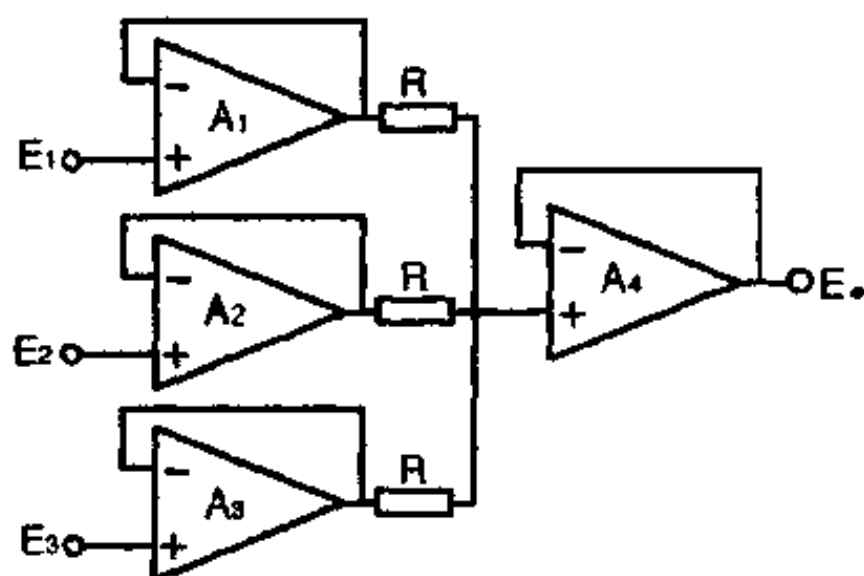


图 12.4

(5) 图 12.5, A 为理想集成运放用作比较器, 设 $E_- = 1$ 伏, $E_+ = t \times 0.5$ 伏/秒, 问在何时输出 $E_o = 0$.

(6) 图 12.6, 是集成运放用作积分器电路图, 设 A 为理想的集成运放, 试证明当开关 K 断开时, 输出 E_o 与输入 E_i 关系为:

$$E_o(t) = -\frac{1}{RC} \int E_i(t) dt$$

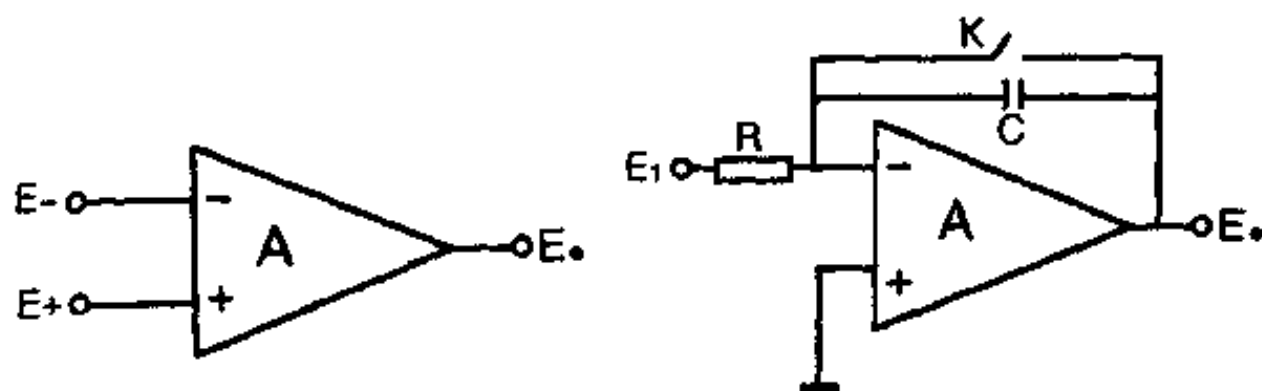


图 12.5

图 12.6

(7) 图 12.7, A 为实际运放, 其开环电压增益 A_d 为有限值, 运放的其它参数均为理想的, 求 E_o/E_i 的表达式.

(8) 图 12.8, A 为实际集成运放, 设开环电压增益 $A_d = 10^5$,

共模抑制比为 $CMRR = 10^4$, 运放的其它参数均为理想的, 试求跟随相对误差.

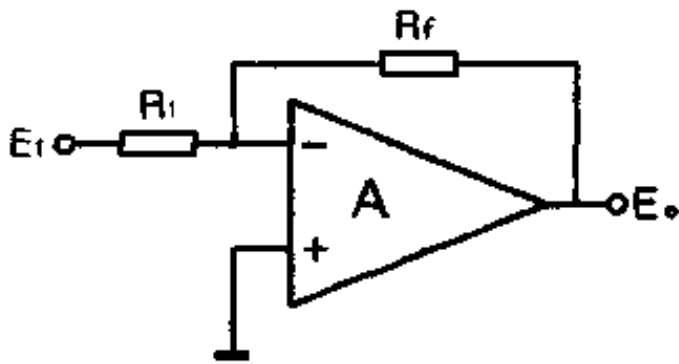


图 12.7

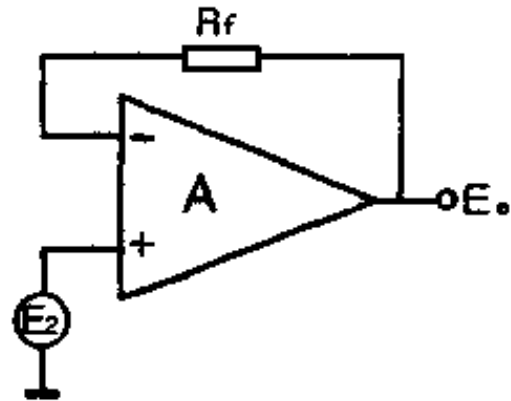


图 12.8

(9) 图 12.9, A 为实际集成运放, 开环电压增益 $A_d = 100\text{db}$, 输出幅度为 $V_{op} = \pm 14$ 伏, $E_1 = 100\text{mV}$, $R_1 = 1\text{M}\Omega$, $R_2 = 9\text{M}\Omega$, 如不考虑其它参数影响, 求输出电压 E_0 .

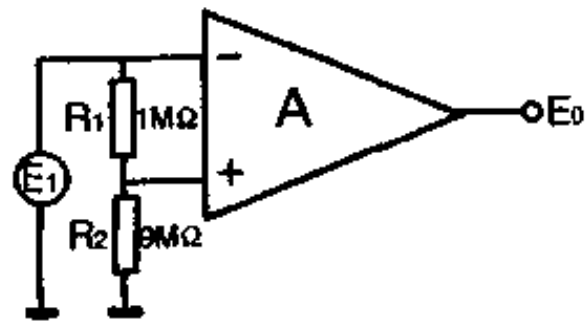


图 12.9

(10) 图 12.10, A_1, A_2 为集成运放, 开环电压增益 $A_{d1} = A_{d2} = 10^4$, 如 $E_1 = -0.5\text{mV}$, $E_2 = 5\text{V}$, 若不考虑其它参数影响, 求 E_0 .

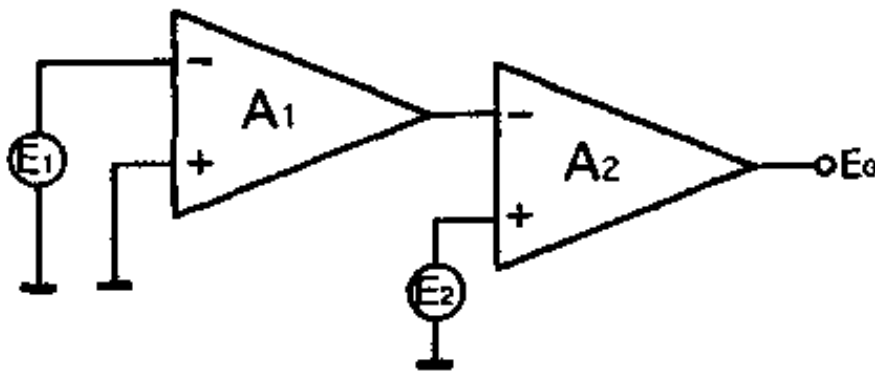


图 12.10

(11) 图 12.11 是用实际集成运放 A 构成的倒相反相放大器, 设开环电压增益 $A_d = 10^5$, $R_f = 5.1\text{k}\Omega$, $R_1 = 51\Omega$, 求闭环增益 E_o/E_i 为多少? 如果 A_d 值变化 $\pm 1\%$, 问由此而引起的闭环增益相对误差百分数为多少?

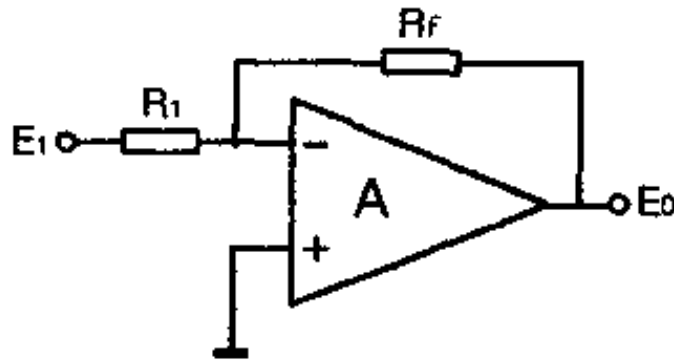


图 12.11

(12) 第一代集成运放 $\mu\text{A}709$ 输入级采用电阻为负载, 而第二代集成运放 $\mu\text{A}741$ 却采用有源负载, 试述有源负载比电阻负载都有哪些优点?

(13) 请举出提高集成运放输入阻抗的几种输入级电路结构, 并说明它们各自的优缺点。

(14) 图 12.12 为差分放大器, 请导出差分放大器输入失调电压 V_{os} 表达式, 要减小失调电压 V_{os} , 在设计上, 工艺上要采取哪些措施?

(15) 差分放大器 (图 12.12), 在 T_1, T_2 两管结温相同下, 失调电压温漂可以简化写成:

$$\frac{dV_{os}}{dT} \approx \frac{\Delta V_{BE2}}{T} + \frac{K}{q} \cdot \frac{\Delta R_{C1}}{R_{C1}} + \frac{KT}{q} (\rho_2 - \rho_1)$$

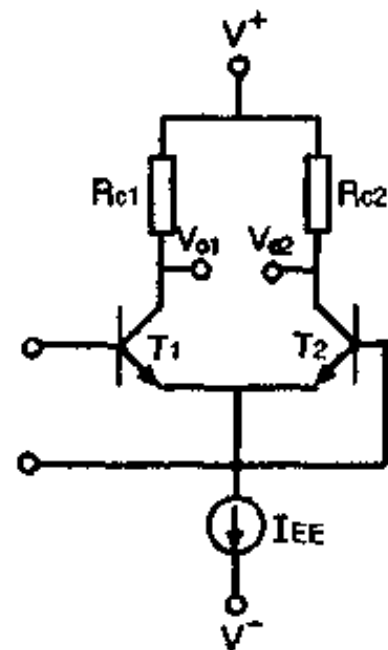


图 12.12

请说出各项物理意义.

(16) 图 12.13 是基本型恒流源电路, T_1, T_2 为完全对称的两个横向 pnp 管, 设 $\beta=5, I_r=200\mu\text{A}$, 请算出 I_0 值.

(17) 图 12.14 为改进型恒流源电路, 设 T_1, T_2, T_3 参数均对称, $\beta=5, I_r=200\mu\text{A}$, 求 I_0 值.

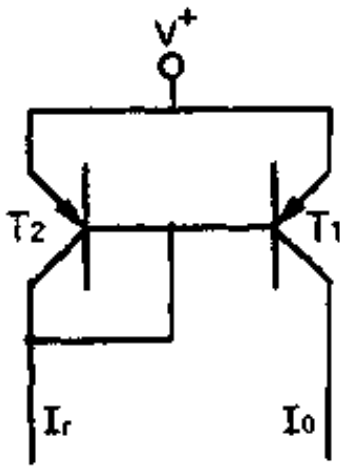


图 12.13

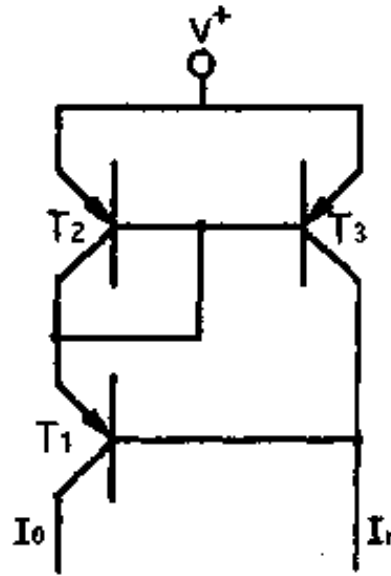


图 12.14

(18) 图 12.15 可以看成一种比例型恒流源电路, 设 T_1, T_2 两管发射结单位面积反向饱和电流相同, 且 $\beta \gg 1$, 今欲获得 $I_0 = 2I_r$, 在版图设计上, 你将采取何种办法实现.

(19) 图 12.16 为小电流恒流源, 设 T_1, T_2 管跨导分别为 g_{m1}, g_{m2} , 电流放大系数为 β , 晶体管共射组态输出电阻为 r_o , 求这种恒流源输出电阻 R_o 表达式.

(20) 图 12.17 为集成运放输出级电路, 请叙述为什么要在 T_1, T_2 基极间加二个二极管 D_1, D_2 ?

(21) 图 12.18 为集成运放 KD203 偏置电路, 设 T_3, T_4, T_5 管参数对称, 且 $\beta \gg 1$.

① 请计算 T_5 集电极电流 I_{CT5} .

② 若要得到 T_3 集流 $I_{CT3} = 20\mu\text{A}$, R_1 值应取多少?

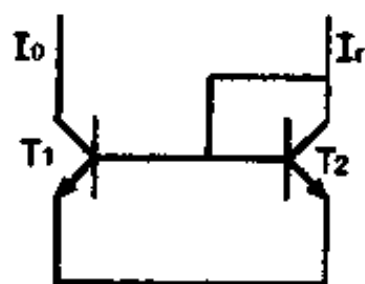


图 12.15

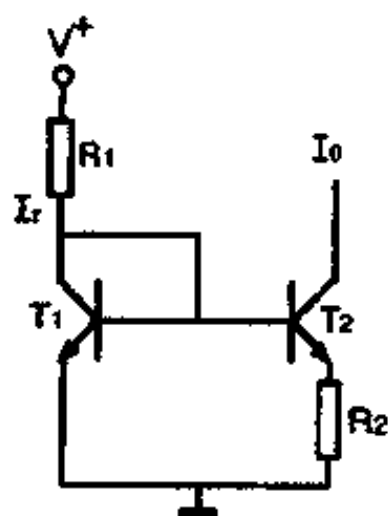


图 12.16

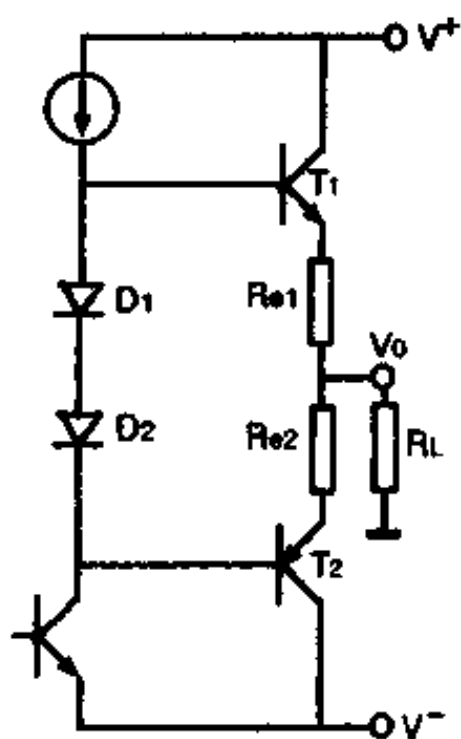


图 12.17

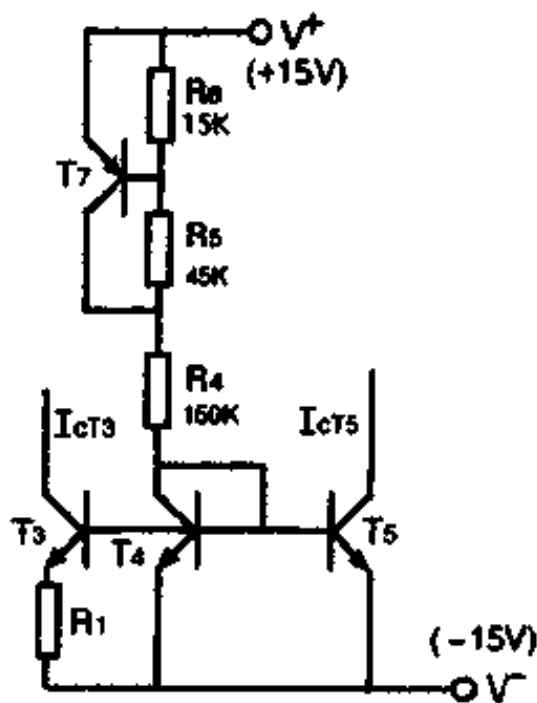


图 12.18

(22) 图 12.19 为集成运放 KD203 输出级电路, 设 $I_{cT6} = 176\mu\text{A}$, $I_{cT9} = 100\mu\text{A}$, $\beta = 100$, A_{cT6} , A_{cT7} , A_{cT9} , A_{cT10} 分别为 T_6 , T_7 , T_9 , T_{10} 发射结面积, 且 $A_{cT6} = A_{cT7}$, $A_{cT9} = A_{cT10}$, 并假定四个管发射结单位面积反向饱和电流都相同.

隔离沟深度 $x_j = 10\mu\text{m}$, 反向 $p-n^-$ 和 $p^+ - n^-$ 结势垒宽度为 $\delta_{n^-}^+ = \delta_{n^-}^- \approx 6\mu\text{m}$, 套准间距为 $a_p = 6\mu\text{m}$, 请标出集电区引线孔与隔离沟间距 L 最小应为多少?

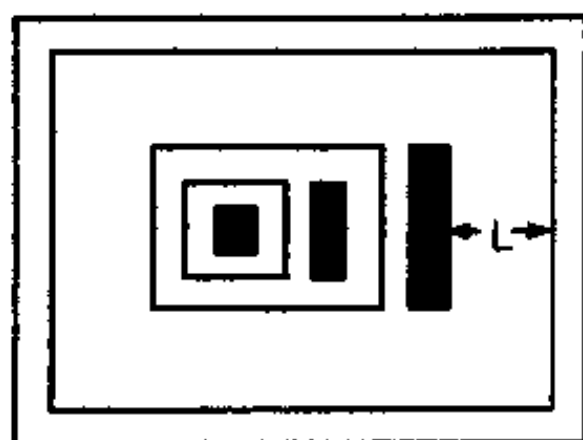


图 12.21

(26) 图 12.22 为双极型横向 pnp 管版图, 请标出图中 A, B, C 三部分哪个为 e、b、c 极.

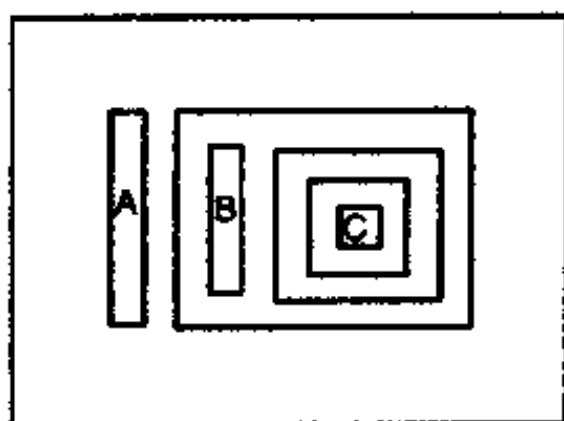


图 12.22

(27) 图 12.23 是模拟集成运放中的部分剖面图, 请指出 (I)、(II) 两种晶体管名称.

(28) 图 12.24 为集成运放中一个输出管版图, 如取单位发射区有效长度承受工作电流为 $0.16\text{mA}/\mu\text{m}$, 请问该管最大允许工

作电流为多少？

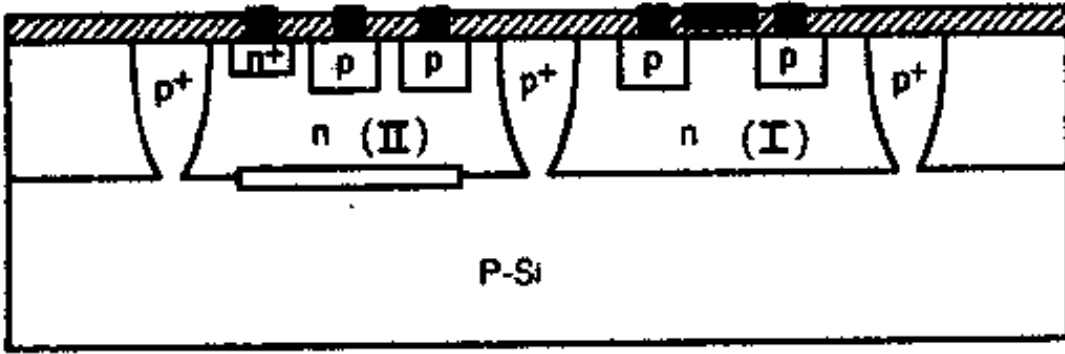


图 12. 23

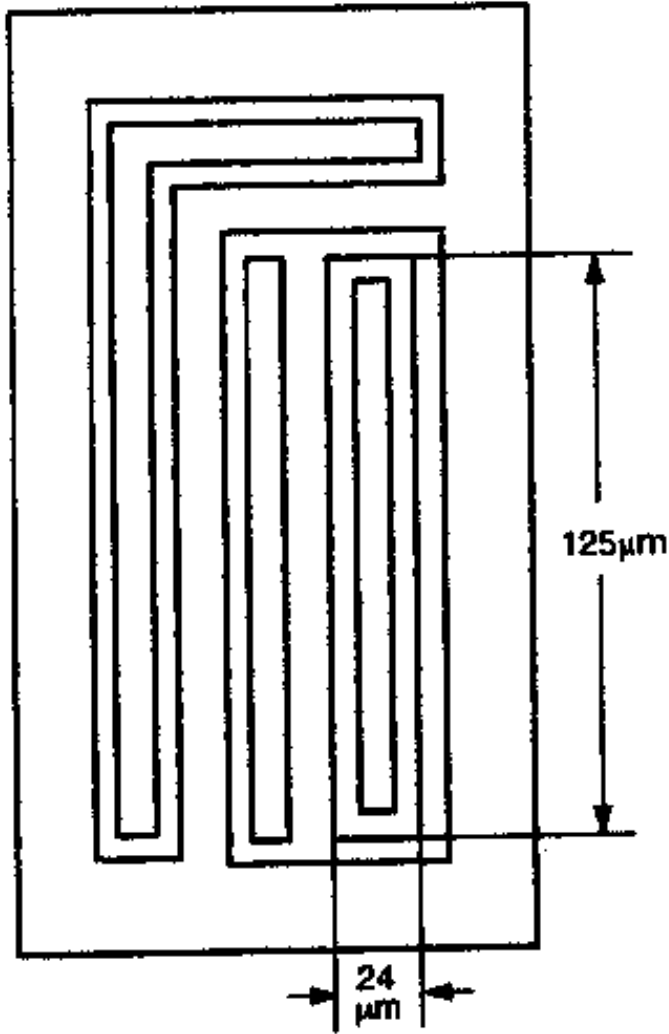


图 12. 24

(29) 请叙述提高双极型模拟集成电路中的横向 pnp 管电流放大系数 β 的几个途径.

(30) 图 12.25 为双集电极横向 pnp 管, 请画出其版图.



图 12.25

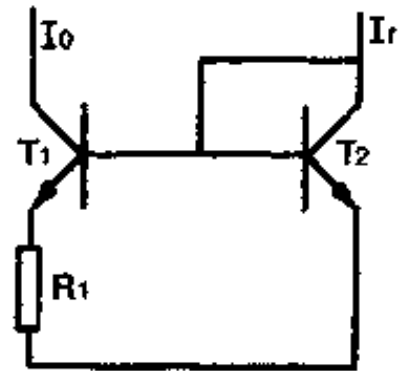


图 12.26

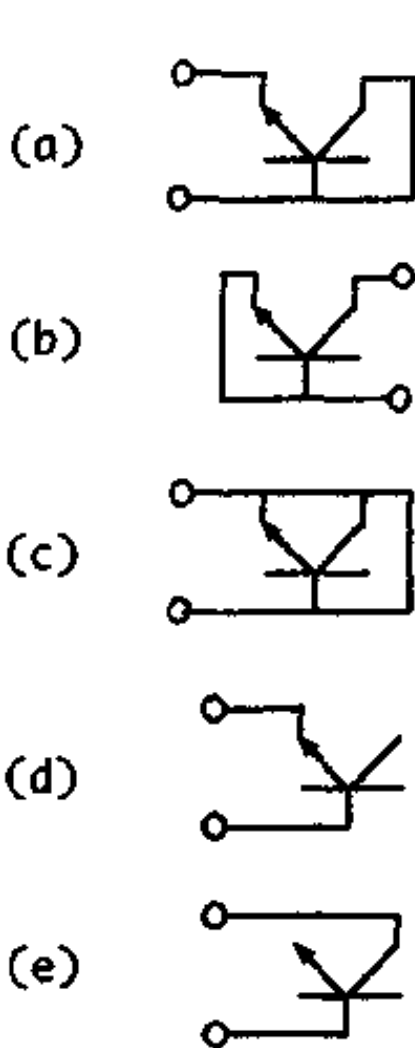


图 12.27

(31) 图 12.26 为小电流恒流源, 设 T_1 、 T_2 完全对称, 电流放大系数 $\beta \gg 1$, 设 $I_r = 176\mu\text{A}$, 希望得到 $I_o = 20\mu\text{A}$, 并设 $R_{\square} = 200\Omega/\square$, 电阻版图端头修正因子 $K_1 = 0.4$, 弯头修正因子 $K_2 = 0.5$, 请设计出 R_1 电阻版图.

(32) 图 12.27 为模拟集成电路中采用的五种二极管接法, 请指出五种接法的二极管反向击穿电压各约多少?

(33) 请设计电阻为 $R = 124\text{k}\Omega$ 夹层电阻 (沟道电阻) 的版图, 设 $R_{\square} = 8\text{k}\Omega/\square$.

(34) 如一种集成运放开环电压频率特性表示为

$$A_d(f) = \frac{100000}{1 + j\left(\frac{f}{10\text{Hz}}\right)}$$

请问当 $f=10\text{Hz}$ 时,

① 开环电压增益 $|A_d(10)|$ 为多少?

② 相角为多少?

(35) 如一个集成运放由二级放大器构成, 第一级直流增益为 A_{d1} , 第二级为 A_{d2} , 第一个极点转折频率为 f_1 , 第二个极点转折频率为 f_2 , 请写出该集成运放幅频特性表达式.

(36) 集成运放为什么需要进行频率补偿? 请叙述密勒电容频率补偿原理.

(37) 图 12.28 为一种有源低通滤波器, 设 $C_f=0.1\mu\text{f}$, $R_f=159\text{k}\Omega$, 求该滤波器带宽.

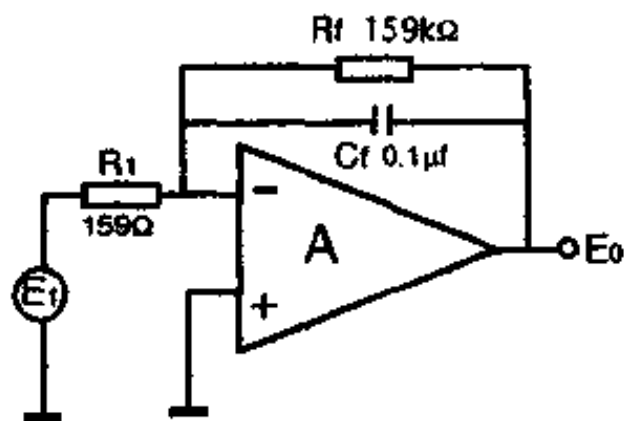


图 12.28

(38) 图 12.29 是反馈测试法测试集成运放失调电流 I_{os} 电路图, 设输入偏置电流 $I_b=10I_{os}$, 如要求测试失调电流 I_{os} 相对误差 $\epsilon<1\%$, 则要求两个电阻 R_i 相对偏差 $\Delta R_i/R_i$ 为多少?

(39) 图 12.30 是辅助运放测试法测试集成运放开环电压增益 A_d 电路图. 如当开关 K 接地时, A_2 输出端测得 $E_{o1}=80.2\text{mV}$, 当 K 接到 $E_s=10\text{V}$ 时, 测得 $E_{o2}=120.2\text{mV}$, 问待测运放 A_1 开环电压增益 A_d 为多少?

(40) 图 12.31 是辅助运放测试法测试集成运放共模抑制比电路图, 问:

① 当 $E_c=10\text{V}$ 时, 相当于输入端加多少共模电压?

② 假如运放原有电源 $V^+ = 15V, V^- = -15V$, 当 E_c 为 $10V$ 时, 此时 V^+, V^- 应相应变动到几伏?

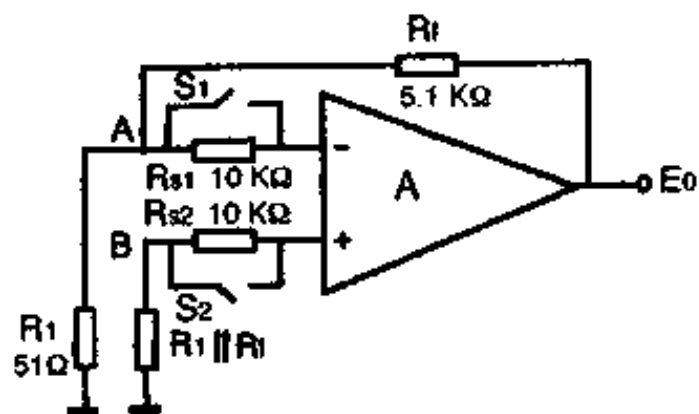


图 12.29

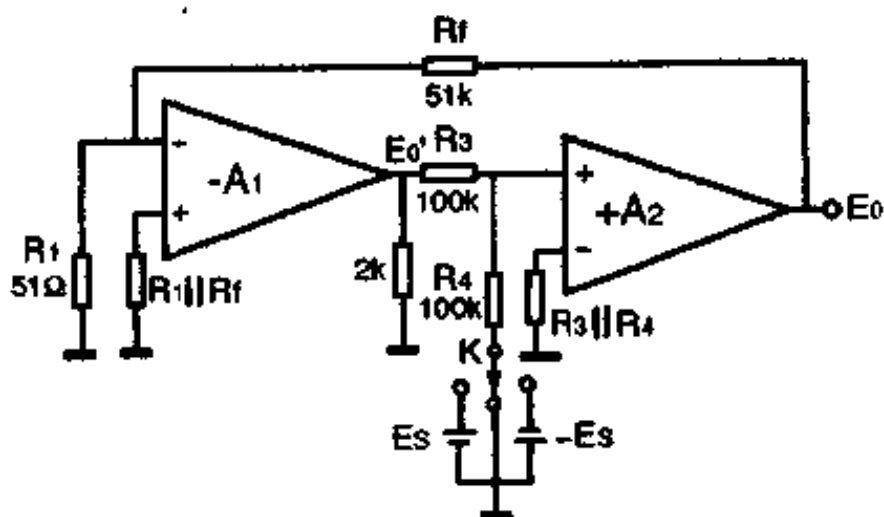


图 12.30

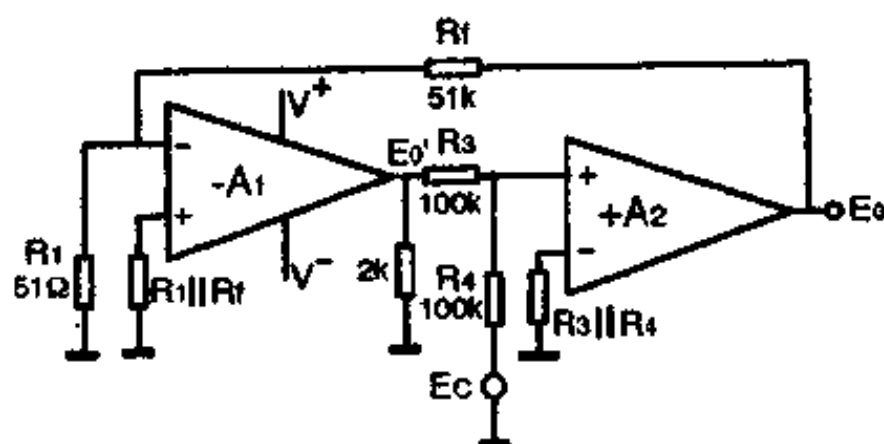


图 12.31

(41) 应用图 12.31 测试 CMRR, 如当 $E_c = 10V$ 时, A_2 输出端测得 $E_o^+ = -100mV$, 当 $E_c = -10V$ 时, 测得 $E_o^- = 99mV$, 问待测集成运放 A_1 CMRR 为多少?

(42) 请说明在设计 MOS 模拟集成电路时, 通常在有外引脚的 MOS 管栅极, 都加保护电路, 为什么?

(43) 一个以 n-Si 为衬底的理想 MOS 系统, 假如衬底掺杂浓度 $N_D = 10^{16}/cm^3$, 氧化层厚度为 1000 \AA , 请问氧化层 (SiO_2) 外表面加多少电压时, Si 表面才能达到强反型?

设 Si 的介电常数 $\epsilon_s = 12$, SiO_2 的介电常数 $\epsilon_{SiO_2} = 3.9$, 真空电容率 $\epsilon_0 = 8.85 \times 10^{-14} F/cm$.

(44) 如果不考虑短沟道效应和衬底体效应, P 沟 MOS 衬底杂质浓度 $N_D = 1 \times 10^{15}/cm^3$, 栅氧化层厚度 $d_i = 1500 \text{ \AA}$, 氧化层中有效态密度为 $1 \times 10^{11}/cm^2$. 请分别算出铝栅和硅栅的阈值电压 V_T . (设硅栅掺杂强 p⁺型).

(45) 何谓“短沟道效应”, “衬底体效应”? 它们对 MOS 管的阈值电压将产生何影响?

(46) 请证明 MOS 晶体管最高工作频率理论公式为:

$$f_m \approx \frac{\mu}{2\pi L^2} (V_{GS} - V_T)$$

设 N 沟 MOS 管沟道长度 $L = 8\mu m$, 沟道电子迁移率 $\mu_n = 400 cm^2/V \cdot s$, $V_{GS} = 5V$, $V_T = 1V$, 求 f_m . 并对该结果作如何评估.

(47) 图 12.32(a)和(b)分别是栅—漏连接和栅—源连接的有源电阻, 请分别导出输出等效电阻表达式.

(48) 图 12.33 为基本型 MOS 恒流源, 设 $I_R = 100\mu A$, T_1, T_2, T_3 管子的宽长比分别为: $\left(\frac{W}{L}\right)_1 = 10, \left(\frac{W}{L}\right)_2 = 20, \left(\frac{W}{L}\right)_3 = 30$, 求 I_{O1}, I_{O2} 值.

(49) 图 12.34 为 Wilson 恒流源, 设 T_1, T_2, T_3 设计参数和工艺参数完全相同, 请证明 Wilson 恒流源的输出阻抗为: $r_o \approx$

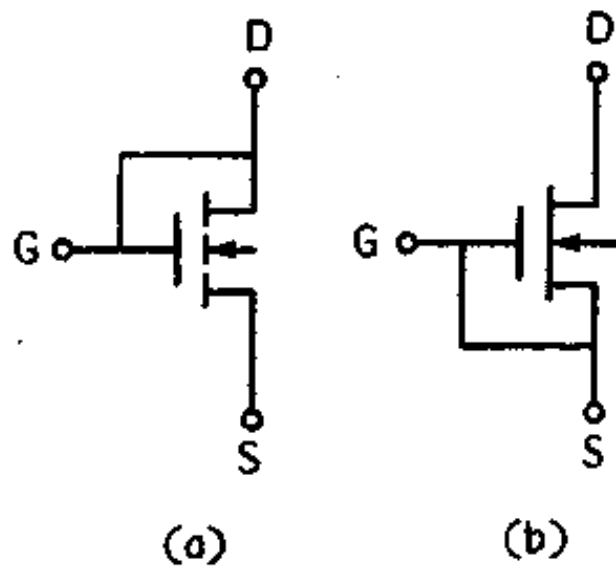


图 12.32

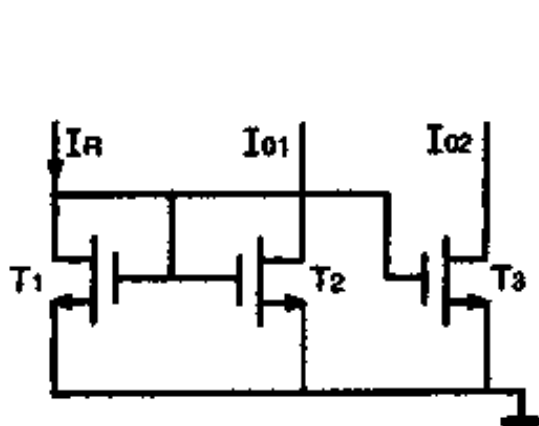


图 12.33

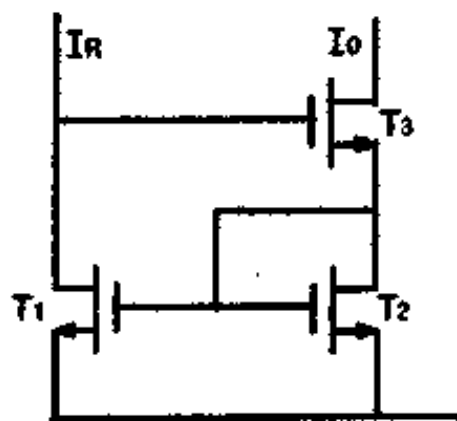


图 12.34

(50) 图 12.35 为 Bi-MOS 集成运放 CA3130 输入级简化电路。

① 设 $\mu_p = 130 \text{cm}^2/\text{V} \cdot \text{s}$, $\epsilon_0 = 8.85 \times 10^{-14} \text{F/cm}$, $\epsilon_{\text{SiO}_2} = 3.9$, $d_i = 1000 \text{\AA}$, $\frac{W}{L} = 30$, 求差分输入级的跨导 g_m 。

② 若 $r_{ds1} \approx 1/\lambda_1 I_{DS1}$, $\lambda_1 = 0.03 \text{V}^{-1}$,
npn 管欧拉系数 $\eta_{\text{npn}} = 2 \times 10^{-4}$, $\beta = 200$ 。

求出在空载下差分输入级低频增益 A_{d1} 。

(51) 图 12.36 为 MOS 反相推挽输出级电路, 请叙述其工作原理。

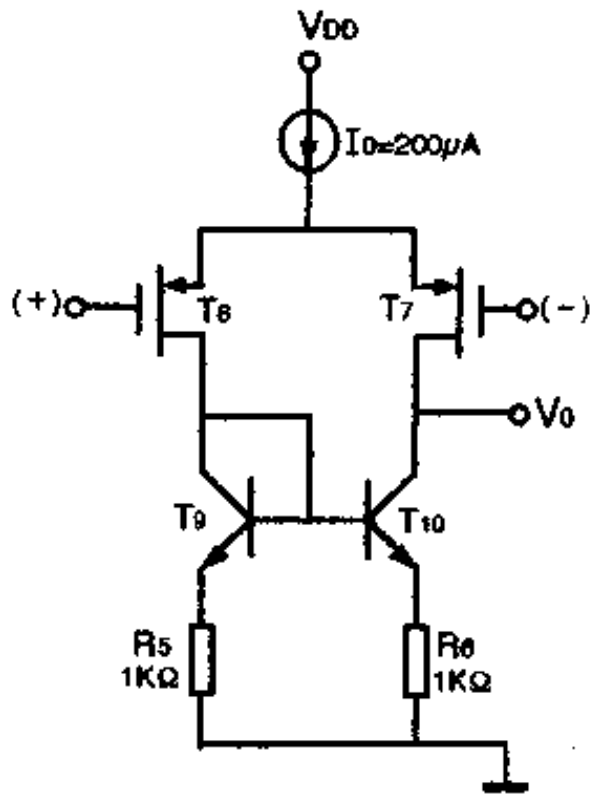


图 12.35

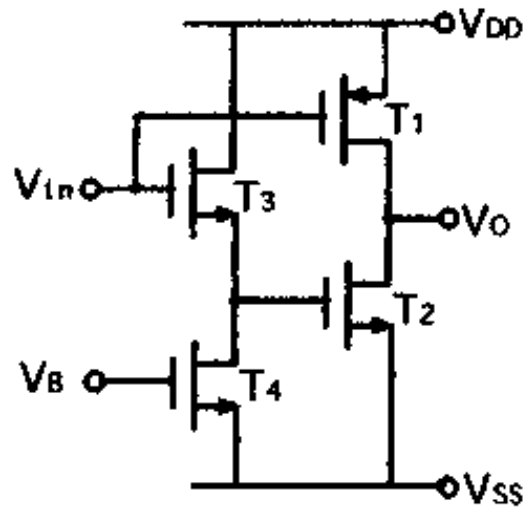


图 12.36

(52) 图 12.37 为基本 CMOS 集成电路运算放大器, 请叙述电路工作原理和各器件作用。

(53) 请画出模拟集成锁相环构成基本框图, 写出各部分名称, 并简述各部分作用。

(54) 图 12.38 为模拟集成锁相环 NE560 中的压控振荡器, 设中心频率为 f_0 , 请算出压控灵敏度 K_0 。

(55) 图 12.39 为 KD8041H 模拟集成锁相环中的鉴相器, 当 11—10 脚, 7—12 脚均为大信号输入时, 请算出鉴相灵敏度 K_d 。

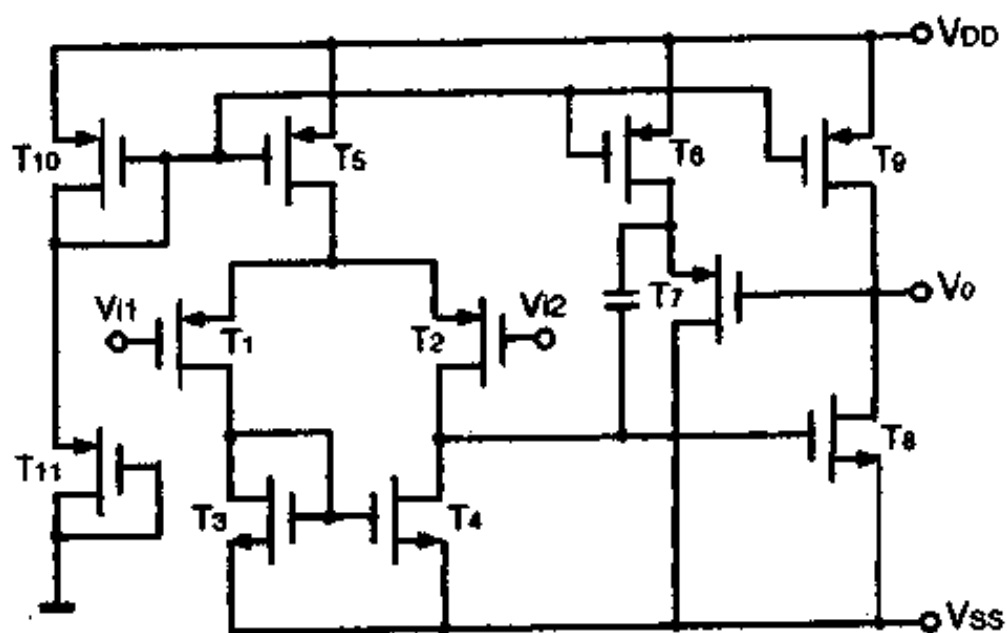


图 12.37

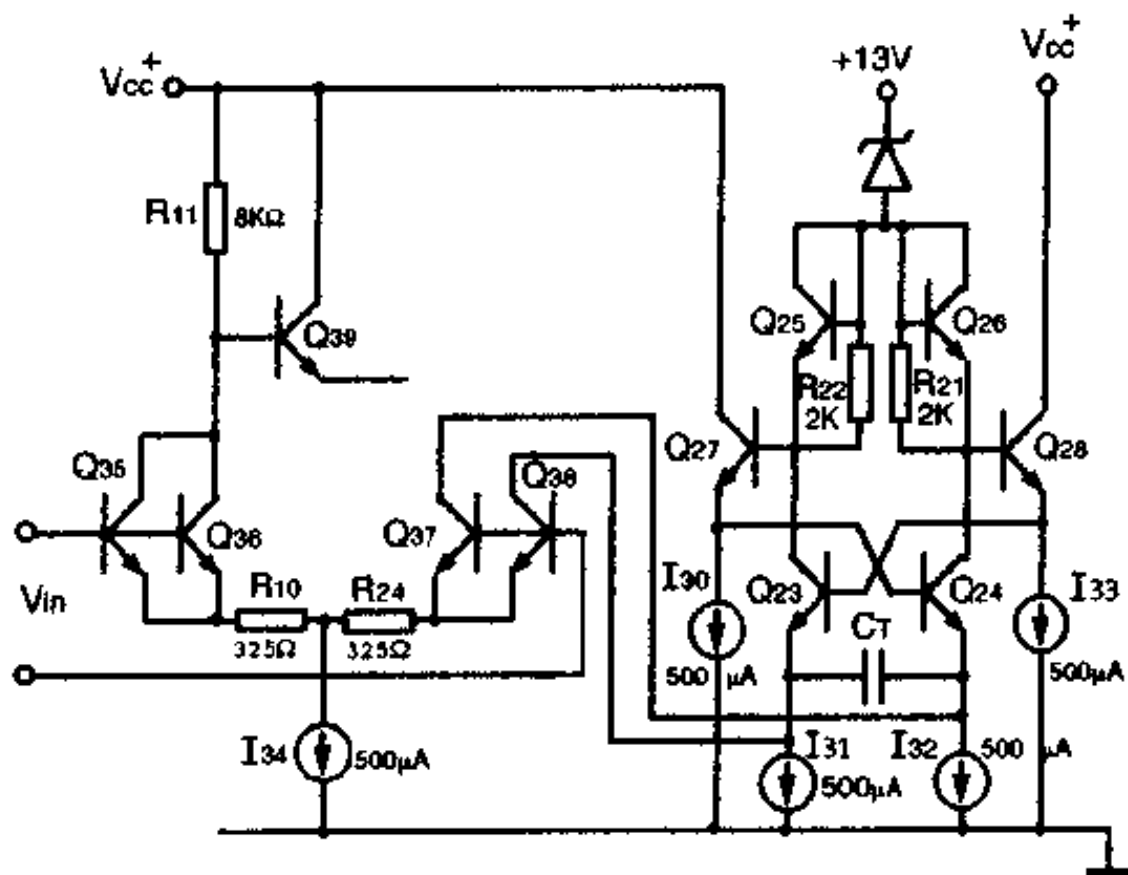


图 12.38

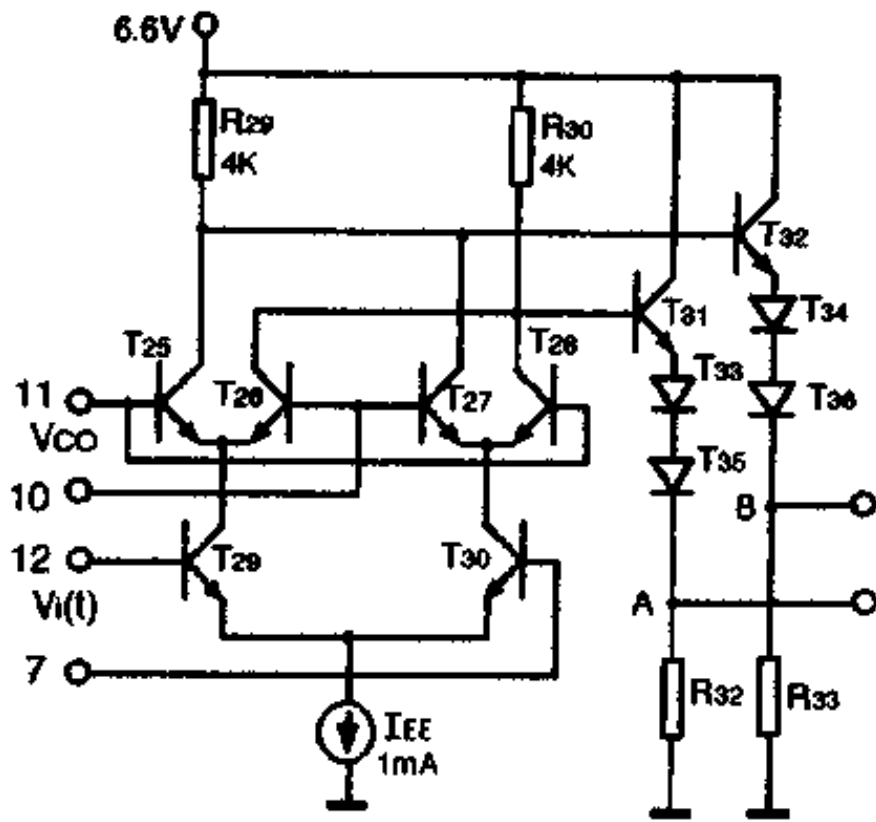


图 12. 39

主要参考文献

- [1] R. J. Widlar. A monolithic high gain D—C amplifier. *Proc. NEC*, (1964)169—174
- [2] R. J. Widlar. A unique circuit design for a high performance operational amplifier especially suited to monolithic construction. *Proc. NEC*, (1965)85
- [3] D. Fullagar. A New High — performance monolithic OP Amp. *Fairchild Semiconductor Applications Brief*, May 1968
- [4] R. J. Widlar. Super—gain transistors for IC's. *IEEE J. Solid—State Circuits* 1969, Vol **SC—4** : 249—251
- [5] M. A. Maidique. A High—precision monolithic Super—Beta operational amplifier. *IEEE J. Solid-State Circuits*, 1972, 7 (6): 480—487
- [6] R. L. Sanquini. Building C—MOS Bipolar Circuits on monolithic chip enhances IC Specs. *Electronics*, 1974. Oct. 3, NO. 20 pp. 103—105
- [7] H. C. Poon, L. D. Yau, R. L. Johnston, and D. Beecham. DC Model for short—channel IGFET'S. Paper 8. 4 presented at *IEEE Int. Electron Devices Meet.*, Washington, DC, 1973
- [8] O. H. Schade. Advances in BiMOS Integrated Circuits. *RCA Review*, Vol. **39**, June 1978:250—277
- [9] G. B. Clayton. Operational Amplifiers. *Second Edition*. USA: Butterworth (publishers) Inc. 1979
- [10] W. M. Werner. The work function difference of the MOS-System with Aluminium field plates and polycrystalline Sil-

- icon field plates. *Solid State Electronics*, Vol. 17, 1974: 769
- [11] 上海无线电十九厂, 复旦大学四一工厂·半导体集成电路. 上海人民出版社, 1971
- [12] 复旦大学物理系微电子教研组. 集成电路的分析与设计. 复旦大学(讲义), 1974
- [13] 周宁华. 集成运算放大器原理与应用. 北京: 北京航空学院测试技术研究室, 1976
- [14] [美] A. 巴尔纳著, 朱维麟译, 周宁华校. 运算放大器. 北京: 国防工业出版社, 1979
- [15] 李清泉, 黄昌宁编著. 集成运算放大器原理与应用. 北京: 科学出版社, 1980
- [16] [美] P. R. 格雷, R. G. 迈耶著, 周宁华, 陈幼松译. 模拟集成电路的分析与设计. 北京: 科学出版社, 1981
- [17] [日] 稻叶保著. アナログ回路の实用设计. 日本东京: CQ 出版株式会社, 1981
- [18] [日] 长桥芳行著. 高速・広帯域アンプの设计. 日本东京: CQ 出版社, 1982
- [19] [美] J. A. 康奈利主编, 李士雄, 陈黎明, 衣承斌译. 模拟集成电路, 北京: 人民教育出版社, 1982
- [20] 泰世才, 王朝英. 集成运算放大器应用原理. 天津: 天津人民出版社, 1979
- [21] 卢豫曾. 半导体模拟集成电路. 北京: 国防工业出版社, 1980
- [22] 复旦大学微电子教研室, 模拟集成电路. 北京: 高等教育出版社, 1983
- [23] 南京工学院无线电工程系. 电子线路(第四册). 北京: 人民教育出版社, 1979
- [24] 李名复. 关于运算放大器的直流分析及参数测试. 半导体器件与物理, 中国科技大学, 1974
- [25] 复旦大学. 4E325 高精度低漂移运算放大器. 复旦学报,

1976, (3-4):62

- [26] 中国科技大学. 现代通用集成运放设计中的几个问题. 中国科学技术大学学报, 1978, 8(1):119-133
- [27] 中国科技大学. KD203 通用集成运放. 中国科学技术大学学报, 1979, 9(1):167-184
- [28] 陈金松, 谢家纯, 黄守仁, 赵天鹏, 张建华. 高精度集成运放 KD205. 中国科学技术大学学报, 1981, 11(2):88-92
- [29] 陈金松. 高精度集成运放低漂移性能的研究. 电子学报, 1983, 11(2):85-89
- [30] 赵天鹏, 谢家纯, 张建华, 范传洲, 黄守仁, 孙宪民, 陈金松. 高频模拟集成锁相环. 中国科学技术大学学报, 1984, 14(1):32-38
- [31] S. Sidney. Applications of Analog Integrated Circuits. USA: Prentice-Hall Inc. 1985
- [32] 王子仪. 微电子电路. 江苏:江苏科学技术出版社, 1985
- [33] 应巧琴, 田志芳, 朱慕荣, 朱桂范. 模拟电子技术基础, 北京:高等教育出版社, 1985
- [34] [匈] M. Herpy 著, 谢瑞和译. 模拟集成电路. 高等教育出版社, 1984
- [35] 《中国集成电路大会》编委会. 中国集成电路大全(集成运算放大器). 国防工业出版社, 1985
- [36] 沈雷主编. CMOS 集成电路原理及应用. 光明日报出版社, 1986
- [37] 清华大学电子教研室. 数字电子技术基础简明教程. 高等教育出版社, 1985
- [38] 董在望, 尹达衡. 模拟集成电路原理与系统. 高等教育出版社, 1987
- [39] 谈文心, 刘本鸿编. 运放及模拟集成电路. 北京:国防工业出版社, 1986



- [40] 万心平,张厥盛编著. 集成锁相环路. 北京:人民邮电出版社, 1990
- [41] 童勤义编著. 微电子系统设计导论. 南京:东南大学出版社, 1990
- [42] 王阳元,关旭东,马俊如. 集成电路工艺基础. 北京:高等教育出版社,1991
- [43] 吴雪方. MOS 集成电路. 北京理工大学出版社,1994
- [44] R. G. Irvine. Operational Amplifier Characteristics and Applications. USA; NJ. Prentice - Hall Inc. , Third Edition, 1994
- [45] P. E. Allen, D. R. Holberg 著,王正华,叶小琳译. CMOS 模拟电路设计. 科学出版社,1995

[G e n e r a l I n f o r m a t i o n]

书名 = 模拟集成电路 (原理、设计、应用)

作者 = B E X P

页数 = 3 5 8

下载位置 = <http://202.118.180.121/ebook/sjy01/diskdw/dw89/33/!00001.pdg>

封面
书名
版权
前言
目录
正文