

目 录

第一章 绪论

- § 1-1 功率半导体器件的发展概述 (1)
- § 1-2 功率MOS器件的发展过程和发展方向 (5)
- § 1-3 功率集成电路的发展动态 (19)
- § 1-4 功率MOS器件的应用 (22)
- 参考文献 (36)

第二章 特殊制造技术

- § 2-1 中子嬗变掺杂技术 (38)
- § 2-2 硅片直接键合技术 (46)
- § 2-3 载流子寿命控制技术 (48)
- § 2-4 封装技术 (59)
- 参考文献 (73)

第三章 雪崩击穿与结终端技术

- § 3-1 碰撞电离与雪崩击穿 (75)
- § 3-2 平行平面结的击穿电压与临界电场 (79)
- § 3-3 平面结击穿 (86)
- § 3-4 场板及有关技术 (93)
- § 3-5 场限环 (102)
- § 3-6 斜表面与腐蚀轮廓 (110)
- § 3-7 结终端扩展与变化横向掺杂 (116)
- 参考文献 (120)

第四章 垂直导电MOS型功率器件

- § 4-1 引言 (122)
- § 4-2 功率MOS的结构与 $I \sim V$ 特性 (135)
- § 4-3 功率MOS的重要参数 (154)

§ 4-4	IGT	(188)
§ 4-5	MCT及智能功率MOS	(209)
参考文献		(222)
第五章 横向高压、功率MOS型器件		
§ 5-1	横向双扩散MOS(LDMOS)	(225)
§ 5-2	偏置栅MOS与高压双栅MOS	(253)
§ 5-3	RESURF技术	(284)
§ 5-4	横向绝缘栅晶体管	(295)
参考文献		(315)
第六章 其它器件		
§ 6-1	静电感应晶体管	(317)
§ 6-2	静电感应晶闸管	(325)
§ 6-3	复合功率器件	(331)
参考文献		(336)
第七章 功率集成电路与高压集成电路		
§ 7-1	PIC与HVIC实例	(340)
§ 7-2	隔离技术	(351)
§ 7-3	SMART功率集成技术	(358)
§ 7-4	DMOS/CMOS(或D/C MOS)集成技术	(362)
§ 7-5	BIMOS集成技术	(366)
参考文献		(371)

第一章 绪 论

§ 1-1 功率半导体器件的发展概述

第一个功率半导体整流器是在1952年由R.N.Hall^[1]研制出来的,其正向电流达35A,反向阻断电压达200V。四年后,J.L.Moll等人^[2]又发明了可控硅整流器(英文缩写SCR,常称晶闸管),并于次年(1957年)12月由GE公司推出了商品,当时的器件水平是工作电流为25A,阻断电压为300V。由于该器件可以通过很小的门极触发电流来控制流向负载(如电动机等)的大电流,因此很快在各个不同领域(从小功率的电动机传动到大功率的高压直流输电系统)中得到了广泛的应用,成为电力工业中的“主力队员”。但它存在如下一些缺点:一、关断速度太慢,故只能在低频下工作;二、门极不能关断阳极电流;三、只能控制单向电流。为了提高关断速度,后来推出了不对称晶闸管、快速逆阻晶闸管等。为了使门极能够关断阳极电流,1961年又研制出了可关断晶闸管。为了能控制双向电流,1964年又推出了双向晶闸管。此后,这些器件在设计和制造方面不断有所改进,使它们的功率控制容量不断增大,工作频率不断提高。现在,单只晶闸管的功率控制容量可在1MW以上,工作频率达10kHz(参看图1-1)。

但是,对于需要更高转换速度的应用来说,晶闸管仍不能满足要求,对于10kHz以上的工作频率,功率双极型晶体管(GTR)

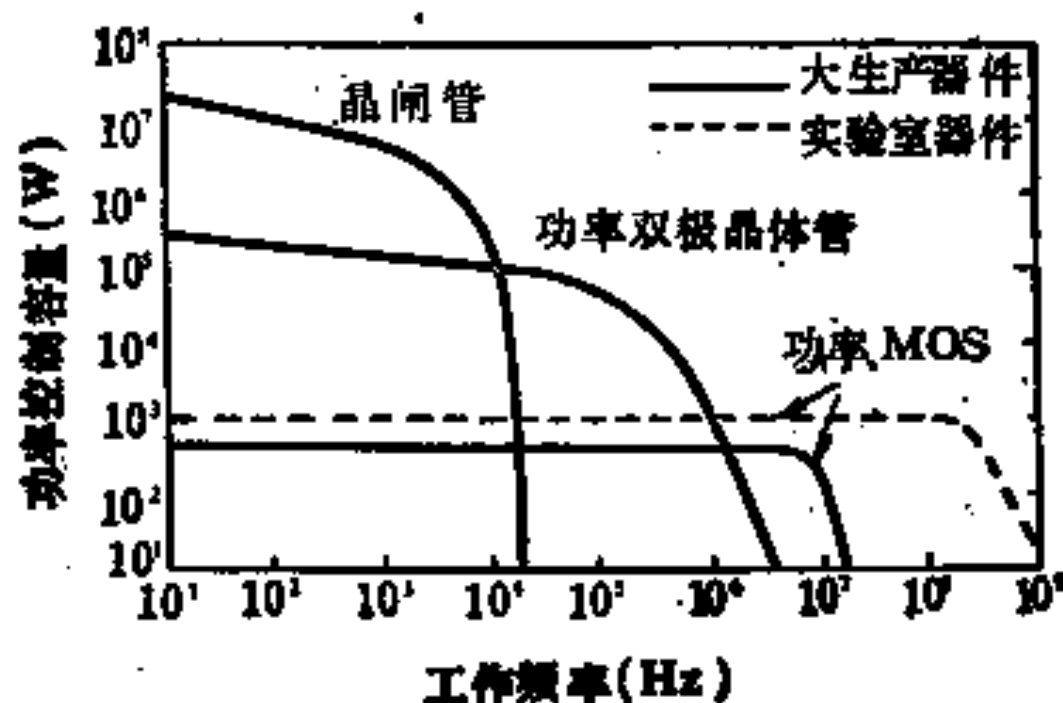


图 1-1 功率半导体器件的功率控制容量及其工作频率范围

则起了主导作用。现在,单只功率双极型晶体管的电压额定值已经达到4500V,但它的电流水平仍比较低,为40A左右;功率双极型达林顿管的电流可达几百安,电压也已超过1000V(功率控制容量为 10^6 W数量级)。虽然功率双极型晶体管的工作频率比起晶闸管来又有了很大的提高,但它毕竟还要受到基区和集电区中的少子存贮效应的限制,因此其工作频率一般在1 MHz以下(参看图1-1)。

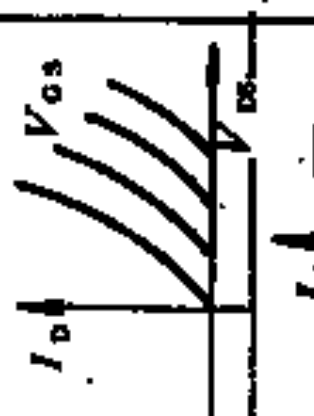
要进一步提高工作频率,必须消除少子存贮效应的影响,目前正在为电力电子工业研制的各种功率场控器件(功率MOS, SIT等)较好地解决了这一问题。现在,功率场效应晶体管的耐压已达到1000V以上,电流在几安数量级。实验室研制的器件,工作频率已超过100MHz。SIT耐压为4000V,电流为400A的器件也已经问世。图1-1给出了上述各类功率半导体器件的功率控制容量及其工作的频率范围。

上述各种功率半导体器件的结构、伏安特性和器件特点以及目前水平都综合在表1-1中。

表 1-1 功率半导体器件结构特性、特点、水平表

器 件	结 构	特 性	特 点	水 平
普通晶闸管 SCR			1) 电流控制器件, 电流增益大, 导通电阻小。 2) 开关速度低。 3) 门极不能关断, 只能控制单向电流。	3500A 6500V
不对称晶闸管 ASCR			1) 同SCR 1)。 2) 开关速度比SCR高。 3) 同SCR 3)。	800A 2500V 60ns
可关断晶闸管 GTO			1) 同SCR 1)。 2) 开关速度比SCR高。 3) 门极能关断阳极电流, 只能控制单向电流。	3000A 4500V 20ns
双向晶闸管 TRIAC			1) 同SCR 1)。 2) 开关速度不高。 3) 能控制双向电流。	300A 1200V

续表

器 件	结 构	特 性	特 点	水 平
功率双极 型晶体管 GTR			1) 电流控制器件, 导通电阻小。 2) 有少子存储效应, 限制了开关速度。 3) 正温度系数, 有二次击穿。	400A 1200V 2—6μs
功 率 MOS			1) 电压控制器件, 输入阻抗高, 驱动电流小, 驱动功率低。 2) 无少子存储效应, 开关速度快。 3) 负温度系数, 无二次击穿, 热稳定性好。	5A, 1000V 900ns 45A, 50V 300ns
静电感应 晶体管 SIT			1) } 1) 2) } 同功率MOS 2) 3) } 8)	300A 4000V
绝缘栅 晶体管 IGT			1) 电压控制器件, 输入阻抗高, 驱动电流小, 驱动功率低。 2) 有少子存储效应, 下降时间较长。 3) 导通电阻(比功率MOS)小。	10A, 1800V 50A, 1600V 100A, 1200V 1—2μs

从表 1-1 和图 1-1 可以看出, 功率 MOS 晶体管与功率双极型晶体管有相似的输出伏安特性, 但功率 MOS 晶体管的工作频率(开关速度)比双极型晶体管的高; 而且功率 MOS 管是电压控制器件, 其驱动电流(驱动功率)非常之小, 故其驱动电路也比双极型器件简单得多。以后我们还会看到, 由于功率 MOS 管具有负的电导温度系数, 它不存在功率双极型晶体管的二次击穿现象, 其安全工作区也比功率双极型晶体管宽。正因为功率 MOS 器件具有胜过功率双极型器件的一系列优点, 它在功率半导体器件中占有越来越重要的地位。据报道, 现在功率晶体管的年增长率约为 $(8 \sim 10)\%$ 。而功率 MOS 管取代功率双极型晶体管占领新市场的速度正在以 30% 的年增长率迅速增长, 在日本则以 50% 的年增长率高速增长, 预计在 10 年之内功率 MOS 管将占领整个功率晶体管市场的 40% 以上。因此, 它是本书讨论的一个重点。下面我们先来介绍它的发展过程和发展方向。

§ 1-2 功率 MOS 器件的发展过程 和发展方向

功率 MOS 器件的发展过程基本上是在保留和发挥 MOS 器件本身优点(特点)的基础上, 努力提高功率——和增大器件工作电压电流——的过程。本节叙述它的具体发展情况。

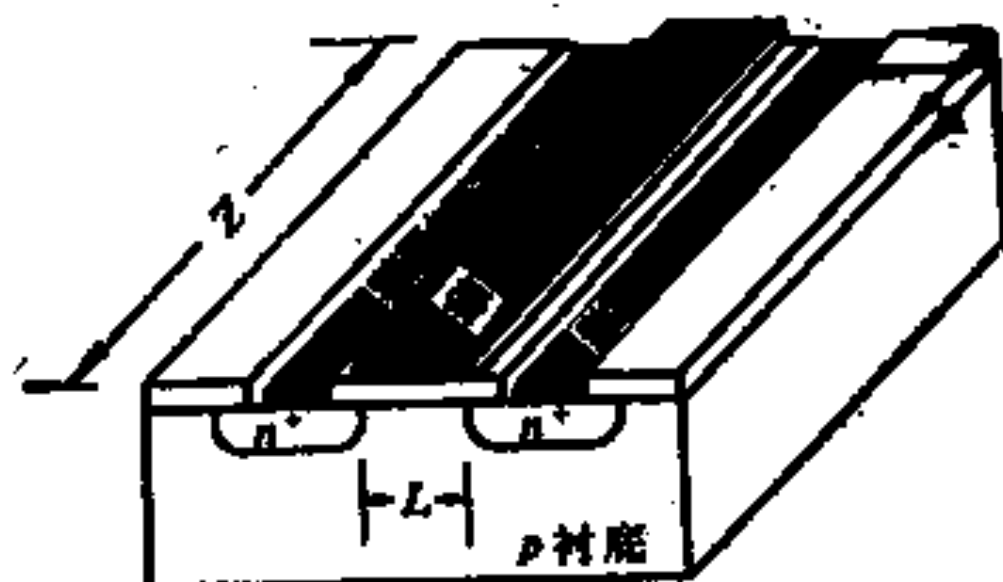


图 1-2 早期 MOS 管结构示意图

上述 MOS 器件的一系列优点，早在60年代就已吸引人们从事功率MOS管的研制。图 1-2 是早期的MOS 管结构示意图。它是在低浓度的衬底上再制作高浓度的源、漏（扩散）区。这种结构的 MOS 管当漏电压增加时，耗尽区主要向低浓度的衬底沟道延伸，当耗尽区延伸到源区时器件便产生穿通。因此，要提高该器件的耐压水平，除了要选用高阻衬底材料外，在结构上就要增加沟道长度 L （否则很易穿通）。但从晶体管原理知道，该器件的漏极电流 I_D 与沟道的宽长比（ Z/L ）成正比，即^[3]

$$I_D \propto Z/L \quad (1-1)$$

可见，增加了 L 必然会减少器件的工作电流。因此，这种结构的 MOS 管不可能做成高压大电流的功率器件。为了解决这一矛盾，1971年Y. Tarui等人^[4]提出了如图 1-3 所示的横向双扩散 MOS（习称LDMOS）的新结构。比较图 1-2 和图 1-3 可知，新结构与早期传统结构的不同主要有两点：一、在沟道与漏之间增加了一个较长的低浓度的 N^- 漂移区。由于该区的杂质浓度比P型沟道区的低。当漏电压增加时，耗尽区主要向低浓度的漂移区延伸。所以只要适当选取漂移区的长度以及P型沟道区和漂移区的电阻率就可以使这种新结构的 MOS 承受较高电压而不会产生击

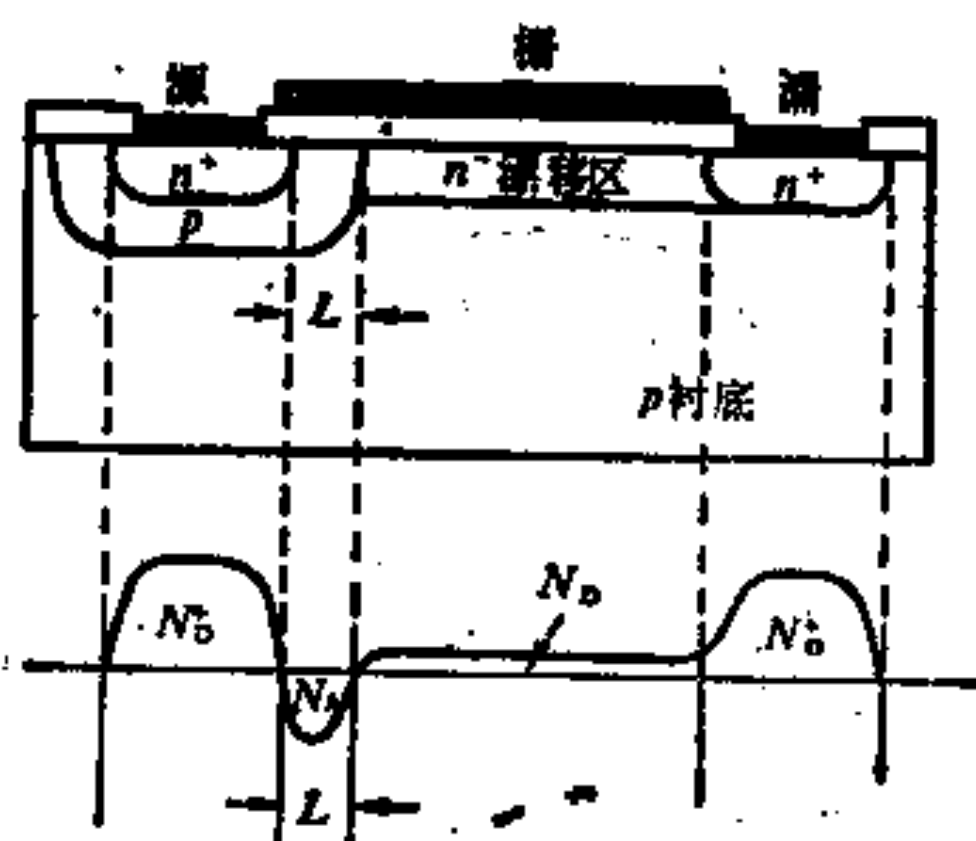


图 1-3 横向双扩散 MOS (LDMOS) 结构示意图

穿或穿通。二、沟道区的长度主要由两次扩散时的结深来控制，故 L 可以做得很小并且不受光刻精度的限制。再加上增大沟宽 Z 的措施后，器件的电流也可以做得上去。1976年M.J.Declercq和J.D.Plummer采用这种方案，第一个做出了高压、大电流的LDMOS^[5]，为实现高压大电流的功率MOS迈出了重要的一步。

虽然上述结构较好地解决了提高电压和增大电流之间的矛盾，但管芯占用的硅片面积太大，硅片表面利用率不高，器件的频率特性也受影响。

Siliconix和IR (International Rectifier) 推出的垂直功率MOS (习称VVMOS) 较好地解决了这一问题。其结构如图1-4所示。

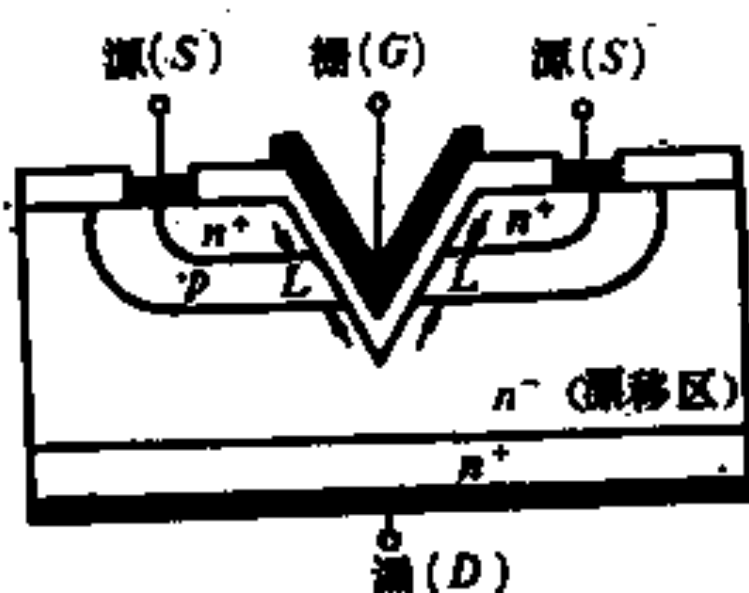


图 1-4 垂直功率MOS (VVMOS)结构示意图

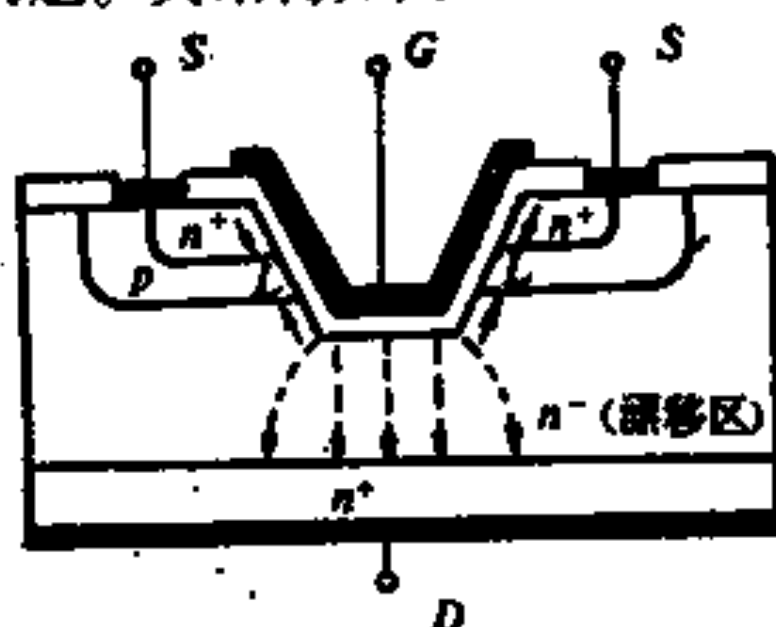


图 1-5 VUMOS结构示意图

比较图1-3和图1-4可知，垂直MOS与横向MOS的最大区别是将漏区、漂移区和沟道区从硅片表面分别转移到硅片的底部和体内，而且对应每个V形槽有两条沟道，因此管芯占用的硅片面积大大地缩小。这不仅大大地提高了硅片表面的利用率，而且器

件的频率特性也得到了很大的改善，使功率MOS从小功率向大功率领域迈进的过程中又前进了一大步。

但进一步的研究发现，上述垂直MOS结构存在如下一些缺点：一、在V槽的顶端存在很强的电场，这会严重地影响器件击穿电压的提高；二、器件导通电阻较大；三、V槽的腐蚀不大容易控制，而且栅氧化层暴露，易受离子沾污，造成阈值电压不稳，可靠性下降。为了克服这些缺点，后来V.A.K Temple等

人^[6]提出了如图1-5所示的垂直U槽结构(习称VUMOS)。这里的U形槽是通过控制腐蚀V槽的两个斜面刚进入N⁻漂移区但还未相交时停止腐蚀得到的,当这种结构的栅极施加正偏压时,不仅在P型沟道区中会形成反型层,而且在栅极覆盖的N⁻漂移区中还会

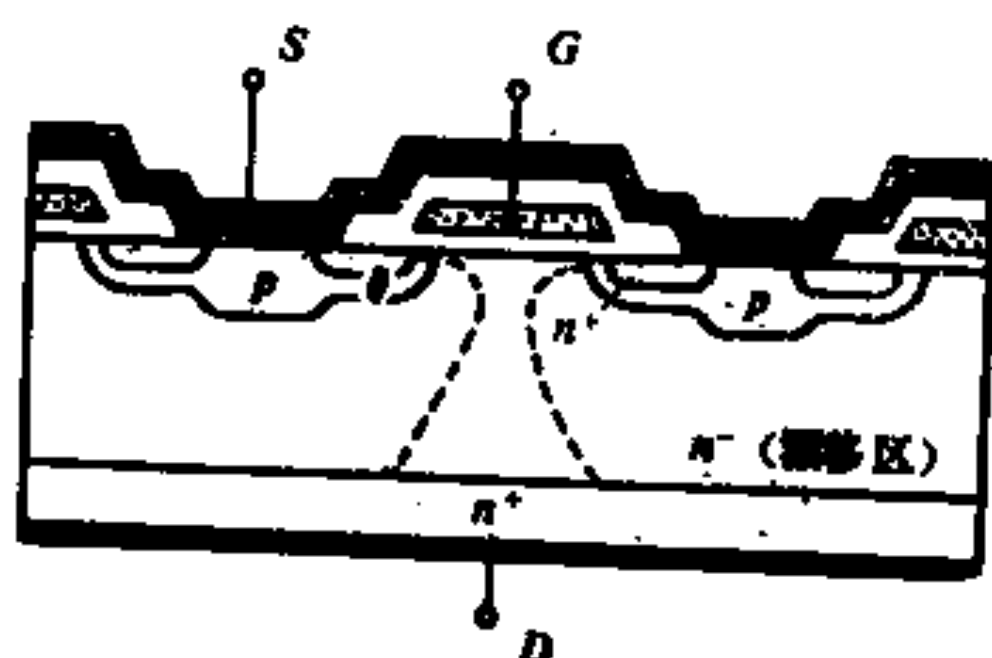


图1-6 垂直双扩散MOS(VDMOS)结构示意图

会产生积累层。于是源极电流将经过反型层流入该积累层,然后积累层将电流如图1-5中虚线所示那样分配到漏极。适当选取栅极覆盖的漂移区宽度,可使器件的导通电阻大大减小。同时也避免了V槽顶端的强电场出现。但U槽的腐蚀同V形槽一样难于控制,栅氧化层也一样暴露。为此,1979年H.W.Collins等人^[7]提出了一种不需要腐蚀V槽或U槽并且不暴露栅氧化层的垂直双扩散MOS(习称VDMOS),其结构如图1-6所示。其中多晶硅栅被埋藏在源极金属的下面,源极电流穿过水平沟道,经过栅极下面的积累层再通过垂直N⁻漂移区流到漏极。这种结构的功率MOS,工艺上与现在高度发展的超大规模集成电路(VLSI)工艺相容,因此发展很快。现在耐压达1000V,电流1~6A的VDMOS产品已经上市(如Motorola的MIMIN100型, Siemens的BUZ254型等),耐压1000V,电流几十安的器件也已问世。

VDMOS虽然较好地克服了VVMOS和VUMOS的缺点,使器件耐压水平、可靠性和制造工艺方面前进了一步,但其导通电

阻仍然比较高。要降低导通电阻，就要减小图 1-6 中 N^- 漂移区的厚度和电阻率，但这样又会使器件的耐压降低。导通电阻和耐压之间这一矛盾成为功率半导体器件进一步发展的主要矛盾。

1979年B.W.Wessel和B.J.Baliga^[8]提出的场控晶闸管 (Field Controlled Thyristor缩写成FCT) 可以说是解决上述矛盾的雏形，其结构如图 1-7 所示。该器件工作时，阴极接地，正电压加在阳极上，如图 1-8 所示。当图 1-8 中的 S_1 拨到 1 档时，栅极便加上负偏压，这时图 1-7 中的 J_2 结处于反偏状态，栅极区附近的耗尽层将扩展到阴极下面的沟道中，当栅极负偏压足够高时，相邻耗尽层在沟道中会合，并且夹断阳极与阴极间的电流，这时器件便被关断。器件的耐压可通过适当选取 N^- 区的厚度和电阻率来保障。当图 1-8 中的 S_1 拨到 2 档时，无栅偏压，器件基本上像一个 PIN 二极管，并转入导通状态。这时，由于来自阳极和阴极的过剩载流子的注入，在 N^- 区产生强烈的电导调制效应，使器件的导通电阻大大降低。

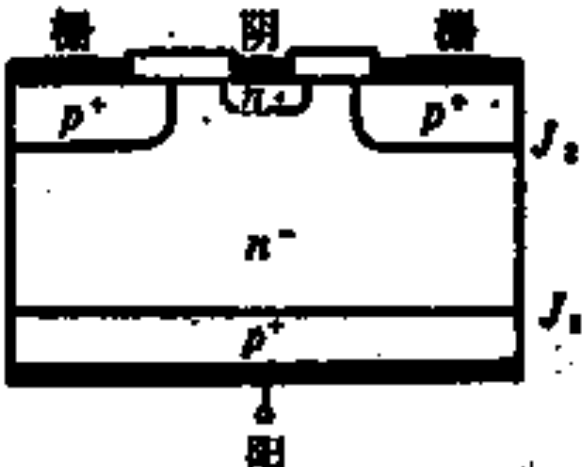


图 1-7 场控晶闸管的结构

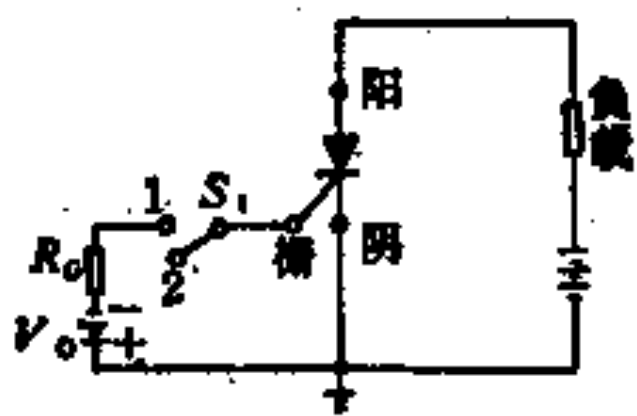


图 1-8 常用的FCT电路

因此在一定程度上解决了导通电阻和耐压之间的矛盾。目前，场控晶闸管的开关速度可以做到双极型晶体管的水平。它的不足之处是关断时（即器件从通态到断态时），需要大的栅极驱动电流。另外，在没有栅偏压时，器件是处于常开态（导通态），而且电路不能保证开启工作。

为了获得不仅具有低导通电阻、高耐压性能，而且只需很小栅极驱动电流的功率半导体器件，研究者们开始研究各种 MOS 与双极型器件的复合结构，它们大致可分为 MOS 管与双极晶体

管的复合和MOS管与双极晶闸管的复合两类。

1. MOS管与双极晶体管的复合

图 1-9 (a) 是 MOS 管与双极管的复合结构之一——达林顿 (Darlington) 结构^[9]。其输入端是 MOS 的栅极，具有很高的输入阻抗和很小的栅极驱动电流；这种接法的输出电流基本上由双极型晶体管控制，因而其导通电阻也低，而且电流容量大。但这种复合结构有一个缺点，即它的开关速度等性能仍受双极型晶体管的限制。由于双极型晶体管 T_0 存在少子存贮效应，当 T_0 从饱和导通态转向截止态时，关断时间较长，因此这种复合结构的开关速度慢 (T_0 的少子寿命越长，开关速度越慢)。为此，T. Tanaka 等人^[10] 于 1985 年提出了如图 1-9 (b) 所示的所谓 MOS 栅控管 (MOS-Gated Transistor 简称 MGT) 结构。它与上

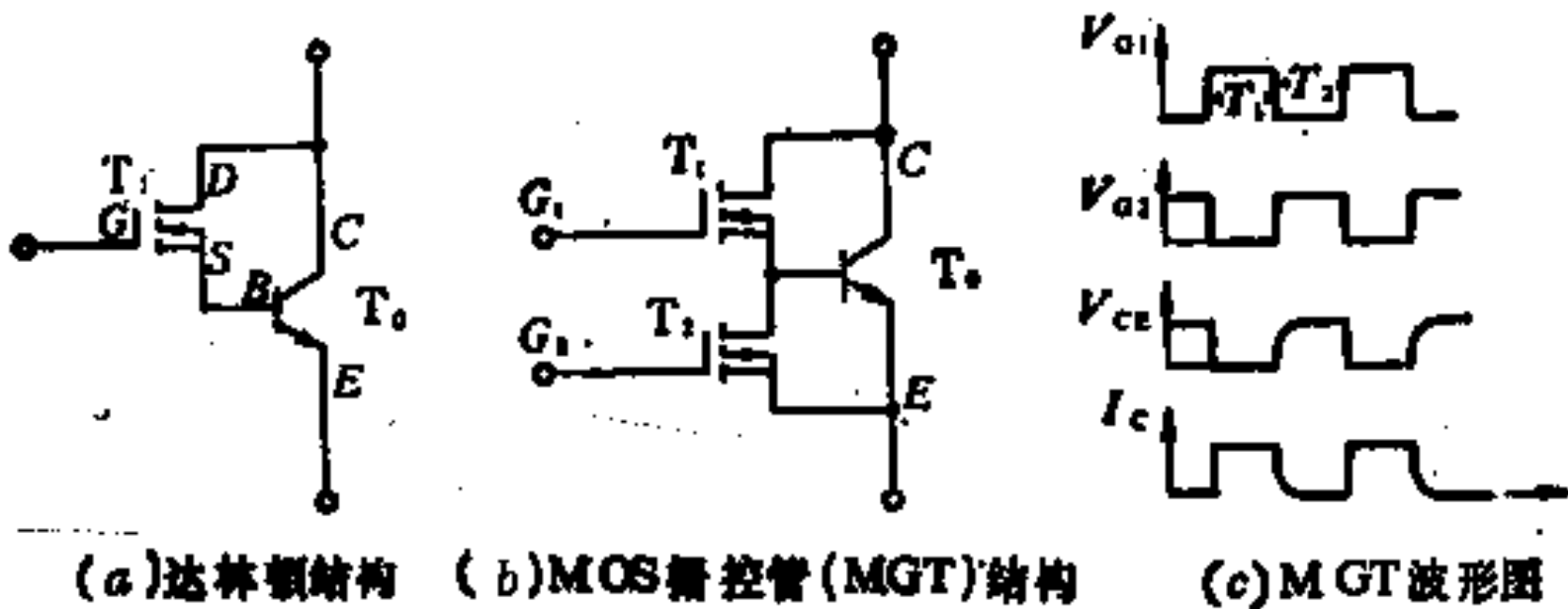


图 1-9 MOS 与双极型器件的复合结构

述达林顿接法的差别是在双极型晶体管 T_0 的基极、发射极间又并联了一个 MOS 管 T_2 。图 1-9 (c) 给出了该复合器件各点的工作电压波形。由该图可见，在 T_1 “开” 态期间， V_{G1} 是高电位， T_1 管导通； V_{G2} 是低电位， T_2 管截止。流过 T_1 的电流全部用来驱动 T_0 ，使 T_0 管很快进入导通状态 (“开” 态)。在转入 T_1 “关” 态期间， V_{G1} 变为低电位， T_1 管截止； V_{G2} 变为高电压， T_2 管导通，使双极型晶体管 T_0 中存贮的电荷通过 T_2 很快泄放掉， T_0 很快从导通状态转入截止状态，因而缩短了器件的关断时间，提高

了器件的开关速度。而且MGT的反向阻断电压也由集-射间击穿电压 $V_{(BR)CEO}$ ，变为集-基间击穿电压 $V_{(BR)CBO}$ ，也得到了提高。

2. MOS管与晶闸管的复合

图1-10是MOS管与场控晶闸管(FCT)的复合结构及其等效电路图^[11]。这种复合结构的好处是很好地克服了FCT的缺

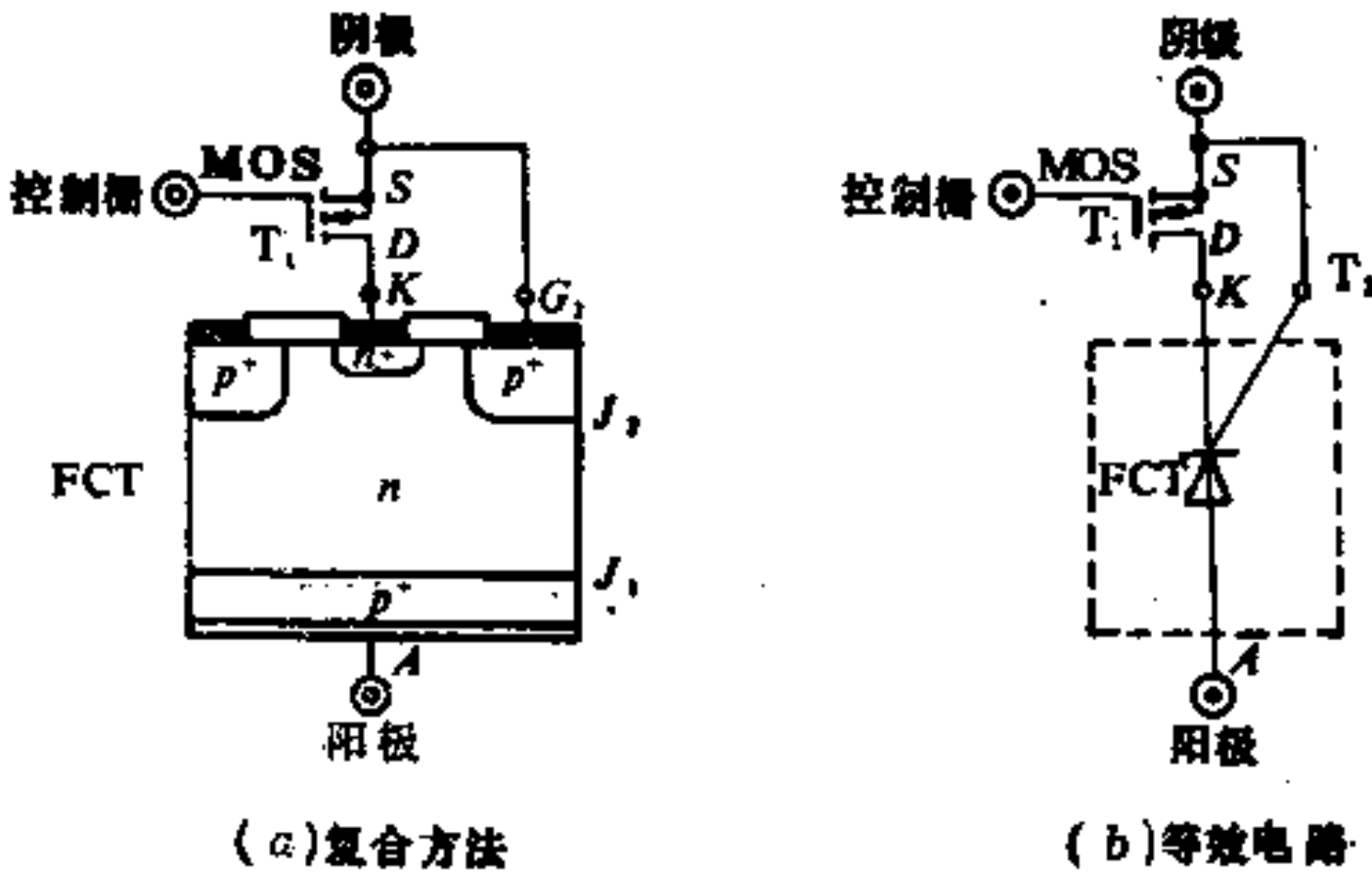


图1-10 MOS和FCT的复合结构

点。图1-11是该器件的工作电路图。当MOS管的栅极 G_1 接地时（即图1-11中的开关 S_1 拨到3挡时），MOS管截止，漏源间无电流通过。而且在电源电压 V_L 的作用下，FCT的栅结（ J_2 结）处

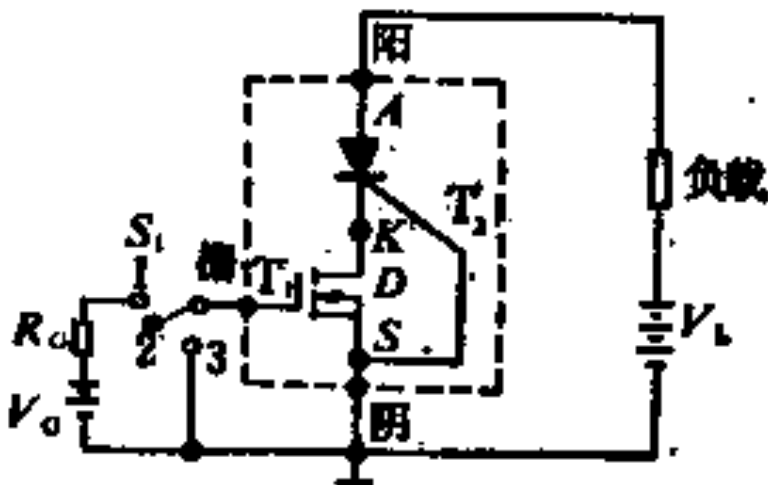


图1-11 常用的MOS/FCT电路

于反偏状态，在阳极与阴极间形成势垒而将阴极与阳极隔开。这时整个MOS/FCT复合器件处于有效的截止状态。当MOS管的栅极 G_1 加上正栅偏压（即开关 S_1 拨到1挡）时，MOS管导通，即FCT的阴极K与栅极 G_2 “接通”。FCT的阳极A与阴极K之间可以通过电流。因而整个MOS/FCT复合器件转入

导通状态。可见该复合器件的“通”、“断”完全由压控器件——MOS 的栅极控制，它所需要的驱动电流和驱动功率都非常之小。而且在没加栅偏压时，器件处于常关态（截止态）并能保证电路开启工作。这样，原 FCT 的缺点都得到了很好的克服。

特别值得一提的是这种 MOS/FCT 复合器件的集成化导致了如图1-12所示的绝缘栅晶体管(IGT)的发明^[12]。从结构看，IGT与图1-6所示的VDMOS十分相似，不同的只是将N⁺衬底换成P⁺衬底，但这一换却形成了一个 MOS 栅控的 P⁺NPN⁺ 四层可控硅（晶闸管）结构（其等效电路如图1-12(b)所示）。这里

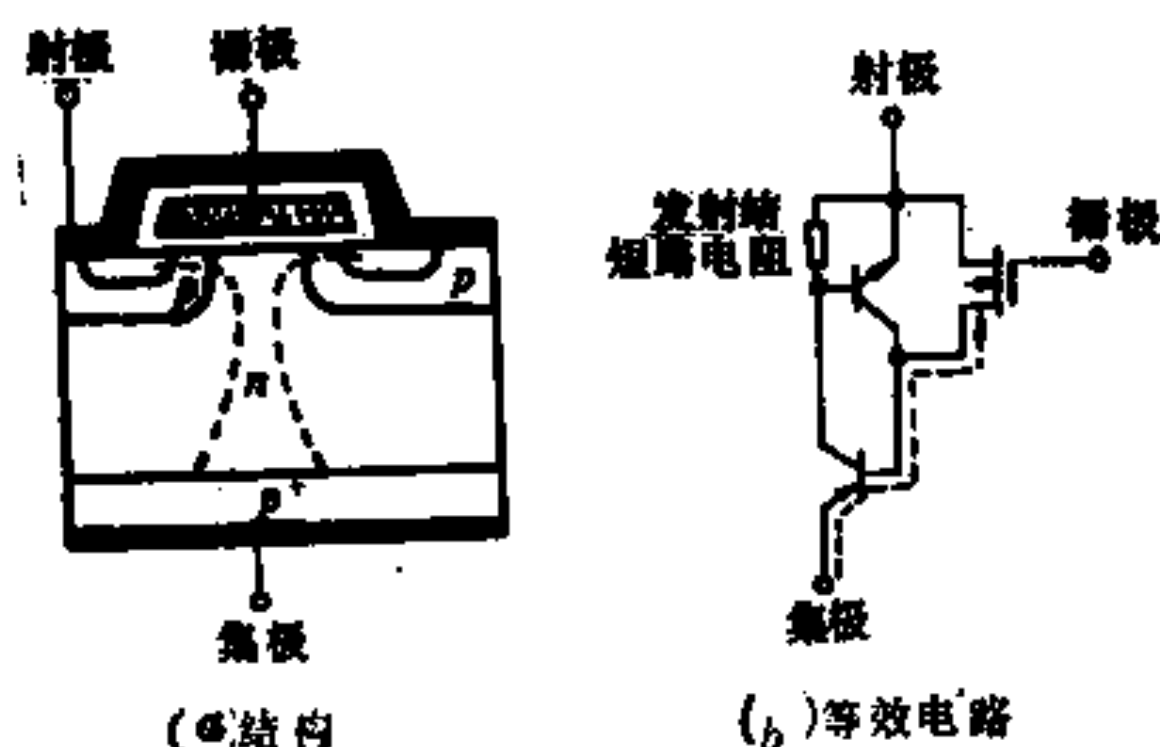


图 1-12 绝缘栅晶体管(IGT)

的寄生可控硅效应可通过短路发射结来消除(见图1-12)。当该器件转入导通态时，由于P⁺衬底向N⁻区注入了少数载流子使N⁻区产生强烈电导调制效应，因而其导通电阻低，并且受N⁻区的电阻率和厚度的影响小，故通过适当选取N⁻区的电阻率和厚度，器件的耐压可以做得很高，而且既不会明显增加导通电阻又不会明显增加管芯面积（参见图1-13）。所以 IGT 被认为是在500V以上的高压领域中很有发展前途的功率器件。它的不足之处是又引入了少子存贮效应，故器件的下降时间较长，开关速度受到影响，其次是它的最大工作电流受寄生晶闸管闭锁效应的限制。

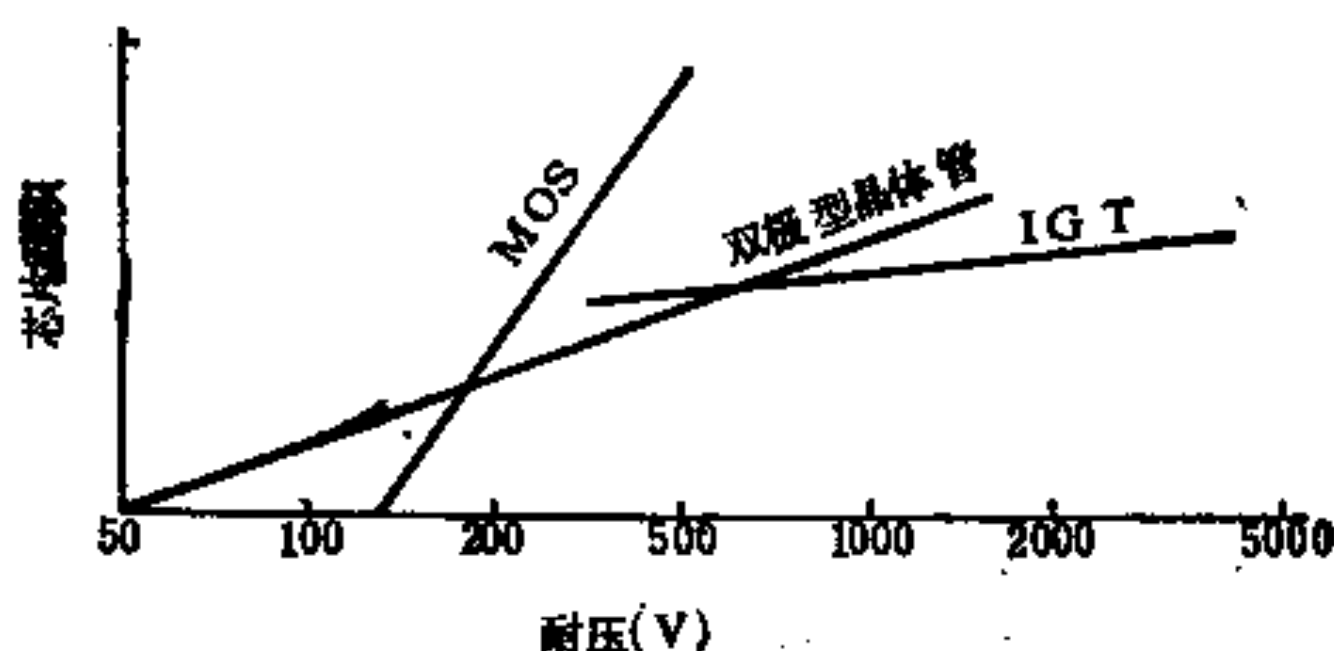


图 1-13 器件耐压与芯片面积的关系

为了克服 IGT 的上述缺点, 1986 年 J.K.O.Sin, C.A.T. Salama 和 L.Z.Hou^[13] 提出了 SIN FET 器件。其结构和等效电路如图 1-14 所示。由图可见, 它和 IGT 的主要区别是将 IGT 底部的 P^+N^- 结改为肖特基二极管, 并将它从底部转移到表面。由于这种肖特基二极管在低电平时只注入多子, 故不会引入少子存贮

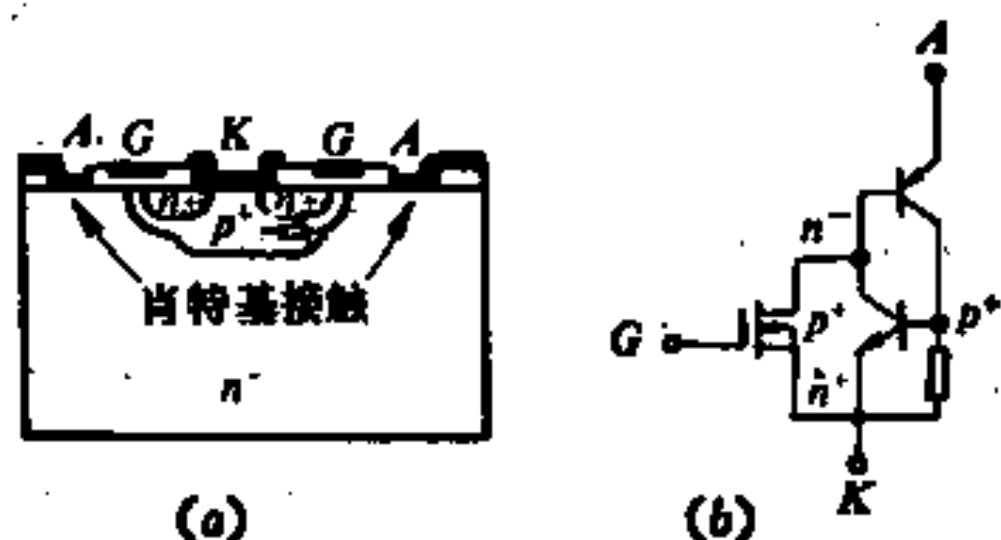


图 1-14 SIN FET 器件的结构图 (a) 和等效电路 (b)

效应。但在高电平注入时, 它遵循双极型模型, 也引入少子产生电导调制。图 1-14 中, 在基区引入重掺杂 P^+ 区, 是为了降低横向阻抗, 使其中的寄生晶闸管不起作用^[14]。

上面, 我们主要从提高器件工作电压, 降低器件导通电阻的角度, 考察了器件纵向结构的发展过程和发展动态。下面, 我们将从增大器件工作电流, 降低器件导通电阻的角度来考察器件横

向结构的进展情况。

从(1-1)式可知，要增大器件的工作电流，必须尽量增大器件的沟道宽度 Z 。为了在一定的硅片面积内获得尽量大的 Z ，可以采用多个沟宽为 Z_i 的单元MOS并联来获得。图1-15给出了这种方法的示意图，由图可见，这样得到的MOS沟道宽度 Z 为各单元MOS沟道宽度 Z_i 之和，即

$$Z = \sum_n Z_i \tag{1-2}$$

漏电流 I_D 也是等于各单元管漏电流 I_{Di} 之和，即

$$I_D = \sum_n I_{Di} \tag{1-3}$$

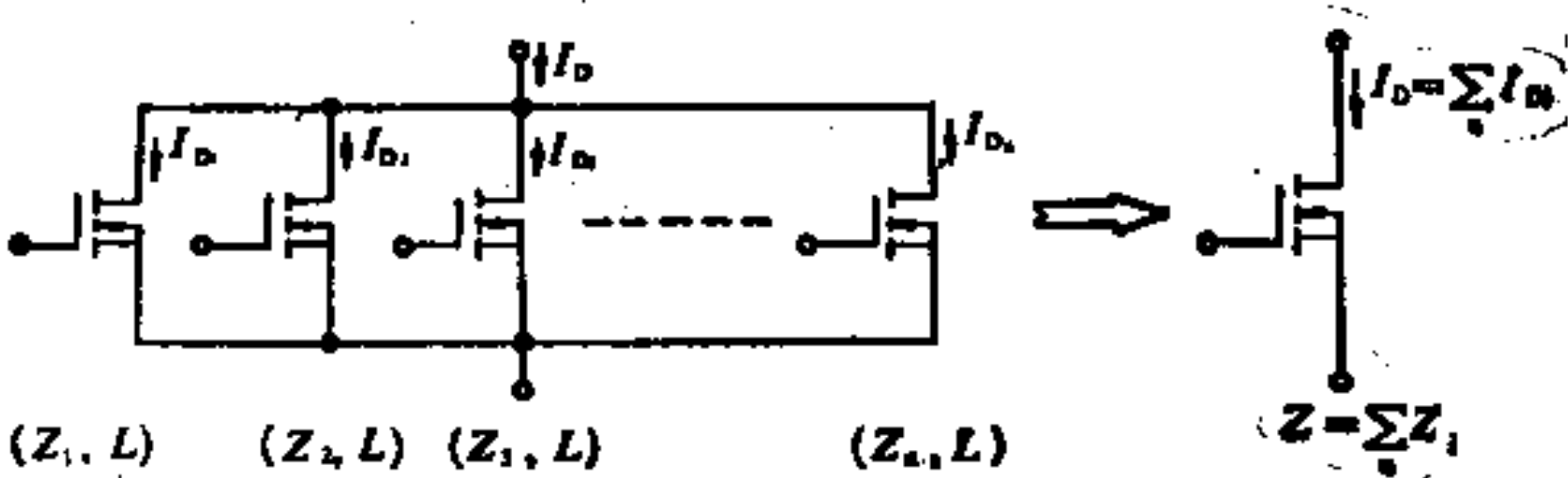


图 1-15 用多个MOS器件单元并联来增大沟宽 Z 示意图

导通电阻为 R_{on} 各单元管导通电阻 R_{oni} 的并联值，即

$$\frac{1}{R_{on}} = \sum_n \frac{1}{R_{oni}} \tag{1-4}$$

从上面三式可见，每个单元的沟宽 Z_i 越大，并联的单元越多，器件的电流容量就越大，器件的导通电阻也越小。

为了在同样的单元器件面积上获得尽可能大的单元器件的沟道宽度 Z_i （或者说，为了获得尽可能大的沟道区周长/面积比），可采用的单元器件几何图形有三角形、六边形和正方形，如图1-16所示。Collins和Pelly^[7]曾经采用六边形图形制得工作电

流为 $20 \sim 30\text{A}$ ，导通电阻只有 $0.04 \sim 0.055\Omega$ 的功率 MOS。

为了并联尽可能多的单元器件，主要从下列两方面进行努力：一、努力增大器件芯片的面积。随着材料制备技术的进步与

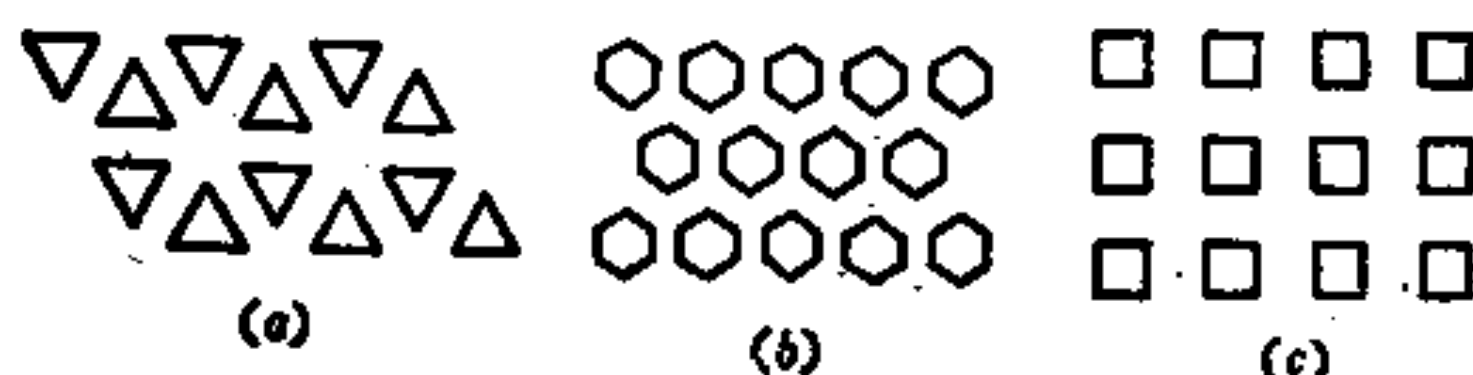


图 1-16 单元 MOS 的几何图形

(a) 三角形；(b) 六边形；(c) 正方形

器件工艺水平的提高，器件芯片的尺寸越作越大，与日俱增。图 1-17 给出了芯片尺寸的增长情况。现在 $300\text{mil} \times 300\text{mil}$ ($7.62 \times 7.62\text{mm}^2$) 的芯片尺寸已经问世。预计到 2000 年，芯片尺寸将增

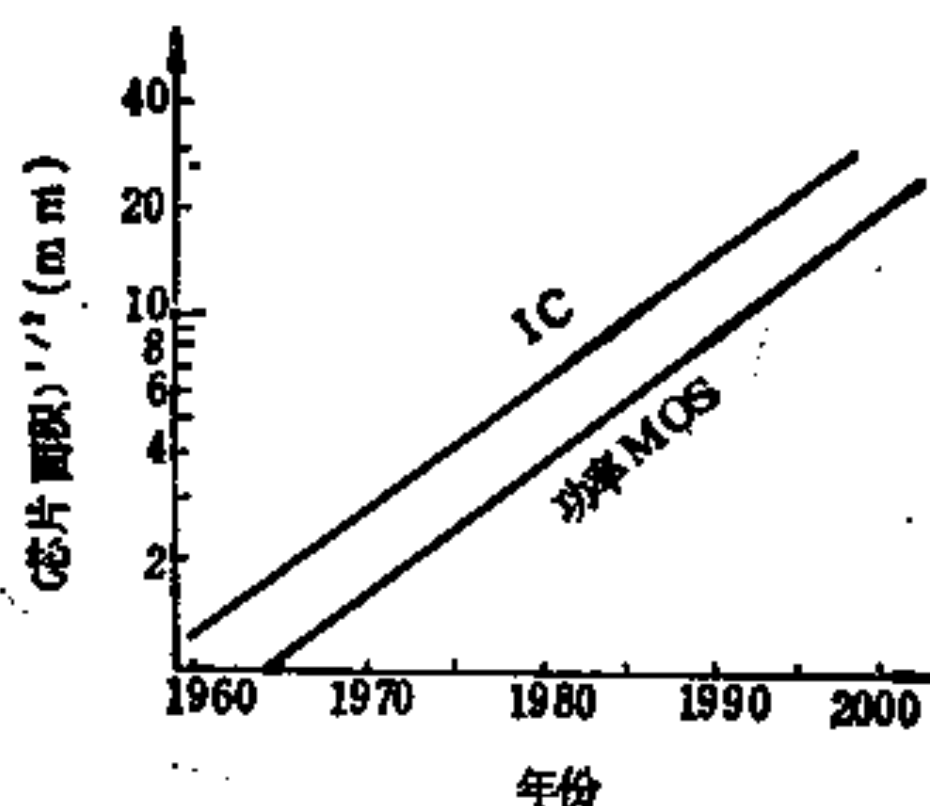


图 1-17 芯片尺寸随年份的增长情况^[15]

加到 $20\text{mm} \times 20\text{mm}$ 。二、努力增加单位芯片面积中的单元器件数，或者说努力增加芯片中的单元器件密度。为此，必须努力减小器件的线条宽度。目前器件的最小特征尺寸为 $3 \sim 5\mu\text{m}$ 。由于功率 MOS 和 IGT 的制造工艺与 VLSI 很相似，VLSI 中的微细加工等新技术可迅速转到为发展功率 MOS 和 IGT 服务。随着

VLSI技术的飞速发展，功率MOS的最小特征尺寸也越来越小，设计规范为 $1\mu\text{m}$ 的器件已经为期不远。随着器件最小特征尺寸的减小，单元器件的尺寸越来越小，图1-18是功率MOS单元器件尺寸的变小情况。

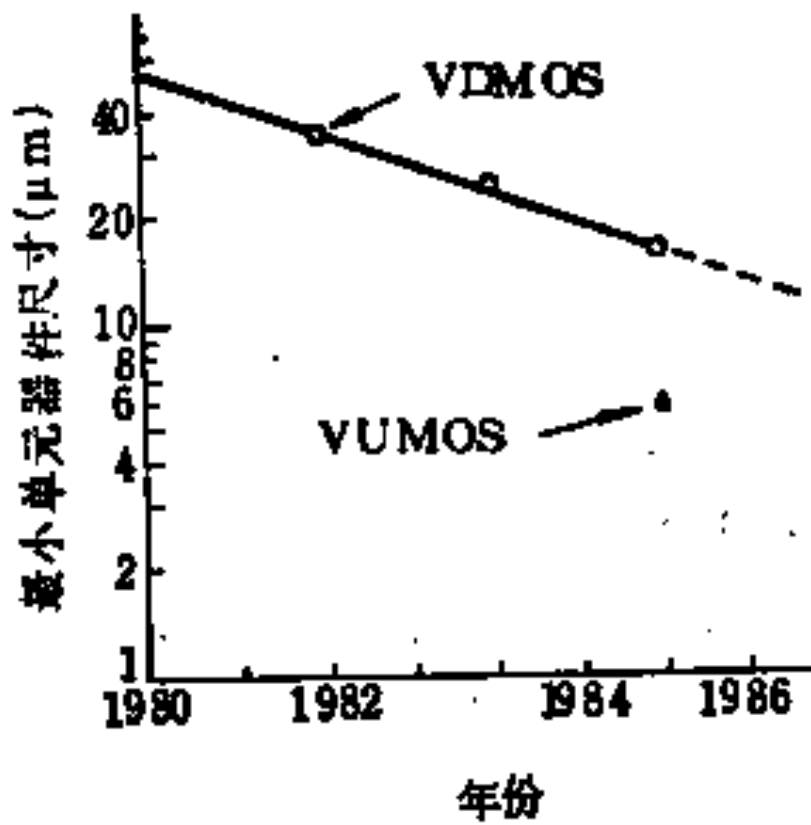


图 1-18 单元器件尺寸随年份的减小情况^[10]

由图可见，1980年VDMOS单元器件的尺寸是 $50\mu\text{m}$ 。1986年已减到 $17\mu\text{m}$ 。估计1988年将减小到 $10\mu\text{m}$ 。相应地，芯片的单元器件的密度则越来越高，目前的水平是 $(1.5\sim 5)\times 10^6$ 个/平方英寸。现在正朝 10^8 个/平方英寸进军。芯片单元器件密度的增加以及芯片尺寸的增大，使得每个芯片中包含的单元器件数越来越大（见图1-19，1980年为2500，

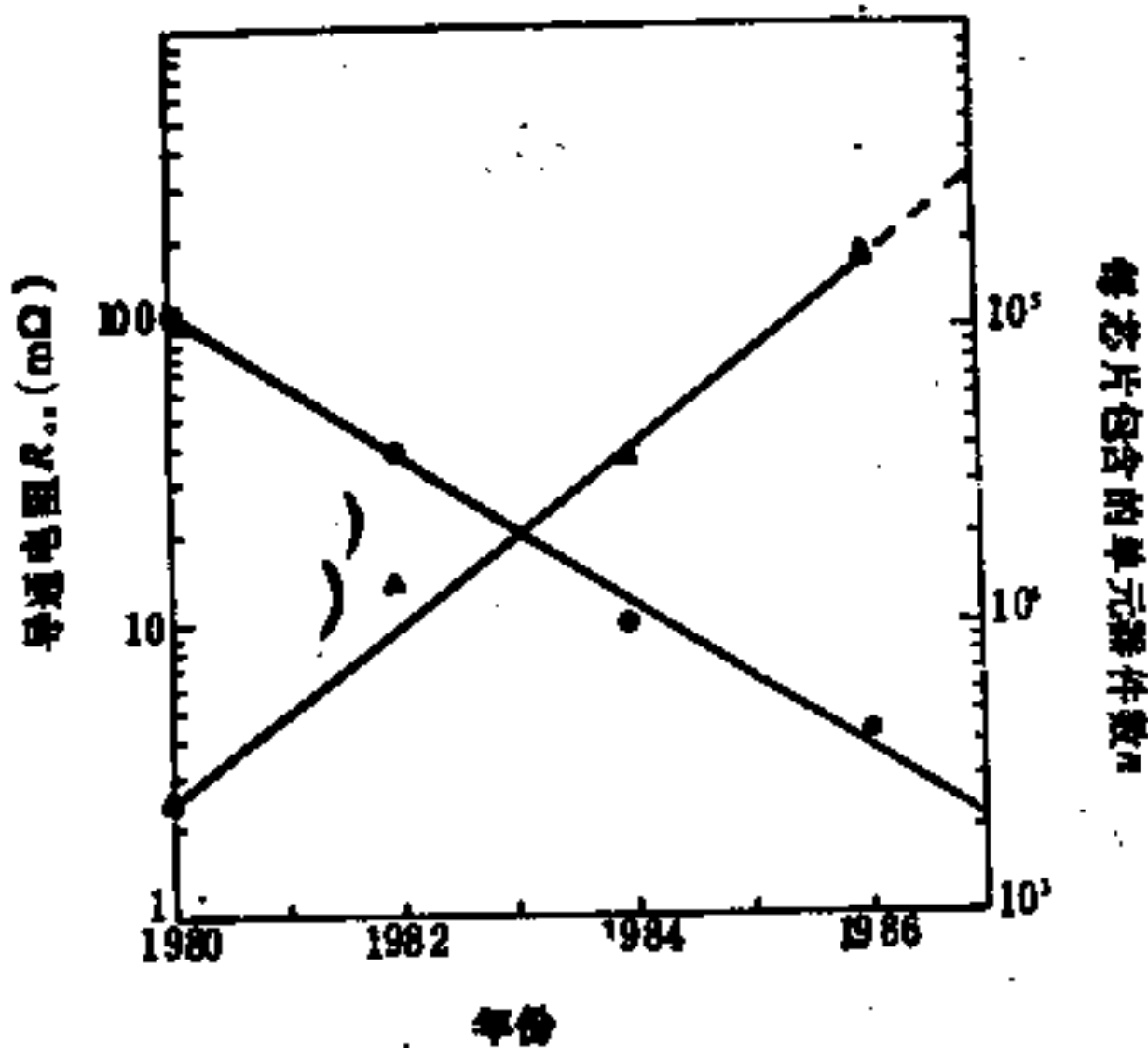


图 1-19 功率MOS芯片的单元器件数及导通电阻随年份的变化情况^[10]

1986年增至200000)，器件的沟道宽度 Z 越来越大，在各种不同额定电压下的器件工作电流 I_D 越来越大（见图1-20）。由图可见，IGT的电流容量比功率MOS将近大一个数量级；而器件导通电阻 R_{on} 则越来越小（见图1-19），1980年功率MOS的导通电阻在100m Ω 以上，到1986年已可做到5m Ω 以下。图1-21是功率MOS

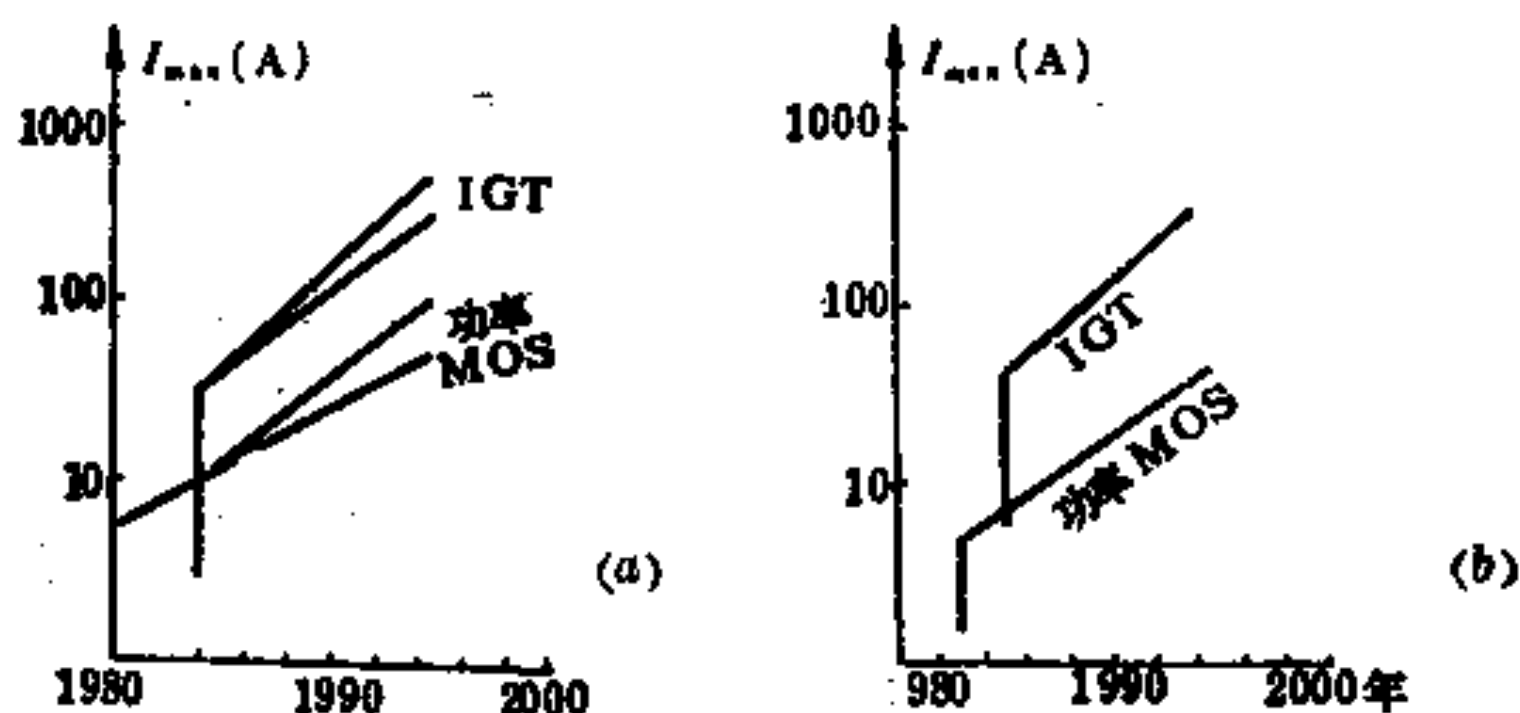


图 1-20 最大工作电流 I_{max} 随年份的增加情况 [17]

(a) 额定电压为450V；(b) 额定电压为1200V

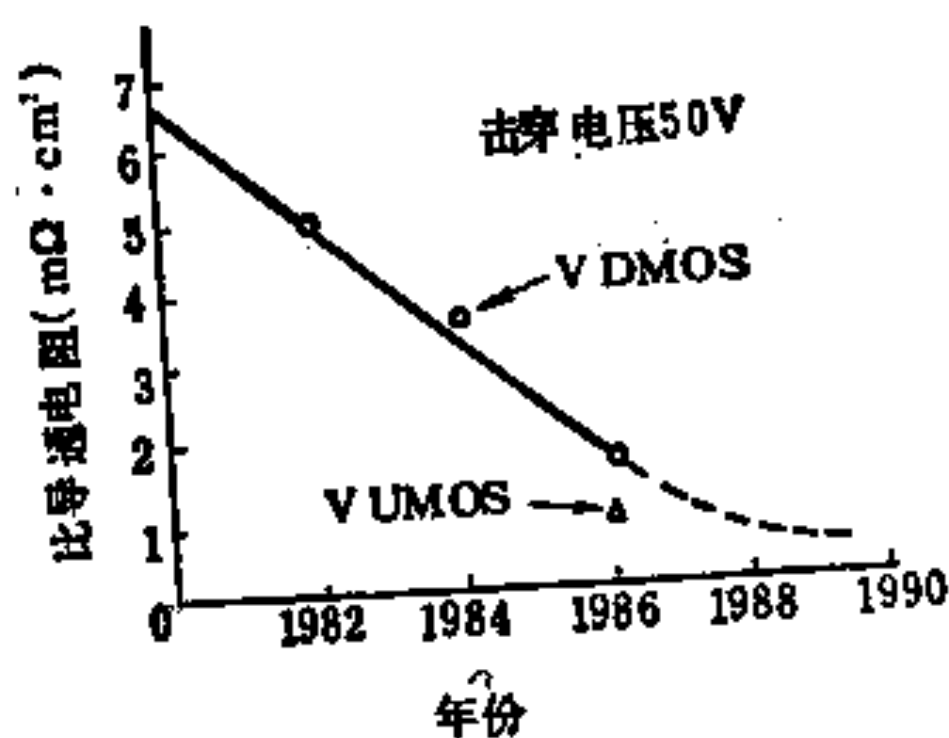


图 1-21 比导通电阻随年份的减小情况

的比通导电阻（即1cm²芯片面积具有的导通电阻）随年份的减小情况。

随着器件工作电压的不断提高和工作电流的不断增大，器件的功率控制容量不断增加。图1-22给出了三种功率场控器件额定

表 1-2 我国功率半导体场控器件的开发状况

种类	单 位	型 号	参 数					日 期
			$V_{(BB)DS}(V)$	$I_D(A)$	$R_{on}(\Omega)$	$t_{on}(ns)$	$f_{off}(ns)$	$P_o(W)$
V D M O S	电子科技大	CS5N450	>450	>5	<2.5	<200	<500	75
	709所	VD-MOS	350	10	1.5	<50	<44	50
	电子科技大	CS7N300	300	7~8	0.8	100	300	75
	877厂		200~500	1~8				
	浙江大學	VMPT-1	35~90	2		≤10	≤10	25
功 率 M O S	877厂	VN0301	35	1	<8.0	≤10	≤10	15
				2	<2.5	≤10	≤10	25
				4	<2.0	≤20	≤20	40
				6	<1.2	≤20	≤20	60
				8	<1.0	≤30	≤30	80
				10	<0.8	≤40	≤40	100
		VN0910	90					
	天津半导体四厂	VN902-B	90	1.5	5	≤10	≤10	25
	上海科技大	KDV05	60	2.0	1.8	≤4	≤4	
	杭州电子管厂	V05	90	1.0		≤10	≤10	
I G T	电子科技大	CM605N	600	5				
S I T	电子科技大	BSIT	100	10	<0.1	<40	<40	50
	13所	DX系列微波及超高频功率SIT的11个型号						80~86

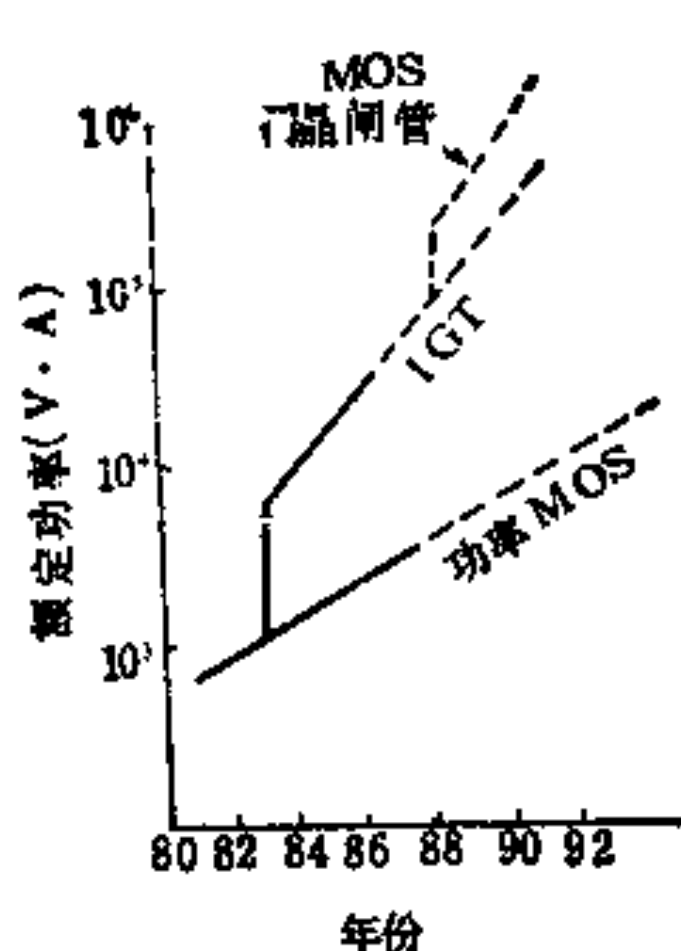


图 1-22 额定功率的增长情况 [15]

功率的增加情况和趋势。由图可见，IGT的额定功率预计将以每两年增加3.4倍的速度增长，是功率MOS增长速度的两倍多。到1990年IGT的额定功率将比功率MOS约大2个数量级。而MOS 晶闸管的额定功率又比IGT大2~8倍。

表1-1(见P3)给出了几种主要功率场控器件当前已达到的水平，表1-2(见P18)给出了这些器件在我国的发展状况。

§ 1-3 功率集成电路的发展动态

功率场控器件的进一步发展，除了继续提高器件的功率控制容量（提高工作电压，增大工作电流）和器件的性能参数指标（工作频率、开关速度、导通电阻等）外，一个重要发展趋势是向集成化方向发展。即将输出功率器件与信息处理系统及其外围接口电路、保护电路、检测诊断电路等都集成在同一芯片上，这就是所谓的功率集成电路（简称PIC）。

目前，通常将PIC分为两类：一类是所谓高压集成电路（简称HVIC），它是横向高压器件与起控制作用的传统逻辑电路或模拟电路的单片集成；另一类是所谓智能功率集成电路（习称SMART POWER），它是纵向功率器件与逻辑或模拟控制电路以及传感器保护电路的单片集成。它们的发展动态简述如下：

1. 高压集成电路(HVIC)

最早的HVIC采用的是高压晶体管结构^[10]。其优点是可以增加输出电流，但是为获得高的击穿电压需要生长厚外延层，这会给低压电路的性能带来很不利的影响。1979年J.A.Appele等人^[20]发明了横向电荷控制技术（简称LCC技术或RESURF技术）使得人们不需要生长厚外延层，可用传统的低压集成技术在 $5\sim 8\mu\text{m}$ 的薄外延层上制造出高达1200V的横向高压器件来。因而整个电路中的高压器件和低压器件都可在同一工艺过程中完成。GE公司利用RESURF技术已经作出了将1200V高压的横向DMOS、横向NPN双极型晶体管、PN结二极管与低压的双极型晶体管和CMOS集成在同一芯片上的HVIC。这种电路用途很广，如可用于各种电源及电机控制电路等^[21]。

2. 智能功率集成电路(SMART POWER)

智能功率集成电路的“智能”表现在这种电路具有控制、接口和自动保护三方面的功能。为了实现自动保护，通常都设有一个带有传感器的保护电路来切断处于危险状态之中的主回路。比如，西门子公司的PIC采用带热敏元件的保护电路，当主回路在功率MOS的结温升高到 150°C 时自动断开。因此，采用敏感元件及其相应的传感器电路是当前SMART POWER的一个趋势。

由于SMART POWER中用的是纵向功率器件，其集电极就是芯片的衬底，而一个芯片只能有一个衬底，故这可能会影响SMART POWER在某些重要领域中的应用。

不论是HVIC或是SMART POWER，都是要把高压器件与低压器件做在一个芯片上，因此这两类器件之间的隔离必然是PIC研究者首先必须解决的关键技术。当前采用的隔离方法主要有三种：PN结隔离、自隔离和介质隔离。其目前的发展情况和达到的水平如下。

(1) PN结隔离

Motorola的 SMART POWER是采用PN结隔离技术制作PIC的一个比较典型的例子。它采用的双外延层材料：在P型衬底上先外延一层P⁻层，再外延一层N层，如图1-23所示。其纵向功率晶体管的击穿电压取决于P⁻型外延层的厚度。该公司用此隔离方法已实现VMOS、SCR与CMOS控制逻辑的单片集成。其代表产品有MPC2005型过压过温保护器。当电源负载短路或温度超过125℃时该保护器可以进行保护。

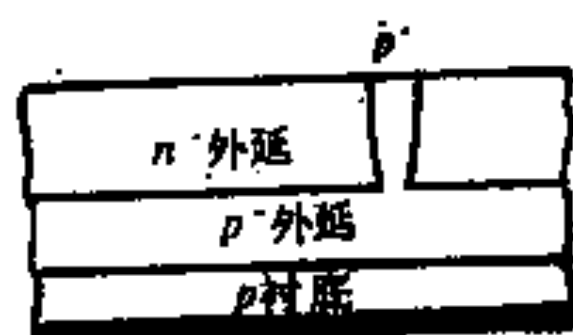


图 1-23 利用双外延层材料的PN结隔离

意大利的SGS公司用PN结隔离法作出了名为MD²MOS的PIC，其输出电流可达10A，电压为60V，功率达200W^[22]。Siliconix公司用PN结隔离法已把数百伏电压下开关几安培的平面DMOS器件与起控制作用的CMOS电路、NPN晶体管电路集成在一块。这种PIC工作在80V电压下的电流容量达20A，开关频率超过200kHz。

(2) 自隔离

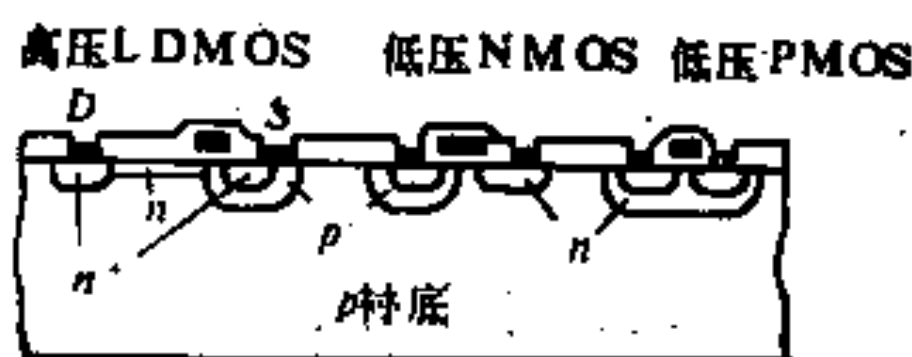


图 1-24 采用自隔离的HVIC示意图

自隔离的隔离效果是由源、漏区与衬底间的PN结来实现的，它主要用于MOS工艺。图1-24表示用自隔离法来实现高压LDMOS与低压CMOS逻辑电路的单片集成^[23]。日立、夏普、施乐

等公司用自隔离技术都作出了耐压在千伏以上的HVIC。

(3) 介质隔离

介质隔离的优点是在高温下仍可保持较好的隔离特性，但工艺复杂，生产成本较高。1984年HARRIS公司利用介质隔离已推出了晶体管工作电压为400V，可经受1000V浪涌电压的PIC产

品。1985年又推出电压500V、电流600mA的PIC。NEC 公司利用介质隔离(采用SOS工艺)已作出了耐压在1000V以上的 PIC。

国内这方面的工作现在还处于预研阶段，电子科技大学微电子研究所研制的PN结隔离耐压已经做到 350V~500V（在30 μ m的外延片上）。

§ 1-4 功率MOS器件的应用

随着功率半导体器件的功率容量不断增加和性能的不断 提高，其应用范围也在不断扩大。图1-25给出了目前功率半导体器件的典型应用领域以及系统额定功率与器件工作频率的关系 [24]。结合功率半导体器件的功率控制容量与工作频率的关系图 1-1 可见，：高压直流输电、马达传动等低频大功率领域是晶闸管（可控硅）的主要用武之地，不停电电源、运输、感应加热

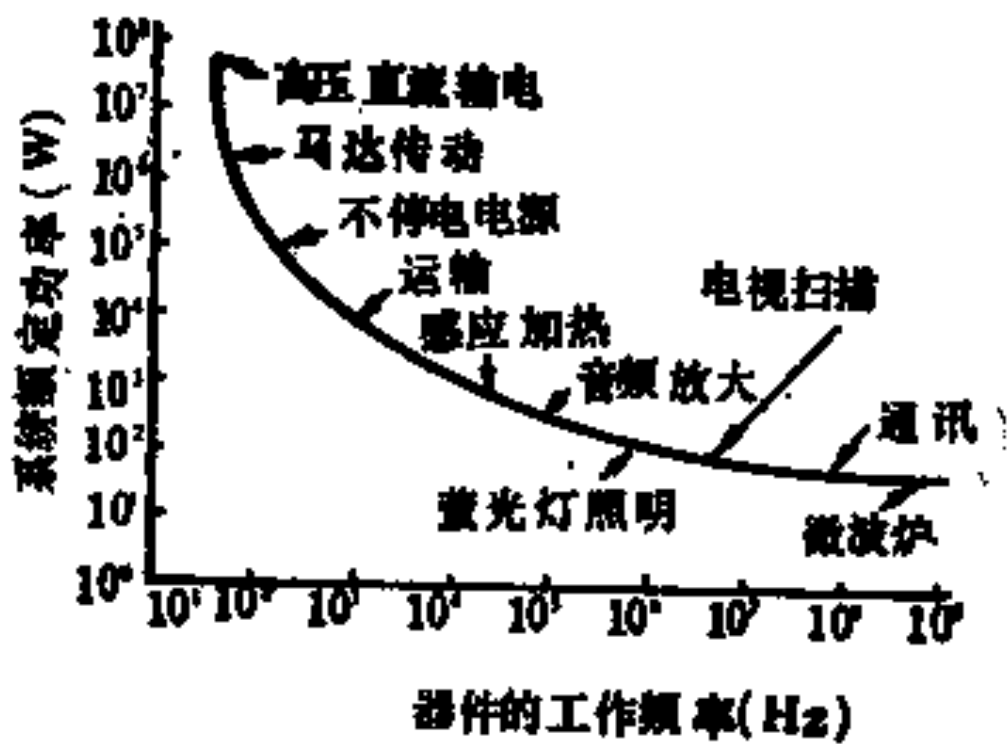


图 1-25 功率半导体器件的典型应用领域 [24]

等，是工作频率较高，额定功率中等（在10—100kW数量级），适合于功率双极型晶体管的应用范围，通讯、微波炉等工作频率很高，额定功率不大的场合，只有功率 MOS 才能胜任。从图1-25还可以看到，只要系统的额定功率不是太大（在1kW以下），从低频到高频的各个领域功率 MOS 都能适用。事实上，由于功率MOS本身所具有的特点（即一、多子器件，无少子

存贮效应，工作频率高，开关速度快，开关损耗小；二、压控器件，输入阻抗高，电流增益大，驱动功率小，驱动电路简单；三、短沟器件，跨导线性高，放大失真小；四、负电流温度系数器件，无二次击穿效应，安全工作区宽，热稳定性好），它已经在开关电源，DC-DC变换，DC-AC变换（逆变器），快速开关变换，高保真音频放大，各种模拟开关，高速磁心驱动，继电器或螺旋管驱动，CMOS、TTL和LSI接口，马达控制，汽车电子化，照明，感应加热，射频通讯等领域得到了广泛的应用。图1-26给出了各应用领域对功率 MOS 的耐压与频率的要求。本节将介绍功率 MOS 在这些领域中的几个具体应用例子，并说明使用功率 MOS 器件的优越性。

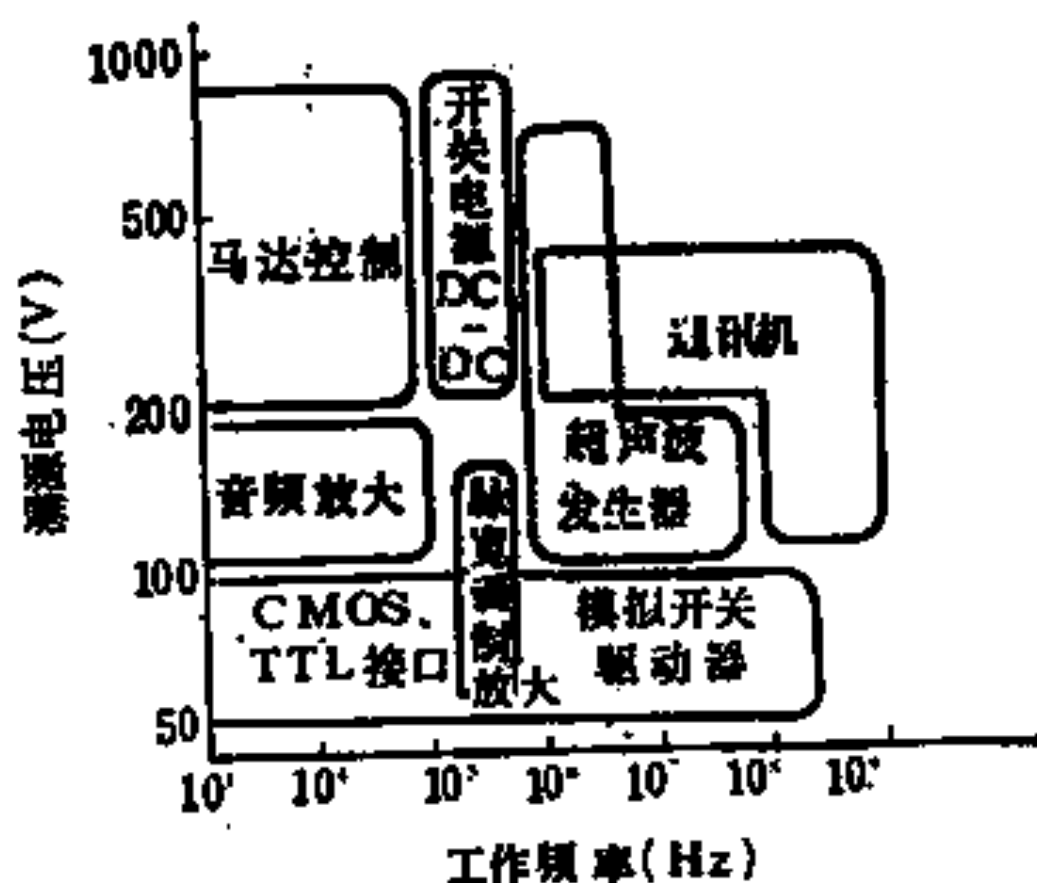


图 1-26 各应用领域的工作电压和频率

1. 开关电源

功率 MOS 用作开关电源中的开关器件是它的重要用途之一。本小节我们先说明开关电源中使用功率 MOS 的好处，然后介绍具体电路。

(1) 开关电源中使用功率 MOS 的好处

图1-27是串联式开关稳压电源的原理示意图及其波形图。图

中 V_i 是由电网电压经整流滤波后得到的直流输入电压，经过开关管的通断控制后，将输入直流电压截成一个个矩形脉冲电压 V_L 。根据波形分析可知，这种矩形脉冲可分成直流成份和交流成份，通过LC滤波器将其中的交流成份滤去，在输出端便重新得

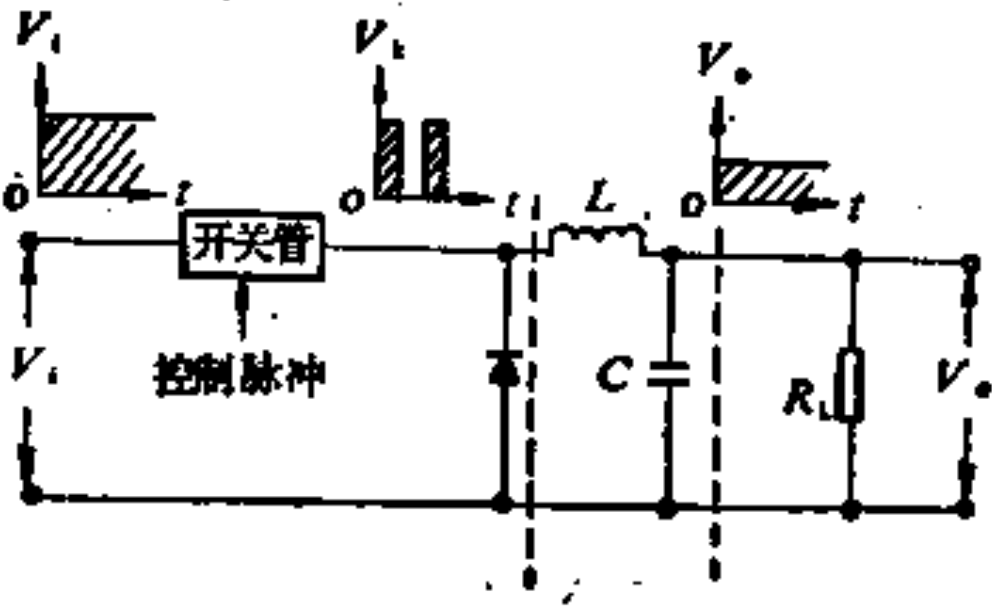


图 1-27 开关电源原理图

到直流电压 V_o ， V_o 的大小等于矩形脉冲的平均电压，即

$$V_o = \frac{T_{on}}{T} \cdot V_i = DV_i \tag{1-5}$$

式中 T 为开关重复周期， T_{on} 为一周期内开关管的导通时间， $D = T_{on}/T$ 称为占空比。从式（1-5）可见，改变占空比 D 就可调节输出电压的 V_o 高低。

图1-27的稳压过程是这样的：当输出电压 V_o 由于电网电压降低或负载加重而下降时，控制脉冲使开关管的导通时间 T_{on} 增加（或使开关重复周期 T 下降），这就使 D 增加，从而使 V_o 增加，达到输出 V_o 保持稳定不变的目的。

为了使开关电源获得平稳的输出电压，就要有效地滤去输出电压中的交流成份，为此要求图1-27中的滤波器满足下面两个条件：一、 ωL 应比负载电阻 R_L 大得多，即

$$\omega L \gg R_L \tag{1-6}$$

二、 $\frac{1}{\omega C}$ 应比 R_L 小得多，

$$\frac{1}{\omega C} \ll R_L \tag{1-7}$$

满足上述两个条件的办法之一是采用大的滤波电感 L 和大的滤波电容 C 。但这样会提高成本，增大体积，加重重量。满足式(1-6)和式(1-7)的另一种办法是 L, C 仍用得不大，而采用较高的工作频率 ω ，这样做的优点是可使电源的成本降低，体积缩小，重量减轻，而且保持较好的滤波效果。但有一个前提，就是要求开关管的开关速度要快，开关时间要短。电源的工作频率 ω 越高，上述优点越突出，但对开关管的要求也越苛刻。如果开关管的开关速度或开关时间满足不了要求，提高工作频率就可能会使管子的开关损耗剧增，电源的效率下降，图1-28示意地示出了这种情况。其中(a)图是开关管的电压与电流，(b)图是功耗。图

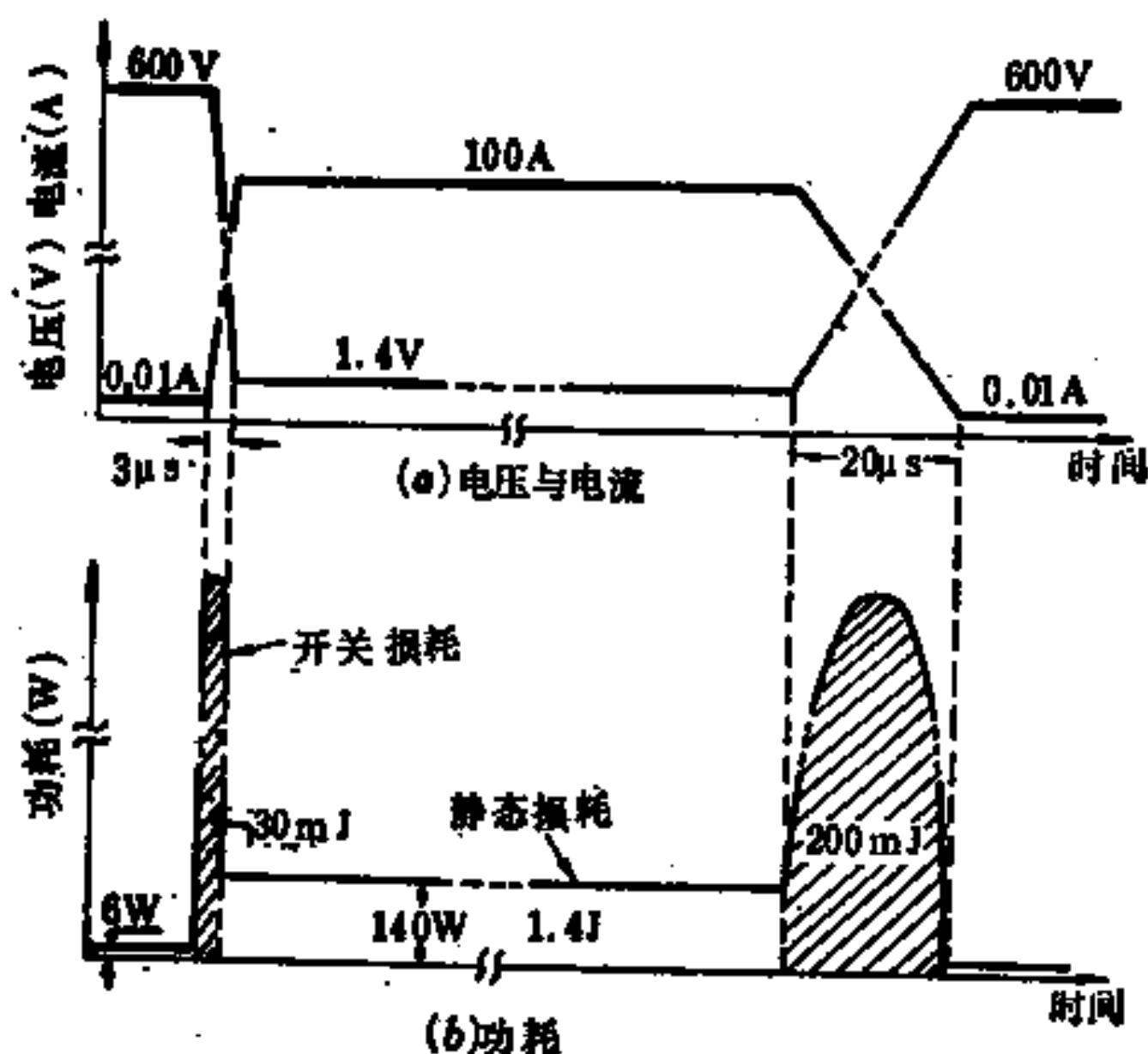


图 1-28 开关损耗及静态损耗

中假设开关管的上升时间是 $3\mu\text{s}$ ，下降时间为 $20\mu\text{s}$ ，每周期内的开启损耗为 0.03J (30mJ)，关断损耗为 0.2J (200mJ)。在开关频率为 50Hz 时，导通时间及断开时间各为 10ms 。因此每周期内管子的导通损耗为 $140\text{W} \times 10\text{ms} = 1.4\text{J}$ ，断开损耗为 $6\text{W} \times 10\text{ms} =$

0.06J。加上前两种损耗，得每周期内的总损耗为 $0.03\text{J} + 0.2\text{J} + 1.4\text{J} + 0.06\text{J} = 1.69\text{J}$ ，平均功耗为 $1.69\text{J} \times 50\text{Hz} = 84.5\text{W}$ 。可

是，当开关工作频率提高到40kHz时，则周期为 $\frac{1}{40\text{kHz}} = 25\mu\text{s}$ ，减去上升时间和下降时间再除以2，得到导通时间 = 断开时间 = $1\mu\text{s}$ ，相应的损耗为 $140\text{W} \times 1\mu\text{s} = 0.14\text{mJ}$ 和 $6\text{W} \times 1\mu\text{s} = 0.006\text{mJ}$ 。故每周期内的总损耗为 $0.03\text{J} + 0.2\text{J} + 0.14\text{mJ} + 0.006\text{mJ} \approx 0.23\text{J}$ 。平均功耗达 $0.23\text{J} \times 40\text{kHz} = 9.2\text{kW}$ ！比原来增加了100多倍！这是不能容忍的。

要降低成本、缩小体积、减轻重量，又要减小功耗、提高效率，唯一的办法就是采用开关时间短、开关速度快的器件。如前所述，由于功率 MOS 是多子器件，无少子存贮效应，故其开关速度快，开关时间短，用它做开关电源就能做出价廉物美的产品来。

(2) 开关电源电路举例

图1-29是输出5V，10A（开关工作频率为200kHz）的功率 MOS 串联式开关稳压电源的一个具体电路^[25]。其中 R_1 、 R_2 、 R_3 和 D_1 、 D_2 组成提供比较放大器A的18V，6V电源和反相输入端5V 基准电压的稳压偏置电路。 C_{13} 、 R_{12} 、 R_{13} 、 D_6 、 D_7 和

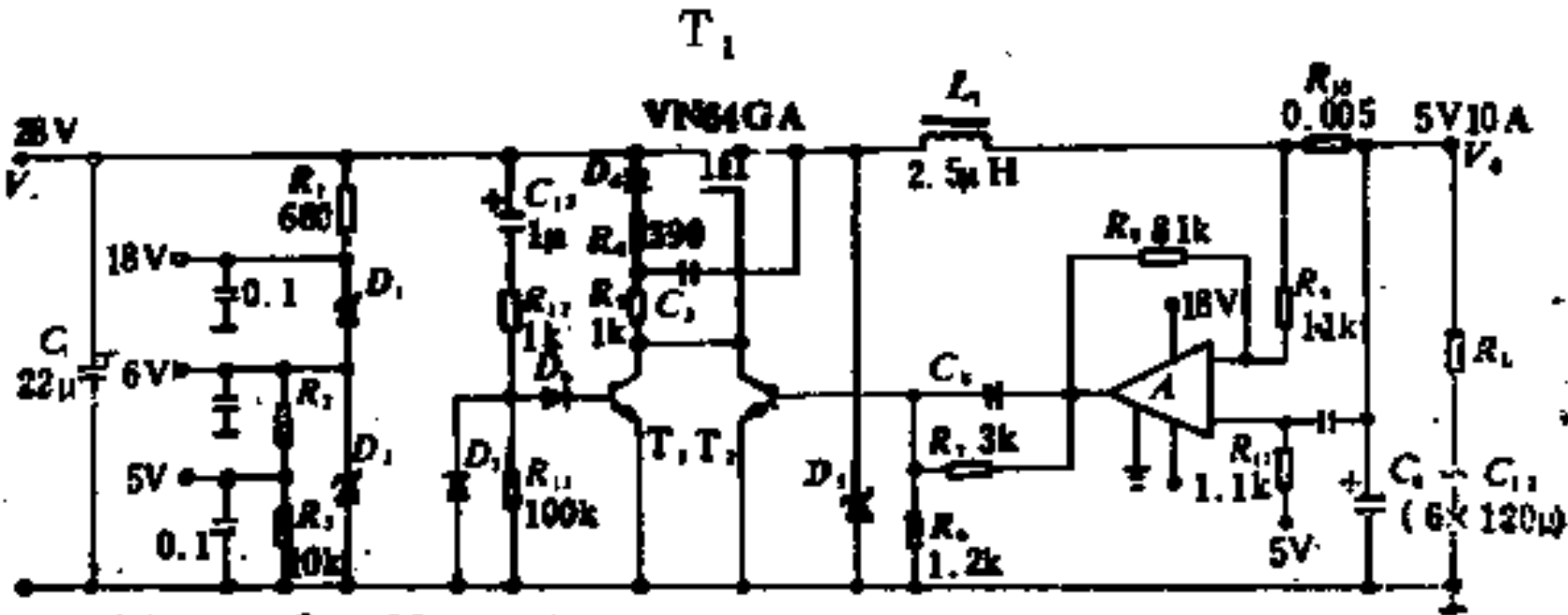


图 1-29 5V，10A(200kHz)串联式开关稳压电源

T_3 组成“软起动”电路，当接通 V_i 时，“软起动”电路使开关管 T_1 的驱动脉冲电压不是突然增加而是按指数规律增加，因而避免流过电感 L_1 中的电流增加过快，以致产生大的过冲。电压电路

正常工作后，起动电路便不起作用。

电路起动后， T_1 管导通，流过电感 L_1 的电流一部分供应负载，一部分给滤波电容 $C_8 \sim C_{12}$ 充电，使输出电压 V_o 升高。当 V_o 未升到稳压值5V时，比较放大器输出为低电平，驱动管 T_2 截止，开关管 T_1 的栅极（即 T_2 的集电极）为高电平，使 T_1 管继续导通，流过 L_1 的电流继续向 $C_8 \sim C_{12}$ 充电，当充电到 V_o 上升至稳压值5V时，比较放大器输出跳变到高电平， T_2 导通， T_2 栅极变为低电平， T_1 转入截止，输入电压 V_i 停止对输出端供电，通过 L_1 的电流减小， L_1 两端产生感应电动势，使 D_8 正偏导通， L_1 所贮存的能量通过 D_8 向负载 R_L 释放（故常称 D_8 为续流二极管）。与此同时， $C_8 \sim C_{12}$ 也向 R_L 放电。可见由于 L_1 、 $C_8 \sim C_{12}$ 和 D_8 的共同作用，虽然 T_1 处于截止状态， V_i 停止了对输出端的供电，但输出电压 V_o 却是连续的， L_1 、 $C_8 \sim C_{12}$ 起了图1-27中的滤波器作用。

随着 $C_8 \sim C_{12}$ 向 R_L 放电， V_o 会开始降低，但一旦 V_o 降低到标准电压5V时，比较放大器的输出立刻又跳变到低电平，并使 T_1 管转向导通， V_i 恢复对 R_L 和 $C_8 \sim C_{12}$ 的供电和充电，于是 V_o 又开始回升。这个过程周而复始，反复进行，使输出电压稳定在设计值5V。

在电路正常工作期间，为了提高效率，开关管 T_1 的栅极驱动电压的上升必须很快。为此，图1-29中采用了由 R_6 和 C_3 组成的“自举”电路。当 T_1 截止时， D_8 导通，电源 V_i 将通过 D_8 、 R_4 、 D_8 对 C_3 充电到 V_i 在 R_4 、 R_6 连接处的电压（约19V）；当 T_1 导通时， T_2 截止， C_3 上的电压只能通过 R_6 和 T_1 的栅、源极放电，但 T_1 的栅源间实际上是开路的，因此， C_3 上的电压将大多加在 T_1 的栅源极上，使 T_1 的栅极获得了足够高的驱动电压，以保证 T_1 栅压的快速增加。

本电路采用功率MOS作开关管时，由于该器件具有工作频率高、开关速度快、驱动电流小等特点，因此本电路的工作频率

(200kHz)比一般(20~25kHz)的约高一个数量级。这样做至少有三个好处：一)所需的电感小，其相应的直流(铜)损耗也小；二)所需的滤波电容小；三)电路对负载突变的响应快。

改变基准电压的大小并适当地选择电感、电容，本电路的输出电压可以在很宽的范围内调整。

2. 高保真音频放大

如前所述，功率MOS的沟道 L 是由两次扩散的结深来控制的(参见图1-4、图1-5、图1-6)。故 L 很小，沟道电场 V_{DS}/L 很高，沟道中载流子的速度很容易出现饱和，即

$$v = v_s = \text{常数} \quad (1-8)$$

从晶体管原理知道^[26]，在栅压 V_G 作用下，沟道中感应电荷为

$$Q_I = -C_{ox}(V_G - V_{th} - V) \quad (1-9)$$

沟道电流为

$$I_D = ZQ_I v_s \quad (1-10)$$

将式(1-8)和(1-9)代入式(1-10)得

$$I_D = -ZC_{ox}v_s(V_G - V_{th} - V)$$

所以功率MOS的跨导

$$g_m \equiv \frac{\partial I_D}{\partial V_G} = -ZC_{ox}v_s = \text{常数} \quad (1-11)$$

即该器件的转移特性具有很好的线性。图1-30给出了功率MOS与双极晶体管转移特性的比较。由图可见，除小电流区域外，功率MOS具有理想的线性转移特性。而双极晶体管具有严重的非线性，所以功率MOS是一种较理想的线性放大器件，用它做放大器失真小，保真度高。

图1-31是用功率MOS构成100W高保真音频功率放大器的一个具体例子^[26]。该电路包含三级放大。前两级由双极晶体管组成的差分放大器，其原理在模拟电路中已有分析^[27]，这里不再重复。输出级是由互补功率MOS构成的推挽源随器。为了增大

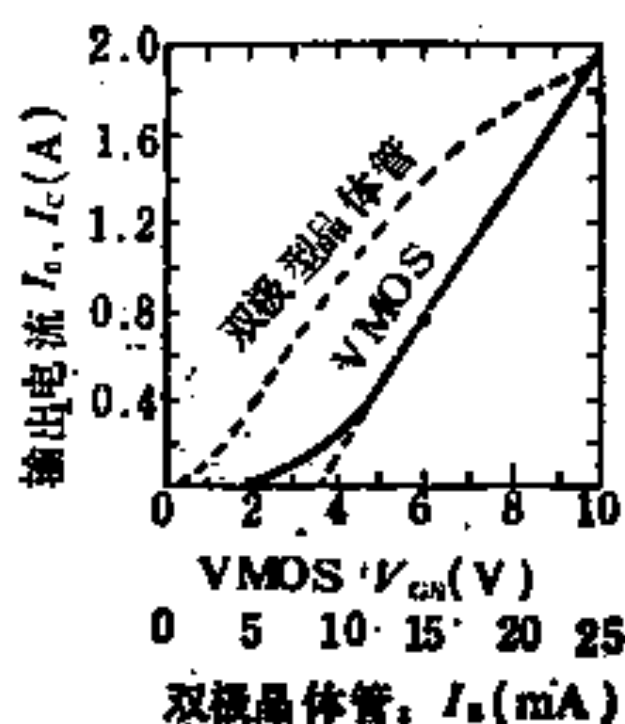


图 1-30 VMOS和双极晶体管次谐波失真系数与输出功率的关系。
的转移特性

电流容量，P沟管和N沟管都是用两个同型号的P沟功率MOS或N沟功率MOS并联而成。该放大器连续输出功率100W，频率在10Hz~100kHz范围内时，高次谐波失真系数在0.01%以下，比双极型电路提高了一个数量级。图1-32给出该音频功放电路以频率为参数，负载为8Ω时，高

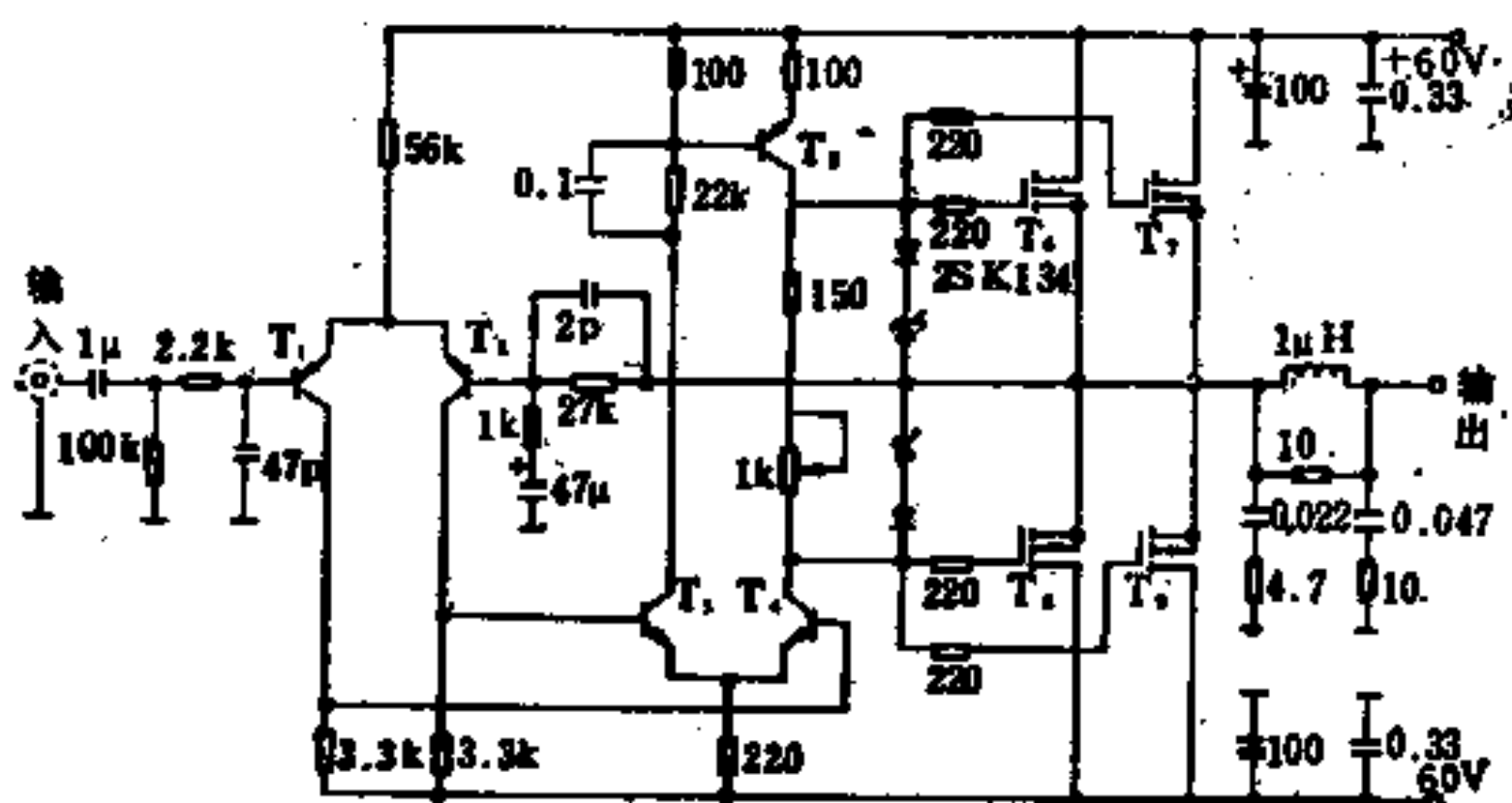


图 1-31 100W高保真音频功放电路 [25]

该电路能达到较好的技术指标，这与前面介绍过的功率MOS所具有的特点密切相关：

1) 由于功率MOS具有优于双极型器件的高频特性和频响特性，因此功率MOS源随器的带宽比双极型电路约宽10倍（见图1-33）。

2) 由于功率MOS栅极与器件的其它部份隔了一层SiO₂绝缘层，而且栅源、栅漏电容C_{gs}、C_{gd}都很小，因此其输入阻抗非常

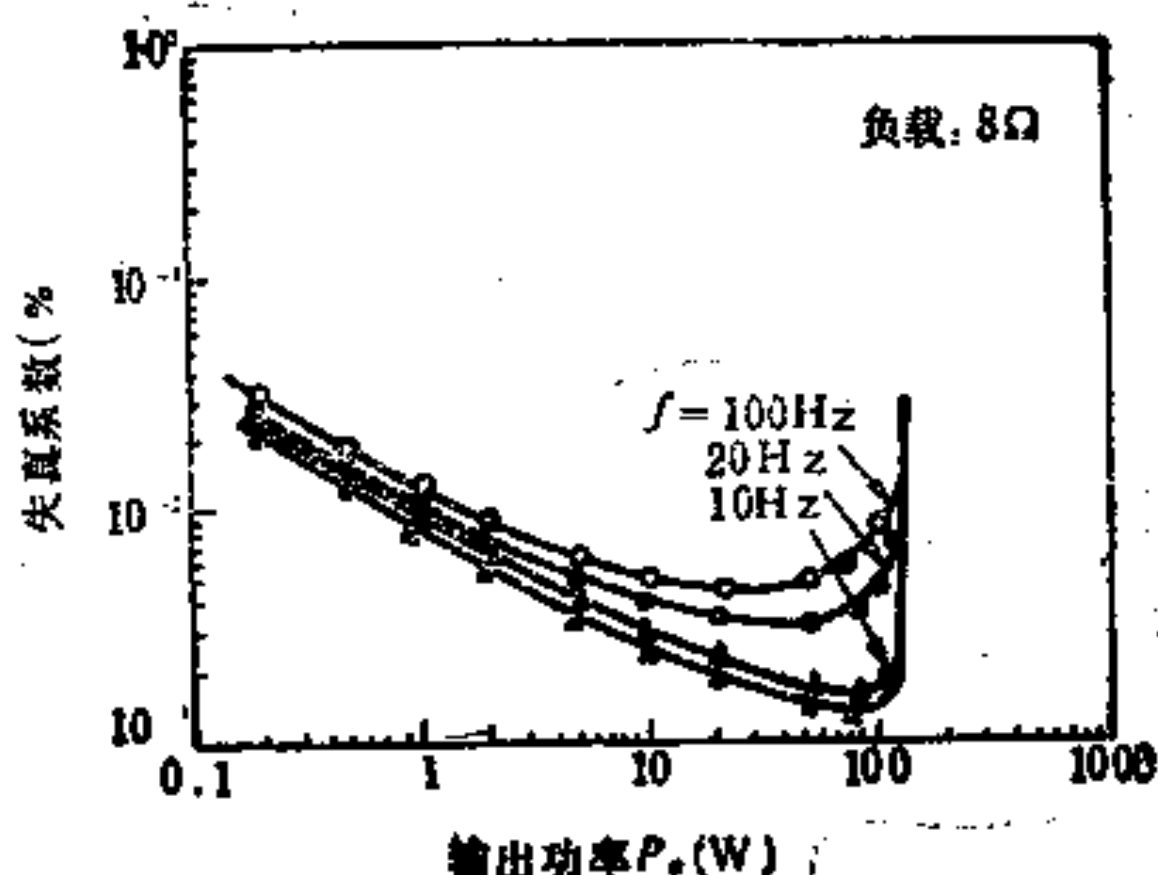


图 1-32 音频功放电路失真系数与输出功率的关系

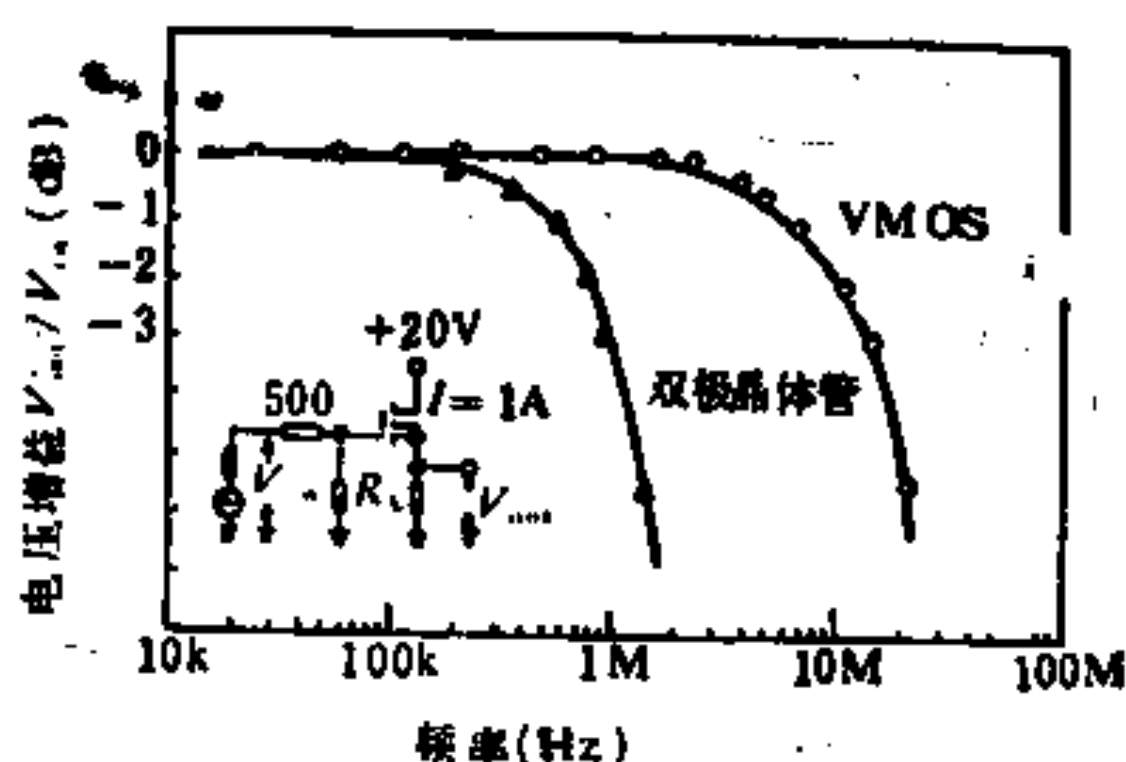


图 1-33 电压增益的频率特性

之高，输入电流非常之小，所需的驱动功率非常之低，功率增益非常之大。图1-34给出了功率MOS音频功放与双极型晶体管音频功放，当输出功率为100W时所需驱动功率的比较。由图可见，当频率为200Hz时，功率MOS电路的功率增益约为双极型的10000倍，当频率为20kHz时，也比双极型大100倍。

3) 由于功率MOS是多子器件，无双极型器件的少子存贮效应，因此功率MOS推挽输出电路可以工作在高频，也不会引起电路功耗的明显增加。双极型器件由于有少子存贮效应，在推挽工

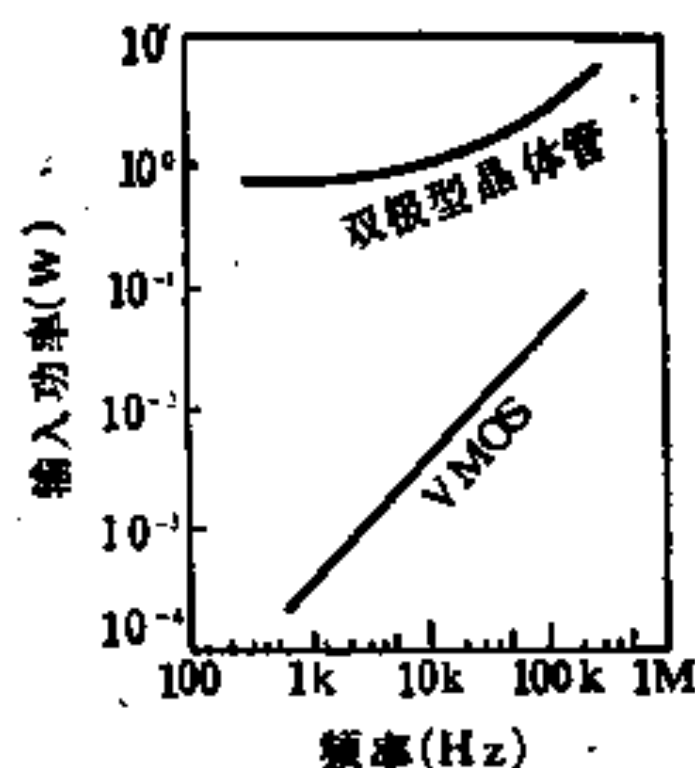


图 1-34 输入功率与频率的关系

作时，会使电流波形扩大（见图1-35(a)中的斜线部份）。为了减少失真，常用负反馈，使上下两部份电流波形的合成与输入信号相近，相对一侧的晶体管流过的电流补偿了这一部份电流。因此这些电流对输出电流不起作用，但在两输出器件中要消耗功率，所以会引起电路功耗的增加。当电路工作在高频($f > 20\text{kHz}$)时，功耗的增加更为明显，它是造成双极型器

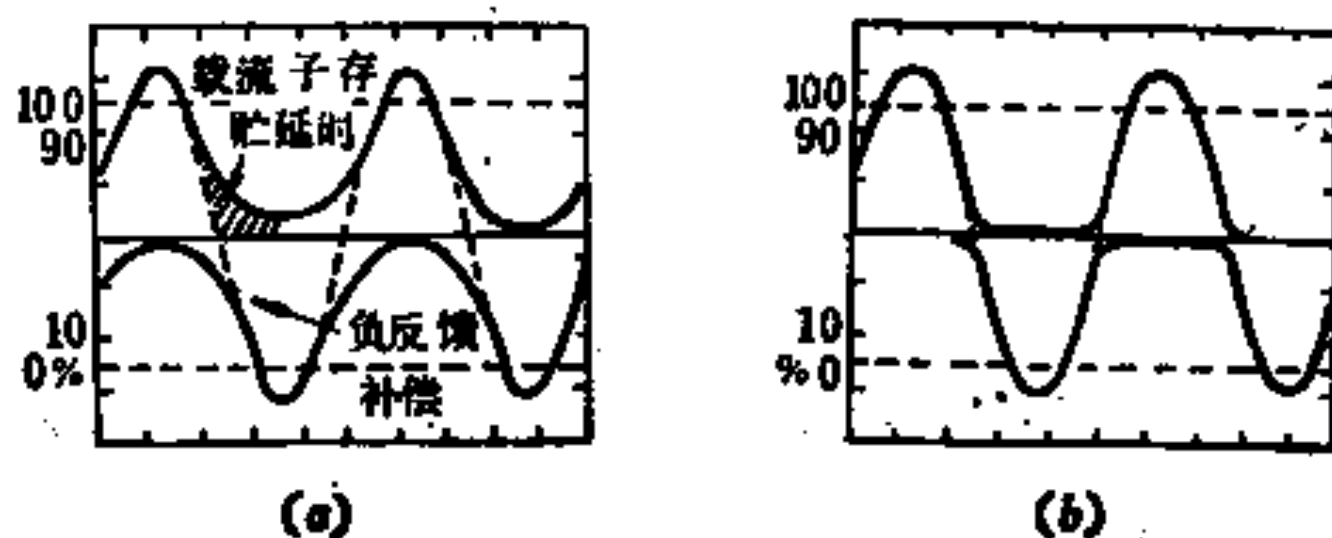


图 1-35 (射极、源极) 电流波形

(a) 双极型晶体管; (b) 功率MOS

件高频热击穿的原因。功率MOS因无少子存储效应，所以也就不存在这些问题（见图1-35(b)）。

3. 其它

最后，介绍功率MOS在照明、马达控制、D/A变换（逆变器）和汽车电子化方面的应用例子。

(1) 日光灯电子镇流器

我们知道，现在流行的电感镇流器，由于其中的导线发热和铁芯涡流损失，它所消耗的功率达到所配用日光灯功率的20%（40W日光灯）至66%（6W日光灯）。此外还存在无功损耗，电感镇流器与日光灯串联使用时总的功率因数仅0.5~0.6左右，

所以研制高效电子镇流器是日光灯照明节能的一项重要措施。

图1-36是功率 MOS 日光灯电子镇流器电路图。采用该电子镇流器不仅节能效果显著（可节能25%到35%），而且还具有无频闪、无蜂音，启动电压低（110~130 V），灯管寿命长（可延

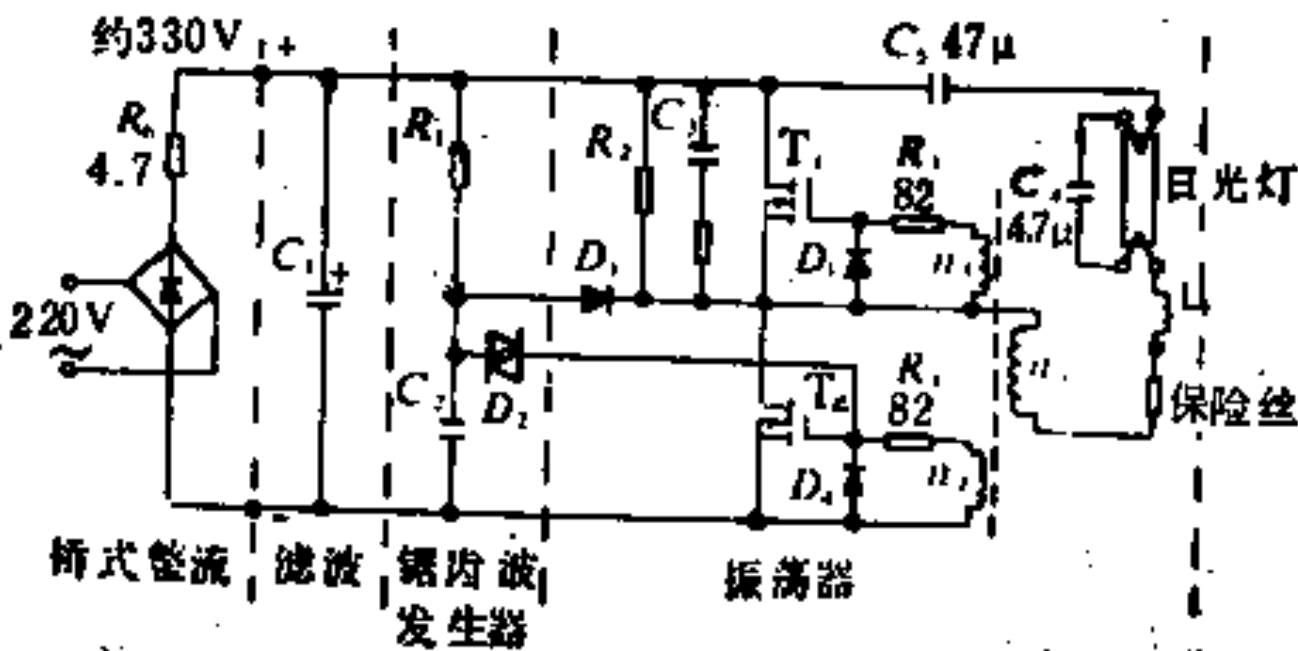


图 1-36 功率MOS日光灯节能电子镇流器

长灯管寿命3倍），体积小（缩小50%以上），重量轻（减轻80%以上）等优点。

图中 R_1 、 C_2 和双向二极管 D_2 构成启动电路用的锯齿波发生器， D_2 的开通电压 32 ± 4 V，当电源接通后，经桥式整流、滤波后的直流电压（约300V）经电阻 R_1 对 C_2 充电，当 C_2 上的电压充到 D_2 的开通电压时，窄电流脉冲加至 T_2 管的栅极，此针状电流经 T_2 ，变压器 Tr 的 n_1 线圈、保险丝、 L_1 日光灯灯丝、电容 C_4 和 C_5 构成的回路。由于变压器线圈 n_1 ， n_2 和 n_3 之间的耦合使电路起振，振荡频率主要由 L_1 、 C_4 的串联谐振频率决定。电路起振后， C_2 可经 D_1 、 T_2 放电，故不可能使 D_2 再获得触发电压，因此锯齿波发生器停止工作，同时由 L_1 、 C_4 串联谐振可产生峰-峰值为2000V的启动电压使日光灯启动。启动后，电容 C_4 上的电压（即日光灯管压降）约有320V的峰-峰值，113V的均方值，频率为40kHz。启动前，电路工作频率约为70kHz。图1-36中的 C_5 是隔直流电容，以避免灯管压降及灯管电流中有直流分量。电感 L_1 决定着灯管电流，其值为1.1~1.6mH。当 $L_1 = 1.1$ mH，灯管功

率50W时,灯管电流约为0.45A, T_1 、 T_2 的耐压应在450V以上。

(2) 马达驱动电路

功率 MOS 用于马达驱动是它的另一个重要应用领域,下面举两个具体例子。

第一个是利用功率 MOS 来驱动三相小马达的例子,电路如图1-37所示^[28]。图中在功率 MOS 的栅极上加控制信号,就可产

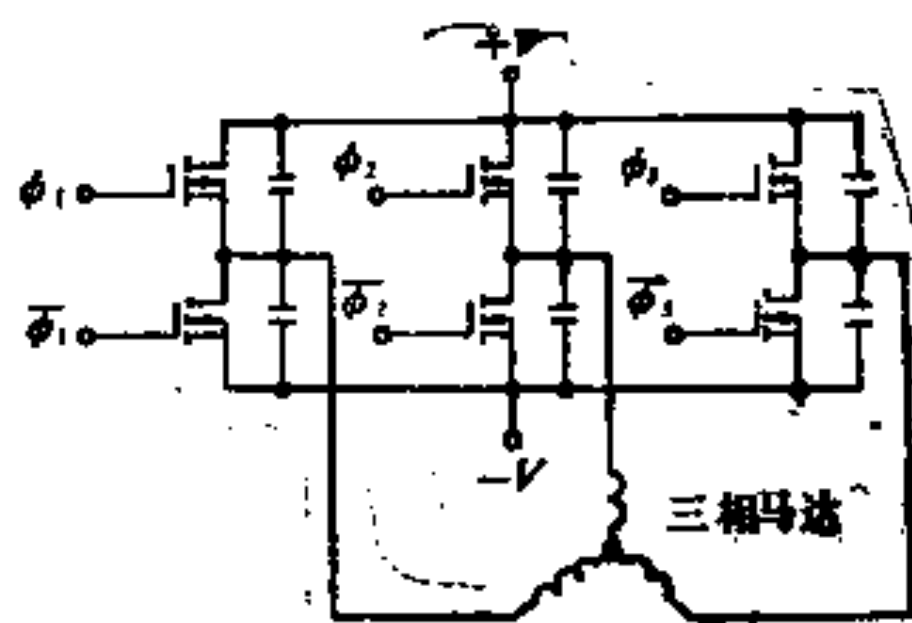


图 1-37 三相马达驱动电路^[28]

生旋转磁场,感应马达旋转。改变控制信号的频率就可控制马达的旋转速度,改变控制信号电压的顺序就可改变马达的旋转方向,控制信号可以直接取自微机。

第二个是H型桥式马达驱动电路,电路如图1-38所示^[29]。它的控制信号是一对互补的脉宽调制信号,也可直接从微机或数字控制电路中取得。脉宽调制输入信号经光电隔离器加到驱动电路中,光电隔离器的作用是使产生脉宽调制控制信号的逻辑电路部份与H型桥式马达驱动电路用的75V电源隔离开来,光电隔离器 U_1 提供短路指示。当发生短路时, R_s 上的压降增加并激励隔离器发出短路指示信号给控制逻辑电路。本电路具有快速、始终如一的导通特性和截止特性,而且不需模拟反馈,可直接从数字控制信号获得精确的模拟输出。

(3) 逆变器

逆变器是功率MOS又一个重要应用领域。由于功率MOS是压控器件,所需的驱动电流与驱动功率非常之小,因此用它做逆

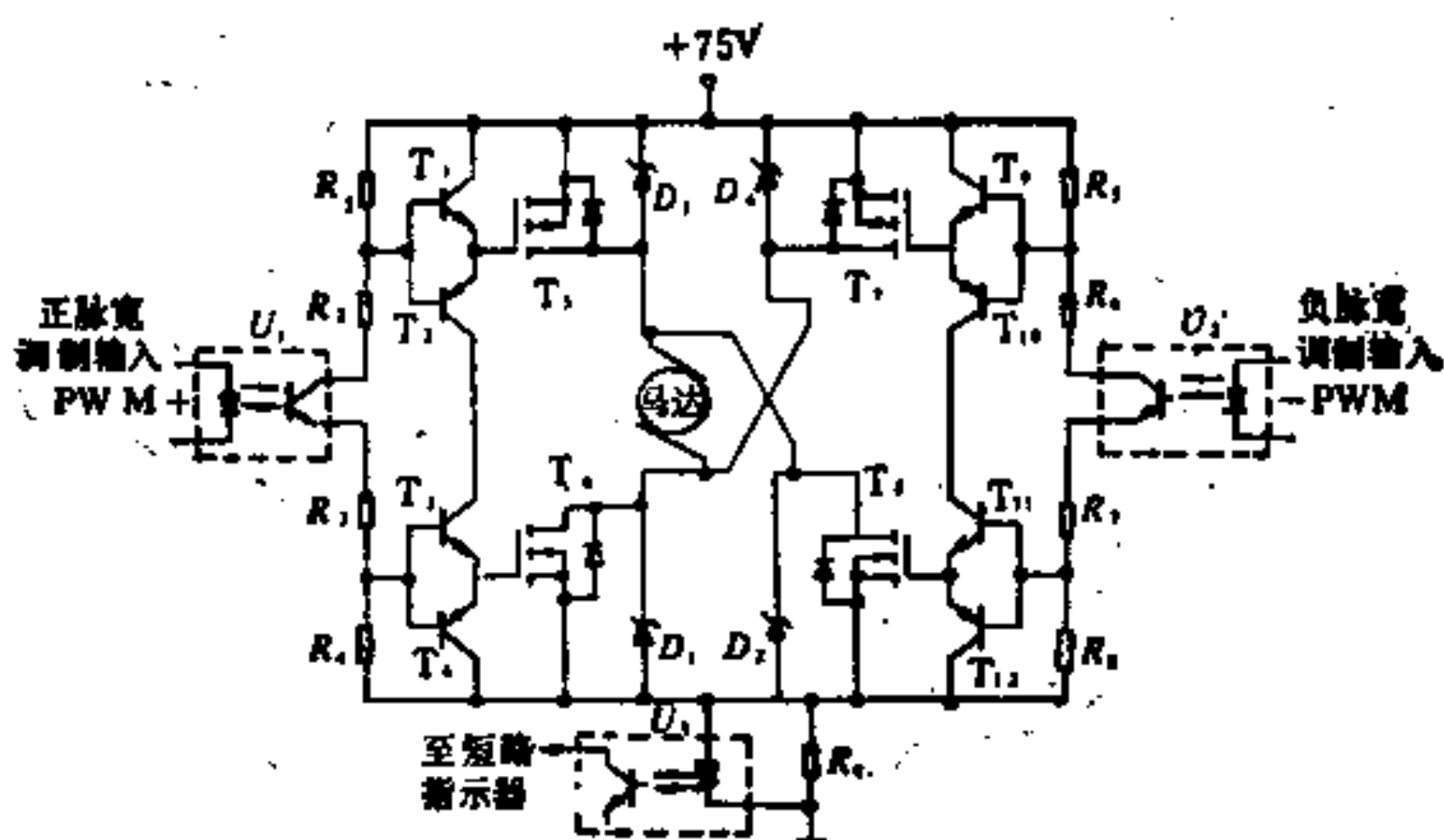
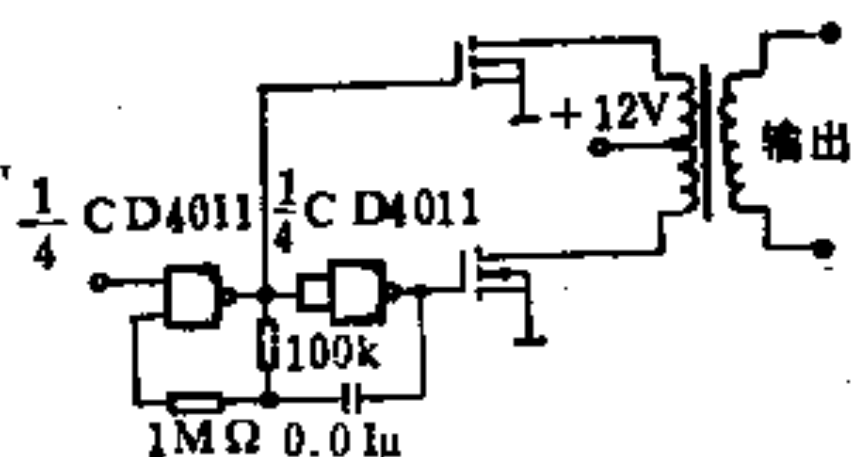
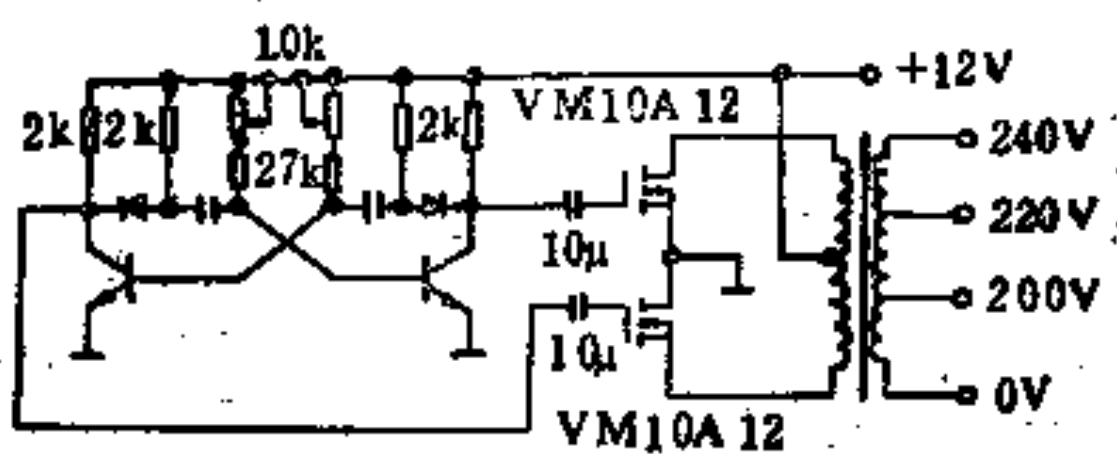


图 1-38 H型桥式马达驱动电路 [20]



(a)



(b)

图 1-39 功率MOS逆变器 [25]

变器时，可直接与模拟或数字功能块相接，而不需附加接口电路。图1-39(a)和(b)分别是用数字集成电路控制和用晶体管自激多谐振荡器输入的功率MOS逆变器电路 [25]。这些逆变器由于采用了功率MOS，都具有驱动电路简单，开关速度快的特点。其转换效率分别在65%和75%以上。

为了进一步提高逆变器的转换效率，可以将功率 MOS 与双极型器件联合使用。电路如图1-40所示^[25]。其中 T_1 、 T_2 为逆变

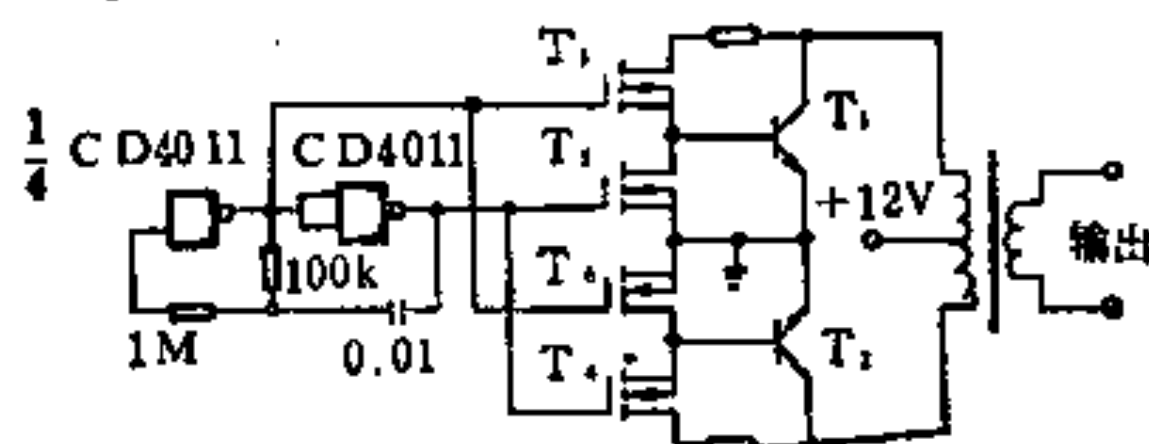


图 1-40 高效率功率MOS/双极型器件逆变器^[25]

器的开关管，功率MOST T_3 、 T_4 为 T_1 、 T_2 的驱动管，并且起着连接 T_1 、 T_2 与CMOS数字集成功能块的作用（因 T_1 、 T_2 是双极型器件，其所需的驱动电流较大，不能直接将它们与CMOS数字集成块相连）。 T_3 、 T_4 的作用是当 T_1 或 T_2 截止时，其基射电容能很快放电，以避免电路在高频工作时，出现两管都同时导通的状况。该电路的效率一般在90%以上。由于其工作频率很高，电路用线圈匝数少的廉价变压器就成了。

（4）汽车自动电子点火器

传统的汽车发动机点火器是用机械触点——俗称“白金”构成。这种机械触点点火器在使用中往往需要经常调整“白金”间隙并更换“白金”，故发动机不易处在最佳工作状态。采用图1-41所示的功率MOS电子点火器^[30]，电路简单，触点P通过电流也很小，能收到省油、、减少维修次数之功效。

图1-41中的触点P用久了也会被污物或油积所弄污而影响工作，现在又发展了一种不用触点的功率MOS光耦合电子点火器，电路如图1-42所示^[30]。图中带缝的遮光盘可控制从发光二极管D照到光敏晶体管T上的光线。

下面各章，将对功率MOS和HVIC的关键工艺、关键设计技术以及器件的原理与特性等进行讨论。为了便于读者读，阅本书各章保持了一定的相对独立性。

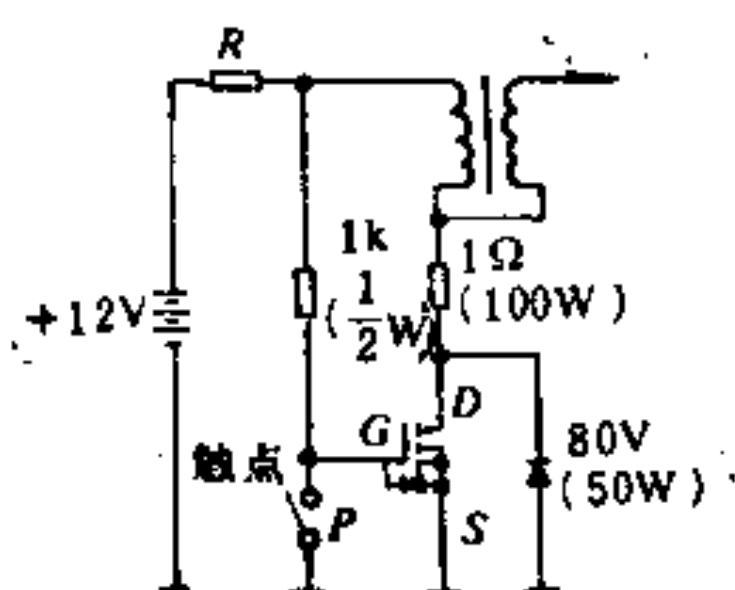


图 1-41 功率MOS电子点火器^[80]

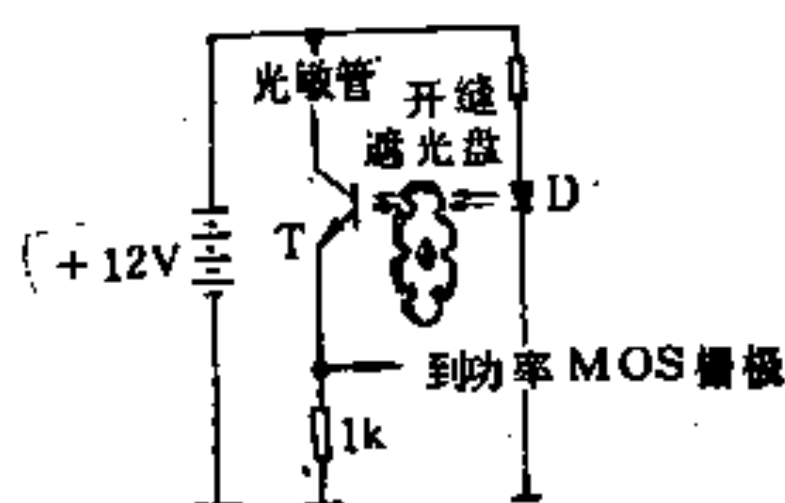


图 1-42 光耦合点火电路^[80]

参 考 文 献

- (1) R.N.Hall, Power Rectifiers and Transistors, *Proc.IEE*, 40, 1512(1952).
- (2) J.L.Moll, M.Tanenbaum, J.M.Goldey, et al., pnpn Transistor Switches, *Proc. IEE*, 44, 1174(1956).
- (3) 陈星弼, 唐茂成.《晶体管原理与设计》, 第九章, § 9-8. 成都电讯工程学院出版社, 1987.
- (4) Y.Tarui, Y.Hayashi, T.Sekigawa, Diffusion Selfaligned Enhance-Depletion MOS-IC, *Proc.2nd conf. Solid State Devices, Suppl.J.Jpn.Soc.Appl.phys.*, 40, 193(1971).
- (5) M.J.Declercq, J.D.Plummer, Avalanche Breakdown in high Voltage D-MOS devices, *IEEE Trans.Electron Devices*, Vol. ED-23, pp1~6(1976).
- (6) V.A.K.Temple, R.P.Love, P.V.Gray, A 600 Volt MOSFET Designed for Low On-Resistance, *IEEE Trans.Electron devices*, Vol.ED-27, pp343~349(1980.)
- (7) H.W.Collins, B.pelly, HEXFET, A New Power Technology, Cutts On-Resistance, Boosts Ratings, *Electron.Des.*, 17(12), 36(1979).
- (8) B.W.Wessels, B.I.Baliga, Vertical Channel Field-Controlled Thyristors with High Gain and Fast Switching Speeds, *IEEE Trans.Electron Devices*, Vol.ED-25, pp1261(1978).
- (9) G.R.David et.al., A New VMOS/bipolar Darlington transistor for Power applications, in *IEDM Tech.Dig.*, pp83~88(1980).
- (10) T.Tanaka et al., A New MOS-gate bipolar transistor with fast switching speed and high current capability, in *Extended abstracts 17th conf.Solid State Devices and Materials(Tokyo)*, pp389~392

- (1985).
- (11) B. J. Baliga, High gain Power switching using field controlled thyristors, *Solid-State Electron* 25, 345 (1982).
 - (12) B. J. Baliga, M. S. Adler, P. V. Gray, et al., The insulated gate rectifier (IGR), A new Power Switching Devices, in *IEDM Tech. Dig.*, pp. 264-267 (1982).
 - (13) J. K. O. Sin, C. A. T. Salama, L. Z. Hou, The SINFET - A Schottky Injection MOS-Gated Power Transistor, *IEEE Trans. Electron. Devices*, Vol. ED-33, pp. 1110 (1986).
 - (14) T. P. Chow, B. J. Baliga, The Effect of Channel Length and Gate Oxide Thickness on Performance of Insulated Gate Transistors *IEEE Trans. Electron. Devices*, Vol. ED-32, pp. 2554 (1985).
 - (15) J. D. Meindl, Theoretical, Practical and Analogical Limits in VLSI, in *IEDM Tech. Dig.*, pp. 8~13 (1983).
 - (16) B. J. Baliga, Evolution of MOS-Bipolar Power Semiconductor Technology, *Proc. of IEEE*, Vol. 76, No. 4, pp. 409 (1988).
 - (17) M. S. Adler et al, The Evolution of Power Devices Technology, *IEEE Trans. Electron Devices*, Vol. ED-29, pp. 947 (1982).
 - (18) B. J. Baliga, Revolutionary Innovation in Power Discrete Devices, in *Int. Electron Devices Meeting abstract* 5.1, pp. 102~105 (1986).
 - (19) B. Murari, Power Integrated Circuits, Problems, Tradeoffs, and Solutions, *J. Solid-State Circuits*, Vol. SC-13, pp. 307 (1987).
 - (20) J. A. Appels, H. M. J. Vaes, High Voltage Thin Layer Devices (Resurf Devices), in *International Electron Devices Meeting*, Paper 10.1, pp. 238~241 (1979).
 - (21) E. J. Wildi, T. P. Chow, M. S. Adler, et al., New high Voltage IC technology in *IEDM Tech. Dig.*, Abstract 10.2, pp. 262~265 (1984).
 - (22) M. A. Fischetti, Power and Logic are Mixed on The Same Chip, *IEEE Spectrum*, Vol. 22(1), pp. 60 (1985).
 - (23) T. Yamaguchi and Morimoto, Process and Devices design of a 1000V MOS-IC, *IEEE Trans. Electron Devices*, Vol. ED-29, pp. 1171 (1982).
 - (24) B. Jayant Baliga, *Silicon Power Field Controlled Devices and Integrated Circuits*, Academic Press, (1981).
 - (25) 李中江. 功率场效应晶体管, 《电力电子技术》, 8期, 1986, 1期, 1987.
 - (26) 爱德华.S. 杨. 《半导体器件基础》, 第八章, § 8-6, 人民教育出版社, 1983年.
 - (27) 卢豫曾. 《半导体模拟集成电路》, 国防工业出版社, 1980年.
 - (28) 《电子学333回路集》, 电子展望杂志社, 1980年.
 - (29) 《Motorola公司1985年度VMOS电子制作获奖作品集》.
 - (30) Robert T. Stone, Howard M. Berlin, *Design of VMOS Circuits, With Experiments*, Howard W. Sams & co., Inc 1980.

第二章 特殊制造技术

功率器件及其 IC 的制造工艺，虽然在许多方面与一般的半导体工艺相同，但在某些方面却具有其特殊的甚至是很苛刻的要求。例如，功率器件及其 IC 的芯片面积都比较大，这就对硅材料的质量和均匀性提出了很严格的要求，通常的直拉单晶和区熔单晶将难以满足这些要求，而且大面积的芯片在装架时也将带来很多额外的问题（譬如要注意消除应力和消除热疲劳等）。又如，功率器件的性能对载流子寿命的长短很敏感（直接关系到器件的正向压降和开关速度），因此对载流子寿命的控制在工艺中也是很重要的一个问题。

本章我们将概略地介绍与功率器件及其 IC 有关的一些特殊工艺技术。

§ 2-1 中子嬗变掺杂技术

现在半导体集成电路几乎都采用直拉硅单晶作为衬底材料，因为这种材料中含有极微量的氧，这些分散的氧可使材料强度加大，有防止硅片发生翘曲和变形的良好作用。

对功率半导体器件，每个管芯的面积都很大，甚至一个管芯就占据一个硅片，因此衬底材料的局部不均匀性将会直接影响到器件的合格率。所以用于功率器件的衬底材料，应当是质量和电阻率高度均匀的硅单晶。直拉硅单晶材料满足不了这种要求。这是由于直拉硅单晶是从盛装在坩埚里的熔硅中拉制出来的，坩埚壁的沾污将使单晶中含有氧、碳和若干重金属杂质，这不仅使单晶的电阻率最高只能做到 $100 \sim 200 \Omega \cdot \text{cm}$ ，而且其中这些杂质的

沉淀还将导致器件发生低击穿或软击穿；此外，由于直拉单晶生长过程的影响（固-液界面一般为向上凸的弧形，导致有径向应力），使单晶的电阻率和缺陷浓度沿径向有所变化（直拉高阻硅锭的径向电阻率变化通常超过 $\pm 25\%$ ），这也必将影响到器件的击穿电压。

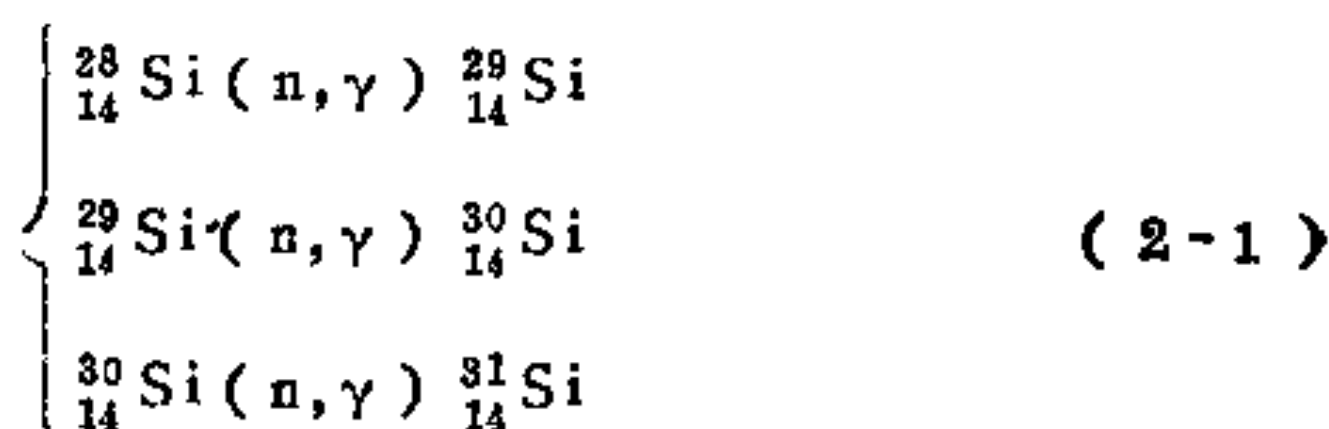
采用悬浮区熔法所制备的硅单晶，电阻率可高达 $12000\Omega\cdot\text{cm}$ （P型）和 $4000\Omega\cdot\text{cm}$ （N型），而且其中氧、碳的含量也显著降低，这是由于消除了坩埚沾污的影响之故。但是，悬浮区熔单晶中存在有所谓径向微观电阻率的不均匀性问题，这种微观电阻率的不均匀性呈现为生长条纹和漩涡缺陷，对器件的击穿电压有着重大的影响。

为了获得有害杂质含量极少、而又消除微观电阻率不均匀性的硅单晶，70年代中期发展了可用于实际生产的中子嬗变掺杂技术⁽¹⁻⁵⁾。

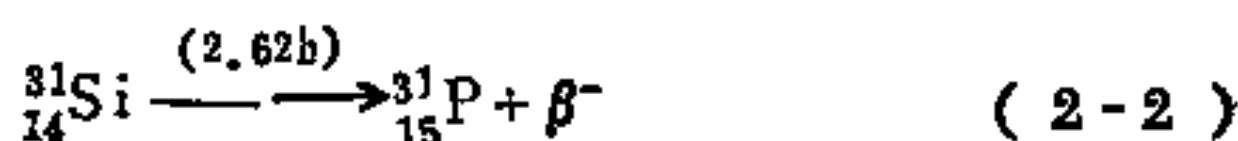
1. 中子嬗变掺杂的原理

中子嬗变掺杂（简称为NTD，Neutron Transmutation Doping）的基本依据是：硅中的同位素 $^{30}_{14}\text{Si}$ 在吸收热中子（即低能中子）后将转变为磷，从而达到在硅中掺入施主的目的。

我们知道，硅晶体中含有三种稳定的同位素，即 $^{28}_{14}\text{Si}$ 、 $^{29}_{14}\text{Si}$ 和 $^{30}_{14}\text{Si}$ ，其天然丰度分别为92.27%，4.68%和3.05%，它们在晶体中是均匀分布的。这些同位素对热中子的吸收能力分别用原子对热中子的俘获截面 σ 来表示，相应为0.08b，0.28b和0.13b（1b〔靶恩〕= 10^{-24}cm^2 ）。当这些同位素原子吸收一个中子后会引起核反应 (n, γ) （这里 n 代表中子， γ 代表光子）：

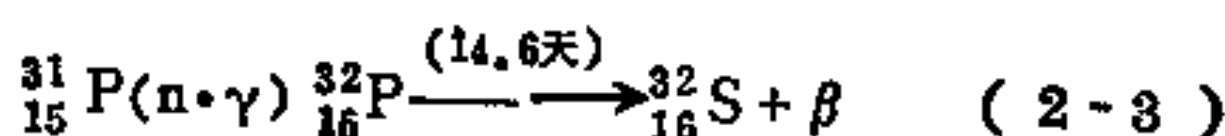


其中前两个核反应分别产生了稳定的同位素 ${}_{14}^{29}\text{Si}$ 和 ${}_{14}^{30}\text{Si}$ ，而第三个核反应产生了放射性同位素 ${}_{14}^{31}\text{Si}$ ，其半衰期是2.62h。然后 ${}_{14}^{31}\text{Si}$ 又通过 β 衰变而产生出磷原子：



可见，通过热中子辐射，可以把硅晶体中的一些同位素 ${}_{14}^{30}\text{Si}$ 原子转变为磷原子，从而能实现直接在硅中掺杂。

当然，在热中子辐照过程中，产生出的磷原子也有可能再吸收热中子而变成放射性磷 ${}_{15}^{32}\text{P}$ ，然后再通过 β 衰变而转变为施主硫：



这一过程有可能要影响到对硅中嬗变掺杂浓度的控制。

此外，若辐照到硅晶体中的中子不全是热中子，也有快中子（即高能量中子），则当硅吸收快中子后将转变为铝，或转变为镁。这种过程同样也要影响到对硅中嬗变掺杂浓度的控制。不过已有研究工作指出，这样生成的硫、铝或镁的量很少，对硅的整个NTD过程的影响不大，可以忽略。因此，通过NTD所得到的硅中磷的浓度，基本上都由同位素 ${}_{14}^{30}\text{Si}$ 原子吸收热中子所发生的核反应来决定。于是可有关系

$$N = \left[{}_{14}^{30}\text{Si} \right] \sigma \phi t \quad (2-4)$$

式中 $\left[{}^{30}_{14}\text{Si} \right]$ 是同位素的天然丰度 (为3.05%, 相当于 $1.52 \times 10^{21} \text{cm}^{-3}$), σ 是 ${}^{30}_{14}\text{Si}$ 原子对热中子的俘获截面 (为 $0.13 \times 10^{-24} \text{cm}^2$), ϕ 是热中子在硅晶体中的通量密度 (单位为 $\text{cm}^{-1} \cdot \text{s}^{-1}$), t 是辐照时间。代入 $\left[{}^{30}_{14}\text{Si} \right]$ 和 σ 的具体数值, 可把上式改写为

$$N = 2.0 \times 10^{-4} \phi t [\text{cm}^{-3}] \quad (2-5)$$

例如, 若把纯净的硅晶体放入热中子通量密度 $\phi = 3 \times 10^{13}$ 的反应堆中, 辐照5.4小时后, 即可得到磷浓度约为 $1 \times 10^{14} \text{cm}^{-3}$ 的 $50 \Omega \cdot \text{cm}$ 的N型硅。

NTD是通过晶体内部原子的转化来实现掺杂的, 毋需从外界引入掺杂剂, 则减小了沾污的可能性, 而且避免了杂质分凝的影响, 这既可消除由于杂质分布不均匀而产生的生长条纹, 也可消除电阻率的微区结构等不均匀性。同时NTD的浓度可通过中子通量和辐照时间来精确控制, 重复性好。

2. 中子嬗变掺杂的均匀性

控制好掺杂浓度分布的均匀性, 这对功率器件用的衬底材料而言是头等重要的问题。由式(2-5)可见, 对原来杂质分布均匀的起始材料, 影响NTD均匀性的主要因素是硅中 ϕ 的均匀性, 而这关系着硅对热中子的吸收作用。若反应堆中热中子的通量密度 (设为 ϕ_0) 是均匀的, 则硅中热中子通量密度的分布可用以下形式来表示:

$$\phi(x) = \phi_0 \exp\left(-\frac{x}{b}\right) \quad (2-6)$$

式中 b 是中子在硅中的衰减长度, 计算给出其值约为19cm。对直径为 d 的硅锭, 设热中子从硅锭的一侧辐照, 则 $\phi(x)$ 将从 ϕ_0 衰减到 $\phi_0 \exp(-d/b)$; 这种 $\phi(x)$ 的变化将引起NTD材料的电阻率也相应地有 $\pm \sinh(d/2b)$ 的变化。硅锭的直径越大, 相应电阻率的变化

化也就越大,如图 2-1 中的图线(1)所示。可以见到,当硅锭直径超过40mm时,NTD材料的电阻率将有显著的不均匀性。为解决

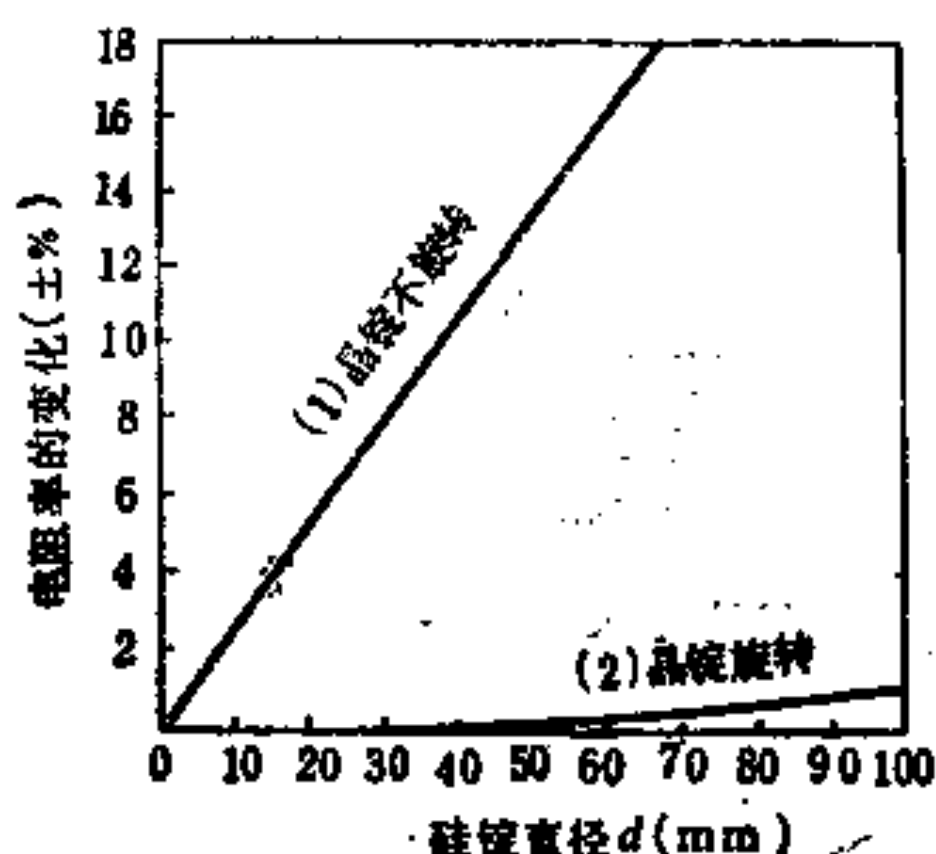


图 2-1 NTD电阻率的变化与硅锭直径的关系^[2]

决大直径单晶由于吸收中子而引起的电阻率不均匀性,在中子辐照期间需将硅锭缓慢进行旋转,这时在硅锭的表面处与在轴心处的热中子通量密度之比可表示为

$$\frac{\phi(d)}{\phi(0)} = 1 + \frac{1}{16} \left(\frac{d}{b} \right)^2 \quad (2-7)$$

则相应电阻率的变化将为,
 $\pm \{ 1 / [32(b/d)^2 - 1] \}$, 这

种电阻率的变化与直径的关系也示出在图 2-1 中(图线(2))。可见,旋转晶锭能使 NTD 的均匀性明显改善;对于直径小于 100mm 的硅锭,可使电阻率的不均匀性减小到 2% 以下,这是直拉单晶和悬浮区熔单晶远不能达到的高均匀性。

原始材料中杂质浓度分布的不均匀性也将要影响到 NTD 的不均匀性。同时原始材料的电阻率(即杂质浓度),或者中子辐照前后电阻率的相对变化,显然对 NTD 材料的电阻率均匀性也有影响。这就是说,NTD 的均匀性不仅与原始料材的均匀性有关,而且也与 NTD 作用的大小有关。如果原始材料中的杂质浓度是 N_s , 经过 NTD 之后的杂质浓度是 N_D , 则原始材料的均匀性可用系数 $a_s = N_{s \min} / N_{s \max}$ 来表示, NTD 作用的大小可用所谓掺杂系数 $f_D = N_{D \max} / N_{s \max}$ 来表示, 所得 NTD 材料的均匀性可用系数 $a_D = N_{D \min} / N_{D \max}$ 来表示, 于是 a_D 是 a_s 和 f_D 的函数, 这种关系经计算后已给出可供查用的表格^[4]。为使 NTD 的均匀性明显优于一般的掺杂过程, 则掺杂系数 f_D 至少应取为 5~7, 据此可合

理地选取原始材料。

NTD前后不均匀性的关系也可以表示为电阻率不均匀性的关系。若原始材料电阻率的不均匀性为 $\pm\alpha\%$ ，则NTD之后电阻率的不均匀性可给出为

$$\pm\alpha(\rho_D/\rho_S)\% \quad (\text{对N型原始材料})$$

$$\pm\alpha(\mu_n/\mu_p)(\rho_D/\rho_S)\% \quad (\text{对P型原始材料})$$

式中 ρ_S 和 ρ_D 分别为NTD前后的电阻率， μ_n 和 μ_p 分别为电子和空穴的迁移率。这种NTD前后电阻率不均匀性之间的关系示出在图2-2中。图中每条直线端头处的数字代表 (ρ_S/ρ_D) 比值，阴影区代表原始材料电阻率不均匀性所处的典型范围。由该图可以较

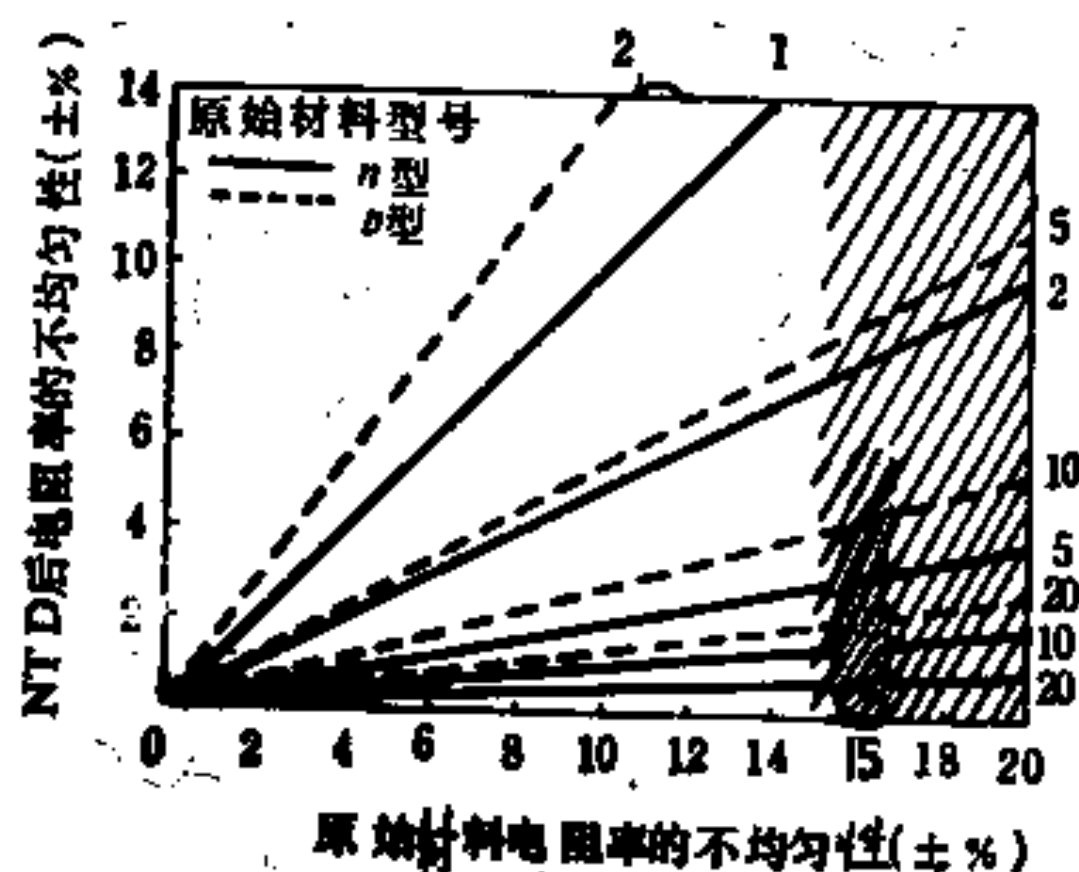


图2-2 原始材料电阻率不均匀性对NTD后电阻率不均匀性的影响〔2〕

方便地确定所要求的原始材料的电阻率。例如，假若原始材料电阻率的不均匀性为 $\pm 15\%$ ，要求经NTD后材料电阻率的不均匀性小于 $\pm 3\%$ ，则由该图得知：对N型的原始材料， ρ_S 必须比 ρ_D 大5倍，而对P型的原始材料， ρ_S 必须比 ρ_D 大15倍。因为现在用悬浮区熔法可以制备出 $\rho_S > 5000\Omega\cdot\text{cm}$ 的P型硅单晶，所以用NTD

技术能够易于获得 $\rho_D < 3000 \Omega \cdot \text{cm}$ 均匀性非常好的N型硅单晶。

3. NTD工艺

首先可根据图 2-2 来选取高纯、高完整性的原始材料。在对杂质浓度及其不均匀性，或对电阻率及其不均匀性的要求明确之后，就容易从已有的高阻硅单晶中选出合适的原始材料。值得注意的是，原始材料中的氧、碳等有害杂质的含量要少，特别是其中不能明显含有中子俘获截面大的杂质。直拉硅单晶尽管完整性很高，但其中氧、碳等有害杂质的含量一般较高，电阻率也难以做到很高，所以不宜用作为NTD的原始材料。悬浮区熔硅单晶中的有害杂质含量很低，电阻率可以做到很高，因此那些微观电阻率不均匀性（生长条纹，漩涡缺陷）很小的单晶可用作为NTD的原始材料。

其次，可从已知反应堆的情况出发，根据式(2-2)计算出需要进行中子辐照的时间。样品在放入反应堆进行中子辐照前，必须彻底地清洗干净，以免样品表面沾污的杂质在受到中子辐照后产生放射性污染。用以提供热中子的反应堆有所谓“游泳池”（Swimming Pool）反应堆和重水或石墨反应堆。曾以为硅晶体在游泳池反应堆中辐照后会产生较大的晶格损伤，对少子寿命的影响较大，但近年来的研究表明并非如此，少子寿命与反应堆的型式没有明显的关系。样品在放入重水或石墨反应堆中辐照时，可以不加任何包装；但在放入游泳池反应堆中时需要铝筒包装，以防来自反应堆的沾污。

硅单晶样品在反应堆中经过适当时间的中子辐照后，不可立即从反应堆中取出。因为硅中所产生 $^{31}_{15}\text{P}$ 原子，还可进一步吸收热中子而发生如式(2-3)所示的二次核反应，而该二次核反应有一个较长的过程（放射性同位素 $^{32}_{16}\text{P}$ 的半衰期是14.6天），所以

经辐照以后的样品需“冷却”数天才能取出。当然，NTD硅单晶的电阻率越低，所需热中子的辐照量也越大，与此同时，产生的放射性同位素 $^{32}_{15}\text{P}$ 的量也越多，则“冷却”时间也应相应增长，若NTD硅单晶的电阻率是 $20\Omega\cdot\text{cm}$ ，则“冷却”时间约需7~8天；若电阻率降为 $10\Omega\cdot\text{cm}$ ，则“冷却”时间需增长到30余天。为确保安全，经过适当“冷却”的NTD样品，从反应堆中取出后还必须进行表面腐蚀与清洗以去除表面的放射性沾污，然后再进行残余放射性的测量，确认不存在残余放射性之后才能交付使用。

实际上，NTD单晶在用来作器件之前还必须进行退火热处理。因为在NTD过程中总伴随有严重的晶格损伤。即中子的辐照也将使有些硅原子发生位移。产生这种位移的原因主要有：(I)嬗变反应时所产生的 γ 辐射的反冲作用；(II)放射性同位素 $^{31}_{14}\text{Si}$ 在衰变时所发射的高能 β 射线的反冲作用；(III)反应堆中存在的快中子对硅原子的碰撞作用。前两种作用都是热中子辐照所引起的，它们所产生的晶格缺陷往往是一些小规模缺陷，如A中心（空位-氧对）E中心（空位-磷对）和复合空位等，这些缺陷虽将严重影响到载流子的浓度和迁移率，但在经过 400°C 左右的退火后它们即可大部分被消除掉。第三种作用往往是影响最大的，因为快中子使原子发生的位移效果比其它作用大上一千倍，而且将使热中子所引起的一些小规模缺陷复合而成为大规模的缺陷（多以直径不到 10nm 的络合物形式存在），这些大规模缺陷需要在较高的温度（ $>700^{\circ}\text{C}$ ）下退火才能消除掉。虽然采用高质量的反应堆可以减少快中子的含量，但总难以完全避免。由于辐照损伤，而使未经退火的NTD硅单晶电阻率可高达 $10^6\Omega\cdot\text{cm}$ 以上，但少子寿命却很低。因此，必须通过退火来消除辐照损伤，以恢复NTD所应有的电阻率和提高少子寿命。至于退火条件，已有工作指出，退火温度应在 $600^{\circ}\text{C}\sim 1250^{\circ}\text{C}$ 范围内为

佳。尽管在 600°C 退火一小时后，电阻率可基本上得到恢复，但少子寿命却仍然很低；需要在 750°C 以上进行退火，才能使少子寿命恢复到某个稳定值。所以，退火温度一般可取为 750°C 到 900°C 。例如，有一种退火条件是：在Ar气氛中，温度为 900°C 左右，退火3小时。应当指出，NTD晶体的少子寿命虽然经过退火以后可以得到提高，但无论如何不可能恢复到原始材料的少子寿命值。这很可能是由于NTD所引入的某些晶体损伤尚有残存，而且较高温度的退火过程有可能使一些沾污的重金属杂质扩散进入到了晶体中的缘故。正因为如此，所以在退火时要注意清洁度，退火前要对样品表面进行很好的腐蚀和清洗。

总而言之，采用NTD技术可以制备出电阻率非常均匀的高阻N型硅单晶，这对功率器件和功率集成电路的生产具有重要意义。不仅如此，现在NTD单晶也已广泛地用于高能粒子探测器、太阳电池、硅靶摄像管和某些大规模集成电路的研制中。预期将来NTD单晶材料必定越来越受到人们的重视。

§ 2-2 硅片直接键合技术

硅片直接键合 (Silicon Direct Bonding, 简称SDB) 技术，也就是把两块硅片不加任何粘接剂而直接结合成为一体的技术。简言之，就是把两块硅片的表面先进行镜面抛光和清洗等处理后，使其紧密接触并进行适当的热处理的一种简便技术^{[69][71]}。实践证明，这种键合技术是成功的，在一定程度上可取代外延技术而能满足器件对衬底的要求。

SDB的具体工艺是这样的：先把各个硅片的表面抛光成镜面，然后进行表面处理，使表面成为亲水性的；再把硅片面对面叠合起来，放在高于 1000°C 的清洁环境中进行数小时的热处理。硅片表面的处理可先用 H_2O_2 - H_2SO_4 混合液清洗，然后用稀HF溶液浸泡，接着把硅片放入稀 H_2SO_4 等溶液中使表面形成一层

亲水层。在把硅片叠合起来并进行热处理的时候，要求环境气氛很清洁。在热处理过程中可以不加压力。此外，似乎硅片之间表面平整度的差异影响不太大。实验表明，SDB 的质量与硅片表面的研磨和抛光技术以及与水和空气的净化技术有很大的关系。

对采用 SDB 技术制作的衬底片，进行键合强度的测量后给出了图 2-3 (b) 所示的与热处理温度的关系 (所用的测试样品类似压力传感器)。可见，当然处理温度超过 $200\sim 300^{\circ}\text{C}$ 时，键合

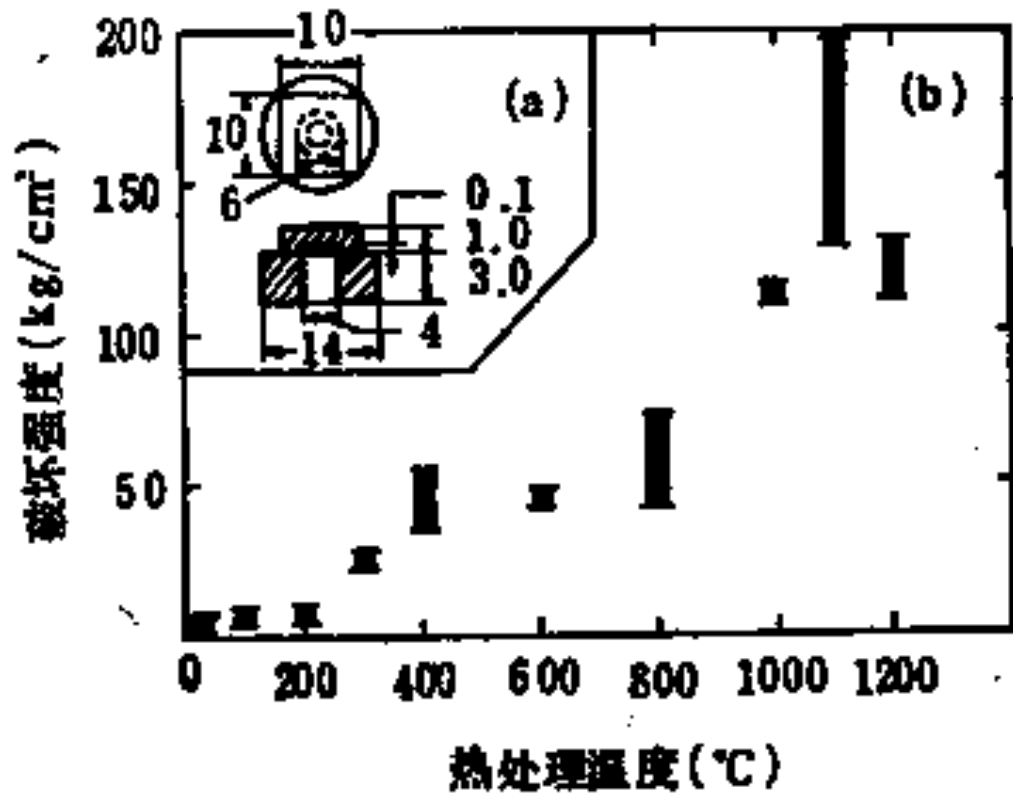


图 2-3 (a) 测量键合强度用的样品 (尺寸单位为 cm)，(b) 键合强度与热处理温度之间的关系 [6]

强度随温度而增加，在 1000°C 左右时几乎保持为常数。

为了判定键合界面的电特性，事先把两片高掺杂的 P 型硅片键合起来，然后做上 Al 电极来测量电流-电压特性，发现这是一条直线，因此得知键合界面是良好的欧姆接触；对此样品通以一定的电流，再用探针测量键合片子侧面各点的电位，得到如图 2-4 所示的电位分布，由此结果可见，键合界面并没有产生额外的电阻。进而也观察到若把 P 型和 N 型硅片键合起来，可以得到良好的二极管伏安特性。

对键合的样品，用透射电子显微镜来直接观察界面的情况，尽管也看到了存在有大量的缺陷，但在较大的范围内还是看到了晶格通过界面而延续着。而且通过实验了解到，硅片之间晶面方

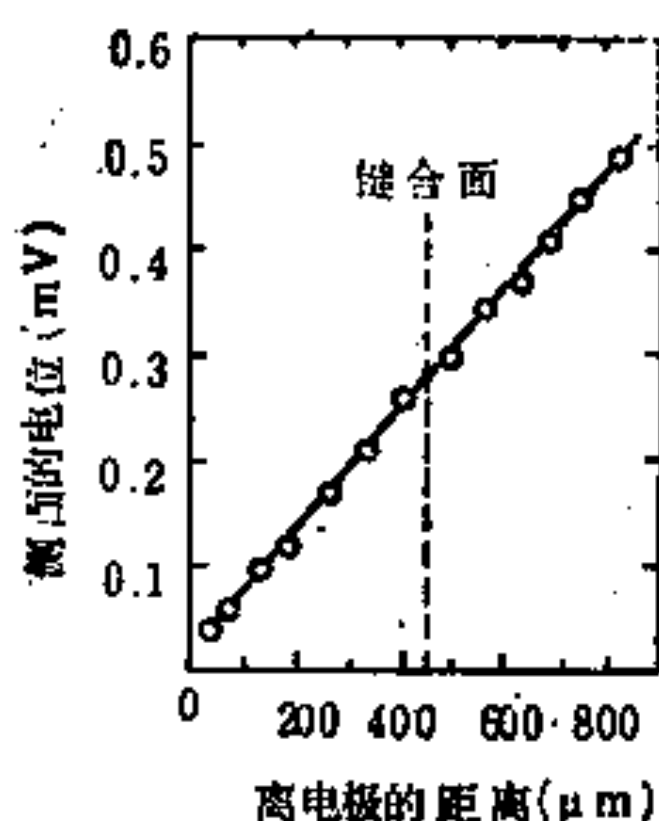


图 2-4 在 1 A 电流下, 键合片侧面的位置与电位的关系。(片子的面积为 6×6 mm)^[6]

位的差异越大, 界面处的缺陷也就越多; 若两块硅片的晶面指数完全不同, 则界面处将形成非晶层, 不过这似乎对电性能的影响不太大。值得指出的是, 因在键合界面处存在有大量的缺陷, 所以在要求高载流子寿命的器件里不宜采用 SDB 技术。

通过简单的表面处理和热处理, 就能使两硅片达到原子间的结合, 其机理可认为是^[8, 8]; 在室温下, 两硅片表面上的自然氧化膜之间依靠亲水表面上的 OH 根的氢键而结合起来 (键合强度可达 $3 \sim 5 \text{ kg/cm}^2$); 热处理温度较高时, Si-OH 键发生

脱水反应, 形成 Si-O-Si 键, 从而达到了原子间的牢固结合; 在自然氧化膜较薄、热处理的温度超过 1000°C 时, 界面处的氧原子即向硅片内部扩散, 结果得到 Si-Si 键, 这就实现了硅片间的直接键合。

SDB 技术往往可以代替外延技术 (特别是高阻外延技术) 和较深的杂质扩散技术。现在已经用 SDB 衬底片研制出了耐压 1800 V 的 IGT^[7]。

§ 2-3 载流子寿命控制技术^[2, 9, 10]

功率半导体器件的性能与衬底材料的载流子寿命有很大的关系。例如, 晶闸管和 PIN 二极管的低正向压降要求载流子寿命越长越好, 但是快的关断速度却要求载流子寿命短些。因此, 载流子寿命需根据器件性能的要求来适当地选取。这就要求在材料和器件工艺上能精确控制载流子的寿命。应当指出的是, 在控制

载流子寿命的同时，必须要保证材料的电阻率不致发生变化，而这对高阻材料来说往往是一件很困难的事情。

1. 提高寿命的技术

少数载流子寿命直接关系着硅中的深能级中心。这些中心可能是由于重金属等有害杂质所造成的，也可以是由于各种晶体缺陷所造成的。因此，欲提高少子寿命，就应当设法减少有害杂质的沾污和控制缺陷的产生。

实际上，杂质的沾污和缺陷的产生往往是来自器件的制造过程，而且缺陷的产生与沾污的杂质紧密相关。在器件制造过程中所引入的缺陷常称为工艺诱生缺陷或二次缺陷。所以，如何控制工艺诱生缺陷的产生是改进少子寿命的一个重要方面。

常见的工艺诱生缺陷有热应力诱生位错、氧化诱生层错和失配位错等。热应力诱生位错，是由于硅片在器件工艺过程中经多次高温处理循环使硅片内部产生了很大的热应力而引起的；这种热应力实际上也是导致硅片发生翘曲变形的重要原因。热应力诱生位错多出现在片子的边缘，并且都是沿着 $\{111\}$ 滑移面和 $\langle 110 \rangle$ 滑移方向；在 (111) 硅片表面上，滑移线将构成星形图象，而在 (100) 硅片表面上，滑移线将构成垂直交叉的图案。（滑移线是位错线端头在硅片表面上所排成的直线，可用 Sirtl 或 Secco 等腐蚀液显示出来〔注〕。）为防止这种位错的产生，切片时需注意保护好片子边缘，使其不致受到机械损伤；硅单晶中的含氧量需严加控制，不可有氧的沉积，以防降低硅的屈服强度；在氧化、扩散、外延等高温处理时，硅片进、出炉应足够缓慢，以免片子中心与边缘形成很大的温差；用来固定硅片的石英支架上的刻槽应当合理，槽间距需适当宽些，槽宽裕度不能太大，当然，降低热

〔注〕 Sirtl 腐蚀液： $\text{HF} : \text{CrO}_3 (5\text{mol}) = 1 : 1$

Secco 腐蚀液： $\text{HF} : \text{K}_2\text{Cr}_2\text{O}_7 (0.15\text{mol}) = 2 : 1$

处理温度对减少工艺诱生缺陷是最有效的。

氧化诱生层错 (OSF) 是硅片进行高温氧化以后所形成的一种堆垛层错。氧化以后的硅片用 HF 除去表面上的 SiO_2 层, 然后用 Sirtl 腐蚀液等腐蚀之, 即可把 OSF 显现出来。OSF 呈线状, 平行于 $\langle 110 \rangle$ 方向, 两端象火柴头。OSF 可分为表面 OSF 和体内 OSF。表面 OSF 分布在硅片表面附近, 多由于表面的机械损伤或沾污所致; 而体内 OSF 分布在硅片内部, 多由无位错硅单晶中的一种微缺陷——漩涡缺陷转化而来。OSF 可看成是插入到晶体内部的多余的原子层, 它的长大或缩小是一个捕捉过饱和自间隙原子或向周围释放自间隙原子的过程。为了抑制和消除 OSF, 应从多方面采取措施。首先, 硅表片面的抛光和清洁处理需完全去除表面损伤和沾污的杂质, 以抑制表面 OSF 的产生; 为了防止体内 OSF 的产生, 则应控制无位错硅单晶中的漩涡缺陷、氧沉积团等微缺陷。其次, 应尽量降低热氧化的温度, 因为温度越低, 所生成的 OSF 的尺寸越小; 但温度的降低也降低了氧化速度。为保证在低温下有较高的氧化速度, 可采用高压氧化技术 (温度可低至 800°C 左右); 不过高压氧化中能否有效地抑制 OSF 的生长还需进一步研究。此外, 在氧化气氛中加入少量的氯化氢或三氯乙烯等卤素化合物, 可有效地抑制和消除 OSF, 这可能是由于氯原子与硅反应时在硅表面留下了空位, 这些空位可与自间隙原子复合而降低自间隙原子的密度。

失配位错是在扩散和外延等掺杂过程中所产生的一种工艺诱生缺陷, 主要是由于杂质原子的四面体半径与硅的不同所致。因为当这种四面体半径不同所产生的应力超过硅的屈服强度时, 或掺杂所引起的晶体弹性形变能大于位错形成能时, 就会产生失配位错。实际上, 失配位错还与重掺杂时出现于硅片中的间隙式杂质原子、与热氧化形成的 OSF、与硅片表面的加工质量、与硅中的杂质沉积团 (如氧沉积团) 等有关, 是杂质、缺陷、应力在掺杂条件下综合作用的结果。

为了抑制扩散过程中所产生的失配位错，可采用低温 CVD 掺杂氧化物扩散技术。该技术主要是以低温 CVD 形成的掺杂 SiO_2 层作为扩散杂质源，来代替常规扩散中的液态源或固态源。该技术有三个优点：Ⅰ）减少了高温预扩散过程，从而可减少热应力诱生位错；Ⅱ）在掺杂 SiO_2 层中可同时掺入两种杂质，这使得容易实现应力补偿扩散和防止高浓度扩散所引起的杂质沉积，从而可抑制失配位错和其他诱生缺陷；Ⅲ）采用 CVD 掺杂 SiO_2 杂质源，可方便地控制扩散的浓度，从而有利于抑制杂质在扩散层中的沉积和失配位错的产生。

应力补偿扩散是一种把比硅原子共价半径大和小的两种同型杂质共同掺入到同一区域的工艺技术。例如，磷—砷、硼—镓、磷—锡等的共同掺杂扩散就是行之有效的应力补偿扩散。因为比硅原子共价半径大的杂质原子在晶体中将产生张应力，而四面体半径小的杂质原子将产生拉应力，在同一区域内两种应力可以互相补偿，从而可抑制失配位错。对磷—砷共同掺杂扩散的情况，除了因四面体半径的补偿作用以外，还有由于有相当一部分砷原子（主要是表面处的砷原子）处在间隙位置上，使晶体内部的应力进一步缓解的作用。

在高浓度扩散时，同时掺入两种杂质也很有好处。因为当杂质浓度超过固溶度时即发生沉积相，使周围的应力增大，这会造成失配位错的核化中心或参与位错网的形式；但杂质在三元系中的溶解度常常高于二元系中的溶解度，所以，当共同掺入两种杂质时，可提高杂质在硅中的固溶度，从而可防止杂质的沉积。

总之，为了保证少数载流子寿命在器件工艺过程中不至于降低，除了要注意清洁、防止杂质沾污外，重要的是要抑制或消除各种工艺诱生缺陷的产生。然而事情并非是绝对的，有时我们也可以利用缺陷的应力场来吸除有源区的有害杂质和点缺陷，以达到提高有源区的晶体完整性和少子寿命的目的。为此，在器件制造过程中往往还专门设置一套所谓吸除工艺。

常用的吸除方法是物理吸除（又称 Cottrell 吸除），即根据缺陷与杂质原子之间存在有相互作用能这一点，有意地在硅片的无源区（如背面、体内或其它邻近有源区的部分）引入位错或损伤，然后通过适当的热处理让有源区中的有害杂质或点缺陷（过饱和的自间隙原子或空位）被这些位错或损伤所俘获，从而达到吸除的目的。在无源区有意引入缺陷的方法可有很多种，例如，在硅片背面通过研磨、喷砂等方法造成机械损伤，此后在热处理过程中，这些损伤即诱生出位错，从而能起吸除正面的杂质和缺陷的作用。又如，在硅片背面或正面有源区附近的空白区，通过高浓度磷扩散即可引入失配位错而引起吸除作用。再如，在硅片背面淀积适当厚度的 Si_3N_4 或多晶硅，使造成弹性应力，这也能吸除正面的杂质和缺陷。还有，在硅片背面通过离子注入或激光辐照使造成晶格损伤，也能达到吸除的目的。由于离子注入晶格损伤的分布可以精确地控制，所以离子注入吸除是很有效的。激光辐照损伤吸除使用简便，效果显著，运用灵活，有可能得到广泛的应用。例如，用功率 $8 \sim 16\text{W}$ 的连续波 Ar^+ 激光辐照硅片背面，可使 MOS 器件的少子产生寿命由 $10\mu\text{s}$ 左右增长到 $50\mu\text{s}$ 以上，可见激光辐照损伤吸除效果是很好的。

另外一种物理吸除技术——本征吸除，是在硅片内部本身引入一些缺陷来吸除硅片表面附近处的杂质和缺陷的。这里所引入的缺陷往往是与硅中所含的氧、碳等杂质有关的微缺陷。采用这种吸除技术时，要求硅中的含氧量适当高一些。具体的处理方法有—步热处理法、二步热处理法和多步热处理法。对那些容易在体内产生微缺陷的硅片可采用一步热处理法，即把硅片置于 1000°C 左右、 N_2 气氛中处理数十小时，使硅中多余的氧发生沉积而产生微缺陷，使硅片表面附近处的氧通过扩散向外发散掉，且表面附近处的有害杂质和缺陷被体内的微缺陷所俘获，从而得到清洁而完整的表面区，可供在其上制作器件。对质量较高的硅片，只经过一次热处理尚不足以产生微缺陷，这时可采用两步热处理

法：先把硅片置于氧气氛中，在800℃下处理10余小时，使硅中的氧沉积团核化；然后再置于氮气氛中，在1050℃下处理数十小时，使体内产生大量的微缺陷，而表面附近区域因氧的外扩散而变成清洁的无缺陷区。这样所得硅片的表面区中也可能存在有一些缺陷，因为有些在表面区中已核化了的氧沉积团在高温处理过程中将可能长大成为微缺陷，甚至通过进一步的热处理还可能发展成为OSF等缺陷。采用多步热处理法可以获得较好的表面无缺陷区：第一步是在氮气氛中，在1050℃下进行高温处理，使表面区的氧通过外扩散而减少，以避免在该区域内发生氧沉积团的核化；第二步是在干氧气氛中，在650℃下进行低温处理，使硅片内部的氧沉积团核化；第三步是再在氮气氛中，在1050℃下进行高温处理，使硅片内部形成大量的微缺陷。对经过多步热处理的硅片，进行离子注入和热氧化以后，在表面区内观察不到OSF等缺陷（在体内有大量缺陷）。

2. 降低寿命的技术

要降低硅中少数载流子的寿命，只需在硅中引入一些深能级中心即可。然而要精确地控制寿命，并非任意的深能级杂质和缺陷都合用。实际上，现在用于控制硅功率器件中少子寿命的工艺方法基本上有两个：一是扩散某些深能级杂质，二是通过高能粒子轰击硅片产生以空位和间隙原子形式存在的晶格损伤。

用于控制寿命的深能级杂质，至今已在工艺中使用的实际上只有金、铂和钼^[注]。硅中金、铂和钼的能级如图2-5所示。金在硅中有两个深能级，在N型硅中起作用的主要是受主能级 E^-_A ，在P型硅中起作用的主要是施主能级 E^+_D ，它们都起着减短少子寿命的作用；当金浓度从 10^{14}cm^{-3} 增大到 10^{18}cm^{-3} 时，少子寿命将线性地从1μs减短到0.1ns。铂在硅中有四个深能

〔注〕 参见贺开矿，电力电子技术，1985年第2期，P39

级，其中对 N 型硅起主要作用的是受主能级 $E_{A_2}^-$ ，对 P 型硅起作用的主要是施主能级 $E_{D_1}^+$ 。钯在硅中可能有三个能级，其中 $E_{A_2}^-$ 对 N 型硅起主要作用， $E_{D_1}^+$ 对 P 型硅起主要作用。

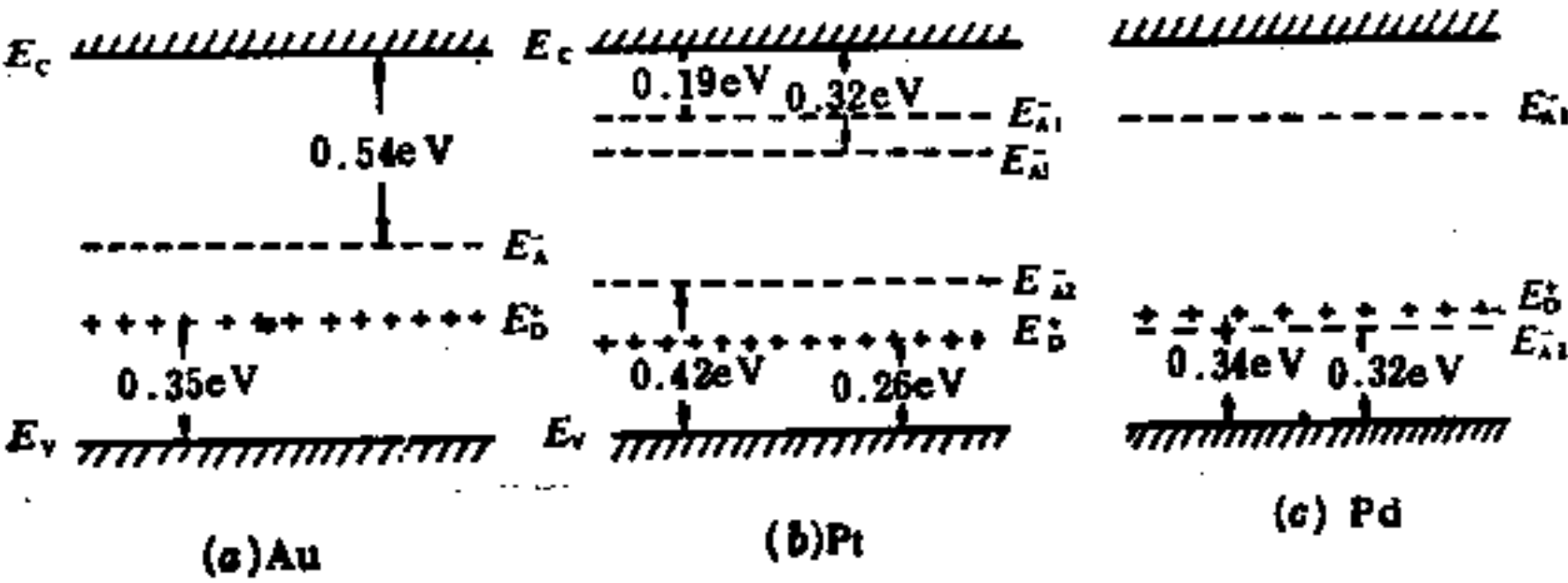


图 2-5 金、铂和钯硅中的能级

这些杂质在硅中所形成的深能级，不仅起着复合中心而降低少子寿命的作用，而且也可以起着产生中心而增大 PN 结反向电流的作用。

硅 PN 结的反向电流可近似表示为^[11]，

$$I_R = -AgW \frac{np - n_i^2}{\tau[n + p + 2n_i \cosh\left(\frac{E_t - E_i}{kT}\right)]} \quad (2-8)$$

在势垒区： $n_i \gg n, p$ ，
则

$$I_R \approx \frac{AgW}{\tau} \frac{n_i}{2 \cosh\left(\frac{E_t - E_i}{kT}\right)} \quad (2-9)$$

式中 A 是 PN 结面积， W 是势垒区宽度， τ 是少子寿命， E_i 是本征费米能级， E_t 是复合中心能级，其余符号同习惯用法。

对 N 型硅中的复合中心，Au 在其中起主要作用的能级 $E_{A_1}^-$ 与 E_i 很接近，而 Pt、Pd 起主要作用的能级分别与 E_i 相距均较远些。因此，对 PN 结反向电流的贡献，Au 远比 Pt 和 Pd 要严重。实践证明，当温度 $T > 100^\circ\text{C}$ 时，掺 Au 器件的 I_R 可比掺 Pt 或掺 Pd

器件大1~2个数量级。掺Pt或Pd的器件可在180℃下稳定工作，而掺Au器件在100℃下即不能正常工作。对P⁺N结二极管在800V反向电压下的测试结果为：在25℃，三者的 I_R 都小于 10^{-6} A；在100℃下，掺Au者的 I_R 为 10^{-5} ~ 10^{-4} A，掺Pt、Pd者 I_R 为 10^{-6} ~ 10^{-5} A；在150℃下，掺Au者的 I_R 猛增到 1×10^{-3} A，而掺Pt、Pd者的 I_R 仅为 $1 \sim 5 \times 10^{-6}$ A。可见，掺Pt、Pd器件的高温特性要优于掺Au器件。掺Pt的硅，在室温下空间电荷区中的产生寿命，要比其低电平寿命大数百倍，即使是在125℃，也大20倍。总之，掺Pt、Pd可以降低硅PN结中性区内的低电平寿命，但结的反向电流增加却并不大；相反，在掺Au使寿命降低的同时，也将使结的反向电流大大增加。当然，由图2-5可见，在P型硅中，Au、Pt和Pd三种杂质起主要作用的复合中心能级的位置都差不多，因此对P型硅和对PN⁺结型器件的电性能的影响不会有太大的差异。

另外，人们发现，当一个掺Pt、Pd的器件在大电流密度下工作时，少子寿命将进一步降低，大注入寿命 τ_H 可比小注入寿命 τ_L 低2倍多；而掺Au器件在大电流密度时下降得并非如此厉害。这种大注入寿命的变低，对缩短大电流器件中电荷的存贮时间，提高关断速度特别具有重要的意义。

众所周知，对P⁺N⁻结二极管，在开启的瞬间，存在有一个由多数载流子导电所决定的瞬态正向压降（可比稳态正向压降大好多倍），其大小主要决定于N⁻区的电阻率。而掺Au使硅的电阻率增大要远大于掺Pt、Pd的作用，所以对同样的器件，掺Au的瞬态正向压降往往是掺Pt或掺Pd的1.5~3倍左右。

Au、Pt和Pd这三种杂质在硅中均有足够大的固溶度（Au的最大固溶度为 $1.3 \times 10^{17} \text{cm}^{-3}$ ，Pt的为 $1 \times 10^{17} \text{cm}^{-3}$ ，Pd的为 $5 \times 10^{16} \text{cm}^{-3}$ ），有较高的扩散系数（在900℃下均为 $1 \times 10^{-7} \text{cm}^2/\text{sec}$ 数量级），扩散温度也适当（均可取为900℃左右）。但从扩散工艺过程的可控制性来说，Pd具有独特的优点。因为Pd在硅中

的固溶度要比 Au、Pt 的小一个数量级以上，而且 Pd 在硅中的固溶度随温度变化较平缓（不象 Au、Pt 的变化那么大），因此在要求对抑制寿命的杂质浓度进行精确控制时，选择扩散 Pd 较好，这时工艺的重复性较好。

上述表明，作为抑制寿命的深能级杂质，在若干方面 Pt 和 Pd 优于 Au。然而在掺 Pt 或 Pd 的器件中也存在有难以克服的矛盾。因为功率器件在大电流下工作时正向压降 V_F 将不可避免地增加，而且 τ_H 越短， V_F 也将越大。对掺 Pt 或 Pd 的器件， τ_H 变得较短，则大电流下的 V_F 值比掺 Au 器件的要大；但若设法使某大电流值下的 τ_L 增长以降低 V_F ，则当电流较小时 τ_L 又将太长了，会使大电流下的关断时间 t_{rr} 增长。这就是掺 Pt、Pd 器件中的一个矛盾。因此，在掺入抑制寿命的杂质时，需综合考虑器件的 $t_{rr}-V_F$ 特性，进行协调折衷。常采用 τ_H/τ_L 比值的大小来衡量 $t_{rr}-V_F$ 特性协调折衷的难易程度，而有 $\tau_H/\tau_L[\text{掺 Au}] > \tau_H/\tau_L[\text{掺 Pt}] > \tau_H/\tau_L[\text{掺 Pd}]$ ，所以从 $t_{rr}-V_F$ 综合特性来看，以掺 Au 为好。

Au、Pt 和 Pd 在硅中的扩散均以间隙-替位分解方式为主，扩散速度较快（扩散系数比硼和磷的要大 5 个数量级左右）。因此，这些杂质的扩散通常总是放在器件芯片基本完成之后来进行，而且在 $800\sim 900^\circ\text{C}$ 温度下扩散数分钟，这些杂质即可分布于整个芯片（具体的浓度分布型式还与磷、硼扩散层的存在有关^[注]）。扩散温度的高低决定着这些杂质在硅中的固溶度，所以可用扩散温度来方便地控制掺入杂质的浓度（当然，实际的浓度还与硅片的冷却方式有关），从而控制少子的寿命。考虑到器件各项电参数的合格率，扩散温度以 900°C 左右为宜；若温度太高，则 V_F 等明显变劣，而且由于杂质的补偿作用，会使硅片电阻率大大升高（甚至可使 N 型转变为 P 型的）。实验

〔注〕 例如参见卞抗，电力电子技术，1986年，第8期，P34

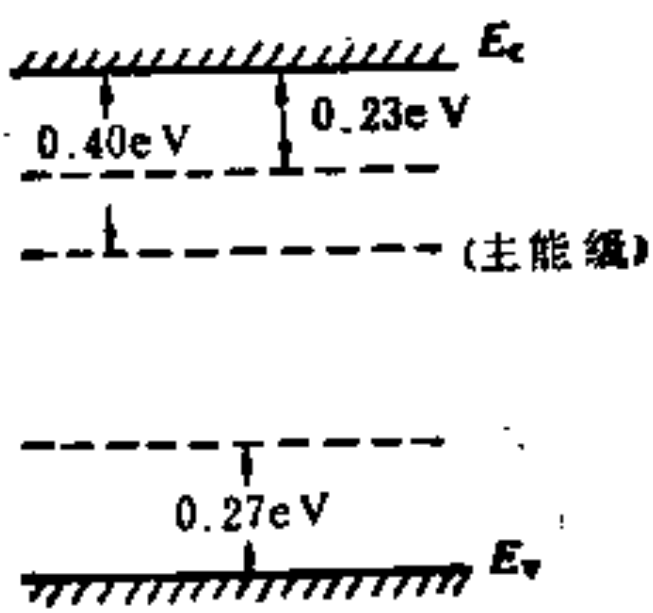
表明，在900~1100℃下扩散Pt或Pd后，少子寿命可控制在 10^{-8} ~ 10^{-6} 秒范围内。

扩散Au、Pt和Pd，可采用在硅片上先蒸发或溅射上一层金属层（厚约10~50nm），然后进行热扩散。不过Pt和Pd易与硅形成化合物，所以常常采用涂源扩散的方法，而且这种方法操作简便，成本较低。涂源扩散技术一般是先将含Pt、Pd的化合物扩散源按一定比例溶解在有机溶剂中，再滴涂在硅片表面上，烘干，然后送入炉中扩散。在900℃左右的温度下，Pt、Pd化合物将分解，释放出Pt、Pd原子，并与硅的表面原子形成Pt、Pd的硅化物层，Pt、Pd原子再从该硅化层中源源不断地向硅片内部扩散。常用的Pt扩散源有 $H_2PtCl_6 \cdot H_2O$ 、 $PtCl_3$ 、 $H_2Pt(OH)_4$ 、 PtO_2 、 PtO_4 、 PtO 、 $Pt(OH)_2 \cdot 2H_2O$ 、 $Pt_2O \cdot H_2O$ 、 $Pt_2O_3 \cdot 3H_2O$ 等；常用的Pd扩散源有 $PdCl_3$ 、 $Pd(NO_3)_2$ 等。配制扩散滴涂液用的有机溶剂主要有醇类和酮类，如甲醇、乙醇、丙醇和丙酮、丁酮等。另外，扩散滴涂液也可采用含Pt、Pd化合物的 SiO_2 胶体溶液来滴涂。

扩散Au、Pt或Pd虽然能很好地控制少子寿命，但是也观察到，扩散温度的微小变化将会引起器件特性的很大变化。若采用高能粒子轰击来控制少子寿命，就可以克服这一弊病。

高能粒子的轰击将在硅中产生晶格缺陷。虽然基本的晶格缺陷是硅的间隙原子和空位，但由于硅中的空位即使在低温下也很容易发生移动，所以高能粒子轰击后所保留下来的缺陷多半是空位同某些杂质原子的络合物，以及相邻两空位的复合体（称为双空位）。一个具有2MeV能量的电子在 $1cm^3$ 中可产生约0.26个稳定的缺陷。在用于功率器件的高阻硅材料中，双空位是主要的缺陷；但在重掺磷的硅中，E中心（空位-磷复合体）将是主要的缺陷。双空位在器件工艺过程中是稳定的，只有当温度升高到225~290℃时才消失。这些缺陷在硅中都是深能级中心。电子

辐照在硅中将产生三个深能级，如图 2-6 所示，其中位于导带下 0.40eV 处的深能级对应于双空位缺陷态，它是控制着 N 硅型中



少子寿命的主要能级。为了计算少子寿命随电阻率和温度的变化情况，需要知道主要深能级对空穴和电子的俘获截面。在表 2-1 中列出了金、铂扩散和电子辐照在硅中所产生的主要深能级对载流子的俘获截面。由于电子辐照所产生的主要深能级距本征费米能级 E_i 较远，所以在降低少子寿命

图 2-6 电子辐照在硅中产生的深能级 的同时，PN 结的漏电流并不明显增

表 2-1 金、铂、电子辐照在硅中产生的主要深能级的俘获截面〔2〕

深能级中心	主要深能级的位置 (eV)	俘获截面 (cm ²)		空穴与电子俘获截面之比
		空穴	电子	
金	$E_v + 0.56$	6.08×10^{-15}	7.21×10^{-17}	69.7
铂	$E_v + 0.42$	2.70×10^{-15}	3.20×10^{-16}	69.8
电子辐射	$E_v + 0.71$	8.66×10^{-15}	1.62×10^{-16}	4.42

加（在 125℃ 时，空间电荷区内的产生寿命约为中性区内寿命的 20 倍，在室温时约为数百倍）。

若电子辐照前少子的寿命是 τ_0 ，则辐照后的寿命 τ 可根据下式求出：

$$\frac{1}{\tau} = \frac{1}{\tau_0} + K\phi \tag{2-10}$$

式中 ϕ 是电子辐照的剂量 (cm⁻²)， K 是损伤因子。在 2MeV 的电子辐照下，对高阻 N 型硅而言，有以下经验关系 (τ 的单位是 μs)：

$$\frac{1}{\tau} = 0.029 + 8.2 \times 10^{-15} \phi \quad (\text{当 } \phi \leq 7 \times 10^{13} \text{cm}^{-2} \text{时});$$

$$\frac{1}{\tau} = 0.452 + 2.19 \times 10^{-15} \phi \quad (\text{当 } 7 \times 10^{13} \text{cm}^{-2} \leq \phi \leq 2 \times 10^{14} \text{cm}^{-2} \text{时})$$

例如, 经过能量为2MeV、剂量为 $7 \times 10^{13} \text{cm}^{-2}$ 的电子辐照, 可把高阻 N 型硅的少子寿命降为 $1.6 \mu\text{s}$ 。

除了电子辐照外, 伽马辐照、中子辐照等都可以有效地用来控制硅中少子的寿命。采用这些高能粒子轰击的方法, 比通过扩散金或铂杂质控制寿命的方法要优越得多。由于辐照的剂量可以准确控制, 则工艺的重复性好; 而且辐照处理容许采取累加辐照的方法, 则易于调整器件的特性使达到需要的值; 同时, 在万一辐照过量时, 还可以通过 400°C 以上的退火处理把这些辐照损伤去掉, 然后再重新进行适当的辐照。用辐照来控制寿命的工作可以放在器件制成并测试之后, 在室温下进行(辐照时不应戴管帽), 不必高温处理; 而且辐照过程本身是比较清洁而简便的, 所以在用辐照来控制少子寿命时可避免任何有害杂质的沾污。因为辐照所产生的深能级中心的分布是比较均匀的, 不像高温扩散掺杂那样容易在位错周围产生某些复杂的缺陷而影响到器件的性能。

目前电子辐照已成功地用于功率器件的制造, 可有效地改善器件的性能^[12]。此外, 有实验表明, 用质子辐照(例如能量为1.3MeV剂量为 10^{12}cm^{-2} 的质子)能实现局部区域的寿命控制, 可很好地协调功率器件的正向压降和开关速度对少子寿命的不同要求^[13]。

§ 2-4 封装技术 [14~18]

封装不仅关系着器件和 IC 的稳定性与可靠性, 而且对功率器件及其 IC 来说, 还直接关系到其功率容量和一些额定的参数

值，因为管壳本身还可以起到散热和屏蔽的作用。

功率器件一般需要处理较大的电流，发热较厉害。这些热量必需要能通过管壳而散发出去，否则芯片因产生温升而可能导致器件失效或使性能发生变化。因此，在管壳设计中应保证有尽可能低的热阻，以使器件能耗散较大的功率。此外，因功率器件的芯片面积都较大，在把它们安装到管壳的底座上去时往往是存在一个较大的热应力，容易引起芯片或焊料层断裂，所以在安装时要注意消除这个热应力。这些问题都是在功率器件及其 IC 的封装中需要特别加以考虑的。

1. 芯片的安装

把较大面积的芯片如何安装到散热的底座上去，这是一个直接关系到热阻和封装的稳定性与可靠性的重要问题。用于底座的散热金属通常是用镀金或镀镍的铜片。芯片即直接键合到底座上，键合的方法常用焊接法，这包括硬焊和软焊两种技术。焊接时，在硅芯片与铜底座之间必须插入一层热膨胀匹配层，如镀金的钼。对于较大面积的芯片，焊接到底座上后，由于存在有较大的热应力，则芯片或焊接料层有可能发生断裂。因此，对焊接芯片用的焊料系统必须加以很好的研究。

用于硬焊的焊料常常是金-硅和铝-硅等。在这种系统中，可通过焊料-界面层或通过芯片与底座之间的插入层——焊片来吸收因热膨胀不匹配所造成的应力。用作为这种插入层的材料，除了钼以外，还可用钨或钽，因为它们的热膨胀特性也接近于硅，而且有更低的热阻率。在 Mo 焊片与 Cu 底座之间的焊接可采用 Ag-Cu 焊料。

对功率 MOS 晶体管，较多采用的还是软焊技术。常用的软焊材料有铅-锡合金和铅-铜-银合金等，这些软焊料可以通过自身的塑性形变来吸收芯片在热电循环过程中所产生的热应力。但是在用软焊料焊接时有两个重要问题需要解决，一是热疲劳现象

(Thermal Fatigue Phenomenon), 二是软焊料与硅芯片的浸润性问题。热疲劳现象关系着整个封装的热学设计问题。焊料的浸润性不好,将使芯片与底座之间的空隙增大,这会导致热阻增加,并影响到电流在芯片中的均匀分布;而且浸润性不好也将会引起过早地产生热疲劳现象。为了改善软焊料的浸润性,可先在硅芯片的背面进行金属化,所用的金属应当是既能与硅粘附良好,而且又能与软焊料浸润性好,焊接后在界面处该金属与焊料形成固溶体或金属间化合物。一般,可焊性好的金属与软焊料所形成的固溶体或金属间化合物,其完整性却不大好,即可焊性好的金属,焊接的可靠性却不一定好。折衷考虑之发现镍作为芯片背面金属化的材料较为合适。这时若采用纯铅作为焊料,则它与镍的浸润性不好,为此往往需在其中掺入5% (重量比) 的锡以改善焊料的浸润性。实际上,为了缓和焊料层中的应力,改善焊接质量,往往采用多层金属化结构或者采用多次合金工艺。

此外,人们对其它不同成分软焊料的性能也进行了很多研究。已观察到 Sn 系焊料往往比 Pb 系焊料还要好。例如,成分为 65% Sn + 25% Ag + 10% Sb 的 Sn 系焊料溶解速度高、浸润性好和抗拉强度大,但该种焊料不宜与镀 Au 表面焊接 (因为这时将出现 AuSn_4 化合物,使焊料的抗拉强度大大降低); 这时芯片背面最好是镀 Ag。又如,含 Sb 8.0~10.5% (重量比) 的 Sn 系焊料也比 Pb 系焊料好。

在焊接时,注意烧结工艺也是重要的一环,往往炉温、保护气氛、装架压力以及管座、焊片和管芯的表面状态等对焊料的浸润性都有较大的影响。为了提高烧结质量,应对烧结工艺中的有关因素进行严格的控制。

2. 热疲劳现象

为了保证器件的散热条件良好,能经受热冲击,使得芯片能尽量在较高的结温下工作而不致发生失效,就必须对封装结构

的热学性能进行分析。因为功率器件的功耗大、温升高，则当其处于断续工作状态时，器件内部的温度将发生剧烈的、周期性的变化，这种由于电功率循环所引起的剧烈的器件温度变化通称为热电循环。这时若管芯与底座材料之间的热膨胀匹配性较差（例如 Cu 的线膨胀系数是 Si 的 6.5 倍，Fe 是 Si 的 4.8），则在长期的热电循环中，芯片将承受很大的拉、压和剪切应力；加之如果焊料的浸润性不佳，烧结工艺不当，焊料的抗拉强度又不高的话，于是经过一定幅度和次数的热电循环后，在焊料层中将首先产生疲劳裂纹，然后裂纹两边在交替应力作用下发生研磨，从而导致局部区域性的接触不良，使器件热阻增大，电性能变坏，严重时甚至使焊料层或芯片开裂，最终造成整个器件失效——热疲劳失效。软焊料虽然具有吸收部分热应力的能力，但由于其本身的抗拉强度较低，浸润性较差，所以容易出现热疲劳现象，这也是软焊系统的一个基本弱点。

热疲劳现象往往是导致功率器件失效的主要机理，现已成为标志功率晶体管可靠性水平的重要参数。因此，在器件封装的热学设计中需特别予以重视。

下面着眼于焊料层中的应力来分析几种管座结构的性能。硅芯片与底座间的热失配将在软焊料中产生切应变——热切变，这是引起热疲劳现象的根本原因。软焊料中热切变的大小可用两个界面的平均切变数 E_s 来表示如下：

$$E_s = (E_{s, si} + E_{s, ca}) / 2 \quad (2-11)$$

式中 $E_{s, si}$ 是芯片-焊料界面的切应变， $E_{s, ca}$ 是焊料-铜底座界面的切应变；若在焊料下面有铜片插入层，则式中的 $E_{s, ca}$ 应代之以 $E_{s, mo}$ 。令 x 是焊料的厚度，则在每个界面处由于热失配而引起的切应变可给出为

$$E_s = \Delta\alpha \cdot L \cdot T / x \quad (2-12)$$

其中 L 是芯片的对角线长， T 是界面处的温升， $\Delta\alpha$ 是界面的热膨胀不匹配性（对硅芯片-焊料界面， $\Delta\alpha = 26 \text{ ppm}/^\circ\text{C}$ ；对焊

料 - 铜底座界面, $\Delta\alpha = 15\text{ppm}/^\circ\text{C}$)。可见, 增加焊料的厚度, 可减小热切变, 从而可增强接触的耐热疲劳性; 但是, 与此同时将增加器件的热阻, 使得在相同的功率耗散下有较高的温升和较大的热切变。因此, 热切变与器件的热阻是相互关联着的。当减小热切变时, 热阻将增加; 反之, 也成立。

已封装器件的热阻通常可表示如下:

$$R_{(th) JCS} = C + x / (k_s A) \quad (2-13)$$

其中 C 是器件在无焊料层时的热阻, k_s 和 A 分别是焊料的热导率和面积。利用式(2-12)可把式(2-13)改写成

$$E_s = B/x - G \quad (2-14)$$

这里 B 和 G 是与特定封装有关的参量。在图 2-7 中示出了四种有可能用于功率 MOS 器件的 TO-3 封装的剖面图。相应这四种不同型式的封装, 在采用 Pb (95%) + Sn (5%) 焊料时 (125°C), 上面公式中的参量 G , B 和 C 的值分别列出在表 2-2 中。

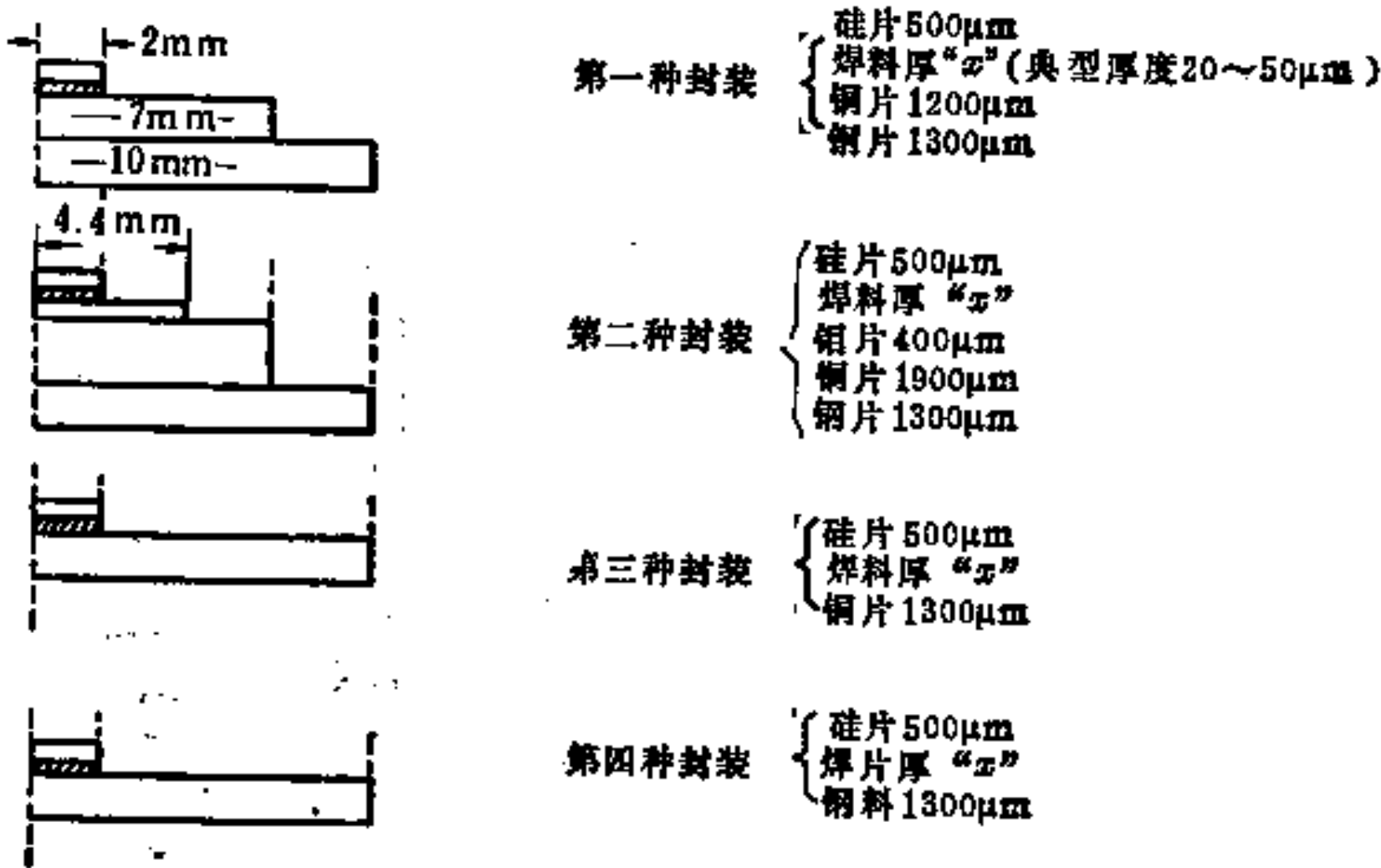


图 2-7 四种典型的 TO-3 封装的剖面图[14]

由式(2-13)和 (2-14) 我们看到, 为选取合适的封装结

表 2-2 参量 G , B 和 O 的值 (125°C) (14)

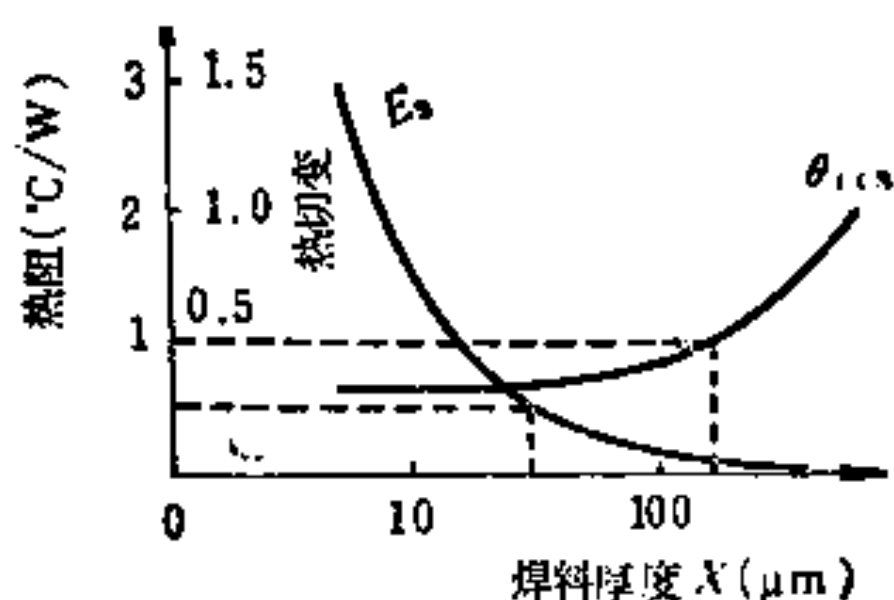
TO-3的封装型式	G	B	O
第一种封装	0.0034	7.625 μm	0.756 $^{\circ}\text{C}/\text{W}$
第二种封装	0.0057	9.935 μm	0.836 $^{\circ}\text{C}/\text{W}$
第三种封装	0.0034	7.625 μm	0.626 $^{\circ}\text{C}/\text{W}$
第四种封装	0.0050	8.83 μm	1.567 $^{\circ}\text{C}/\text{W}$

构,可根据焊料厚度 x 的范围,求得一组容许的热阻和热切变值,以使封装结构为最佳。对已封装器件的热阻,应根据器件的典型应用来选取最好的数值;在结温 $T_j = 125^{\circ}\text{C}$ 时,研究中热阻的上限常取为 $1^{\circ}\text{C}/\text{W}$ 。至于容许的平均热切变上限值,根据软焊料在双极功率晶体管中的实验结果,可给出为 (在 $T_j = 125^{\circ}\text{C}$ 时)

$$E_s \leq 0.25 \quad (2-15)$$

于是,我们对图 2-7 中的每一种封装形式,利用计算机优化程序,在满足 $R_{(th) JCS} \leq 1^{\circ}\text{C}/\text{W}$ 和 $E_s \leq 0.25$ (在 $T_j = 125^{\circ}\text{C}$ 时)这两个条件下,可以求出合适的焊料厚度 x 的范围。在图 2-8 中示出了一种如此计算的结果 (对第三种封装型式)。

通过对各种封装型式的计算分析得知,第四种型式的封装 (Si-焊料-钢) 是不合用的,因为其热阻太高。第三种型式的封装 (Si-焊料-Cu) 较好,焊料的厚度可在 $30 \sim 170 \mu\text{m}$ 这样宽广的范围内变化 (见图 2-8),然而这种封装的成本较高,不过在需要较低热阻和较小热切变时仍将优先采用这种封装。另外,第一种封装 (Si-焊料-Cu-钢) 也是合用的,虽然这时满足热阻和热切变要求的焊料厚度变化范围较窄 (约为 $50 \sim 100 \mu\text{m}$),但是却可大大降低封装的成本。第二种封装 (Si-焊料-Mo-Cu-钢) 比第一种封装尽管多加了一钼层,但计算表明,该钼层并不具有改善封装性能的好处,这是由于对软焊料封装系统而言,钼焊片的插入并不能减小接触



2-8 第三种TO-3封装的热阻、热切变与焊料厚度的关[14]

的热切变；第二种封装的容许焊料厚度变化范围较窄（约为55~90μm）。

实际上，对常用的铜底座，在硅片与底座之间常设置有铝片，这虽然将增加一些热阻，但对缓和焊料层中的应力是有好处的（因为铝的线膨胀系数仅为铜的

1/3左右）。

以上我们根据热切变和热阻的关系，分析了几种典型封装的情况。现在再来讨论热阻和热疲劳的关系。早已有人指出，软焊器件的热阻可作为探测热疲劳的一个参量。对用以探测器件热疲劳性能功率循环试验，当结温变化量 ΔT_j 保持为常数时（在热阻增加时，可通过减小功率 P 来保持 ΔT_j 不变），热阻将随循环次数 N 而线性增大。不过实际上更方便且更接近实际情况的功率循环试验，是保持功率 P 恒定的试验。因此，有必要求出恒定 ΔT_j 循环与恒定 P 循环之间的关系，以及在恒定 P 循环过程中热阻的增加速度。

对恒定 ΔT_j 的功率循环试验，热阻 $R_{(th) JCS}$ 与循环次数 N 之间存在式(2-16)所示的关系，式中 $m = a\Delta T_j / R^0_{(th) JCS}$ 。 a 称热阻的恶化参量(Deterioration Characterizing Parameter)， $R^0_{(th) JCS}$ 是 $N=0$ 时的 $R_{(th) JCS}$ 值（即 $R_{(th) JCS}$ 的初始值）， g 是与产生损伤的孕育时间有关的量。从而热阻的增加速度可给出为：

$$R_{(th) JCS} / R^0_{(th) JCS} = mN + g \quad (2-16)$$

$$dR_{(th) JCS} / dN = a\Delta T_j \quad (2-17)$$

若用功率 P 来表示 ΔT_j ，则有：

$$\begin{aligned} dR_{(th) JCS} / dN &= a [P (R_{(th) JCS} + R_{(th) CAS}) + T_A - T_{Cmin}] \\ &= aPR_{(th) JCS} + b \end{aligned} \quad (2-18)$$

其中 $b = a(PR_{(th)CAS} + T_A - T_{cm}) = a\Delta T_c$, T_A 和 T_{cm} 分别是环境温度和功率循环过程中的最低壳温。 b 是简化参量, $R_{(th)CAS}$ 是管壳到周围环境的热阻。由式(2-17)和式(2-18)可见, 恶化参量 a 实际上是反映了在功率循环过程中热阻的增加速度。把(2-18)式重排之, 即为

$$dR_{(th)JCS} / (aPR_{(th)JCS} + b) = dN \quad (2-19)$$

式(2-19)的解为

$$(R_{(th)JCS}/R_{(th)JCS}^0) + C = (1 + C)\exp(aPN) \quad (2-20)$$

$$C = b/aPR_{(th)JCS}^0 = \Delta T_c/PR_{(th)JCS}^0 \quad (2-21)$$

对一定的器件和功率循环试验, 在热阻已知的情况下, 参量的值可由式(2-21)求出。计算表明, 式(2-20)的指数关系与功率循环试验的结果符合较好。在表2-3中, 列出了几种功率器件在恒定功率条件下的功率循环试验的结果。由该表中的数据我们见到, 器件的热阻与恶化参量 a 和循环次数 N 之间, 存在有如式(2-20)所示的指数关系; 而且对不同的器件, a 的值有所不同(a 的值易通过功率循环试验由式(2-17)来求得)。

表 2-3 在恒定 P 下的功率循环试验数据 [14]

器件编号	总循环次数 N	功率 P	参量 C	恶化参量 a	Fit 的值	封装型式
1	8000	38W	1.2	$3.7 \times 10^{-6} W^{-1}$	0.99	铜底座 TO-3
2	8000	53W	1.25	$5.7 \times 10^{-6} W^{-1}$	0.96	铜底座 TO-3
3	14300	40W	0.39	$5.5 \times 10^{-7} W^{-1}$	0.97	铜底座 TO-3
4	8000	45W	0.42	$1.8 \times 10^{-6} W^{-1}$	0.997	铜底座 TO-3
5	15620	51W	0.40	$1.6 \times 10^{-7} W^{-1}$	0.92	铜底座 TO-3
6	9000	6W	2.51	$2.2 \times 10^{-6} W^{-1}$	0.99	TO-5

说明 (1) 表中的第1和第2号器件是双极型功率晶体管, 其余4个器件均为功率 MOS 晶体管; (2) 软焊料成分是 Pb(95)% + Sn(5%), 芯片采用了 Ni+Si 接触的形式。

上述的讨论表明, 热阻恶化参量 a 可用来表征功率器件耐热

疲劳的性能。 α 的值越大，即表示器件的耐热疲劳性能就越差。表 2-3 的数据显示，从耐热疲劳性能来看，软焊技术对功率 MOS 是适用的。值得指出，由于 MOS 芯片的热稳定性较双极器件的高，故在相同条件下，MOS 器件的总寿命时间要显著地长于双极器件；而且由于双极器件的正热反馈作用，其不发生热破坏的最大容许热阻也较 MOS 器件的要低。所以，对采用软焊技术的功率 MOS，由于热疲劳现象而引起的平均失效寿命将优于软焊的双极功率晶体管。

热疲劳损伤与金属表面状况有关，因为周围环境的气氛对许多金属的疲劳强度有影响。已有实验指出，氧气和水汽将要减短器件的热疲劳寿命，这是由于这些气氛有促进热疲劳裂缝增大的不良作用；而且这些气氛通过热疲劳将加速热阻的恶化。对双极功率器件热阻的恶化与水汽和氧气浓度（用 PPM 体积表示）的关系如图 2-9 和图 2-10 所示（图中的纵坐标“ α ”是用初始热阻归一化后的热阻恶化参量，即“ α ” = $\alpha/R^0_{(th)CS}$ ）根据图 2-9 的实验结果，可给出热阻的增加速度与水汽浓度之间的关系为（当水汽浓度 $> 10\text{ppm}$ 时）：

$$\alpha = 88 \times 10^{-7} \log(\text{ppmH}_2\text{O}) - 94 \times 10^{-7} [1/^\circ\text{C}] \quad (2-22)$$

而由图 2-10，可给出热阻的增加速度与氧气浓度之间的关系为

$$\alpha = 2.4 \times 10^{-7} \log(\text{ppmO}_2) + 4.0 \times 10^{-7} [1/^\circ\text{C}] \quad (2-23)$$

比较图 2-9 和图 2-10 的结果见到，水汽对热阻的影响远大于氧气的影响（相差约 40 倍）。因此，对软焊封装的功率器件，必须严格控制管壳中水汽的含量，这对减小热疲劳失效、提高可靠性具有量要的意义。

总之，热疲劳问题是功率晶体管封装中需特别注意的，在对软焊封装系统进行热学设计时，可从管座结构、焊料成分、焊料层厚度和芯片面积、焊接工艺等方面来考虑，以减小热阻及增加速度、减小热切变，达到提高功率器件耐热疲劳能力的目的。

对功率循环试验，经验表明，器件发生失效的功率循环次数

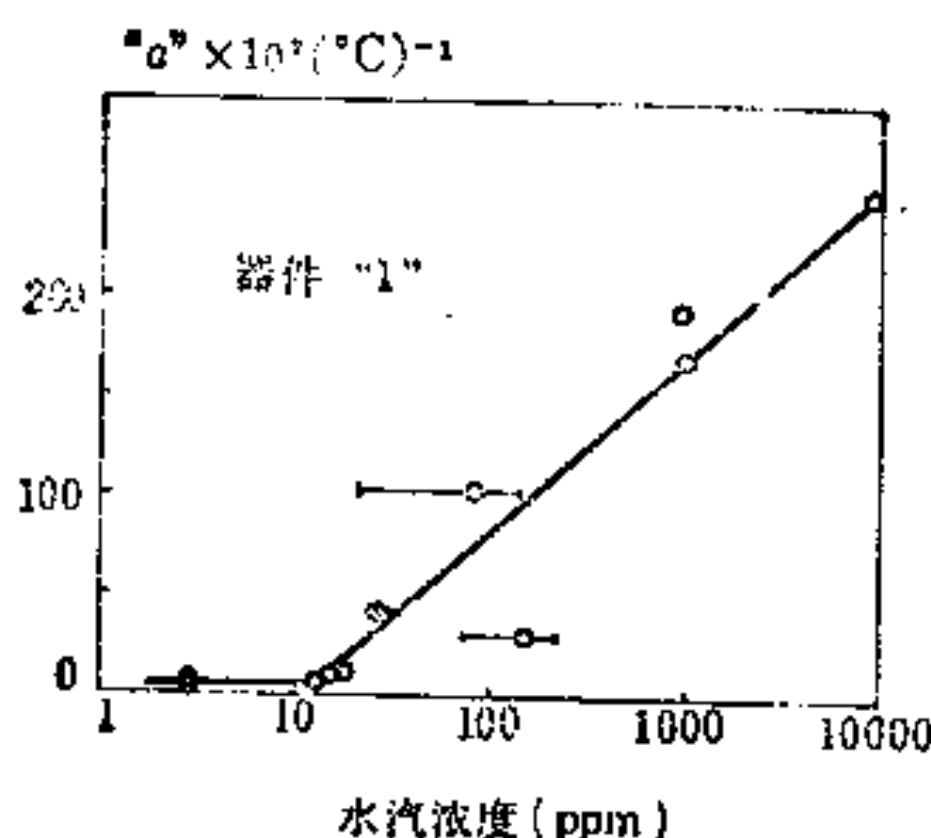


图 2-9 热阻的增加速度与水汽浓度的关系 [14]

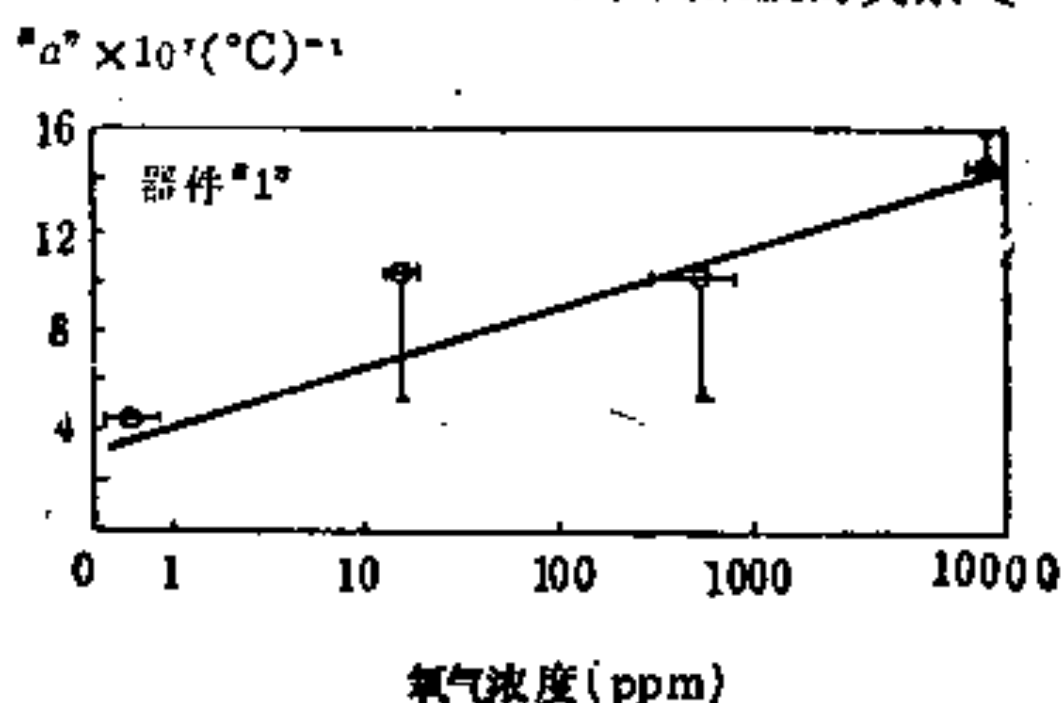


图 2-10 热阻的增加速度与氧气浓度的关系 [14]

N_F 与焊接面性能参数之间有以下关系:

$$N_F = A \exp(\varphi_0 / \Delta\alpha \cdot T \cdot L) \quad (2-24)$$

这里 A 和 φ_0 是与焊料层的材料和结构有关的常数, 其余符号的意义与式 (2-12) 中的相同。为了提高功率器件耐热疲劳的性能, 除了在器件封装的热学设计中注意减小 $\Delta\alpha$ 和 L 以外, 还应当在器件的使用中注意减小温升 T (通过调整功耗或调整热沉来控制温升)。

3. 管壳

对功率晶体管, 封装用的管壳除了起着把管芯与外界隔绝和

提供合适的引线等作用以外，重要的是还可以起着散热的作用。实际上，芯片中所产生的热量都是通过管壳散发到外界去的。因此，管壳的结构、尺寸、散热面积、热流通道长短及材料导热性能等都将影响到器件的最大容许功耗。此外，由于功率晶体管总是经历着剧烈的温度循环，为了保证管壳的结构牢固性和气密性，就必须对构成管壳的各种材料的热匹配性能进行认真的考虑。

管壳的基本型式有四种：金属管壳、陶瓷管壳、塑料管壳和玻璃管壳。对大功率管，较常采用的是金属管壳，对一般功率器件及其 IC，也常采用背面带散热铜板的塑料管壳或陶瓷管壳。对功率非常大的器件，往往使用双面水冷的平板压接型结构。

图 2-11 中示出的是中、低频大功率晶体管的几种金属管壳。

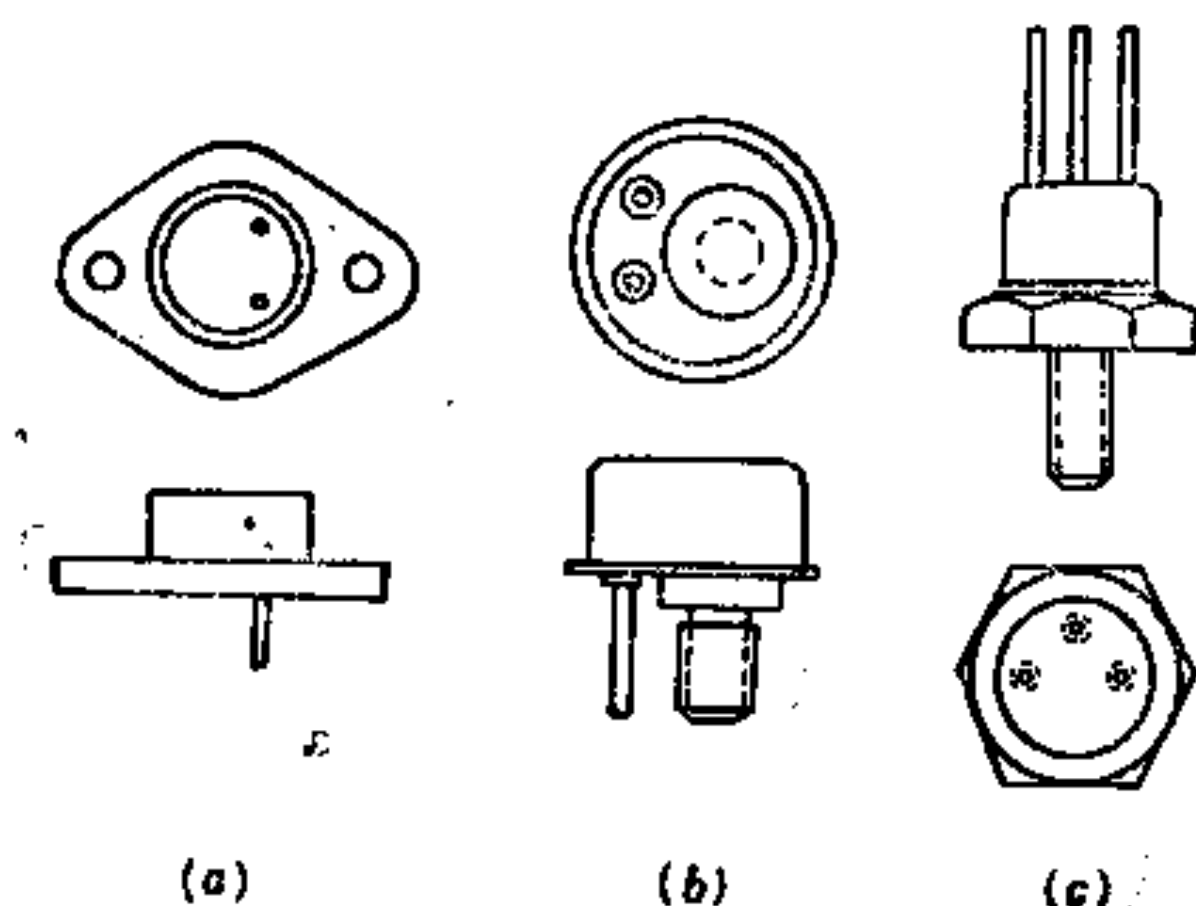


图 2-11 中、低频大功率晶体管的金属管壳

(a) 是菱形(F形)管壳,其平板底座一般由导热性能良好的铜或价廉的钢制成,外引线(管脚)经玻璃绝缘熔接在底座的电极孔中,对电流在 5 A 以下的器件,外引线材料可用可伐或钼制成,对电流大于 5 A 的器件,外引线需用双层金属结构(中心用导电性良好的 Cu 材料,外面包以能与玻璃很好封接的可伐层等;金属管帽与底座可采用通电来焊接之(其间常加上一钢环)。这种

管壳结构简单，封装方便，但功率容量较小（ $\leq 50\text{W}$ ），而且由于该种管壳的寄生参量较大（特别是管脚的电感量较大），工作频率仅限于在 100MHz 以下。

图 2-11(b)管壳带有用作禁锢散热器的螺旋，以保证底座与散热器接触良好。这种管壳的功率容量可达到 100W 以上。

图 2-11(c)管壳(G型管壳)具有良好的散热性能，功率容量可达 $20\sim 625\text{W}$ ，工作频率 $\leq 500\text{MHz}$ 。在某些特殊应用的情况下，芯片必须与底座绝缘，这时可在芯片与底座之间嵌入一既绝缘又能很好导热的氧化铍等陶瓷片。

塑料管壳的成本低，制造工艺简单，但其机械性能较差、导热能力弱、不能屏蔽电磁作用，在气密性与可靠性方面也低于金属和陶瓷管壳。所用的塑料有环氧塑料和硅酮塑料两大类。环氧树脂粘附性好，不易开裂，机械强度高，但高频高温性能欠佳。硅酮树脂的分子是线状 —Si—O— 键结构，故耐热性较好，但其粘附性不如环氧树脂。现在已研制出了耐热性与粘附性两者兼优的有机硅环氧共聚体和改性环氧树脂等新材料。对功率器件封装用的塑料，为使其散热性能好，可用填充剂来调节其热导率（这时与减小热膨胀系数是矛盾的），现在塑料的热导率已提高到 $0.8\text{W/m}\cdot\text{K}$ 左右。此外，塑料的抗湿性（通过提高塑料的纯度和提高它与管芯的结合力来达到）、低应力化（通过适当掺入橡胶状的增塑剂来达到）和低杂质含量（特别要减少 Cl^- 和 Na^+ 的含量）等对提高封装的可靠性也具有重要意义。对双列直插式塑料管壳，除了塑料本身散热以外，金属引线框架是一种重要的散热途径，它对管壳的总热阻起着很大的作用。

陶瓷管壳的高频绝缘性能好，多用于高频、超高频和微波及高可靠半导体器件和 IC 的封装。陶瓷管壳主要有扁平式和双列直插式两类。封装的盖板可用陶瓷或金属制成，连接盖板的方法有环氧粘结、低熔点玻璃烧结、平行滚焊熔封和合金焊料封装等四种。

最后，在器件和 IC 的封装过程中还必须注意几个问题：

I) 封装前的清洗：在芯片加工完成以后，必须严格进行清洗，然后再进行封装。因为芯片在加工过程中难免会受到一些沾污，若不通过仔细清洗以除去之，则一方面会影响到引线焊接的质量，另一方面容易导致 Al 引线受到腐蚀，有时还可能会造成表面电荷积累。为去除有机物，常用甲苯、三氯乙烯等有机溶剂，但这对环境污染严重；现在已研究出用水、氟利昂 TA (含 11% 丙酮) 和氧等离子体来进行清洗的综合工艺，该法清洗效果好而又避免了污染环境。

II) 封装的气密性：用金属管壳和玻璃管壳可以实现高可靠封装的气密性。所谓气密性，在这里不仅是指能通过真空检漏试验，而且也指在长期工作过程中不受环境沾污的影响。一些封装材料的防水汽能力比较在图 2-12 中。可见，对于气密性封装来说，有机材料是不太好的。虽然金属封装和玻璃封装可以实现气密性，但在密封前要想完全排除沾污，特别是水汽的沾污，有一定的困难。若水汽未能完全排除，则当器件在较低温度下工作时，管壳中会有水的凝集；这时如还存在有微量的 HCl 沾污，于是 Al 电极将会由于以下化学反应受到腐蚀：



值得注意的是，在这些化学反应中，HCl 是能够再产生的，因此少量的水汽和 HCl 沾污，通过这种过程可以把 Al 电极全部腐蚀掉。所以在封装时要尽量排除掉水汽。已有人提出了一种有效的降低管壳中水份的方法⁽¹⁹⁾，即通过原子硅与水反应而形成 SiO_2 的方法：



这里原子硅可在封接管帽过程中通过芯片键合材料的熔化、或事先加入一种吸气剂来提供。

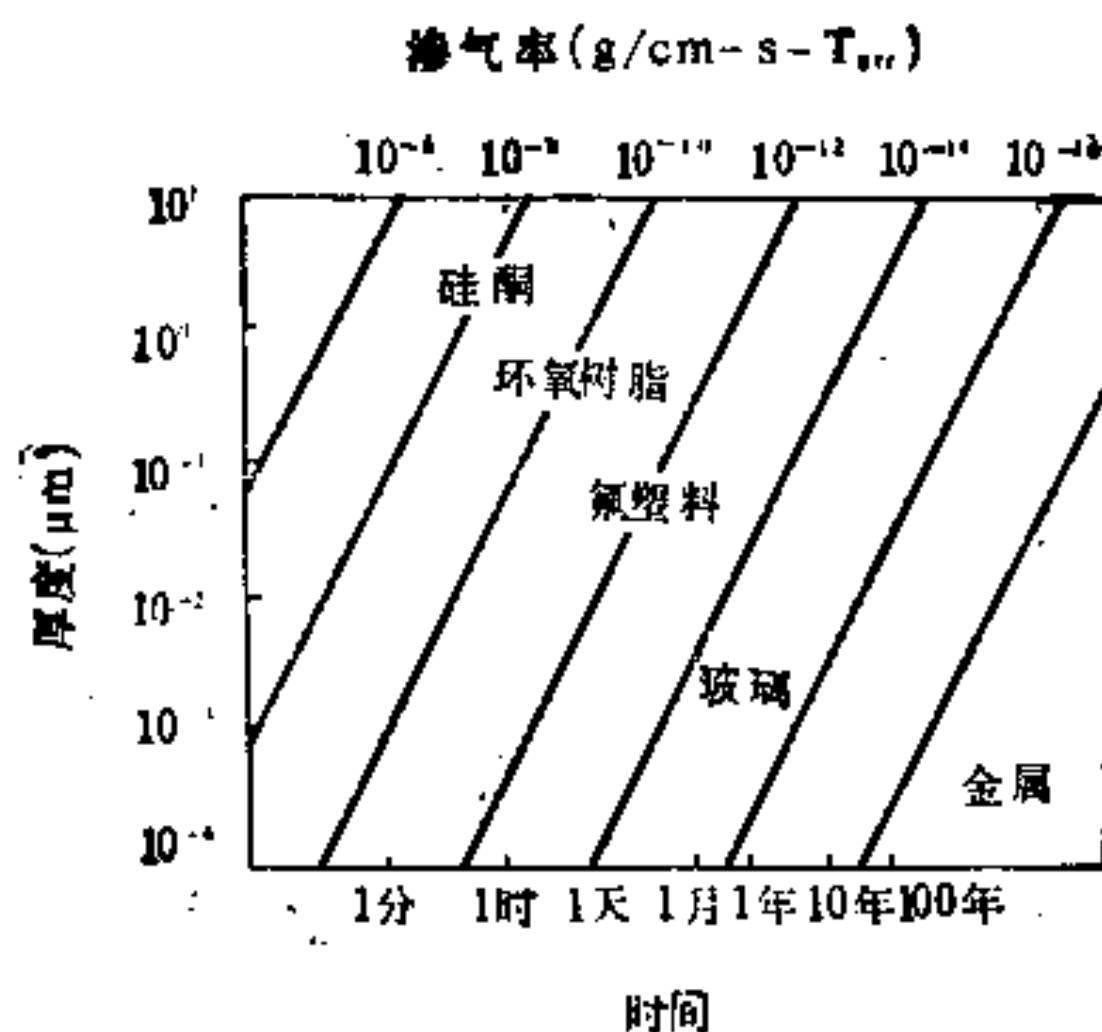


图 2-12 一些封装材料的水汽渗透时间(内部湿度达到外界湿度的50%时的时间)

Ⅲ) 芯片表面的保护: 当在不易实现气密性封装时, 可在芯片表面上涂覆一层聚合物保护膜, 以防止Al电极受到大气沾污(如水汽)的影响。这里用硅酮作为保护膜是很有效的。虽然图 2-12的数据指出, 0.25mm的硅酮薄膜不能阻挡水汽的扩散, 但由于芯片表面上的局部定向硅氧烷偶极子与芯片内部的极性基团共同起作用, 将大大提高水分子的粘附力, 可防止水汽进入界面区。

Ⅳ) α粒子的防护: 封装用的材料中总或多或少会有 U^{238} 和 Th^{232} 等放射性物质, 这些放射性物质在衰变过程中可以发射β-α粒子, 其能量范围为 4 ~ 9 MeV, 在硅中的射程约为 16~65μm。管芯在这种 α 粒子的作用下将出现所谓软失效(软误差)。因此对高可靠的器件和 IC, 必须降低封装材料中放射性元素的含量, 但实践表明, 要把这些元素的含量降低到 0.1ppm 以下是困难的, 而且费用高昂。所以必须另外采取防护 α 粒子的措施, 常用的一些措施有如: 在芯片表面上涂敷 PIQ 薄膜等, 以形成对 α 粒子的屏蔽层; 用不发射或不能让 α 粒子通过的材料涂敷管壳内壁, 用一

种称之为 RTV 硅酮橡胶(室温硫化硅酮橡胶)的材料涂敷芯片和管壳内壁、或作为填封材料可有效地防止 α 粒子的辐射。此外,封装用的玻璃应尽量少用放射性元素含量较高的氧化铝材料,并需减少其中粘土和滑石的用量;使用螯合剂,以减少镀金壳管中 α 粒子的通量。

参 考 文 献

- (1) B.D.Stone, in *Impurity Doping Processes in Silicon* (F.F.Y Wang, Ed) Chap.5, p.216, North-Holland, 1981.
- (2) B.I Baliga, *Silicon Power Field Controlled Devices and Integrated Circuits*, Academic Press, 1981. (中译本,王正元,刘长吉译,《硅功率场控器件和功率集成电路》,机械工业出版社)。
- (3) J.M.Meese, *Neutron Transmutation Doping in Semiconductors*, Plenum, New York, 1979.
- (4) H.M.Janus and O.Malmros, *IEEE Trans, Electron.Dev.* Vol ED-23, 797 (1976) .
- (5) M.J.Hill et al., *IEEE Trans.Electron.Dev.*, Vol. ED-23, 900 (1976)
- (6) M.Shinbo et al., *J.Appl.phys.*, Vol.60, 2987 (1986) .
- (7) A.Nahagawa et al., *IEDM Tech.Dig.* 1989, pp.122-128 (1989) .
- (8) I.B.Lasky, *Appl.phys.Lett.*, Vol.46, 78 (1986)
- (9) S.K.Ghandhi, *Semiconductor Power Devices*, Chap.6, Wiley, New York, 1977.
- (10) 垂井康夫主编《超LSI技术》, 1981, (日本)工业调查会。
- (11) S.M.Sze, *Physics of Semiconductor Devices* Chap.1, 2nd ed., Wiley, New York, 1981.
- (12) 例如见F.Fasce et al., in *Second Int.Conf.on Power Electronics and Variable-Speed Drives*, pp 10~14
- (13) T.Kushida et al., *IEEE IAS*, 86, pp.372~376.
- (14) N.Zommer, *IEEE Trans.Electron Dev.* Vol.ED-27, 1290 (1980)
- (15) C.A.Steidel, in *VLSI Technology* (S.M.Sze, Ed), Chap.13, P 551, McGraw-Hill, New York, 1983.
- (16) N.Zommer et al., *IEEE Trans.Electron Devices*, Vol.ED-23, p843~850 (1976) .
- (17) 高光勃,李学信,《半导体器件可靠性物理》,第四章,科学出版社,1987。
- (18) 李中丁,《电力电子技术》,1986年第2期, p41.
- (19) M.L.White et al., *Proc.Int.Rel.Phys.Symp.*, p.253.

第三章 雪崩击穿与结终端技术

使半导体器件耐压受到限制的电击穿有雪崩击穿与隧道击穿（或称齐纳击穿）两种，隧道击穿主要发生在耐压小于7V的低压器件中。本书只讨论电压大于100V的高压器件所涉及的雪崩击穿。

由于PN结在表面的曲率影响，使表面的最大电场常大于体内的最大电场，器件的耐压常常由表面击穿来决定，而且，当碰撞电离发生于表面时，电离过程所产生的热载流子易进入二氧化硅，在那里形成固定电荷，改变电场分布，导致器件性能不稳定，可靠性下降。为此，对于有一定耐压要求的器件，不但材料参数、结构参数等要选择得在给定电压下不发生体击穿，而且还要采取一些特殊结构，使表面最大电场减小，表面击穿电压符合要求。这些特殊结构称为结终端技术或简称终端技术（Junction Termination Technique，缩写为JTT）。现代的一些功率器件，如VDMOS、IGT等，实际上是一块硅片上许多单元的管子并联而成。各单元在表面有基本相同的电位，因此单元之间并不存在击穿问题。但是在最外圈的单元与衬底之间，存在高电压，因此最外圈要采取终端技术。也许这正是“终端”两字的来历。否则，只需叫“提高表面击穿电压”就可以了。

我们在本章中先扼要介绍碰撞电离的基本规律和雪崩击穿发生的条件，以及（理想）平行平面结的击穿电压，再扩充到用平面工艺制造的平面结，然后才讨论各种终端技术。在各种终端技术中，对于平面工艺相容的技术论述较为详细些，因为这更适用于本书所述及的器件。

由于功率场效应器件至今仍是以硅为主，砷化镓器件只是在高频应用中独占鳌头，因此除非我们特别指出，一般均指硅的情形。另外，适用于P⁺N结构的讨论自然可搬用于N⁺P结，反之亦然。在文中有这种不言而喻的转换时将不表白。

§ 3-1 碰撞电率与雪崩击穿

1. 碰撞电离率的表示式

PN结耗尽层中存在有较强电场的区域。载流子在很强的电场下运动时，在两次碰撞间由电场加速所积累的动能可能比禁带宽度大。粗略讲，如载流子能量大于1.5 E_g (E_g 为禁带宽度)，则它与晶格碰撞有可能使价带电子获得能量而激发到导带，从而产生所谓二次电子-空穴对。这种过程称为碰撞电离。

单位距离内由一个电子（或空穴）产生的二次电子-空穴对的数目称为电子的电离率 α_n （或空穴的电离率 α_p ），电离率与电场强度有强烈的关系。图3-1示出了 Ge、Si 的 α_n ， α_p 与 E 的关系实验结果^[1]。在一定的电场范围内， α_n 与 α_p 可用下式近似的表示^[2]。

$$\alpha_n = A_n \exp(-B_n/E) \quad (3-1a)$$

$$\alpha_p = A_p \exp(-B_p/E) \quad (3-1b)$$

其中 A_n ， A_p ， B_n 与 B_p 为与电场无关的常数，表3-1列出了由各作者所得的关于硅的 α 常数值。

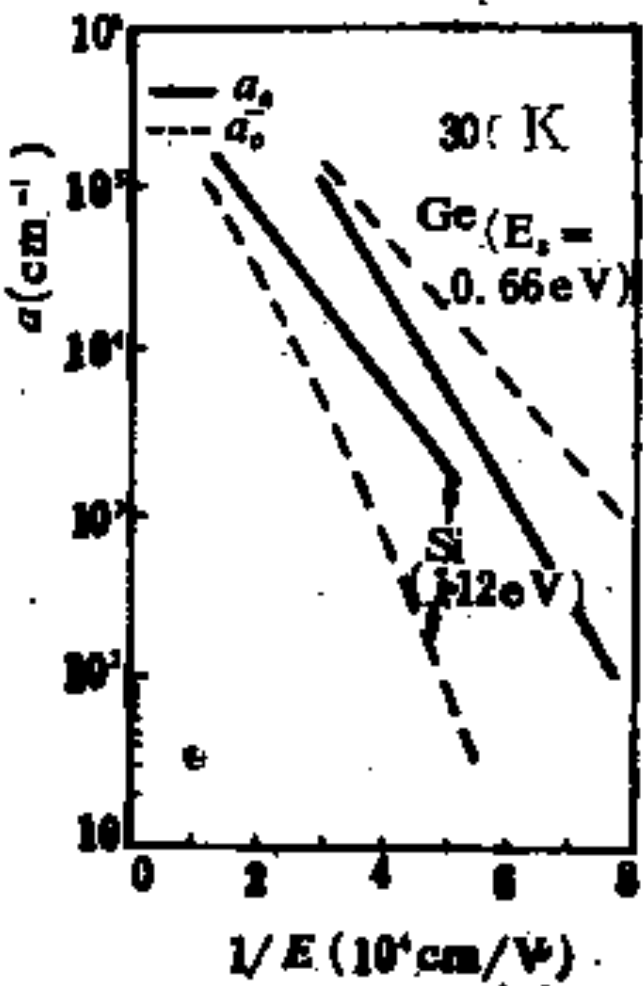


图 3-1 300K 下 Ge、Si 的碰撞电离率与电场强度的倒数间的关系^[1]

表 3-1 硅中电离率表示式(3-1)中的常数的值

	A_n $\times 10^4 \text{ cm}^{-1}$	A_p	B_n $\times 10^4 \text{ V/cm}$	B_p	适用电场范围 $\times 10^4 \text{ V/cm}$	作者及文献
1	1.6	0.55	1.65	1.65	0.18—0.5	Van Overstraeten 等[1]
2	3.8	2.25	1.75	3.26	0.18—0.5	Lee等[2]
3	0.703	1.58	1.231	2.036	0.175—0.6(电子) 0.175—0.4(空穴)	Moll等[3]
4	1.07		0.135		设 $\alpha_n = \alpha_p = \alpha_{eff}$	R.A.Kokasa等[4]

对于GaAs及GaP, 电子与空穴的电离率相等: $\alpha_n = \alpha_p$ 。在许多情形下, 如将 α_n 与 α_p 当作相等而用一个有效的电离率 α_{eff} 来表示, 会带来很大方便。表3-1中的第四行代表Si的 α_{eff} 表示式的常数之值。

Fulop 提出了一种更简单的近似式, 为[7]

$$\alpha_{eff} = 1.8 \times 10^{-35} E^7 \quad (1/\text{cm}) \quad (3-2)$$

其中 E 以 $[V/\text{cm}]$ 为单位。讨论许多实际问题的文献中常用此式, 它比较简单而且足够准确。

2. 碰撞电离率的温度关系

上面所讲的都是室温下的值。其实, 温度升高, 电离率下降, 这是因为, 温度升高后, 晶体振动加剧, 电子与晶格碰撞的机会增大, 通过电场加速积累动能以达到能发生电离的碰撞更为困难。图3-2示出了Si中 α_n 随温度 T 的变化[1]。

3. 载流子的雪崩倍增

碰撞电离使PN结的反向电流增加。在没有碰撞电离的条件下, PN结反向电流有两种: 一是由势垒区外部产生的少数载流

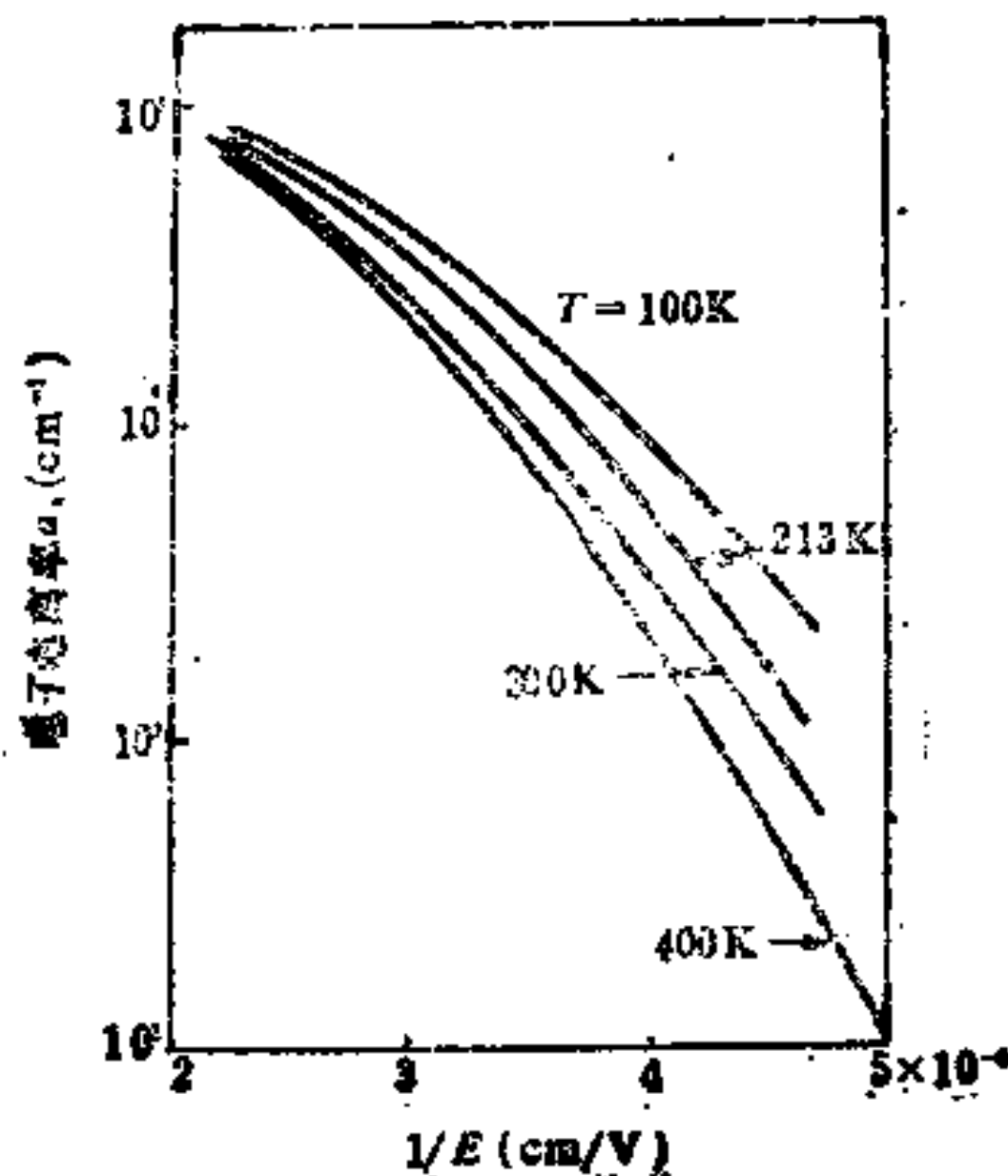


图 8-2 不同温度下，硅中电子电离率与电场倒数的关系

子扩散到势垒区所形成（扩散电流）；二种是势垒区内部产生复合中心产生电子-空穴对，电子和空穴向结两边运动所形成（产生-复合电流）。如果PN结中的电场足够强，以致电离率不是微不足道的值，那么上述两种原生载流子（或叫初级载流子）在势垒区中将产生电子-空穴对——二次载流子。这种二次载流子同样产生电流，而且它们本身还可能产生下一代的载流子，继续引起电流。载流子的这种繁殖过程称为雪崩倍增。它使PN结的反向电流大于原生电流。

现在讨论图 3-3 所示加反向电压的PN结中载流子倍增引起的电流。假设原生电流是耗尽区外产生的少子所形成，这就是由N中性区产生的空穴扩散到 $x=0$ 处所形成的电流及由P中性区产生的电子扩散到 $x=x_d$ 处所形成的电流。这两种电流的密度分别用 $J_p(0)$ 及 $J_n(x_d)$ 表示。现在看空穴流密度 $J_p(x)$ 由 x 到 $x+dx$ 的变化， $J_p(x)$ 经过 dx 产生了电子-空穴对，其中二次空穴的电流

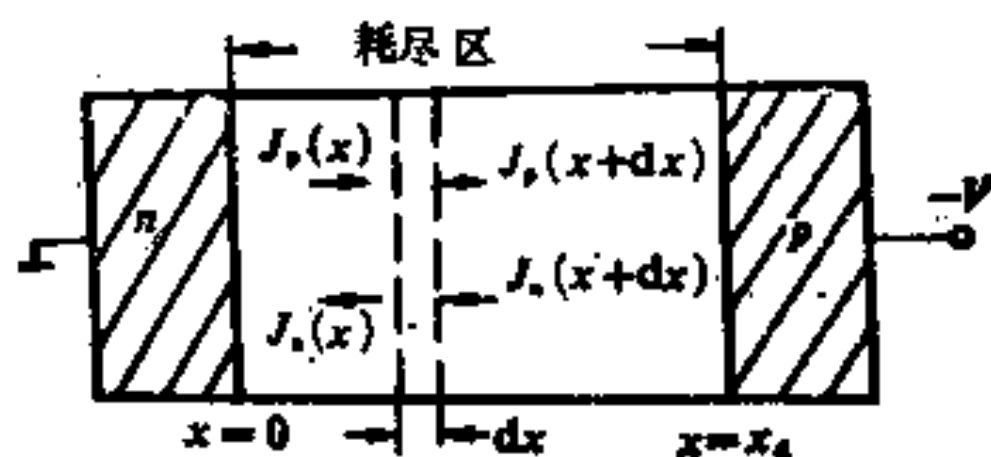


图 3-3 耗尽区中载流子倍增引起的电流变化

密度为 $\alpha_p J_p dx$ 。除此之外，在 $x+dx$ 处有电子流密度 $J_n(x+dx)$ ，电子从 $x+dx$ 流到 x 的过程中产生了电子-空穴对，造成二次空穴的电流密度为 $\alpha_n J_n(x+dx) dx \approx \alpha_n J_n(x) dx$ 。因此

$$dJ_p = \alpha_p J_p dx + \alpha_n J_n dx \quad (3-3)$$

根据电流连续性原理，总电流密度 $J_p + J_n$ 应为不随 x 变化的常数。如果这个电流密度远大于初级电流密度，则 $J_n(0) \gg J_p(0)$ ， $J_p(x_d) \gg J_n(x_d)$ ，故

$$J_p + J_n = \text{常数} \approx J_n(0) \approx J_p(x_d) \quad (3-4)$$

由式 (3-3) 与式 (3-4) 可以解出 $J_p(x_d)$ 。如定义空穴的雪崩倍增因子 M_p 为

$$M_p = \frac{J_p(x_d)}{J_p(0)} \quad (3-5)$$

则由解答得到 [8]

$$1 - \frac{1}{M_p} = \int_0^{x_d} \alpha_p \cdot \exp \left[- \int_0^x (\alpha_p - \alpha_n) dx' \right] dx \quad (3-6)$$

同样地，定义电子的雪崩倍增因子 M_n 为

$$M_n = \frac{J_n(0)}{J_n(x_d)} \quad (3-7)$$

有

$$1 - \frac{1}{M_n} = \int_0^x \alpha_n \exp \left[- \int_0^x (\alpha_n - \alpha_p) dx' \right] dx \quad (3-8)$$

4. 雪崩击穿的条件

如果式(3-6)右端接近于1, 则 $M_p \rightarrow \infty$, 这代表极小的初级空穴电流可导致无穷大的电流, 这就是所谓由空穴发动的雪崩击穿。同样地, 如果式(3-8)右端接近于1, 则发生由电子发动的雪崩击穿。实际的击穿电压决定于那一种击穿条件所发生的电压低。

为了方便起见, 通常设 $\alpha_n = \alpha_p = \alpha$, 于是雪崩击穿的条件为

$$\int_0^x \alpha dx = 1 \quad (3-9)$$

§ 3-2 平行平面结的击穿电压与临界电场

平行平面结 (Parallel Plane Junction, 又称 Plane Junction 或 Ideal One-Dimensional Diode) 是一种理想的 PN 结二极管, 其中电场是一维分布的。

1. 突变结及线性缓变结的情形

图 3-4 示出了 PIN、单边突变 PN^+ 结、PN 结及线性缓变结的

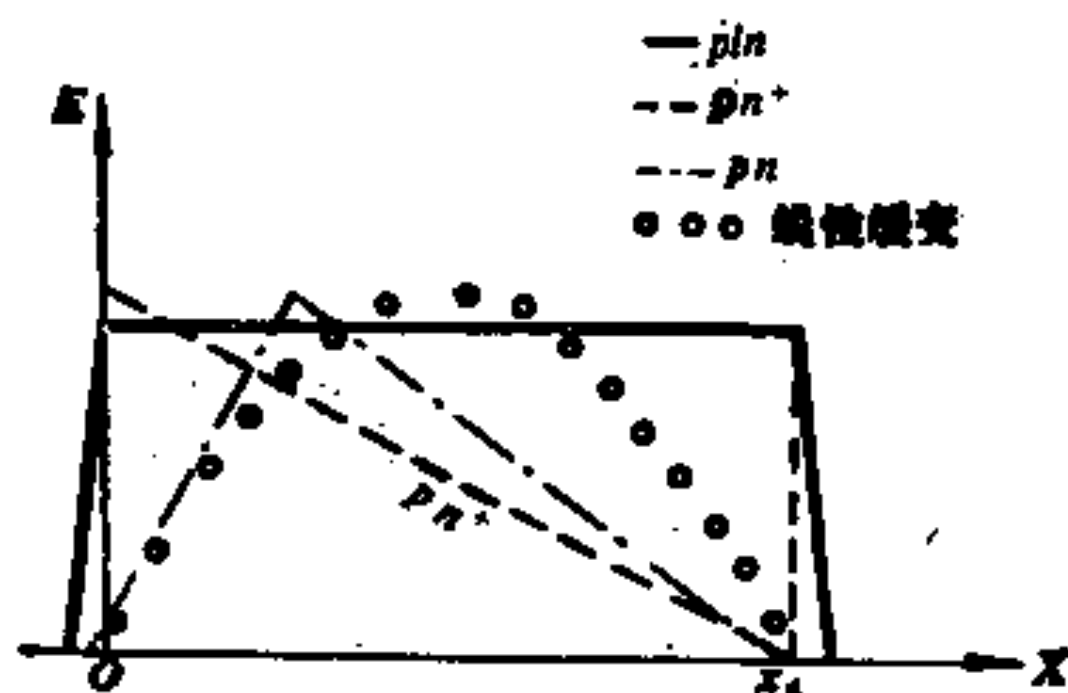


图 3-4 各种平行平面结的耗尽区中电场分布图

电场分布。由电场分布代入式(3-1)或式(3-2)得到 α 随 x 的变化, 再将 α 代入式(3-9)可得到击穿时最大电场随 x_d 的变化, 又将这时的电场代入下式可求出击穿电压

$$V_{BR} = \int_0^{x_d} E dx \quad (3-10)$$

表3-2中列出了几种结的击穿电压、最大电场 E_M 与耗尽层厚度的关系^[9, 10]。此表的计算利用了式(3-2), 表中 V_{BR} 的单位为V, N_B 的单位为 cm^{-3} 。 N_B 对单边突变结代表轻掺杂区的杂

表 3-2 平行平面结 V_{BR} 的 x_d 与 E_M 的一些关系

结 型	$V_{BR}(\text{V})$	$x_d(\text{cm})$	$E_M(\text{V/cm})$	E_M 在 V_{BR} 从100V到2000V的值
PIN	$0.92 \times 10^5 x_d^{2/3}$	$1.62 \times 10^{-4} V_{BR}^{3/4}$	$0.52 \times 10^6 V_{BR}^{-1/4}$	$1.74 \sim 8.7 (\times 10^5)$
突 变 结	$5.3 \times 10^{12} N_B^{-1/2}$ $0.63 \times 10^5 x_d^{2/3}$	$2.5 \times 10^{-4} V_{BR}^{3/4}$ $2.6 \times 10^{12} N_B^{-1/2}$	$0.8 \times 10^6 V_{BR}^{-1/4}$ $4010 N_B^{1/2}$	$2.5 \sim 3.7 (\times 10^5)$
线性缓变结	$9.6 \times 10^5 a^{-1/3}$	$2.15 \times 10^{-4} V_{BR}^{3/4}$	$0.7 \times 10^6 V_{BR}^{-1/4}$	$2.0 \sim 2.2 (\times 10^5)$

质浓度, 对双边突变结代表

$$N_B = (N_A^{-1} + N_D^{-1})^{-1} \quad (3-11)$$

其中 N_A 及 N_D 是两边的杂质浓度, a 的单位为 cm^{-4} , 代表线性缓变结杂质浓度梯度。

单边突变结的 V_{BR} 与 N_B , V_{BR} 与 x_d 的关系示于图3-5中, 图中含 N_B 与纯净单晶在300K下的电阻率 ρ 的关系, 以便参考用。

2. 扩散结的情形

图3-6给出了Ghandhi对一个简化的扩散结的 V_{BR} 计算结果^[10]。这个结的杂质浓度从线性缓变突然过渡到常数, 如图

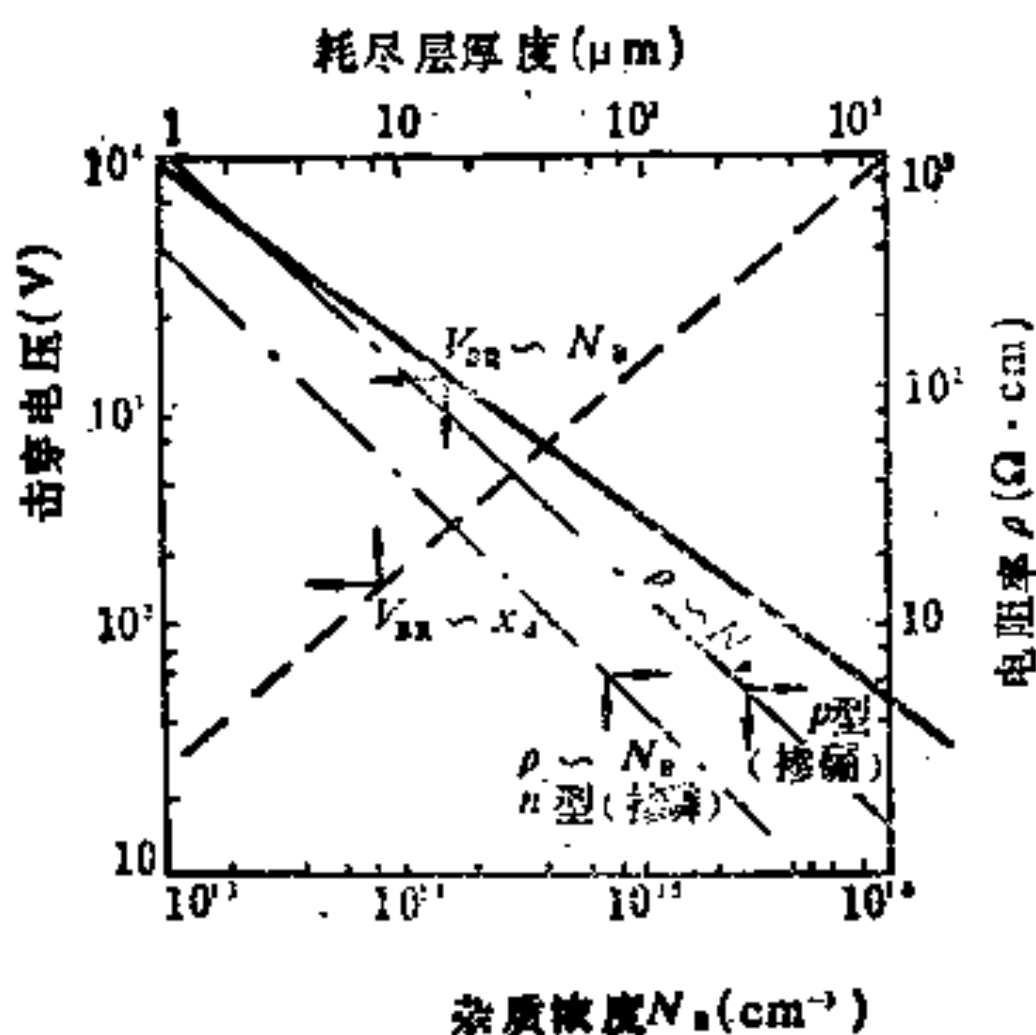


图 3-5 单边突变结击穿电压与杂质浓度 (电阻率), 耗尽区厚度的关系

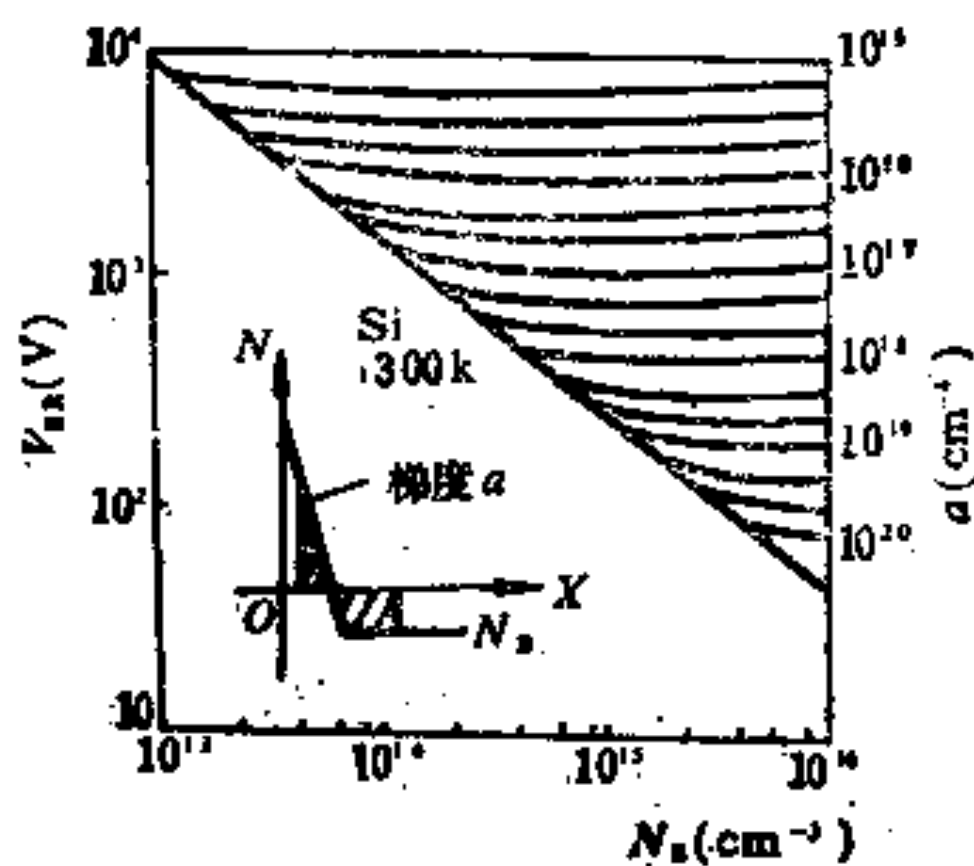


图 3-6 单边线性缓变结的 V_{BR} 与 N_B 及 a 的关系

中插图所示。当衬底杂质浓度 N_B 低而 a 值大时, V_{BR} 过渡到最下方的斜线, 和单边突变结一致。当 N_B 高而 a 值小时, V_{BR} 与 N_B 无关, 是图中的一些水平线, 这相当于线性缓变结的情形。

由平面工艺制造的扩散结, 如扩散后杂质分布为余误差函数

(例如预沉积后的杂质分布)，则 V_{BR} 与衬底杂质、扩散杂质的表面浓度以及结深的关系如图3-7所示。由图可知，当衬底杂质浓度 N_B 低且结深 x_j 浅的情况下， V_{BR} 与 N_B 的关系和单边突变结一致（图中的直线）。在衬底杂质浓度 N_B 很高时， V_{BR} 与 N_B 的关系逐渐变小，曲线变得平坦，最后将过渡到线性缓变结的情形。

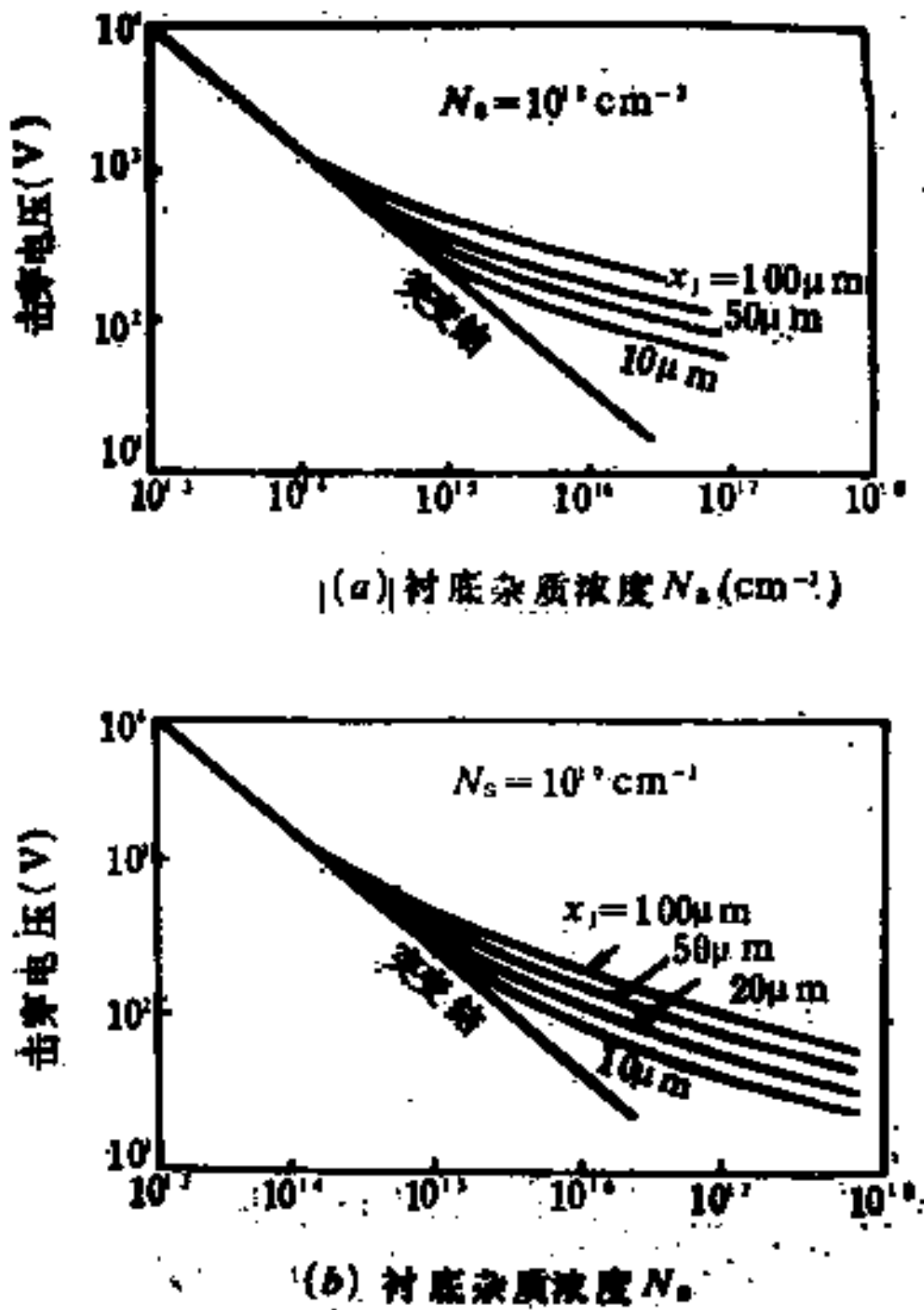


图 3-7 扩散结击穿电压与衬底杂质浓度的关系
(N_s 为扩散杂质表面浓度， x_j 为结深)

如在制造扩散结时杂质经预沉积后还经再分布（主扩散）过程，则杂质分布近于高斯分布。图3-8示出了高斯分布和前面所述余误差函数分布与离开表面的距离 x 的关系， D 及 t 是杂质高

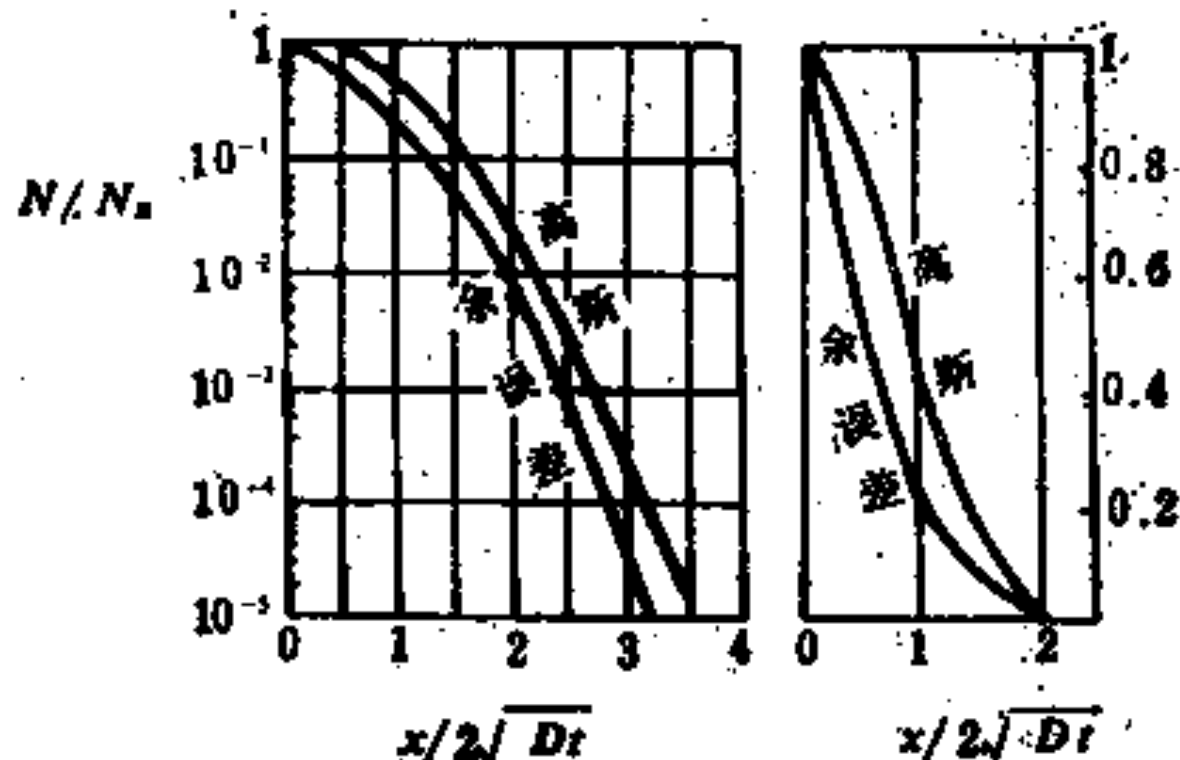


图 3-8 高斯分布和余误差函数分布

温扩散时的扩散系数与时间。由图可知，如耗尽层涉及的杂质浓度在表面浓度的1/10以下，则高斯分布与余误差函数分布形式相仿，只差一个常数因子。实际上，Kokosa等人发现，如表面浓度和衬底浓度之比 N_s/N_B 在 10^2 到 10^7 之间，则余误差函数的图3-8可直接用于高斯分布，只要把余误差函数的 N_s/N_B 值降低2.5倍。

3. 临界电场

由表3-2可知，各种结在很宽的击穿电压范围内， E_M 的值都

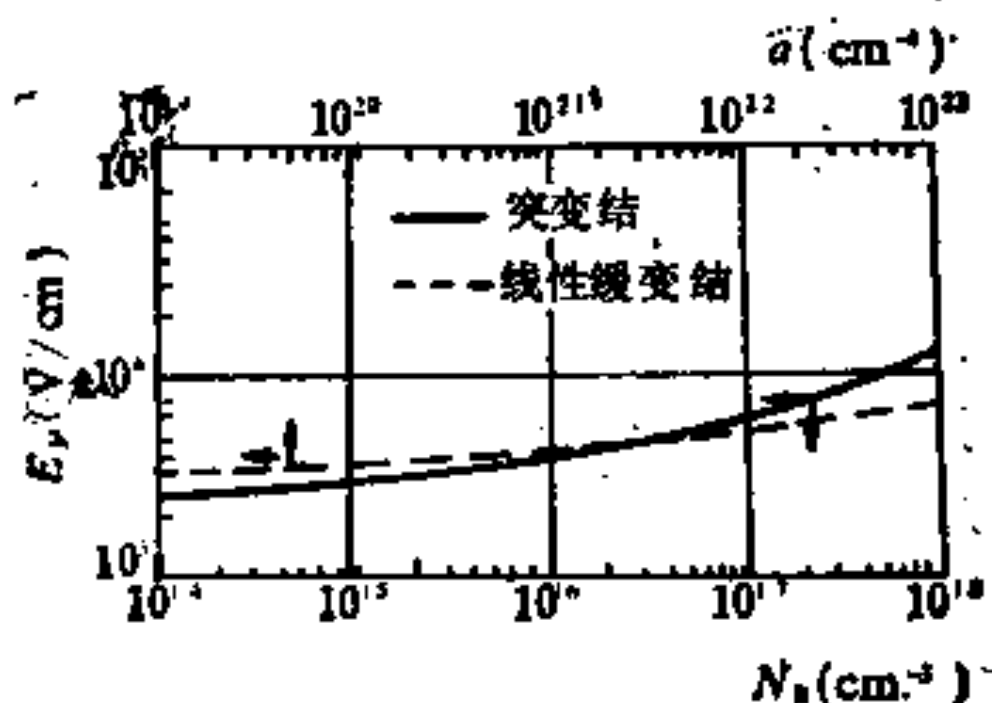


图 3-9 突变结和线性缓变结的 E_M 与杂质浓度和梯度的关系
差不多。图 3-9 示出突变结和线性缓变结的 E_M 与杂质浓度梯度

的关系^[1]。从图可看出，两种关系都是很微弱的，可以用以下两式近似地表示：

$$E_M = \frac{4 \times 10^5}{1 - \frac{1}{3} \ln\left(\frac{N_B}{10^9}\right)} (\text{V/cm}), \text{ 对突变结} \quad (3-12a)$$

$$E_M = 1.13 \times 10^4 a^{0.075} (\text{V/cm}), \text{ 对线性缓变结} \quad (3-12b)$$

E_M 的值几乎不变这一事实可解释如下：由于 α 是 E 的强烈函数，式(3-9)积分项的贡献主要来自 α 在最大电场 E_M 及其邻近处的值，这本身限制了 E_M 的变化：如 E_M 稍低，则积分就会小于1，反之，则积分就会大于1，而击穿的条件为积分等于1。因此，各种结的形式中电场分布虽然不同，但击穿时的 E_M 却差不多。

由于上述事实，可以定义一个击穿的临界电场 E_c 。意思是说，当PN结中最大电场达到 E_c 之值，就发生击穿。临界电场 E_c 的概念对解决一些复杂的击穿问题带来很大的方便。由上图知， E_c 可定为 $2.2 \times 10^5 \text{ V/cm}$ 。当然，严格讲 E_c 不是一个常数，对突变结和线性缓变结，式(3-12)的 E_M 可当作 E_c 的严格的定义。此外，如从 E_c 与击穿电压的关系看，表3-2列出了 $E_c = 0.8 \times 10^6 V_{BR}^{-1/6} (\text{V/cm})$ (对突变结) 及 $E_c = 0.7 \times 10^6 V_{BR}^{-1/6} [\text{V/cm}]$ (对线性缓变结)。另一种 E_c 的表示式可由施敏等人的结果得到^[11]，为 $E_c = 0.78 \times 10^6 V_{BR}^{-0.20} [\text{V/cm}]$ 。

由上面的讨论引伸出一个重要的结论，由于电压是图3-4中电场曲线下的面积，而击穿受限于最大电场不能超出 E_c 。因此在各种结构中，要达到最大的击穿电压 V_{BR} ，则电场分布应尽可能平坦，且平坦的区域要尽可能地宽。这个结论对后面讨论表面击穿及终端技术甚为有用。

4. 穿通二极管的击穿电压

现在利用临界电场的概念来讨论穿通二极管的击穿电压。图3-10示出了这种二极管击穿时的电场分布。图中虚线是假设耗

尽层不穿通的情形，这时击穿电压 V_{BR} 为直角三角形下的面积。对于穿通的情形，击穿时最大电场仍为 E_c ，但击穿电压 $V_{BR,PT}$ 是图中阴影区（梯形）的面积。由此可知，在同样轻掺杂区杂质浓度下，两种管子的击穿电压比值为

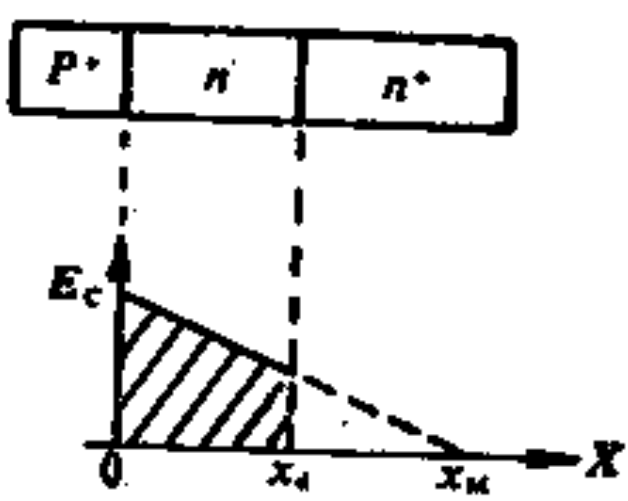


图3-10 穿通二极管的电场分布

$$\frac{V_{BR,PT}}{V_{BR}} = \frac{x_d}{x_M} \left(2 - \frac{x_d}{x_M} \right) \tag{3-13}$$

其中 x_M 是不穿通的二极管的最大耗尽厚度。

5. 击穿电压的温度关系

由于温度升高，电离率会下降，因此雪崩击穿电压随温度的升高而增加，图3-11给出了硅突变结与线性缓变结的击穿电压与温度的关系。

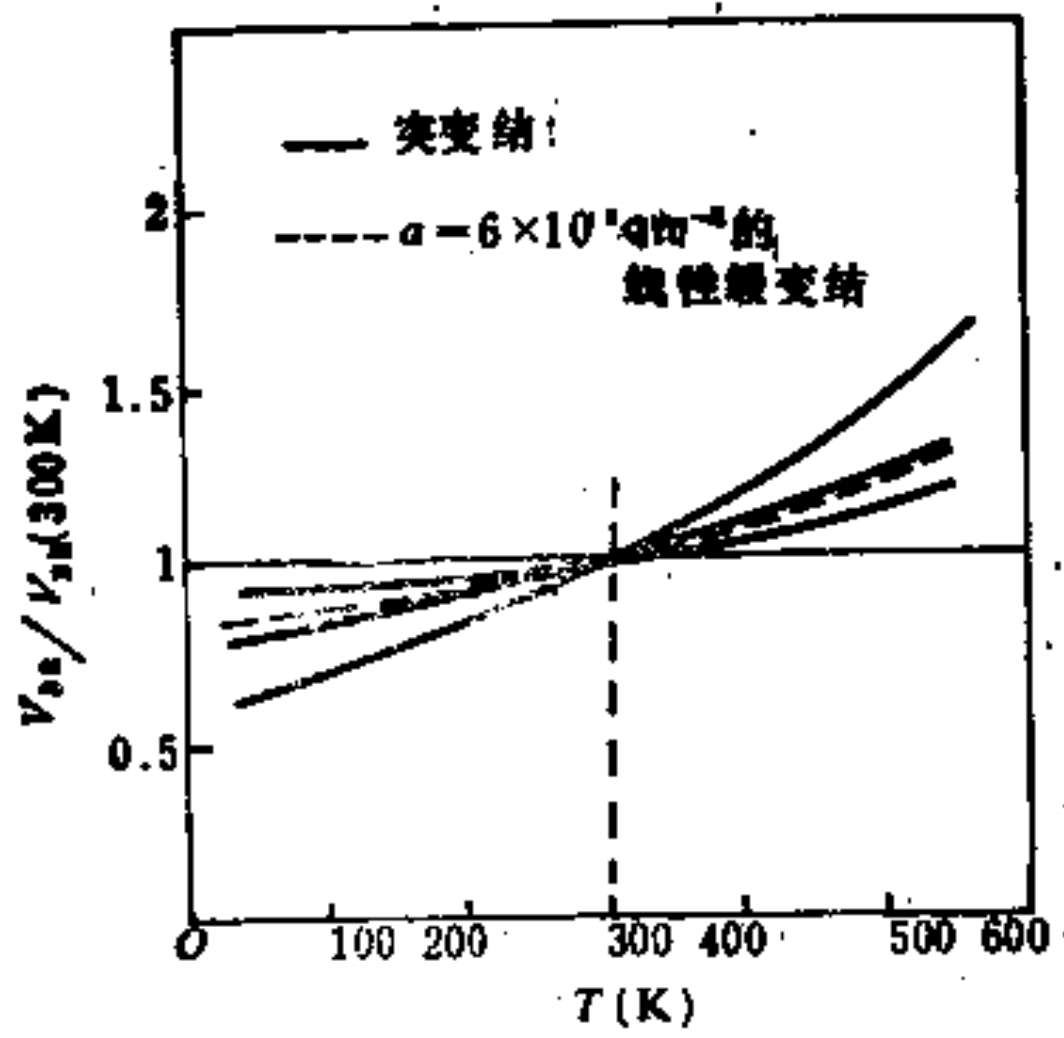


图3-11 Si PN结击穿电压与绝对温度的关系

§ 3-3 平面结击穿

实际用平面工艺制造的 PN 结, 是在光刻掩膜开窗口后做扩散工艺所形成。在窗口中间大部分地区, 冶金结面近于平面。但在边、角之处, 冶金结面近似于圆柱面及球面。这种结称为平面结 (Planar Junction), 由于冶金结面在边、角处存在的曲率, 导致表面电场比体内高, 因此实际平面结的击穿电压比 (理想的) 平行平面结的击穿电压低。

1. 突变结圆柱区及球区的对称解及击穿电压

通常假设边、角区域的电场可用泊松方程的圆柱对称解及球对称解作近似。在这种假设下, 边、角的泊松方程可表示为

$$\frac{1}{r^n} \frac{d}{dr} \left[r^n E(r) \right] = \frac{-qN_B}{\epsilon_s} \quad (3-14)$$

其中对圆柱区域 $n=1$, 对球区 $n=2$, r 是圆柱及球的座标半径。由此可求出电场的解:

$$E(r) = \frac{-qN_B}{(n+1)\epsilon_s} \left(\frac{r^{n+1} - r_d^{n+1}}{r^n} \right) \quad (3-15)$$

其中 r_d 是耗尽层外边界的半径, 它可由以外边界电位为外加电压的条件来决定。

由式 (3-15) 可得电位分布:

$$V(r) = \frac{qN_B}{2\epsilon_s} \left[\frac{r_j^2 - r^2}{2} + r_d^2 \ln \frac{r}{r_j} \right] \quad \text{对圆柱区} \quad (3-16a)$$

$$V(r) = \frac{qN_B}{3\epsilon_s} \left[\frac{r_j^3 - r^3}{3} + r_d^3 \left(\frac{1}{r_j} - \frac{1}{r} \right) \right] \quad \text{对球区} \quad (3-16b)$$

在 r 较小而接近冶金结的曲率半径 r_j 之处, 电场很大。这时如

忽略式 (3-15) 中 r^{n+1} 之项, 可得 [12]

$$E(r) = \frac{qN_B}{(n+1)\epsilon_s} \frac{r_d^{n+1}}{r^n} \quad (3-17)$$

由于碰撞电离只在电场强的地方才发生, 因此可以由上式采用 Fulop 的近似式 (3-2) 计算电离率, 再由雪崩击穿的条件式 (3-9) 可以求得击穿时的最大电场

$$E_M = \begin{cases} 1.188 \times 10^5 / (r_j)^{1/7} & [\text{V/cm}] \quad \text{对圆柱区} \quad (3-18a) \\ 1.326 \times 10^5 / (r_j)^{1/7} & [\text{V/cm}] \quad \text{对球区} \quad (3-18b) \end{cases}$$

其中 r_j 以 [cm] 计, 由此得到圆柱结及球形结的击穿电压 $V_{(BR)CY}$ 与 $V_{(BR)SP}$ 。它们可表为

$$\frac{V_{(BR)CY}}{V_{(BR)P}} = \left[\frac{1}{2} (\eta^2 + 2\eta)^{5/7} \ln(1 + 2\eta^{-5/7}) - \eta^{5/7} \right] \quad (3-19a)$$

$$\frac{V_{(BR)SP}}{V_{(BR)P}} = [\eta^2 + 2.14\eta^{5/7} - (\eta^3 + 3\eta^{15/7})^{2/3}] \quad (3-19b)$$

其中 $V_{(BR)P}$ 代表同样轻掺杂区 (背景) 浓度下, 平行平面结的击穿电压。 $\eta = r_j / W_M$, W_M 是平行平面结在击穿时的耗尽层厚度。在文献中 η 常称为归一化曲率半径。

图3-12中虚线表示式 (3-19) 的结果。由于通常 r_j 比 W_M 小得多, 因此平面结比平行平面结的击穿电压低。 r_j 愈小, 击穿电压愈低, 这是因为, 曲率愈大 (即 r_j 愈小), 表面部分电力线愈加集中, 电场愈强, 愈容易发生击穿。球形结的击穿电压又低于圆柱结的, 因此, 在功率器件中, 为了避免球形结, 扩散窗口不应有尖角。为此, 窗口常呈较大的圆弧形, 使结的边缘基本上成为圆柱形结。此外, 还需采取终端技术, 提高边缘击穿电压。

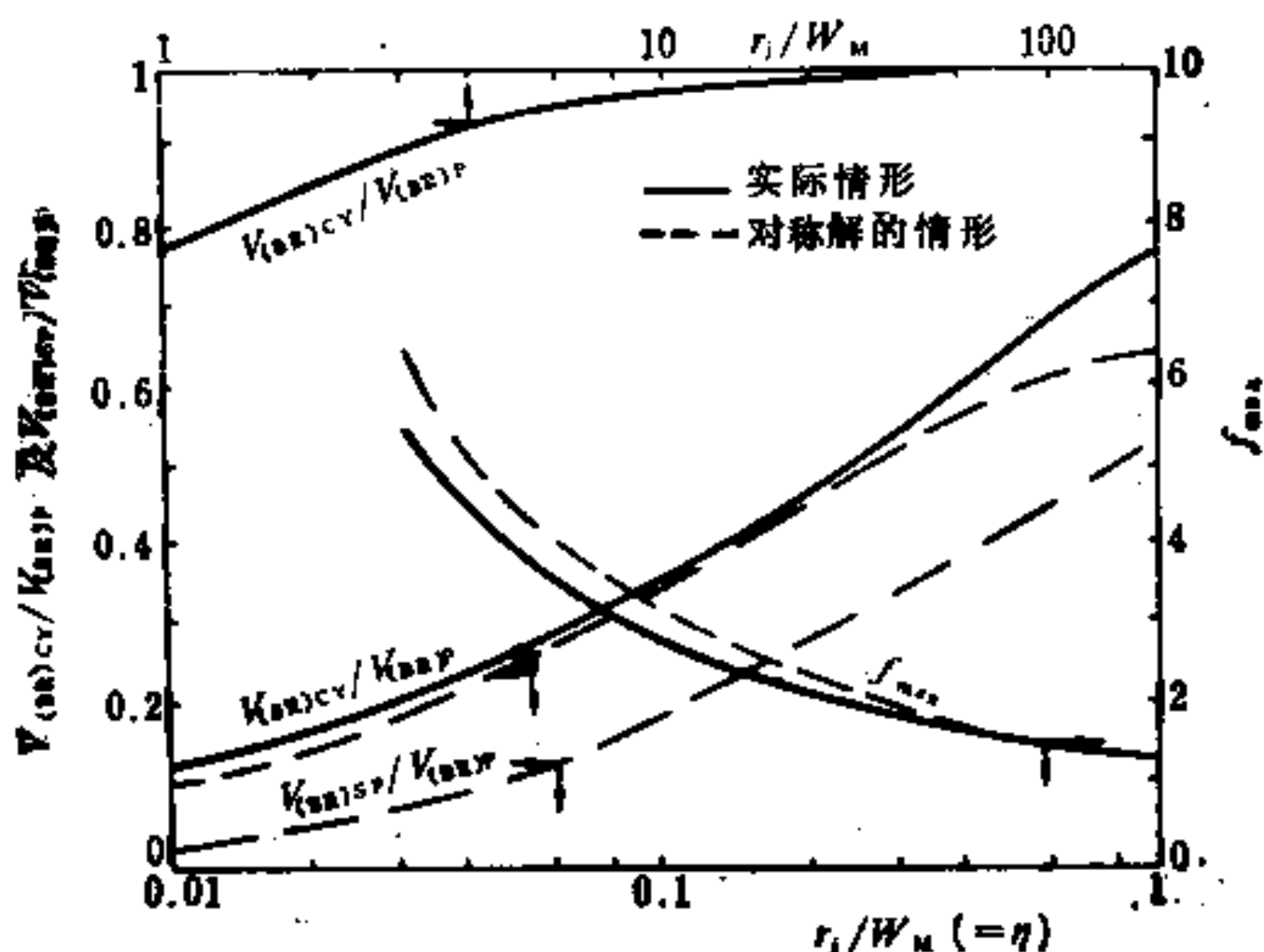


图 3-12 对称解和实际解的击穿电压和最大电场

2. 对称解的问题及其修正

严格讲，圆柱对称或球对称解在边界上并不适用。在文献[13]中，陈星弼指出在图 3-13 的 N^+P 结中，在圆柱部分和平面部分的交界处，圆柱对称解和一维平面解的两种电场不能连续过渡，而且耗尽区外边界也存在不确定性。在文献[14]中采用了两个区域的包括 Laplace 方程的普遍解的形式来解决这个问题；具

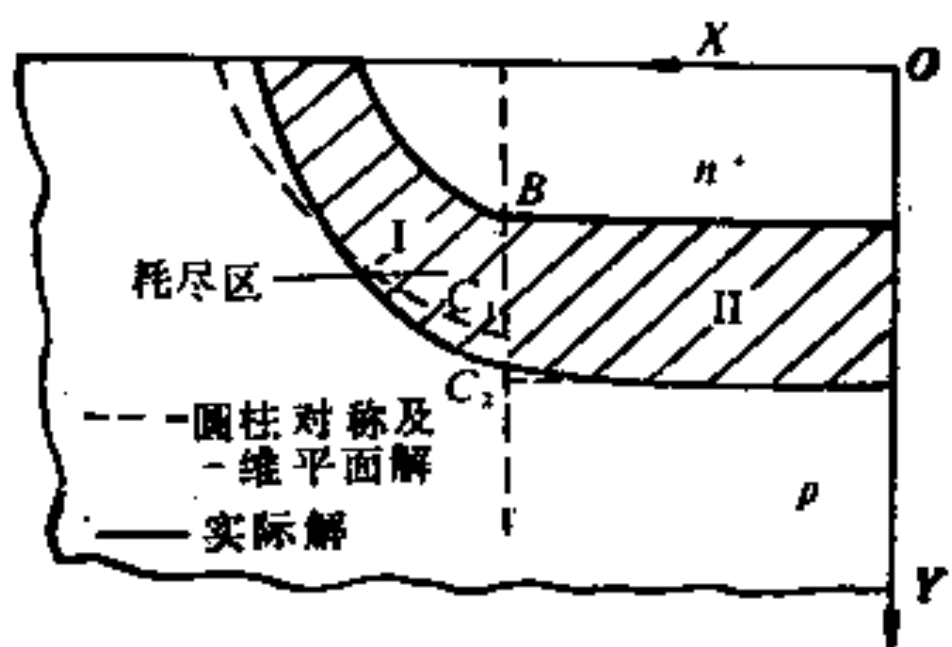


图 3-13 N^+P 结的耗尽区（圆柱对称解及一维平面解在交界处各为 BC_1 及 BC_2 ）

体要求在交界面上电场及电位连续，圆柱部分的击穿电压可近似表示为

$$\frac{V_{(BR)CY}}{V_{(BR)P}} = 0.545 \ln \left[\frac{8}{\ln \frac{6.73}{\eta}} \right] \quad (1 > \eta > 0.01) \quad (3-20)$$

这个结果在图 3-12 中用实线表出。

由图中两种 $V_{(BR)CY}$ 结果的比较可知：在 η 较大及较小时，式(3-20)的 $V_{(BR)CY}$ 均较式(3-19a)的为高。在 η 较大时，这是由于式(3-19a)假设了电场分布为式(3-17)的形式。显然，当 r_j 很大时，圆柱的电场应逐渐接近于平面的电场，即电场与 r 的关系接近于线性，就是说，这时式(3-15)中的 r^{n+1} 将成为主要的，而不能象推出式(3-19a)那样，将其略去。在 η 较小时，式(3-19a)也给出较低的击穿电压。这是因为，PN 结的平面部分对降低表面的电场有一定的作用。在圆柱对称解中完全忽略了这个作用，因此给出了过高的表面电场。图 3-12 中也表出了实际电场与对称解的电场在表面的最大值。 f_{max} 代表表面最大电场与同样衬底杂质浓度及电压下平行平面结最大电场的比值。由此可见，实际的 f_{max} 确实比对称解给出的低。计算还表明，最大电场 f_{max} 发生在表面，然后沿冶金结面向内部逐渐变小，最后过渡到平面部分。值得指出的是，圆柱部分较高的电场在过渡到平面部分后，并不立刻降到理想的一维平面结的值，而是要经过一定的距离。这可以说是表面部份对平面部分的影响。

平面工艺制造的 PN 结常用和衬底异型的杂质，经过窗口扩散入体内而形成。此种结在边上的冶金结面固然从文献[15]的结果看，近似为圆柱形，但较精确的描述由文献[16]作出，为椭圆圆柱形。文献[17]的描述更加精确，并给出了结面在表面和窗口边缘的距离关系。文献[18]对椭圆柱面的突变结的电场分布提供了解析形式，并给出了击穿电压与结深有关之参量的关系。椭圆柱解对有终端的结构是特别有利的工具。

8. 缓变结的情形

严格讲, 由杂质扩散形成的PN结并非上面所讲的单边突变结。施敏计算了杂质在冶金结附近为线性缓变及衬底边为常数而表面区为线性分布的情形下, 平面、圆柱及球形的解^[19]。Wilson 计算了表面杂质为高斯分布及余误差分布的情形下, 平面、圆柱及球形的解^[20]。他们的计算结果都表明, 在杂质浓度离冶金结向表面逐渐增加的情形下, 击穿电压与边、角的曲率关系变得较弱, 即边、角的耐压可大大提高。

本书作者对上述结果的解释如下: P^+N 结中N型区的电力线指向冶金结, 随着地点 r 的缩小, E 本身按 $1/r$ (圆柱)及 $1/r^2$ (球)不断增大, 这有两个原因: 一个是 r 减少电力线集中; 另一个是N型中电离施主还不断产生新的电力线。过了冶金结面之后($r > r_j$), 第一个因素依然存在, 第二个因素则反了过来, 由于P型区电离受主是电力线终止之处, 因此电力线总数又将不断减少。电场等于电力线密度。以上两个因素使 r 减小时电场一张一消, 经过一段距离之后才变为零而过渡到P型中性区。一张一消两因素使电场最大值发生在 $r < r_j$ 处, 而不是在 $r = r_j$ 处。在最大值附近一般有一个平坦区, 平坦区可吸收较高的电压而电场峰值不会太高, 这就是为什么有曲率反而对提高耐压有好处的原因。

4. 穿通二极管的击穿电压

现在讨论穿通平面管的击穿电压。图 3-14 的插图代表这种情形。平面部分的穿通电压 V_{Pt} 及耗尽层厚度 x_d 在同样衬底浓度下, 非穿通二极管的击穿电压 $V_{(BR)P}$ 及最大耗尽层厚度 W_M 可利用图 8-10 得到,

$$V_{Pt} = \frac{qN_B x_d^2}{2\epsilon_s} = V_{(BR)P} \cdot \left(\frac{x_d}{W_M}\right)^2 \quad (3-21)$$

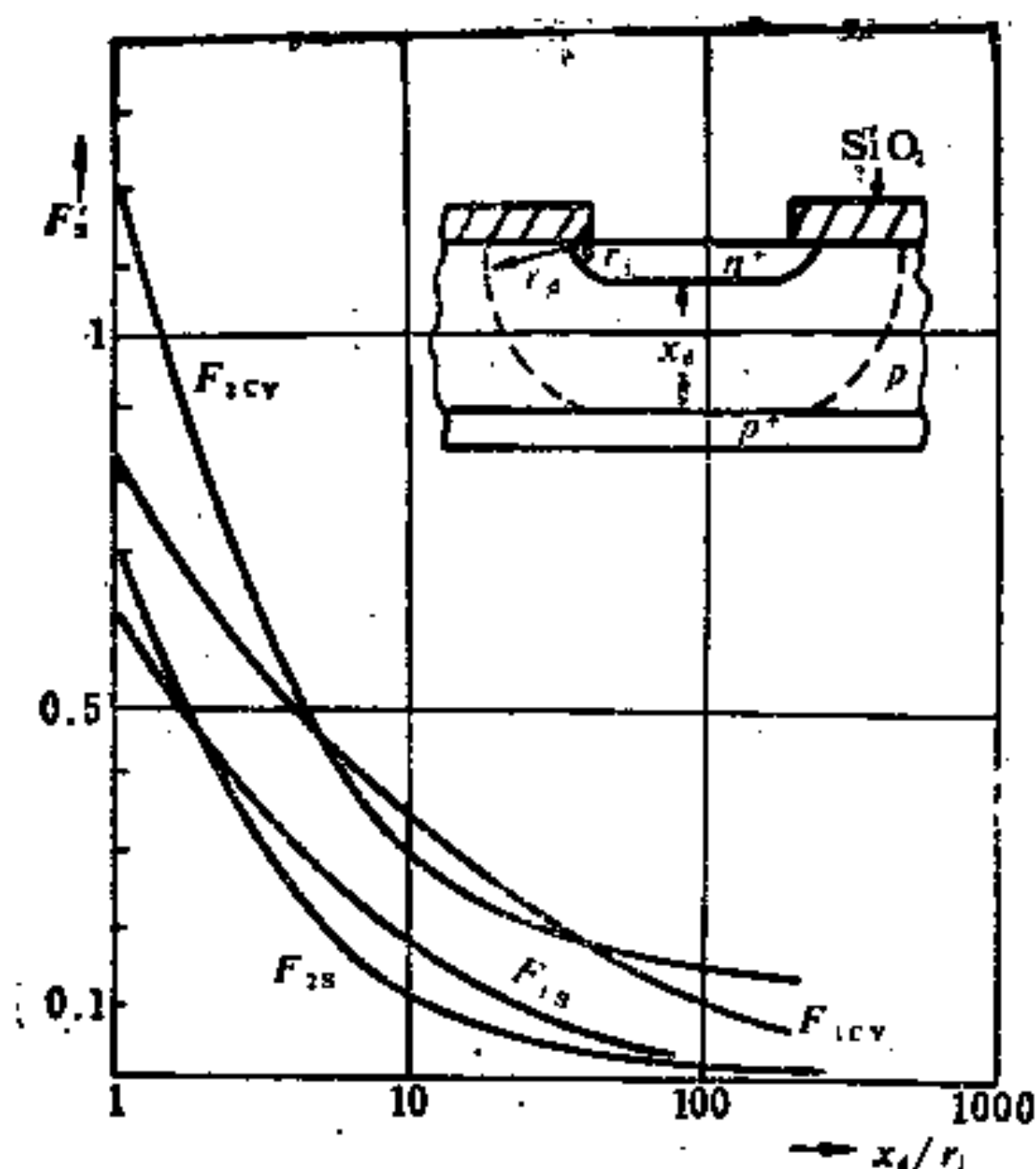


图 3-14 穿通二极管圆柱及球面部份击穿电压的有关系数
如同样电压下圆柱部分耗尽层边界的半径为 r_d ，则由式(3-16a)及上式得 r_d/r_j 与 x_d/r_j 的关系

$$\left(\frac{x_d}{r_j}\right)^2 = \left(\frac{r_d}{r_j}\right)^2 \ln\left(\frac{r_d}{r_j}\right) - \frac{1}{4} \left[\left(\frac{r_d}{r_j}\right)^2 - 1 \right] \quad (3-22)$$

当电压超过 V_{Pt} 时，平面部分的耗尽区不可能扩展。至于圆柱部份耗尽区的边界，则 Anantharam 等假设这时边界的扩展在计算电位的式子中也可略去^[21]，于是得到圆柱部分电场的泊松方程解为

$$E_{CY} = \frac{K_{CY}}{r} - \frac{V_{Pt}}{x_d^2} r \quad (3-23)$$

其中

$$K_{CY} = \frac{V - V_{Pt}}{\ln\left(\frac{r_d}{r_j}\right)} + V_{Pt} \left(\frac{r_j}{x_d}\right)^2 \left(\frac{r_d}{r_j}\right)^2 \quad (3-24)$$

忽略式 (3-23) 中 r 的线性项, 将 E_{CY} 代入式 (3-2) 得 α , 再代入击穿条件 $\int_{r_1}^{r_d} \alpha dr = 1$ 可求得表面的击穿电压

$$V_{(BR)CY} = F_{1CY} V_{(BR)Pi_n} - F_{2CY} V_{Pt} \quad (3-25)$$

其中 $V_{(BR)Pi_n}$ 代表 i 层厚度为 x_d 的 PIN 管击穿电压, 由表 3-2 为

$$V_{(BR)Pi_n} = 0.92 \times 10^5 x_d^{0.7} \quad (3-26)$$

而 F_{1CY} 、 F_{2CY} 为只与 r_1/x_d 及 r_1/r_d 有关的常数

$$F_{1CY} \approx (6)^{1/7} \left(\frac{r_1}{x_d} \right)^{6/7} \ln \left(\frac{r_1}{r_d} \right) \quad (\text{当 } r_d/r_1 \geq 2) \quad (3-27a)$$

$$F_{2CY} = \left[\left(\frac{r_1}{x_d} \right)^2 \left(\frac{r_d}{r_1} \right)^2 \ln \left(\frac{r_d}{r_1} \right) - 1 \right] \quad (3-27b)$$

通过式 (3-22) 可消去 r_d/r_1 , 得到 F_{1CY} 和 F_{2CY} 只与 x_d/x_1 有关, 表示在图 3-14 中。

式 (3-25) 中 V_{Pt} 可通过式 (3-21) 由 x_d 及 N_B 决定, 其它各量由 r_1 , x_d 均可定出, 于是可以定出圆柱部分的击穿电压。

球面部分击穿电压的决定和上面相仿, 首先可得 r_d/r_1 与 x_d/r_1 的关系 (r_1 与 r_d 是球形耗尽区的内外半径):

$$\left(\frac{x_d}{r_1} \right)^2 = \frac{2}{3} \left(\frac{r_d}{r_1} \right)^2 \left(\frac{r_d - r_1}{r_1} \right) - \frac{1}{3} \left[\left(\frac{r_d}{r_1} \right)^2 - 1 \right] \quad (3-28)$$

球形部分的电场为

$$E_s = \frac{K_s}{r^2} - \frac{2}{3} \cdot \frac{V_{Pt}}{x_d^2} r \quad (3-29)$$

其中

$$K_s = \frac{(V - V_{Pt}) r_1 r_d}{(r_d - r_1)} + \frac{2}{3} \frac{V_{Pt} r_d^2}{x_d^2} \quad (3-30)$$

在式(3-2)的 α 中略去上面 E_s 中 r 的线性项,再由击穿条件可得球形部分击穿电压

$$V_{(BR)S} \approx F_{1S} V_{(BR)Pln} - F_{2S} V_{Pl} \tag{3-31}$$

其中

$$F_{1S} \approx (13)^{1/7} \frac{(r_d - r_j)}{r_d \cdot (x_d/r_j)^{2/7}} \tag{3-32a}$$

$$F_{2S} = \left[\frac{2}{3} \left(\frac{r_d}{x_d} \right)^2 \left(\frac{r_d - r_j}{r_j} \right) - 1 \right] \tag{3-32b}$$

F_{1S} 及 F_{2S} 已表示于图3-14中,由此可计算其击穿电压。

§ 3-4 场板及有关技术

1. 扩散保护环

为了降低曲率效应,提高结边缘的击穿电压,一个最明显的措施就是增加曲率半径。例如,采用深结扩散以增大 r_j 。或者,采用扩散保护环(Diffused guard ring),如图3-15所示。这是在原有的结周围做一个同型的很深的环结,使边缘曲率半径 r_j 增加。而且,深的扩散结在冶金结面的杂质浓度梯度较小,这也有助于提高耐压。

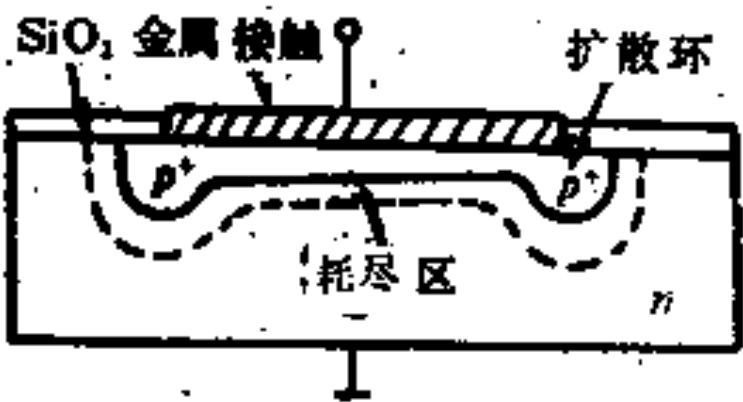


图 3-15 扩散保护环

但是,对于击穿电压超过几百伏的高压器件,由表3-2可知,其耗尽层厚度超过 $10\mu\text{m}$ 。要结深接近这个厚度,是很难用通常平面工艺扩散硼的方法来得到的。于是由图3-12可知,表面击穿电压将低于体内规定值的60%。

2. 场板

场板(Field Plate缩写FP)的基本结构如图3-16所示。场板是提高表面耐压的常用方法之一。

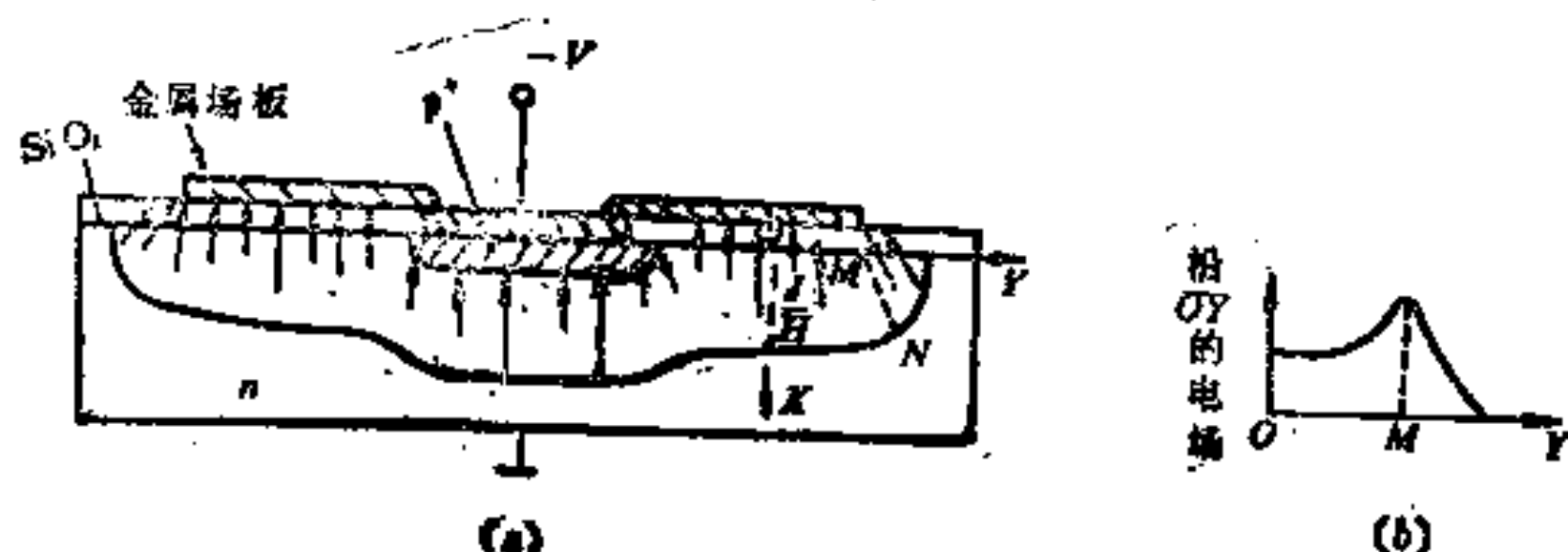


图 3-16 具有场板的P+N结(击穿可能沿IH这一类内部电力线,也可能沿MN这一类边缘电力线)

(a)电力线示意图; (b)沿OY方向电场分布

先讨论场板长度远大于下面氧化层及耗尽层厚度的情形。场板下除边缘部分外,电场分布是一维的,类似于MOS电容。由击穿的临界电场 E_c 容易证明击穿时氧化层压降为 $\frac{\epsilon_s}{\epsilon_o} E_c \cdot t_{ox}$ 其中 t_{ox} 是氧化层厚度, ϵ_o 是氧化层的介电常数,它比Si的小三倍。由表3-2得击穿时半导体的电压,两者之和为有场板时的击穿电压[注]。

$$V_{(BR)FP} = 3t_{ox} \cdot 4010N_B^{\frac{1}{8}} + 5.34 \cdot 10^{13} N_B^{-0.75} \quad (3-33)$$

式中 t_{ox} 是氧化层的厚度。

由此可见,当 N_B 及 t_{ox} 较大时,击穿电压与 t_{ox} 为线性关系,而且 N_B 增加,击穿电压反而增加。

上述一维的计算不适用于场板的边缘部份。在场板的边缘,电力线集中。根据O'Neil与Alonas的模拟计算结果[22]。具有

[注] 这里忽略了平带电压 V_{FB} ,读者不难自己推得有平带电压时的关系。

氧化层厚度 t_{ox} 的场板的边缘击穿电压相当于一个结深为 $(\epsilon_s/\epsilon_{ox}) \cdot t_{ox} = 3t_{ox}$ 的突变结的击穿电压。因此我们可以用式 (3-19a) 来计算场板边缘的击穿电压, 只要将其中的 η 用 $3t_{ox}/W_M$ 代替。由该式可见, 场板边缘的击穿电压在 t_{ox} 小时变得很低。另外, 当 N_B 增加时, $V_{(BR)P}$ 随 $N_B^{-0.75}$ 的关系而下降, 这一因素使 $V_{(BR)FP}$ 随 N_B 增加而下降。

Rusu 与 Bulcea 对场板作了二维模拟计算, 他们所得有场板时的击穿电压与衬底杂质浓度及氧化层厚度的关系如图 3-17 所示^[23]。他们发现, 实际的击穿, 或是沿着象 IH 这样的电力线 (内部一维区), 或是沿着 MN 这样的电力线 (场板边缘), 要看哪一条先实现击穿条件来决定。即根据上面所讲的式 (3-33) 及 η 为 $3t_{ox}/W_M$ 的式 (3-19a) 的较小的一个值来决定。

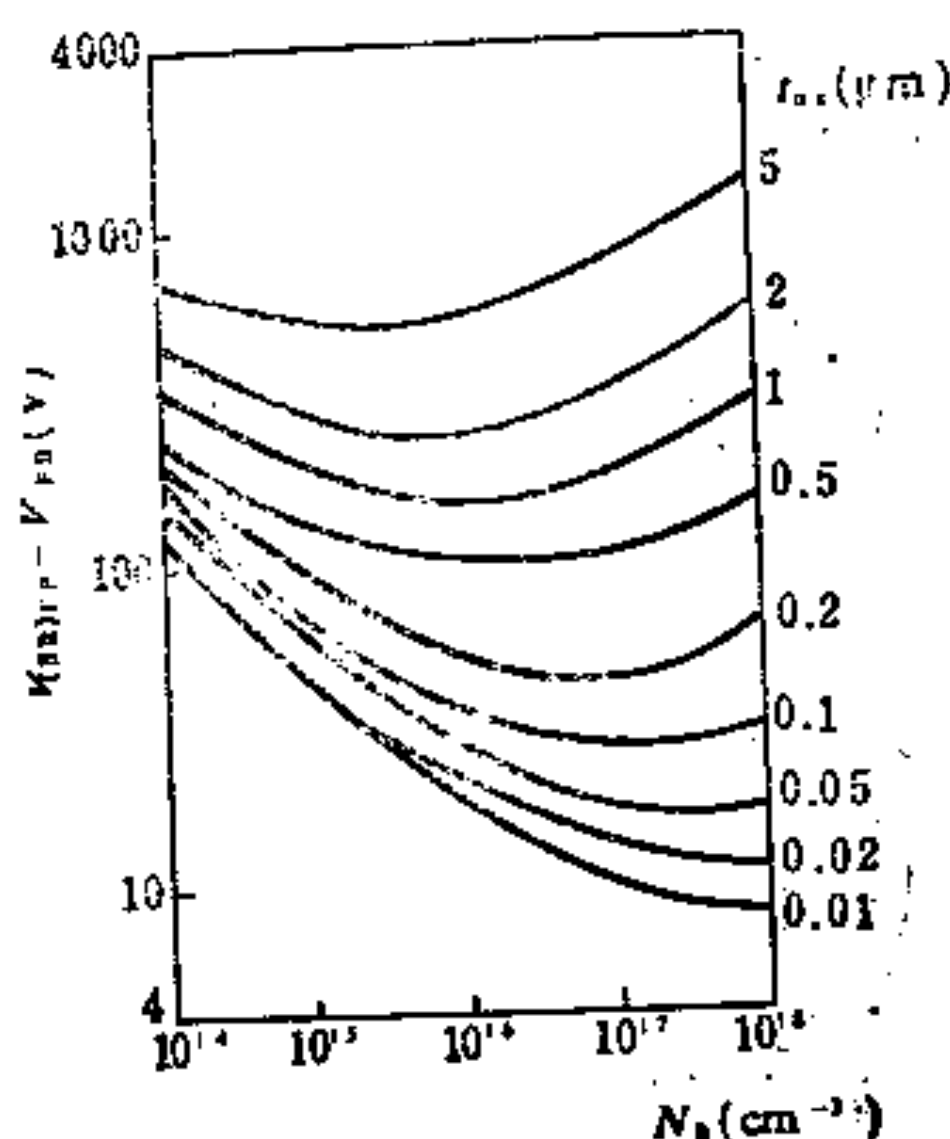


图 3-17 场板击穿电压与 N_B, t_{ox} 的关系

图中每一个 t_{ox} 值下 $V_{(BR)FP}$ 均出现一个极小值, 在此极小值的左边是边缘击穿为主, 右边是内部一维区击穿为主, 当 $t_{ox} < 0.1 \mu m$, $N_B < 10^{17} cm^{-3}$ 时, 击穿发生在场板边缘。这时氧

化层的压降可以忽略,击穿电压由式(3-19a)决定。当 $t_{ox} > 1\mu\text{m}$, $N_B > 10^{18}\text{cm}^{-3}$ 时, 击穿发生在内部, 由式(3-33)决定, 而且该式第二项可略, 击穿电压约为临界电场乘以 $3t_{ox}$ 。

场板边缘电场有一个峰值的理由如下^[24], N^+P 结的场板有电力线从板向半导体发出, 在半导体表面有电力线进入, 这等效于半导体表面有正电荷, 它对电场的影响可看作是无穷大的半导体中间增加了一层电荷, 这些正电荷除产生垂直于表面的场 E_z 外, 也将产生平行于表面的场 E_y 。每一正电荷在其左边产生指向左的场, 在其右边产生指向右的场。所以在场板下面的多数区域内, 正电荷产生的横向场是互相削弱。然而在场板的边缘, 所有正电荷产生的横向场是互相加强的, 结果在那里造成一个横向场的峰值。如果对场板采取前面讨论的一维近似, 那么在中间区域 $E = \text{Const}$, 而在边缘 $E = (E_z^2 + E_y^2)^{\frac{1}{2}}$ 。文献[24]证明, E_y 在场板内部逐渐衰减, 其规律是 $E_y \propto \exp(-0.6y/t_{ox})$ 。这就解释了图 3-16 的电场分布。

上述 Rusu 等人计算针对的情形是场板长度比内部耗尽层厚度还大的情形。如果反过来, 场板很短, 那么在 PN 结的边缘——图 3-18 的 Q 点, 在无场板时就有很强的电场。场板上所有正电荷都是使这点电场减少的, 因此场板愈长, 峰值愈小。图 3-18 中 a、b、c、d 为场板不断伸长的四个情形, 它说明了这点。

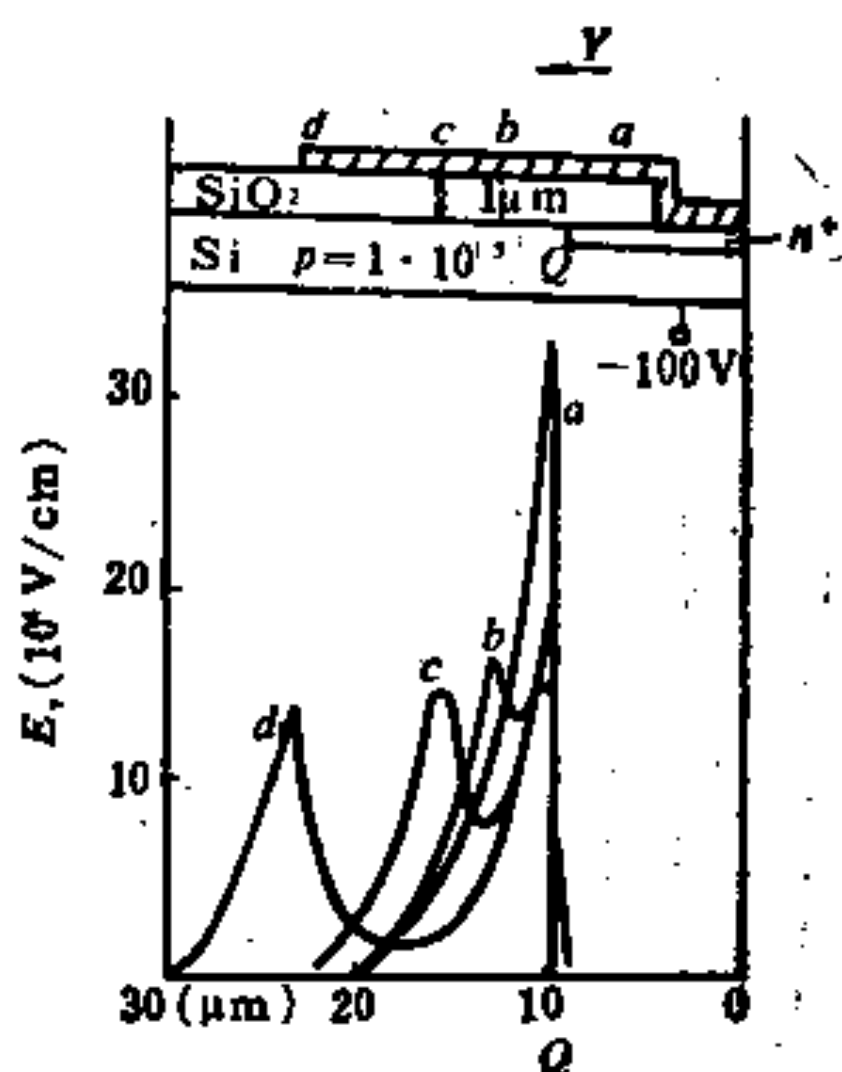


图 3-18 不同长度的场板下横向电场的分布

3. 斜场板

由于场板横向场随离场板端点按指数规律 $\exp(-0.6y/t_{ox})$

下降, 文献[24]提出 t_{ox} 随 y 增加, 则场板上横向场可能变平, 图 3-19 示出这种情况下的模拟结果, 我们将这种场板称为斜坡场板或斜场板。在冶金结面附近, 斜场板的 t_{ox} 很小, 而场板和 N^+ 区是等位的, 这意味着这里不可能有强电场。在场板边缘, t_{ox} 很大, 相当于一种曲率半径很大的 PN 结, 那里的电场峰值也下降。根据式 (3-19a), η 很大, 击穿电压较高。因此, 斜坡场板有可能花费更小的终端面积而获得接近于体击穿的击穿电压 [25]。

场板的制造与电极的金属引线工艺相容。这里没有必要叙述。斜场板下 SiO_2 斜坡的获得可以采用如图 3-20 所示的方法 [26], 在 SiO_2 上用甩胶方法涂上一层硅乳胶, 然后涂上光刻胶。在光刻开窗口腐蚀二氧化硅层时, 由于乳胶层有较快的腐蚀速度, 引起在窗口下钻蚀, 这是横向腐蚀。它与纵向腐蚀相结合得到腐蚀出的表面随时间经历图中 1, 2, 3, 4 等图形, 最后得到斜坡。

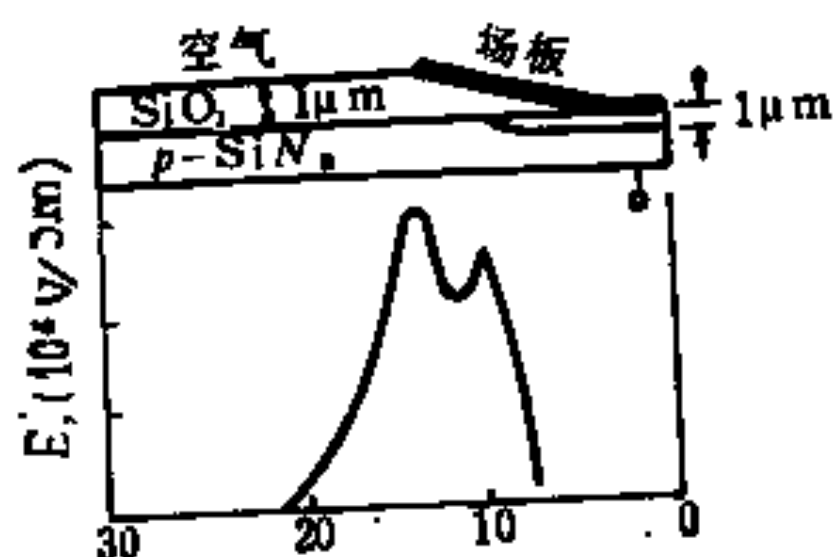


图 3-19 斜坡场板及其下的横向电场

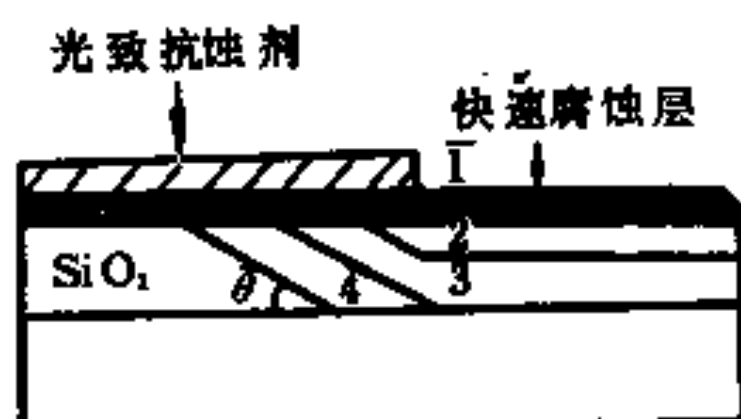


图 3-20 腐蚀速度不同的两层获得斜坡 SiO_2

4. 浮空场板

场板的另一形式是浮空场板 [27], 见图 3-21。我们对它的作用机制解释如下: 本来, P^+N 结在表面的冶金结处有最大电场。加场板后, 由于 N 区比 P^+ 区的电位高, 有一部分电力线从 N 区到场板, 又有一部分电力线从场板到 P 区。因为场板是浮空的, 这两部分电力线的通量相等。它们相当于在半导体耗尽层的

N区表面引入负电荷， P^+ 区表面引入正电荷，这两种电荷产生的电场与原来的相反，因此峰值电场降低。

图 3-22 是在一个斜表面上做浮空场板^[28]，由于工艺的复杂性及特性的稳定性问题，这种结构很少采用。

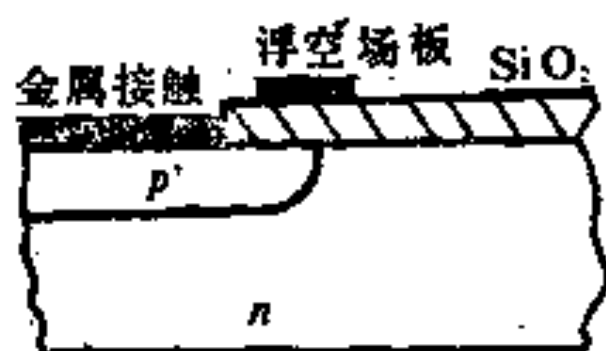


图 3-21 浮空场板



图 3-22 斜表面上的浮空场板

5. 反型层与等位环

场板的氧化层如太薄，则在高电压下它的下面会形成反型层，这等于增加了图 3-18 中 N^+ 区的面积，这种情况应避免，特别是当附近有重掺杂区时。如附近有 N^+ 区，则反型层直接提供了电的通路。如附近有 P^+ 区，则反型层与 P^+ 区之间击穿电压很低，使器件耐压下降。

有一种应用是将场板与衬底相联，此种场板称为等位环 (Equipotential Ring)，如图 3-23 所示。常在等位环下先形成一个重掺杂区，使得等位环与衬底有良好的接触。等位环和衬底电位一致，因此它的下面不会形成反型层，而且它可收集 SiO_2

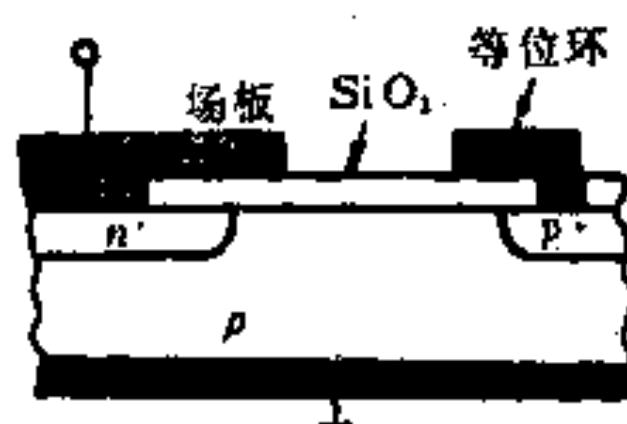


图 3-23 具有场板及等位环的 N^+P 结

表面沾污的正离子，而这些正离子也是引起表面反型的因素，所以等位环有提高表面稳定性的作用。等位环下面的重掺杂区可使原来可能有的反型沟道截止，因此有时称为沟道截止环 (Channel Stopper)。

等位环对击穿电压多少产生一些不利的影响，因为在等位环

的边界上，本来电场较弱的地方现在出现了峰值，这和场板边缘产生电场峰值的道理一样，这个峰值的出现使击穿电压略微下降。

6. 电阻场板

场板的金属如改为半绝缘（即半导电）的膜，而且末端与衬底相联，即构成所谓电阻场板 (Resistive Field Plate)。图3-24(a)是一种电阻场板的结构^[29]，在半导体之上，隔开一层绝缘膜(SiO_2)，有一个电阻场板。如果膜的方块电阻是均匀的，则由电流连续性原理知，电场在平行方向也是均匀的，而半导体表面和膜表面只隔开一层很薄的绝缘层，因此沿表面的电场也是均匀的。这样，PN结在表面扩展，电场峰值降低且变得平坦。另一种电阻场板是如图3-24(b)所示，半导体表面直接与电阻膜接触。这时从电阻膜可以有电流流向半导体，就如同金-半接触可以有电流一样。因此膜上电流并不恒定，沿膜的电场就不是常数。而且耗尽层可能不在电阻膜的末端，情况比较复杂。

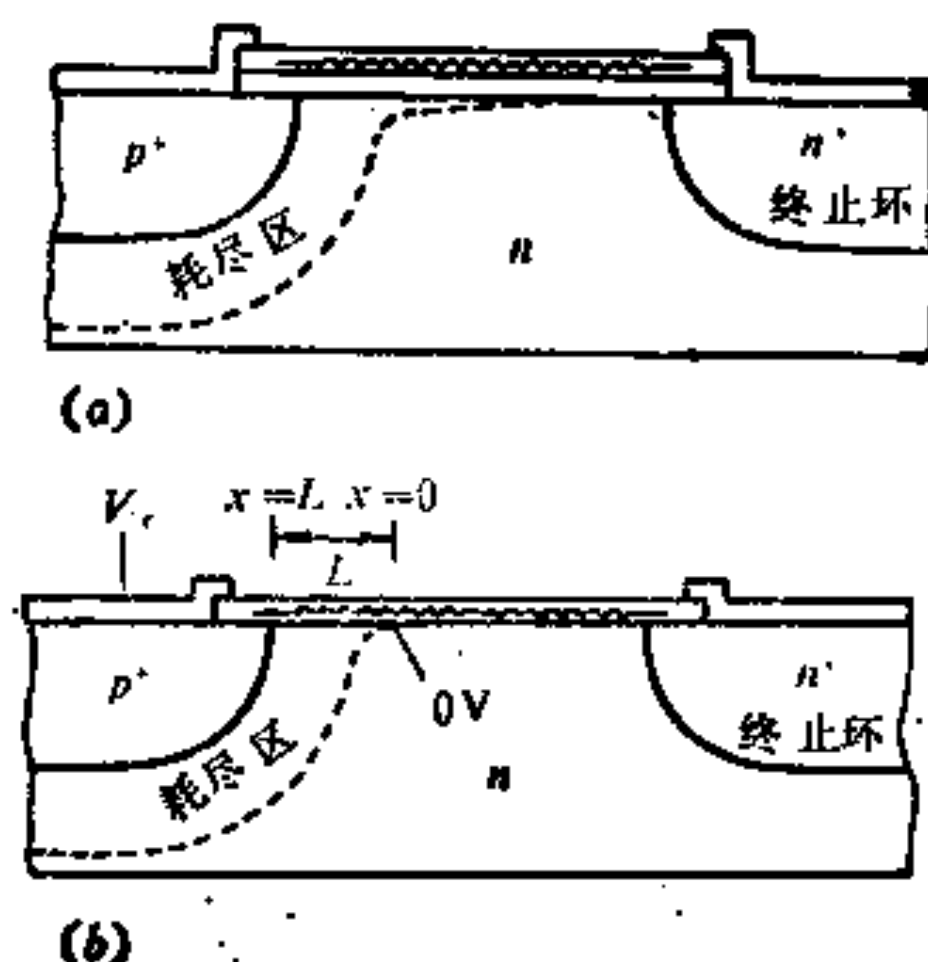


图 3-24 电阻场板

(a)有沟道截止环的电阻分压结构；(b)和硅相接触的表面导电层

实际的电阻膜是由半绝缘多晶硅 (Semi-Insulating Polycrystalline Silicon) 简称 SIPOS 所做成。在生长此种多晶硅时, 改变氧氛中 N_2O/SiH_4 的比例, 可以变化 SIPOS 的电阻率, 图 3-25 示出了电阻率和这一比例 α_N 的关系^[10]。

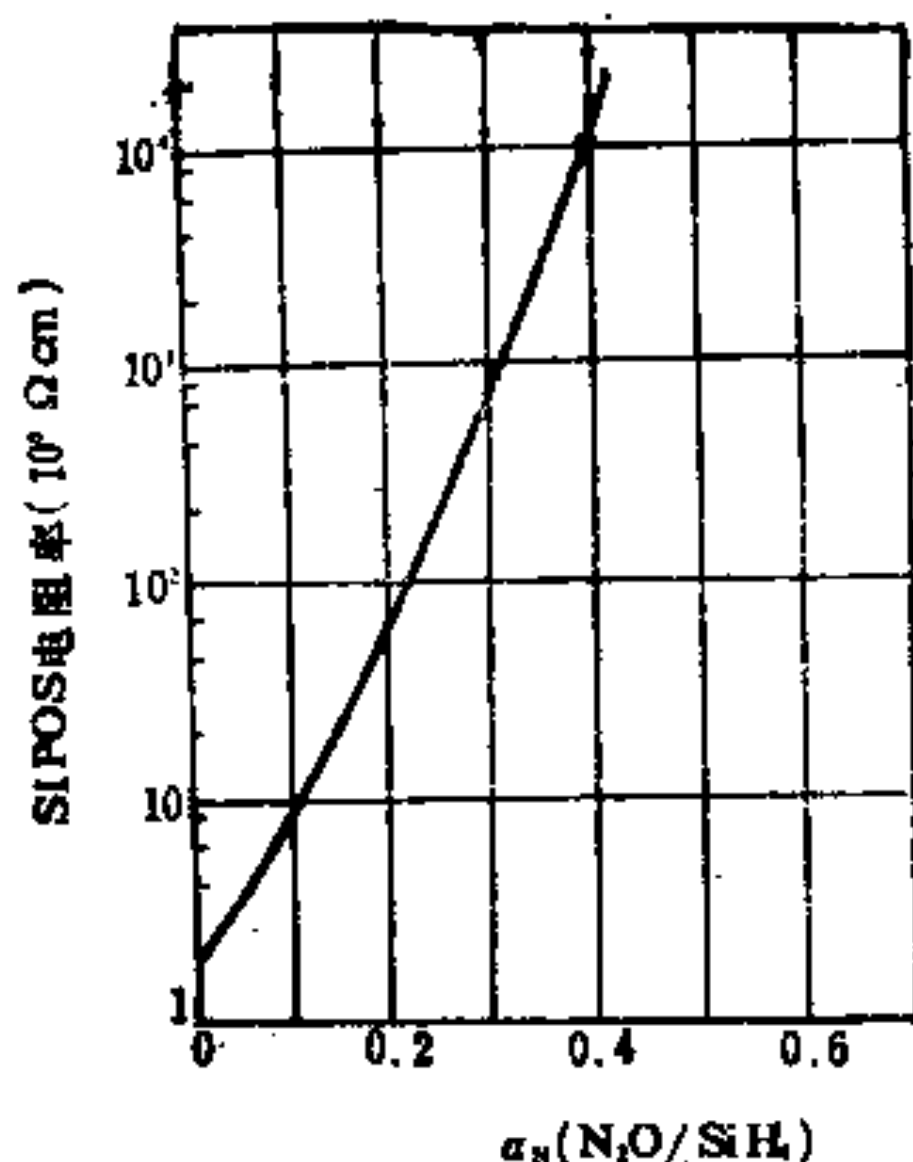


图 3-25 SIPOS 电阻率和生长时 N_2O/SiH_4 的比例 (α_N) 关系

图 3-26 示出 Clark 和 Zoroglu 的一个实验^[10], 这个实验是将 Si 二极管及等位环的设置固定, 改变场板宽度 W_0 , 在场板与等位环间有 SIPOS, 其长度 W_1 也就跟着变化。观察击穿电压随 W_1 的变化, 得到图中的实验结果。实验发现, W_1 小于 $90\mu m$ 时, 击穿电压和长度成正比: $17[V/\mu m]$ 。 $W_1 > 100\mu m$ 时, 击穿电压迅速下降。后者是由于内环角上的曲率半径 r_0 此时变得小于 $205\mu m$, 击穿开始在那里发生, 击穿的性质变化了, 因此 W_1 愈大, 击穿电压反而愈低。

电阻场板的方块电阻应选得使它造成的附加漏电流很小, 一般将阻值控制在 $10^{10} \Omega/\square$ 数量级上下。

应当指出, SIPOS 是一种有很好钝化作用的表面覆盖层, 而

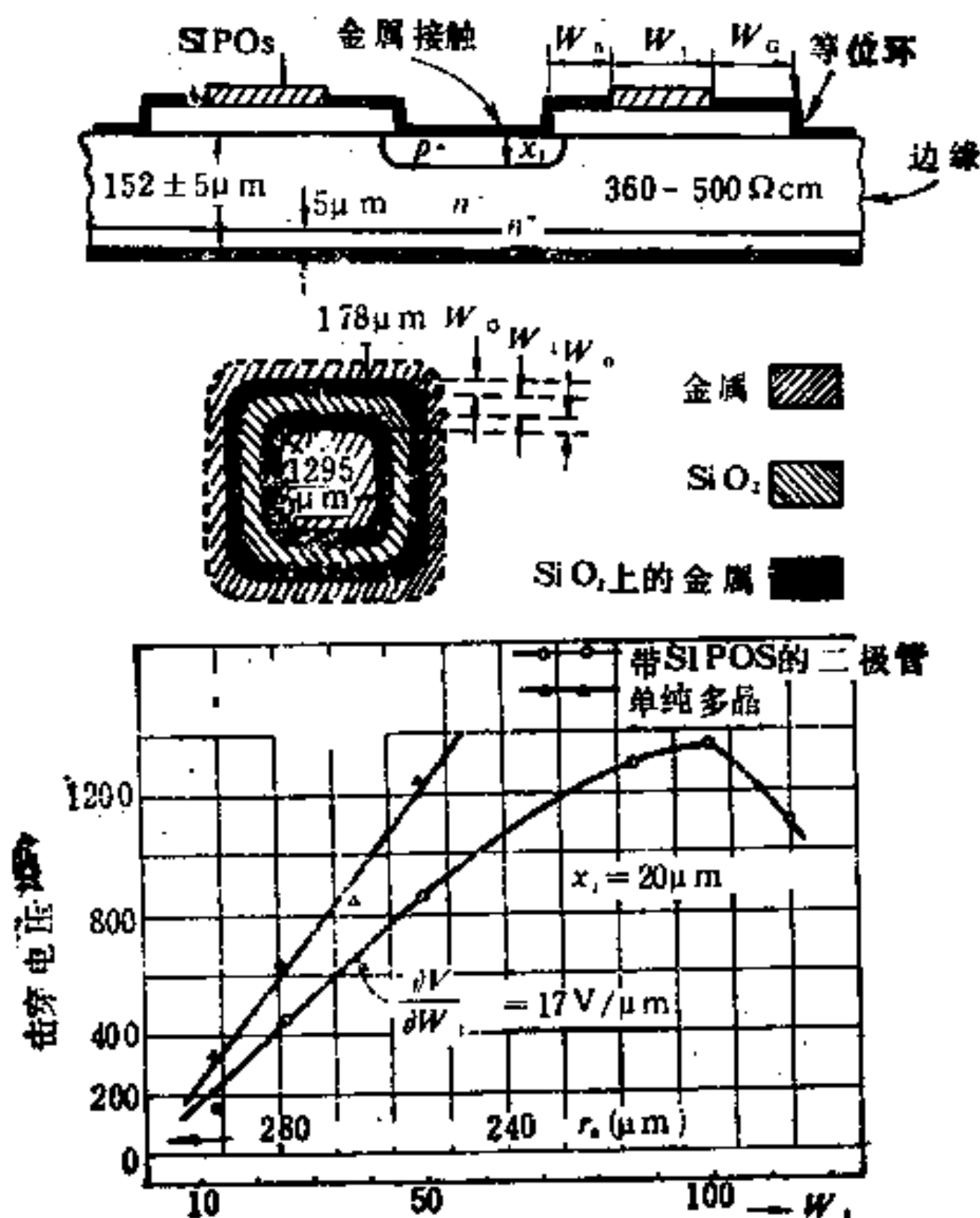


图 3-26 一种二极管中击穿电压与SIPOS的长度的关系

且这是原来发展它的原因^[31]。在平面工艺制造的器件中， SiO_2 层中固定电荷易使N型表面反型，降低击穿电压。 SiO_2 中的可动电荷（如钠离子等）会导致器件稳定性差，再者，器件一旦雪崩击穿，由于所产生的热电子可以进入 SiO_2 中，使表面电特性变化，器件特性变化。采用SIPOS后，热载流子等电荷不能长期停留，因此提高了稳定性，图3-27示出了一种晶体管用SIPOS作钝化的多层结构。如无SIPOS，由于 SiO_2 中正电荷造成P区表面形成N沟道，使场限环失效，且 SiO_2 中正电荷使器件不稳定。采用SIPOS后，由于它的导电性，使正电荷不积

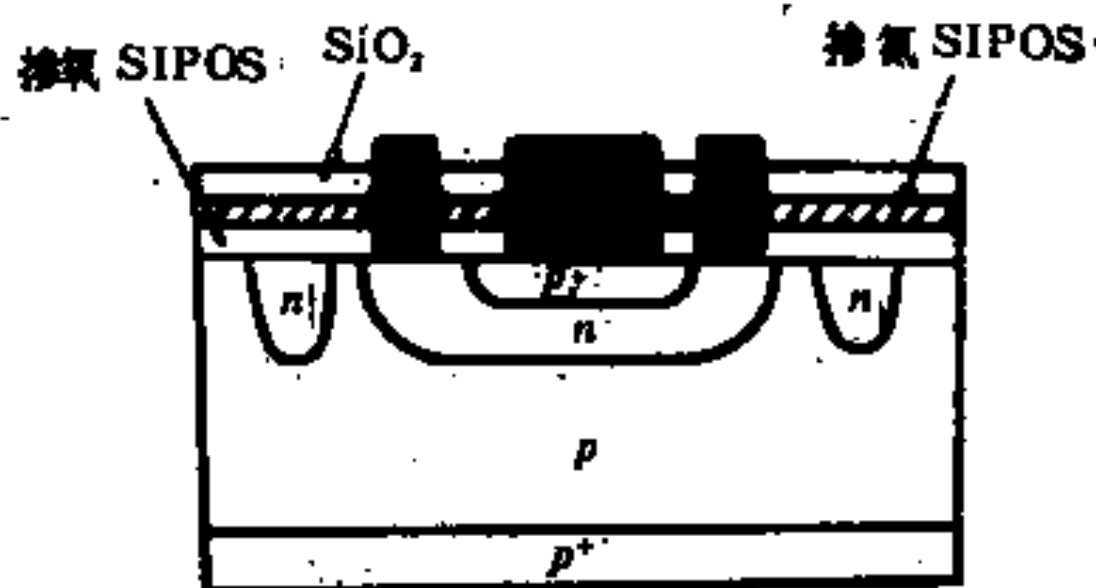


图 3-27 具有掺氧及掺氮SIPOS的PNP晶体管

累，也屏蔽了外场的作用，提高了可靠性。图中最上一层 SiO_2 是防止 SIPOS 表面介质击穿用的。掺氮的一层是防止水汽及 Na 等可动正离子穿入下面用的，这样得到了耐压几千伏的器件。

§ 3-5 场限环

场限环是扩散形成 PN 结的同时，在其周围做同样掺杂的一个环，如图 3-28(a)所示。做为器件的 PN 结称为主结，其周围的场限环与主结及其它电极并无电接触，因此又称浮空场限环 (Floating Field Limiting Ring, 缩写 FFLR)。

在平面型高压半导体器件中，常采用场限环以降低结表面由曲率效应引起的高电场，提高击穿电压，这是一种很重要的终端技术^[10]。

1. 场限环的简单理论

我们首先对场限环的机理作一解释^[132]。如图 3-28(a)所

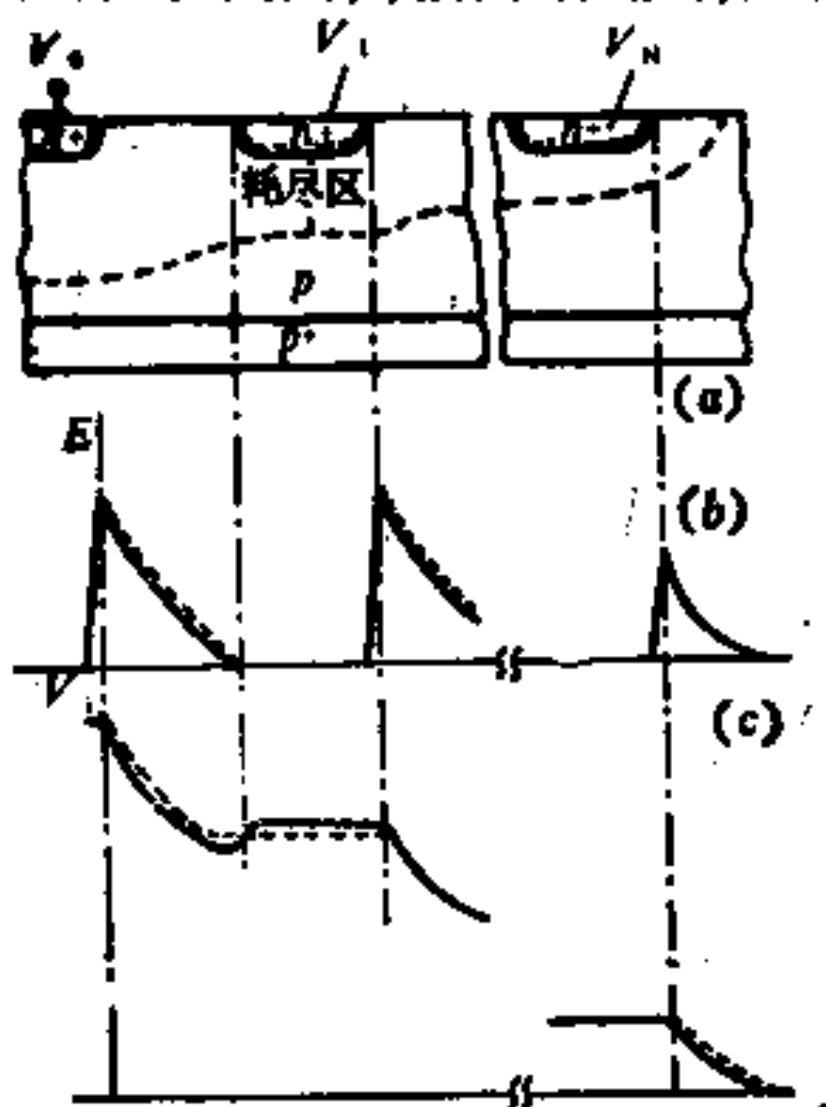


图 3-28 具有N个环的N+P结加反偏压时的示意图
(a)加有场限环的结构；(b)电场分布图；(c)电位分布图

示，当主结反偏压 V_0 之值大到使耗尽区扩展到场限环1时，环1中的电子可在电场作用下流入主结，使环1由中性变成带正电荷，此正电荷分布在一个薄耗尽区内，正电荷在表面产生的电场在主结到环1的区域中与原有电场方向相反，因此使该区电场减弱；在环1的外侧区域则正好相反。环1的内侧区的附加电场产生了一个阻止电子从环1流向主结的势垒。在硅器件中，通常势垒为0.8eV左右就足以使电子不再流动。另一方面，相邻环间的电压通常远远超过0.8eV，因此，在下面将忽略环1内侧的这个势垒区，即将那里的边界条件取为电场等于零。同时，由于主结及各环一般均是重掺杂区，因此近似地作为突变结处理。这样，当 V_0 之值使所有的环均在穿通范围内时，电场及电位分布如图3-28(b)及(c)中虚线所示。其中实线代表真实情形。

在上述分析的基础上，容易利用泊松方程及边界条件求出电场及电位的分布。

由于主结与环结的边缘近于圆柱形面，当环间距不是比结深大很多时，每环外侧的很大区域内等位面都是圆柱形。如对于这个区用该环曲率中心作圆柱坐标中心，则此区的解可用圆柱坐标对称解作近似。

环(i)到环(i+1)间电场的边界条件为

$$V(r_i) = V_i \quad (3-34)$$

$$\left. \frac{dV}{dr} \right|_{r=r_i} = 0 \quad (3-35)$$

其中 V_i 为环(i)的电位， r_i 为此边缘的曲率半径， r_i' 为此环曲率中心到下一环边缘的距离。

由此，可以得到从环(i)到环(i+1)之区域内表面电位及电场强度如下：

$$V(r) = V_i + \frac{qN_B}{\epsilon_s} \left(\frac{r^2 - r_i^2}{4} - \frac{r_i'^2}{2} \ln \frac{r}{r_i} \right) \quad (3-36)$$

$$E(r) = \frac{qN_B}{\epsilon_s} \left(\frac{r_i'^2}{2r} - \frac{r}{2} \right) \quad (3-37)$$

其中 r 代表表面某点到环(i)的曲率中心的距离。相邻两环的电压及电场的最大值(在 r_i 处)为

$$V_{i,i+1} = \frac{qN_B}{2\epsilon_s} \left[r_i'^2 \left(\ln \frac{r_i'}{r_i} - \frac{1}{2} \right) + \frac{r_i^2}{2} \right] \quad (3-38)$$

$$E_i(r_i) = \frac{qN_B}{2\epsilon_s} \left[\frac{r_i'^2}{r_i} - r_i \right] \quad (3-39)$$

上两式说明, 相邻环的间距($r_i' - r_i$)愈小, 环间电压及最大电场也愈小。由这两式可得环的理论设计公式。如取各环最大电场 $E_i(r_i)$ 为PN结击穿的临界电场 E_c , 用 d_i 代表第 i 环到($i+1$)环的间距, 即 $d_i = r_i' - r_i$ 则得

$$d_i = \left(r_i^2 + 2r_i \frac{\epsilon_s E_c}{qN_B} \right)^{\frac{1}{2}} - r_i \quad (3-40)$$

$$V_{i,i+1} = \frac{qN_B}{4\epsilon_s} r_i^2 \ln \left(1 + \frac{2\epsilon_s E_c}{r_i q N_B} \right) + \frac{r_i E_c}{2} \left[\ln \left(1 + \frac{2\epsilon_s E_c}{r_i q N_B} \right) - 1 \right] \quad (3-41)$$

由表3-2可得Si的单边突变平面结的击穿临界电场近似式为

$$E_c = 4010 N_B^{\frac{1}{8}} \quad (3-42)$$

其中 N_B 的单位为 cm^{-3} 。将 ϵ_s , q 的具体数据代入上两式可得

$$d_i = \left[r_i^2 + 5.19 \left(\frac{N_B}{10^{16}} \right)^{-0.875} \cdot r_i \right]^{\frac{1}{2}} - r_i \quad (3-43)$$

$$V_{i,i+1} = 3.87 \left(\frac{N_B}{10^{16}} \right) r_i^2 \ln \left(1 + \frac{5.19}{r_i (N_B/10^{16})^{0.875}} \right) + 20 \left(\frac{N_B}{10^{16}} \right)^{0.125} r_i \left[\ln \left(1 + \frac{5.19}{r_i (N_B/10^{16})^{0.875}} \right) - 1 \right] \quad (3-44)$$

其中 d_i 及 r_i 以 μm 计, $V_{i,i+1}$ 以 V 计。

由于实际表面电场分布在最大值处比同一电压下平面结的变化更陡峭, 而且在 $N_B > 10^{17} \text{cm}^{-3}$ 时 E_C 也比式(3-42)略大, 再加上环本身有部份耗尽区可吸收部分电压, 因此式(3-43)、(3-44)作为设计公式有一定的安全性。

由式(3-44)立即可得满足一定耐压的器件所需的最少场限环数。设主结及各环的曲率半径均等于同一个结深 x_j , 则用 x_j 代替式中的 r_i , 将此式除主结电压 V_0 , 再减去1, 即得最小浮空场限环的数目。

根据上述简单理论, 相邻环间的电压不随主结电压变化, 这点和文献[33]已发表的具有场限环的 P^+N 结的结果基本上吻合。图3-29示出按文献[33]中表1的数据由式(3-38)计算的结果与实验结果的比较。环间距数值采用从第一个的 $12\mu\text{m}$ 依次增加 $2\mu\text{m}$ 。按照我们的理论, 各直线在横坐标上的截距即使该环达到穿通区时的主结电压。

图3-30示出有一个环的一个例子[34]。由该例的环的电压

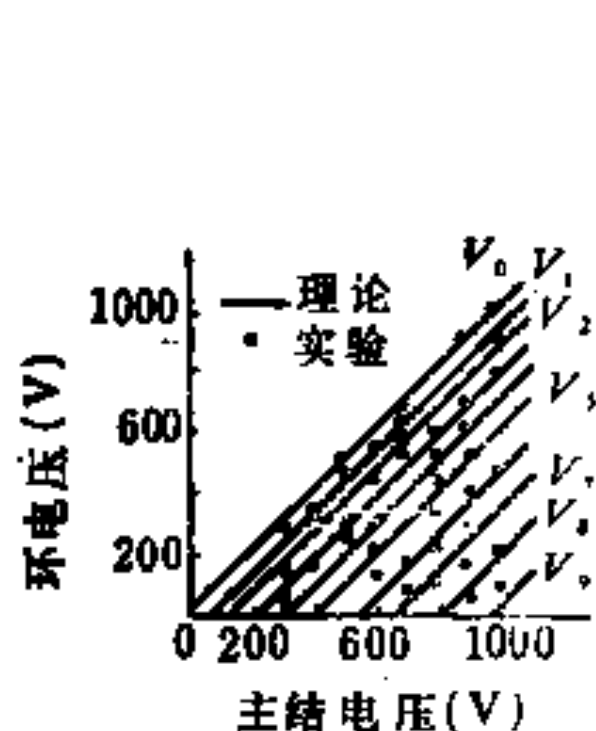


图 3-29 具有九个场限环的器件的各环电压与主结电压的关系

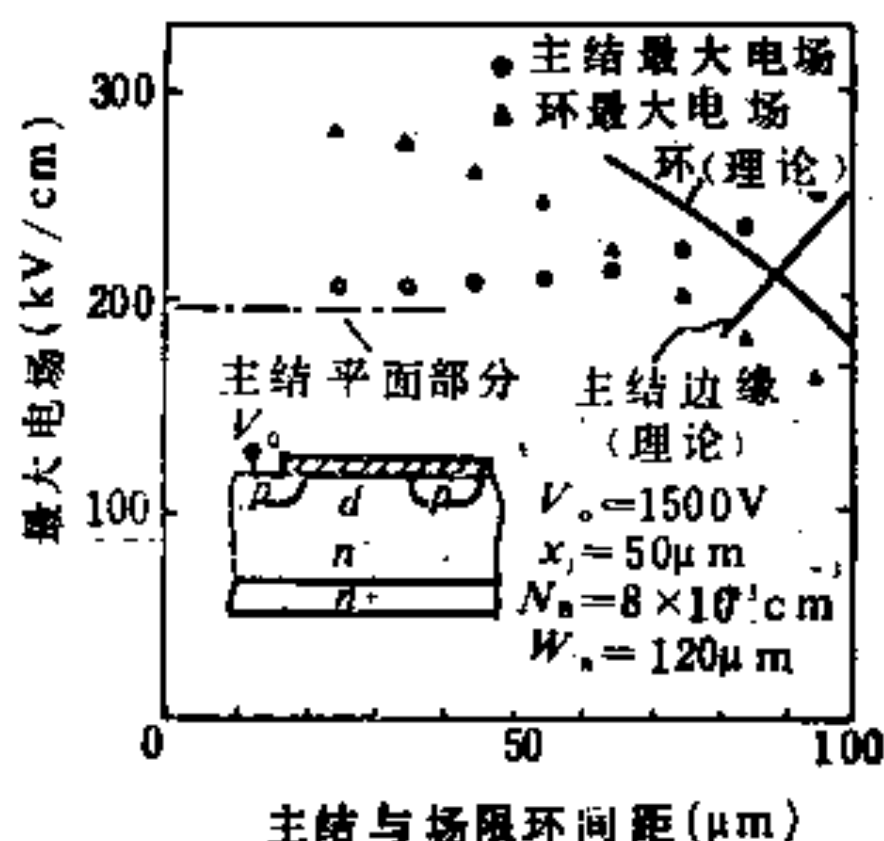


图 3-30 最大电场与主结到场限环间距的关系($\circ$ 与 Δ 是文献[34]CAD计算结果)

及环的最大电场，在图中用标有（理论）的实线表出。注意这个例子中 N^- 区厚度比平面结耗尽层厚度小，主结平面部份电场达到 199kV/cm ，此值在图中用虚点线表出。当环靠近时，最大电场由主结的平面部分决定。环的距离 d_1 增大时，最大电场逐渐由体内移向表面，到 d_1 接近 $100\mu\text{m}$ 时，最大电场才发生在表面。由我们的理论给出的环结最大电场比数值计算所得的相差不超过20%，对于用理论作高压器件场限环设计而言，这是足够令人满意的。

2. 表面电荷的影响

表面电荷对具有场限环的高压器件的耐压有明显的影响^[35]。图3-31示出 P^+N 结有场限环且有表面电荷的情形，没

有表面电荷时，环结附近Q点的电场为零。如有表面电荷，则它的主结和环结均将感应电荷，但按前面的理论，这些附加电荷在Q点产生的电场仍应为零。因此，在环结边上应有正电荷，其在Q点产生的电场与表面电荷的电场相反，这些正电荷等效于位于R点。又根据总电荷守恒的要求，在主结应有负电荷，等效于在S点，

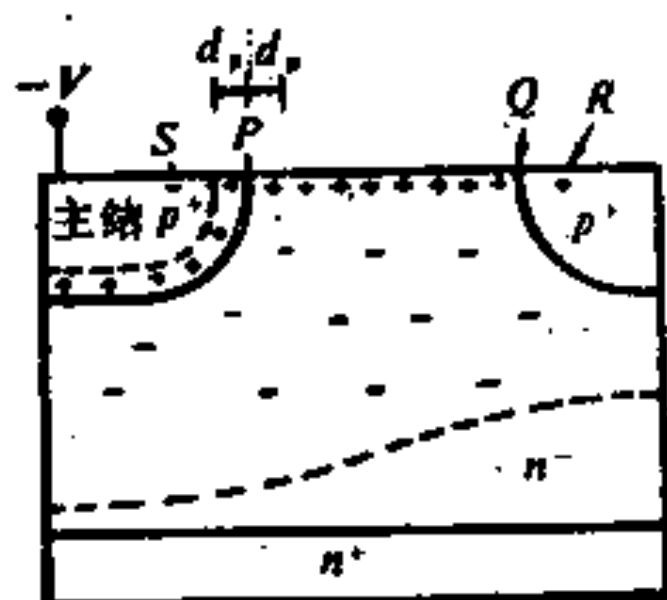


图 3-31 在冶金结面两侧耗尽区的 d_1 范围内的正表面电荷对P点产生的电场相抵消

电荷值等于表面电荷及R点的正电荷之和，这几个电荷在P点的作用是使电场增加，并导致两结间电压增加。因此，N型衬底的表面有正电荷是使得最大电场增加，击穿电压下降。反之，如表面电荷是负的，那么它的作用和上述相反，是使各环间电压下降，结果导致最外环与衬底间电压增加，使击穿易于先在那里发生。

负表面电荷如果太强，则会引起N型反型，结果环结的边缘出现一个未耗尽的P型区，如图3-32所示。在环结被穿通以后，

耗尽区的曲率半径将比原来的大。

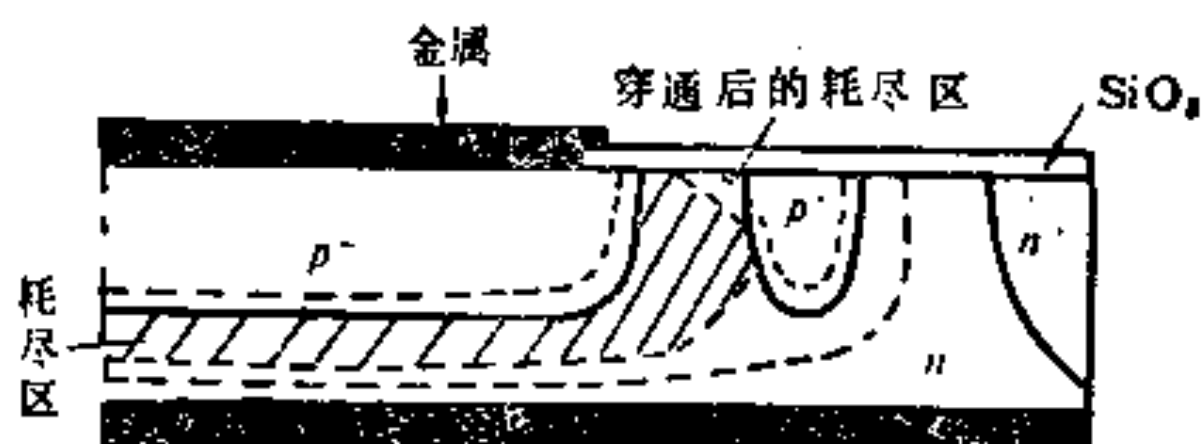


图 3-32 氧化层有正电荷时场限环附近的耗尽区

利用场限环这一技术，可使击穿电压几乎不受结表面的限制而达到主结平面部分（体内）规定之值。更有进者，如果在硅片的反面也做上场限环，外加电压施于主结及最外一个环之间，则主结与其反面间只有很小的电压，因而击穿电压超过平面的限制，利用这个方法获得了耐压超过 1 万伏的器件^[27]。

3. 穿通二极管的场限环

现在讨论穿通二极管的场限环的设计，此二极管及环如图 3-33 所示。设主结电压为 V_{p1} 时其耗尽区恰达环的边缘，而且此时耗尽区还未达 N^+ 重掺区。此时的电场 $E_1(r)$ 与电压 V_{p1} 可分别

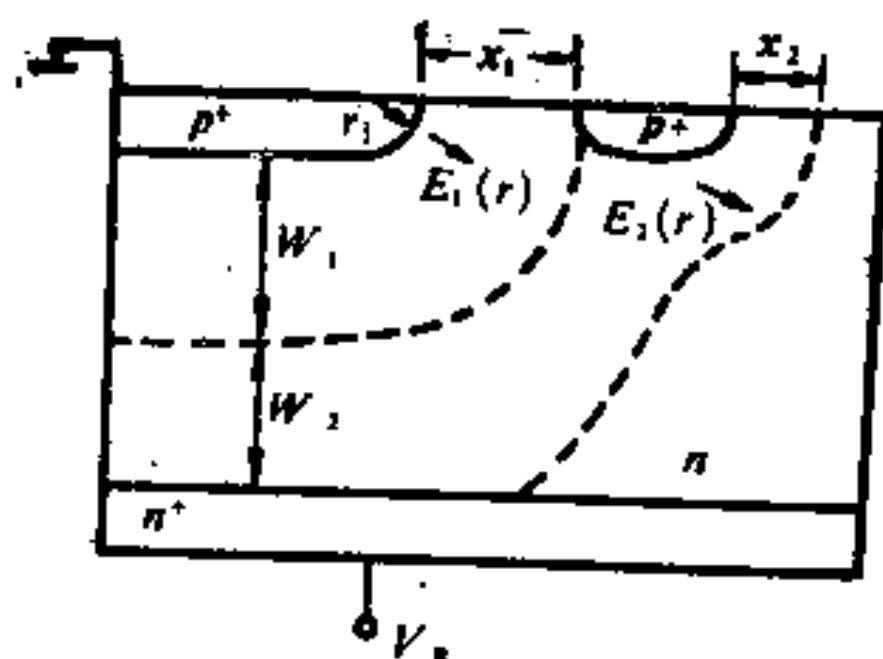


图 3-33 穿通二极管的场限环

由式 (3-37) 及式 (3-38) 求出，在忽略 $E_1(r)$ 的 r 线性项时，由 (3-2) 得 α 的式子，于是可计算主结的电离积分

$\theta_M = \int \alpha dr$, 得到

$$\theta_M \left(= 1 - \frac{1}{M} \right) = \frac{1.8 \cdot 10^{-3}}{6} K_1 [r_j^{-6} - (r_j + x_1)^{-6}] \quad (3-45)$$

其中

$$K_1 = \frac{qN_D}{2\epsilon s} (r_j + x_1)^2 \quad (3-46)$$

当 V_R 超过 V_{D1} 时, 假设主结与环间的电压仍为 V_{D1} , 这时环有电压 $V_R - V_{D1}$ 。由前面讨论穿通二极管所得电场的表示式 (3-23) 和式 (3-24), ●nang 及 Sun 假设对环来说, 该两式中的 N 区厚度 x_d 现可以用 W_2 来代替, 由此可算出的电离积分 θ_R [30]

$$\theta_R \left(= 1 - \frac{1}{M} \right) = \frac{1}{6} W^3 \left[\frac{V_R}{V_{(BR)P}} - \frac{1}{\ln \left(\frac{x_j + x_2}{x_j} \right)} + \left(\frac{x_j + x_2}{W} \right)^2 - \frac{W_2^2 + W_1^2}{W^2} \frac{1}{\ln \left(\frac{x_j + x_2}{x_j} \right)} \right] \times \left[(r_j + x_1 + x_2)^{-6} - (r_j + x_2)^{-6} \right] \quad (3-47)$$

其中 $W = W_1 + W_2$, 而 $V_{(BR)P}$ 是轻掺杂区厚度为 W 时理想平行平面结的击穿电压。

如要不发生击穿, θ_M 及 θ_R 均应小于 1。图 3-34 表示了 θ_M 及

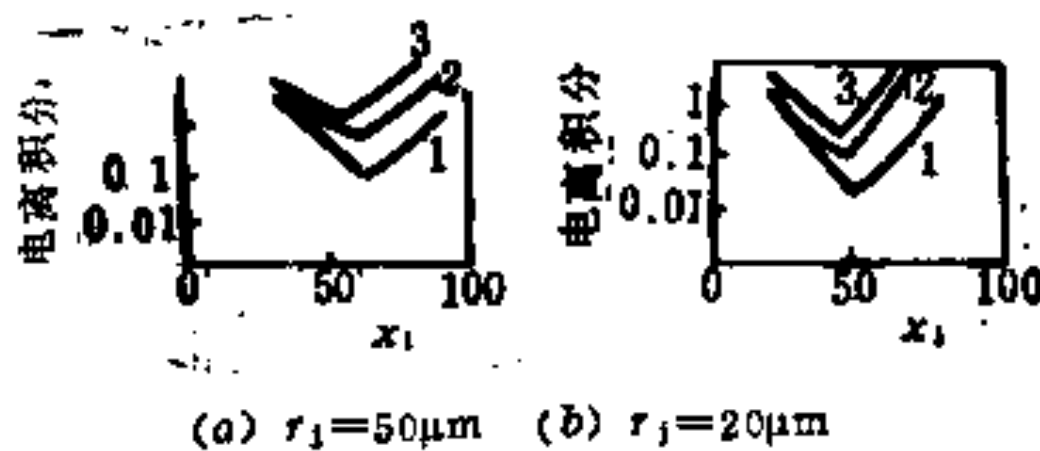


图 3-34 电离积分与 x_1 的关系

1. $N_D = 6 \times 10^{13} \text{ cm}^{-3}$; 2. $N_D = 8 \times 10^{13} \text{ cm}^{-3}$; 3. $N_D = 1 \times 10^{14} \text{ cm}^{-3}$

θ_R 随 x_1 的变化,最佳的 x_1 是在这两个积分相等之处,由图可见, N_D 增加则最佳的 x_1 减少。另外,从公式可以看出,当 r_i 减小时,曲率效应变得严重起来,这时最佳的 x_1 也变小。

Mena 等提出了穿通二极管在角上的球面区场限环的简单设计方法^[37]。为了求出最佳的环间距,先求主结电压 V_R 时沿表面到环的电离积分。照式(3-29) $E_s \sim 1/r^2$ 的规律(略去该式中 r 的一次项)可求得此积分为

$$\theta\left(=1 - \frac{1}{M}\right) = \frac{1}{208} \left(\frac{W_M}{r_i}\right)^6 \cdot \left[1 - \left(\frac{r_i + x_1}{r_i}\right)^{-\frac{1}{3}}\right] \cdot \left\{ \frac{V_R}{V_{(BR)P}} \left(\frac{r_i + x_1}{x_1}\right) + \left(\frac{W}{W_M}\right)^2 \cdot \left[\frac{2}{3} \left(\frac{r_i}{W}\right)^2 \left(\frac{r_i + x_1}{r_i}\right)^3 - \frac{r_i + x_1}{x_1} \right] \right\} \quad (3-48)$$

这里 $V_{(BR)P}$ 及 W_M 是不穿通的平行平面结的击穿电压及耗尽层厚度。理想的主结与环的距离 x_{1m} 是使上式最小的 x_1 值。

假设各环之间的距离都是 x_{1m} ,而且假设电场在表面是正比于离下一环的距离,则在有 m 个环的情形下,击穿电压为

$$V_{(BR)m} = V_{(BR)S} + M \frac{qN_B}{2\epsilon_s} x_{1m}^2 \quad (3-49)$$

其中 $V_{(BR)S}$ 代表最外一层的击穿电压,它可由式(3-31)定出。

4. 浮空金属环

最近 Yilmaz 等人提出了金属浮空环^[38](Floating Metal Ring缩写FMR),这是将上述 P^+ (或 N^+)环结直接用表面覆盖金属环来代替,如图3-35所示。我们前面用于PN结场限环的理论自然也可用于这种肖特基环,金属场限环的优点是制造简单易行,所占面积可以比较小。再则图3-35的结构中每个环的边缘实际上又用了场板,使最大电场进一步下降。此场板又可吸收表面可动电荷,提高稳定性。

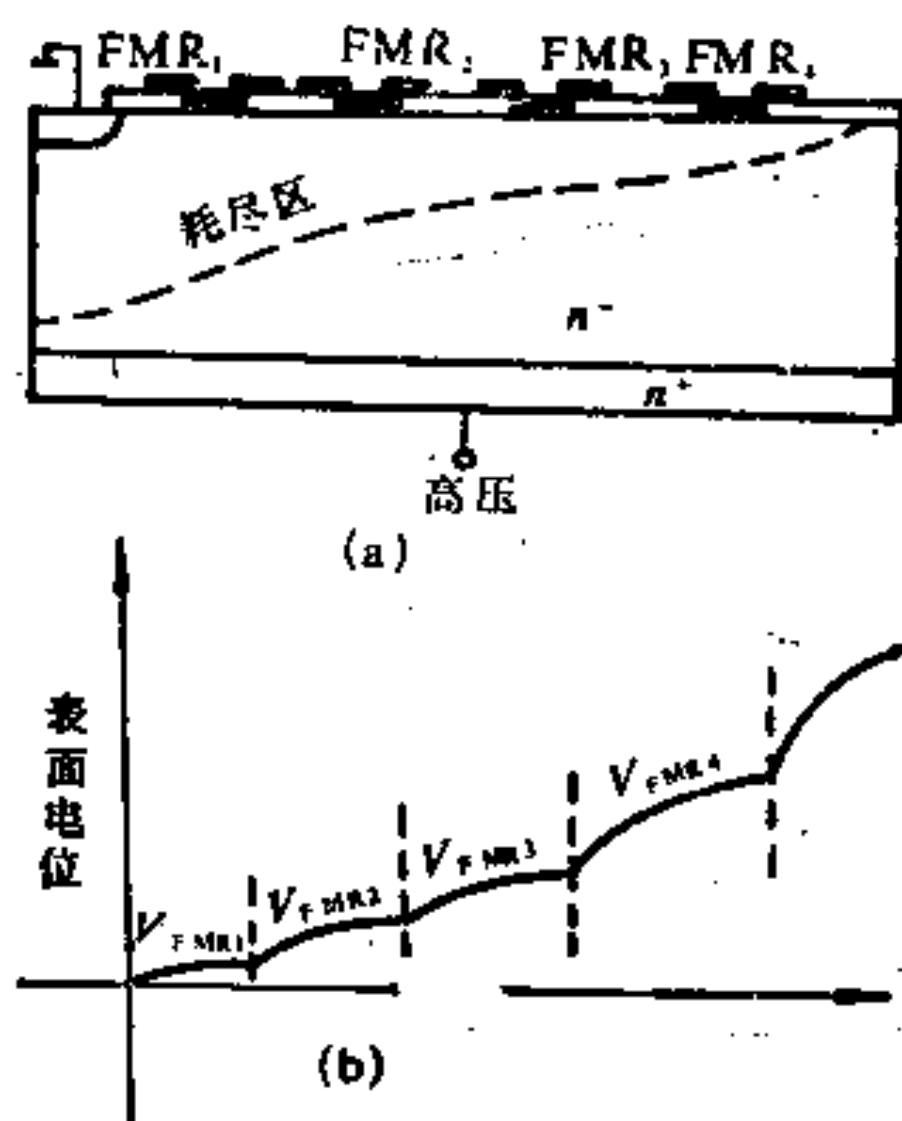


图 8-35 FMR终端的结构横截面图, (a) 电位分布 (b)

§ 3-6 斜表面与腐蚀轮廓

1. 斜表面

斜表面(Bevelled Surface)分正、负两种, 图 3-36 的插图用以说明其定义。如果从重掺杂区到轻掺杂区时半导体面积不断地减少, 则称为正斜表面, 反之, 称为负斜表面。图中表出了模拟计算所得表面最大电场和斜角的关系 [39]。

正斜表面可使表面最大电场

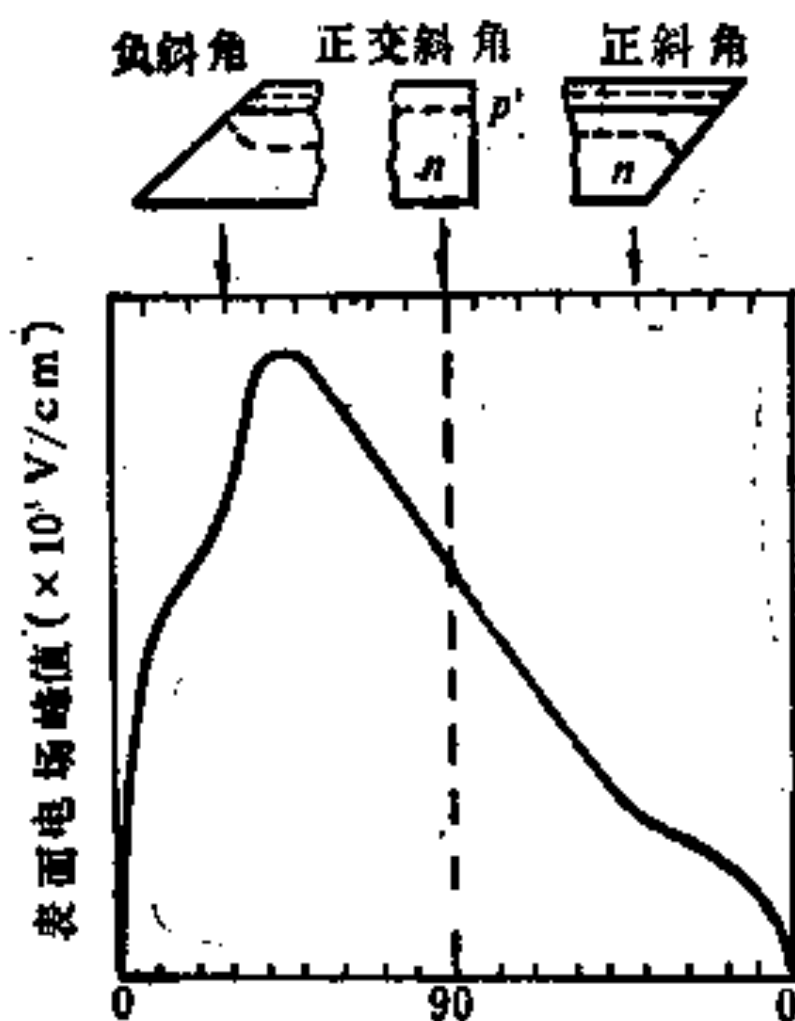


图 3-36 表面电场峰值与斜角的关系

随着正斜角的变小而变小，关于这个结果，作者作如下的解释：

PN结两边的耗尽层在任何偏压下都必然自动调整满足总体电中性的要求：结两边的正、负电荷总量相等而相反。现在粗略假设靠表面的非一维区的电力线如图3-37(a)所示， N^+ 区耗尽层的正电荷产生的电力线将全部终止在P区耗尽层的负电荷上，在正斜表面的情况下，

电力线密度随着穿进P区的距离而下降的程度要比正交的一维情形慢，因为，电力线除不断被终止于P区的负电荷外，由于面积不断在减小，电力线同时是在不断地集中，这就造成电场在P区的衰减比一维情形（图3-37(b)中的虚线）更为缓慢

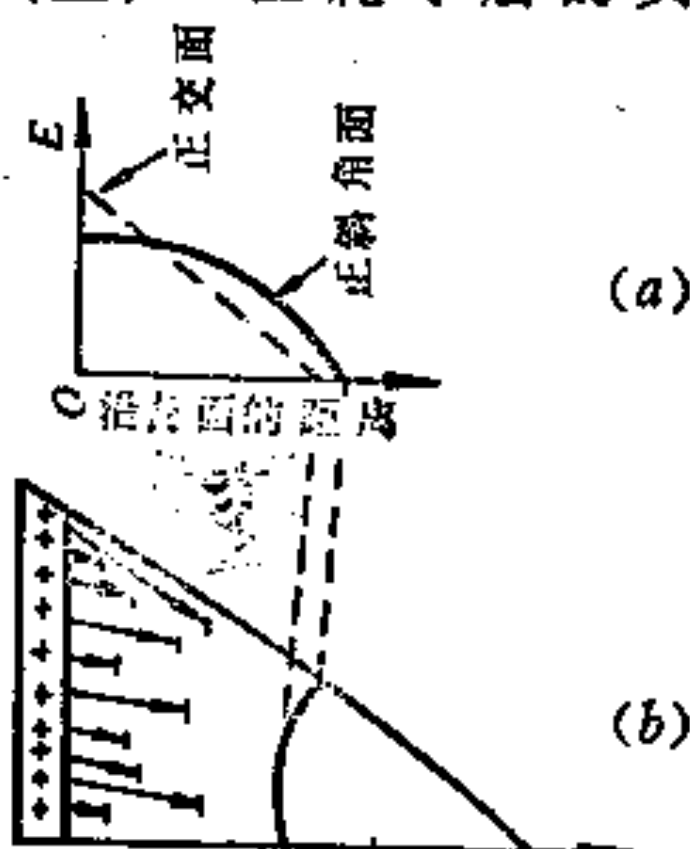


图 3-37 正斜表面的电力线及电场

（图中的实线）。另一方面，由于截面不断减小，终止电力线所需的距离比截面不变要大。由于电场下的面积代表电压，不会变化，现在电场既然变化慢了，电场终止的距离又增加，这必然使最大的电场变小。

同理可以解释负斜面使得表面电场增加（除角度特别小的情形外）。

由于实际上容易得到 45° 的斜角，因此表面电场可做到比体内小一倍。如果表面再采用现代的钝化技术，则一般击穿就不会发生在表面，正斜角使得理想一维平面结的击穿得以实现。

正斜角可以是在对硅片表面有一定角度下研磨而得到，或是以一定角度对硅片吹砂或锯切而得到。不管是那种方法，对斜角表面形成过程中所造成的物理损伤应采用化学腐蚀方法去除之，然后再进行表面钝化。正斜表面通常适用于芯片超过25mm直径的大面积器件，例如大电流整流器及晶闸管。

如要用负斜面来降低表面场，则要很斜的面（角度极小）。这时轻掺杂区的耗尽层边缘在表面已钉死在冶金结面上（参考图 3-36插图），因此电场可能降低。如果 PN 结是杂质扩散形成的缓变结，则重掺杂区的耗尽层边缘在表面可能有所扩张，这也使表面电场降低。

模拟计算结果表明，即使负斜面能使表面峰值电场下降，但内部的峰值电场也会升高而超出理想的一维情形，造成体内击穿电压降低。图 3-38 示出一个例子^[40]，该例的一维平面结的峰值电场为 $2.1 \times 10^5 \text{ V/cm}$ ，虽然，在图中标出的三个负斜角值下，表面峰值电场都低于此值，但在离开表面 $20\mu\text{m}$ 到 $25\mu\text{m}$ 处，峰值电场反而超过体内的。

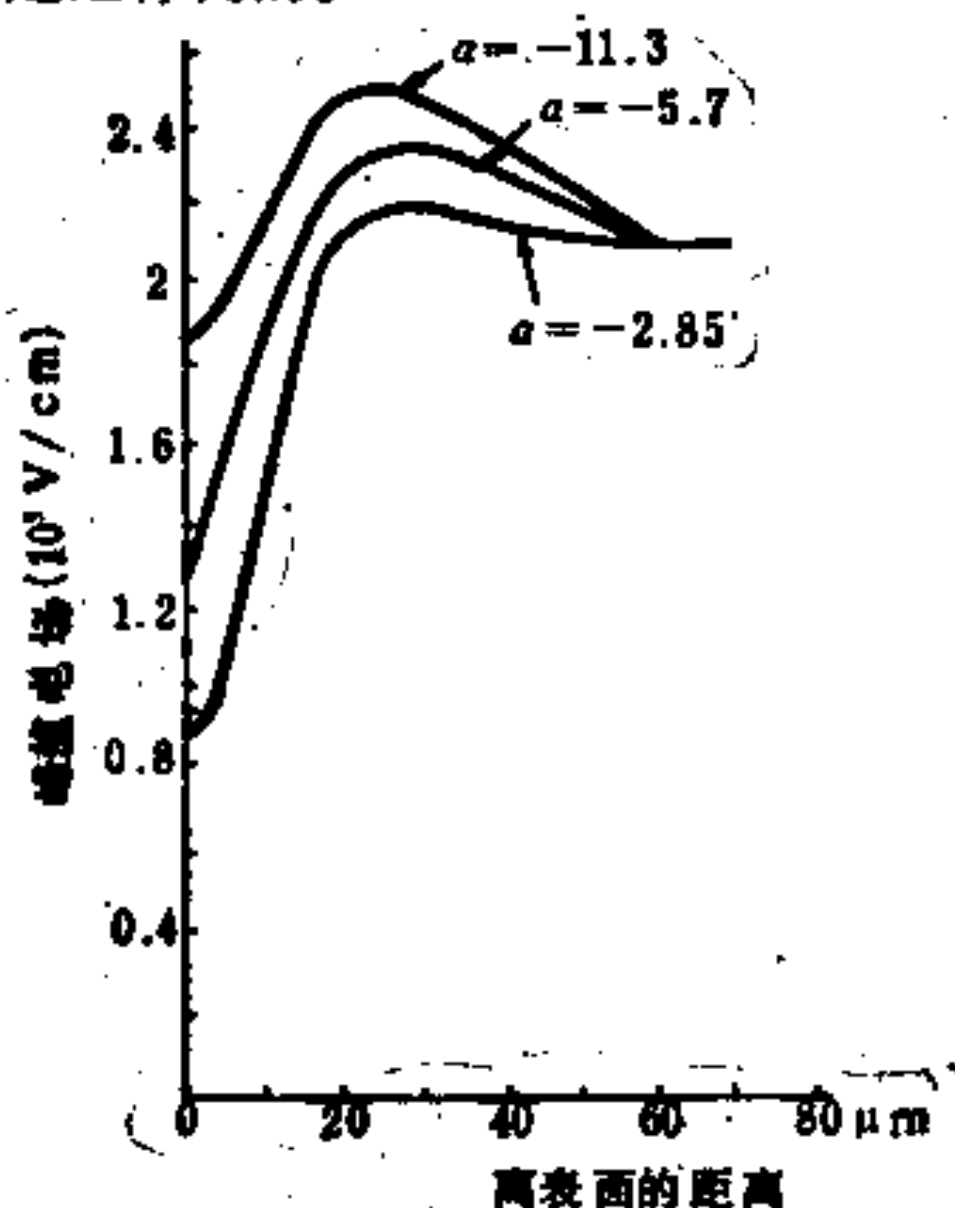


图 3-38 负斜角情形下，峰值电场与离表面的距离的关系

负斜面工艺上通常系将器件以小角度磨表面而得，角度一般控制在 $0.5^\circ \sim 5^\circ$ 范围内。利用这种终端技术常可达到平行平面结击穿电压的 90%，然而，这样小的角度消耗了大量的芯片面积，因此只有直径超过 25mm 的大面积器件，如高压晶闸管等，才采用

这种方法。

2. 双正斜表面

在遇到上、下有两个结的情况时，有两种方法得到两个结均为正斜面，这是所谓双正斜表面(Double Positive Bevel)^[41]，如图 8-39 所示。图 8-39(a) 是在上表面形成正斜面的槽，下表面和普通方法一样，图 8-39(b) 是磨一个两面都有正斜面的圆槽。这两种方法在钝化方面都比较困难，制造工艺也较复杂，因此只用于很大面积的高压晶闸管。

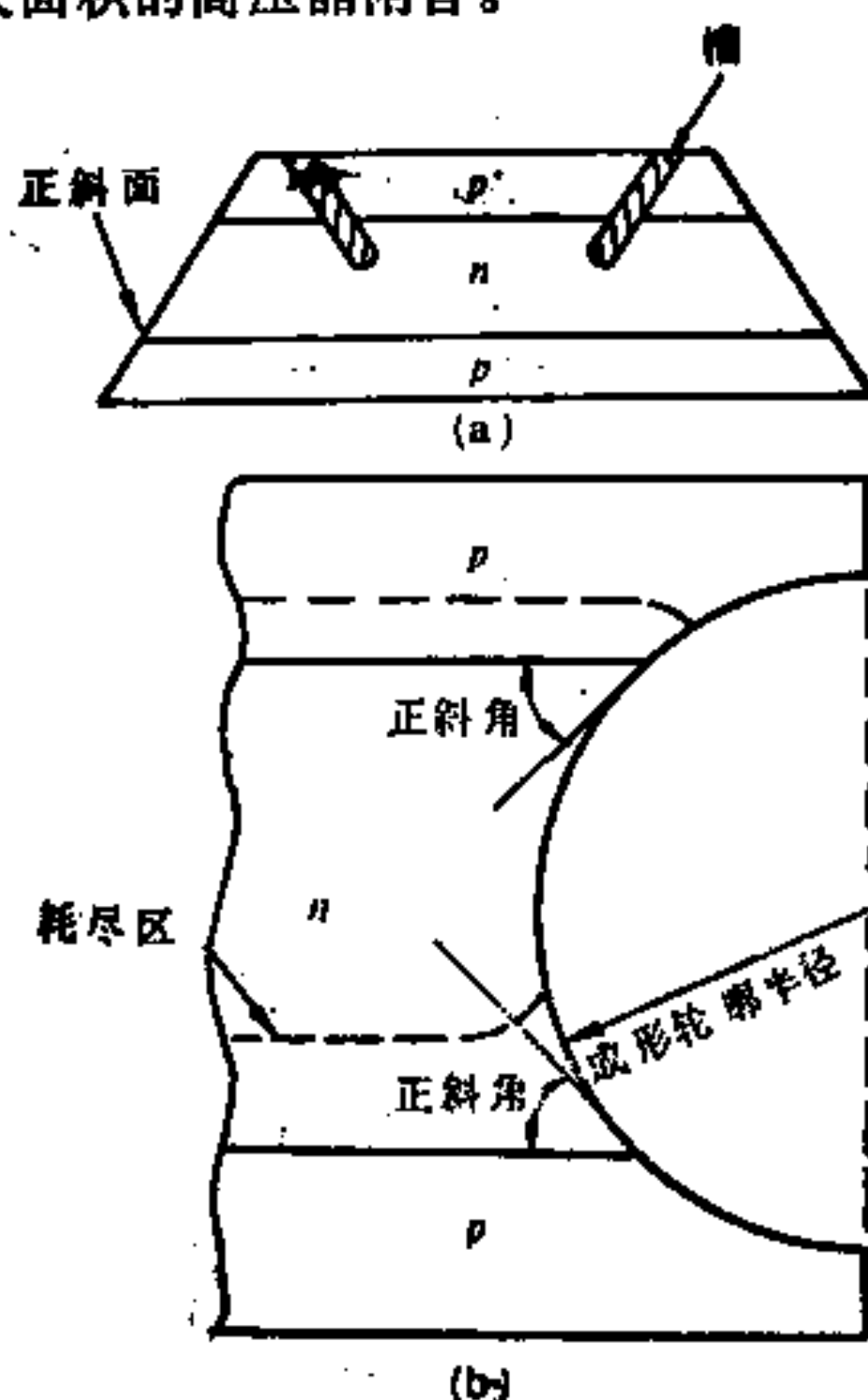


图 8-39 双正斜表面
(a)斜槽; (b)片边成形

3. 耗尽层腐蚀法 (腐蚀成形)

将 PN 结耗尽层用腐蚀的方法除去一部份，也可以降低表面

电场，其原理和斜表面相同，称为耗尽层腐蚀法或腐蚀成形法 (Depletion Etch Method缩写DEM或Etch Contour)。例如，图3-40所示的 P^+N 结被选择腐蚀后，冶金结面与表面的角度实际上形成了正斜角，因此使最大电场降低。

被腐蚀的区域并不是一定要与冶金结面相交^[41,42]，数值分析表明，当腐蚀区远离结边缘时，则同平面结一样，最大电场仍在表面。当腐蚀区靠近结边缘时，表面电场下降到最小值，为体内的60%。当腐蚀区与边缘相交时，表面电场又增加。利用这种轮廓腐蚀，可以达到理想击穿电压的90%，这种方法对一块硅片上有许多小面积的器件也是适用的。

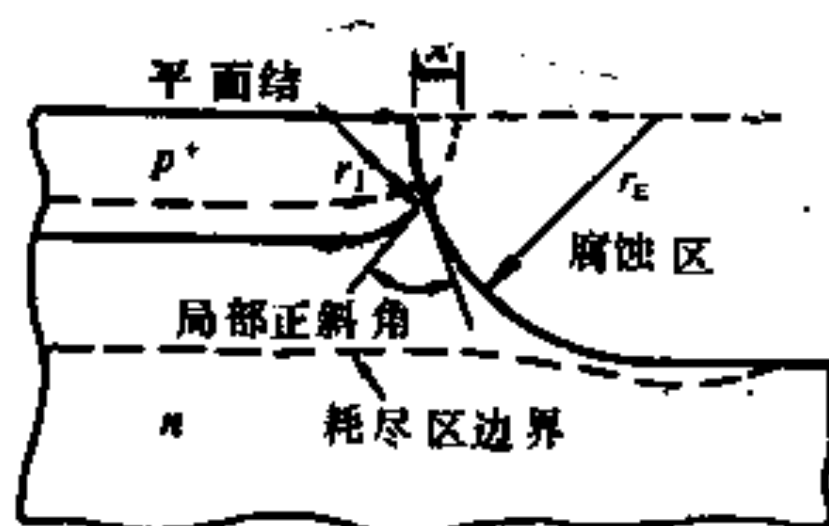


图 3-40 平面结腐蚀成形造成局部正斜表面

相当于负斜面的负腐蚀成形的方法如图3-41所示，在重掺杂区去除更多的材料。下面介绍这种方法能降低表面最大电场的

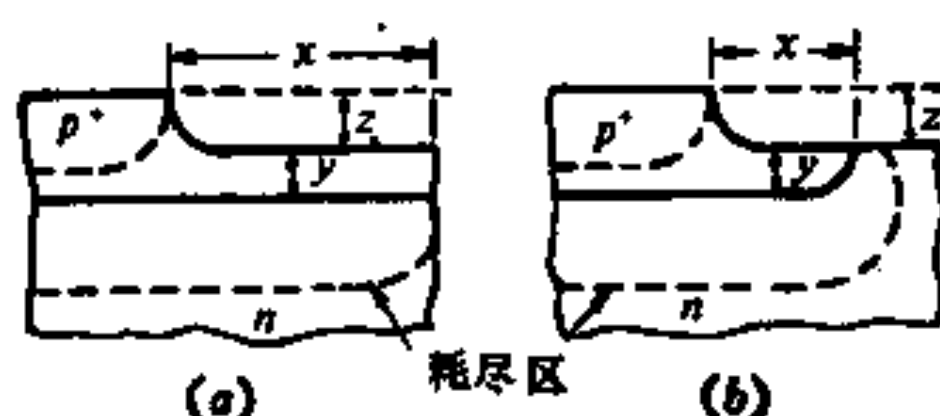


图 3-41 平行平面结及平面结用表面腐蚀成形
(a) 平行平面结； (b) 平面结

原因。图3-42(a)示出小负斜角下的情形，其中虚线为理想一维情形下耗尽区边界，点划线为实际耗尽区边界，两者所围面积不同，反映出比起理想的一维情形现在多了负电荷 $-Q_H$ 及 $-Q_L$ 与正电荷 Q_R 。它们当然也必须符合宏观电中性要求： $Q_H + Q_L =$

Q_R 。很明显， Q_R 与 Q_L 使原来在J点的理想一维的最大电场变低了，至于 Q_H ，则是使体内电场增加的一种电荷，它愈接近冶金结面，则电场增加愈多。另外，R点的电场主要决定于 Q_H 及 Q_R 中的一部份，也希望愈小愈好。由此可见， Q_H 应尽可能小，而斜角愈小，则显然R点离开一维情形的差别也愈小，这意味着 Q_H 也愈小。但是小的负斜角在终端面积上太不经济。图3-42(b)示出的负腐蚀成形与负斜角类似，各种对应的电荷用相同的符号表出，适当地控制腐蚀深度，可使得体内最大电场接近R点，表面最大电场接近J点。理论上击穿电压可达到理想的一维值的80%^[48]，但是要达到这个效果，需精密控制腐蚀的深度及其在平面结中的位置，这不容易做到，因此，负腐蚀成形不象正腐蚀成形那样好。

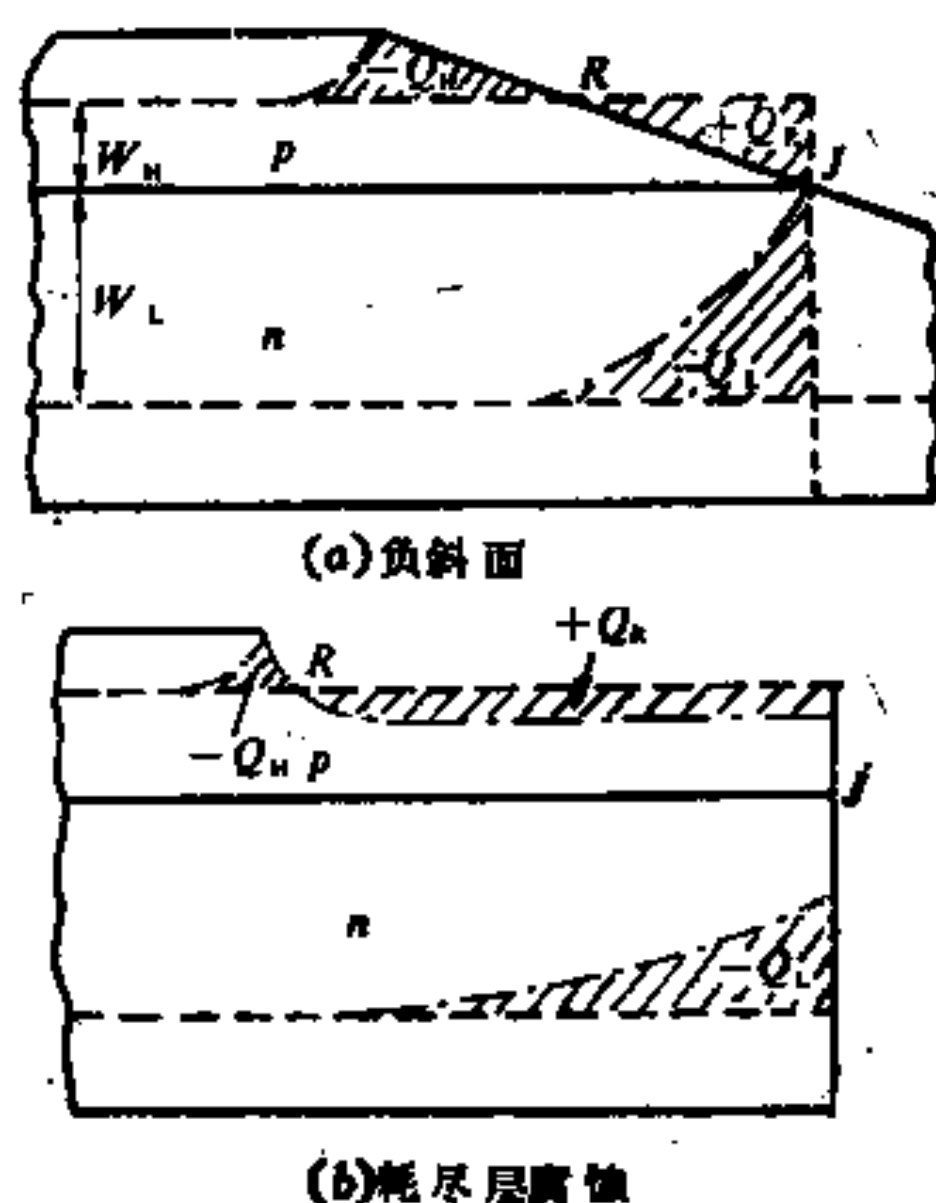


图 3-42 负斜面及耗尽层腐蚀的电荷

§ 3-7 结终端扩展与变化横向掺杂

1. 结终端扩展

斜面表面及腐蚀成形是把冶金结两旁电荷有选择地去除, 结终端扩展 (Junction Termination Extension 缩写 JTE) 是一种在重掺杂区一侧掺杂而增加电荷的方法。图 3-43 示出平面结借助离子注入技术增加电荷的情形, 可以精确地获得所需电荷。

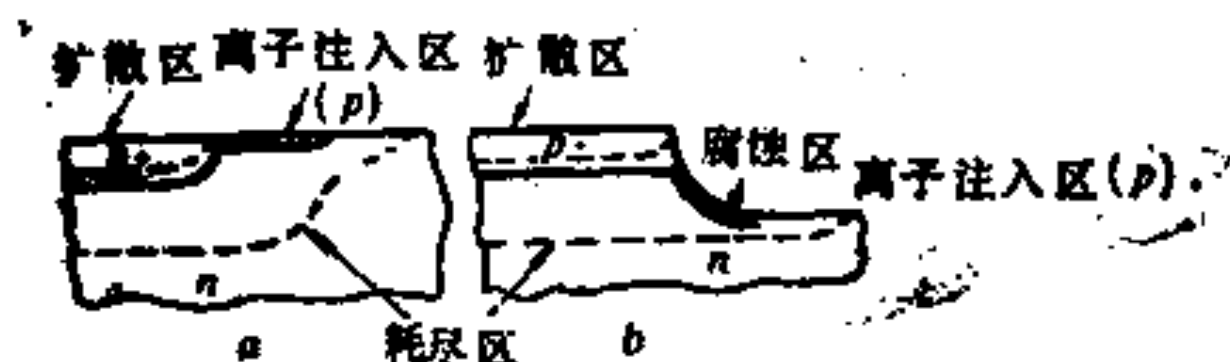


图 3-43 平面结由离子注入形成终端扩展

2. 变化横向掺杂

其实, 各种终端的作用都可以用其改变了的电荷产生附加电场来解释。最近, Stengl 等人提出了直接在轻掺杂区表面作随距离变化的掺杂来作为降低表面峰值电场的方法^[44], 称为变化横向掺杂 (Variation of Lateral Doping, 缩写 VLD)。

先设想表面掺杂是集中在一点, 例如线电荷 $-Q$ 在图 4-43 的 P 点, 此电荷产生的电场为 $Q/2\pi\epsilon r$, r 是离开 P 点的距离。图 3-44 中表出了 $(-Q)$ 产生的场, 原来的场, 及两者之和 (即有 Q 时的场), 很明显, 这种集中的电荷固然能使 R 点的电场减小, 但在 P 点却有无穷大的电场。

要避免这种电荷所在处的大电场, 这些电荷自身必须是分散的, 而且没有突变点。在 VLD 中考虑到这点, 采用了图 3-45 所示的掩膜^[45], 杂质经离子注入于窗口后再进行扩散, 每个窗口下得

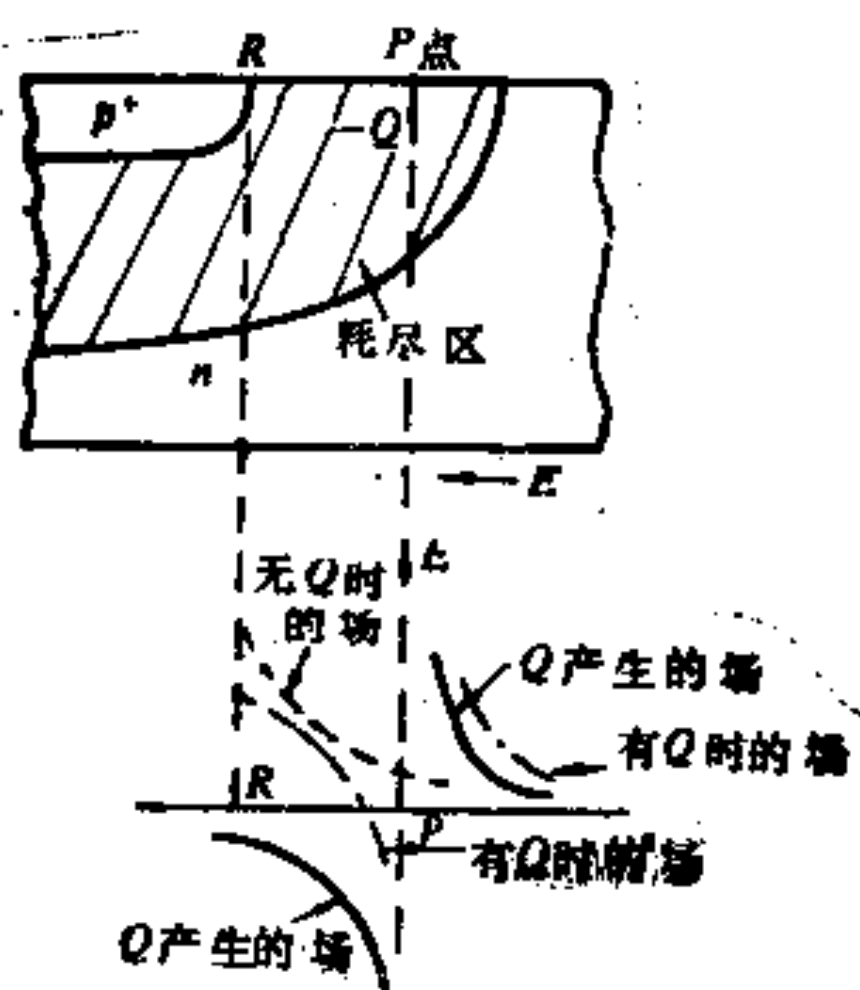


图 3-44 表面线电荷对电场的影响

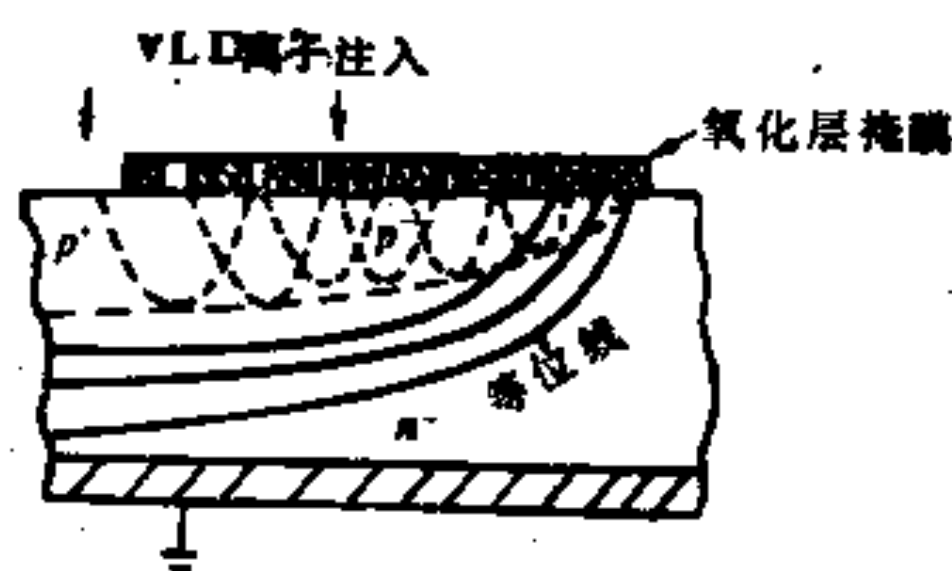


图 3-45 VLD结构示意图(粗虚线为冶金结)

到一个虚线所示的 P 区，加起来得到粗虚线的 PN 结，因此杂质分布是渐变的。理论上可以得到最佳的表面电场，使终端所占的面积最小。

VLD 用掩膜的窗口可能是条状（在需要浓度较高处），也可能是一些小孔（在浓度较低处），图 3-46 是一个例子，条的密度及空隙、小孔的密度及孔径决定了掩膜下面杂质的平均密度。

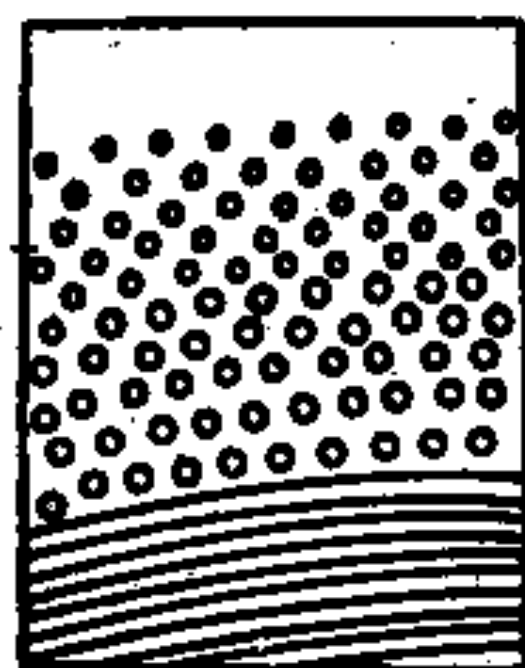


图 3-46 VLD 用的氧化层掩膜的一部份，氧化层至少厚 $0.5\mu\text{m}$

由于经过一次扩散，这种掩膜结构造成的杂质分布的不连续性实质上被消去。

3. JTE与VLD的应用

JTE方法的机理和VLD本质上是一样的，不过JTE所引入的杂质在重掺杂区，杂质的密度为一常数，不随距离而变，但是其提供的电荷密度决定于耗尽的程度，是变化的。理论及实验表明，离子注入的面电荷密度如为平行平面结重掺杂区的面电荷密度的60~80%，则可能达到理想击穿电压的95%。

应当指出，JTE与VLD都会使漏电流及结电容增加，因为在某种意义上说，结的面积增加了。此外，在这种技术中表面钝化及其它不应有的面电荷的防止都非常关键，否则难以得到较好的重覆性。

各种终端的比较

本章讨论了各种结的雪崩击穿及结终端技术，现在把各种终端技术作一比较并列于下表^[41]。应当知道，除击穿电压外，采用那种技术决定于多方面的因素。首先，决定于器件的尺寸，对于小尺寸器件，斜表面不是一种现实的方法，最常用的方法是场限环，由它可以达到平行平面结击穿电压的80%，这对一般双极型器件是可以令人满意的。但对场效应器件，因为导通电阻正比于体击穿电压的2.5次方，需要使表面击穿电压尽可能与体击穿电压相等。因此，VLD及JTE除漏电流较大外，可能是比较满意的方法。其次，在一块硅片上同时做成许多小器件时，场板及VLD或JTE较为有用，而斜表面需要对每个器件个别地处理，因此成本也较高。当然，反过来讲，对大尺寸的器件，特别是对一块硅片是一个器件的场合，斜表面技术可能最好，因为它几乎可达到理想的击穿电压，而且表面电场降低很多，因此表面钝化的要求也可放宽，所以，多数整流器与晶闸管是用正、负斜面的组合制成的。

表 3-3 高压器件的钝结技术

技 术	典型击穿电压为平 行平面结的值的百 分数	表面峰值电场对平 行平面结峰值电场 之比(%)	适用器件的典 型 尺 寸	典型器件类别	附 注
平面结	50	80	小(<2.5mm)	BJT、MOSFET	对高压器件通常不直接用
场 限 环	80	80	中(<2.5cm)	BJT、MOSFET SCR	常常结合起来用, 对每个硅片有 许多器件很适用
场 板	60	80	中(<2.5cm)	BJT、MOSFET	
正 斜 面	100	50	大(>2.5cm)	整流器、SCR	
负 斜 面	90	60	大(>2.5cm)	SCR	对每块硅片一个器件的情形很适用
双正斜面	100	80	大(>2.5cm)	SCR	
正腐蚀成形	90	60		BJT	对每块硅片有许多器件也适用
负腐蚀成形	80	60		MOSFET	
结终端扩展	95	80	大、中、小	SCR	对每块硅片一个器件或多个器件均 适用, 漏电流大, 对表面钝化灵敏
可变表面掺杂	95	80			
电阻场板	90	80	大、中、小	同 上	目前用得还不多工艺复杂度增加

参 考 文 献

- (1) S.M.Sze (施敏), *Physics of Semiconductor Devices* 2nd. Edition, Ch.1, John Wiley and Sons, New York, Chichester, Brisbane, Toronto, Singapore, (1981).
- (2) A.G.Chynoweth, *Phys.Rev.*, 109, p.1537(1958).
- (3) R.Van Overstraeten and H.De Man, *Solid-State Electron*, 13, p.583(1970).
- (4) C.A.Lee et al., *Phys.Rev.A*, 134, p.761(1964).
- (5) J.L.Moll, et al., , *Solid-State Electron*, 6, p.147 (1962).
- (6) R.A.Kokosa and R.L.Davis, *IEEE Trans. Electron Devices* ED-13, 874 (1966).
- (7) W.Fulop, *Solid-State Electron*, 10, 39 (1967).
- (8) 陈星弼, 唐茂成. 《晶体管原理与设计》p. 35~37, 成都电讯工程学院出版社, 1987年.
- (9) A. Blicher, *Field Effect and Bipolar Power Transistor Physics* ch.3, Academic Press, New York, London, Tondon, Sydney, San Francisco, 1981.
- (10) S. K. Ghandhi, *Semiconductor Power Devices*, Wiley, New York, 1977.
- (11) S. M. Sze, et al., *Appl. Phys.Lett.*, Vol.8, p.111, 1966.
- (12) B. J. Baliga and S.K. Ghandhi, *Solid-State Electron*, 19, 739(1976)
- (13) 陈星弼, 蒋旭, 《成都电讯工程学院学报》, Vol.15, pp.34~44, 1986.
- (14) 陈星弼, 蒋旭, 李忠民. 《半导体学报》, Vol.9, pp.100, 1988.
- (15) D.P.Kennedy, et al., *Solid-State Electronics*, 19, 739(1976).
- (16) K.L. Kasley, et al., , *IEEE Trans. Electron Devices*, Vol. ED-31, NO.9, pp.1341~1343.
- (17) X.B.Chen(陈星弼), A simple description of diffused impurity distribution of an instantaneous source through a window of a mask, *Proc.of ICSICT'89* (1989)
- (18) X.B.Chen(陈星弼), Z.J.Li(李策基), Z.M.Li(李忠民), Field profiles and breakdown voltages of elliptic cylindric abrupt junction, *Proc. of ICSICT'89* (1989).
- (19) S.M.Sze, et al., *Solid-State Electron* 9, 831(1966).
- (20) P.R.Wilson, *Solid-State Electron*, Vol.16, pp991~998(1973).
- (21) V. Anantharam and K. N. Bhat, *IEEE Trans. on Electron*

- Devices*, Vol.ED-27, 939 (1980).
- (22) V.P.O'Neil and P.G.Alonas, *IEEE Trans. Electron Devices*, ED-26, 1098(1979).
 - (23) A.Rusu and C.Bulucea, *IEEE Trans. Electron Devices*, ED-26, 201 (1979).
 - (24) 陈星弼, 《电子学报》14卷, p36(1986).
 - (25) Y.I.Choi et al., *Solid-State Electron*, Vol.30, p.353(1987).
 - (26) Y.I.Choi et al., *IEE Proc.* Vol.133Pt. 1, p.13(1986).
 - (27) B. J. Baliga, *Silicon Power Field Controlled Devices and Integrated Circuits*, Academic Press(1981).
 - (28) V.A.K.Temple and M.S.Adler, *Int. J. Electron*, 40, 293(1976)
 - (29) J.N.Sandoe et al., *IEE Proc.*, 132.Pt.I 281~284(1985).
 - (30) L.E.Clark and D.S.Zoroglu, *Solid-State Electron*, Vol.15, pp.654~657 (1972).
 - (31) T.Matsushita et al., *IEEE Trans Electron Devices* ED-23, 826 (1976).
 - (32) 陈星弼, 《电子学报》, Vol.16, No.3, pp8~10(1988)或X.B.Chen, *Acta Electronica*, Supplement March(1989)pp.105~112.
 - (33) K.R.Wright, D.J.Joe, *Solid-State Electronics*, 27, pp1021~1027 (1984).
 - (34) S.Yasuda, T.Yonezawa, *Solid-State Electronics*, 26, pp. 423~427 (1982).
 - (35) 陈星弼, 《电子学报》, Vol 16, No.5, (1988).
 - (36) C.Y.Chang and C.T.Sun, *IEEE Electron Device Letters*, Vol.EDL 7, pp.15~17(1986).
 - (37) J.G.Mena and C.A.T.Salama, *IEEE Trans.on Electron Devices*, Vol. ED-31, pp.109~113(1984).
 - (38) H.Yilmez, et al., *IEEE Electron Device Letters*, 600~601(1985).
 - (39) R.L.Davies and E.E.Gentry, *IEEE Trans. Electron Devices*, Vol.ED-11, pp.313~323(1964).
 - (40) J. Cornu, *IEEE Trans. Electron Devices* ED-20, 347(1973).
 - (41) E.J.Baliga, *IEE Proc.*, Vol. 129 Pt I, No.5, 173~179(1982).
 - (42) V.A.K.Temple, B.J.Baliga, M.S.Adler, *IEEE Trans. Electron Devices*, Vol.ED-24 1304~1310(1977).
 - (43) V.A.K.Temple, M.S.Adler, *IEEE Trans. Electron Devices*, Vol. ED-23, 950~955(1976)
 - (44) R. Stengl et al., *Proc. IEDM* 85, pp.154~156(1985).
 - (45) R.Stengl et al., *IEEE Trans. Electron Devices*, Vol. ED-23, pp.426~428(1986).

第四章 垂直导电MOS型功率器件

§ 4-1 引言

本章主要叙述垂直导电的 MOS 型功率器件以及由此发展出来的、内部由 MOS 控制的垂直导电双极型功率器件——IGT与MCT。此外，还简略叙述利用功率 MOS 特点制成的一些灵巧功率器件。

电子器件从来都是沿着提高频率及提高功率这两个方面努力发展的。为此，要不断解决频率及功率提高过程中出现的矛盾。每一种器件在频率和功率兼顾时都存在极限，因此人们不断采用新的工作原理、新的器件结构、新的材料来突破原有的极限。

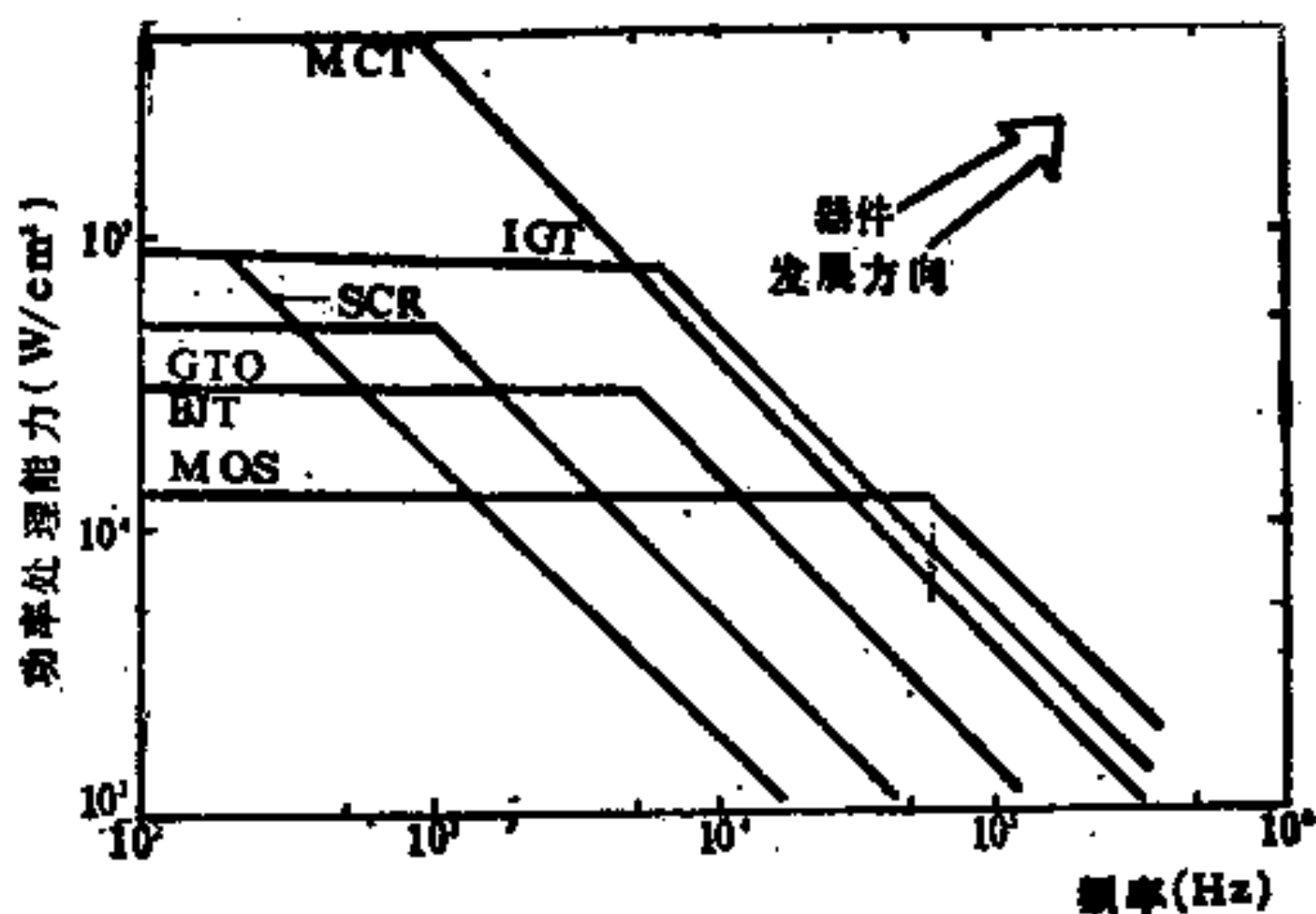


图 4-1 功率器件的比较 (耐压 > 1000V)

电子管的发展史是这样，半导体器件的发展史也是这样。

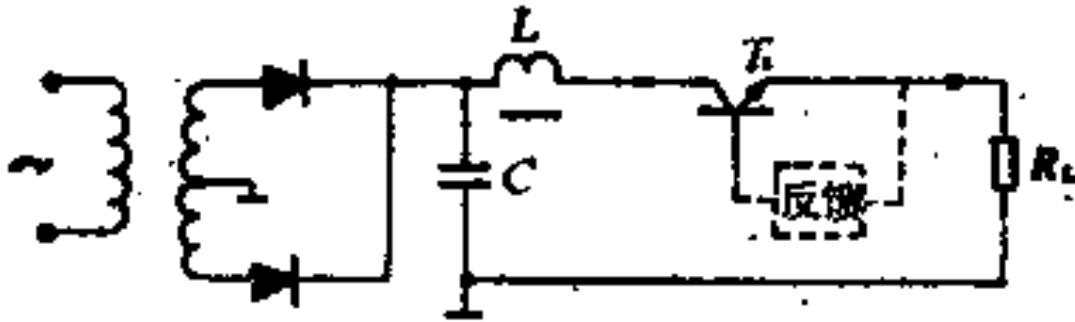
图 4-1 示出几种重要的功率半导体器件在功率与频率两方面现有的水平，显然，功率 MOS 比双极型器件提高了一步。

功率 MOS 和 IGT 的最大用途之一是在开关电源中作为开关器件，下面以这一用途为例说明为什么功率及频率要求都高。

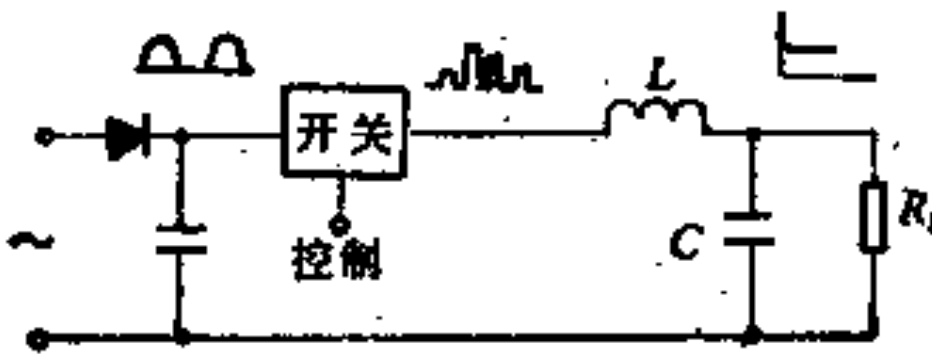
1. 由开关电源说明器件快速反应的重要性

图 4-2(a) 示意地表示了一个普通整流稳压电源电路，50Hz 交流电经整流、LC 滤波器滤波、调整管稳压而通向负载。调整管电流由负载电压与标准电压（例如一个稳压管的电压）的比较来控制，使输出电压固定在所需之值。

粗略讲，为了要有较好的滤波效果， ωL 应比负载电阻 R_L 大得多， ωC 应比 $1/R_L$ 大得多。电感（或电容）的重量、体积和成本均和 L （或 C ）的值成正比，因此要降低重量、体积和成本，必须采用很高的频率，使 L 、 C 之值减少。然而市电的频率经全波整流后为 100Hz，这是较低的频率，如采用开关电源，频率可以大大提高。



(a) 全波整流稳压输出



(b) 开关电源

图 4-2 直流电源电路

另一方面，稳压电路中所用调整管（图4-2中的 T_1 ）若要起较好的调整作用，则应工作在放大区。晶体管在放大区的压降一般约在 2 V 以上，如果负载所需电压为 6 V，则调整管所消耗的功率至少为负载的 1/3。若负载所需电压更低，则效率也就更低。如采用开关电源则效率可以大大提高。

提高频率对开关器件提出了更高的要求：不仅导通时压降要低（使导通时损耗小），关断时漏电流要小（使关断时损耗小），而且要求开关损耗小。所谓开关损耗，是指开启过程及关断过程中的损耗。在开启时间 t_{on} 内，器件电流需要经过一定的增长过程，在此过程中器件的压降比较大，因此，在这个过程中会有较大的损耗。同样地，在关断时间 t_{off} 内，也存在着一个电流下降的过程，此过程中压降也较大，也存在着较大的损耗。这两种损耗的功率一般比完全导通时或完全关断时的功率损耗大得多，因此在开关频率较高时，这种开关转换过程的损耗是主要的。

由于功率 MOS 的转换速度快，使开关电源可工作到更高的频率，从而使开关电源的体积减小，重量减轻，成本降低。图4-3示出开关电源的重量与频率的关系，开关电源的效率也高于通常

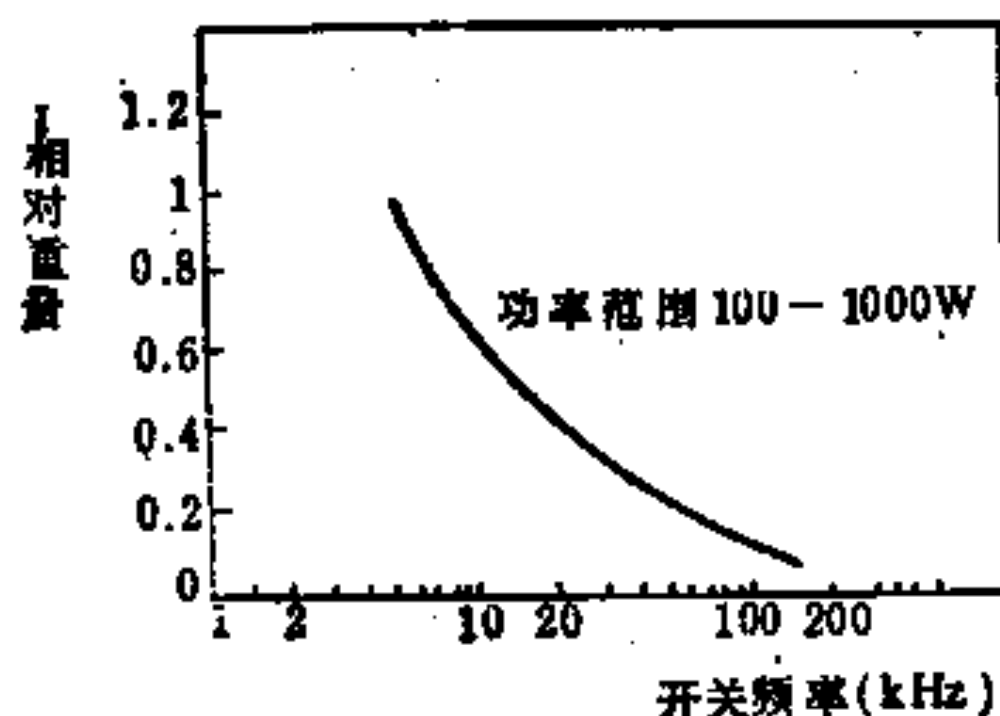


图 4-3 开关电源的相对重量与开关频率的关系
（相对重量中除输入滤波电容外，其它元件均包括在内）

的电源，因此它在迅猛发展中。在美国，1980年总的电源销售额为32亿美元，开关电源占23%；1985年为63亿美元，开关电源占57%。估计在1990年将达110亿美元，而开关电源占71%，即84.5亿美元^[11]。

2. 各种功率 MOS 的结构

双极型晶体管依靠少数载流子工作，少子的建立和消失均需要时间，这限制了开关速度及频率。MOS 管依靠多子工作，频率可比双极型高，并且它的驱动不象双极型那样需要较大的驱动电流。因此在1968年就有人想用 MOS 结构做高频功率放大。普通 MOSFET 是表面结构，如图 4-4 所示，和 NPN 双极型晶体管颇有些相仿。只是 MOS 中源区的电子不是注入到基区再到集电区，而是沿着由正栅压引起的表面反型（N 型）沟道到漏区。为了提高击穿电压，漏区与衬底（N 区）间增加了弱掺杂的 N⁻ 区，这一区域消耗了一部分表面面积。为了提高电流，需要将许多这样的横向 MOS 管的条并联，这不但在内部联线上困难，而且使动态特性变坏。

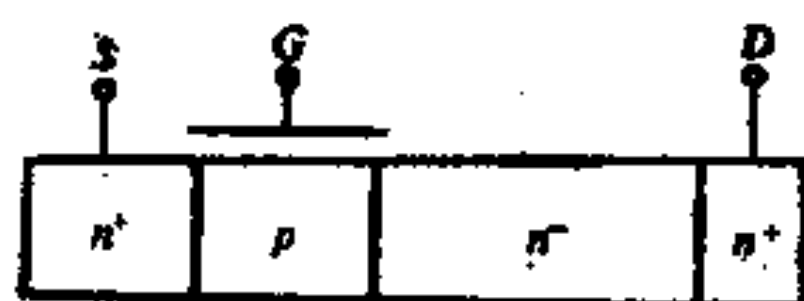


图 4-4 横向 MOSFET

1974年开始采用了新结构，如图 4-5(a)所示。在这种结构中，表面沟道由 V 槽中的栅电压控制，电子从表面沟道出来后向下流动到漏区，这一段区域很长，称为漂移区，它是轻掺杂的，就象高压 NPN 晶体管的轻掺杂集电区一样，由于存在这一轻掺杂漂移区且电流向下流动，耐压可以提高而并不消耗表面的面积，在一块芯片上做许多单元并联，可提高电流，这种器件达到控制 1 瓦到几百瓦的水平。其成功是利用了：1) MOS 大规

模集成技术日益成熟（包括微米级的光刻，离子注入技术，自对准技术，大面积栅氧化的高成品率，多晶硅栅工艺）；2）双极型晶体管的双重扩散技术；3）各向异性与各向同性的化学腐蚀工艺与等离子刻蚀工艺。

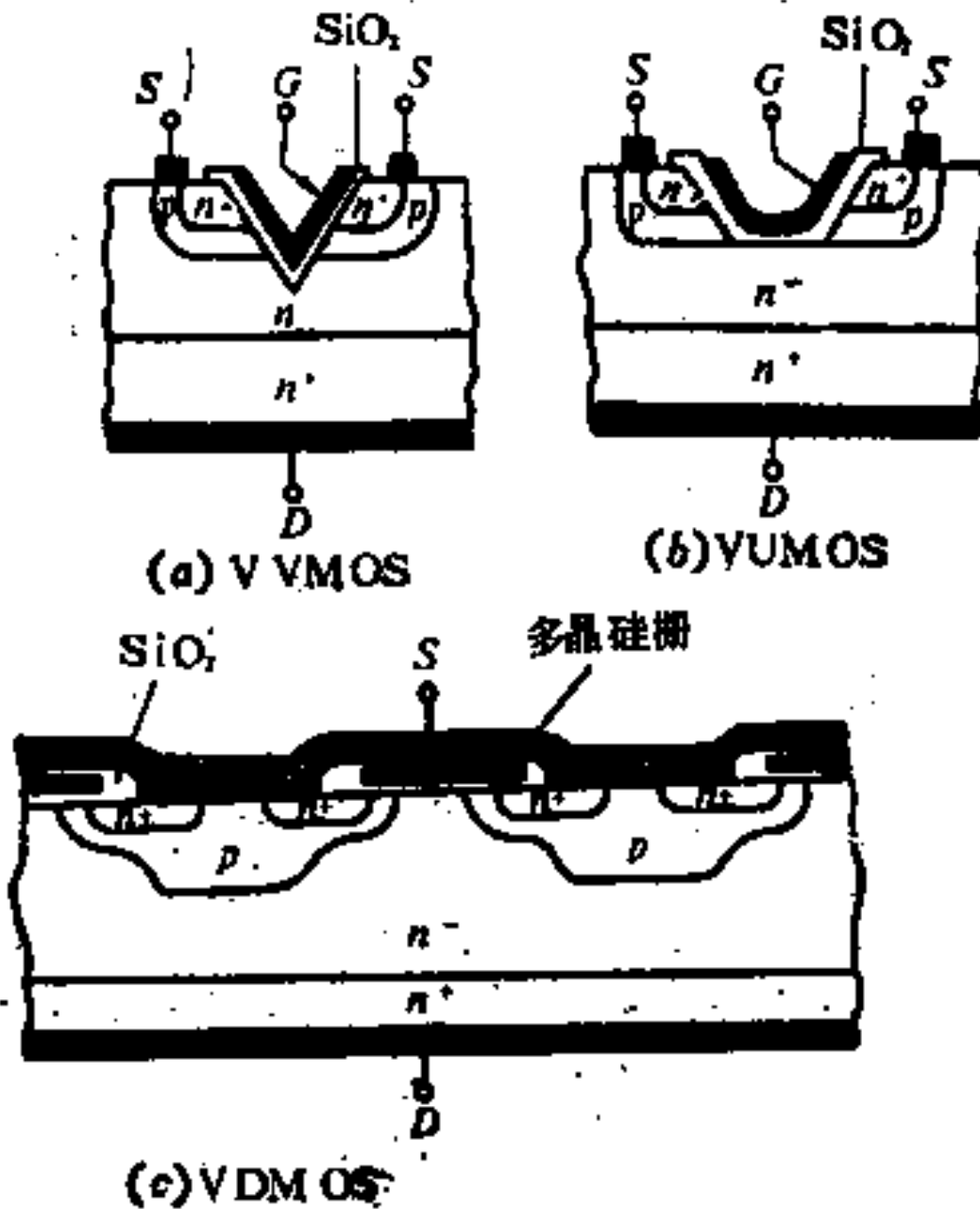


图 4-5 垂直导电的功率 MOS

这种器件称为 VVMOS，这里 V 代表垂直 (Vertical) 及 V 形槽 (V-groove)。VVMOS 较之双极型晶体管有如下的优点：1）输入阻抗高，从而功率增益大；2）电压控制，因此使用时电路简便，且和一切 MOS 集成电路兼容；3）温度稳定性好。VVMOS 的缺点是：1）靠腐蚀形成 V 形槽，这很难精确控制；2）制作的 V 形槽易于受离子沾污造成阈电压不稳定，成品率及可靠性下降；3）源与栅的金属化需要为叉指形，这不能最有效地利用表面面积；4）V 形槽底部为尖峰，电场较大，使击穿电压受损。为了解决后一问题，一个改进方案是将 V 形槽

行两次扩散，形成源及源下面的衬底(即上面两图的 N^+ 与 P 区)所制成的 MOS 器件。我们在这里所采用的名词也是文献中最常见的，避免了混淆。

3. 从功率 MOS 到 IGT

功率 MOS 比双极型器件有许多优点：开关速度快、频率响应好，驱动电流小、最高工作温度高，而且不会有双极型功率管的二次击穿，安全工作区宽。它存在一个不可克服的困难：导通电阻与耐压间的根本矛盾。为了提高击穿电压，图 4-5(c)中 N^- 外延层应该厚，而且电阻率高，但这样一来，导通时电流所经路程长、电阻率大，导通电阻高、损耗大。简单的分析表明，导通电阻与击穿电压的 2.5 次方成正比，由于存在这个关系，使得管子耐压若要提高，则导通电阻猛增，甚至到不能容忍的地步。

于是，人们探索新型器件，希望它既具有功率 MOS 的许多特点，又能在导通时电导增加，压降变小，这后一要求可以通过 PN 结注入少数载流子使 N^- 型区载流子数量大大增加来实现。各厂家几乎同时独立地发现了这种器件，这个器件的基本结构如图 4-7 所示，和 VDMOS 的区别仅在 N^+ 衬底现在被 P^+ 衬底代替。这

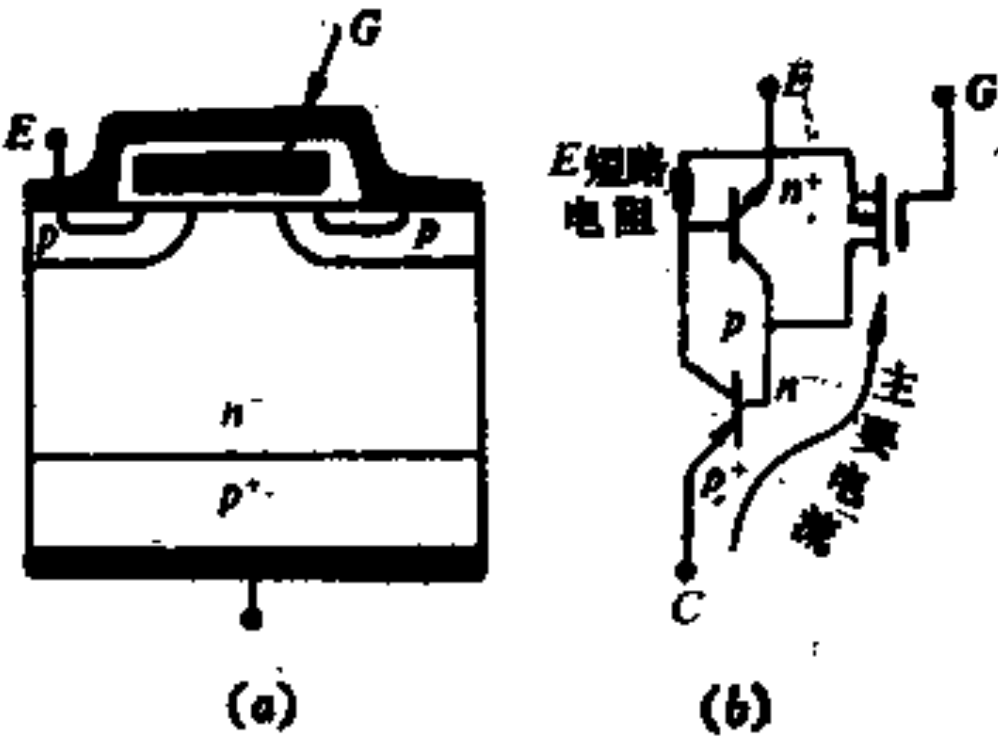


图 4-7 IGT 的结构(a)及等效电路(b)

样，在 G 极加正电压使 MOS 导通时，相当于 P⁺NP 晶体管有基极电流，如图 4-7(b)所示。这时发射极注入少子于基区，使其电压大大下降。

其实，1970年就有类似这种器件的想法出现，1978年还有过这类器件的实验，但是直到80年代初，才发现对这一器件中 P⁺N-PN⁺ 的闩流管闭锁效应可用发射极 P 与 N⁺ 短路来消除。这种器件同时有许多名词，RCA 公司称此器件为 COMFET（代表电导调制场效应管 Conductivity-Modulated FET）^[6]，在 1982 年 12 月 14 日得到专利。GE 公司开始时称此管为 IGR（代表绝缘栅整流器 Insulated-Gate Rectifier），于同一天在 IEDM（国际电子器件会议）上发表^[6]。后来 GE 公司又将该器件改名为 IGT（代表绝缘栅晶体管 Insulated-Gate Transistor^[7]）。Motorola 公司也独立地研究此种器件，称之为 GEMFET（代表增益增强型 FET Gain-Enhanced MOSFET）。加州大学 Berkeley 分校称此为 BMT（代表双极 MOS 晶体管 Bipolar⁺ MOS Transistor）及 IBT（Insulated-Base Transistor^[8]），西德称此器件为 IGBT（Insulated-Gate Bipolar Transistor）。值得一提的是，GE 公司由于用了计算机作二维模拟，发现 P⁻区中央的下方有一 P⁺区可以防止闭锁效应，使它们从器件研究到产品只化了不到半年时间^[8]。

4. 功率器件的发展

功率 MOS 按年度的重大进展如图 4-8 所示^[9]。双极型晶体管、功率 MOS、IGT 的电气特性比较如表 4-1 所示。

图 4-9 示出了半导体功率器件的每年世界销售额^[10]。在 30 年之内，从 25℃ 以下只能控制 100W 的较慢速器件发展成为能控制 50~100 kW 的一大家族的快速器件，在将来，由于采用集成电路技术，在效率上、在额定功率上，在速度上以及在发展功率集成电路上，都将大大地发展。

年代	技术	最大电流 / 电压额定值
1970	金属栅横向 DMOS	50 mA / 30 V
1975	金属栅 V 槽 MOS	1 A / 60 V
	硅栅 V 槽 MOS	5 A / 100 V
	金属栅 VDMOS	10 A / 400 V
1980	硅栅 VDMOS	20 A / 500 V
	高压大电流技术	50 A / 1000 V
1985	IGT	100 A / 1000 V
	IGT	100 A / 1000 V
	MCT	30 A / 700 V

图 4-8 功率 MOS 重大事件表

表 4-1 功率 MOS、IGT、BJT 的比较

参 数	双极型(BJT)	功 率 MOS	IGT
输 入 阻 抗	中 $10^3-10^4 \Omega$	高($10^8-10^{11} \Omega$)	高($10^8-10^{11} \Omega$)
电 流 增 益	中 10^3-10^4	高 10^3-10^4	极高
开 关 频 率	中(20—80kHz)	高(100—500kHz)	中高
导 通 电 阻	低	高	低
关 断 电 阻	高	高	高
电 容 量	高(1200V)	中(500V)	高(1200V)
坚 固 性	良	优	优
成 本	中	高(在下降)	高
最大工作温度	150℃	高200℃	150℃

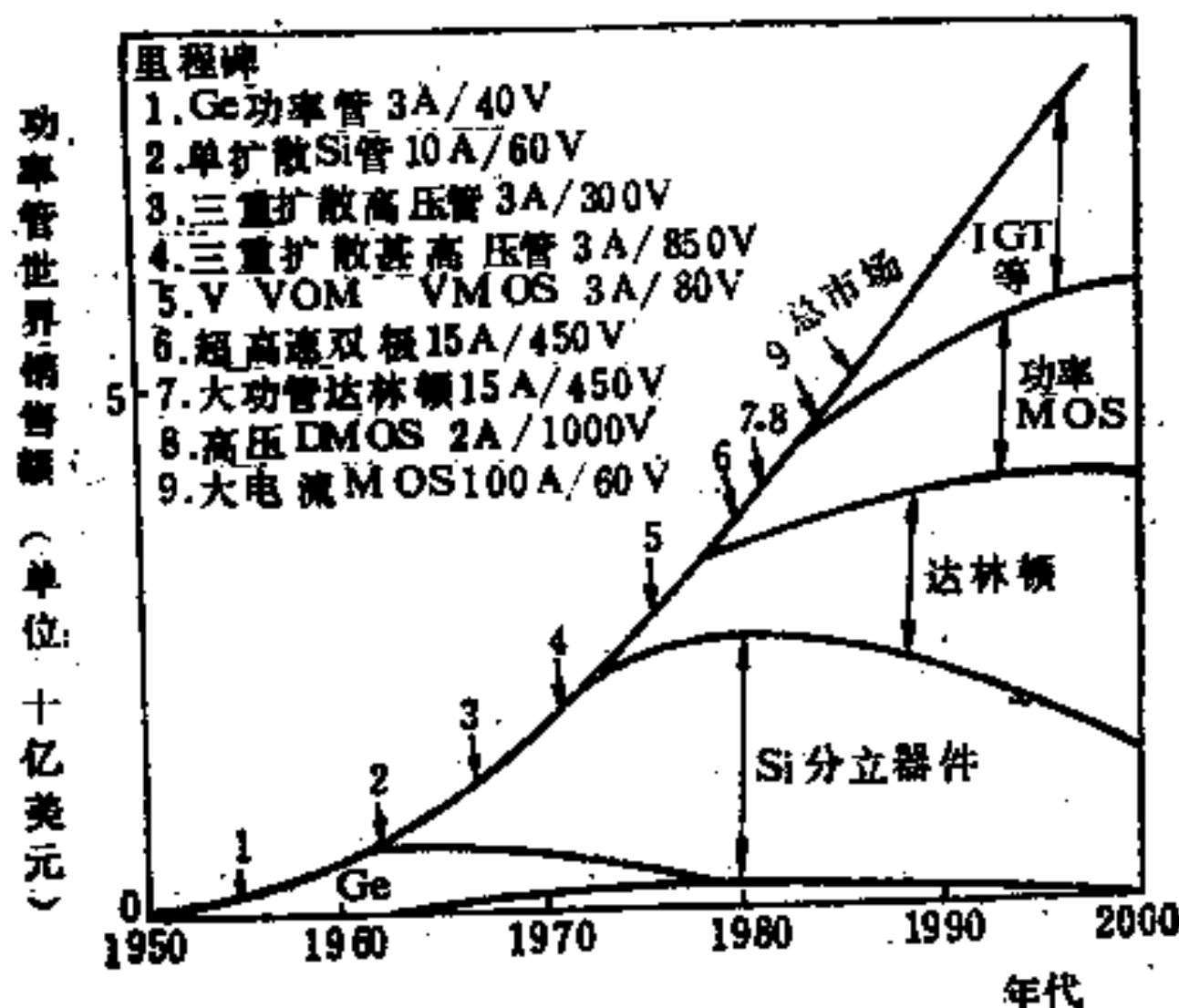


图 4-9 半导体功率器件年销售额

任何器件均有一个产生、生长、成熟、衰退、淘汰的过程，图 4-10 示出了一些重要的半导体器件的这一生命过程，可以看到，现在正面临一个功率 MOS 与 IGT 大发展的时期。

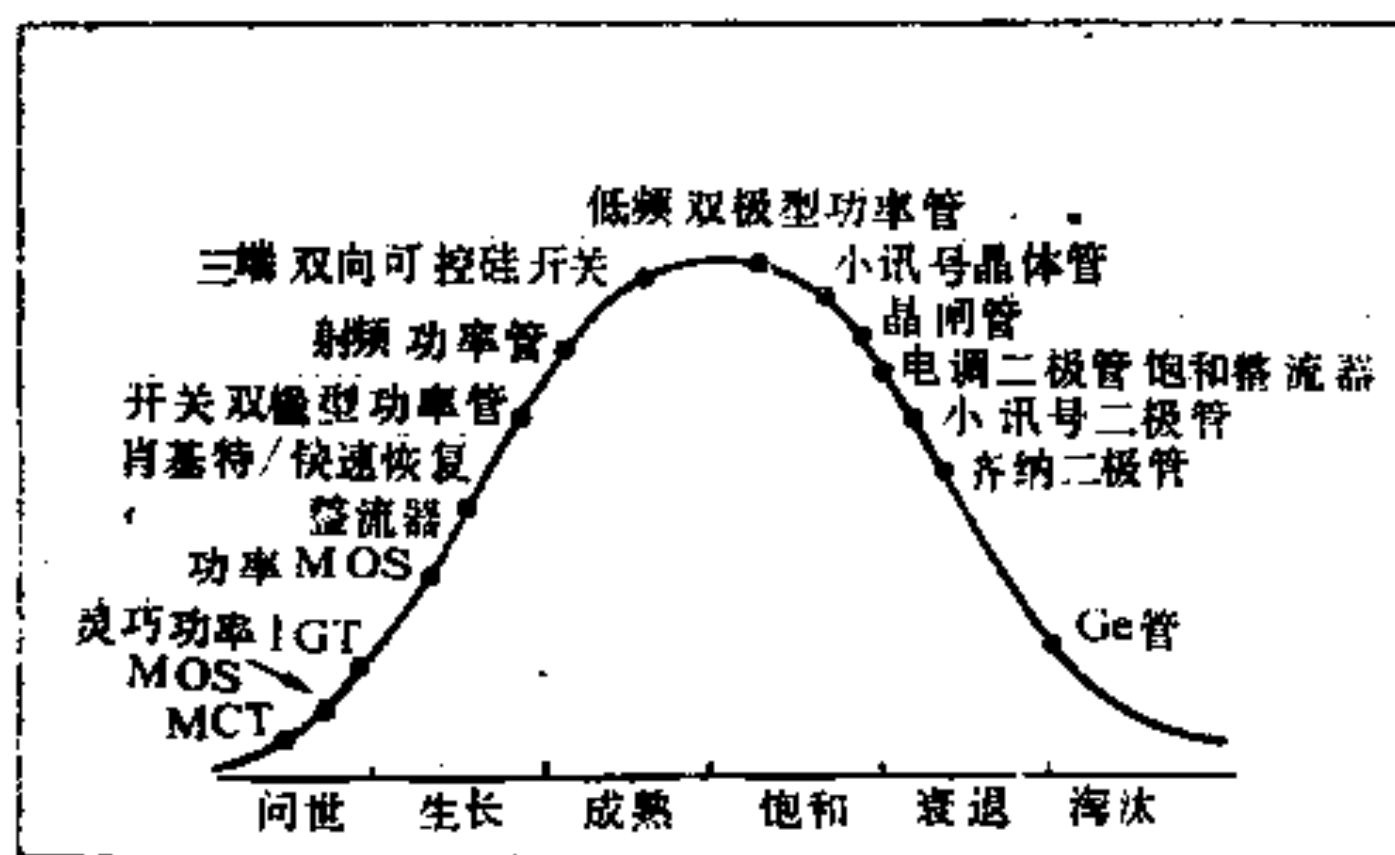


图 4-10 各种分立器件产品的生命周期

§ 4-2 功率MOS的结构与I~V特性

如前所述, 进入80年代后, 功率 MOS 的主流是 VDMOS。我们在本章除非特别指出, 一般讨论的对象都是 VDMOS。又因为 N 沟道的 VDMOS 特性较 P 沟道的为好, 我们均以 N 沟道为例来讨论, 自然, P 沟道 MOS 只是 N 沟道的翻版, N 沟道的理论用于 P 沟道毫无困难之处。

在本节中, 讨论功率 MOS 的结构、制造及输出特性, 功率 MOS 的关键参数将在下节讨论。

1. 结构

图 4-11 示出了一般 MOS 的剖面图。MOS 的导电是靠栅电压 V_G 超过 V_{th} 后, 在栅下的半导体表面出现的反型层 (N 层), 因此源区中电子可流向漏区。显然, 当漏电压 $V_D \rightarrow 0$ 时, 反型层中电子电荷的面密度为 $C_{ox}(V_G - V_{th})$, 其中 C_{ox} 为单位面积氧化层的电容量, $C_{ox} = \epsilon_{ox}/t_{ox}$, t_{ox} 为氧化层厚度, ϵ_{ox} 为氧化层的介电常数。对于 SiO_2 , $\epsilon_{ox} = 3.9\epsilon_0$, ϵ_0 为真空介电常数。漏电压为 V_D' 时, 若沟道长度为 L , 则沟道中电场强度为 V_D'/L , 故宽度为 Z 的沟道的漏电流为

$$I_D = \mu_{eff} \cdot Z \cdot C_{ox} (V_G - V_{th}) \cdot V_D' / L \quad (4-1)$$

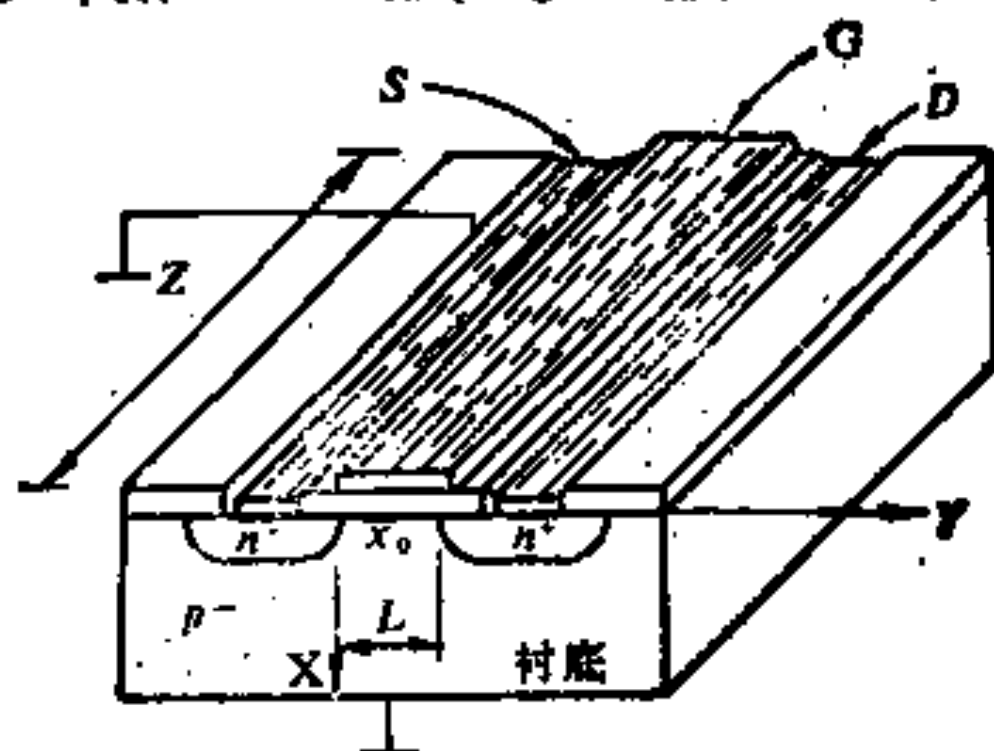


图 4-11 一般 MOS 的剖面图

其中 μ_{eff} 为沟道中电子的迁移率。

当 $V_{D'}$ 较大时, 靠近漏区的沟道中电荷面密度为 $(V_G - V_{th} - V_{D'})$, 电流将不再象式(4-1)那样正比于 $V_{D'}$ 。当 $V_{D'}$ 更大时, 沟道靠近漏区将只有耗尽层, 没有“反型层”, 这时沟道被夹断, 此后 $V_{D'}$ 再增大, 电流饱和。

根据上面讨论, 可将漏电流写为^[11]

$$I_D = \mu_{eff} \frac{Z}{L} C_{ox} f(V_D, V_G) \quad (4-2)$$

f 为 V_D 及 V_G 的函数。现在从这个关系讨论提高 I_D 的途径。氧化层的厚度 t_{ox} 不能太小, 否则在一定栅电压下, 其中电场过高, 发生击穿。一般氧化层加电压 100V, 其厚度应大于 $0.15\mu m$ 。沟道长度 L 太小, 则加一定漏电压后沟道易被穿透或击穿, 而且

双扩散工艺也不易控制很小而又均匀的沟道长度, 一般工艺所做到的沟道长度为 $2\mu m$ 上下。这些因素决定了每单位栅宽的电流为 $1A/cm$ 数量级。由此可见, 要增大器件工作允许的电流, 一个方法是增大栅宽 Z , 在一定的表面积下要做到这点的办法就是将图 4-11 的结构并排做成 n 条并联, 即所谓叉指式结构, n 条栅的电流可大 $2n$ 倍。另一个方法是做成许多源的元胞, 再并联, 即所谓的元胞结构。无论那种结构, 都要在工艺上保证成品率, 否则一个单元的器件失效使整个管子报废。

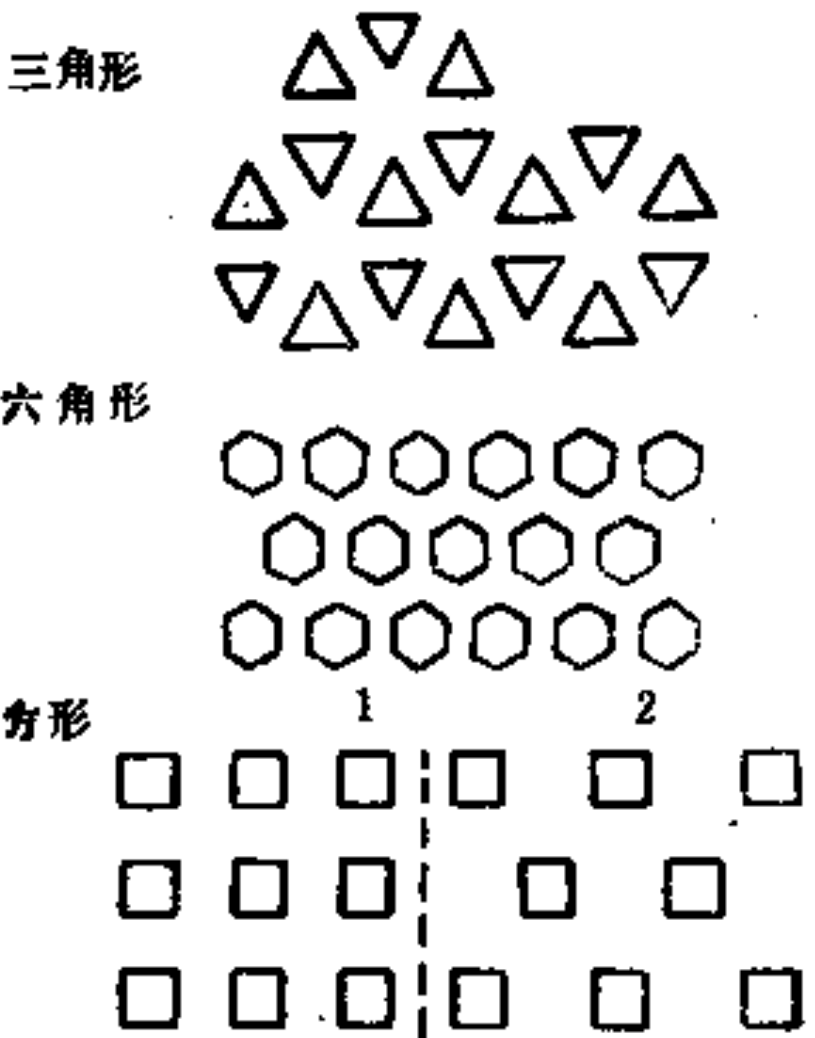


图 4-12 源的元胞的几何区 (P 区扩散的光刻掩膜) 图形

三角形 (TRIMOS、RTC 及 TEXFET),
六角形 (HEXFET 国际整流器公司),
方形 (1. SIPMOS, 西门子公司 Siemens,
2. TMOS, 莫托洛拉公司 Motorola)

P区的几何图形有许多种, Intersil公司生产的ZMOS,基本上是条状结构,不过在条的一些部位加宽,在中间做源金属化接触孔,各种元胞结构图形如图4-12所示,该图题下列出了产品名称及出产公司名。

为了提高电流,在硅片表面占去了很大的面积,垂直导电的功率MOS是将耐压的任务交给纵向,即由一定的外延层厚度来达到。粗略讲,图4-5(c)在漏极电压 V_D 时,耗尽区电场分布如图4-13所示,外延层的厚度可根据第三章的表3-2作一估计,对耐压400V的管子,外延层厚度约需 $30\mu\text{m}$ 以上。为了保证表面不被击穿,在所有单元的最外圈上要采用一定的终端技术。

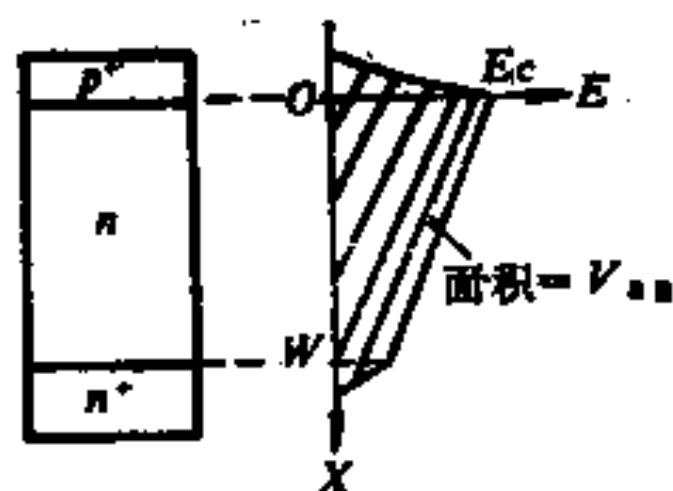


图4-13 外延层中电场分布(一维近似均匀掺杂)

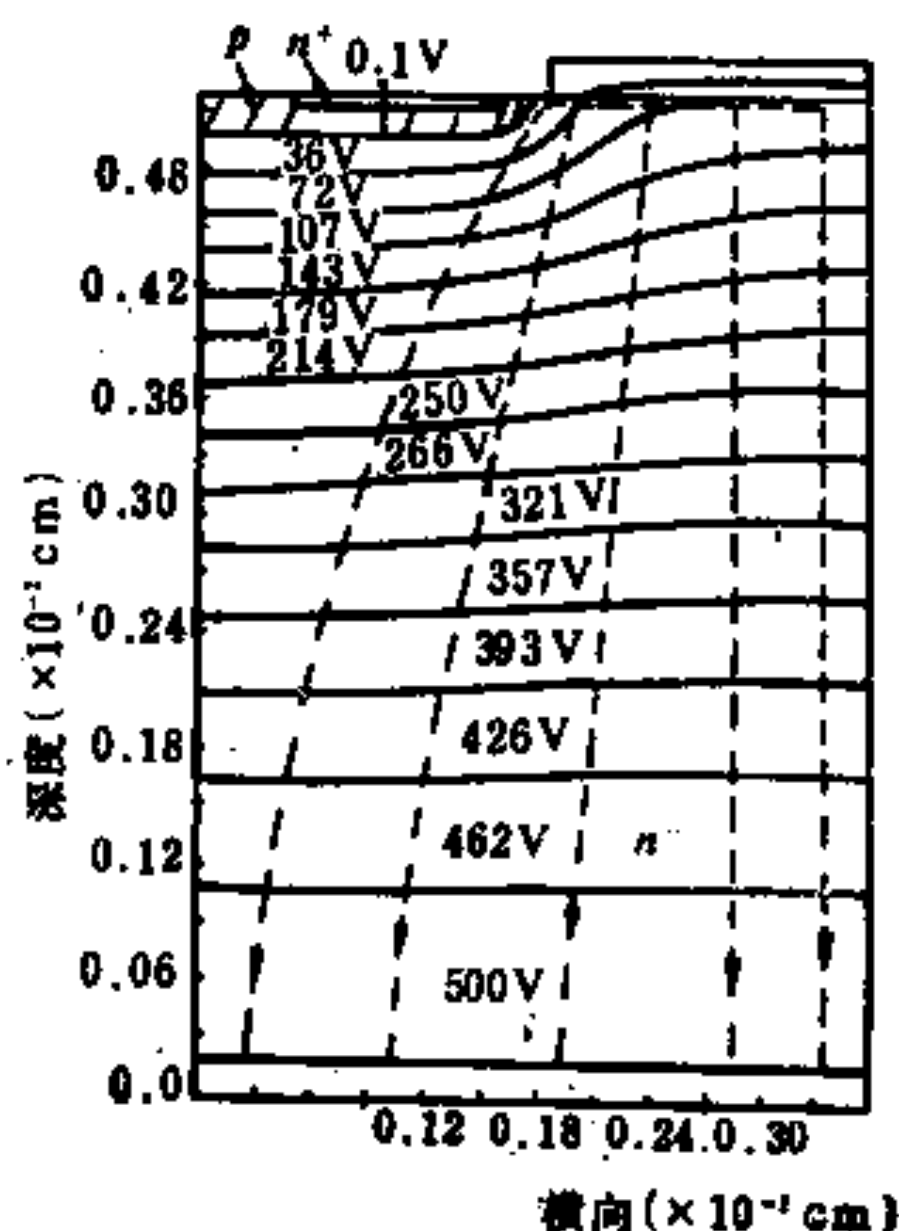


图4-14 某VDMOS在 $V_D = 500\text{V}$ 时耗尽层中的电位分布

图 4-14 示出了某 VDMOS 管 $V_D = 500V$ 时耗尽区中的电位分布的计算机数值计算结果^[12]。由图可见, P 区的表面的边缘电压远低于 500V。式(4-1)中的 V_D' , 是指该点的电压, 它其实并不很大, 图中的虚线代表电子流动的路径。

2. 制造

三种 MOS 在制造上不同, 先从 VVMOS 讲起。

图 4-15 示出了 VVMOS 的剖面图。它的制造包括双极型晶体管的发射区及基区的制造过程及硅片的腐蚀开 V 形槽, 先将 N^+ 衬底上有 N^- 外延层的(100)面硅进行硼扩散做一层 P 型区, 然后经氧化、光刻开窗口, 进行磷扩散做一层 N^+ 型, 然后再在 N^+ 区的中间开窗口, 用化学腐蚀液挖出 V 形槽, 此槽的槽底为沿 $\langle 100 \rangle$ 方向的直线, V 形槽可用氢氧化钾加异丙醇作硅的腐蚀液进行各向异性腐蚀而得到(此腐蚀液对 (111) 面几乎无腐蚀作用)。 (111) 面与 (100) 面间的夹角为 54.7° , 因此槽的深度是表面宽度的 0.707 倍。

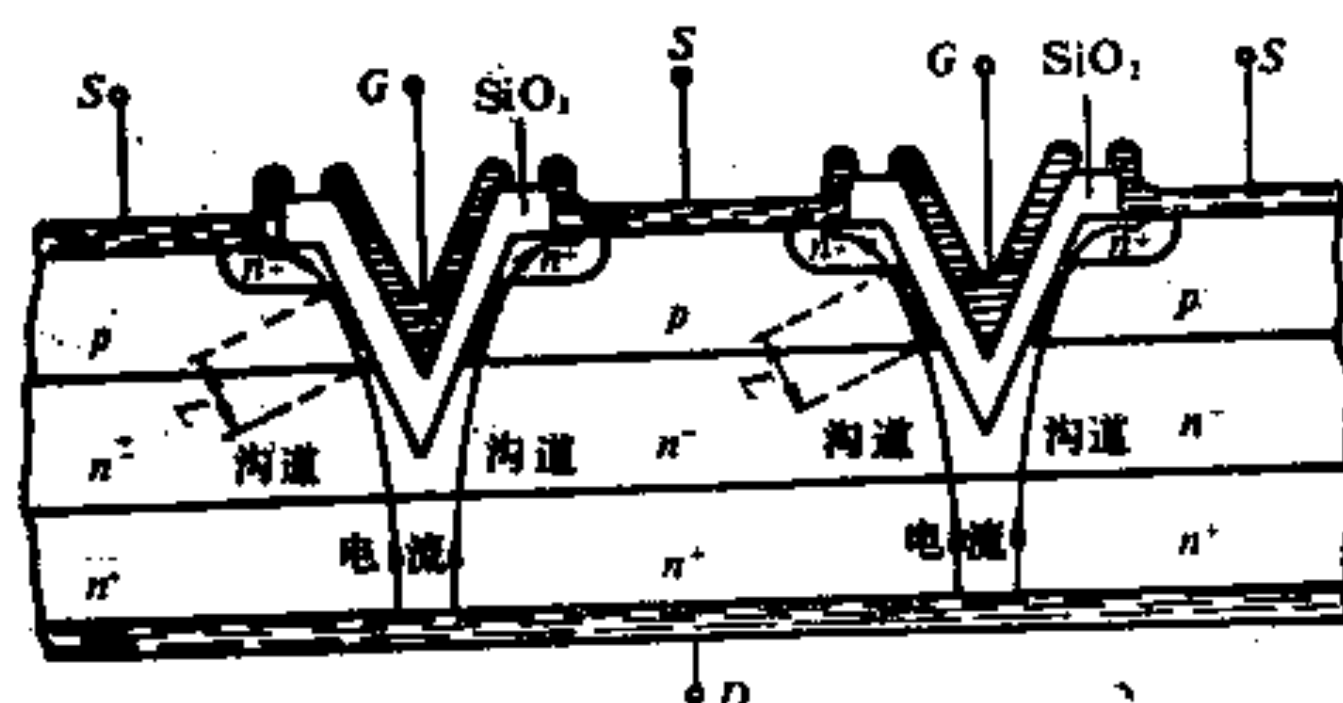


图 4-15 VVMOS 的剖面图

开槽后进行热氧化在槽的面上生长 SiO_2 层, 再在其上蒸发金属作栅电极接触, 源的接触也需金属化, 并同时将 N^+ 区与 P 区短接, 漏的金属接触在硅片下部, 直接与管座相接。

此器件的沟道长度 L 由硼、磷两种扩散的结深决定，易于在工艺上控制，另一优点是源与栅的相对位置允许有较大公差，每一槽的两侧均形成沟道，使电流容量增加，节省了表面面积， N^- 漂移区承受高电压，不占表面面积。

VUMOS 的做法与 VVMOS 相仿，但在腐蚀时前沿未达到 V 槽底部时就需停止腐蚀，这样槽底是平的，这种腐蚀很难控制。VUMOS 的优点是导通电阻较 VVMOS 的低。

图 4-16 示出了 VDMOS 的一种 HEXFET 的剖面图，VDMOS 的制造是利用双重扩散（或双重离子注入），它的栅极用多晶硅制成，埋在源的金属电极下面，中间隔以氧化层，有源区沟道在表面，电子经此沟道到 N^- 区表面，再分散向下流动，它

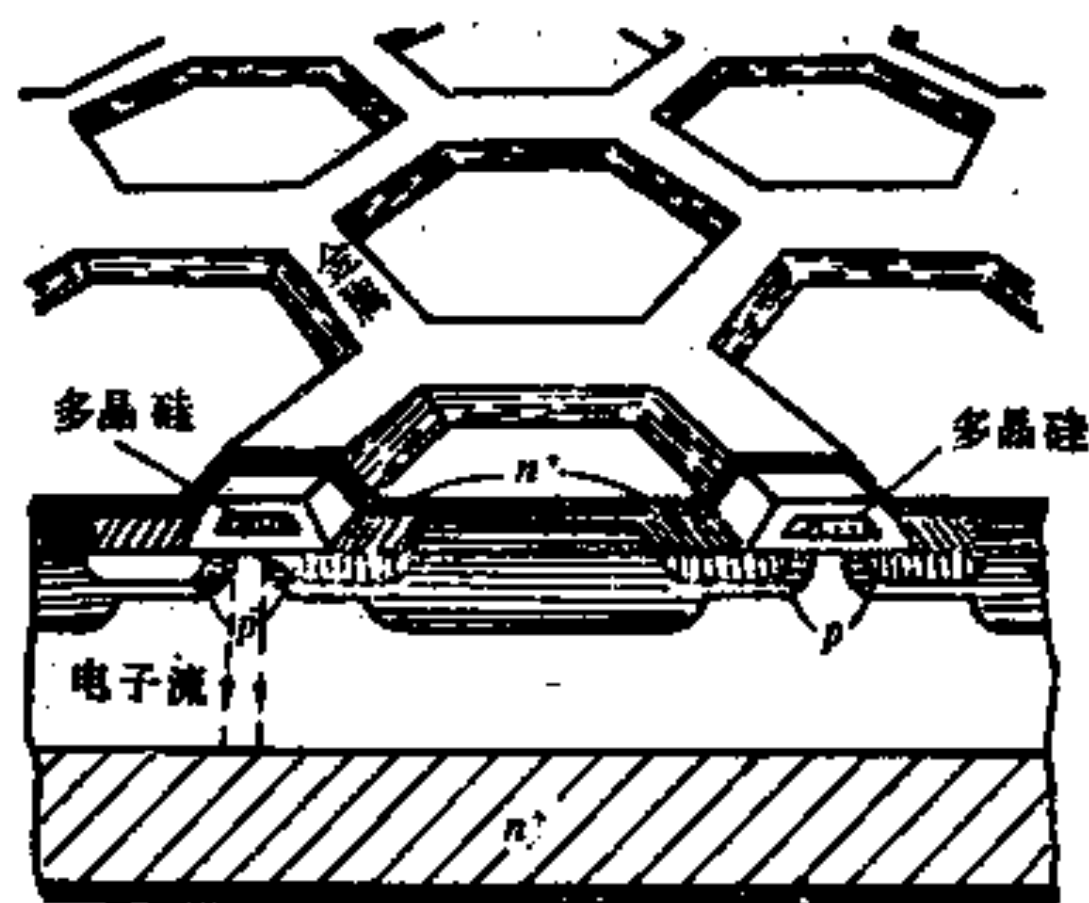


图 4-16 HEXFET 的剖面图

的制造过程如图 4-17 所示。在 N^+ 衬底外延 N^- 层的 (100) 硅片上，先开窗口做硼的定域扩散，得 P^+ 层，此层是为了保证以后 P 型区与源电极有良好的电接触，再开窗口依次做硼及磷的扩散，所得 N^+ 区的结深比 P 区的浅（实现沟道自对准）， N^+ 区即为源区，然后去除原有的氧化层，进行栅氧化，栅氧化质量要求较高，其表面态密度至少应小于 $10^{11}/\text{cm}^2$ ，栅氧化层覆盖

于P区上，并与N⁺区有一些重叠覆盖，此后，淀积掺杂多晶硅，再在其上低温淀积二氧化硅，最后做源金属化，并使P衬底与N⁺源区形成短路。

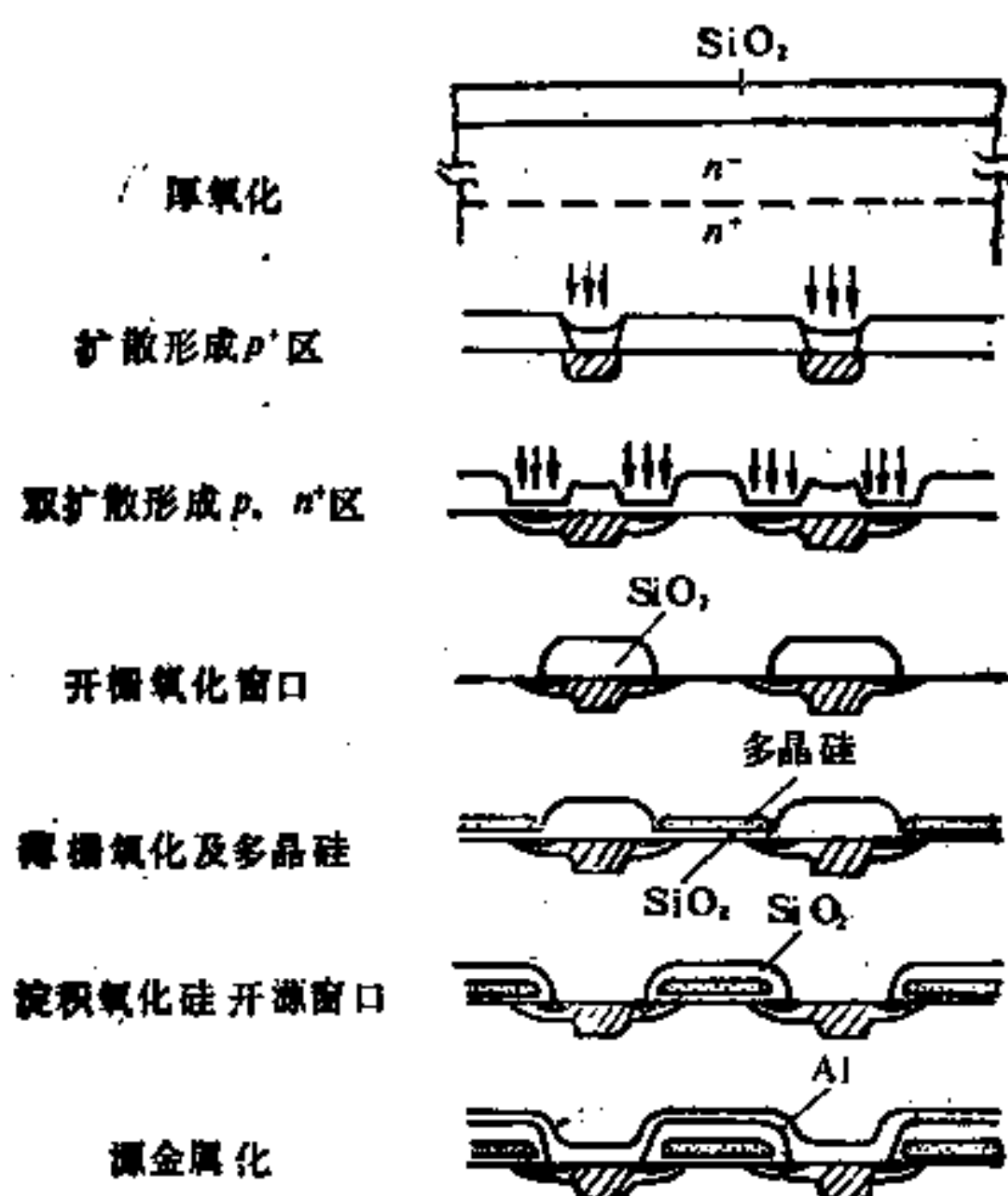


图 4-17 VDMOS 的一种典型工艺过程
(栅与沟道非自对准)

图 4-18 示出另一种工艺过程，与上法不同是浓硼扩散（第一次硼扩散）之后将氧化层全部去除，再全部进行栅氧化和覆盖多晶硅，然后再开窗口做淡硼及磷扩散。沟道长度由这两次扩散进入氧化层下的结深决定，双扩散使栅的位置与沟道实现了自对准。

由于80年代以来 VVMOS 逐渐被 VDMOS 所取代，也由于它们的特性有许多类似之处，因此以后以 VDMOS 为讨论对象。

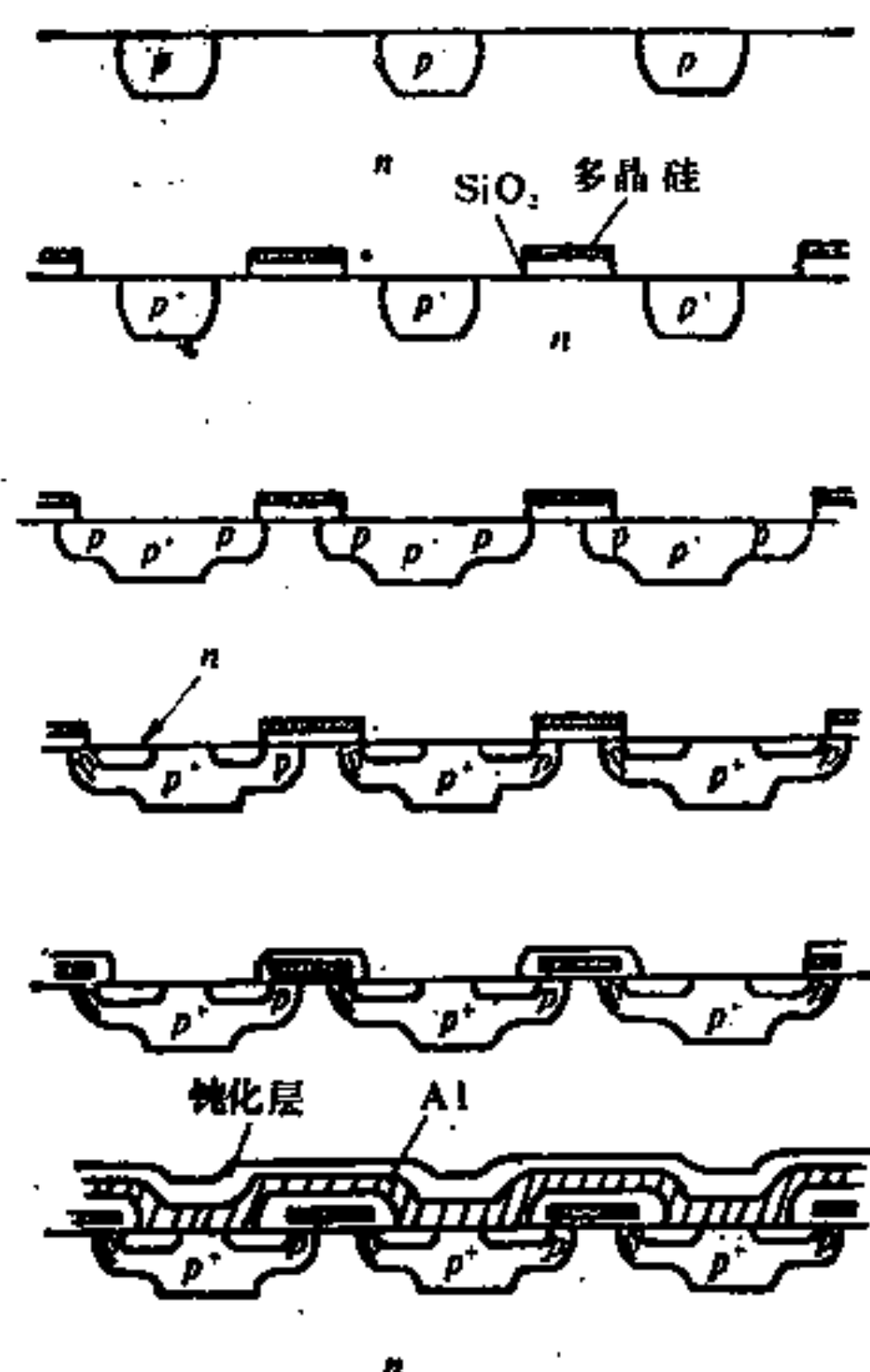


图 4-18 VDMOS的一种自对准工艺过程

3. 击穿电压

如将 P 岛底面相联的平面当作等位面，则内部电场分布是一个典型的 P^+NN^+ 二极管情形，已示于图 4-13 中。如耗尽层边缘达到 N^+ 衬底时，最大电场恰达到临界电场 E_c ，则此时电压就是击穿电压 V_{BR} ，即

$$E_c = \left(\frac{2qN_D V_{BR}}{\epsilon_s} \right)^{1/2} \quad (4-3)$$

利用文献 [13] 关于 E_c 的近似式可得

$$V_{BR} \approx 2.93 \times 10^{12} N_D^{-2/3} \text{ [V]} \quad (4-4)$$

由 V_{BR} 及 N_D 可确定这时的 N 区厚度 W 。

实际功率 MOS 的耗尽区是穿通情形, 根据上章理论可知此情形下的击穿电压为

$$V_{BR} = E_C \cdot W - \frac{qN_D W^2}{2\epsilon_s} \quad (4-5)$$

这种 W 与 N_D 及 V_{BR} 的关系如图 4-19 的实线所示^[14]。

但是, 这样得到的导通电阻为: $\rho \cdot W / (\text{电子流的面积})$, 其中电阻率 $\rho = 1/q\mu_n N_D$ 。因为 (ρW) 比较大, 导通电阻也大,

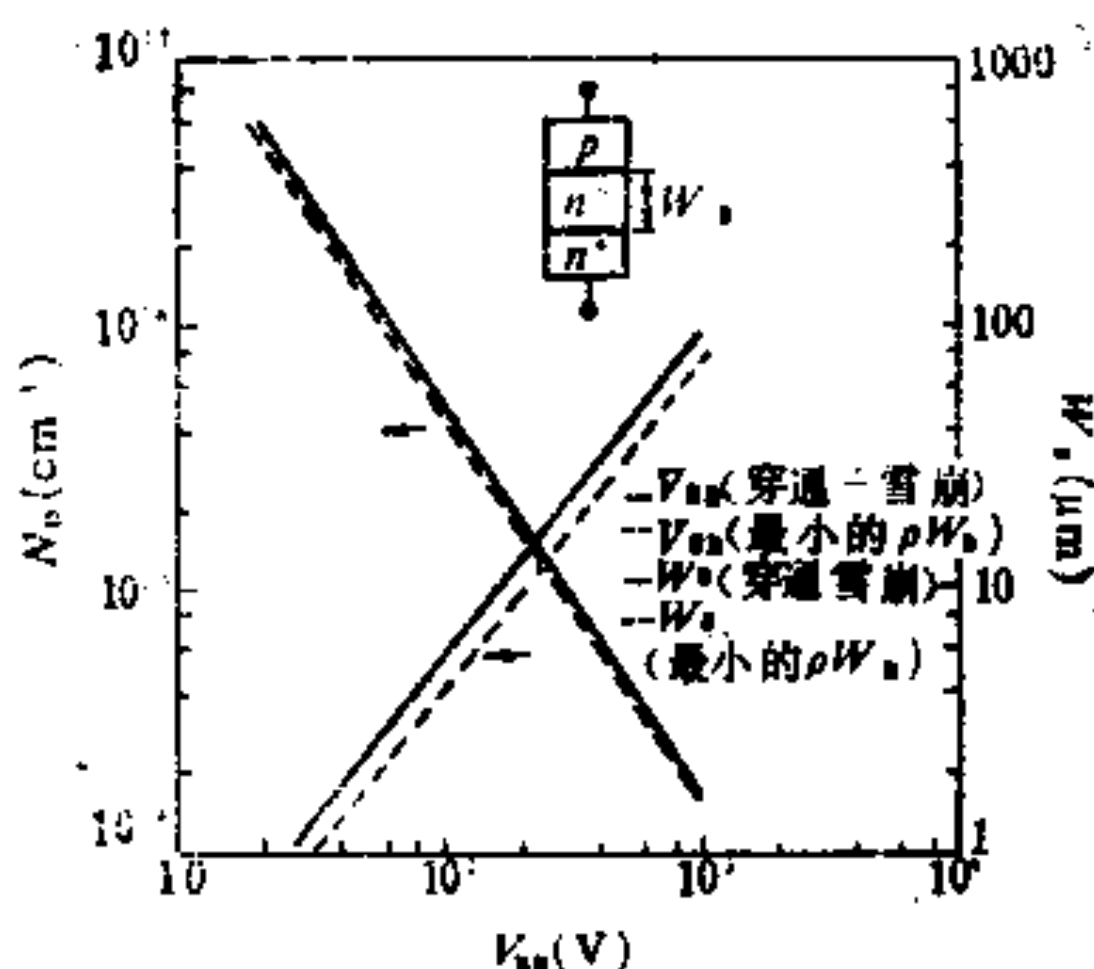


图 4-19 外延层掺杂浓度及厚度与击穿电压的关系 (PN⁻N⁺ 为穿通二极管)

为了减小导通电阻, 不仅要采用穿通二极管的方式, 还要使 (ρW) 尽可能小, 这两个条件为式 (4-5) 及下式

$$-\frac{\partial}{\partial N_D} (\rho W) = 0 \quad (4-6)$$

由这两式得到的结果如图中虚线所示。用此图可设计一定耐压下需要的 W 及 N_D , 但应考虑下面两点: 1. 实际上由于终端耐压及材料不均匀性等限制, 理论设计的耐压应比实际要求的高, 例如高15%; 2. W 加上 P 岛厚度才是 N⁻ 外延层厚度, 前者一般可

取 $5\mu\text{m}$ 。

上述击穿电压的公式及曲线适用于 VDMOS，在同样 W 及 N_D 下，VUMOS 的击穿电压低于 VDMOS 的，而 VVMOS 为最低。这是因为，VDMOS 在 P 岛之间的外延层上覆盖有栅电极，使得外延区表面的电位接近于 P 岛的电位（参考图 4-14），从而靠近表面的等位线比较平坦，电场的峰值不会太大。而 VUMOS 在 U 槽底部的栅转折处附近可以有很大的电场，因此击穿电压相对较低。

Temple 等对一定 N_D 及 W 的情形下，如图 4-20 所示的各种 P 岛间距及栅覆盖宽度（图中的 b ）进行了计算，其结果示于图 4-21 中^[16]，由图可知，对栅覆盖全部漏区的 VDMOS，P 岛间距 x 在很大范围内变化，击穿电压几乎不变。而对 VUMOS，则击穿电压较低，而且 x 愈小，电场的尖端集中效应愈是显著，击穿电压愈低。如果无栅覆盖于漏的外延区上，则 VDMOS 及 VUMOS 的击穿电压均下降。理所当然的，这时 P 岛之间的间隔愈大，击穿电压愈低。

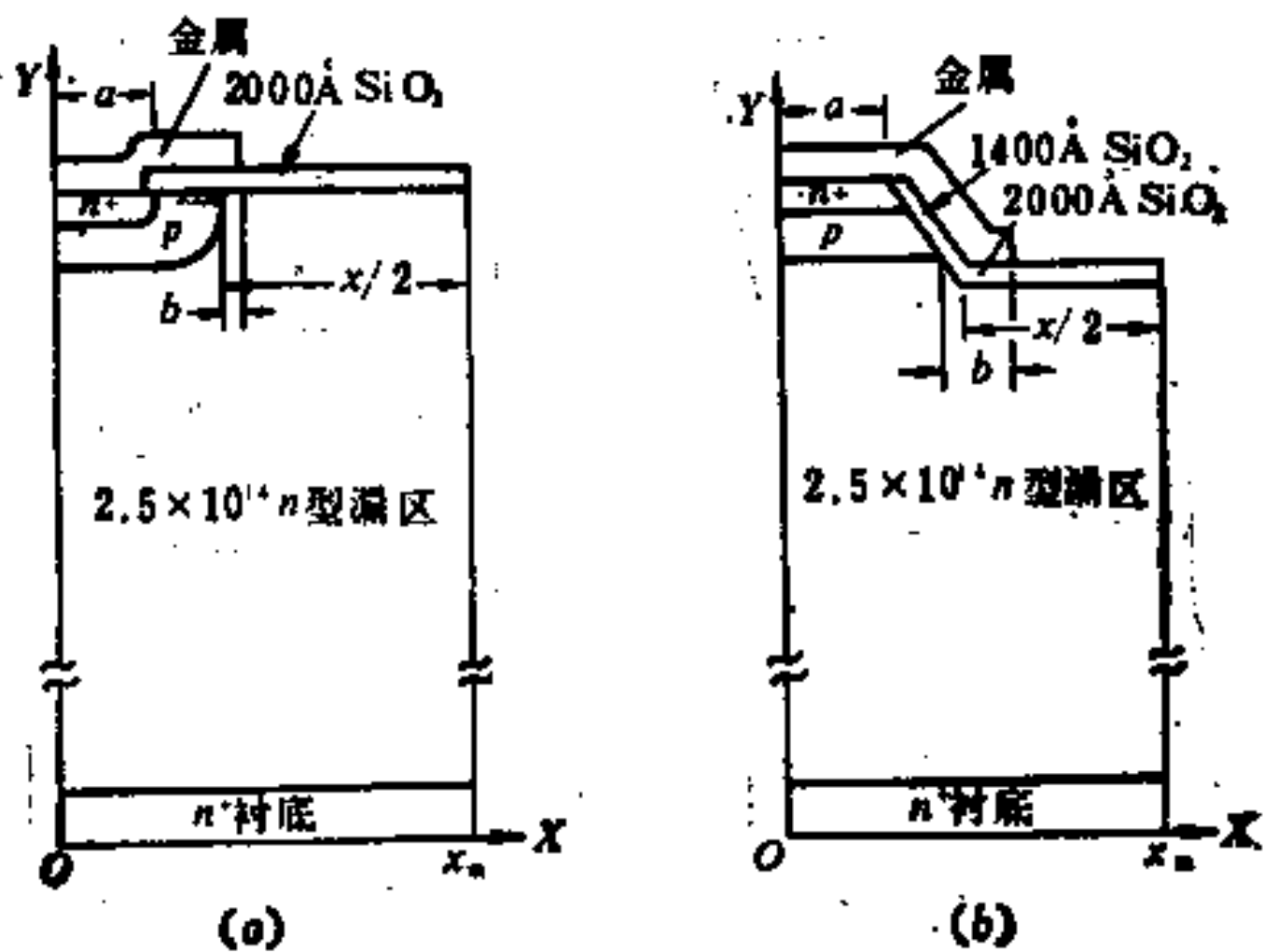


图 4-20 具有部份漏交叠区的 VDMOS(a)及VUMOS(b)

对 VVMOS，如果 V 槽的刻蚀恰到好处，使槽底与 PN 结的冶金结面一致，则击穿电压与 VUMOS 的 $x=0$ 的情形一样。但如果 V 槽过深，则 V 槽底部电力线集中，击穿电压下降，这对 VVMOS 的工艺提出了较高的要求。

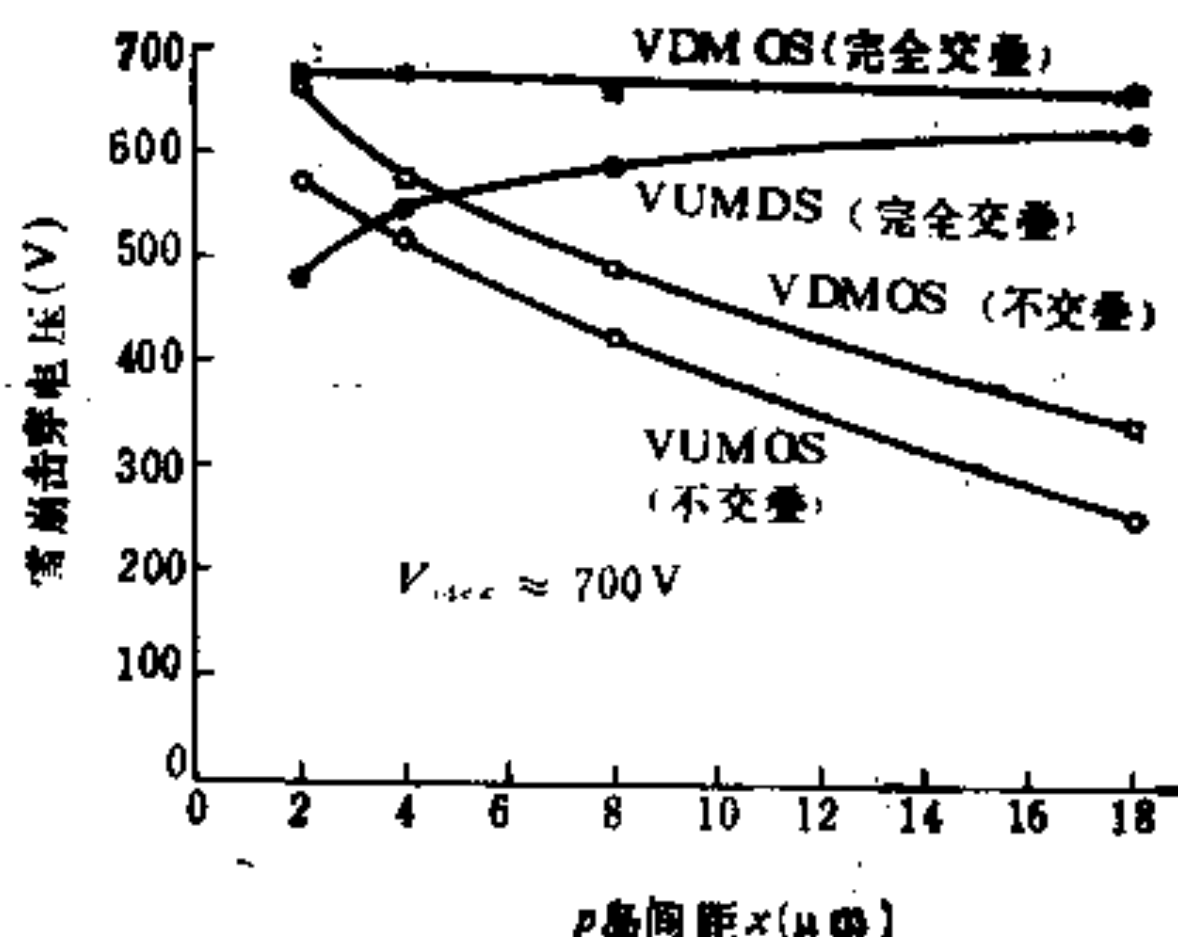


图 4-21 对图 4-19 两种情形计算所得
击穿电压与 P 岛间距 x 的关系

应当指出，从理论上讲，并不是 P 岛之间的距离愈小愈好，因为间距小时，电子向下流的通路变窄，导通电阻也就变大。图 4-22 示出几个不同元胞尺寸下，这部分电阻 R_D 相对值与栅覆盖的关系。栅覆盖的状况用 $2b/(a+b)$ 表示，其中 b 及 a 的定义见图 4-20。对于 VDMOS 及 VUMOS， b 值都比较大，横座标 $2b/(a+b)$ 大于 1，这时每元胞的 R_D 几乎不随元胞尺寸 $2x_m$ 变化。 $2x_m$ 太小时， R_D 将增加，但是在 $2x_m > 8\mu\text{m}$ 这个目前一般工艺能达到的范围内，间距太小引起 R_D 增加的问题并不存在，而且由于 x_m 增大，单位面积所含元胞数减少，故单位面积导通电阻增大。因此现在工艺条件下，间距还是应尽可能小，而且间距缩小，栅漏之间的电容也减小，这对高频是有利的。

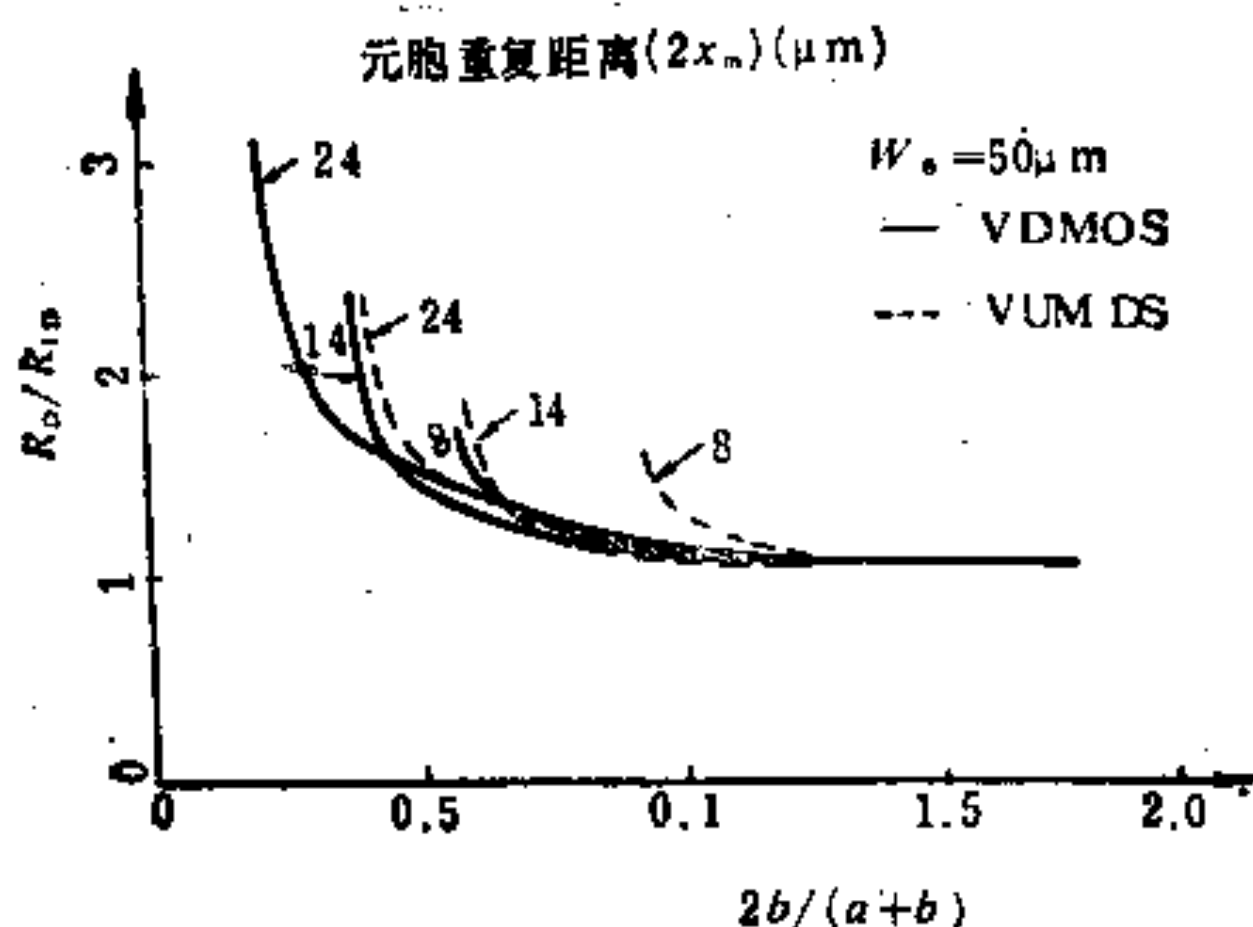


图 4-22 VDMOS 与 VUMOS 电子向下流的电阻（归一化）与栅漏覆盖的关系

4. 一般 MOS 在放大区中电流与电压关系的简单理论

为了对功率 MOS 与一般 MOS 的 $I \sim V$ 特性的异同有一个清楚的了解，我们在讲功率 MOS 的 $I \sim V$ 特性之前，先对一般 MOS 的 $I \sim V$ 特性作一简单回顾。

栅电压 V_G 低于阈电压 V_{th} 时，P 区表面没有 N 沟道，这时漏极电流 I_D 为零，但当 V_D 大于击穿电压时， I_D 猛增。

V_G 超过 V_{th} 后，P 区表面出现反型层，有 N 沟道存在，沟道单位面积电子电荷近似为 $Q_n = C_{ox}(V_G - V_{th})$ 。其中 C_{ox} 代表单位面积的氧化层电容

$$C_{ox} = \frac{\epsilon_s}{t_{ox}} \quad (4-7)$$

这里 ϵ_s 及 t_{ox} 分别是氧化层的介电系数及厚度。

漏极加电压 V_D （源为参考点）时，沟道中电位 V 随地点变化，单位面积电子电荷为

$$Q_n = C_{ox} (V_G - V_{th} - V) \quad (4-8)$$

同时，由于沟道中存在电场 $-dV/dx$ ，故 I_D 为

$$I_D = ZQ_n\mu_n\left(-\frac{dV}{dx}\right) = Z\mu_nC_{ox}(V_G - V_{th} - V)\frac{dV}{dx} \quad (4-9)$$

其中 Z 是沟道总宽度，上式两边乘 dx 再沿沟道积分，并考虑到 I_D 是常数，而 V 之值在 $x=0$ 处为零，在 $x=L$ 处为 V_D ， L 是沟道长度，这样得到

$$\begin{aligned} I_D &= \frac{C_{ox}\mu_nZ}{L} \left[(V_G - V_{th})V_D - \frac{V_D^2}{2} \right] \\ &= \frac{\epsilon_{ox}\mu_nZ}{t_{ox}L} \left[(V_G - V_{th})V_D - \frac{V_D^2}{2} \right] \end{aligned} \quad (4-10)$$

其中 Z 是栅的总宽度。

根据上式，当 V_D 很小时， I_D 与 V_D 成线性关系，称为线性区或三极管区，当 $V_D = (V_G - V_{th})$ 时，电流最大，这时的 V_D 称为漏饱和电压 $V_{D(sat)}$ 。当 $V_D > V_{D(sat)}$ 时，沟道末端出现耗尽区，其上压降为 $V_D - V_{D(sat)}$ ，而沟道中电场近似不变，故电流不变，称为饱和区域或五极管区：

$$I_{D(sat)} = \frac{C_{ox}\mu_nZ}{2L} (V_G - V_{th})^2 \quad (4-11)$$

上述一般 MOS 的简单理论对功率 MOS 只在 V_D 极小时适用，当 V_D 较大时， N^- 耗尽层向 N^+ 方向扩展，而有源区沟道末端的有效漏电压远低于 V_D （参考图 4-14），且电流经过外延区还要产生压降，使问题复杂化（见下小节）。

在 VDMOS 中， L 一般为 $1 \sim 2 \mu m$ ， t_{ox} 一般为 $0.1 \mu m$ ， $\epsilon_{ox} = 3.9\epsilon_0$ ， ϵ_0 是真空介电常数，由此可用式 (4-11) 计算饱和电流，或由饱和电流估计所需之栅宽 Z 。但是，由于 VDMOS 沟道很短，当有效漏电压超过数伏时，沟道中电场可达 $10^4 V/cm$ 数

量级。这时沟道中电子发生速度饱和效应，沟道电流将受限于速度而与漏电压无关，这时电流为

$$I_{D(\text{sat})} = C_{ox} (V_G - V_{th}) Z v_s \quad (4-12)$$

其中 v_s 之值可取为 $6 \times 10^7 \text{ cm/s}$ ，上式可作设计的参考。

在输出端电压 V_D 恒定时，输出电流 I_D 随输入电压 V_G 的变化用跨导 g_m 表示，根据上述两种模型，即式 (4-11) 及式 (4-12) 得

$$g_m = \frac{C_{ox} \mu_n Z}{L} (V_G - V_{th}) \quad (4-13)$$

$$g_m = C_{ox} Z v_s \quad (4-14)$$

5. 功率 MOS 的 $I \sim V$ 特性

图 4-23 示出功率 MOS 不同 V_G 值下的 $I_D \sim V_D$ 特性，源电位为零，因此 V_D 代表漏源电压， V_G 代表栅源电压。总的来讲可

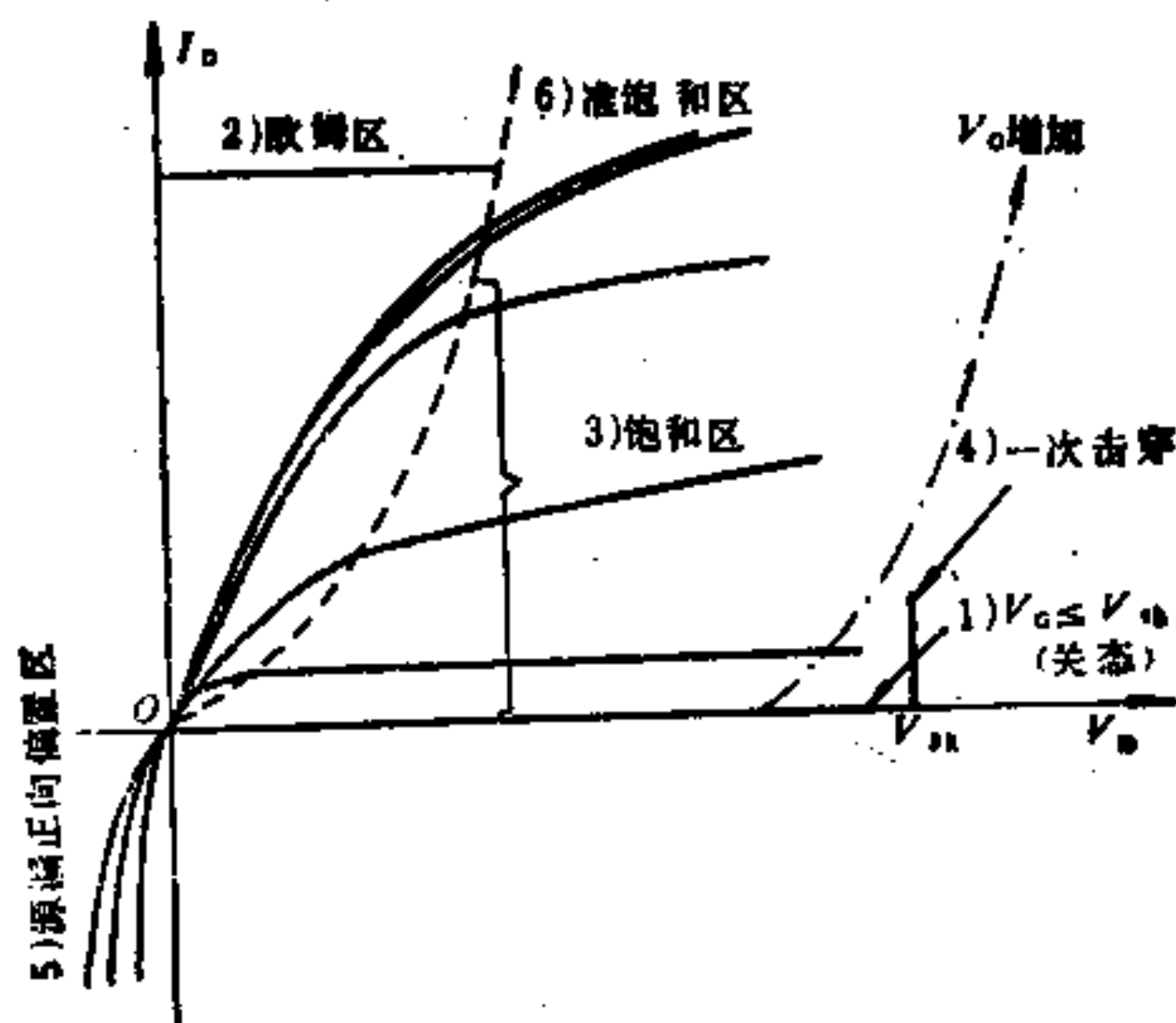


图 4-23 输出 $I \sim V$ 特性的几个不同区域

分为六个区域：1) 截止区，这是 $V_G \leq V_{th}$ 的情形， V_D 从零开始变大，电流始终接近于零，直到击穿电压 V_{BR} 为止；2) 欧姆区，又称为线性区，这是 $V_G > V_{th}$ 但 $V_D < V_G - V_{th}$ 的情形，这时沟道未夹断；3) 饱和区，这时 $V_D > V_G - V_{th}$ ，且 $V_G > V_{th}$ ，沟道已夹断， V_D 增大， I_D 变化很小；4) 击穿区，这是 $V_D \geq V_{BR}$ ，电流没有限制的情形；5) 源漏二极管的正向偏置区，这时源接正电压，漏接负电压，与源相通的 P 衬底和 N^+ 之间的 PN 结上加了正向偏置，电流随电压增加而急剧增加。这个区域通常不用到，不在我们讨论范围之内；6) 准饱和区， V_G 很大时， I_D 本身很大，但随 V_G 的增大没有很显著的增加。

低耐压器件 ($V_{BR} < 100V$) 的特性的特点之一是在饱和区， I_D 随 V_G 是线性增加的，如图 4-24 所示。这时跨导 $g_m = \partial I_D / \partial V_G$ 是常数，这种关系发生在 $V_G > V_{GC}$ 时。这是因为，功率 MOS 的沟道很短 ($L < 2\mu m$)，因此沟道中电场在饱和区时是很高的，电场强度已超过载流子速度开始出现饱和的临界电场 E_s 。 E_s 对 N 型沟道约为 $2 \sim 3 V/\mu m$ ，速度饱和对应的 V_D' 为 $L \cdot E_s$ ，故 V_{GC} 可由沟道恰好夹断时的值定出：

$$V_{GC} - V_{th} = LE_s \quad (4-15)$$

V_{GC} 下对应的 I_D 在图 4-24 中用 I_{DC} 表示。显然 $V_G < V_{GC}$ 时，沟道末端被夹断， V_G 越小，有效沟道长度越短。因此这时 g_m 随 I_D 增加而增加，图 4-25 示了 g_m 随 V_G 变化的实际关系。

功率 MOS 与一般 MOS 另一显著不同处是在饱和区输出特性曲线很平，即输出阻抗很高，远大于一般 MOS。关于这一点，作者的解释如下：由图 4-14 可知，对有源区起有效漏电压作用的 V_D' 本身远小于漏电压 V_D ，当 V_D 变化时，由于 P 阱对电场有一定屏蔽作用，P 区的表面的边界上电位 V_D' 变化甚小。再者，这时在沟道区电子本身速度是饱和的，随 V_D' 的变化又极小，因此，电流几乎与 V_D 值无关（实际上有别的因素使电流随 V_D 变化，在后面讨论）。

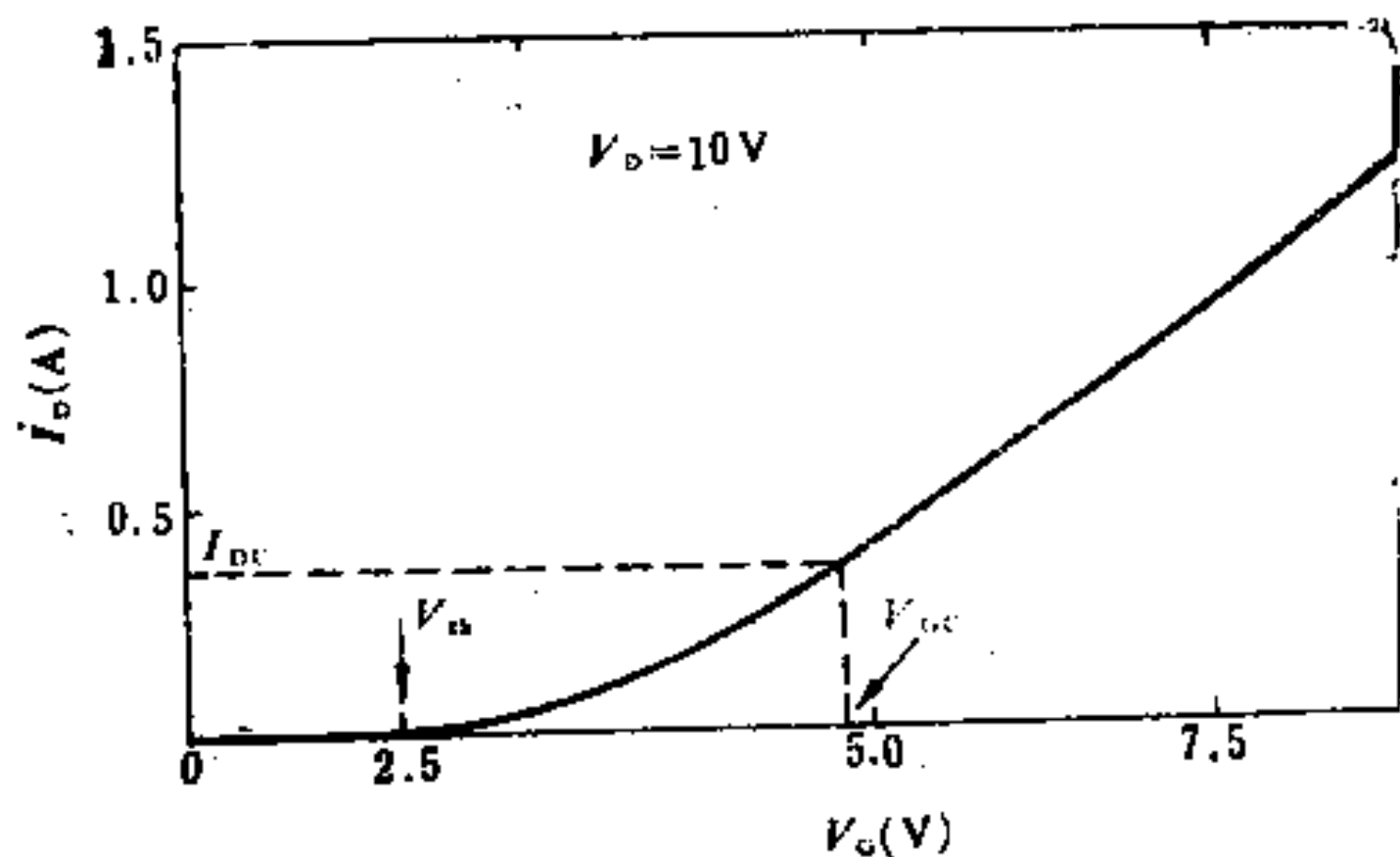


图 4-24 在饱和区, $V_G > V_{G0}$ 时,
 I_D 与 V_G 为线性关系

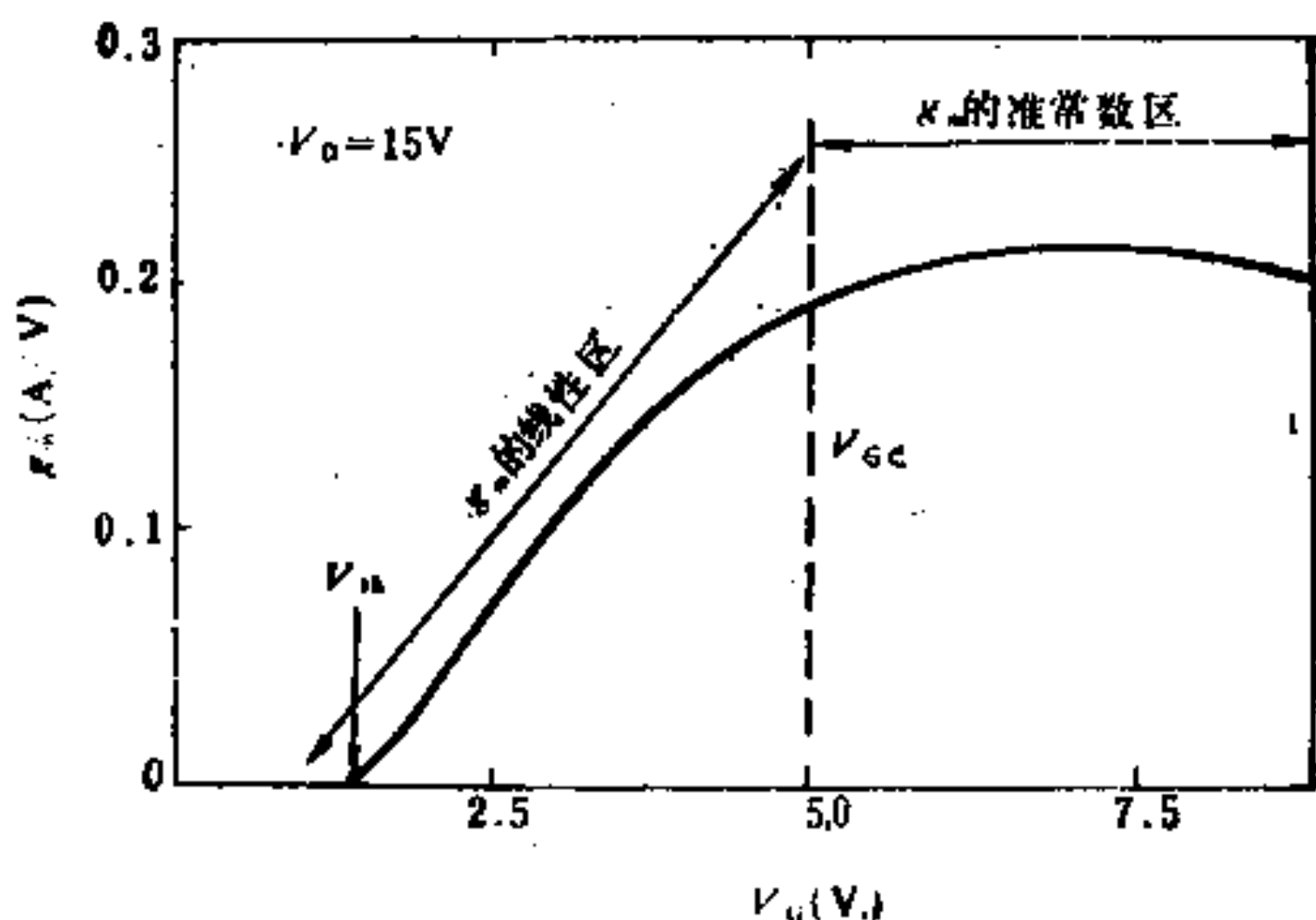


图 4-25 饱和区跨导与 V_G 的关系

再一个与一般 MOS 不同处是后者一般并没有准饱和区, 功率 MOS 的这一区特点是: 1) V_D 增加 I_D 也增加 (不饱和); 2) V_G 增加, I_D 几乎不增加, 即 V_G 增加时 $V_D \sim I_D$ 表现有一极限, 特别是高耐压的管子 ($V_{BR} > 300V$) 中出现这一区域, 其解释如

下^{〔11〕}，在两个 P 阱之间的 N 外延层两旁均有耗尽区，如图 4-26(a)所示。这一段电阻在图中用 R_D 表示，这相当于在有源区的 MOS 管上又串联了一个漏电阻，如图 4-26(b)所示。 R_D 受 V_D 调制，相当于一个结型场效应管，在 V_D 很大时，此管甚至被夹

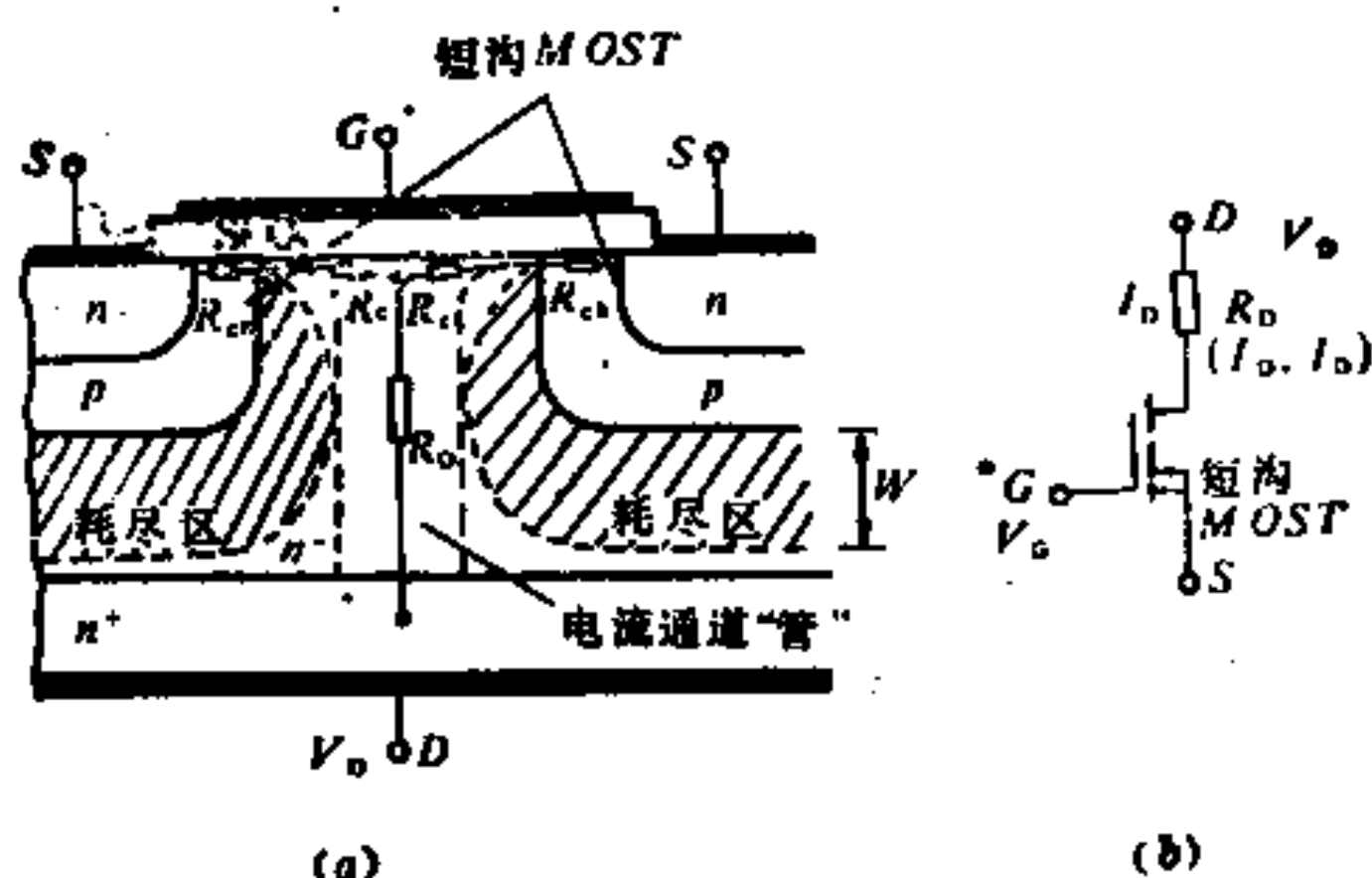
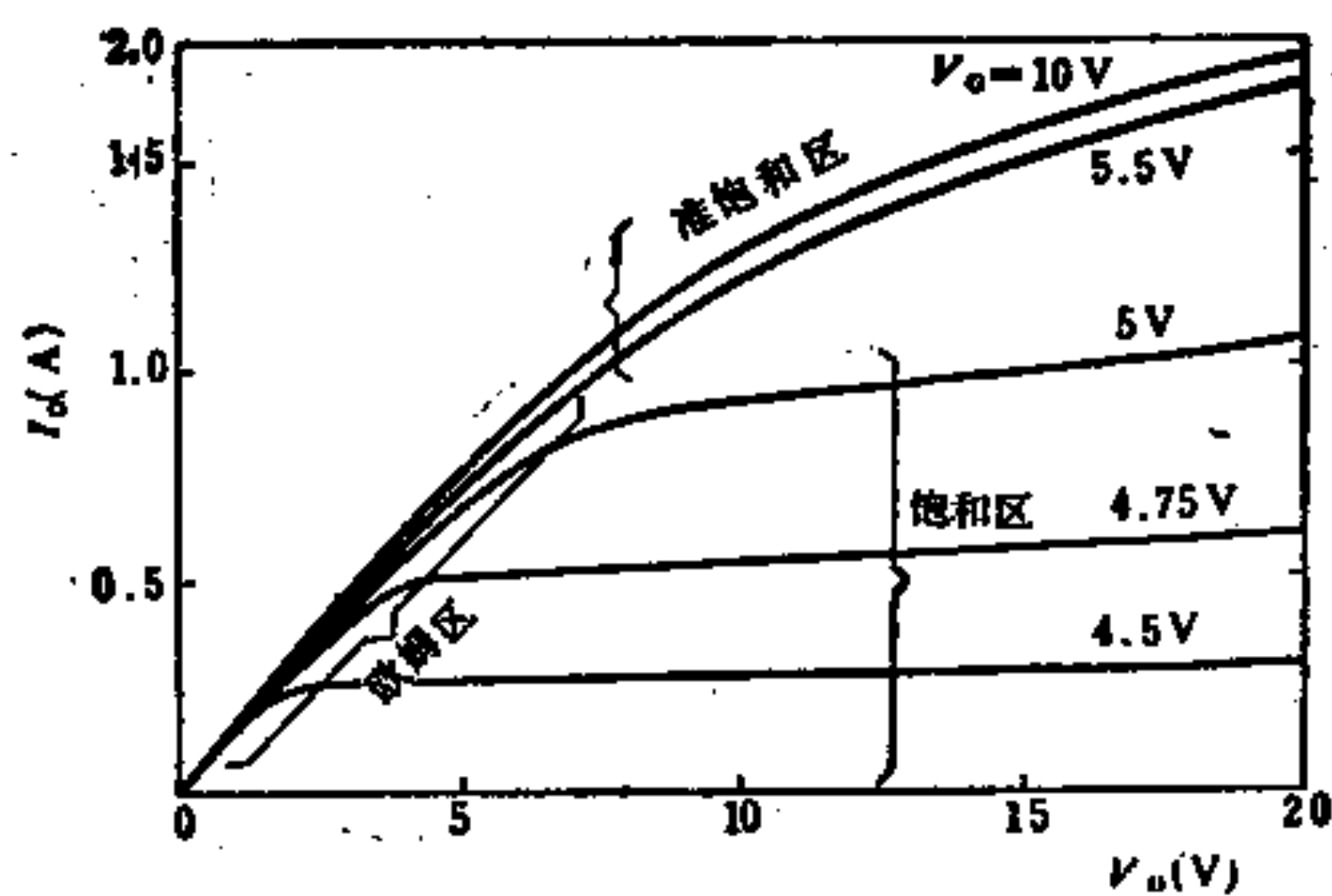


图 4-26 N-区电流通道受 V_D 调制导致准饱和效应
(a) N-区电流通道被夹的情况；(b) 等效电路

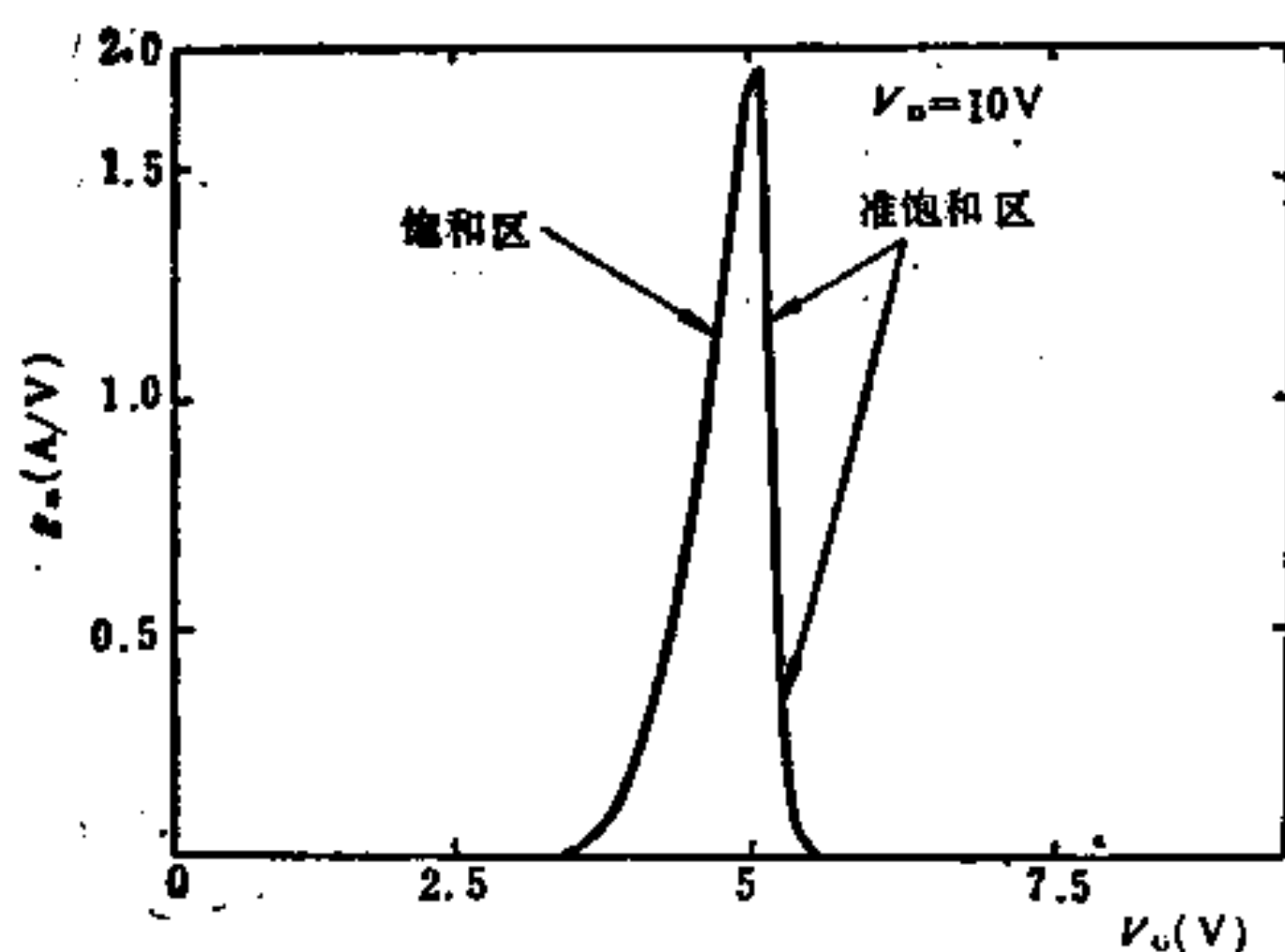
断，在一级近似下，对高压 VDMOS 此电流通道当作一个截面均匀的“管”，耗尽区在 P 阱下面的厚度近似等于此管厚度的减少，即将侧向耗尽区的厚度用作一维近似结果，若完全没有耗尽区时，此“管”电阻为 R_{D0} ，则耗尽区存在时， R_D 由下式决定：

$$\frac{1}{R_D} \left(= \frac{dI_D}{dV_D} \right) = \frac{1}{R_{D0}} - \frac{1}{A(V_D + \phi_D)^{\frac{1}{2}}} \quad (4-16)$$

其中 A 为常数， ϕ_D 为 PN 结的扩散电势，由于存在这个电阻，有源区的漏电压 V_D' 始终低于夹断电压，电流不会饱和。存在准饱和现象的主要后果是：1) 电流有一个本征限制；2) 当 MOS 运用在准饱和区时跨导急剧下降，如图 4-27 所示。



(a) 输出特性



(b) g_m 随 V_{DS} 的变化 ($V_{GS}=10V$)

图 4-27 一个高压 VDMOS ($V_{BR}=1000V$) 的输出特性及 $V_{GS}=10V$ 时的 g_m 随 V_{DS} 的变化

6. 温度影响及安全工作区

器件有电流时其功耗 $I_D V_{DS}$ 会引起芯片温度升高，在定态下

芯片温度 T_{chip} 与管壳温度 T_{case} 间的关系由功耗及热阻 $R_{(th)j}$ 决定, 为

$$T_{chip} - T_{case} = R_{(th)j} \cdot V_D \cdot I_D \quad (4-17)$$

$R_{(th)j}$ 的典型值对 16mm^2 的芯片为 $1^\circ\text{C}/\text{W}$ 。

温度升高导致迁移率下降, 载流子速度降低, 这一事实反映在 $I_D \sim V_D$ 的特性曲线上: $I_D V_D$ 大时曲线有负的斜率, 见图 4-28 标有 $V_G = 6\text{V}$ 的一条曲线。此图的每条曲线的每点都是在热稳定条件下测出的, 由此可见, 由于过热, 静态特性曲线表现有负的输出电阻^[16]。但是, 如果 V_G 是短的电脉冲, I_D 也是短脉冲, 则并不存在 I_D 随 V_D 增加而下降的现象, 这种负阻并不会在电路中引起高频振荡。

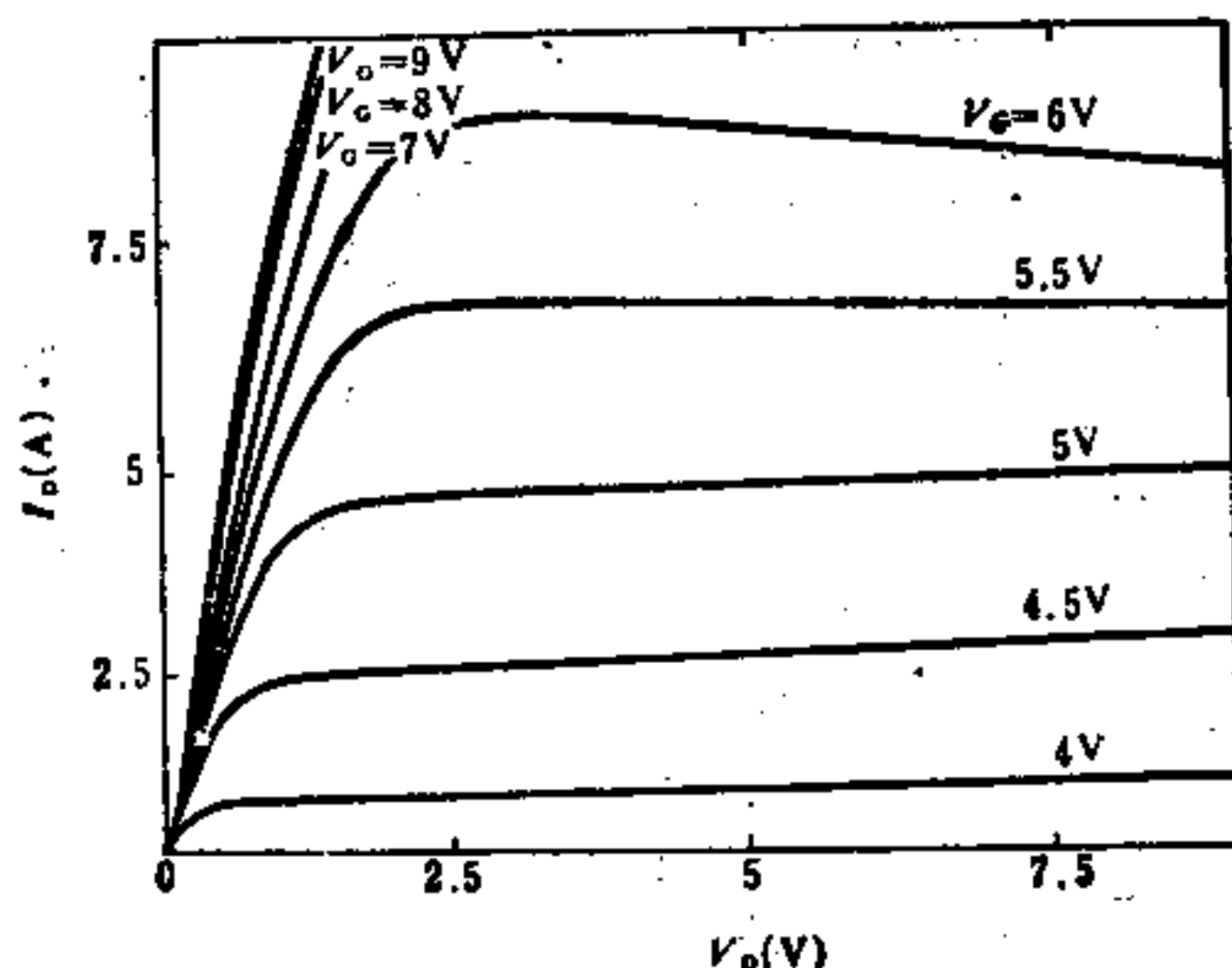


图 4-28 输出特性中由于芯片自加热引起负阻 (低压器件 $V_{BB} = 100\text{V}$)

温度升高的另一作用是导通电阻 R_{on} 增加, 沟道区是少子电流, 其迁移率随温度按 $T^{-1.5}$ 变化。漂移区是多子电流, 其迁移

率随温度按 $T^{-3.5}$ 变化。在 -50°C 到 $+150^{\circ}\text{C}$ 的范围内， R_{on} 可表示为与温度成线性关系^[17]：

$$R_{\text{on}}(T) = R_{\text{on}}(T_0) \left(1 + \alpha \frac{T - T_0}{T_0} \right) \quad (4-18)$$

其中 T_0 是参考温度（例如 300K ）。 V_{BR} 低于 200V 的低压器件， $\alpha = 1.5$ ， V_{BR} 高于 300V 的高压器件， $\alpha = 2.5$ 。 α 系线性因子。

$I_{\text{D}} \sim V_{\text{D}}$ 特性的安全工作区如下：

1) V_{D} 的最大电压为 PN^- 二极管的雪崩击穿电压，在图 4-29(a) 中用直线 1) 表示；

2) 最大功耗 $I_{\text{D}}V_{\text{D}}$ 相当于芯片温度为 150°C 的一个常数，按 MOS 的性质本身而言，温度可比 150°C 高。但从可靠性的一般考虑出发，选 150°C 较为保险，这在图 4-29(a) 中用边线 2) 表示；

如果是脉冲运用，则脉冲宽度短（占空率小）时，同样温度下 $I_{\text{D}}V_{\text{D}}$ （脉冲值）可以更大。

3) 最大漏电流 I_{D} ，这决定于栅上可加的电压值，另一方面，在一定的 V_{G} 下，最大 I_{D} 是芯片温度的函数。因此 I_{D} 如为脉冲电流，则其宽度短（占空比小），最大 I_{D} 也大，这个电流限制在图 4-29(a) 中用曲线 3) 表示。

4) 二次击穿，功率 MOS 在文献中常被称为是无二次击穿的器件，但严格讲，在源（ N^+ ）漏（ N^+ ）间存在 P 区，构成寄生 N^+PN^+ 晶体管，如器件运用不当，寄生三极管 B、E 结未被可靠地短路，寄生双极型晶体管会进入有源区，因而可能造成二次击穿。图 4-29(b) 示出一个典型的二次击穿情况，当管子处于开启状态而 V_{D} 接近于雪崩击穿电压 V_{BR} 时，如果发生 N^+PN 晶体管有正常偏置，则由于 N^- 漂移区的高电场，雪崩产生的空穴流向基区，等于加了基极偏置电流，这种情况下管子的维持电压很低， $I_{\text{D}} \sim V_{\text{D}}$ 特性曲线成了竖直的，而且漏电流可以发生集中

现象，形成局部过热点，器件很快损坏。二次击穿对应的限制在图 4-29(a) 中用曲线 4) 表示。应当指出，在正常工作状态，安全工作区并不存在曲线 4)。

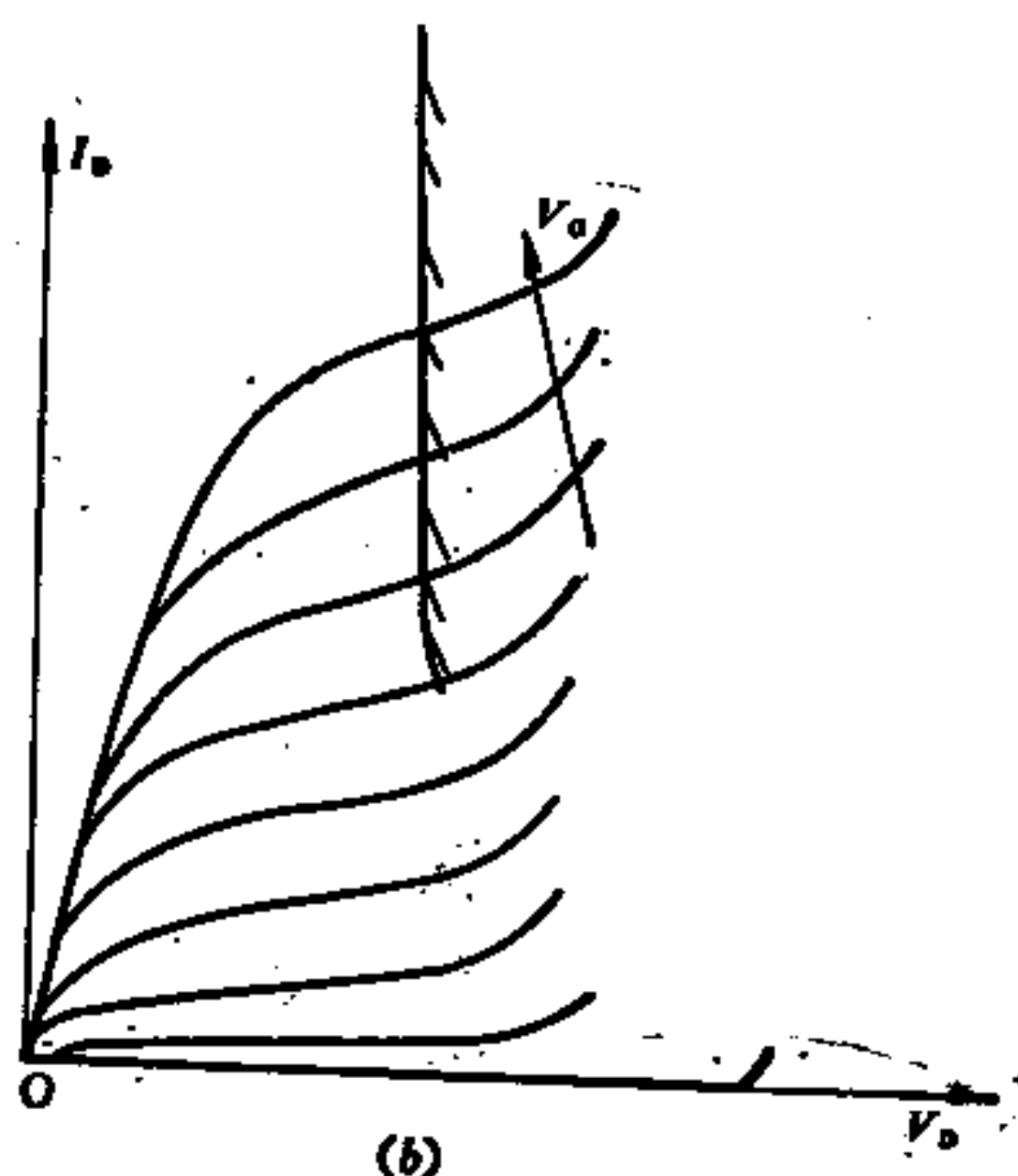
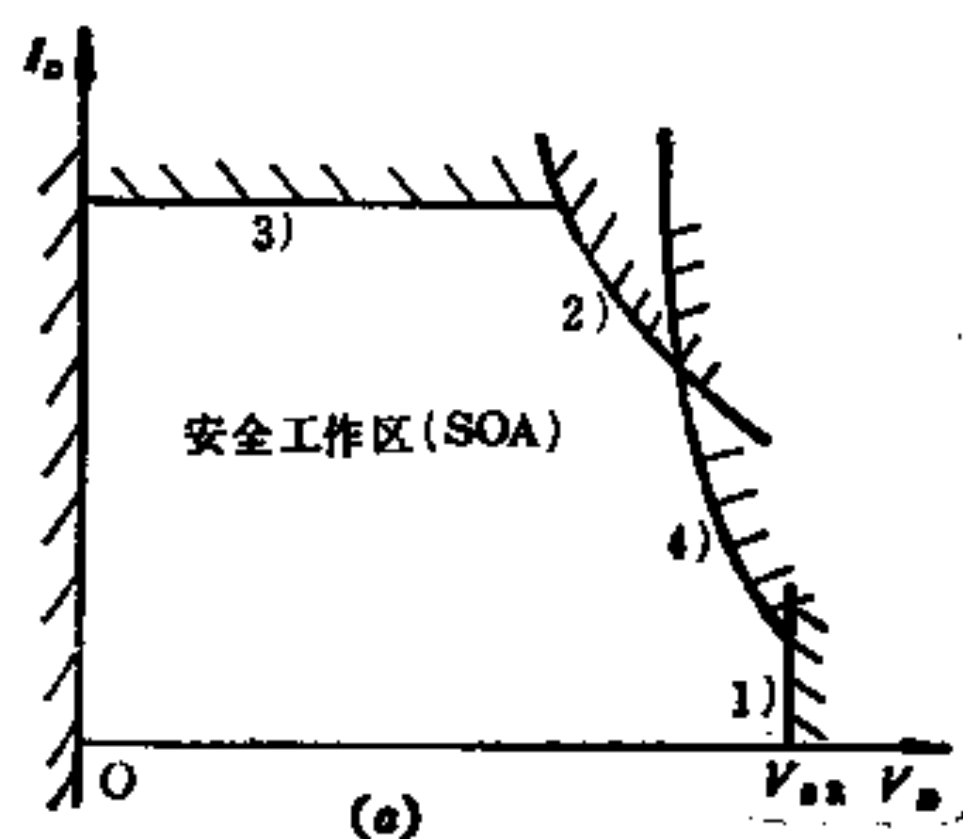


图 4-29 (a) 安全工作区, (b) 实验得到的二次击穿现象的 $I-V$ 特性

这种二次击穿与 P^+ 阱的横向电阻及电流有关，可以简单解释如下^[10]：在漏电压 V_D 时耗尽区内雪崩倍增因子照通常写法为

$$M = \frac{1}{1 - (V_D/V_{BR})^n} \quad (4-19)$$

对 Si P^+N 结，指数 n 为 4~6 之间的数值，在发射极开路时，雪崩击穿条件是 $M \rightarrow \infty$ ，即 $V_D = V_{BR}$ （通常称为 $V_{(BR)CBO}$ ）。在基极开路时，由于雪崩产生的空穴流入基区可通过晶体管再放大，雪崩击穿条件为 $M \rightarrow 1/\alpha$ ，击穿电压比 V_{BR} 低得多，为 $V_D = V_{BR}(1 - \alpha)^{1/n}$ （通常称为 $V_{(BR)CEO}$ ）。现在的电路既非发射极开路也非基极开路，粗略假设基极横向电阻为 r_b ，则现在是基极通过电阻 r_b 与发射极相联，这相当于在发射结上并联了一个电阻 r_b 的共发射极击穿条件，理论和实验表明，当基极电流 I_B 大到使 $I_B r_b$ 为 0.6V 时，就可发生击穿，因为这时发射极可注入大量电子，它们到了有强电场的耗尽区又产生雪崩，其中的空穴流向基极去满足 $I_B r_b = 0.6$ 的条件。

由此可见，前面在制造过程中讲到 N^+ 与 P^+ 区必须用金属化相短接是如何重要，否则，就相当于基极开路，击穿电压为共发射极的维持电压，远低于 V_{BR} ，而且容易发生二次击穿。同样的理由说明预先扩散的 P^+ 区对降低 r_b 有好处，对防止二次击穿有好处。

典型的功率 MOS 的维持电压为其 N^+PN 寄生晶体管的维持电压 $V_{(BR)CEO}$ 的两倍左右。

功率 MOS 在原来导通状态而被非常快速关断时，如输出回路中有电感，较容易发生二次击穿，而且这种二次击穿不是电流集中型，而是雪崩注入型^[10]。其机理如下：在 MOS 有电感性负载时，如果 V_g 突变而要关断电流，这时由于 I_D 下降，在电感负载上产生很大的电压 $(L \frac{di}{dt})$ ，这个电压使 V_D 大大增加，企图

维持 I_D 不变，这个 V_D 的增加 (dV_D/dt) 在 P^+N 结耗尽区两旁引起充、放电，即引起位移电流，如图 4-30(a)所示。如果外电路无箝位机构（如并联箝位二极管），则电压 V_D 不断增加，最后发生雪崩击穿。

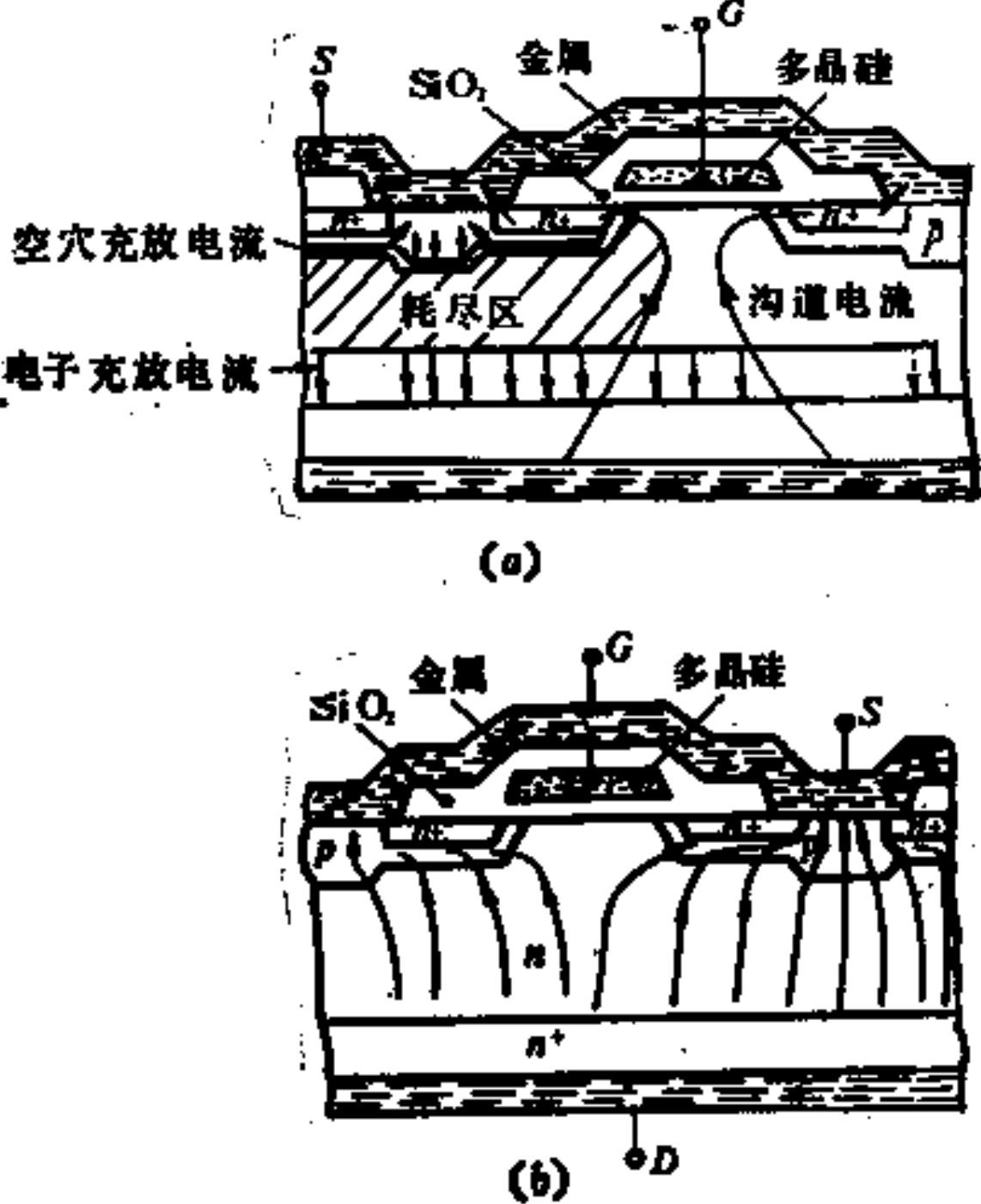


图 4-30 功率MOS在关断时可能发生的电流路径
(a) V_D 增加时的充放电电流； (b) 维持态时的电流

雪崩产生的空穴进入 P^- 区沿 P 区流动，如图 4-30(b)所示。此电流经过 P 区的横向电阻产生 0.6V 的正向 N^+P 结电压，于是“激活”寄生 NPN 晶体管，发生二次击穿。当然，这种情况下进入二次击穿的先决条件是 V_D 大到接近于雪崩击穿电压 V_{BR} 之值，进入二次击穿后电压降为双极型的维持电压 ($\approx 0.5V_{BR}$)。

由于进入二次击穿，电压迅速降低，这里等于特性有负阻，负阻特性容易导致整个电流集中在功率 MOS 的几个元胞之中。

§ 4-3 功率MOS的重要参数

1. 阈值电压

栅电压为零时, 半导体表面层可能已存在电荷, 要使它无电荷, 或者说, 要使半导体表面能带是平的, 栅上应加电压 V_{FB} , 此电压称为平带电压。这是因为: 1) 栅与 P 型半导体之间存在着接触电势差 ϕ_{MS} , 即使栅电压为零, 此接触电势差已使得栅表面的静电位比 P 型半导体低了一个 ϕ_{MS} , 即半导体表面层已有正电荷, 栅上已有负电荷。为了消除这些电荷, 栅上应加正电压 ϕ_{MS} ; 2) 半导体在与氧化层接触的界面上常存在着面电荷, 此面电荷的密度用 Q_{ss} 表示, 为了使这些电荷产生的电力线都终止在栅的表面上, 而不是进入半导体使半导体能带弯曲以产生感应电荷 $-Q_{ss}$, 那么栅上应有负的面电荷, 其面密度为 $-Q_{ss}$ 。这对正、负电荷在氧化层上的电压为 $Q_{ss}t_{ox}/\epsilon_{ox}$, 或即 Q_{ss}/C_{ox} 。由此可见, 平带电压为

$$V_{FB} = \phi_{MS} - Q_{ss}/C_{ox} \quad (4-20)$$

如果氧化层内还有其它电荷, 则它的作用可以用半导体表面有一个等效电荷来反映, 上式中的 Q_{ss} 应包括这种等效电荷在内。

阈值电压 V_{th} 定义为使半导体表面为反型层时栅上所需加的电压。它由三部分组成: 1) 栅上首先需加电压 V_{FB} 使半导体表面能带是平的; 2) 若要表面反型则半导体能带应有 $2q\phi_{FB}$ 的弯曲, 其中 $q\phi_{FB}$ 是体内费米能级到禁带中央的距离, 故栅上还应再加 $2\phi_{FB}$ 的电压; 3) 能带弯曲 $2q\phi_{FB}$ 对应着表面反型层到体内有一过渡的耗尽层, 就象 N^+P 结一样, 此耗尽层有电荷面密度 $-Q = -2(qN_A\epsilon_s\phi_{FB})^{\frac{1}{2}}$, N_A 为 P 型衬底的杂质浓度。这个负电荷需由栅上相应的正电荷来屏蔽, 因此氧化层上又需再加一个电压 Q/C_{ox} , 综上所述, 得到阈值电压

$$V_{th} = V_{FB} + 2\phi_{FB} + 2 \frac{(qN_A \epsilon_s \phi_{FB})^{\frac{1}{2}}}{C_{ox}} \quad (4-21)$$

由于制造 P 型区是靠通过掩膜的窗口扩散受主杂质而形成的，P 区表面杂质浓度不均匀，按阈电压的定义，它应使表面反型沟道处处形成，故上式中 N_A 应取最大值 N_{Amax} ，同理， ϕ_{FB} 也应取 N_{Amax} 来算

$$\phi_{FB} = \frac{KT}{q} \ln \frac{N_{Amax}}{n_i} \quad (4-22)$$

图 4-31 示出了由扩散形成的 N^+ 及 P 区的杂质浓度，这是根据有预淀积及主扩散过程的计算结果^[20]，P 区实际上由深结硼

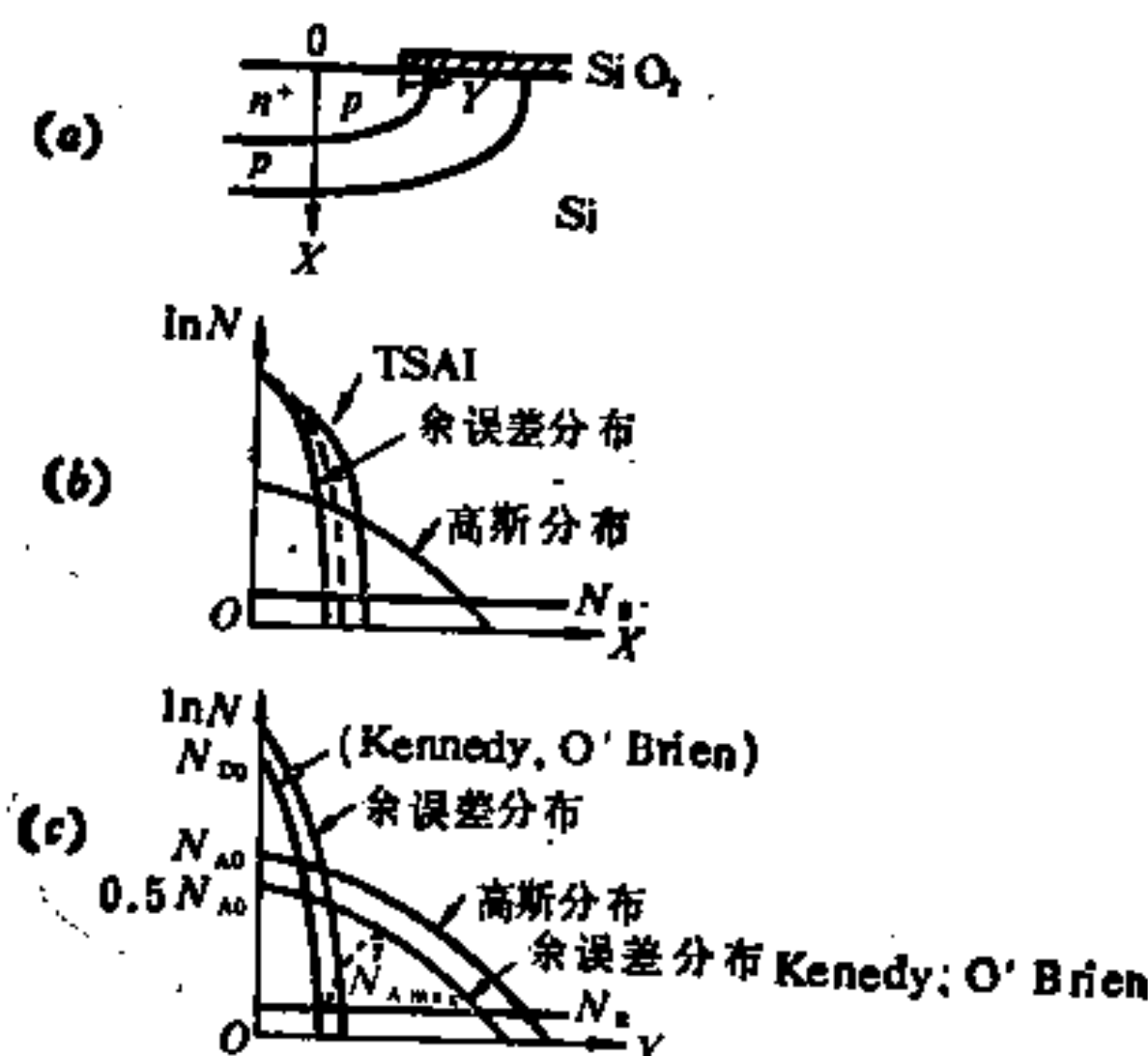


图 4-31 N^+ 与 P 区杂质分布

(a) 源及体(沟道区)扩散前沿；(b) 杂质在 x 方向的分布；
(c) 杂质在 y 方向的分布；

扩散形成，杂质沿图 x 轴的分布为高斯分布，沿 y 轴(表面)的分布为以原始浓度的 50% 为起点的余误差函数分布。图中也给出了 N^+ 区磷扩散的分布，由于这是浅结扩散，其沿 x 方向的分布

界于余误差函数分布与高斯分布之间，见图中 标有 TSAI 的曲线^[21]，P 区的有效杂质浓度如图中虚线所示，其最大值是作计算 V_{th} 的 N_{Amax} 。

在实际工作中由测量管子特性决定 V_{th} 时， V_{th} 的定义为 V_D 很小时（例如 10mV），将 I_D 随 V_G 变化的直线关系延伸到 $I_D = 0$ 时对应的 V_G 值，因为即使 $V_G < V_{th}$ ， I_D 仍不为零，存在所谓亚阈电流，如图 4-32 所示。

V_{th} 的典型值为 1~5 V，生产上， V_{th} 可由栅氧化层厚度及 P 区表面浓度进行调节，特别是采用离子注入硼，可以控制 V_{th} 之值。

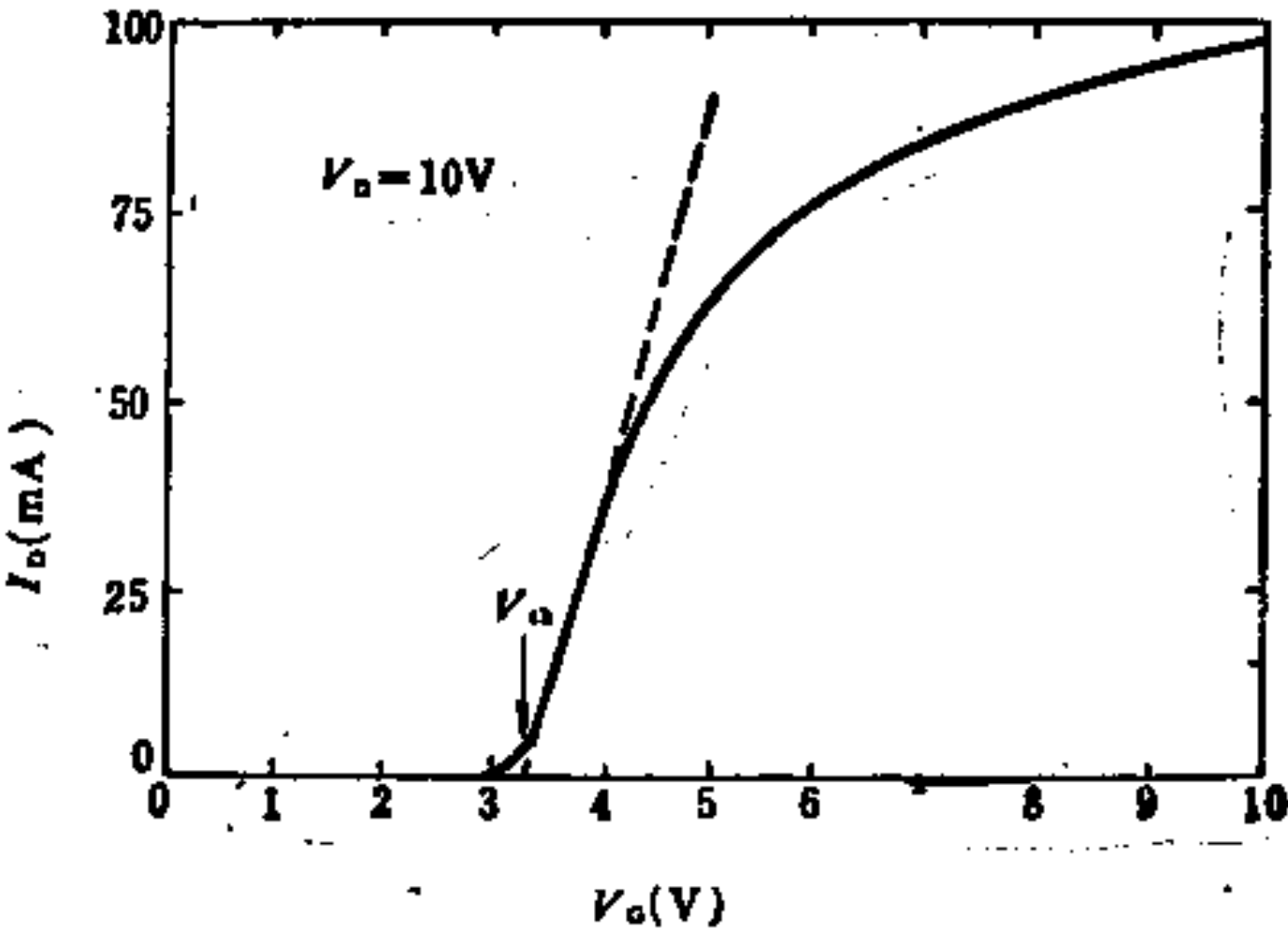


图4-32 V_{th} 的决定

2. 导通电阻

功率 MOS 由许多单元并联而成，由于导通电阻与面积成反比，因此本节讨论的均为单位面积的导通电阻，这个电阻与图形结构有关。表 4-2 列出了各种图形及有关的量^[22]。

表 4-2 各种图形有关的量

	条形元胞	方形元胞 中方形阱	方形元胞 中圆形阱	方形元胞 中六角形阱	六角形元胞 中方形阱	六角形元胞 中圆形阱	六角形元胞 中六角形阱
阱与元胞 的几何							
单位元胞							
系数 g	没有	1.0	0.8862	0.9306	1.0746	0.9523	1.0
阱外面积 元胞面积	$a/(S+a)$	$1 - [gS/(S+a)]^2$					
单位面积 的沟道 宽 Z'	$2/(S+a)$	$4g^2S/(S+a)^2$					

〔注〕三角形元胞的 P 阱角上有高电场而不利〔14〕，故未列入，蛇形元胞可当作条形元胞计算。

图 4-33 示出了功率 MOS 的电子从 N^+ 源区流经有源区、表面积累层、“颈”区(即两个 P 阱之间的区域)、外延区、 N^+ 区的有关电阻，它们分别用 R_{ch} , R_a , R_j , R_{epi} , R_c 表示之。

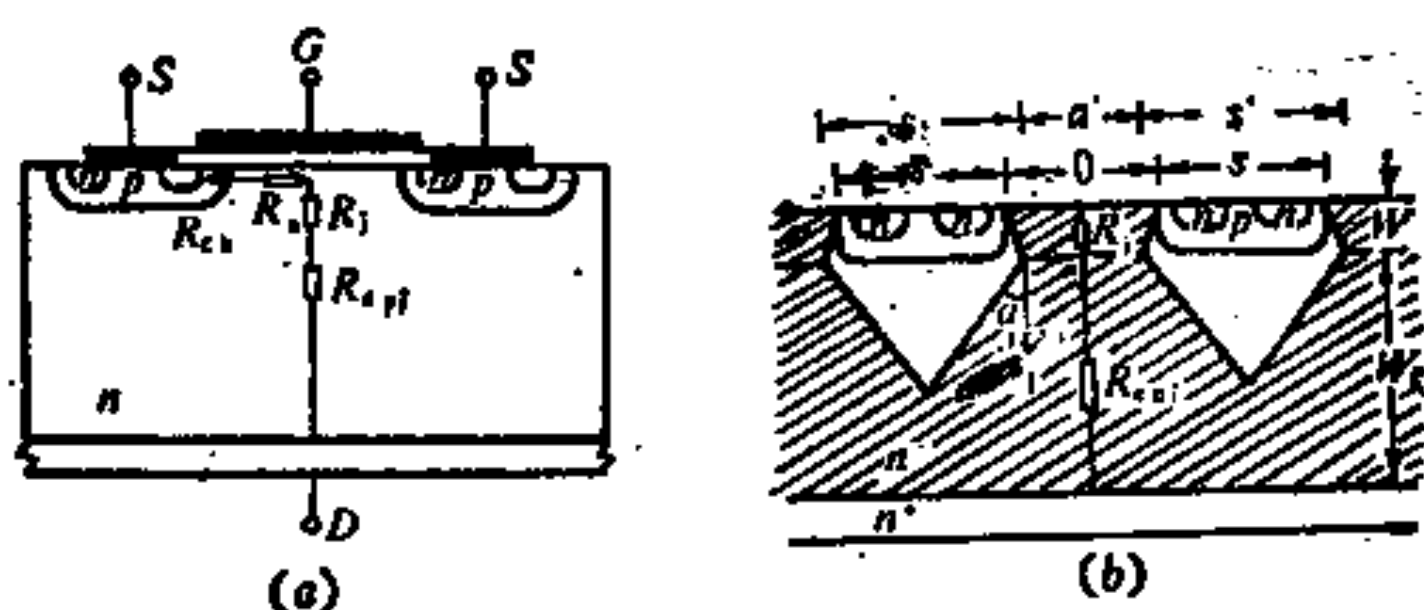


图 4-33 导通电阻的构成

(a) VDMOS R_{on} 的四部份, (b) R_j 与 R_{epi} 的定义 (阴影区为电子流通区域)

现对各电阻分别讨论如下:

1) 沟道电阻 R_{ch} 。有源区通常为—增强型MOS, 在饱和区沟道电阻为

$$R_{ch} = \frac{L}{Z\mu_{eff}C_{ox}(V_G - V_{th})} \quad (4-23)$$

其中 Z 为单位面积的沟道宽度, 各种图形的 Z 值已列于表 4-2 的最下一行。

2) 表面积累层电阻 R_s 。栅电压为 $V_G > V_{th}$ 时, N 型表面一般为 N^+ 积累层, 电子一方面沿表面流动, 一方面分散向下。Sun 与 Plummer 用了传输线的模型计算这个电阻^[23]。实际上, 这一层是导电较好的薄层, 它与下面的“颈”部构成一个分布式的电流场, 既然要把这个电流场的电阻归结为 R_s 与 R_j 两个的简单叠加, 则由这层向下的电子流应看作均匀分布较为合理, 这是胡正明采取的恒定电流模型^[24]。由此模型得到

$$R_s = \frac{(s+a)a}{8C_{ox}\mu_{ns}(V_G - V_{FB})} \quad \text{对条状图形} \quad (4-24a)$$

$$R_s = \frac{1}{8C_{ox}\mu_{ns}(V_G - V_{FB})} - \frac{(s+a)^2}{a(a+2s)} \left[(s+a)^2 \times \ln\left(1 + \frac{a}{s}\right) - as - \frac{a^2}{2} \right] \quad \text{对元胞图形} \quad (4-24b)$$

其中 μ_{ns} 为电子在 N 积累层的迁移率, V_{FB} 是 N 区的平带电压。

3) “颈”部的电阻 R_j 。为了简单起见, 假定表面积累层是一个等位面, 即假设 R_s 很小, 那么 R_j 就是图 4-33 中所示出的“颈”的上、下两面间的电阻, “颈”的上面宽度为 a 。由于电流在此区引起压降, P 阱下部面临的 N 区有耗尽层, 设此耗尽层横向扩展为 Δ , 则“颈”下面的宽度为 $a' = a - 2\Delta$ 由此得到这个“颈”部的电阻为^[22]:

$$R_j = \rho W_j \frac{s+a}{2\Delta} \ln\left(1 + \frac{2\Delta}{a'}\right)$$

$$\approx \frac{\rho W_1 (s+a)}{a} \quad (\text{当 } \Delta \ll a') \text{ 对条状图形} \quad (4-25a)$$

$$R_i = \rho W_1 \frac{s+a}{4g\Delta} \ln \left(\frac{s+a-gs}{s+a+gs} \cdot \frac{s+a+gs'}{s+a-gs'} \right)$$

$$\approx \frac{\rho W_1}{1 - [gs/(s+a)]^2} \quad (\text{当 } \Delta \ll a') \text{ 对元胞图形} \quad (4-25b)$$

其中 ρ 是 N 型区的电阻率, $s' = s + 2\Delta$, W_1 是 P 阱的结深, g 是与图形结构有关的因子, 其值已在表 4-2 的第四行列出了, 由于表中各种图形的 g 值与 0.98 相差不到 $\pm 10\%$, 因此各种图形的 R_i 实质上相差不大。 Δ 之值只能由估计得到, 好在通常 Δ 远小于 s 及 a , 上式的各近似式是这种情形下的 R_i ;

4) R_{ep1} 。电子从“颈”的下面出来后, 开始分散向下流, 假定分散角度为 45° , 可得到与实际模拟计算非常接近的结果^[22] (即图 4-33(b) 的 α 取为 45°), 电子向下流经 W' 距离之后, 与相邻元胞的电子流交叠, 因此再向下的流动不存在分散, 而是均匀的。我们把分散的一段电阻用 $R_{ep1,1}$ 表示, 均匀的一段用 $R_{ep1,2}$ 表示。 $R_{ep1,1}$ 如下式

$$R_{ep1,1} = \rho \cdot \frac{(s+a)}{2} \cdot \ln \left(1 + \frac{2W'}{a'} \right) \quad \text{对条状图形} \quad (4-26)$$

$$R_{ep1,1} = \frac{\rho(s+a)}{4g} \ln \left[\frac{(s+a) - g(s' - 2W')}{(s+a) + g(s' - 2W')} \right]$$

$$\cdot \frac{(s+a) + gs'}{(s+a) - gs'} \quad \text{对元胞图形} \quad (4-27)$$

在 45° 展开角下, $W' = s'/2 = s/2 + \Delta$, 但如果 $s'/2 > W$, 则电子的流动在达到 N^+ 衬底之前一直在展开而未发生交叠, 这时上式的 W' 应采用 W 来代替。

在 $W' < W$ 的条件下才存在 $R_{ep1,2}$, 显然它为

$$R_{ep1,2} = \rho(W - W') \quad (4-28)$$

综上所述, 导通电阻 R_{on} 为

$$R_{on} = R_{ch} + R_a + R_j + R_{epi} \quad (R_{epi} = R_{epi,1} + R_{epi,2}) \quad (4-29)$$

上面列出的各电阻在不同的器件中占不同的比重。对于耐压低于 100V 的器件, $\rho < 1 \Omega \cdot \text{cm}$, 外延层极薄, R_{ch} 是主要的, R_j 及 R_{epi} 是次要的。相反, 对于高压器件, $\rho = 8 \sim 10 \Omega \cdot \text{cm}$, R_j 及 R_{epi} 是主要的。图 4-34 示出一个 P 阱结深 $4 \mu\text{m}$, N^+ 区结深 $2 \mu\text{m}$, $L = 1.7 \mu\text{m}$, $a = 16 \mu\text{m}$, 不同 ρ (即不同外延层厚度, 不同耐压, 见第三章) 的 R_{ch} 及 $R_j + R_{epi}$ (用 R_{bulk} 表示) 占总的导通电阻百分比的计算结果, R_a 是 100% 减上述两个值。

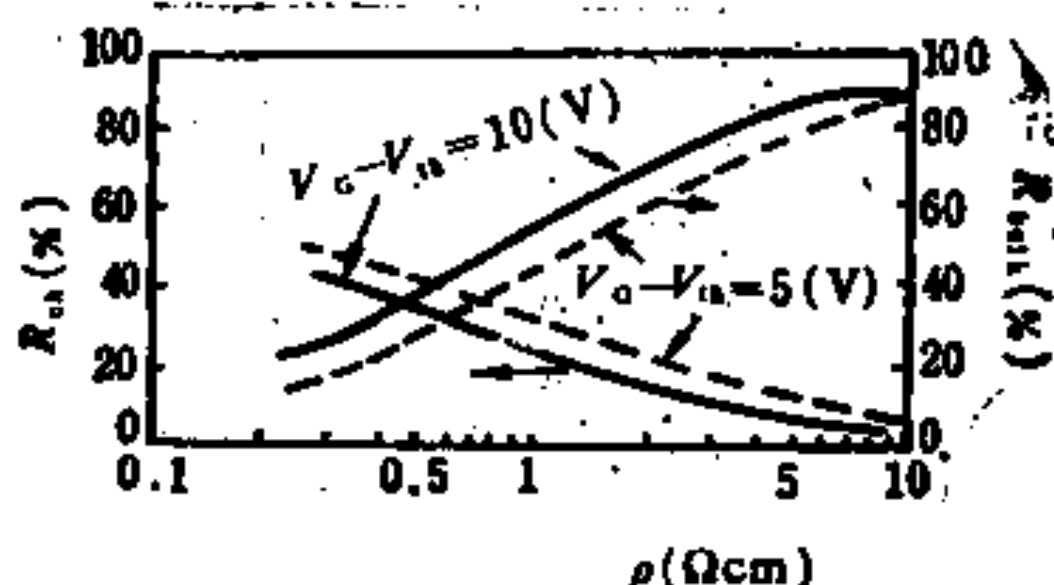


图 4-34 VDMOS 导通电阻各成份所占百分比与外延层电阻率的关系的一个例子 [25]

对低压器件, 由 R_{ch} (及 R_a) 的式子可知, 单位面积的沟道宽度 Z 愈大, 则导通电阻愈低, Z 的值与图形结构及图形大小 (光刻所达线宽) 有关 (见表 4-2)。 s 及 a 之值愈小, Z 愈大。至于各种图形的影响则与 g 值有关, 从表 4-2 知 g 从 0.886 变到 1.075, 离平均值不到 $\pm 10\%$, 故图形结构并无明显作用。

对高压器件, R_{epi} 是主要的, $R_{epi}/\rho W$ [即 $(R_{epi,1} + R_{epi,2})/\rho W$] 只取决于: 1) “颈” 面积占总面积的百分比; 2) s'/W 之值; 3) 是条状图形还是元胞图形, 而与哪一种元胞结构无关。图 4-35 示出了这一结果, 由图中曲线可知, 将元胞图形的 s'/W

之值缩小1.6倍来作条状图形, 则 $R_{epi}/\rho W$ 之值不变, 由此可见, 对高压器件, 除条状图形较差外, 其它各种图形都差不多。

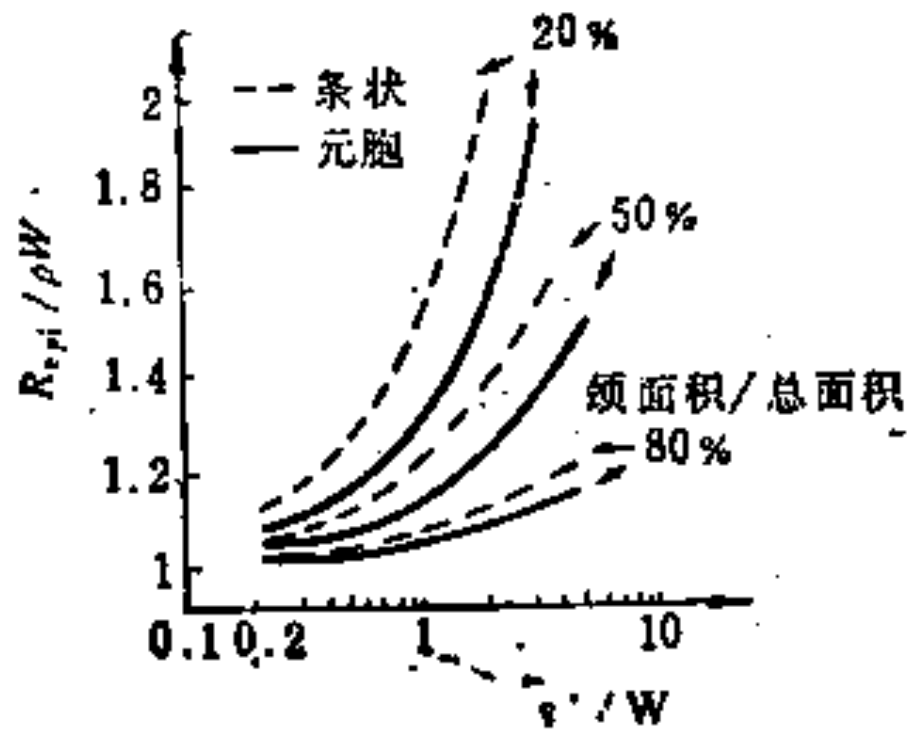


图 4-35 条状图形与元胞图形的 $R_{epi}/\rho W$ 和 s'/W 的关系, 颈面积占总面积的百分比作为参数

$\bar{s}$ 与 a 的比值存在一个优化, 这可从 Hower 对图 4-33 的 R_D 与图形关系的理论说明^[24]。如忽略 JFET 的作用, 且假定电流向下并不存在分散, 则每个元胞的 $R_D (= R_i + R_{epi})$ 与电流的截面积成反比。每个元胞中此截面积为 $A_{ch} = Z_1 a / 2$, 其中 Z_1 为每元胞的周长。如设元胞的面积为 A_{cell} , 则单位面积的电阻与 A_{ch}/A_{cell} 成反比, 这个比值应愈大愈好。Hower 对方元胞方形阱及六角形元胞中六角阱及圆形阱的计算结果表明, $s/a = 1$ 时 A_{ch}/A_{cell} 最大, 为 0.5 到 0.6 之值, s/a 之值偏离此值一倍, A_{ch}/A_{cell} 并无明显变化。关于最后这点, 我们可作一简单解释。以六角形元胞中六角形阱为例(图 4-36), 如元胞尺寸不变, 而把阱的面积减小, 则 A_{ch} 的宽度增加了, 但边长减小了, 加之图中阴影区并不导电, s 减小时这部分增加,

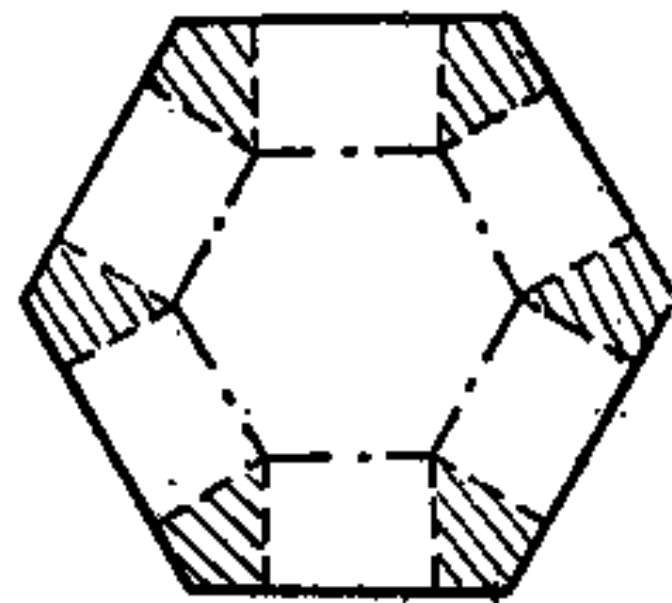


图 4-36 六角形元胞(实线)中的六角形阱(虚点线)

结果是 $A_{ch}/A_{c,II}$ 没有太大变化。

应当注意，对高压器件，上述理论只适用于P岛间距远小于外延层厚度的情形（即 $a \ll W$ 的情形），这时由于相邻两个等电位的P岛靠近，P岛边角上电场并不远大于平面部分电场。相反，如果间距很大，则垂直导电的沟道的中间部分并没有电流，而且这时P岛边缘部份的电场很大，特别是当间距大到使两相邻P岛形成的耗尽区并不重叠，或重叠很差时，每个P岛象一个单独的PN结，其边、角电场很大，击穿电压很低。

总之，图形结构实际上主要是由制版工艺条件决定的。对高压器件，在目前光刻工艺允许的精度下，并没有必要追求很小的（ $<10\mu\text{m}$ ）的图形。

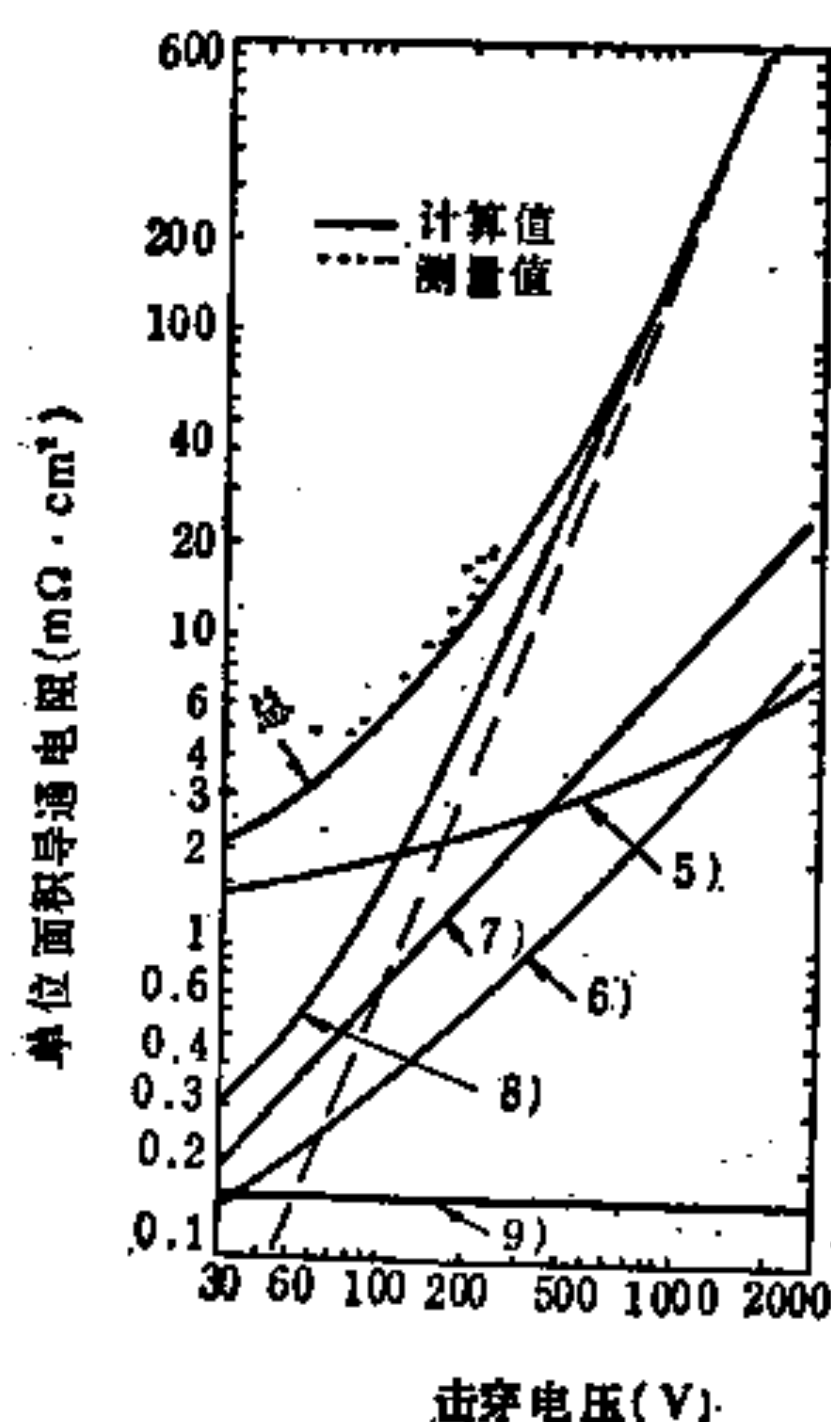


图 4-37 一个功率MOS导通电阻各部份的计算值及其总和（点为实验结果）

低压功率 MOS 中，小的图形可得到低的 R_{on} ，追求小图形始终为过去几年的动向，在1980年，尺寸为 $50\mu\text{m}$ ，在1986年为 $17\mu\text{m}$ ，是每两年下降1.4倍的趋势^[24]。同时，功率 MOS 芯片尺寸每两年增加一倍而维持了同样的成品率。因此，1980年每个芯片集成的单元为2500个，而1986年为200000个，这两条都使低压（ $<100\text{V}$ ）器件的导通电阻下降，其结果是从1980年的 0.1Ω 降到1986年的 $5\text{m}\Omega$ ，这样低的导通电阻，很接近一个理想开关。

图 4-37 的实线示出功率 MOS 导通电阻及各成份与耐压的关系的一个计算机辅助设计程

序的计算结果^[25]。各个成份如下：

- 1) 引线电阻——这通常可以略去；
- 2) 源金属内联线电阻——这通常也可略去；
- 3) 源（扩散区）横向电阻——通常也可略去；
- 4) 源金属与硅的接触电阻——通常也可略去；
- 5) 有源区沟道电阻；
- 6) 有源区沟道在 $V_D = 0$ 时的附加电阻——由于PN结的扩散电势，在不加 V_D 时已有耗尽区，此区表面沟道存在电阻；
- 7) 分布 R/g 网络电阻——这是将积累区和“颈部”电阻作为分布网络计算所得电阻；
- 8) N^- 外延区的电阻；
- 9) N^+ 衬底的电阻；
- 10) 漏衬底(N^+)与漏金属的接触电阻——这里也略去。

如前所述，第8)项对高压器件和耐压关系接近于2.5次方，这个关系在图中，以虚线表示，图中最上面一条线是各成份之和——总的导通电阻，图中点子代表市场提供的器件的实测值，可以看出，它们已很接近理论值了。

VVMOS 的导通电阻和 VDMOS 的很相似， R_{on} 的各成份如图 4-38 所示，为

$$R_{on} = R_{ch} + R_s + R_g + R_{epi} \quad (4-30)$$

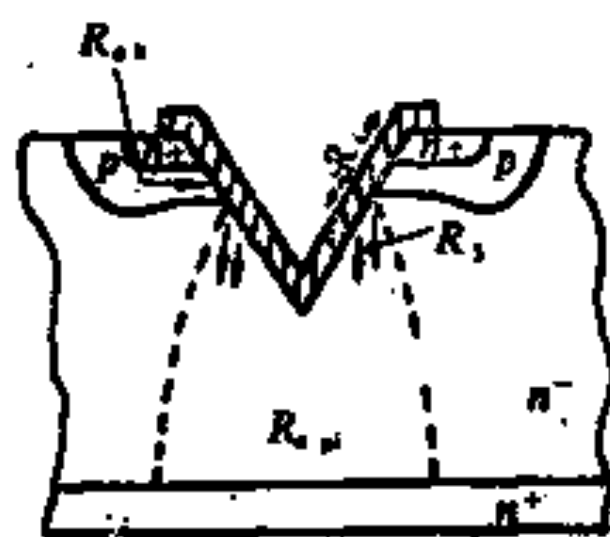


图 4-38 VVMOS 的 R_{on} 的模型

其中 R_s 代替了 VDMOS 的 R_i ，对 R_{ch} 而言，式子是一样的，但现在 L 在同样扩散结深条件下比 VDMOS 的大了约1.5倍，而 μ_{eff} 现在是沿 (111) 面的迁移率，比沿 (100) 面的要低，可以算作后者的80%， R_s 是一个张开54.7°的扇形构成的电阻，假定电流均匀地从积累层流入此区，且此区另一边界为圆弧，则容易

得到^[14]

$$R_s = 0.477\rho/Z \quad (4-31)$$

R_{sp} 和 VDMOS 的一样。

3. 导通电阻的测定

由一个器件的实际测量来决定 R_{on} 的方法有以下两种：1) 由 $I_D \sim V_D$ 特性，在 $V_D \rightarrow 0$ 时，取 V_D/I_D 的比值作为 R_{on} 之值，如图4-39所示，此时的比值与 V_G 无关；2) 在一个特定的 I_{D0} 值下取比值 V_D/I_D ，这时比值与 I_{D0} 及 V_G 有关，常取 V_G 为10V，并以此 V_G 所得之最大饱和电流的一半当作 I_{D0} ，得到这一器件的“导通电阻”。实际上这两种方法所得 R_{on} 之值很接近，一般第一种方法估计的 R_{on} 偏低，比第二种可能会小到20%。

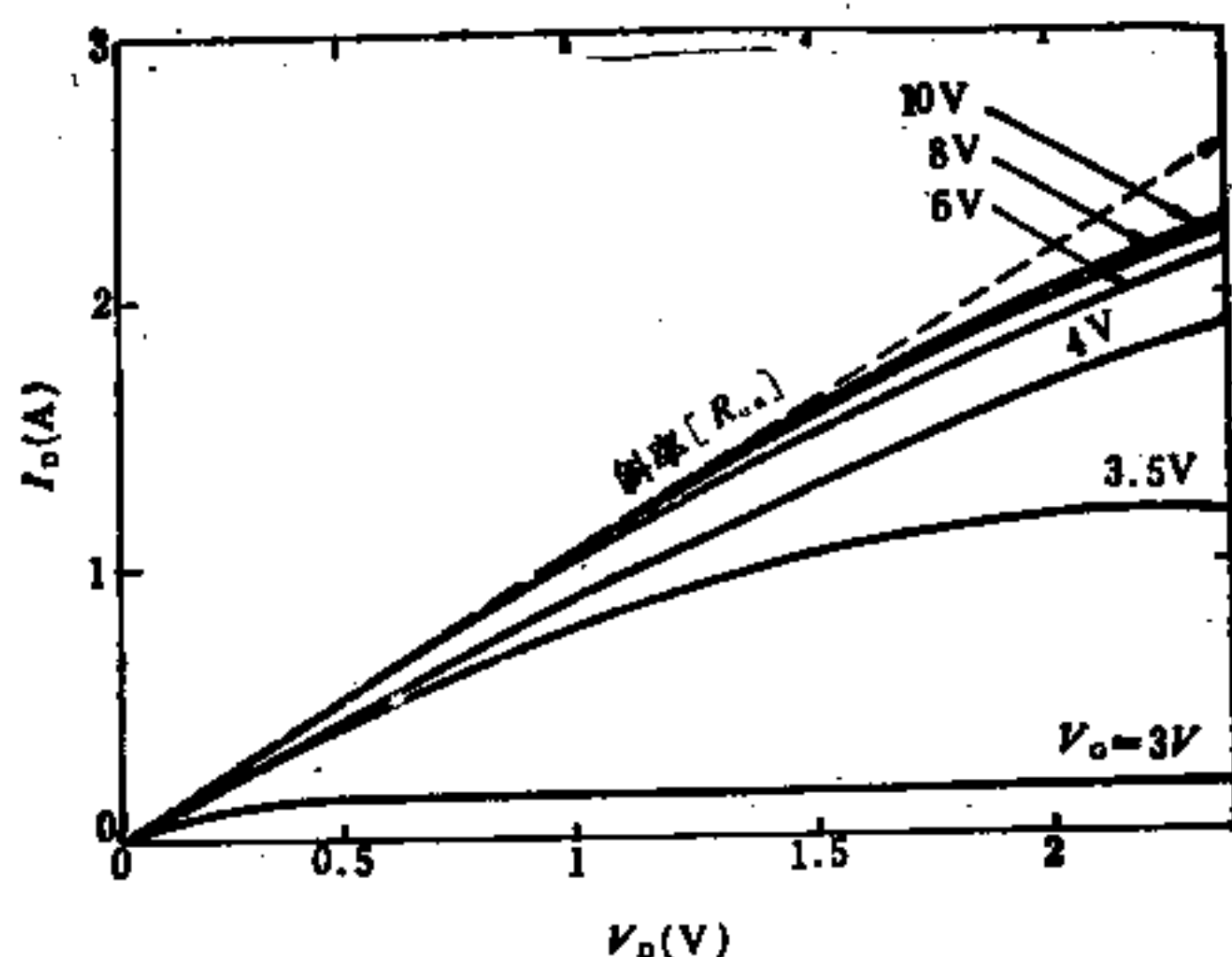


图 4-39 由输出特性在 $V_D = 0$ 时的斜率的倒数确定 R_{on}

Tarng 提出了用实验方法决定 R_{on} 中各成份的方法^[26]。首先，如果把 P 阱与 N 区在正偏下有电流考虑进来，则可以画出图

4-40(a)的等效电路来反映电流与电压的关系, 其中引入了一个电阻 r_n 是考虑到即使 N 型表面没有积累层, $R_n = 0$, 电流仍可流通 (电子从沟道流出后立即分散)。 R_d 是 P 阱下面有空穴流动时 N 区的电阻 (当然它还受到注入的调制), R_c 是源、漏金属接触及区内的电阻。这些电阻是指整个管子的, 不是单位面积的值。

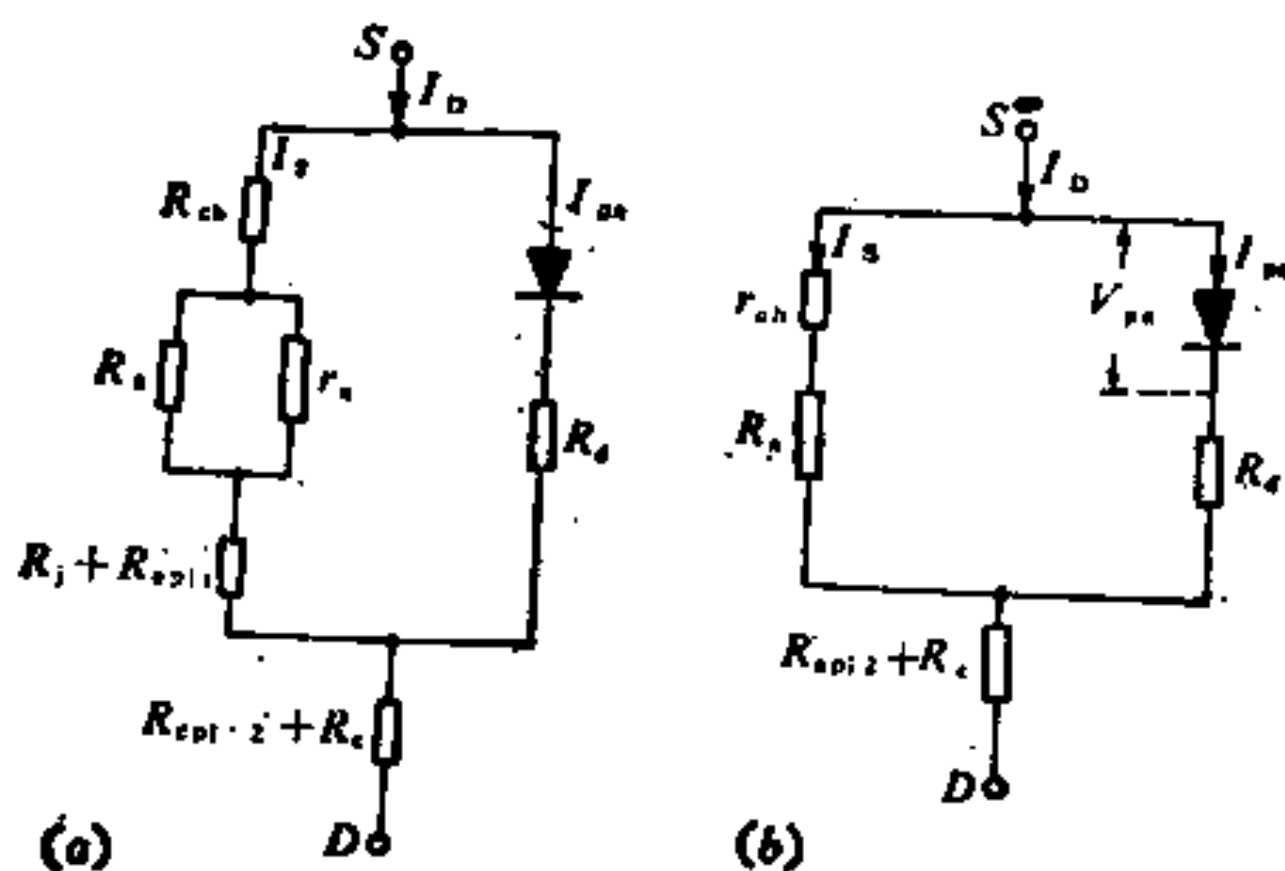


图 4-40 测量电阻各分量的等效电路

(a) 考虑 PN 结二极管在内的电路;

(b) 由图(a)转换, 得到与 V_G 有关的量含在 r_n 中的电路

由于 R_{ch} 及 R_n 与 V_G 及 V_{th} 有关, 尽可能把它独立出来, 左边支路可认为是 R_n 与 r_{ch} 串联:

$$R_n = (R_j + R_{epi,1}) + r_n$$

$$r_{ch} = R_{ch} - \frac{r_n^2}{R_n + r_n}$$

这样, R_n 与 V_G , V_{th} 无关, r_{ch} 决定于 V_G 及 V_{th} 称为“有效沟道电阻”, 等效电路可化为图 4-40(b)。通过测量, 决定各电阻的方法如下:

1) 在 $V_{GS} \leq 0$ (沟道夹断, 无沟道电流, $I_s = 0$) 及 $V_{DS} < 0$

下测量 I_D ，这时只有 PN 二极管有电流，二极管压降 V_{pn} 约为 0.7 伏，由此从 $I_D \sim V_D$ (设源电位为参考点) 可得 $R_d + (R_{ep1,2} + R_c)$ 。

2) 在 $V_{DS} > 0$ 但 V_{DS} 很小 (约 25mV 左右)，测 $I_D \sim V_D$ ，这时 MOS 在线性区，PN 二极管无电流，由此可用前面的方法得到 R_{on}

$$R_{on} = r_{ch} + R_n + R_{ep1,2} + R_c$$

3) 在同样 V_{GS} 下但 V_{DS} 变化，使二极管也有电流，测 $I_D \sim V_D$ ，显然，这时存在如下两个关系

$$(-V_D) = (I_D - I_{pn}) \cdot R_{on} + (R_{ep1,2} + R_c) \cdot I_{pn}$$

$$V_{pn} = (-V_D) - R_d I_{pn} - (R_{ep1,2} + R_c) I_D$$

V_{pn} 及 I_{pn} 虽不知道，但他们之间是简单的二极管电压-电流关系，这个关系是知道的，加上上面两个式子共有三个关系， R_{on} 及 $[R_d + (R_{ep1,2} + R_c)]$ 是已经知道的，因此可以求出 $(R_{ep1,2} + R_c)$ 及 R_d 。

R_{ch} 的确定比较困难，因为它与 V_{th} 有关，而且严格讲， V_{th} 及 μ_n (电子迁移率) 在沟道中均不为常数，只能取一定意义下的有效值。Tarng 采用逐次近似法，先由 $I_D \sim V_G$ 的结果外推到 $I_D = 0$ 时 V_G 座标上之值作为 V_{th} 的第一个估计值，然后由式 (4-23) 及 R_{on} 之实测值作反复修正，经两、三次后可得 V_{th} 之精确值及 R_{ch} 。

应该指出，上述方法本身在模型上存在着 $R_{ep1,2}$ 及 R_d 如何划分的问题，单独有 MOS 电流时，电流在 N 型区扩展，已经到了二极管的下面，而这下面的一部份又算作 R_d 的内容。

生产上控制 R_{on} 的方法有：控制元胞尺寸、元胞间距、外延材料电阻率及厚度，但由于器件电参数的要求及工艺条件的限制，这些参数实际上并无调节余地。至于接触电阻，包括背面的衬底与金属的接触，正面的源接触，则应尽可能降低。

4. 击穿电压及与导通电阻的极限关系

对于耐压高的 MOS, R_{on} 主要由 R_{epi} 决定。外延层愈厚, 电阻率愈高, 则击穿电压愈高, 但导通电阻也愈高。在均匀掺杂的条件下, 如作一维近似分析, 则电场分布如前面图 4-13 所示。在导通时, N 型中性区的电导率为 $\mu_n q N_B$, 其中 N_B 为杂质浓度。故单位面积导通电阻为

$$R_{on} = \frac{W}{\mu_n q N_B} \quad (4-32)$$

击穿电压 V_{BR} 之下, 最大电场为临界电场 E_C , 由图 4-13 得

$$V_{BR} = E_C \cdot W - \frac{q N_B}{\epsilon_s} \cdot \frac{W^2}{2} \quad (4-33)$$

由上面两式消去 N_B , 得到 R_{on} 与 V_{BR} 及 W 的关系

$$R_{on} = \frac{W^3}{2 \mu_n \epsilon_s (E_C W - V_{BR})} \quad (4-34)$$

由此式可知, 在一定 V_{BR} 下, 使 R_{on} 最小的 W 值为 $W = 3V_{BR}/2E_C$, 将此值代到式 (4-33) 及式 (4-34) 中得

$$V_{BR} = 4 \epsilon_s E_C^3 / (9 q N_B) \quad (4-35)$$

$$R_{on} = \frac{27 V_{BR}^2}{8 \mu_n \epsilon_s E_C^3} \quad (4-36)$$

用第三章表 3-2 的 $E_C = 0.8 \times 10^6 (V_{BR})^{-1/2}$ 及 $\mu_n = 1450 \text{ cm}^2/\text{V} \cdot \text{s}$ 及 $\epsilon_s = 11.7 \epsilon_0$ 的具体数据代入上两式得到 W , N_B 及 R_{on} 的值, 如表 4-3 中第一列所示。其中假设了 P 阱面积为总面积的一半, 故 R_{on} 为式 (4-36) 的一倍。

上面假设了杂质是均匀分布, 为了进一步探索降低 R_{on} 的可能性, 胡正明求出在一定击穿电压下, 使导通电阻最小的杂质分布^[27]。结果发现, 这种分布下 R_{on} 之值为式 (4-20) 的 8/9,

即只小了12%，并没有明显的改进，对应的 W 、 N_D 等值均已列于表 4-3。

表 4-3 使导通电阻最小的外延层参数

		$W(\mu m)$	$N_D(cm)^{-3}$	单位表面积 a
无电流扩展 最佳均匀分布		$1.5V_{BR}/E_c =$ $0.0183V_{BR}^{1.2}$	$3 \times 10^{18} E_c^2 / V_{BR}$ $\approx 2 \times 10^{18} V_{BR}^{-1.4}$	$0.83V_{BR}^{2.5}$
无电流扩展优 化杂质分布		$0.0183V_{BR}^{1.2}$	见图 4-42	$0.74V_{BR}^{2.5}$
电流扩展最佳 均匀分布	$10W > a > W$	$0.0189V_{BR}^{1.2}$	$2 \times 10^{18} V_{BR}^{-1.4}$	$\sim 0.11V_{BR}^{2.31} a^{0.10}$
	$W > a > 0.1W$	$0.0197V_{BR}^{1.2}$	$2 \times 10^{18} V_{BR}^{-1.4}$	$\sim 0.26V_{BR}^{2.04} a^{0.28}$
电流扩展最佳 杂质分布	$10W > a > W$	$0.0187V_{BR}^{1.2}$	见图	$\sim 0.098V_{BR}^{2.34} a^{0.10}$
	$W > a > 0.1W$	$0.0196V_{BR}^{1.2}$	4-42	$\sim 0.23V_{BR}^{2.08} a^{0.28}$

导通电阻随耐压以2.5次方速度增加，使功率 MOS 的高压应用受到很大限制，事实上，这成为此种器件的最重要制约因素。人们曾设想，如果考虑到电流不是一维流动，而是分散向下的二维，这种限制能否减轻^[28]，陈星弼推出了这种不均匀电流下的最优杂质分布^[29]，其结果见表 4-3 最下两行，由表可知：

1) 在上述各种情形下，外延层最佳厚度均约为

$$W = 0.018V_{BR}^{1.2} (\mu m) \quad (V_{BR} \text{以V计}), \quad (4-37)$$

2) 杂质分布在外延层的大部分地区是

$$N_D = 1.9 \times 10^{18} V_{BR}^{-1.4} (cm^{-3}) \quad (4-38)$$

N_D 及 W 与 V_{BR} 的关系也画于图 4-41中，这两个公式可作为设计外延层的准则：最佳杂质分布形式示于图 4-42中。有趣的是：最优分布是在靠近N⁺衬底区时浓度迅速增加，但不是突变，而实际制造外延材料时，由于N⁺衬底杂质向外延层的自扩

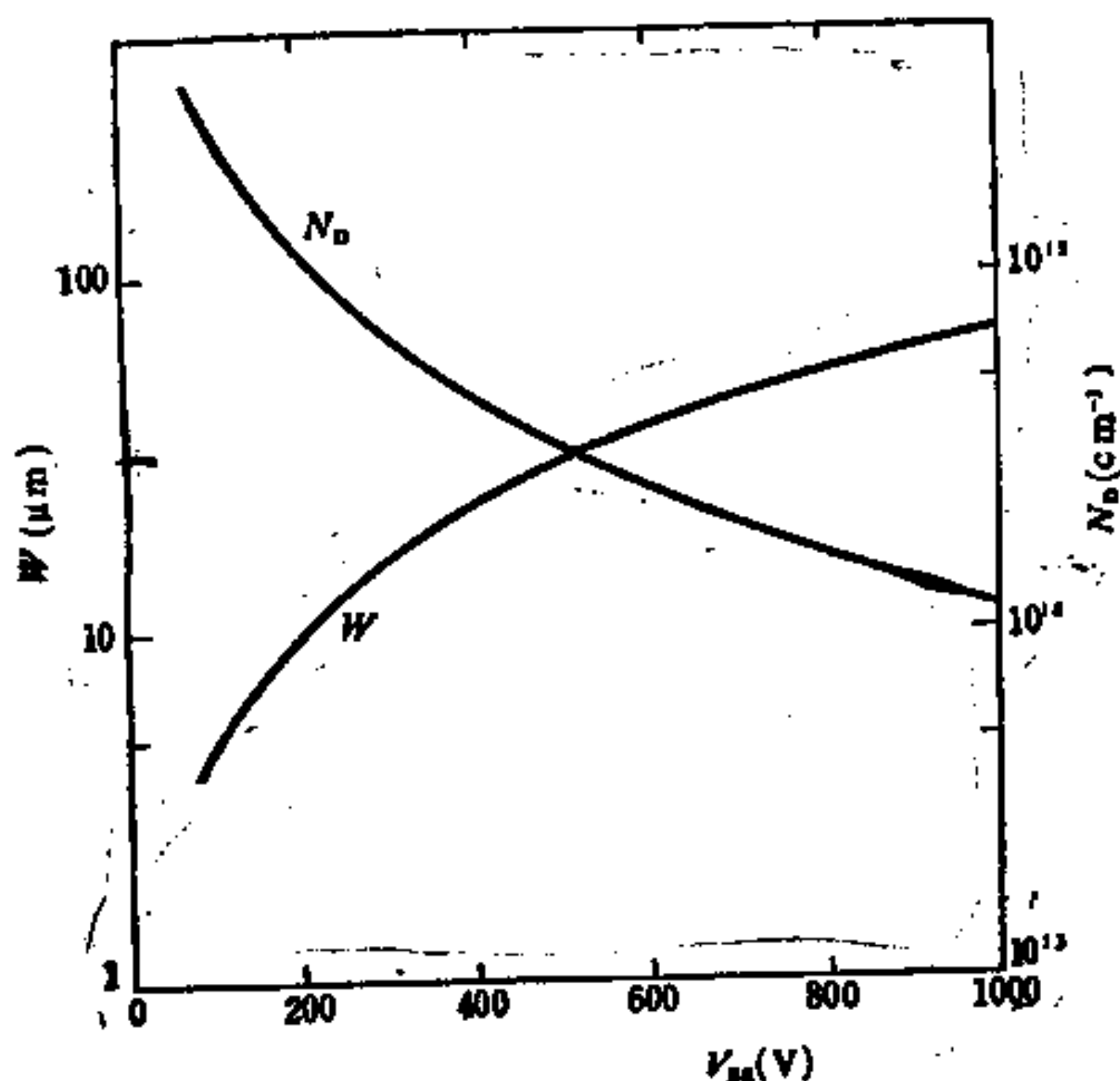


图 4-41 使导通电阻最小的外延层厚度 W 及掺杂浓度与击穿电压 V_{BR} 的关系

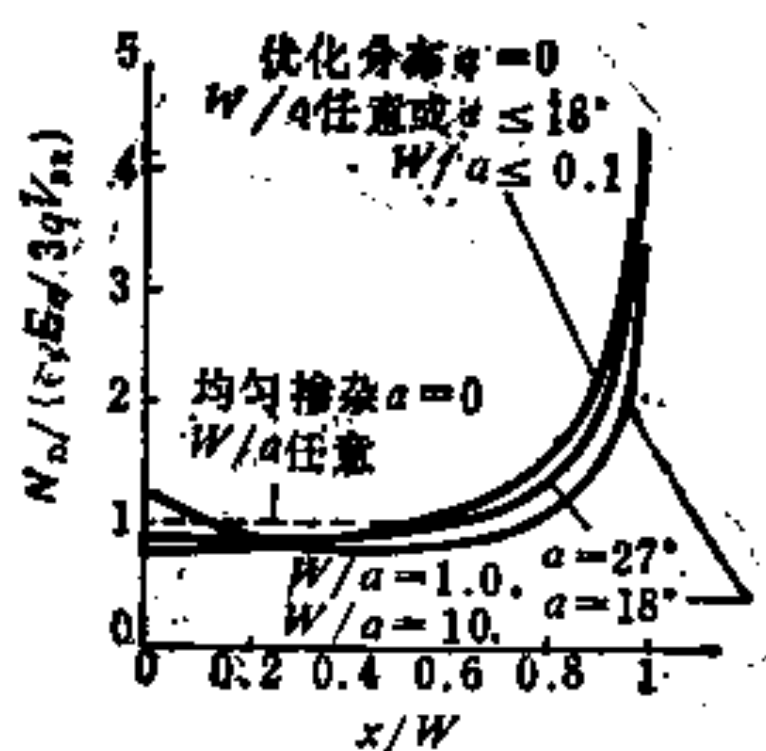


图 4-42 最佳杂质分布 (纵坐标每格近似等于 $2 \times 10^{18} V_{BR}^{-1/4} \text{cm}^{-3}$, 最佳均匀杂质分布的纵坐标值为 1)

散效应，外延层中真正杂质分布反而是很接近这种理想分布的。3)最优杂质分布给出的导通电阻与击穿电压的极限关系是约为二次方的关系。各种器件都存在特殊的极限关系，例如双极性晶体管的功率与频率的极限关系为 $P_{max} \cdot f_{max} \propto E_c \cdot v_s^{[30]}$ ，其中 E_c 为击穿的临界电场， v_s 为饱和速度。硅的 $E_c \cdot v_s$ 比锗的大一倍，砷化镓的又比硅的大一倍，这是高频功率管终究要由锗到硅到砷化镓这样发展的原因之一。功率 MOS 的重要极限关系是 R_{on} 与 V_{BR} 的二次方成正比这一关系，这促使人们发明了新的器件——IGT。

由于导通电阻随击穿电压猛烈增长，使得提高表面击穿电压在功率 MOS 中显得格外重要，因为若表面击穿电压低于体内的很多，即等于此耐压的管子要以无谓增大导通电阻作牺牲来达到。为了提高表面击穿电压，功率 MOS 常用的终端技术有浮空场限环、场板等，有时还将这些技术结合起来使用，使表面击穿电压达到体内击穿电压的70~90%。

现代的终端技术已能使表面击穿电压达到体内理想一维电场分布的击穿电压的90%，在这种情况下，另一影响击穿电压的因素需要考虑，这就是每一个 P 阱边角上的电场集中效应^[31]。当两个 P 阱之间距离很近时，边角电场出现峰值并不明显^[31]，击穿电压没有太多下降，但是 P 阱靠近则导通电阻也变大。由此可见，在这种情形下，高压器件的元胞图形对导通电阻又发生影响。计算表明：方形阱最差，因为其角上为球面结，击穿最低。条状结构的 P 阱没有角，只有边，边上为圆柱结，击穿电压稍高，但前面已证明条状结构有较高的导通电阻，仔细的研究结果表明，最优的结构是圆形元胞，而且两个 P 阱之间的距离应比由边缘电场决定的距离稍大。

5. 开关时间

功率 MOS 是多子器件，因此在开关应用时不象双极型晶体

管 (BJT) 那样有少子建立、渡越、贮存等问题, 因此它比 BJT 快得多。电容的充放电过程是限制功率 MOS 速度的主要因素, 图 4-43 示出一个功率 MOS 的等效电路, 其中包括负载及脉冲

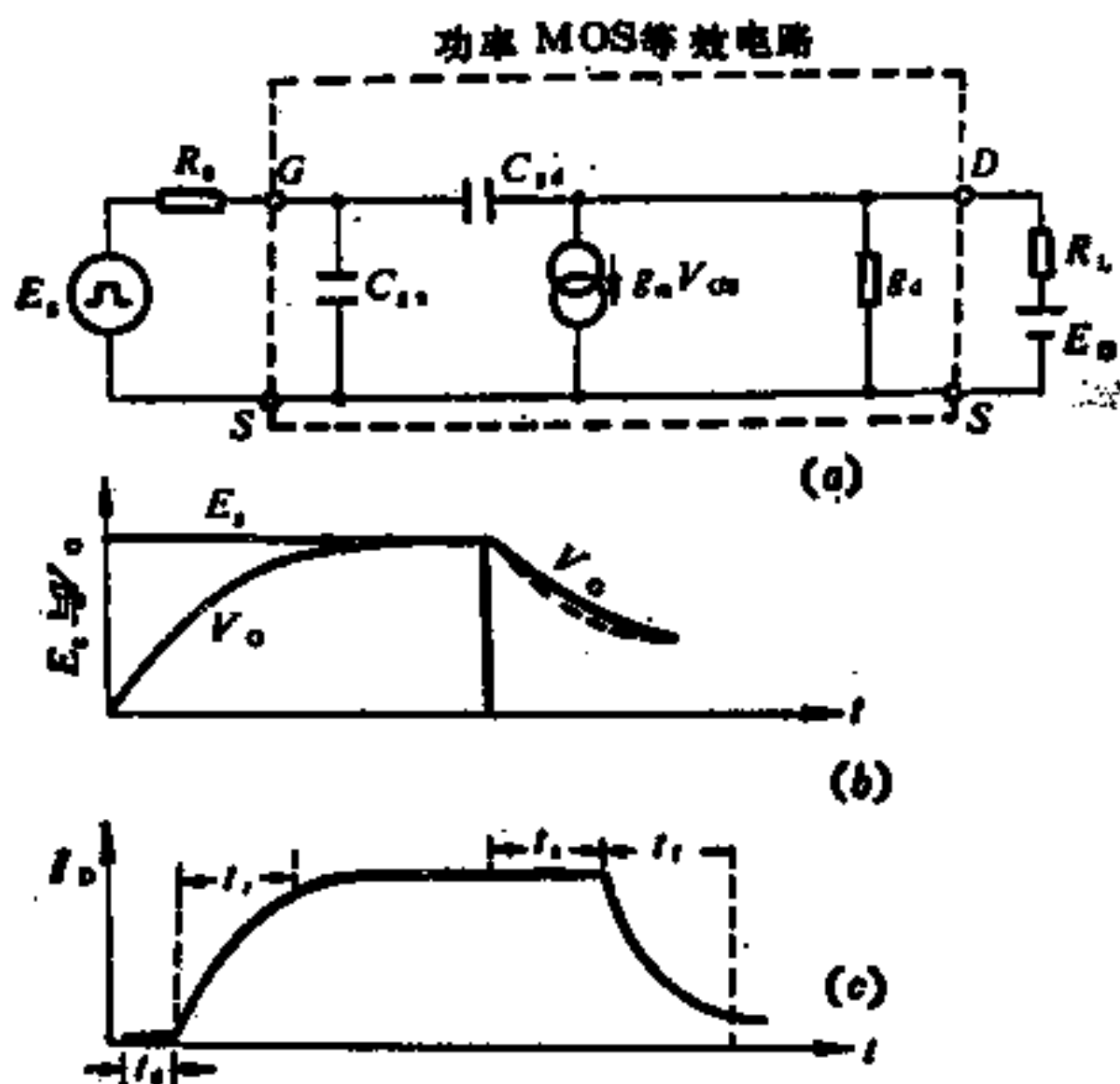


图 4-43 功率 MOS 接有脉冲电源及负载时的响应

(a) 等效电路; (b) E_g 与 V_{gs} 随时间 t 的变化;
(c) I_D 的变化;

电源, 电压源为矩形脉冲, V_G 及 I_G 的上升及下降过程不难从电容的充放电来理解。应当注意, 栅上的电荷量并非与 V_G 完全成正比。图 4-44 给出了型号为 VN 64GA 的功率 MOS 在 $E_D = 60V$, $R_L = 100\Omega$ 时的 Q_g 与 V_G 及 V_D 的关系^[32]。栅上的电荷变化可写成下式

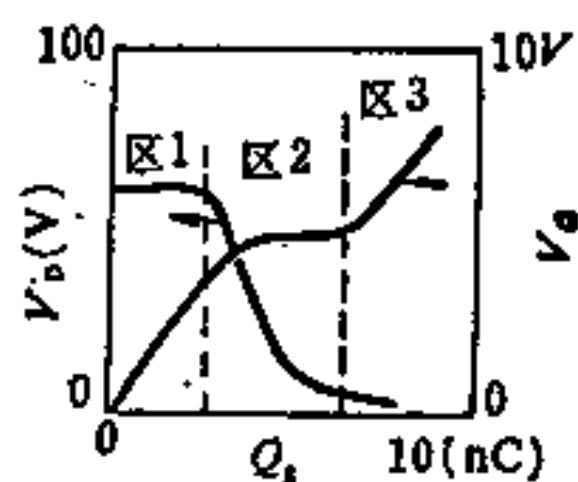


图 4-44 VN64GA 在 $E_D = 60V$, $R_L = 100\Omega$ 时 $Q_g \sim V_g, V_D$

$$dQ_g = C_{gs} dV_G + C_{gd} (dV_G - dV_D) \quad (4-39)$$

在图 4-44 的区域 1, $V_G < V_{th}$, 管子不导电, V_D 基本上为常数, 故 $dQ_g = (C_{gs} + C_{gd}) dV_G$

输入电容为

$$C_{in} = C_{gs} + C_{gd} \quad (4-40)$$

但因这时半导体表面为耗尽层, 电容之值较小。

在图 4-44 的区域 2, $V_G > V_{th}$, 管子导电, 但这时 V_D 是逐渐减小的, 它通过“密勒效应”使输入电容增加, 为 C'_{in} , 如令 $-dV_D/dV_G = K$ 为电压放大系数, 则由式 (4-39) 得

$$C'_{in} = \frac{dQ_g}{dV_G} = C_{gs} + (1 + K)C_{gd} \quad (4-41)$$

由图 4-44 知这时

$$C_{gs} (= \partial Q_g / \partial V_G) \quad (4-42)$$

本身就较大。

在图 4-44 的区域 3, V_D 已达饱和, 输入电容又可用式 (4-40) 来表示, 但其值大于在区域 1 时之值, 这是因为 C_{gd} 两端的电压在两个区域不同, 半导体表面层的情况不同。在区域 1, 半导体表面为耗尽层, 电容较小, 在区域 3, 半导体表面是反型层, 电容较大。

确定 C'_{in} 的简便方法是用区域 2 的电荷与电压的变化求平均值:

$$C'_{in} = \frac{Q_{g2} - Q_{g1}}{V_{G2} - V_{G1}} \quad (4-43)$$

明确了 C_{gs} , C_{gd} 及输入电容 C_{in} 的电压关系后, 我们再来研究功率 MOS 的脉冲响应。在脉冲加上时, 由于存在输入电容, 需要充电时间, 栅上电压不能立刻达到终值。如果负载电阻不是很大, 则这时输入电容为式 (4-40), V_G 的上升过程为^[33]

$$V_G(t) = E_g [1 - \exp(-t/R_g \cdot C_{in})] \quad (4-44)$$

当 $V_G(t)$ 达到阈电压 V_{th} 时, 开始有漏电流。故导通时间为

$$t_d = C_{i2} R_g \ln(1 - V_{th}/E_g) \quad (4-45)$$

达到 t_d 时间之后, V_G 大于 V_{th} , 电流 I_D 会较快增长, 它在 R_L 上的压降造成 V_{DS} 下降。 I_D 的上升时间 t_r 定义为 V_{DS} 下降到只有 E_D 的 10% 时所需的时间, 如这时对应的 V_G 记作 V_{G2} , 则容易证明

$$t_r = C'_{i2} R_g \ln\left(\frac{E_g - V_{th}}{E_g - V_{G2}}\right) \quad (4-46)$$

这里, C'_{i2} 是由式 (4-43) 表示的有效输入电容。

实际开关电路中常采取过驱动, 即 E_g 之值超过区域 2 (即 V_D 已近于零) 对应之值。过驱动可提高噪声容限, 且对驱动条件不致于要求太严, 但过驱动使关断过程发生延迟, 产生了一个存贮时间。经过存贮时间 t_s 后, V_G 又回复到 V_{G2} 值, 简单的分析表明,

$$t_s = C_{i2} R_g \ln \frac{E_g}{V_{G2}} \quad (4-47)$$

这里 C_{i2} 是区域 3 对应于式 (4-40) 之值。

经过存贮时间后, I_D 下降, 下降所需之时间 t_f 为

$$t_f = C_{i2} R_g \ln \frac{V_{G2}}{V_{th}} \quad (4-48)$$

这里 C_{i2} 是区域 2 对应于式 (4-41) 之值。

10A, 100~200V 的设计良好的功率 MOS 的开启时间 t_r 与关断时间 t_f 的典型值各为 100ns。延迟时间 $t_d \approx 50ns$, 存贮时间为 $t_s \approx 100ns$, 这些时间随温度几乎不变, 不象双极型晶体管, 由于少子寿命随温度变化, 开关时间随温度有明显的变化。

功率 MOS 的开关频率一般可达几百 kHz, 如要进一步提高开关速度, 主要措施是降低 C_{i2} , 例如在 N 外延区上的氧化层加

厚，即栅做成台阶式，在沟道区是薄氧化层，在N表面区是厚氧化层，利用这种方法做得了1600V，5A而开关时间为20ns的管子^[34]。

在开关应用中，导通及阻断时，栅极回路的损耗一般可以略去，但在开与关的过渡状态中，栅极回路有一定的损耗。每周期内此损耗容易由电容的贮能 W 来计算，因为此能量在放电时全变成焦耳热而逸去：

$$W = \frac{1}{2} C_{in} (\Delta V_G)^2 \quad (4-49)$$

ΔV_G 为栅电压的摆幅。

6. 等效电路及高频特性

VDMOS 的等效电路如图 4-45(a) 所示^[35]。此电路中的各种元件所对应的实际位置则示于图 4-45(b) 中。除漏极电阻 R_d 前面已经讨论过了之外，现将其余的各元件分别讨论如下：

1) 跨导 g_m

VDMOS 是短沟器件，有源区中电场足够强，跨导可用式 (4-14) 表示

$$g_{m0} = Z C_{ox} U_S \quad (4-50)$$

实际上，由于温升作用， U_S 降低，考虑到这点，可在上式中乘上一个数量级为 1 的热修正因子 F_{GM} 。对于高频而言，由于载流子经过较长的漂移区（外延层中的耗尽区），存在一个渡越时间 t_t ：

$$t_t = W/v_s \quad (4-51)$$

由于这个渡越时间，引起电流对电压的相移，为顾及此，可再将式 (4-50) 乘以因子 $\exp(-j\omega t_t)$ 。

2) 本征电容： C_{gs} ， C_{ds} ， C_{gd} ， C_{gc}

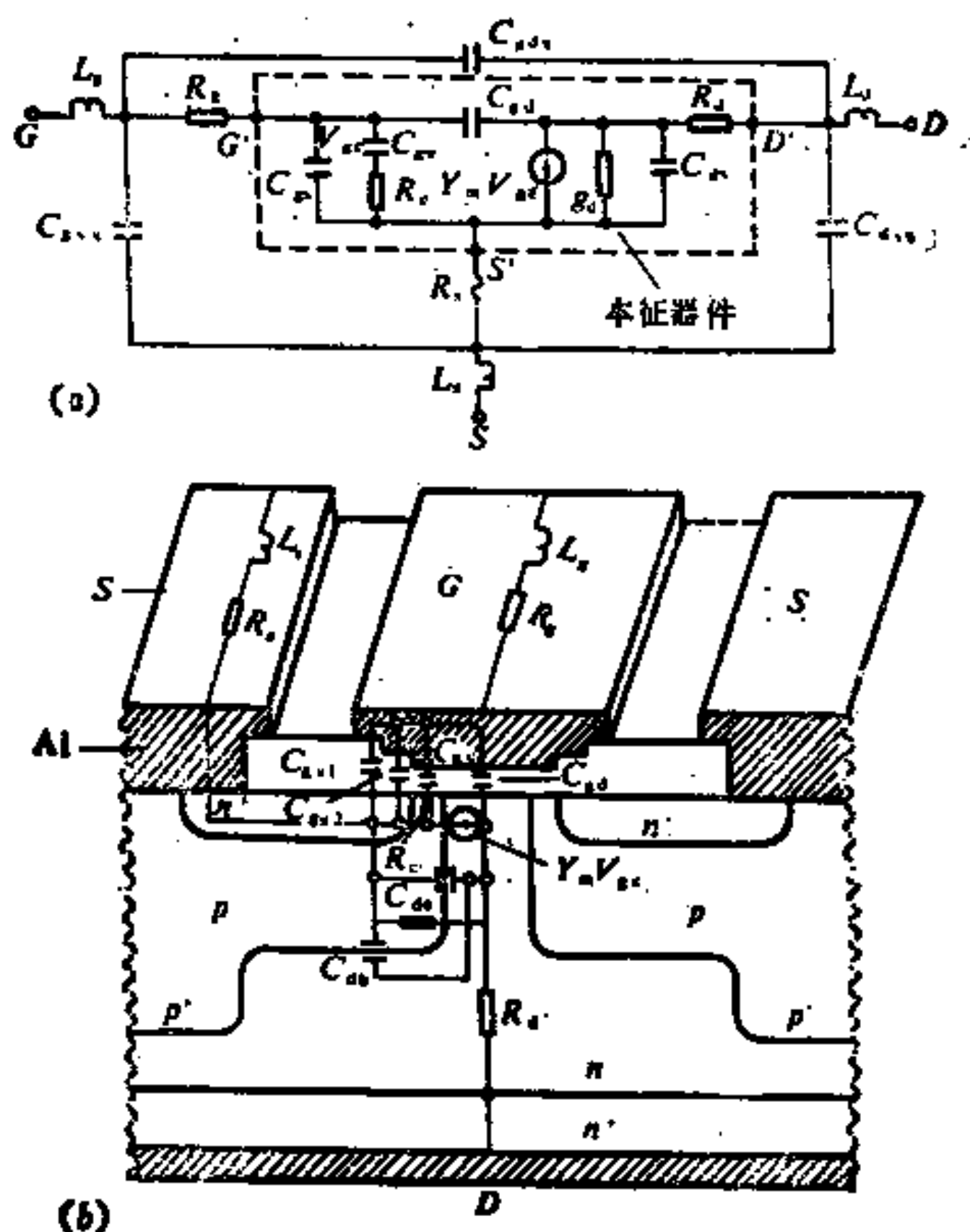


图 4-45 VDMOS 的高频等效电路(a)
与元件所在位置的剖面图(b)

栅源电容 C_{gs} 代表源区与其氧化层上覆盖的金属之间的电容。

漏源电容 C_{ds} 其实有三个部分，一个是源衬底 P 区与外延 N^- 区平面部分的电容，其单位面积的电容量用 C_{db} 表示。一个是 P 区和 N^- 区在 P 区边侧的电容，单位长度的电容量用 C_{dc} 表示。还有一个是源金属接触在非源区（即联线）的衬底电容 C_{sp} ，因此

$$C_{ds} = C_{sp} + C_{dc}Z + C_{db}A_{CDB} \quad (4-52)$$

其中 A_{CDB} 是 PN 结平面部分的面积。

栅漏电容 C_{gd} 包括两部分：一个是栅衬垫电容 C_{gp} ，另一个是跨于两个 P 岛之间的 N 外延区上的栅构成的电容，其单位面积的电容用量用 C_{ox} 表示。于是

$$C_{gd} = C_{gp} + F_{CGD}C_{ox}A_{CGD} \quad (4-53)$$

A_{CGD} 是这部分的面积，而 F_{CGD} 是照顾到外延区表面的电位远小于漏电位而引入的一个修正因子。

栅与沟道间的电容 C_{gc} ，显然它可写为

$$C_{gc} = F_{CGC}C_{ox}LZ \quad (4-54)$$

其中 F_{CGC} 是考虑到电子速度饱和而引起此电容增加而引入的修正因子^[30]。

3) 分布电阻： R_c , $1/g_d$, R_g , R_s

与 C_{gc} 串联的是沟道分布电阻 R_c ，它一般为 g_{m0} 的 1/2.5 到 1/5 倍。

与 C_{ds} 相并联的是有源 MOS 的输出电导 g_d ， $1/g_d$ 一般很大，在高频时与 C_{ds} 相比可以略去。

分布栅电阻 R_g 可由栅金属的方块电阻 $\rho_{\square g}$ 按下式

$$R_g = \frac{1}{3} \frac{\text{条长}}{\text{条宽}} \cdot \rho_{\square g} / \text{叉指条数}(N) \quad (4-55)$$

求得，这里假定图形是叉指条式的。

分布源电阻 R_s 可由 N^+ 源扩散的方块电阻求得。

4) 封装寄生参量

包括源漏杂散电容 $C_{d,x}$ ，栅源杂散电容 $C_{g,x}$ 及栅漏杂散电容 $C_{g,dx}$ ，其值通常由实验决定。

还包括金属内联线的电感 L_g , L_s , L_d , 它们都有两部分: 叉指条的联线电感和内引线的电感。

叉指条的横截面如为宽 B 高 C , 则其自感为^[37]

$$L_t = \frac{0.002l_t}{N} \left(\ln \frac{2l_t}{B+C} + \frac{1}{2} \right) \quad (\mu\text{H}) \quad (4-56)$$

其中 l_t 是指条的长度, 内引线电感等于一个半径为 r_0 、长为 l_w 的导线的自感, 可以由下式求得:

$$L_w = \frac{0.002l_w}{N_s} \left(\ln \frac{2l_w}{r_0} - \frac{3}{4} \right) \quad (\mu\text{H}) \quad (4-57)$$

N_s 为并联的内线数量。

在很高频率下, 封装寄生参量不能忽略。

上述等效电路对 VVMOS 及 VUMOS 也是适用的, 只是 R_d 等参量的计算公式不同而已。

根据等效电路可求出两种高频优值, 一种是最高振荡频率 f_{max} , 即最大单向功率增益为零分贝时的频率, 另一种是转换增益 G_T , 即高频下送到负载的功率与从电源得的最大功率之比。

Mc Gregor 等人对如图 4-46 所示的一个 VVMOS 和一个 VDMOS 作了比较, 图中列出了工艺参数及图形参数的符号、数值以及偏置条件。

由图中的参数可以求出两种 MOS 的电路元件值, 列于表 4-4 中。两种 MOS 的主要差别是: 1) VVMOS 的 g_{m0} 略小, 因为电子沿 $\langle 111 \rangle$ 的饱和速度较沿 $\langle 100 \rangle$ 的为小; 2) VVMOS 的栅与沟道间的电容较大, 因为它的沟道较长。芯片的有效面积 (不包括键合的衬垫面积) 为 $A = ZS/2$ 。由表中最下面两行可知, VDMOS 的 G_T 与 f_{max} 均较 VVMOS 的为高。

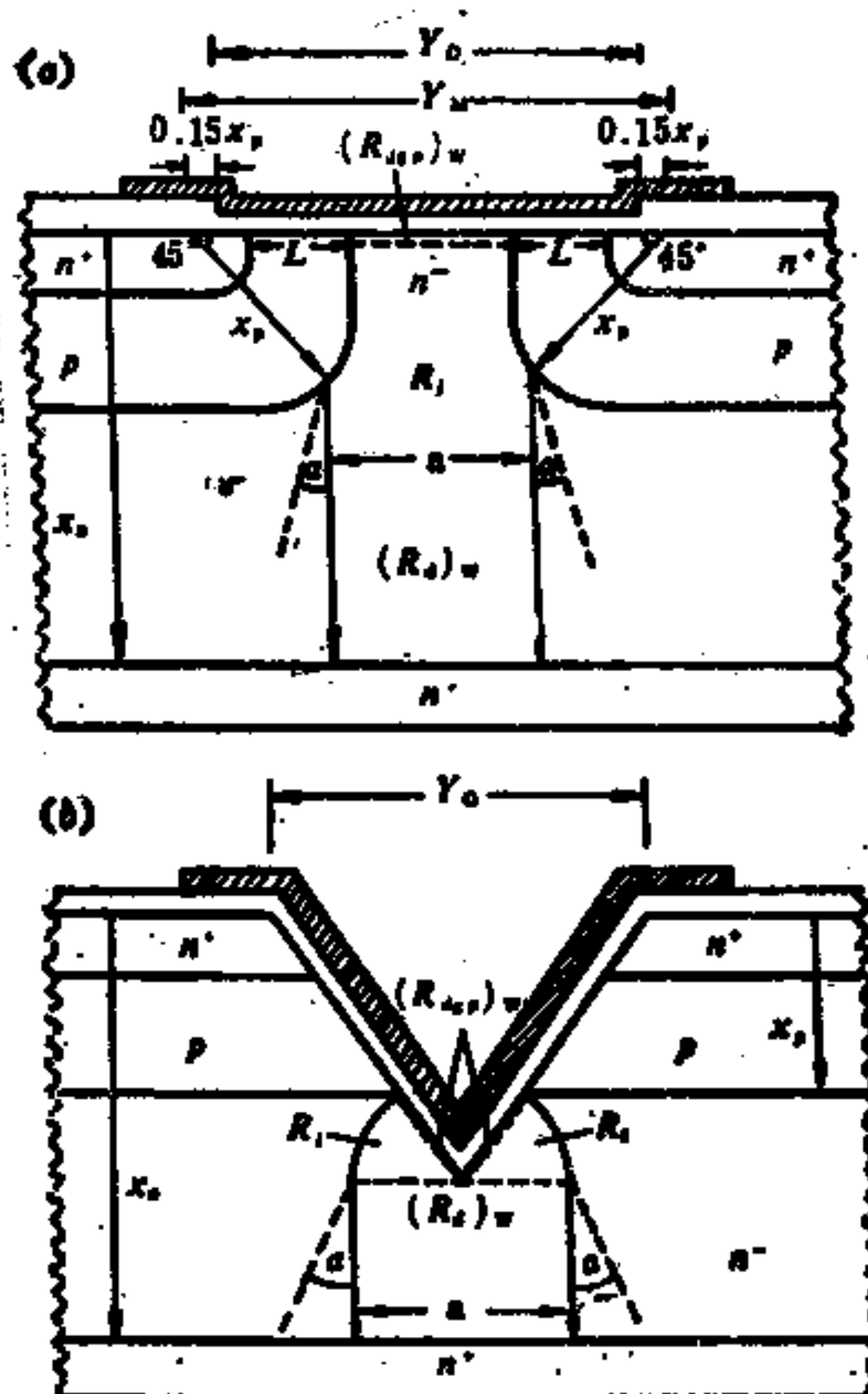


图 4-46 一个 VDMOS(a) 及一个 VVMOS 的设计(b)

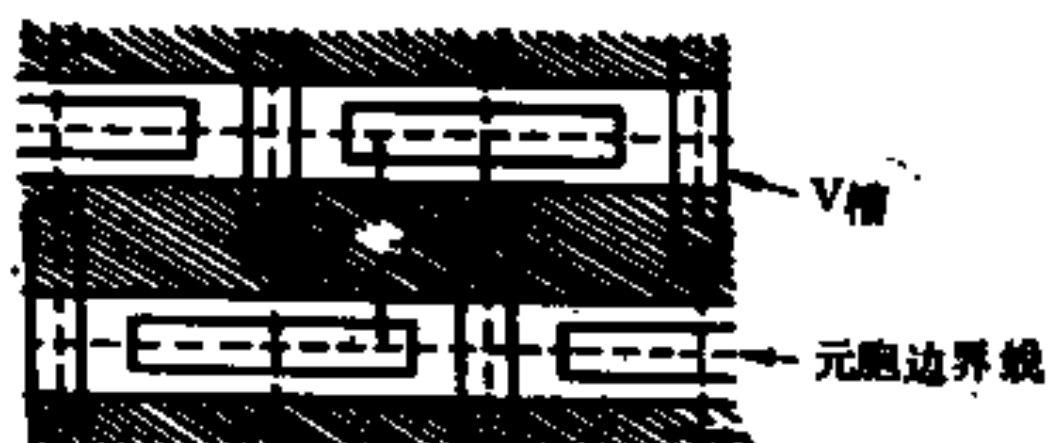
【图中参数: $Z = 0.4\text{cm}$, $Y_{OV} = 2\mu\text{m}$, $Y_G = 6\mu\text{m}$, $Y_D = 10\mu\text{m}$, $C_{SP} = 2.1\text{pF}$, $C_{GP} = 0.6\text{pF}$; 工艺参数: $C_d = 34.5\text{nF/cm}^2$, $t_{ox} = 0.1\mu\text{m}$, $x_{p+} = 3\mu\text{m}$, $x_{n-} = 7\mu\text{m}$, $x_{n+} = 0.8\mu\text{m}$, $x_p = 2\mu\text{m}$, $L = 1\mu\text{m}$, $N_D = 5 \times 10^{15}\text{cm}^{-3}$; 偏置参数: $V_D = 20\text{V}$, $I_D = 100\text{mA}$, $V_G - V_{th} = 2.3\text{V}$ 】

如果采用双层金属化布线（多晶硅或硅化物），则图形可以不用叉指条式，封装密度（ Z/cm^2 ）可比单层布线大很多。这时， C_{ds} ， C_{gs} 都将有所降低。唯一的缺点是由于栅非金属， R_g 略高。各种不同图形的多晶硅栅或硅化物栅的俯视图如图4-47所示，其剖面图如图4-48所示。

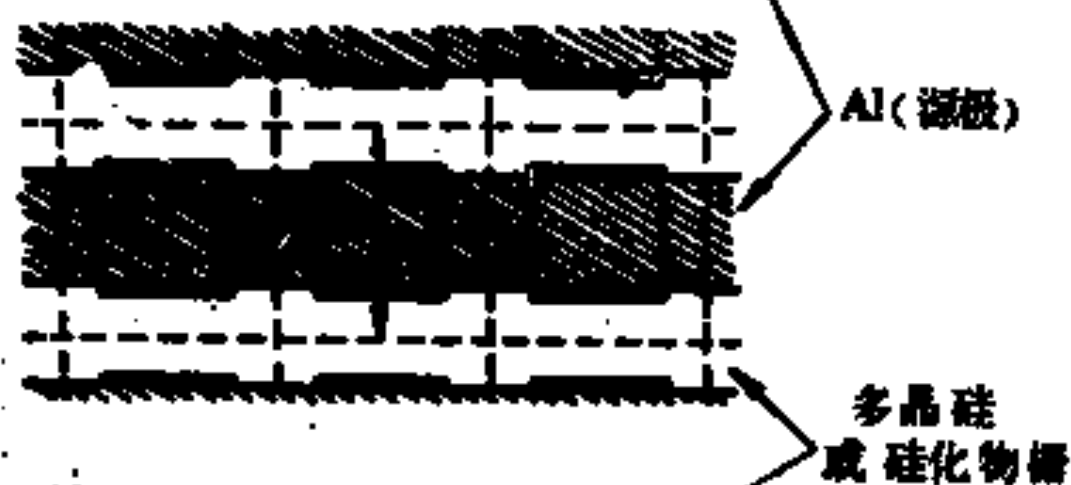
表4-4 金属栅VVMOS与VDMOS元件值及优值

元 件 参 数	VVMOS	VDMOS
$L_g(\text{nH})$	1.5	
$L_s(\text{nH})$	0.5	
$L_d(\text{nH})$	0.0	
$R_g(\Omega)$	0.0	
$R_s(\Omega)$	0.1	
$R_d(\Omega)$	5.1	5.6
$C_{gs}(\text{pF})$	2.1	
$C_{gd}(\text{pF})$	4.1	2.8
$R_o(\Omega)$	6.1	5.1
$C_{gd}(\text{pF})$	1.2	
$g_{m0}(\text{mS})$	55	65
$T_r(\text{pS})$	42	36
$C_{ds}(\text{pF})$	6.1	
$C_{gdx}(\text{pF})$	0.01	
$C_{gsx}(\text{pF})$	0.01	
$C_{dsx}(\text{pF})$	0.02	
有源区面积(10^4) μm^2	8.0	8.8
$G_T(f=300\text{MHz})(\text{dB})$	9.1	10.6
$f_{max}(\text{GHz})$	1.9	2.3

(a)
T-VVMOS



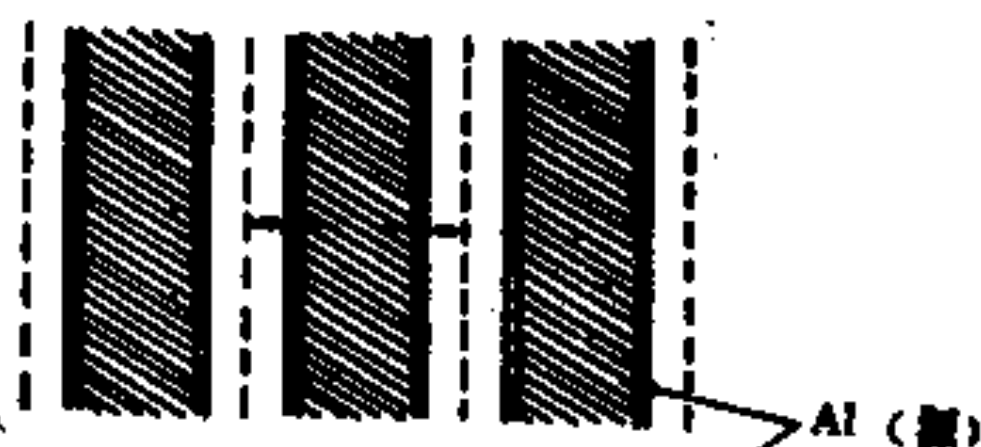
(b)
方形VDMOS



(c)
六角VDMOS



(d)
对称式VDMOS



(e)
圆形VDMOS



(f)
三角VDMOS



图 4-47 多晶硅(或硅化物)栅的俯视图

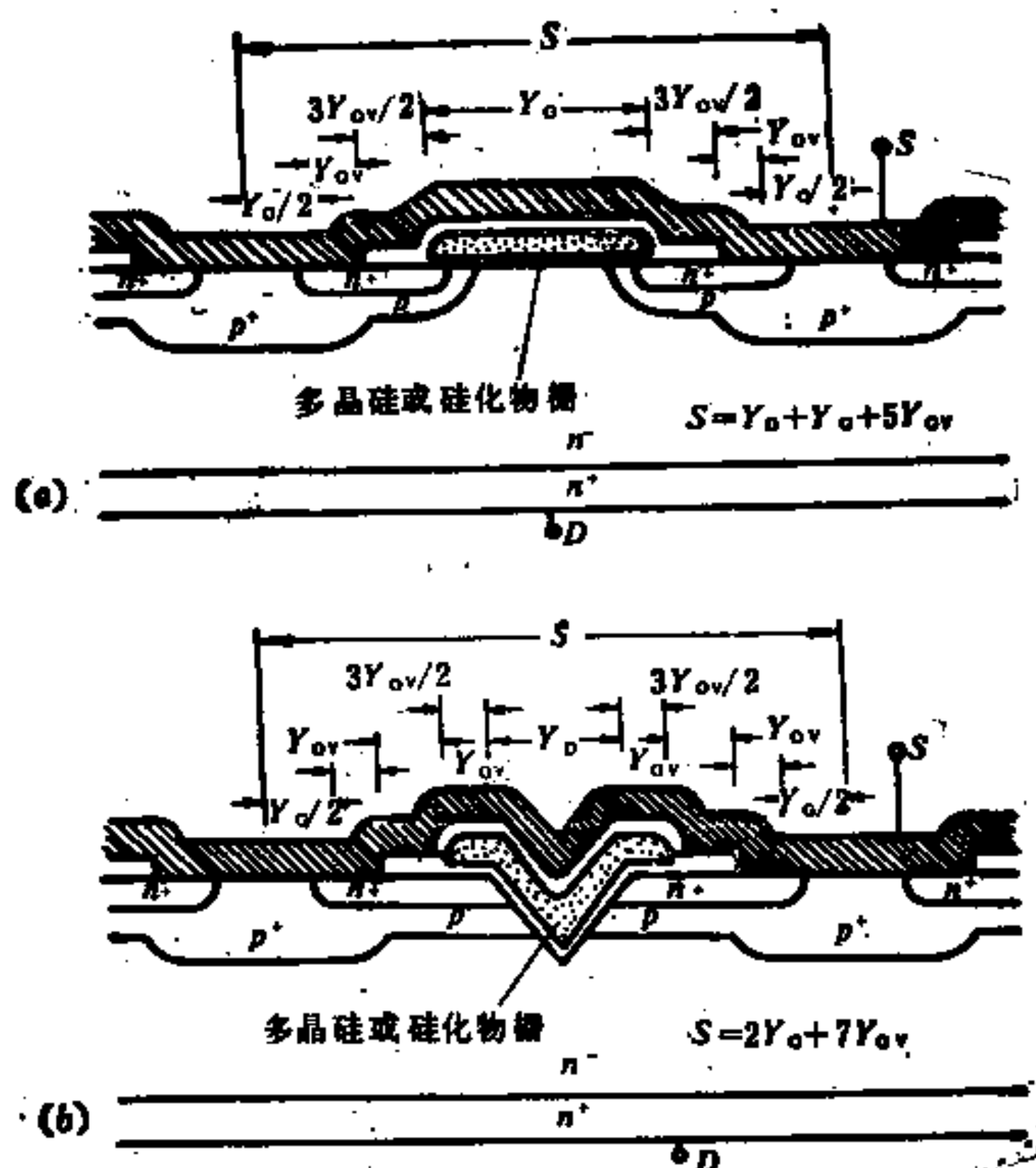


图 4-48 多晶硅(或硅化物)栅的剖面图
(a)VDMOS; (b)VVMOM

等效电路中元件之值对前面叉指条图形是以单位栅宽来计算的, 而对这里的元胞图形则可以证明, 不同图形下单个元胞的元件值以 S^2 除后是一样的。在同样的条件下, 这里 VDMOS 的 S 值可比金属栅少 $(2Y_G + 3Y_{ov})$, 而对 VVMOS 则可少 $(2Y_G + Y_{ov})$, 因此结构密度提高。在这种双层布线的情形下, 有一点和叉指式不同, 那就是现在增加了一个金属与多晶硅(或硅化物)之间的电容, 此电容典型值为 11.5 nF/cm^2 。

采用多晶硅栅后, 对于同样耐压 60 V (从而 $x_B = 4 \mu\text{m}$) 及 $Z = 0.4 \text{ cm}$ 的管子, 所得电路参数和前面叉指条式金属栅结构比

表 4-5 本节举例的功率 MOS 电路元件及优选

元 件 参 数	金属栅 VDMOS	T-VDMOS	方形、三角形、六角形、元胞 VDMOS	叉指式 VDMOS	圆形元胞 VDMOS
L_g (nH)		1.5			
L_s (nH)		0.5			
L_d (nH)		0.0			
R_s (Ω)		6.1			
R_d (Ω)	5.6	5.1	4.8	5.6	4.3
C_{gs} (pF)	2.1	3.0	1.7	0.8	1.8
C_{gc} (pF)	2.8	4.1	2.8	2.8	2.8
R_c (Ω)	5.1	6.1	5.1	5.1	5.1
C_{gd} (pF)	1.2	1.2	1.4	1.2	1.7
g_{mo} (mS)	65	55	66	65	65
τ (ps)	36	42	36	36	36
C_{ds} (pF)	6.1	4.9	3.8	4.6	3.8
C_{gsx} (pF)		0.01			
C_{dsx} (pF)		0.02			
C_{gdx} (pF)		0.01			
栅 材 料	Al				
R_g (Ω)	0.0	1.4	1.7	4.3	1.7
有源区面积 ($10^{-4}\mu\text{m}^2$)	8.8	4.6	3.9	5.2	4.3
G_T ($f = 300\text{MHz}$ (dB))	10.6	9.1	11	11.5	10.1
f_{max} (GHz)	2.3	1.7	2.3	2.0	2.2
					2.5

较如表 4-5 所示。主要有以下几点不同：1) 工作面积几乎可小 1 倍；2) 除 T-VVMOS 外， C_{gs} 都下降了。T-VVMOS 因为不是自对准工艺，因此 C_{gs} 较大；3) 由于密度提高， C_{ds} 降低了 40%；4) 在 T-VVMOS 中， G_T 比金属栅 VDMOS 的低 16%，这是由于它的跨导较小且 C_{gs} 及 C_{ds} 较高；5) 一般讲，密度提高后， G_T 及 f_{max} 只有少量提高，这里因为衬垫电容 C_{sp} 及边、角电容 C'_{ds} 并没有因密度提高而减少，而它们占了 C_{ds} 值的 90% 以上。

§ 4-4 IGT

功率 MOS 在电路应用上的主要优点是：1) 电容输入，2) 电压控制，3) 高速度，4) 热稳定。与此相关的优点是使用的电路可以简化且与逻辑电路有兼容性^[25]。但是，如前所述，功率 MOS 存在一个严重问题，即高耐压与低导通电阻之间的矛盾，这使它作为大于 500V 的器件极为不利，这个矛盾固然可以用加大芯片面积来解决，但这又会引起开关速度变慢及成本提高的问题。

这个矛盾触发了人们的新思想：一方面保留功率 MOS 的特点，另一方面又引入一个双极型晶体管，注入载流子来调制电导，事实上，这是 IGT 有 COMFET 这一名词的来源。

1. 结构与输出特性

图 4-49(a) 表示一个功率 MOS 的简化等效电路，其中除有源区外，还包含了漂移区，此区宽度受两个 P 阱引起的耗尽层的调制，故用了一个耗尽型 JFET 表示。如将此器件与一个 PNP 晶体管的基极相联，构成达林顿电路，如图 4-49(b) 所示。这时流过 MOS 的电流只占总电流的 $1/(1+\beta)$ ，加于 MOS 管的电压也变低。当然，如要保证开关速度高及晶体管的耐压高 ($V_{(BR)CEO}$ 高)，则 β 必须较低。图 4-49(b) 画成图 4-49(c) 则更易看出

JFET与PNP管的联系。

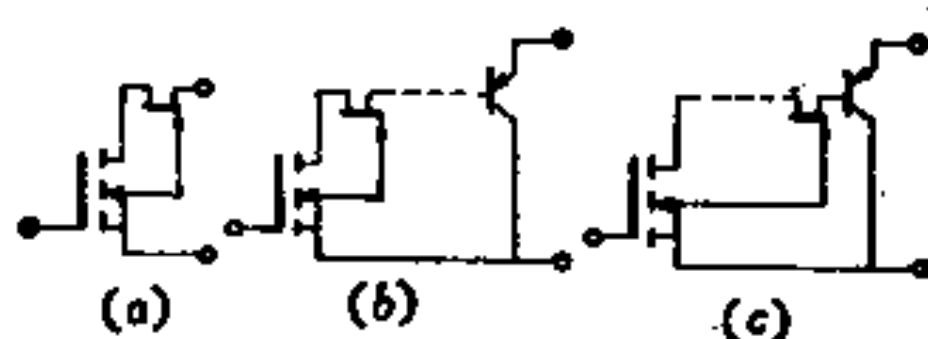


图 4-49 简化等效电路

(a) 功率MOS; (b) IGT; (c) IGT(说明JFET与BJT的联系)

图 4-50(a)示出 IGT 的结构示意图, 其中有 BJT 作用的部分已在图中画出, 其详细的等效电路如图 4-50(b)所示。其中

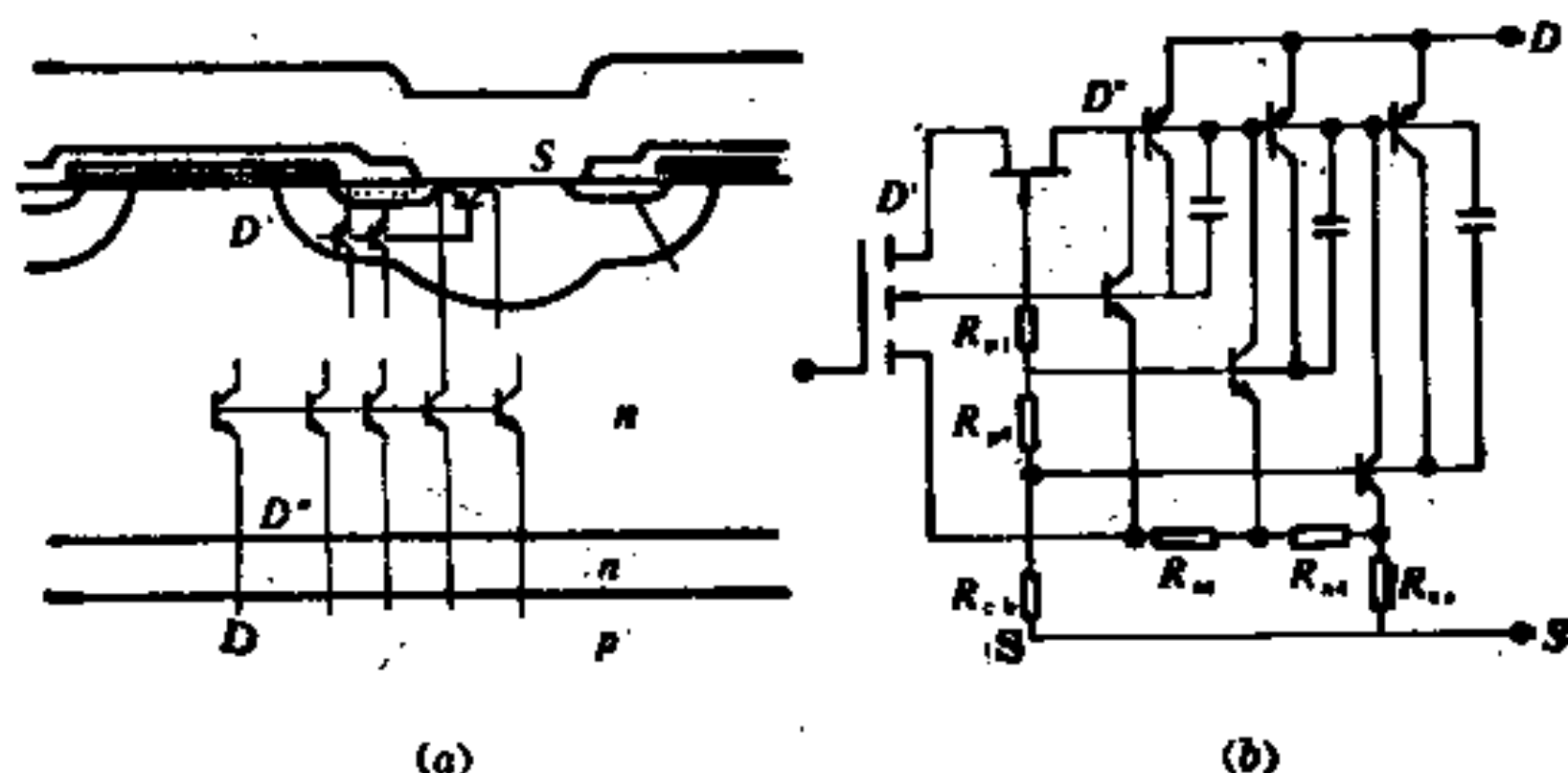


图 4-50 IGT的结构(a)与等效电路(b)

R_{cs} 与 R_{cb} 是金属到硅的接触电阻, $R_{n1}, \dots, R_{n4}$ 及 $R_{p1}, \dots, R_{p4}$ 是分布横向电阻, 阻值由 N^+ 与 P 区的薄层电阻及几何尺寸决定。显然, 流经 MOS 的只是 BJT 的基极电流, IGT 的剖面图与功率 MOS 的区别只在于现在用了 P^+ 衬底代替原来的 N^+ 衬底。

IGT 管的一种符号表示法如图 4-51所示, 其中“N 沟道”指的是 NMOS, P^+ 衬底为漏(D), 通常运用中漏加正电压(对源而言)。还有一种是将上述的各 N 区、 P 区全部颠倒过来, 称为 P 沟道 IGT, 通常运用中漏加负电压。我们以 N 沟道 IGT 来讨论开关运用情况。

现在讨论 IGT 的 $I \sim V$ 特性 (输出特性), 如以源的电位

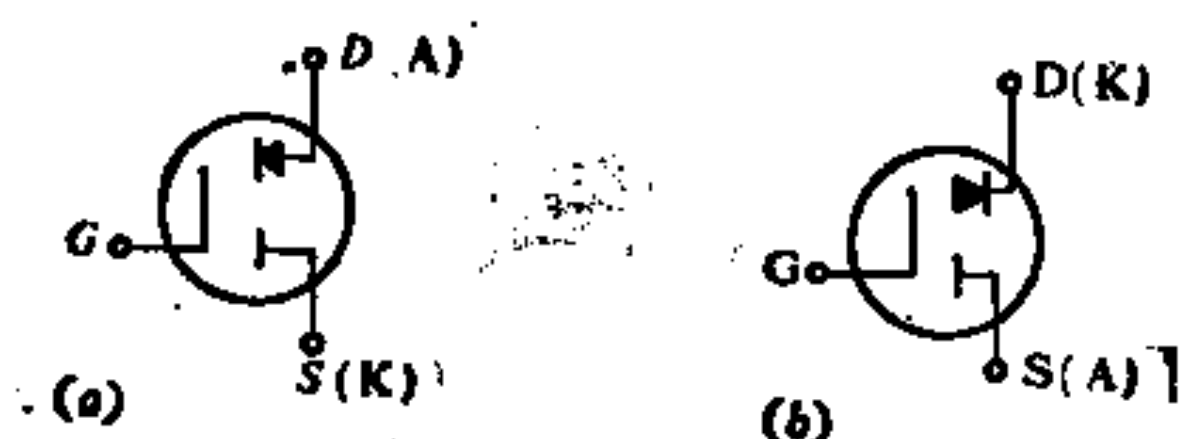


图 4-51 IGT 的符号表示法 (源、漏也常用阳极 A 及阴极 K 表示)

为参考点, $V_D < 0$ 时, 衬底 P^+ 与外延 N 区的 PN 结为反偏压, 此时 IGT 为阻断状态, 见图 4-52 第三象限内的曲线。这一点和功率 MOS 完全不同, 它在这个象限内是导通的。如果 $V_D > 0$ 而 $V_G < V_{th}$, 则上面的 P 区和外延 N 区处于反向偏置, 也是阻断的, 称为正向阻断, 见图 4-52 中第一象限的最下一条曲线。

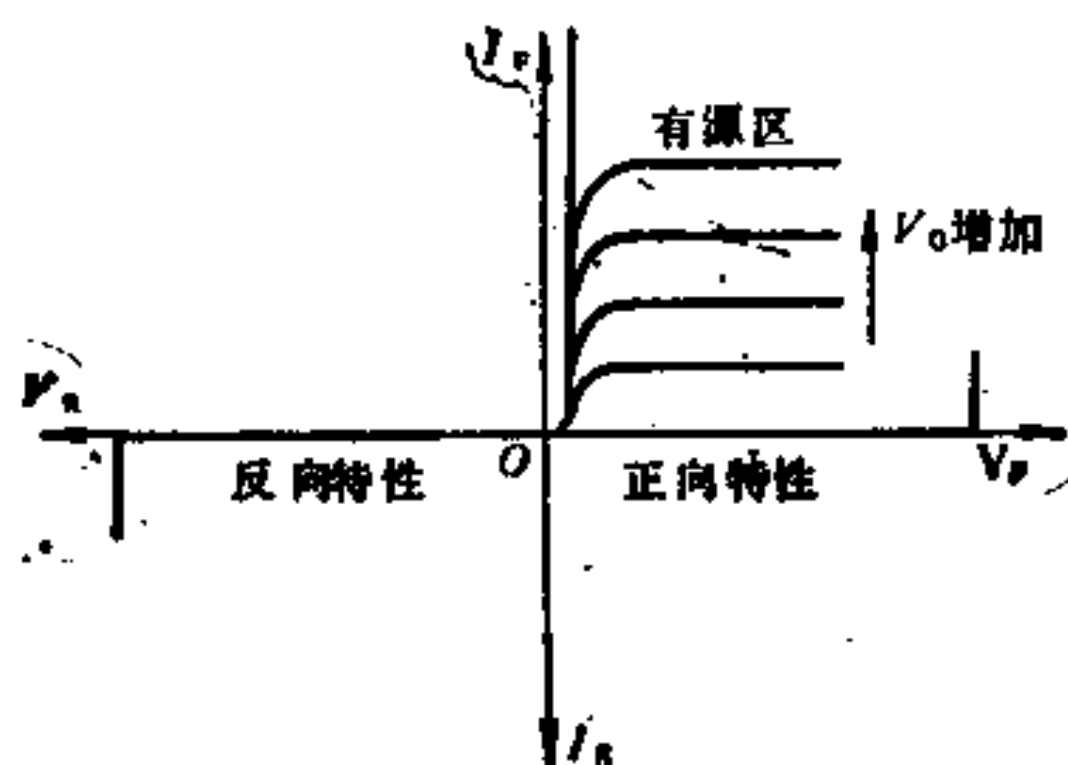


图 4-52 IGT 的输出特性

如果 $V_D > 0$ 且 $V_G > V_{th}$, 则 MOS 有源区部分导通, 电子从表面沟道流到 N 外延区, 形成 BJT 的正向基极电流, 这使 BJT 导通, 衬底 P^+ 与 N 外延区构成的发射结处于正偏置, P^+ 区向 N 区注入空穴, 注入空穴的一部分在 N 外延区与 MOS 沟道区来的电

子复合，另一部分向上流入P区， V_B 增加，则BJT的集电极反

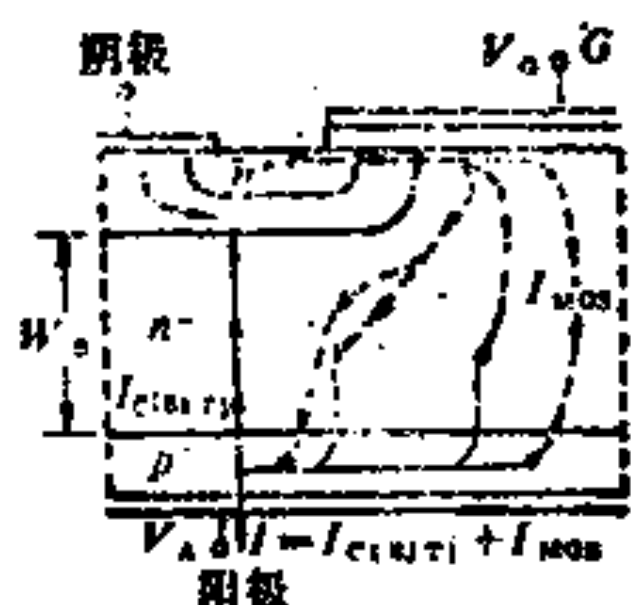


图 4-53 IGT 一个元胞内各电流成分（实线箭头为空穴流，虚线箭头为电子流）

偏压增加，即上面P区与外延区的耗尽层厚度增加，总电流几乎不变。 V_G 增加，则使基极电流增加，集电极电流也增加，这就是图4-52的各条曲线，从图中可知，各条曲线都是在一定正向电压之后，才达到一定电流的。

根据上面讨论，IGT在导通时的电流可以用图4-53中箭头表示，由MOS过来的电子电流与由P+NP的BJT的发射极注入的空穴流的一部分在基区复合，这个电流用 I_{MOS}

表示，空穴流中未复合而到达集电极的这部分用 $I_{C(BJT)}$ 表示，IGT的电流为这两者之和。故IGT的压降 V 为

$$V = V_{p+n} + V_{epi} + IR_s + I_{MOS}(R_{ch} + R_D) \quad (4-58)$$

是中 V_{p+n} 是BJT的发射结电压， V_{epi} 是基区的电压降， R_s 是P+区（衬底）的电阻， R_{ch} 是MOS沟道区电阻， R_D 代表电子从沟道区流入“颈部”再从其出来在路径上的电阻，这一段象一个JFET， I 是IGT的总电流， I_{MOS} 是沟道电流，它们存在关系：

$$I = I_{MOS} + I_C \quad (4-59)$$

$$\beta = \frac{I_C}{I_B} = \frac{I_C}{I_{MOS}} \quad (4-60)$$

其中 I_C ， I_B 是BJT的集电极电流及基极电流， β 是电流放大系数。

图4-54示出导通时IGT、功率MOS、BJT（双极型晶体管）的电流和压降的关系。这里假定芯片面积均为 0.09cm^2 ，阻断电压均为400V，显然，电流大时，以IGT的电压降最小，这是

电导调制作用的效果。为了说明这点，我们回到图4-37所示功

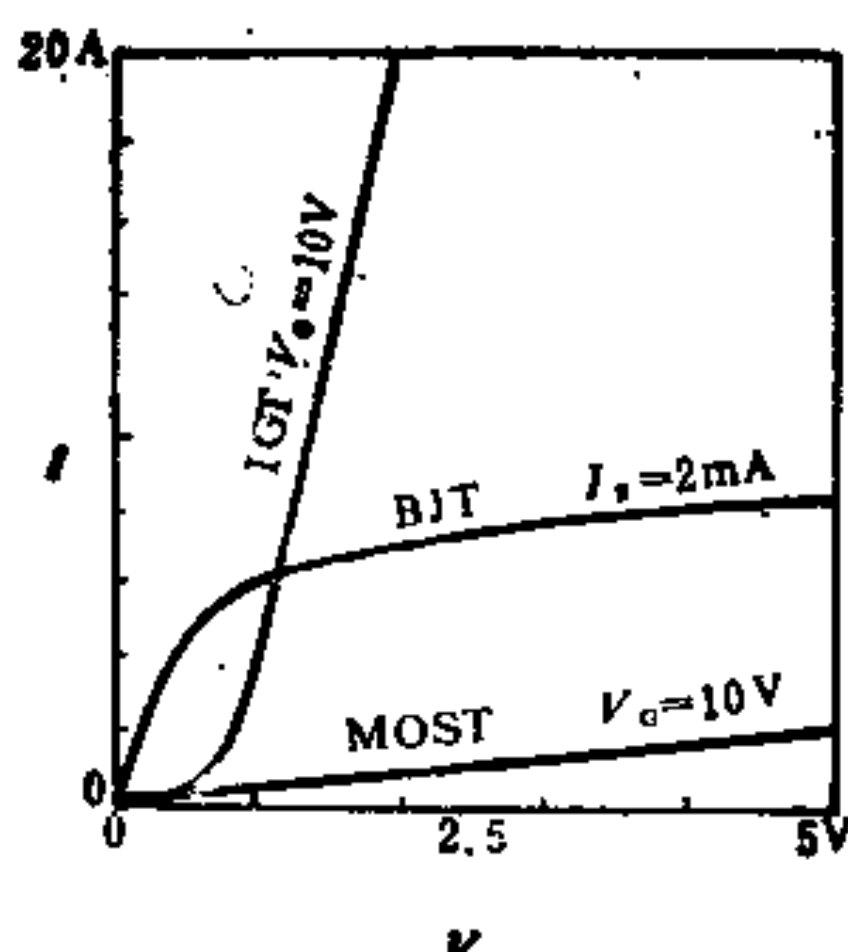


图4-54 BJT、MOS、IGT的输出特性

率 MOS 导通电阻及其各分量与耐压关系来讨论。如果由于注入载流子使外延层电阻率为零，那么第7项与第8项均不存在，总 R_{on} 约为 $2 \sim 8 \text{ m}\Omega \cdot \text{cm}^2$ ，但事实上，这里正向注入和反向耐压的关系问题可以和PIN二极管相比拟。人们已经熟知，PIN二极管正向时至少有50到几百毫伏的压降，此压降几乎与电流大小及少子寿命无关^[38]。由此可以较准确

地估计 IGT 导通时的压降：BJT 的发射极要起注入作用约需 0.6V 作正偏压，基区有调制作用时其压降由 PIN 管的类比可知约 0.1V，这两部分约需 0.8V，除此以外，还需加上未受调制区域的欧姆压降及其它欧姆压降。这里要求 BJT 必须处于深饱和（即硬饱和）工作，故 BJT 的电流放大系数 β 很低。

2. 开关速度

图4-55示出栅加脉冲电压时，漏的输出电流和输出电压的变化。

在开启过程中，IGT 作用可以用图4-49(c)来解释。 V_G 突然加上后，图中的 MOS 管迅速导通，从而使 BJT 的发射极很快就有注入电流，这是图4-55中 I_D 很快上升的前沿。在此之后，由于注入少子在 BJT 中渡越需要时间，在基区建立定态相对应的少子总量也需要时间，因此 PNP 管的集电极电流（从而发射极电流）有一个缓慢的上升，这相当于一个 BJT 动态 V_{be} 和条件，随着集电极电流增加，少子贮存接近定态值，基极电流相应

地减少，即 MOS 管电流变得较小。

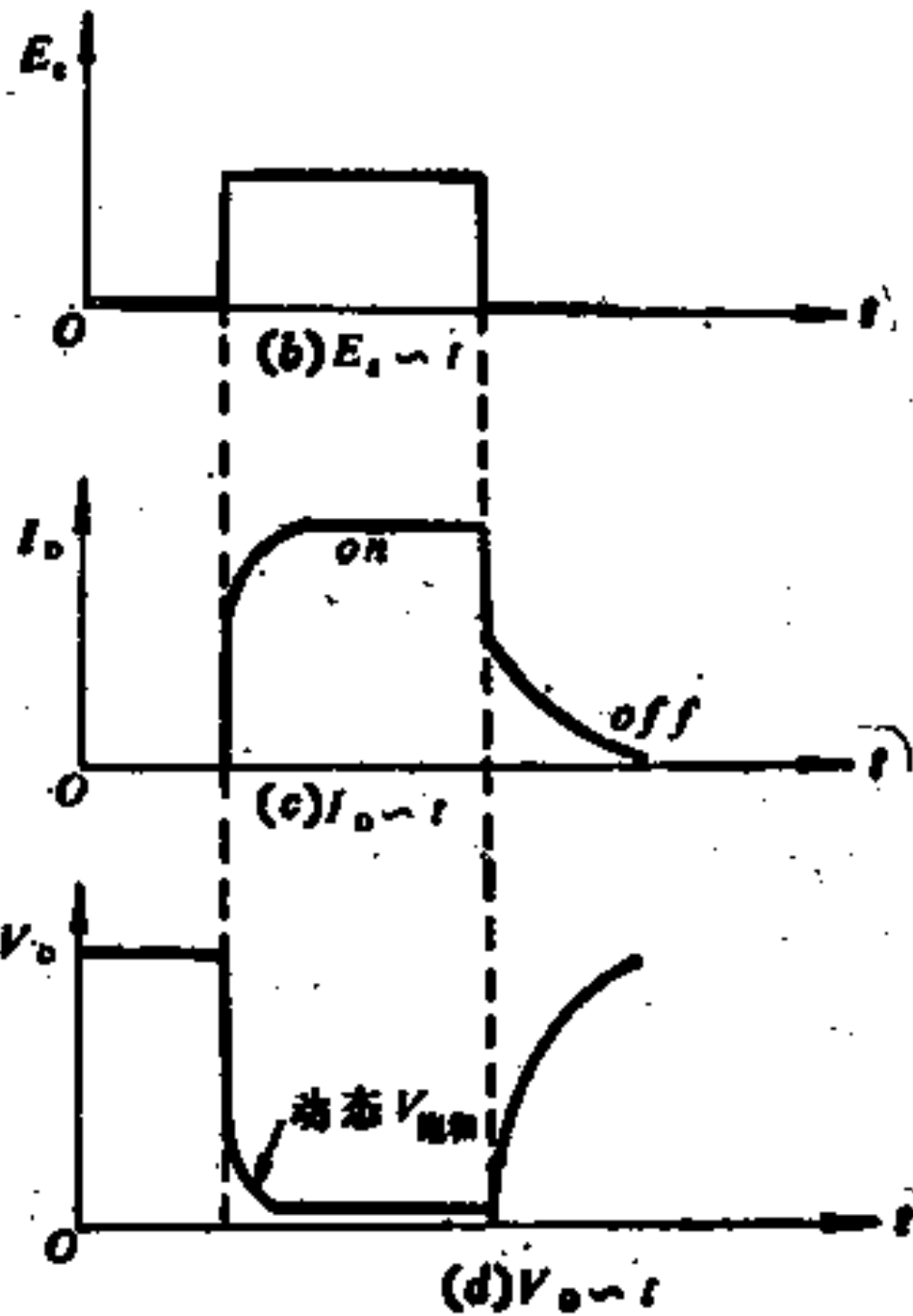
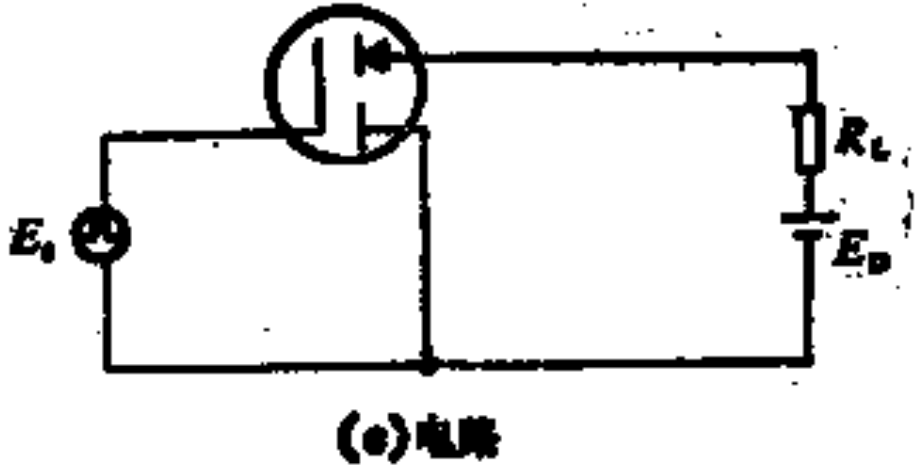


图 4-55 IGT 在脉冲运用时输出波形的变化

上升过程比起下降过程来是短得多的，下降过程分两个阶段：第一个阶段是一个电流迅速下降的过程，第二个阶段是一个缓慢下降的过程，这后一个阶段的时间最长，是人们关心的主要对象，郭迪生等人用电荷法进行了下降过程的计算^[39]。Baliga 证明^[40]，快速下降阶段是由 MOS 沟道很快使电流下降引起，

电子在此沟道的渡越时间不到 1 ns 。我们将采取 Fossum 的分析^[41]，因为其物理概念清楚，关于耗尽层宽度的调制作用考虑得也比较正确。

上升过程结束后 IGT 达到稳态，其压降为式(4-58)，其总电流为 $I_0' = I_{\text{MOS}} + I_{\text{C}}$ ， I_{MOS} 与 I_{C} 的关系为式(4-60)。如用电荷法来描写 I_{C} ，则定态下 I_{C} 就是少子引起的电流 I_{Cp} ，

$$I_{\text{C}} = I_{\text{Cp}} = Q_{\text{p0}} / \tau_{\text{b0}} \quad (4-61)$$

其中 Q_{p0} 是定态下基区的少子电荷总量， τ_{b0} 是基区渡越时间。由于集电结（图 4-56 的 J_2 ）在导通时反偏压之值很低，中性基区厚度约等于图 4-56 的 W ，定态渡越时间为

$$\tau_{\text{b0}} = \frac{W^2}{4K_{\text{A}}D_{\text{p}}} \quad (4-62)$$

其中因子是 4 而不是 2，这是因为大注入下有效扩散系数为小注入的 2 倍。因子 K_{A} 系照顾到非一维的情形，对于通常一维的近似而且假设基区中少子复合可略的情形， $K_{\text{A}} = 1$ 。现在基区很厚， W 并非远小于扩散长度，再加上电流在外延区中存在非一维的流动，故假设一个比 1 大的因子 K_{A} 。作为半经验决定 K_{A} 的方法， K_{A} 之值可假设为（集电极面积/外延层面积）。

在快速下降阶段，我们可认为 $t = 0$ ， $I_{\text{MOS}} = 0$ ，但是 I_{Cp} 不可能突变，这是因为 J_2 结有结电容，反偏电压不会突变，在这个过程中，结电容进行充电，反偏压逐渐提高，与此同时，中性基区不断变薄，渡越时间 τ_{b} 也不断变小。

因此，这个阶段的电流可认为是

$$\begin{aligned} I_{\text{D}}(t) &= I_{\text{C}}(t) + I_{\text{MOS}}(t) \\ &= I_{\text{C}}(t) = I_{\text{Cp}}(t) + \frac{dQ_{\text{J2}}(t)}{dt} \end{aligned}$$

其中 Q_{J2} 是结电容的电荷， $I_{\text{Cp}}(t)$ 是少子被抽走的电流，

$$I_{Cp}(t) = Q_p(t) / \tau_b(t) \quad (4-63)$$

因为耗尽层厚度 $x_d(t)$ 随时间变, 中性基区宽度为 $W - x_d(t)$ (见图 4-56), 故渡越时间也随时间而变:

$$\tau_b(t) = \frac{[W - x_d(t)]^2}{4K_A D_p} \quad (4-64)$$

Fossum 等人作了一个重要假设, 就是在这第一阶段, 少数电荷的总量 $Q_p(t)$ 近似不变, 虽然其分布可能有变化。我们对这个假设解释如下: 首先, 因为第一阶段总时间远短于少子的基区渡越时间及复合寿命, 因此少子抽出及复合均可忽略。关于结电容的充电电流, 其实这也涉及少子电流, 所谓结充电其实就是在 J_2 的边缘原为中性的区域 ($n = p + N_D$), 空穴被拉向集电区, 电子只能被 J_1 结拉向发射区 (使中性的结边缘变为只有电离杂质的正电荷区)。但是发射结 J_1 是正向偏置的, 既然有电子流出去 (反向注入), 自然更有空穴流出来, 而且空穴流比电子流大得多 (因为注入效率近于 1)。这就是说, 电流的连续性是靠空穴流来维持的, 拉走的充电电荷由空穴注入来补充, 故空穴总数近似不变。

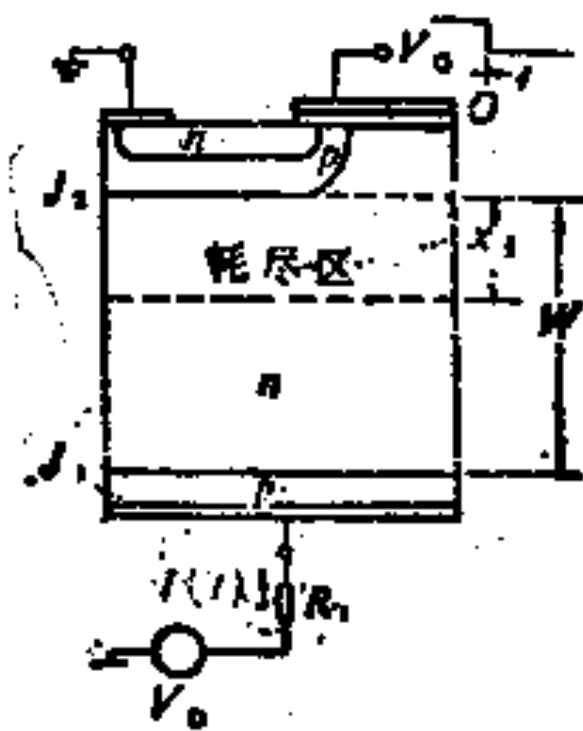


图 4-56 IGT 的偏置及关断电路

下降的第一阶段所完成的工作主要是结 J_2 的充电, 即基区最后有个很大的耗尽区, 其厚度为 x_{dm} , 在这个阶段结束时, $dQ_{J_2}(t)/dt = 0$, $\tau_b = [W - x_{dm}]^2 / 4K_A D_p$ 。

而 Q_p 仍为 Q_{p0} , 故

$$I = I_1 = \frac{Q_{p0}}{(W - x_{dm})^2 / 4K_A D_p} = \frac{I_0 - I_{MOS}}{(1 - x_{dm}/W)^2} \quad (4-65)$$

其中后一式是用了式(4-59)式, 式(4-61)、(4-62)的结果, x_{dm} 由 J_2 的最大结电压 V_{J2m} 决定:

$$x_{dm} \approx \left(\frac{2\varepsilon_s V_{J2m}}{qN_D} \right)^{\frac{1}{2}} \quad (4-66)$$

V_{J2m} 可由外电路条件定出, 对于图 4-56 的电路情形, 由于导通时 $I_0 R_L \approx E_D$, 电流为 I_1 时 $V_{J2m} = E_D - I_1 R_L$, 故

$$V_{J2m} = E_D \left(1 - \frac{I_1}{I_0} \right) \quad (4-67)$$

下降的第一阶段电流的总变化 $\Delta I = I_0 - I_1$, I_0 可由式(4-59), 式(4-61), 式(4-62)得到, 减去式(4-65)得到

$$\Delta I = I_0 - I_1 = I_{MOS} \left\{ 1 - \beta \left[\frac{1}{(1 - x_{dm}/W)^2} - 1 \right] \right\} \quad (4-68)$$

其中利用了式(4-59)及式(4-60), 即 $\beta = (I_0 - I_{MOS})/I_{MOS}$, 由此可见, 第一阶段的电流总降落 ΔI 小于定态下的 I_{MOS} ①, 这是因为这一阶段有了一个 J_2 结的充电电流, 过程由它控制了。

下降过程电流的变化, 原则上可以以耗尽层变宽的充电电流 $I_{cp}(t) = AqN_D dx_d/dt$ (A 为器件面积), 结合式(4-63), (4-64)来求, 但这是非线性方程, 因为过程时间很短, 并不需要具体求出, 对下一阶段的过程重要的是知道 ΔI 。

现在分析下降过程的第二阶段, 这一阶段之所以缓慢, 是因为少子在基区复合需要时间的缘故。先从电荷方程看, 由基极电流为零, 参考图 4-57, 可知

$$\begin{aligned} I_E - I_C &= (I_{EP} - I_C) + (I_{Es}) \\ &= \left(\frac{Q_p(t)}{\tau_b} + \frac{dQ_p(t)}{dt} \right) + \left(\frac{Q_n(t)}{\tau_n} + \frac{dQ_n(t)}{dt} \right) = 0 \end{aligned} \quad (4-69)$$

① 在文献[39]及[40]中得到 $\Delta I = I_{MOS}$ 的结论有局限性。

上式第一项代表单位时间内由复合消失的空穴电荷，其中 τ_h 代

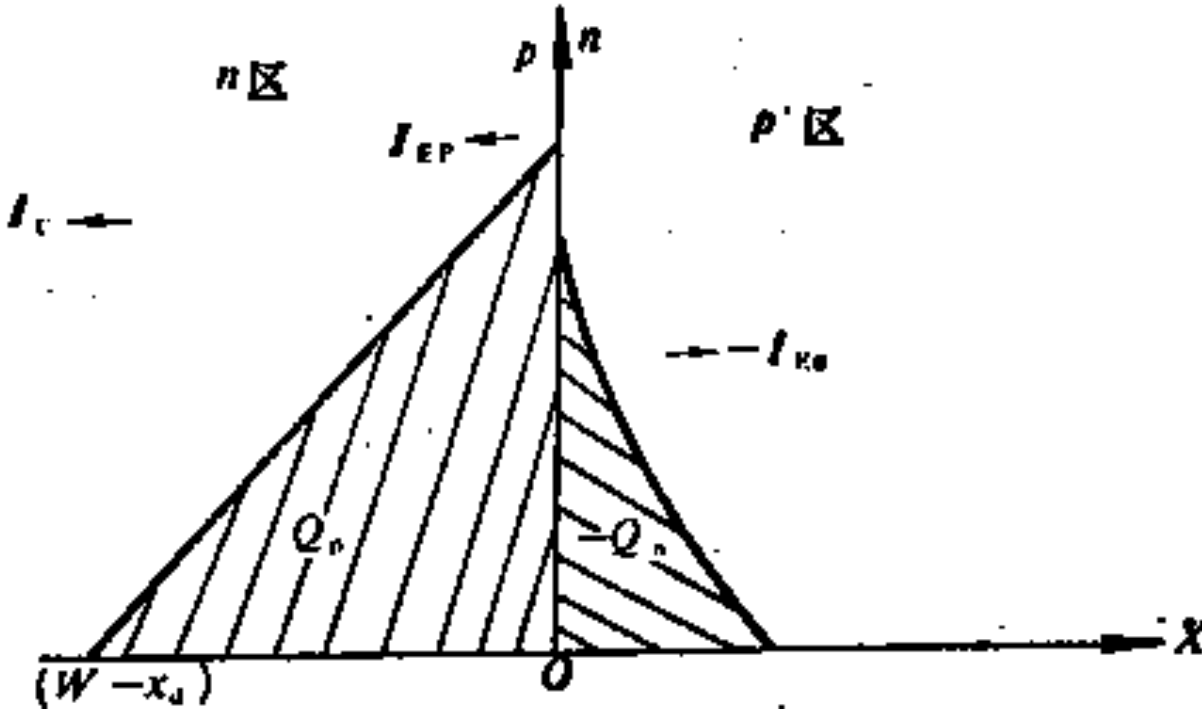


图 4-57 N区与P⁺区中少子电荷与电流的关系

表大信号的寿命，第二项代表基区空穴电荷的变化，这两项之和应等于发射结流入基区的空穴电流减去集电结流出的空穴电流。由于非平衡电子由基区注入发射区，它也造成发射结电流，这部分电流为上式第三项及第四项，第三项代表电子电荷在P⁺区的损失率， τ_n 代表P⁺区的少子寿命，第四项代表该区电子数量的变化，这两者都要基区通过 J_i 流进电子电流（发射结电流的一部分）。基极电流既然为零，发射结电流应等于集电结电流，结果便是上式。

在准定态的情形下， Q_n 与 Q_p 可联系起来，对 Q_p 来说，如中性基区厚度 $(W - x_{dm})$ 比扩散长度短，则

$$Q_p = qA(W - x_{dm}) \cdot p(0)/2 \tag{4-70}$$

$p(0)$ 是基区在发射结边缘处的少子浓度^①，对 Q_n 来说

$$\frac{Q_n}{\tau_n} = AJ_{n0} \left(\frac{P(0)}{n_i} \right)^2 \tag{4-71}$$

J_{n0} 是饱和电流密度中的电子成分。这个式子的来源如下：注入到P⁺区的电子电流一方面可写成上式的左端，另一方面可写成

① 见(42)的52页。

$\frac{AqD}{L}n_p(0)$, 其中 $n_p(0)$ 是发射区在结边缘处的电子浓度, 按玻兹曼统计, 它是平衡值 n_{p0} 的 $\exp(qV/kT)$ 倍, V 是发射结正向压降,

$$\frac{Q_p}{\tau_p} = \frac{AqD}{L}n_{p0}\exp(qV/kT) \quad (4-72)$$

指数项可用N基区在结边缘的载流子浓度 $n(0)$ 及 $p(0)$ 表示, $n(0)p(0) = n_i^2\exp(qV/kT)^{[4-2]}$, 大注入 $n(0) \approx p(0)$ 得 $\exp(qV/kT) = [p(0)/n_i]^2$ 。而 $\frac{AqD}{L}n_{p0}$ 是 J_{n0} , 因此得式(4-71)。由式(4-70)及式(4-71)得到

$$Q_p = \frac{Q_p^2}{Q_0} \quad (4-73)$$

其中

$$Q_0 = \frac{Aq^2n_i^2(W-x_{dm})^2}{4\tau_nJ_{n0}} \quad (7-74)$$

将式(4-69)中的 Q_p 用式(4-73)消去, 得到非线性方程, 对于P+N结, Q_p 本身远小于 Q_0 , 略去式(4-69)的最后一项, 得到

$$Q_p(t) = \frac{Q_{p0}\exp\left(-\frac{t}{\tau_h}\right)}{1 + \frac{Q_{p0}\tau_h}{Q_0\tau_n}\left[1 - \exp\left(-\frac{t}{\tau_h}\right)\right]} \quad (4-75)$$

电流 $I = I_{Cp}(t)$ 可从式(4-63)得到, 但这时 τ'_b 为中性区厚度 $(W-x_{dm})$ 的渡起时间

$$\tau'_b = \frac{(W-x_{dm})^2}{4K_A D_p} \quad (4-76)$$

故

$$I(t) = \frac{Q_p(t)}{\tau'_b} \quad (4-77)$$

用式(4-75)代入, 并利用式(4-65)消去 Q_{p0} , 得到

$$I(t) = \frac{I_1 \exp(-t/\tau_h)}{1 + \frac{I_1 J_{n0} \tau_h}{AK_A q^2 n_i^2 D_p} [1 - \exp(-t/\tau_h)]} \quad (4-78)$$

当上式分母的第二项远小于1时, $I(t)$ 缓慢下降的速度由大信号少子寿命 τ_h 决定, 是一个简单的指数规律, 上式分母的第二项使 $I(t)$ 下降比这个简单的指数规律快。

由此可见, 要提高下降的速度, 首先应降低基区中少子寿命, 实际制造器件常采用高能电子轰击硅材料或在材料中掺重金属, 以增加复合中心, 降低寿命。

降低少子寿命当然会使电导调制的作用减弱, 导致正向压降增加, 这需要很好的折衷。图4-58示出三种器件(耐压300V, 600V以及1200V)的正向压降与下降时间的关系^[43]。

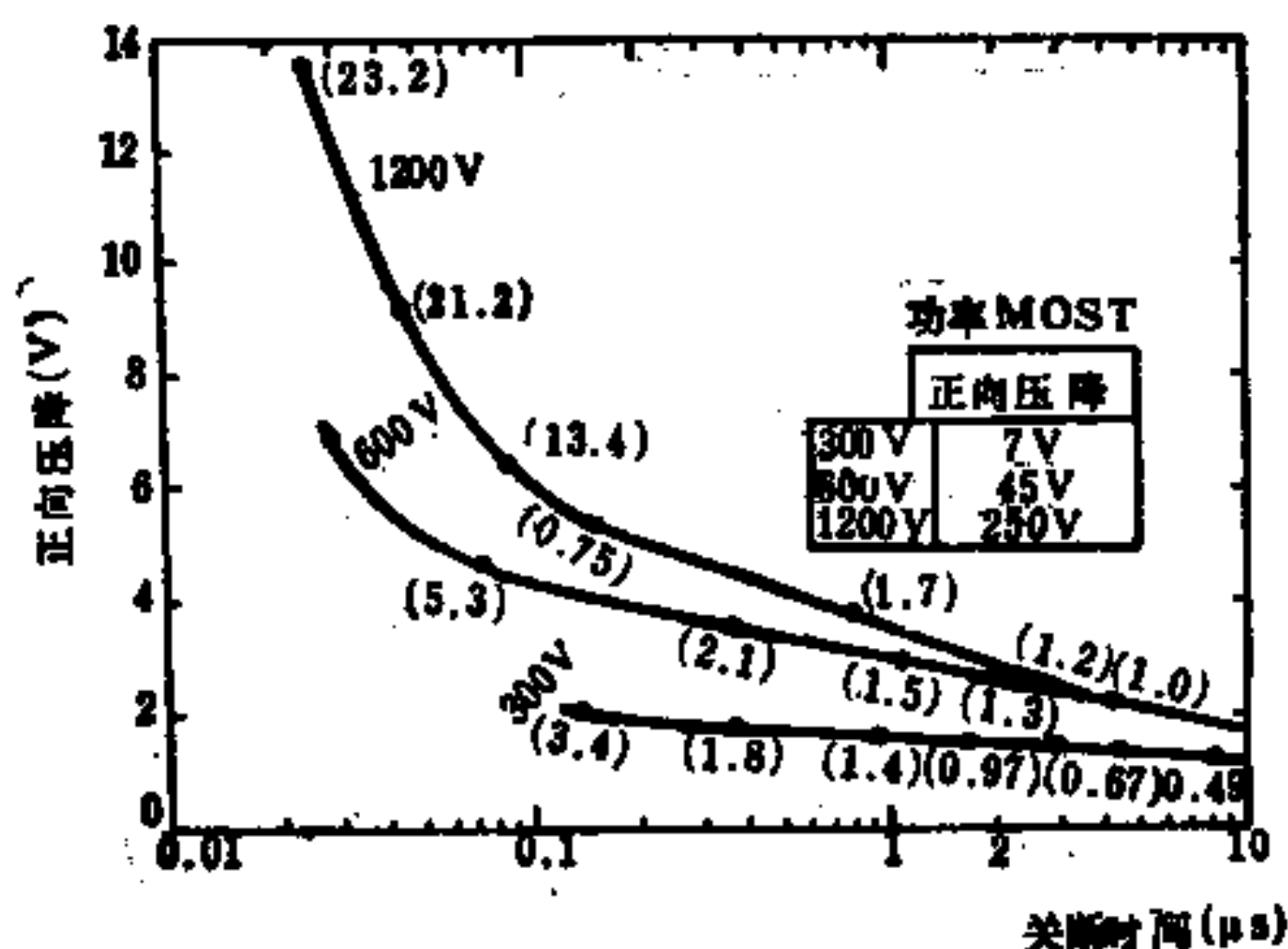


图4-58 三种IGT的正向压降与关断时间的关系(功率MOS在同样电流密度下的压降示于插表中, 括弧中的数据代表 $W/2$ 扩散长度)

图4-59示出最初制造的三种 IGT, 利用不同的少子寿命得

到不同的正向压降与关断时间的关系^[44]，由图还可知，IGT在

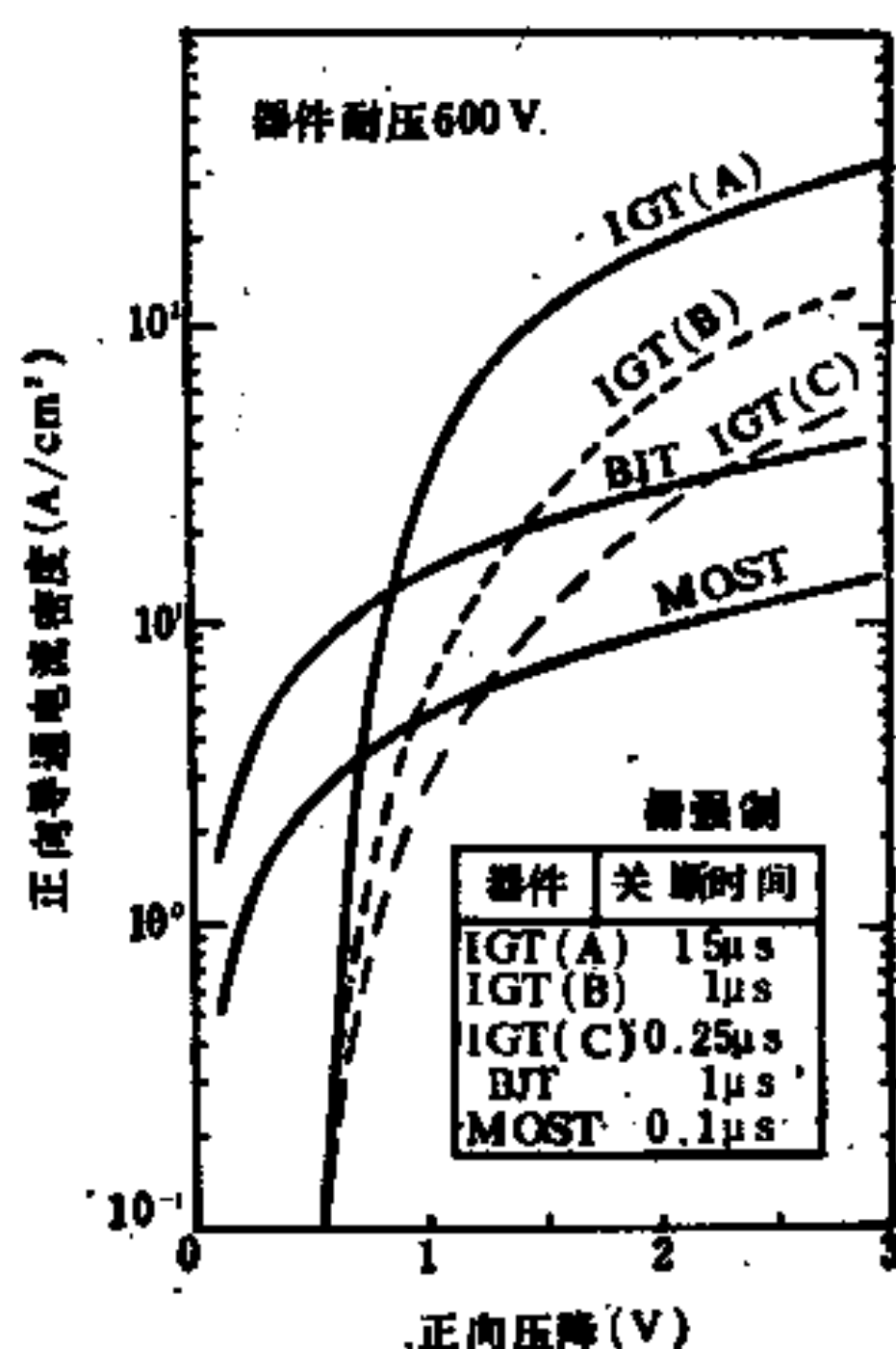


图 4-59 IGT、BJT、功率MOS 正向压降比较

大电流下压降小，正是依靠了少子调制，因此关断时间比功率MOS大得多，BJT则介于两者之间。

加速电流下降的另一个方法是提高 J_0 [式(4-78)的分母第二项]，这就是说增加注入到发射极的电子，具体做法是 p^+ 区先外延一层薄的 N^+ 层，再外延厚的 N^- 区，这 N^+ 层称为缓冲层。

3. 缓冲层

图 4-60 示出一个具有缓冲层的 IGT 的结构。缓冲层带来如下的优点：1) 正向阻断电压提高；2) 正向导通压降减小；3) 下降时间缩短。后两个优点与另一个优点有关，即外延层厚度可

用得较薄。有缓冲层也带来一个缺点,即 IGT 的反向阻断能力降低,对某些应用,这点不利。

1) 阻断电压及外延层设计

为了说明缓冲层对阻断电压的作用,先比较 N 型外延区杂质浓度相同,有、无缓冲层的两种 IGT 的击穿电压。对于无缓冲层的情形,电场分布如§3-7所示,是三角形,其击穿电压已列于表3-2中,为

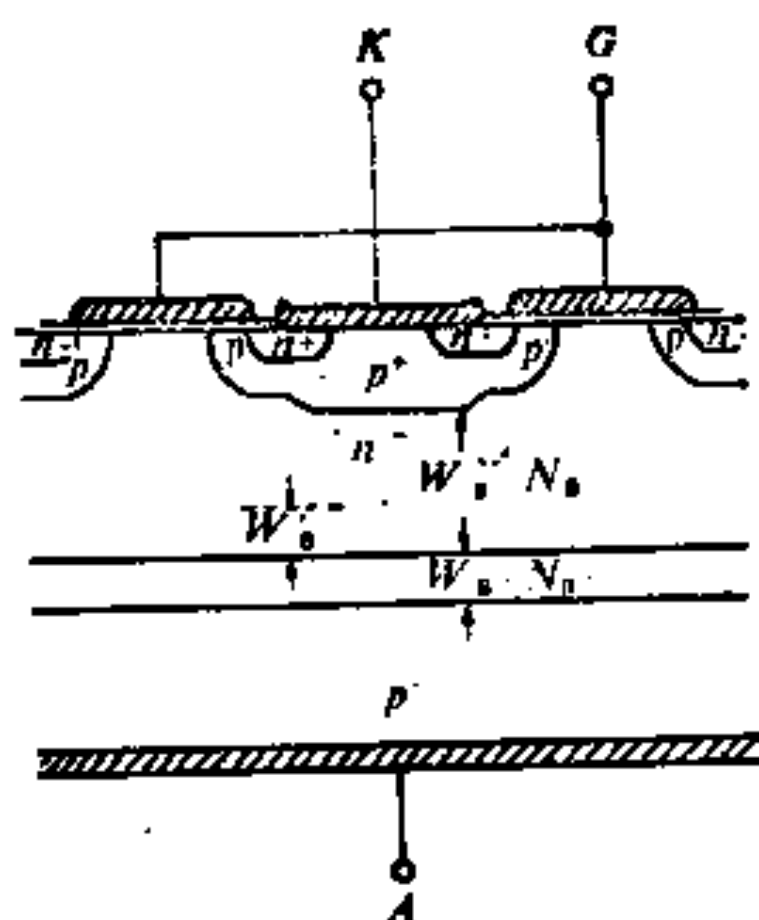


图 4-60 具有缓冲层的 IGT 面图

$$V_{BR} = 8 \times 10^{13} N_B^{-3/4} \quad (\text{无缓冲层}) \quad (4-79)$$

对于有缓冲层的情形,电场分布是该图中的梯形,击穿电压可由该图算出,为

$$V_{BR} = W_B \cdot \left[\frac{2qN_B \cdot 8 \times 10^{13} N_B^{-3/4}}{\epsilon_S} \right]^{1/2} - \frac{q}{2\epsilon_S} W_B^2 N_B \quad (\text{有缓冲层}) \quad (4-80')$$

式中 W_B 及 N_B 是 N 型外延基区的厚度及掺杂浓度。

当然在相同的掺杂浓度下,PN 结的击穿电压是无缓冲层的高,但重要的是实际运用时的阻断电压 V_{AK} ,它决定于 MOS 管不导通,即基极开路时的击穿电压(此电压在晶体管中用 $V_{(BR)CBO}$ 表示),这个电压比 V_{BR} (在晶体管中用 $V_{(BR)CBO}$ 表示)小得多。由雪崩倍增因子 M

$$M = \frac{1}{1 - (V/V_{BR})^2} \quad (\text{对 N 型硅}) \quad (4-81)$$

及共发射击穿条件 $M \cdot \alpha = 1$, 其中 α 是共基极电流放大系数,得

阻断电压

$$V_{AK} = V_{BR}(1 - \alpha)^{\frac{1}{\alpha}} = V_{BR}(1 - \beta^* \gamma)^{\frac{1}{\alpha}} \quad (4-82)$$

其中 β^* 为基区输运系数, γ 为发射结注射效率 ($\alpha = \beta^* \gamma$), 它们决定于晶体管的几何参数及物理参数。由晶体管原理的基本知识可证明①

$$\beta^* = \operatorname{sech}\left(\frac{W'_{B-}}{L_{B-}}\right) \cdot \operatorname{sech}\left(\frac{W'_{B+}}{L_{B+}}\right) \quad (4-83)$$

$$\gamma = \frac{1}{1 + G_B/G_E} \quad (4-84)$$

其中 W'_{B-} , W'_{B+} , L_{B-} , L_{B+} 分别是弱掺杂及重掺杂两个中性区的厚度及扩散长度, G_B 及 G_E 是基区及发射区的 Gummel 数:

$$G_B = \int_{(\text{中性基区})} (N_B/D_B) dx \quad (4-85)$$

$$G_E = N_E L_E / D_E \quad (4-86)$$

L_E 是发射区少子的扩散长度, D_E 是该区少子扩散系数, 显然, 加了缓冲层后 G_B 增加, γ 下降②, 从而 V_{AK} 提高。

另一个问题是穿通电压, 如集电结的耗尽层向发射结延伸到了冶金结面, 电流可无限增长, 这时的集电压是穿通电压, 穿通电压仍可用式(4-82)来讨论, 因为一旦穿通, 则中性基区厚度 $\rightarrow 0$, 从而 $\beta^* \rightarrow 1$, $\gamma \rightarrow 1$, V_{AK} 也大大下降, 换言之, 只要 V_{AK} 不是太小, 则“穿通”也就不存在。由此可见, 增加缓冲层对提高穿通电压大有好处, 这点当然容易从电场分布图来理解。

图 4-61 示出一个缓冲层参数对阻断电压和轻掺杂外延区厚度的影响的计算结果, 图中虚线是没有缓冲层的情形, 在同样电

① 通常的晶体管没有 N^+ 层, 故第二个 sech 项等于 1。

② β^* 也有微弱下降

压下，它的厚度最大。这里计算了轻掺杂浓度为 1×10^{14} 及 $5 \times 10^{14} \text{ cm}^{-3}$ ，实线及虚点线是有缓冲层，其厚度为 $5 \mu\text{m}$ 及 $10 \mu\text{m}$ ，其 Gummel 数各为 1×10^{12} ， 2×10^{13} ， 2×10^{14} 的情形，显然，在同样维持电压下，有缓冲层的外延层可做得较薄。Gummel 数愈高，代表单位面积杂质愈多，外延层厚度 W_{B-} 也可愈薄。

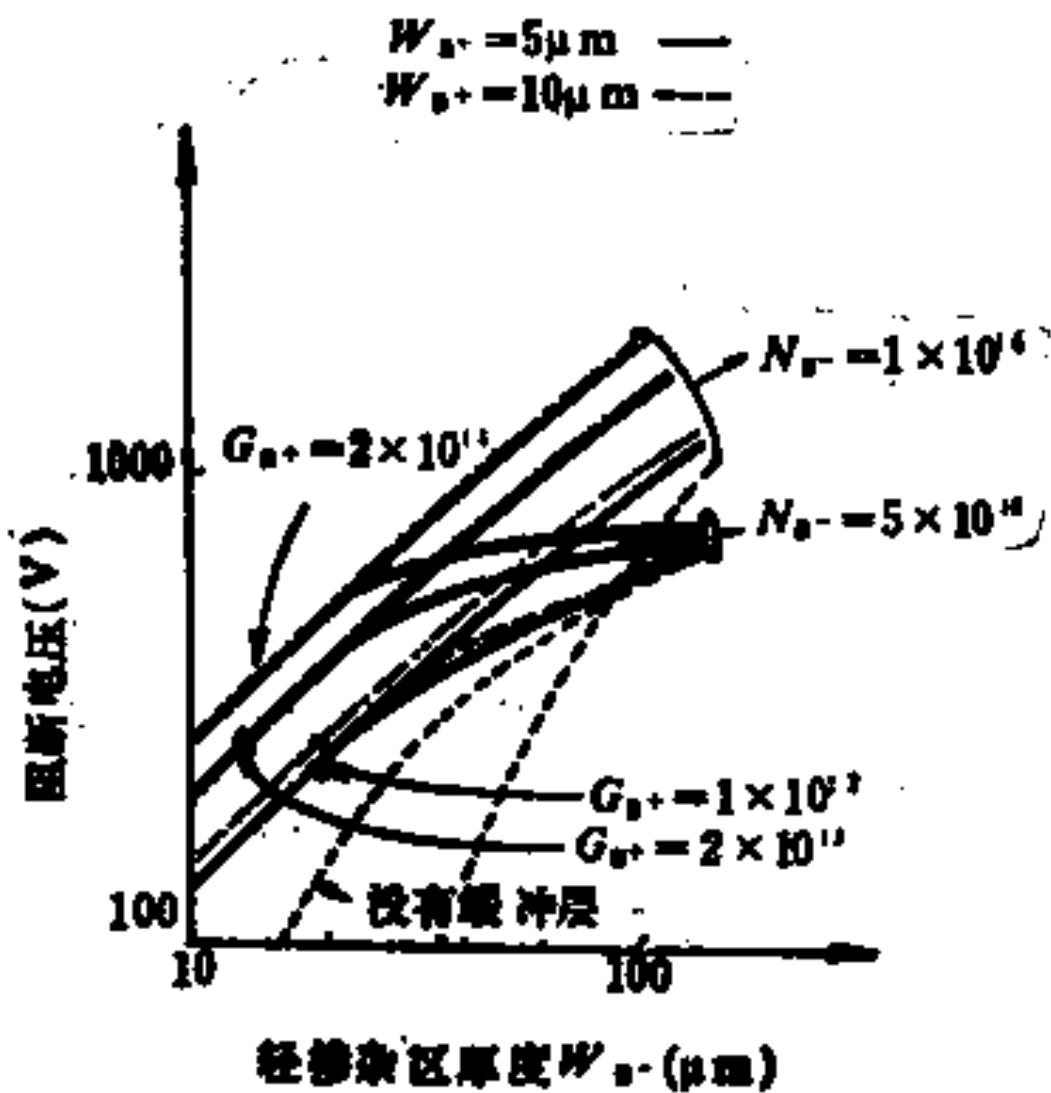


图 4-61 阻断电压与轻掺杂区厚度的关系

外延层厚度及杂质浓度的设计可根据器件的耐压要求，在该图纵座标相同的各曲线中，选一个浓度较高而 W_{B-} 又不是大许多的情形，因为 W_{B-} 小有利于使正向导通电压降小，由图可知，这样选的外延层厚度可比无缓冲层的小一倍。

2) 正向压降与开关时间

研究正向压降的简单方法是从等效电路入手^[4.59, 4.6]，图4-62(a)示出一个简化的等效电路，图4-62(b)示出管子的具体结构及完全的等效电路，从图可知，正向压降为

$$V_{CE} = V_{BE} + I_{MOS}(R_{mod} + R_l + R_{ch} + R_s) \quad (4-87)$$

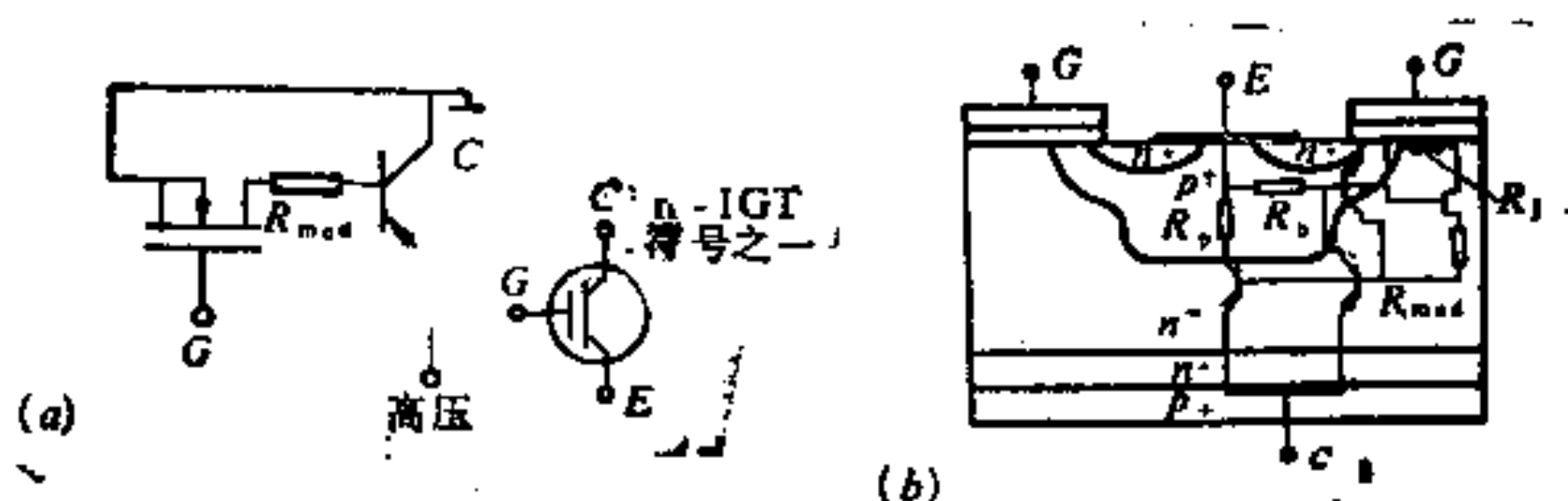


图 4-62 IGT 的简化等效电路

其中 R_i 受“颈部”两旁耗尽区的伸缩而改变。是一个 JFET 的电阻, R_{mod} 是从“颈部”到有源区的电阻, 显然可写为

$$R_{mod} = \frac{1}{qA} \int_{x=0}^{x=W_B} \frac{dx}{\mu_n(x)n(x,t) + \mu_p(x)p(x,t)} \quad (4-88)$$

其中 W_B 是 PNP 管的基区宽度, A 是发射结的横截面, μ_n , μ_p 是电子与空穴的迁移率, n 与 p 是基区载流子浓度, 它们受注入而调变, 对于少子寿命长的基区, 电导调制作用强, R_{mod} 很小, R_i 是主要的, 这种管子的关断时间长。相反, 对关断时间短的管子, R_{mod} 是主要的。

总电流为 BJT 的集电极电流和 I_{MOS} 之和, 而集电极电流又是 I_{MOS} 的 β 倍, β 为共发射极电流放大系数。因此

$$I = (1 + \beta) I_{MOS} \quad (4-89)$$

有缓冲层时注入效率下降, 因此 β 变小, 从而在同样总电流下, I_{MOS} 变大。在高压 ($>400V$) 的 IGT 中, 基区宽, β 更小, I_{MOS} 甚至成为电流的主要成分。但是因为缓冲层时基区可以做得较薄, 电导调制作用就更大, R_{mod} 变小了, 其结果是正向压降反而变小, 而且前面式 (4-78) 说明, 有缓冲层时因 J_{s0} 增加使关断时电流下降变快。缓冲层的这些效果可以从图 4-63 所示的

一个具体实例看出，此图是一个25A，600V的IGT正向电流25A下压降与关断时间的关系。这里负载为电感 $5\mu\text{H}$ ， $dV/dt=2000\text{V}/\mu\text{s}$ 的关断，NPT代表无缓冲层，PT代表有N缓冲层及 N^+ 缓冲层两种情况，显然，有 N^+ 缓冲层正向压降及关断时间最小。

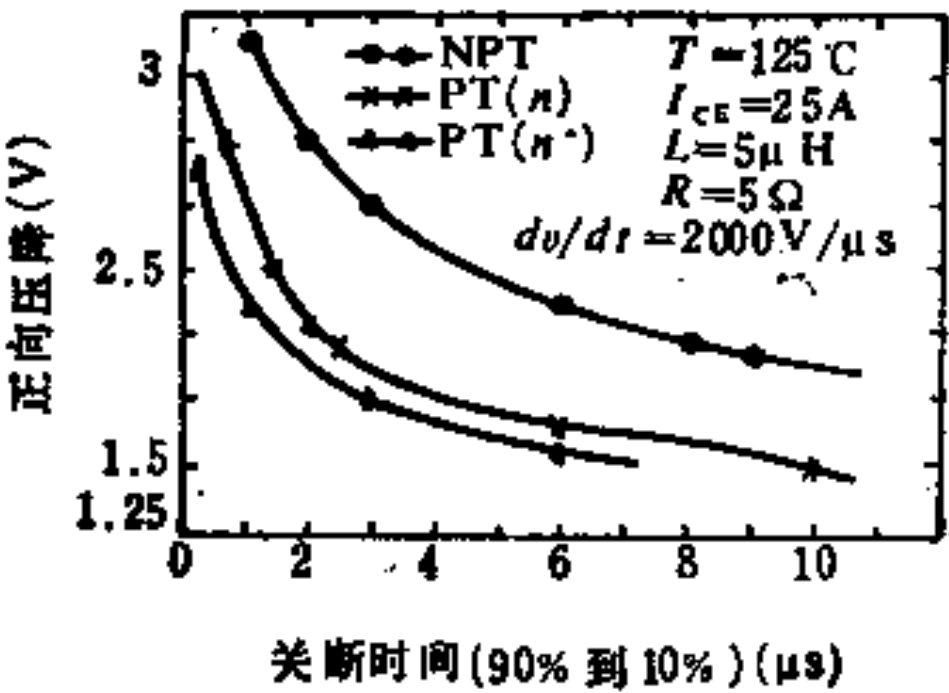


图 4-63 一个25A，600V N-IGT的正向压降与关断时间的关系

4. 闭锁效应

由图4-64的IGT的最简单的等效电路可知，在IGT中存在着串联的NPN与PNP晶体管，这可能引起象闸流管那样的闭

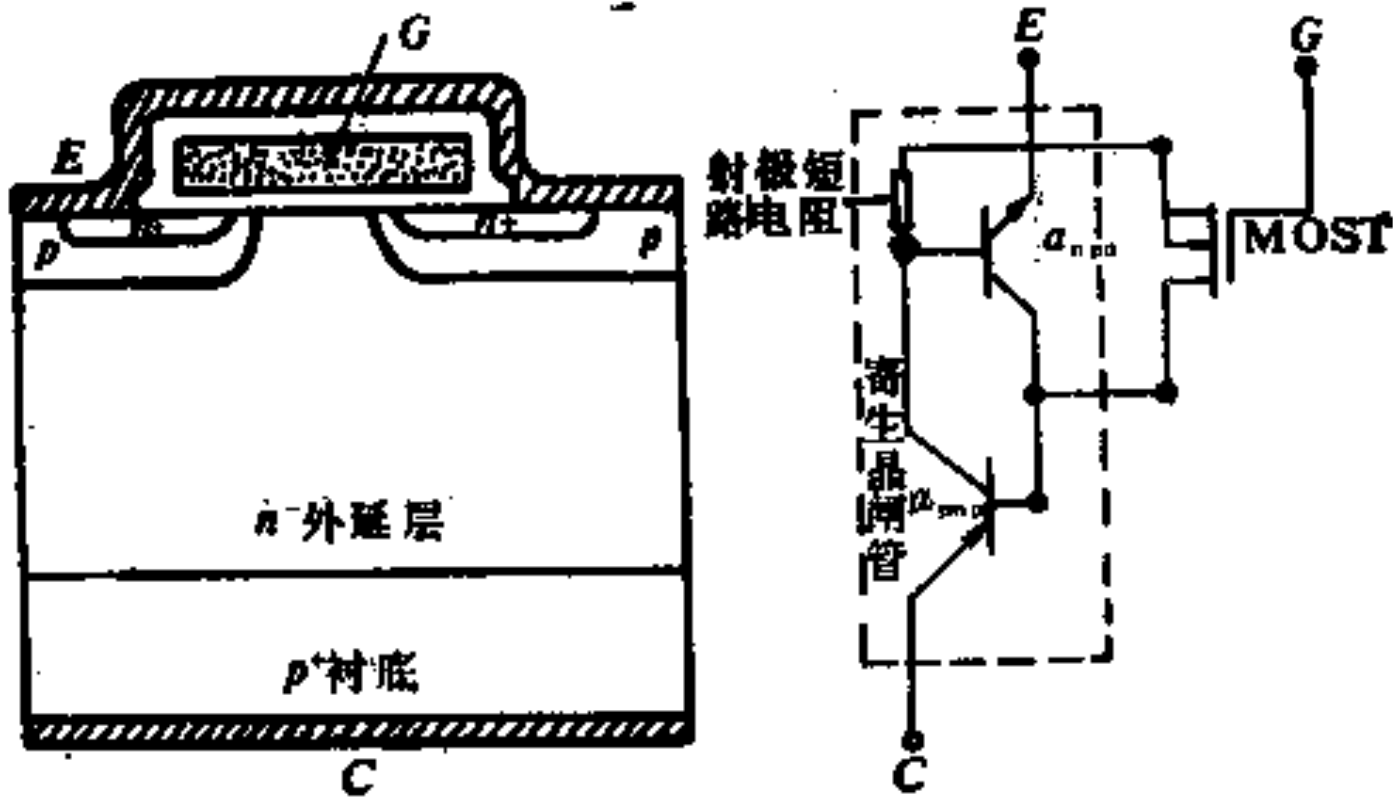


图 4-64 IGT的等效电路（说明闭锁应用）

锁效应。这就是说，即使 $V_G < V_{th}$ ，MOS管不导通， V_{CE} 很小，也可以产生很大电流，无法由外电路控制其关断，出现闸流管闭锁效应的条件是PNP及NPN两管的共基极电流放大系数之和为1，即

$$\alpha_{npn} + \alpha_{pnp} = 1 \quad (4-90)$$

这个条件可解释如下：设 NPN 管的发射极电流为 I_E ，即集电流为 $I_E \alpha_{npn}$ ，它成为 PNP 管的基极电流，经 PNP 管放大后，其集电极电流又增加 $\alpha_{pnp}/(1 - \alpha_{pnp})$ 而输出。如果发射结短路电阻不存在，则这个电流 $I_E \alpha_{npn} \alpha_{pnp}/(1 - \alpha_{pnp})$ 完全成为 NPN 管基极电流，这个反馈电流经过 NPN 管放大后，其发射极电流为 $I_E \alpha_{npn} \alpha_{pnp}/[(1 - \alpha_{pnp})(1 - \alpha_{npn})]$ ，如果这个电流就等于 I_E ，则电流就能再生而自持，由此得到条件式(4-90)。

由此可见， N^+ 区与 P 区在表面用金属覆盖而短路是非常重要的，这使得 NPN 管发射结短路而失去放大能力，可以避免闭锁现象。

但事实上，由于 P 区存在横向电阻 R_b ，当流过它的电流很大，使在其上的压降超过 0.6 V 时，则 NPN 管可以起放大作用，闭锁状态就可发生。

为了抑制闭锁效应，通常是在 N^+ 下的 P 区做一次 P^+ 扩散， P^+ 扩散窗口比 P 区的小，由于 IGT 与 VDMOS 工艺是一样的，

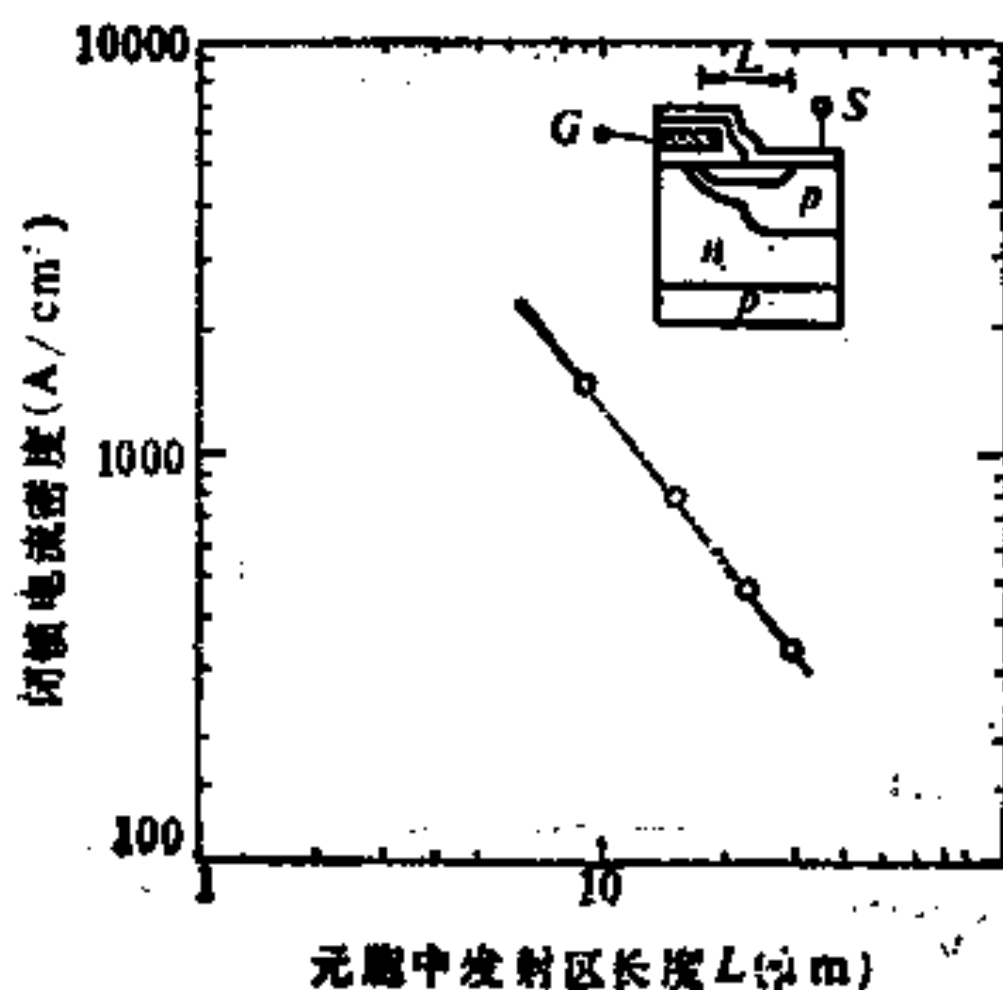


图 4 N^+ 区长度减短则闭锁电流增加

做这样的 P^+ 层并不存在特殊问题，而且它对沟道区没有影响， V_{th} 不会变化。图4-65中插图示出的管子，在无 P^+ 时， $V_G = 1.5V$ 使电流密度达到 $100A/cm^2$ 时，就发生了闭锁^[47]。但采用了结

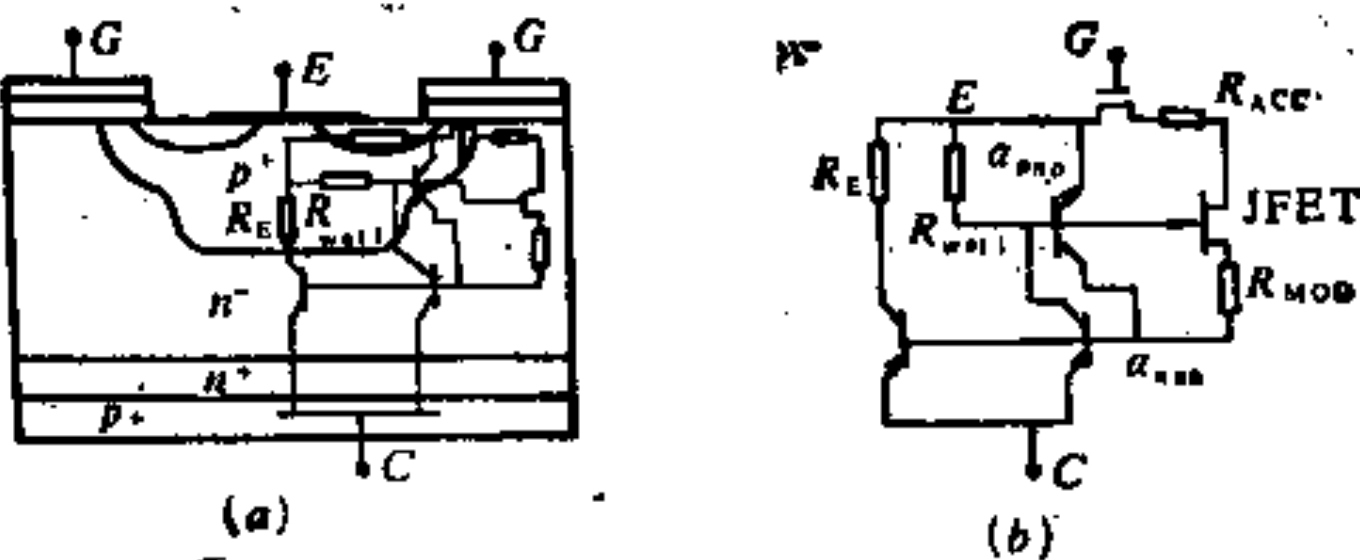


图 4-66 IGT 的结构(a)与等效电路(b)

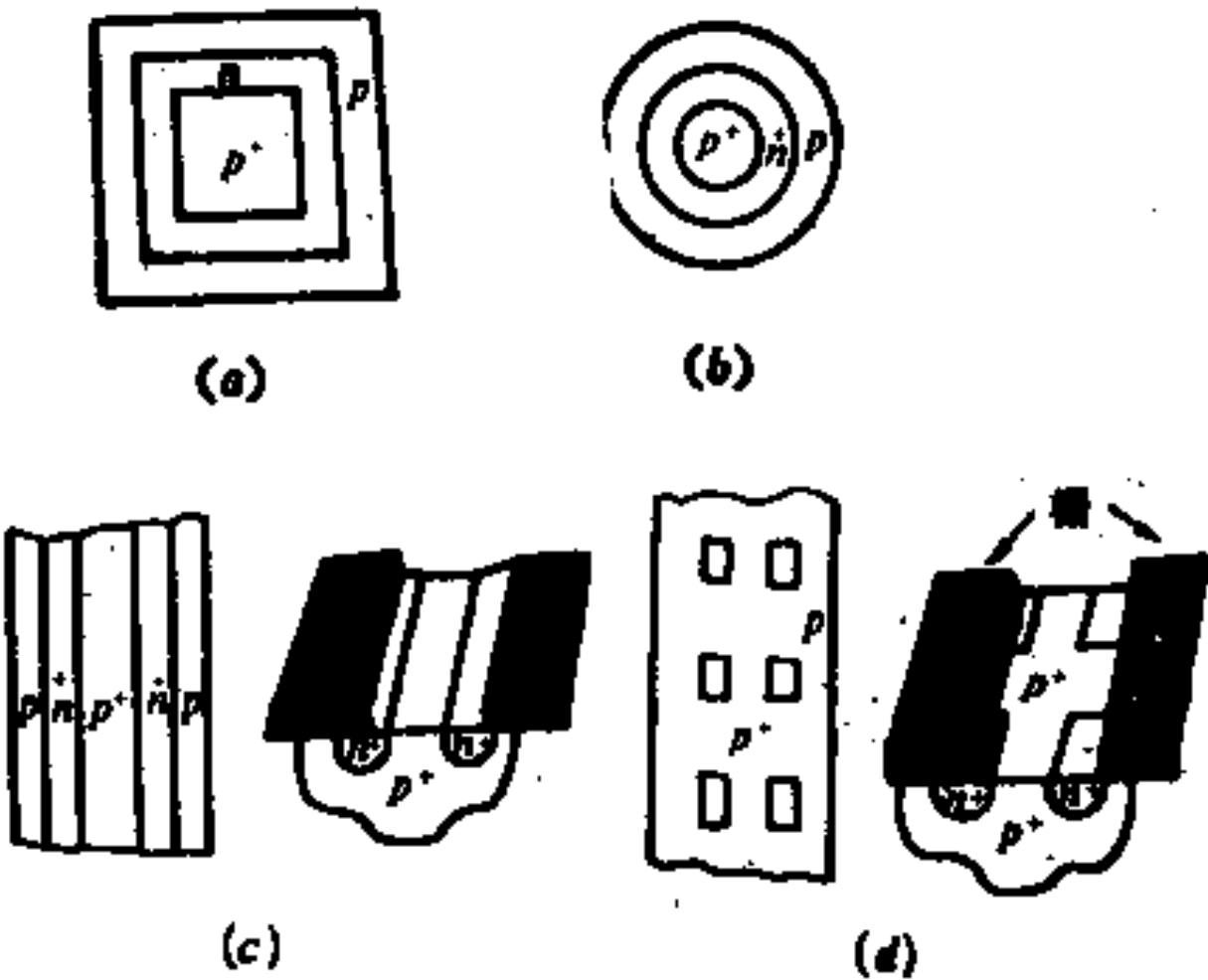


图 4-67 各种元胞结构图形

(a) 方形阱; (b) 圆形阱; (c) 条形阱; (d) 多重表面短路

深 $4.5\mu m$ 表面浓度为 $2 \times 10^{19}/cm^2$ 的 P^+ 扩散后，闭锁发生的电流密度可达到 $1000A/cm^2$ 。闭锁的电流密度和发射极尺寸（图中的 L ）有关， L 愈大，其下横向电阻愈大，闭锁电流也愈小。

P^+ 扩散的目的是减少 R_b , 在同样 P^+ 区的方块电阻下, 各种元胞的图形不同, R_b 亦不同。为了说明这一问题, 再看适合问题讨论的等效电路图4-66。 P^+ 区有些部分直接处于金属电极之下, 集电极电流经电阻 R_b , 其它区域则电流要经过 N^+ 区之下才流到金属接触处, 这部分电阻就是图中的 R_b 。图4-67示出了各种表面元胞结构, 点结构(圆形阱与六角阱)中集电极电流流到 P^+ 电极接触有电流集中效应, 表现为较大的 R_b , 条形及多重表面短路(MSS, multiple surface short)的图形, 电流集中效应较少, 表现在 R_b 较小^[48]。如设各种图形的 P 区总宽度均为 $16\mu m$, 条形阱长 $16\mu m$, MSS 阱的 N^+ 区长 $12\mu m$, 与邻近的 N^+ 区相隔 $2\mu m$, 得到各图形相对的 R_b 如图4-68所示。由图可知, 扩散 P^+ 区的结深愈大, 则 N^+ 区下的通路愈宽, R_b 自然愈小。由同样结深下, R_b 按MSS、条形、方形、圆形次序增加, 由此得到的闭锁电流按这个次序减小。

值得指出的是, 正向压降也与 R_b 有关, 正向压降大小的次序正好反过来, 圆形最小, MSS 最大, 因此实际设计时应权衡得失, 根据需要取折衷方案。

上面所述的闭锁效应是所谓静态的, 实际上还有动态闭锁效应。例如当电路条件突变时 PN 结有位移电流, 当光照或其他辐射(如 γ 射线)照于硅片时产生电流, 这些电流很大时也能引起闭锁效应。其中常见的是漏源电压突然增加, dV/dt 很大引起位移电流造成闭锁。这是在开关电路中负载为感性, 突然关断时容易发生的, 称为关断闭锁。特别是漏源电压原来很低, 从而耗尽层很薄, P^+N 结电容很大时, 发生的可能性更大。为了避免这

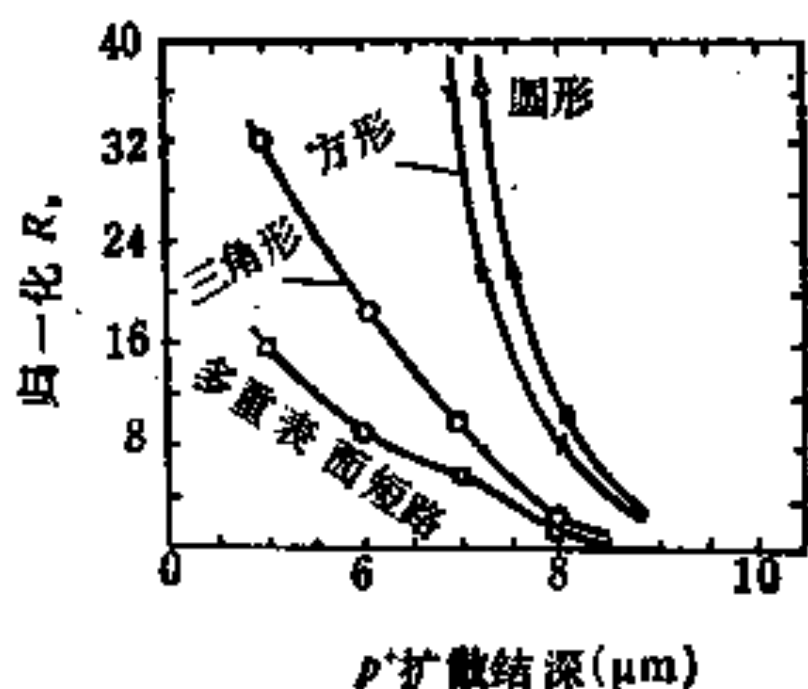


图 4-68 各种图形的 R_b

种情况发生，可以在源驱动电路上加大串联阻抗，以使电流的降低速度放慢， dV/dt 减小。

闭锁的条件与温度有密切的关系，温度提高后，NPN 管进入放大区的条件不再是发射结电压为 $0.6V$ ，而是按 $0.002V/^\circ C$ 的规律下降，而且，P 区的电阻率按 $3000ppm/^\circ C$ 的规律增加，因此温度愈高，达到闭锁的电流愈小。从 $25^\circ C$ 到 $125^\circ C$ ，闭锁电流可能比原来的小一倍以上^[40]。为此，设计应在比较高的温度下不出现闭锁为宜。

图4-69示出一个在 $150^\circ C$ 下，N-IGT 负载有电感 $L = 230\mu H$ ，栅极串有电阻 $R_g = 100\Omega$ 的， $400V$ 下工作而关断时出现闭锁的电流和元胞图形的关系的例子。

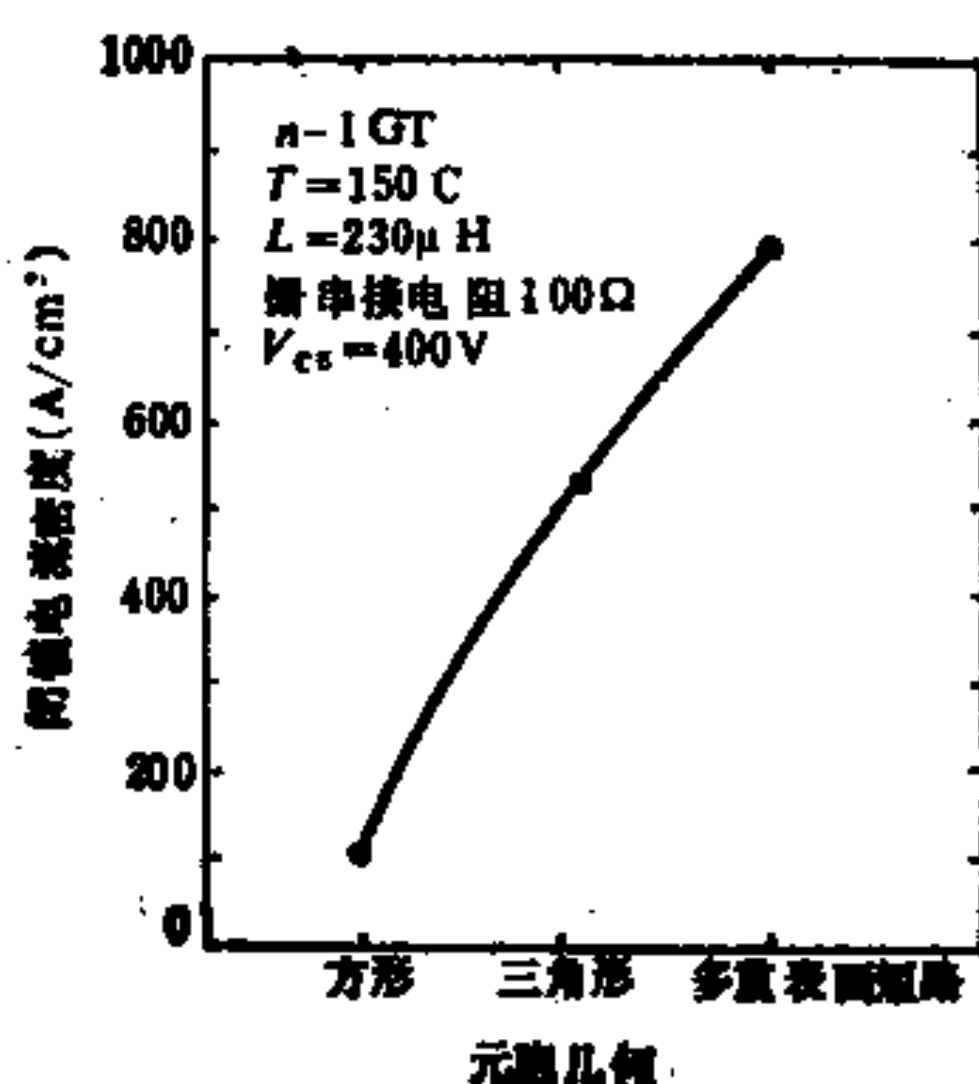


图 4-69 闭锁电流与元胞图形的关系的例子

P-IGT 的结构与 N-IGT 相同，只是 P 区及 N 区全部颠倒过来。但是 P-IGT 的防闭锁能力比 N-IGT 的差^[40]，这是因为其 NPN 管的电流放大系数 $\alpha_{n, \beta}$ 大，防闭锁措施和 N-IGT 完全一样。

除上述静态和动态闭锁效应之外，还有一种所谓栅传输闭锁。由于栅是多晶硅，它的薄层电阻（方块电阻）是有限的，在开与关的过程中，加于各元胞的栅电压是通过栅的引线键合点经过多晶硅层传输的，多晶硅与下面又有电容，这等于是经过一条RC传输线将信号以有限速度依次传播到各元胞，直到离键合点最远的元胞为止，这使得芯片下的电流密度随传播距离而变化，电流密度大的地方造成闭锁，为避免这点，栅上应加电阻减缓栅电压的变化。

5. 温度关系

闭锁效应的温度关系已在前面讨论过了，这里讨论温度对正向压降、开关速度、跨导、阈电压、漏电流的影响。

1) 正向压降与温度的关系

大于400V的IGT，正向导通时电流主要是 I_{Mos} ，如图4-64所示。正向压降可分为沟道部分压降及基区到 P^+ 的压降两部分，后一部分受到很强的电导调制作用，其压降和PIN管的压降一样，为

$$I_D = \frac{2qDA}{L} n_i \exp\left(\frac{qV}{2kT}\right) \quad (4-91)$$

其中 D 、 L 为双极扩散的扩散系数及扩散长度， n_i 、 k 、 T 意义如常， A 是面积。

由于 n_i 与温度有如下关系： $n_i \propto \exp(-E_g/2kT)$ ， E_g 是禁带宽度，故 I_D 可写成

$$I_D = I_0 \exp\left(\frac{qV - E_g}{2kT}\right) \quad (4-92)$$

或 $\ln I_D \propto (qV - E_g)/2kT$ 。由此，温度变化时，在同样电流下， V 应满足 $qV - E_g = \text{常数}$ 。

由于 $E_g/q = 1.1V$ ，大于 V ，故温度升高，PIN管的电压下降。

PIN管压降除上式的指数项外，其前面项实际上与电流大小

还有微弱的关系。这是因为，电流大时，载流子与载流子间的散射加强，俄歇复合也加强，结果是扩散长度降低。

沟道部分的压降是 $I_D R_{ch}$ ，温度增加时，迁移率下降， R_{ch} 增加，故电压增加，这部分压降与电流成正比。

总的来讲，在电流小时，PIN 管压降为主， $I \sim V$ 表现为 PIN 二极管特性，这个电流范围相当于 $V_D < 1V$ 的情况，在电流大时， R_{ch} 压降为主，这是线性关系，这个电流范围相当于 $V_D > 1V$ 的情况。

图 4-70 示出一个管子在各温度下的 $I \sim V$ 特性^[50]。从图可知，从 25℃ 到 200℃，PIN 二极管压降（由线性区外插到横坐标得到）为从 0.83V 下降到 0.5V，而 R_{ch} （由线性区斜率得到）则

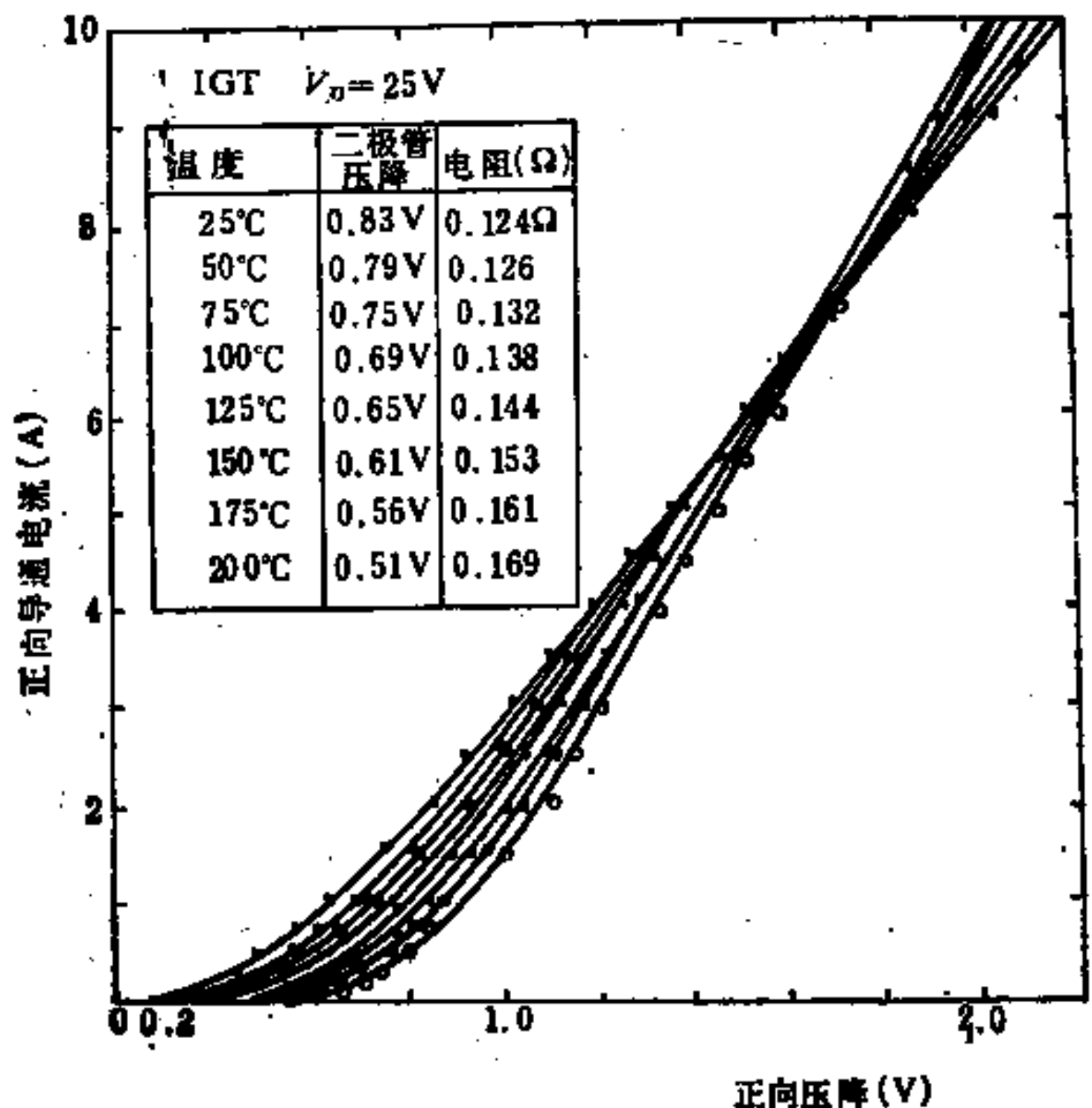


图 4-70 IGT 在各种温度下正向导通特性

从 0.124Ω 升到 0.169Ω ,两者的温度关系有补偿作用,这使得 IGT 的正向电流通过能力与温度的关系不大,特别是在某一个电流值下(图中的 $I=7\text{A}$ 处),两种温度关系机制相抵消,正向压降成为与温度无关,这是 IGT 比其它功率开关器件的独特之处。在功率 MOS 中,温度增加,迁移率下降,从而正向压降增加。从室温到 200°C , VDMOS 的压降增加约三倍,这点使功率 MOS 在高温下处理电流的能力降低。例如, 600V 的 IGT 与功率 MOS,在室温下,前者比后者的电流密度就可大 20 倍,而 200°C 下,则可大 60 倍(维持同样功耗),这个特点使得 IGT 特别适用于某些特殊环境工作。

2) 开关速度

温度升高,少子寿命变长,这使得关断过程变慢,图 4-71 示出关断时间与温度关系的一个例子。

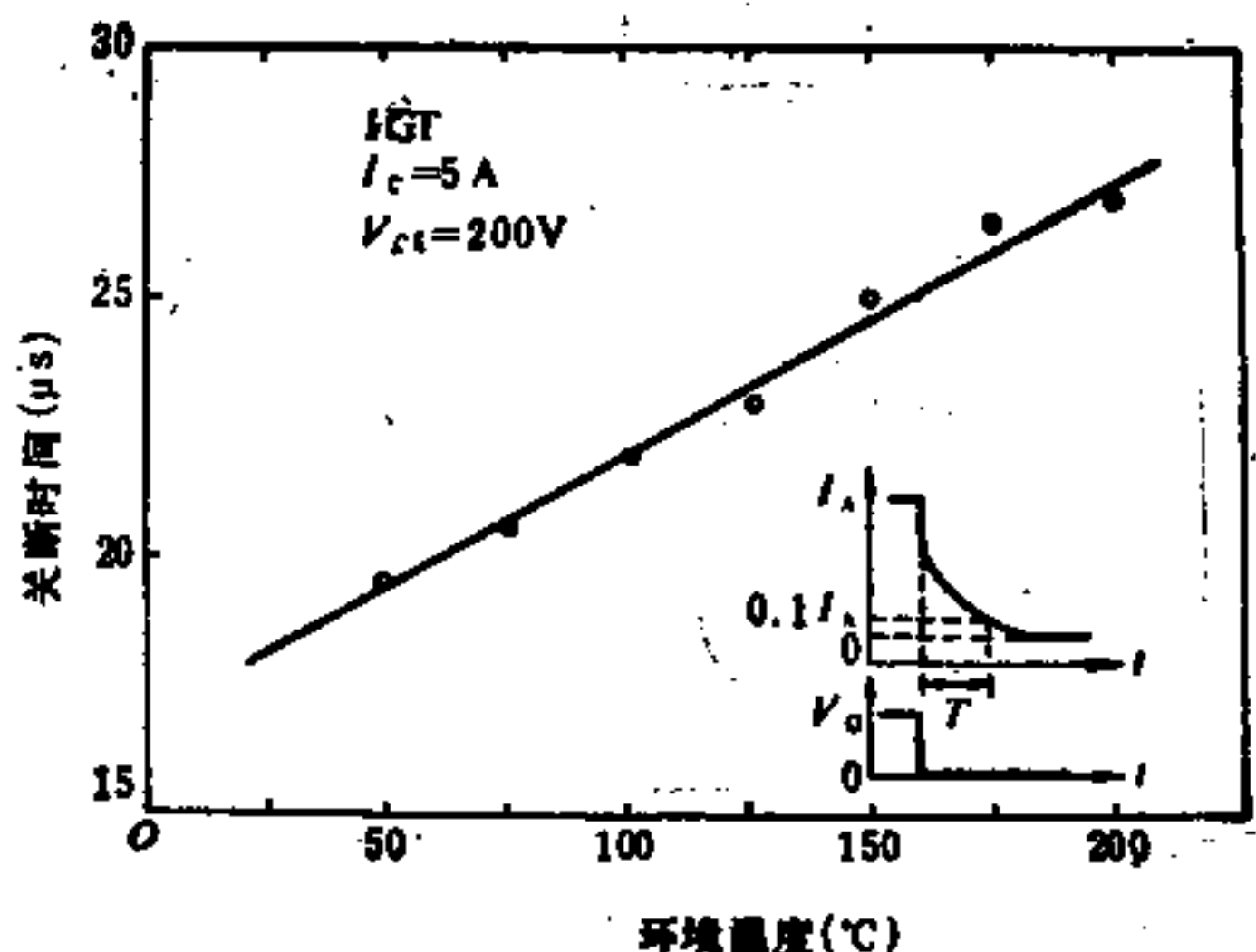


图 4-71 温度升高, IGT 的关断时间增加

3) 跨导与阈电压

温度升高,迁移率下降,因此跨导 g_m 下降。

阈值电压 V_{th} 由式(4-21)决定, 其中每项都与温度有关, 功率 MOS 的 V_{th} 与 T 的关系也完全一样, 图4-72示出 V_{th} 与 T 的关系的一个例子。

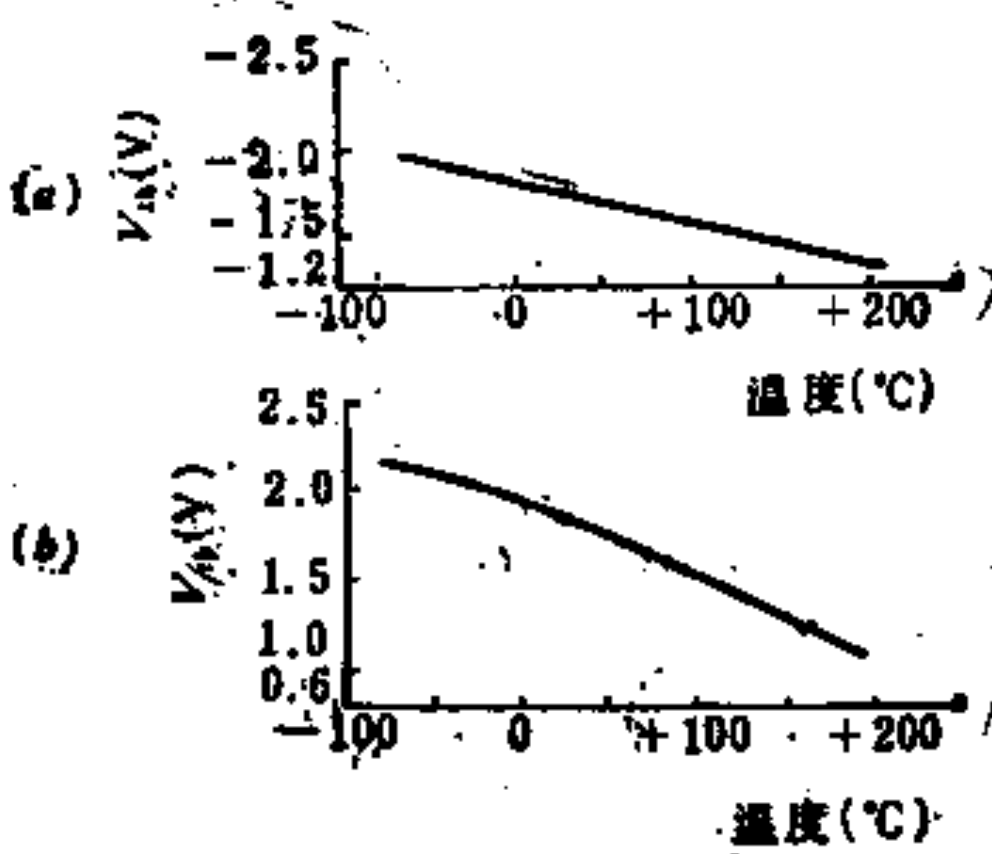


图 4-72 V_{th} 与 T 的关系

(a) N-MOS, 衬底 10^{18}cm^{-3} ; (b) P-MOS, 衬底 $3 \times 10^{18} \text{cm}^{-3}$ [25]

4) 漏电流

IGT 中反向漏电流的形成机制和一般 PN 结器件一样, 漏电流主要由空间电荷区的产生——复合电流及中性基区的扩散电流形成, 在低温下前者为主, 在高温下后者为主。

一般的 IGT 直到 200°C 漏电流都很小 ($< 1\text{mA}$), 因此 IGT 在阻断状态损耗极小。

6. 安全工作区 (SOA)

IGT 的 SOA 与一般功率晶体管相似。这里值得一提的是, 改进 SOA 是所有功率器件共同的问题。而 IGT 与功率 MOS 不同的是, 这里存在少子对 SOA 的影响: 在 IGT 导通时, 注入了大量少子 (空穴), 在开始关断时, 耗尽层中的这种空穴以饱和速度 v_s 运动, 其浓度为 $p = \alpha J / qv_s$, J 是电流密度, 这使得掺

杂为 N_D 的耗尽层的空间电荷密度为 $q(p + N_D)$ ，而按照表3-2，击穿电压与 $(p + N_D)$ 成 $-(3/4)$ 次方关系，因此导通时的电流使击穿电压下降。解决的方法可以是降低 α ，即用缓冲层降低注射效率或增加基区复合中心降低少子寿命，也可以是降低 N 区掺杂浓度 N_D 。但这两种方法都使正向压降略微增加，并使流经 MOS 沟道电流成分增加^[24]。

§ 4-5 MCT及智能功率MOS

功率 MOS 与双极型晶体管结合，产生了 IGT，使正向压降大大降低，而输入功率仍极小，给电路使用带来方便。为了进一步降低正向压降，增大电流，发展了一种将功率 MOS 与晶闸管结合的器件，这种器件称为 MOS 控制晶闸管 (MOS Controlled Thyristor，缩写 MCT)。

由于功率 MOS 包含许多小单元，因此，在工艺及设计中只需作很小的变化，就可以利用其中部分单元或另添一些附加元、器件，使其具有更多的功能。例如，可以使 SOA 扩大，从而使功率器件运用时更可靠。这种变化，其成本并未显著增加，而功率比通常单管扩充了，使用户满意。因此这种器件称为智能分立器件 (Smart Discretes)。

本节叙述这两类新发展的器件。由于 MCT 在某种意义上是一种门控可关断晶闸管 (Gate turn-off Thyristor，缩写 GTO)，因此也称 MOS-GTO。为了使叙述及对比更清楚，我们先对晶闸管及 GTO 作一简短回顾。

1. 晶闸管及 GTO

晶闸管在门 G 加上电流时，伏安特性如图4-73所示，其特点是反向及正向阻断电压 (V_{BR} 及 V_{BF}) 都很高，可达一万伏，而

正向导通电压很低，在几千安下不过几伏。

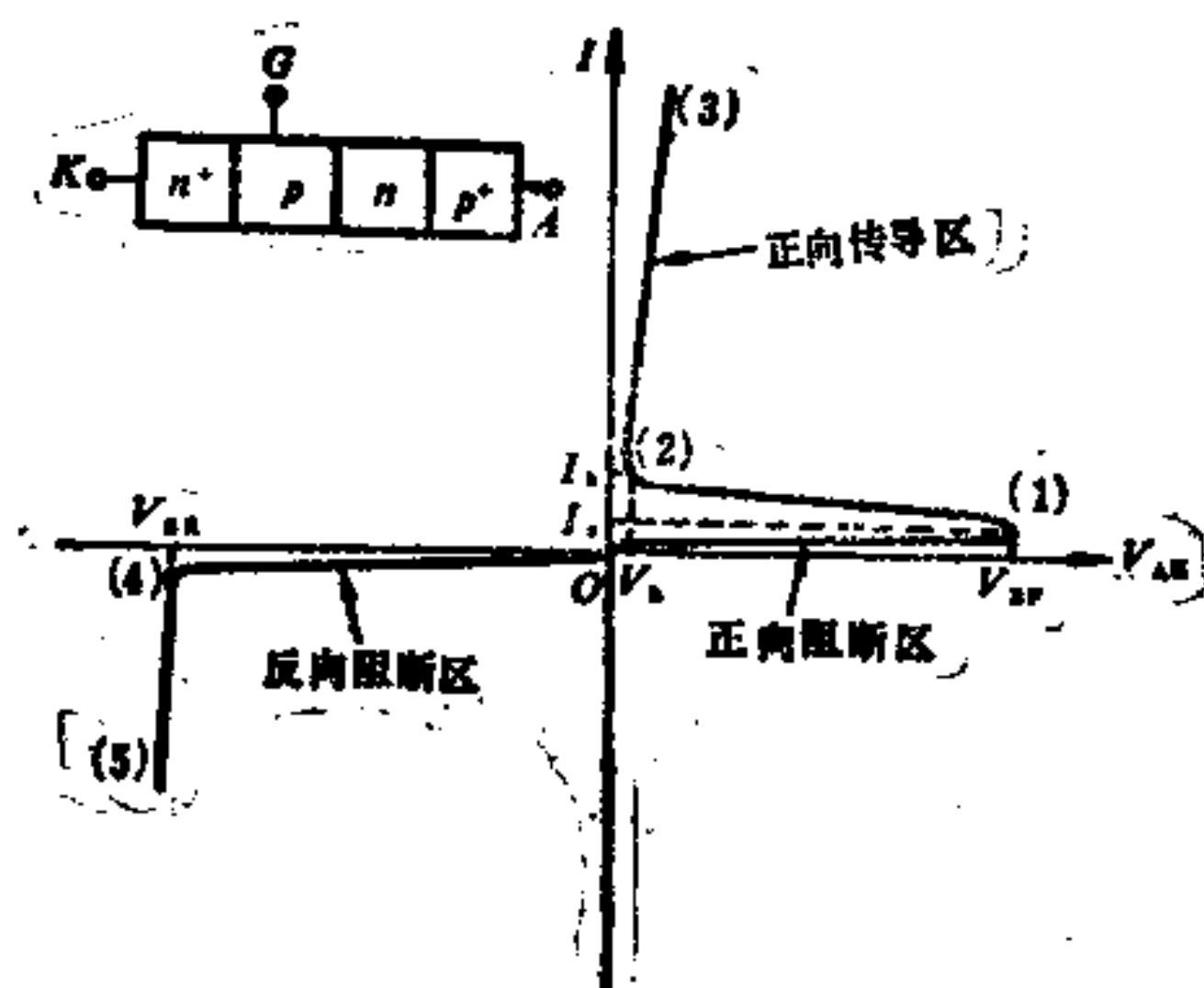


图 4-73 晶闸管的伏安特性 (插图为结构的原理图)

把晶闸管的PNPN拆成两个晶体管构成如图4-74所示，可便于分析。由图知，如 I_{CBO1} 及 I_{CBO2} 代表NPN及PNP的共

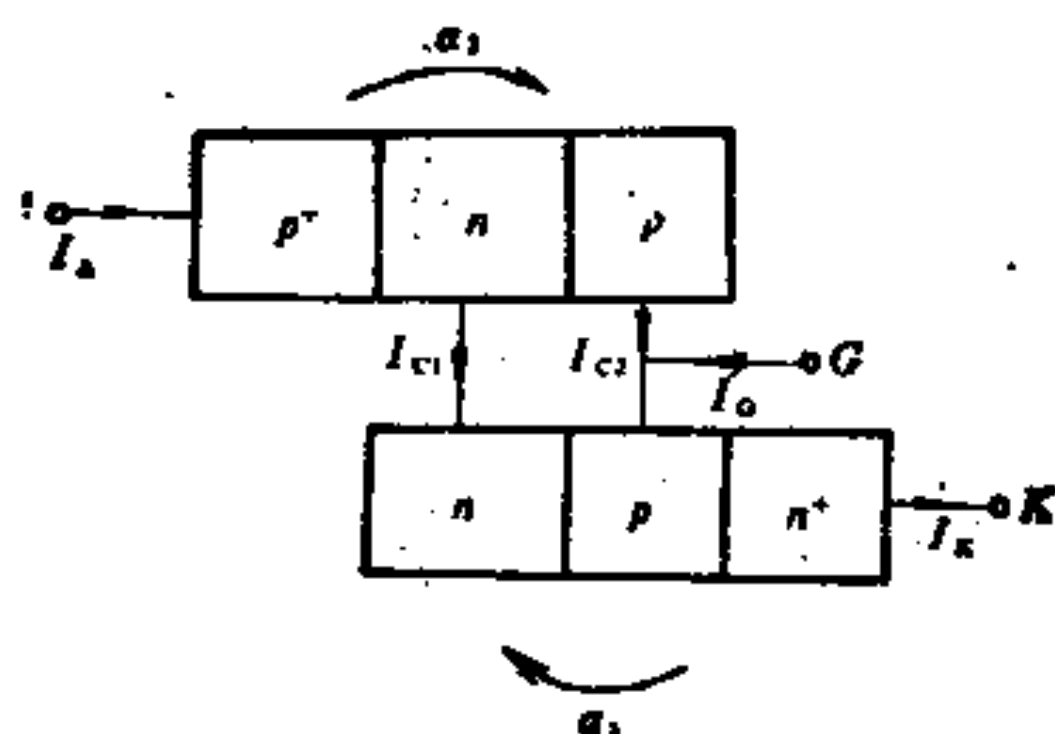


图 4-74 晶闸管的双三极管模型

基极反向漏电流，则NPN晶体管的集电极电流 I_{C1} 与发射极电

流 I_K 的关系为

$$I_{C1} = \alpha_1 I_K + I_{CBO1} \quad (4-93)$$

而此电流又同时是 PNP 晶体管的基极电流, 它与其发射极电流 I_A 的关系为

$$I_{C1} = (1 - \alpha_2) I_A - I_{CBO2} \quad (4-94)$$

再利用 $I_K = I_A + I_G$ 得到

$$I_A = \frac{I_{CBO1} + I_{CBO2} + \alpha_1 I_G}{1 - \alpha_1 - \alpha_2} \quad (4-95)$$

由于 α_1 及 α_2 随电流变化, 在电流很小时, 其值均远小于 1, 因此, 在 $I_G = 0$ 时, 由上式, 只要正向电压不太高, I_A 是很小的 (因 I_{CBO1} 及 I_{CBO2} 都很小)。

但是, 当正向电压 V_{AK} 很高, 反偏的 PN 结发生雪崩倍增, 倍增因子为 $M = [1 - (V/V_{(BR)})^n]^{-1}$, $V_{(BR)}$ 为 PN 结的雪崩击穿电压, n 是数值为 2 ~ 4 的常数。考虑雪崩倍增后, 式 (4-95) 的 α_1 , α_2 及 I_{CBO1} , I_{CBO2} 均应各乘 M , 由此式分母为零可求出正向阻断电压 (又称转折电压) 为

$$V_{BF} = V_{(BR)} (1 - \alpha_1 - \alpha_2)^{1/n} \quad (4-96)$$

类似地考虑, 可求出反向阻断电压

$$V_{BR} = V_{(BR)} (1 - \alpha_1)^{1/n} \quad (4-97)$$

反向时 P⁺N 结及 N⁺P 结均为反偏。

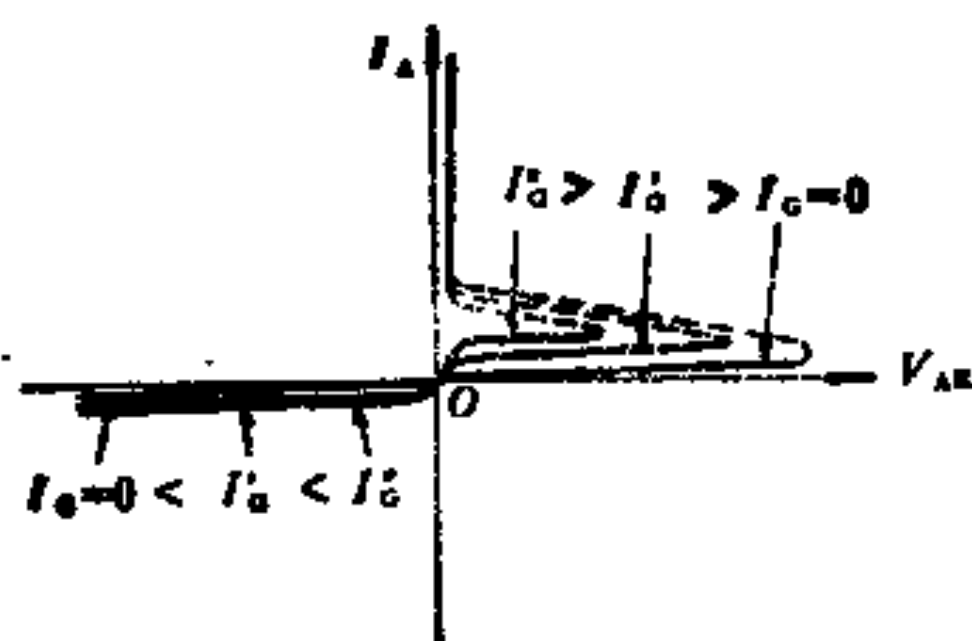
由于 N、P 区都是轻掺杂, 故 $V_{(BR)}$ 很高, V_{BR} 比 $V_{(BR)}$ 略小, 而 V_{BF} 又比 V_{BR} 略小。

当 $I_G > 0$ 时, 由于 α 之值也增加, 式 (4-95) 分母为零的条件在较低的电压下就实现了, 这相当于 V_{BF} 下降, 如图 4-75 所示。

一旦实现这一条件, 由于晶闸管内部的再生作用, 电流将与

I_G 无关, 因此为了导通, 只需门极 G 加一个短脉冲电流触发。

导通后每个晶体管都处于饱和状态, P 区及 N 区中含有大量非平衡载流子, 成为一种等离子态, 总压降为三个 PN 结正偏压之代数和, 而且其中一个的符号相反, 故导通时压降



很小, 比双极型、功率 MOS、IGT 的都小。

图 4-75 栅极电流对晶闸管伏安特性的影响

普通的晶闸管一旦导通, 不再可能用门电流 I_G 来使其关断。如果门极加负电压, 则门极从其电极附近的基区抽走一部分空穴, 形成负的门极电流, 由于基区存在横向电阻, 此电流产生压降, 结果是晶闸管内部 PN^+ 结的偏压不变, 仍是正偏。而且门极既然抽走附近对 P^- 区电阻率有调制作用的空间, P 区这部分横向电阻也增大, 助长了横向压降。

为了使晶闸管能用门极电流来控制, 可以在结构上加以变化, 做成 GTO, 例如, 阴极做成很窄的梳状, 其间插入门极 (叉指条), 以减小横向电阻的作用等等。

应当指出的是, 关断一个 GTO 的电流 I_A , 需要较大的门极电流 I_G , 通常定义一个关断增益 β_{off} ($\beta_{off} = I_A/I_G$), 其典型值为 $5 \sim 10$ 。由此可见, GTO 起作用需要较大的输入 (控制端) 功率。

2. MCT

在晶闸管中存在着两个重要问题, 一个是所谓 dV/dt 效应: 当阳极电压迅速变化时, 通过晶闸管的结电容产生位移电流 $d(CV)/dt$, 此电流可使 α 增加到满足 $\alpha_1 + \alpha_2 = 1$ 的条件, 从而使晶闸管导通, dV/dt 效应是不利于维持高的正向阻断电压的。

另一个是所谓 dI/dt 限制：使一个晶闸管导通时，其实首先是阳极的靠近门极金属接触处那部分导通，这部分产生很大的电流，推动邻近部分导通，继此以往。由于存在着分布电阻和电容，导通区域是以一定的速度在扩张的，最后才达到全部导通。如果电流增长太快，那么开始时电流会集中在一个小区域内，造成过热区，甚至使其永久性损坏，因此实际使用时规定 dI/dt 不能超过一定之值。

MCT 是 1979 年提出的一种解决上述两问题的器件^[51]，由于功率 MOS 的发展，近年来得到迅速的发展。

MCT 是将 GTO 中的控制门极用 MOS 管来代替，以实现低电压及低功耗的开通与关断控制。图 4-76 示出一个典型 MCT

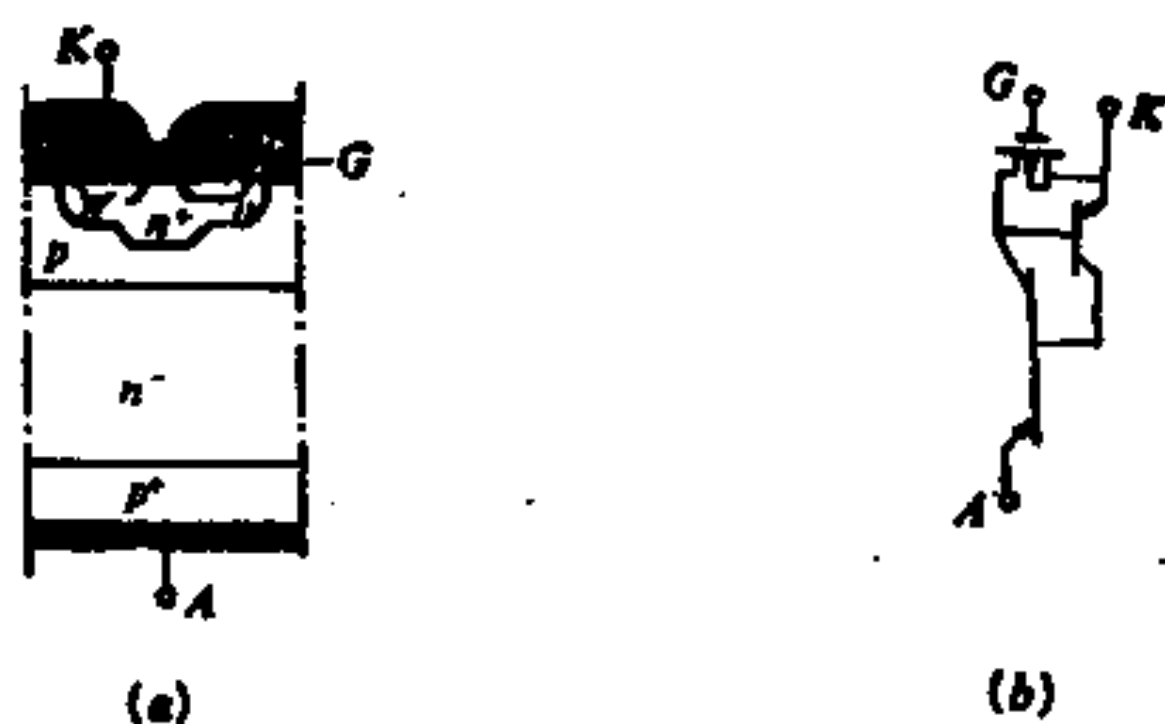


图 4-76 MCT 复合器件的一种结构(a)及其等效电路(b)

的元胞剖面图及电路原理图。

在晶闸管导通时，如 MOS 的栅极加上电压，使 MOS 导通，则晶闸管的一个发射结被短接， α 变得很小，再生作用熄灭，电流停止。由于 MCT 采用了高密度的叉指条 MOS 栅，因此关断过程可做到只需要 $1\mu s$ 。

为了达到关断目的，MOS 管的最大导通电阻 R_{FET} 可根据要关断的电流来作粗略计算。设要关断的阳极电流值为 I_{off} ，它本

身是图 4-76 中下面一个晶体管的发射极电流，其集电极电流为 $\alpha_L I_{off}$ ， α_L 是下面一管的共基极电流放大系数，此集电极电流应被 MOS 管取走而不是形成上面一个晶体管的有效基极电流，而 MOS 管的漏、源电压是上面一个晶体管的发射结电压 V_j ，故 MOS 管导通时电阻 R_{FET} 应符合下式^[52]：

$$I_{off} \approx 2V_j / (\alpha_L R_{FET}) \quad (4-98)$$

上式中因子 2 是考虑到精确的计算机分析的结果而添入的修正因子， V_j 之值一般为 1V 数量级。由于 MCT 结构上是多单元（叉指条）， R_{FET} 很小，因此可关断很大的电流。

为使栅极能控制晶闸管导通，可采取另外一个栅极，此栅称为内建栅或导通栅或开启栅，如图 4-77 所示。但更重要的方法是将上述栅极区域延长到集电区，此区实际上又是下面一个晶体管的基区。当栅电压加到使 MOS 导通时，引起了该晶体管的基极电流，从而使晶闸管导通。因此，栅电极的电压极性决定了要导通还是要关断。

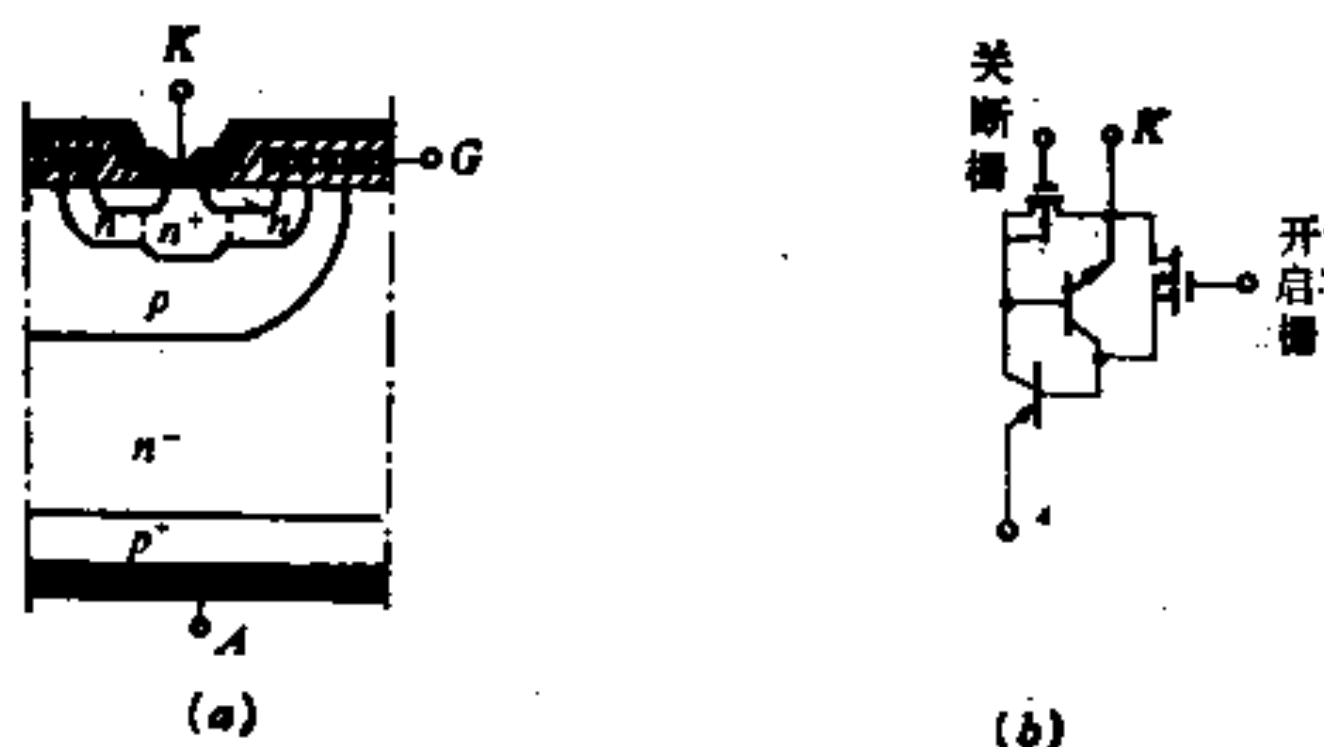


图 4-77 MOS/GTO 复合器件的基本结构及其等效电路

由于晶闸管是双注入 (P^+ 及 N^+ 区都起注入载流子的作用)，因此同样电流密度下正向电压降比 IGT 还低，图 4-78 示出同样

面积下各种功率器件的正向压降与电流关系。由此可见，在MCT中采用降低少子寿命的方法来提高开关速度时，并不使正向压降增加很多，这也是MCT的优越性之一。

MCT还可能在快速关断时，比通常的晶闸管具有更大的安全工作区^[58]。首先，MCT由于是许多小单元的密集结构，其电流比较均匀，并不发生电流集中效应。而且，由于MCT的正向压降小，在同样功耗下允许有更大的电流。其次，通常晶闸管如负载有电感，则关断速度受到很大限制，因为关断速度过高，则感性

负载会在晶闸管两端建立起很高的反向电压，于是发生如下几个使电流不能立刻变小的因素：1)通过结电容 C_j 在管中产生很大充电电流 $C_j dV/dt$ ；2)反向电压高，SCR的中性基区变得很薄，从而电流放大系数 α_L 变大。这两个因素均促使晶闸管的电流再生作用维持下去；3)由于大电流下注入载流子本身的空间电荷效应，导致雪崩注入型二次击穿^[59]。对MCT的研究曾发现，不象晶闸管存在上述现象，MCT的关断速度与负载的电感性关系不是很大。这是因为，MCT的关断是把上面一个基区中所有注入载流子全部清除，当关断上面一个晶闸管时，内部产生再生的机制已不复存在。

MCT的 dI/dt 限制也大为缓和，从而可以高频应用。一般双极型功率器件导通时是靠近门电极部分先导通，然后再传导到

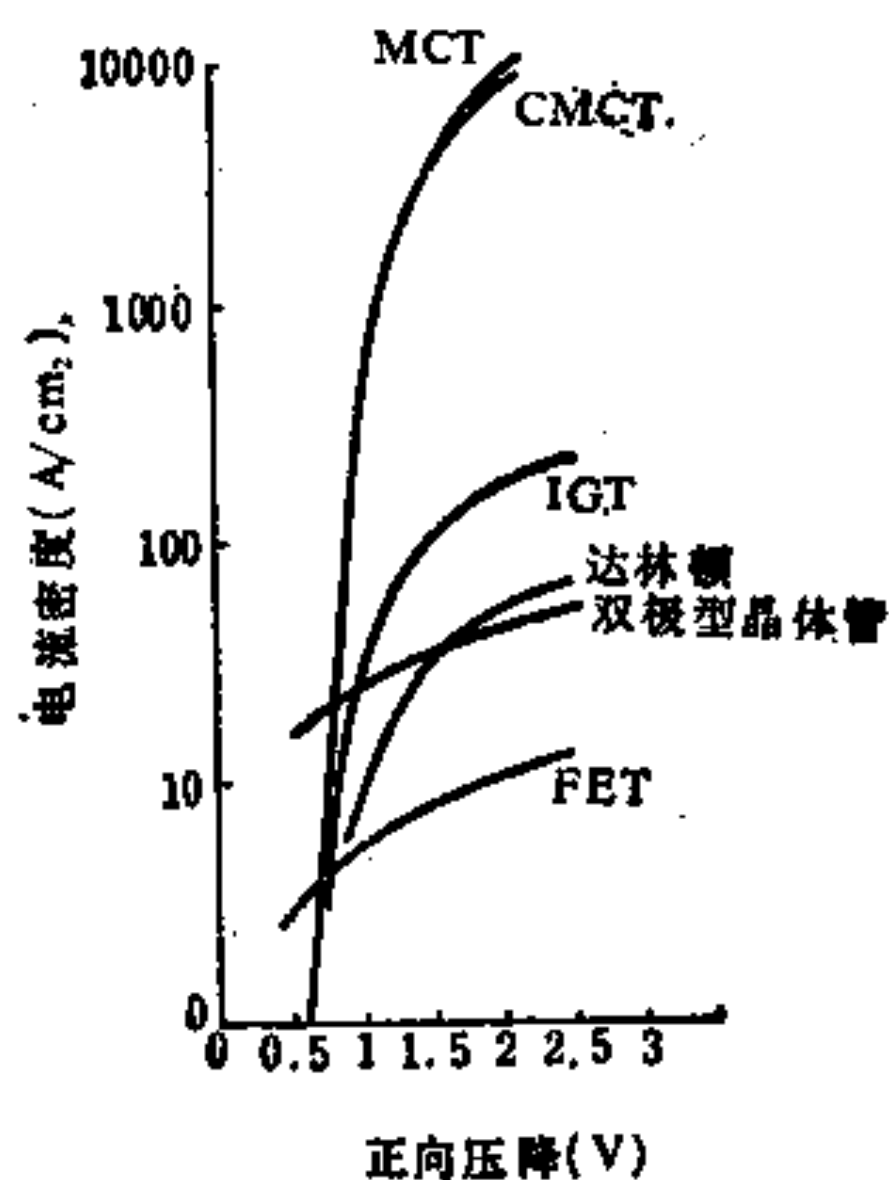


图 4-78 几种600V功率器件的正向压降与电流密度的关系^[58]

整个有源区，因此电流增长率 dI/dt 受到限制，而 MCT 的叉指条只要足够密，则电流增长率不受此限制，导通时间可小到为一个基区渡越时间（几十纳秒），关断时间 t_{off} 与少子寿命有关，与双极型或 IGT 相比，在同样结构尺寸及其它电参数要求相同的条件下，MCT 因为是双注入，少子寿命可降低四倍，因此 t_{off} 也可大大缩短。再则，由于关断用的 MOS 的漏源电压很低 ($<1V$)，由此密勒电容的作用也几乎可略。另外，MCT 可期望有很宽的温度范围（从 $-200^{\circ}C$ 到 $+300^{\circ}C$ ）。

3. SENSE FET 及电流自动限制的功率 MOS

为了感知或测量功率 MOS 的负载电流（例如在马达驱动电路中常有此要求），如果直接串联电阻或电流表，会引起一定的损耗或有其它不利因素。实际上，由于功率 MOS 是许多单元构成，取其中的一部分单元的源极单独引出，其上流过的电流就能反映总电流，这个原理如图 4-79(a) 所示，其典型接线图如图 4-79(b) 所示。图中 R_{SENSE} 上的压降 V_{SENSE} 即反映了经过功率 MOS 的电流。这种四端子 MOS 称 SENSE FET^[54]。

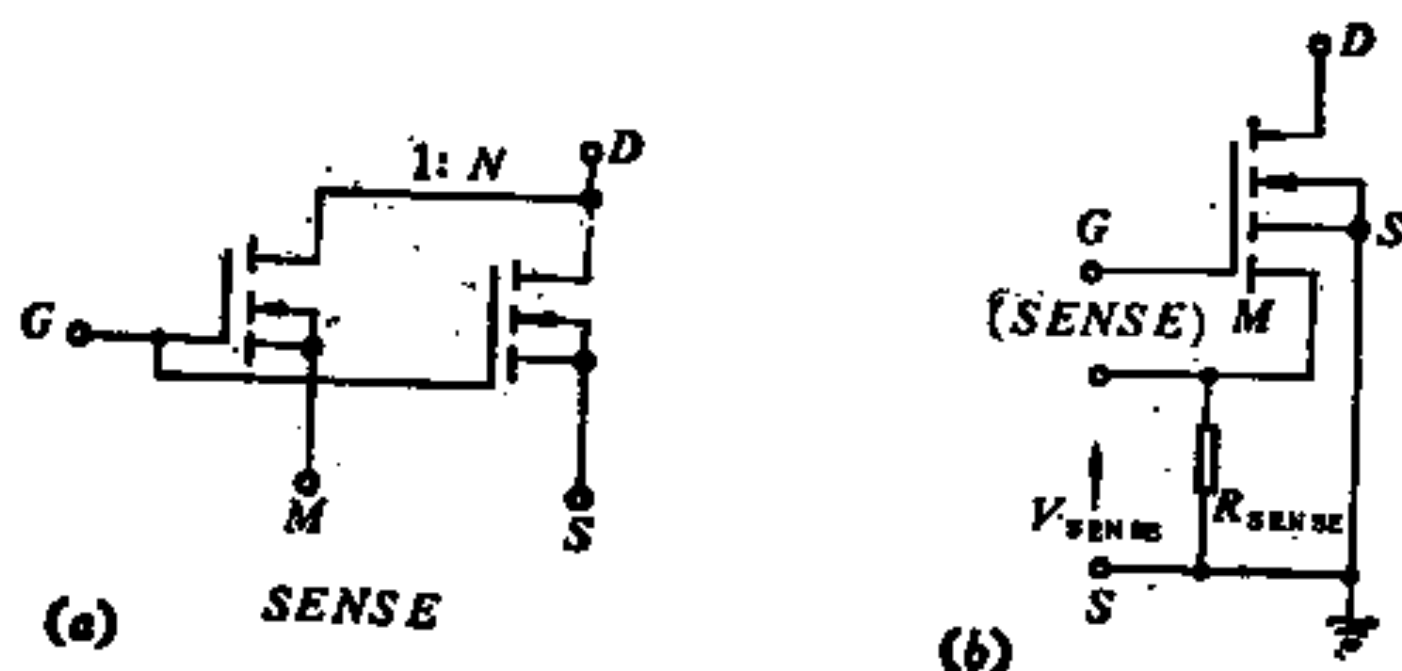


图 4-79 SENSE FET 功能图

(a) 示意图；(b) 典型接线

如果 V_{SENSE} 极小，则这部分的源电压与功率 MOS 的源电位一样，因此电流完全按照元胞数多少来分配。设元胞数比值为

1:N, 则电流比也是1:N。但是如果 R_{SENSE} 上压降不可忽略, 则还应考虑导通电阻, 其模型如图 4-80 所示。SENSE 部分等于是原有的导通电阻 $r_{\text{DS(on)}}$ 又串联了一个 R_{SENSE} , 前者为功率 MOS 导通电阻 $r_{\text{DS(on)}}$ 的 N 倍, 这时 V_{SENSE} 与功率 MOS 的电流关系可根据电路算得或列出“校正曲线”而得到。

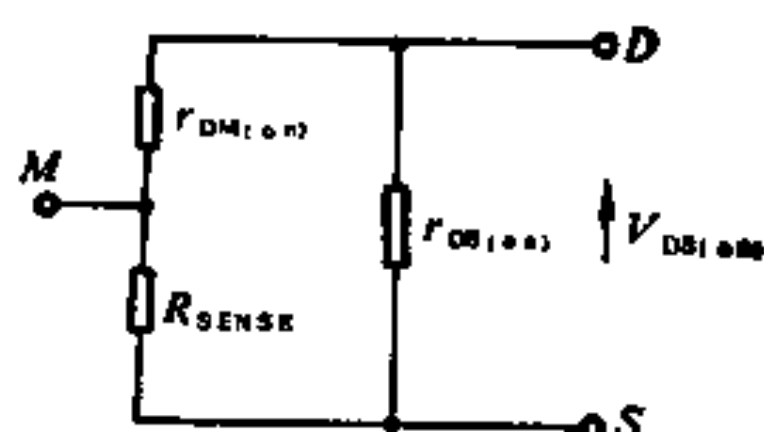
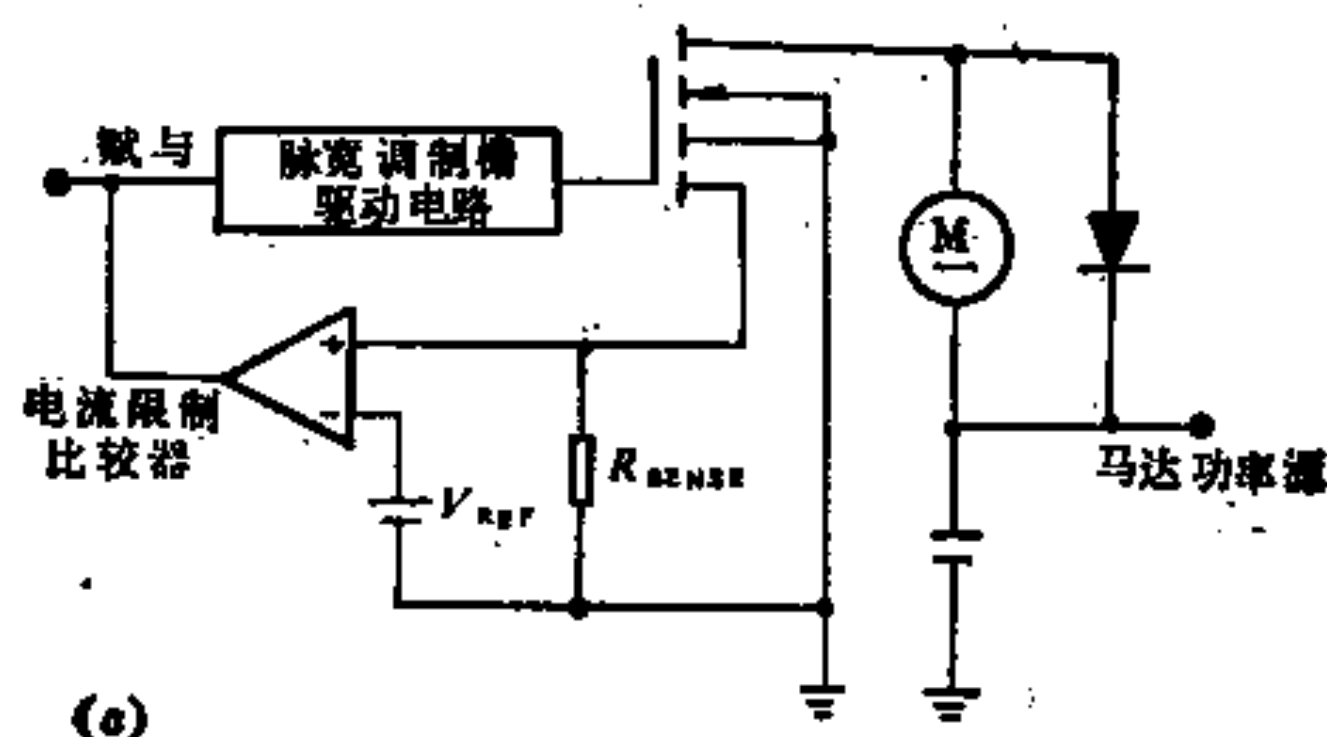
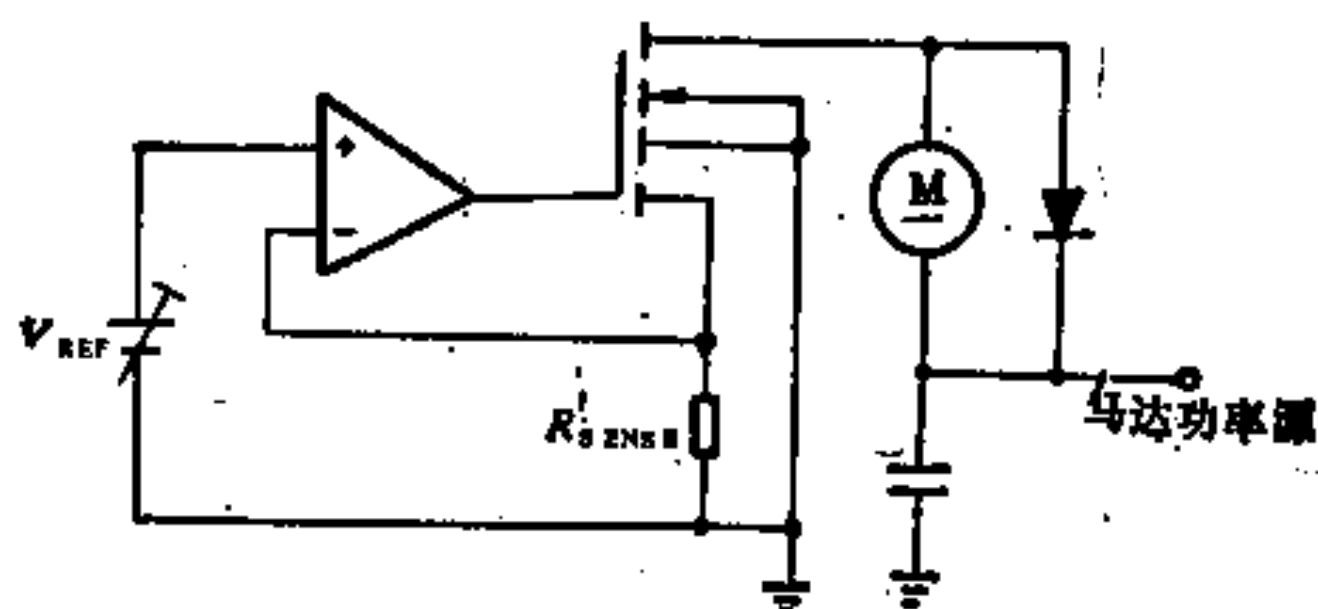


图 4-80 SENSE FET 导通电阻模型



(a)



(b)

图 4-81 SENSE FET 应用在马达控制中

(a) 脉宽调制运用;

(b) 线性运用

SENSE FET 也可用来限制功率 MOS 的输出电流, 图 4-81 示出了对马达的这种应用, 在图 4-81(a) 中, 用脉宽调制来驱动马达, 当电流过大时, R_{SENSE} 上电压超过 V_{REF} , 电流比较器输出正电压, 使脉宽调制栅驱动电路不工作, 从而功率 MOS 无输出。图 4-81(b) 是线性控制方法, 如 R_{SENSE} 上电压超过 V_{REF} , 则线性放大器输出极性反转, 使功率 MOS 无电流输出。

为了使功率 MOS 自身有限制电流从而防烧毁的功能, 也可

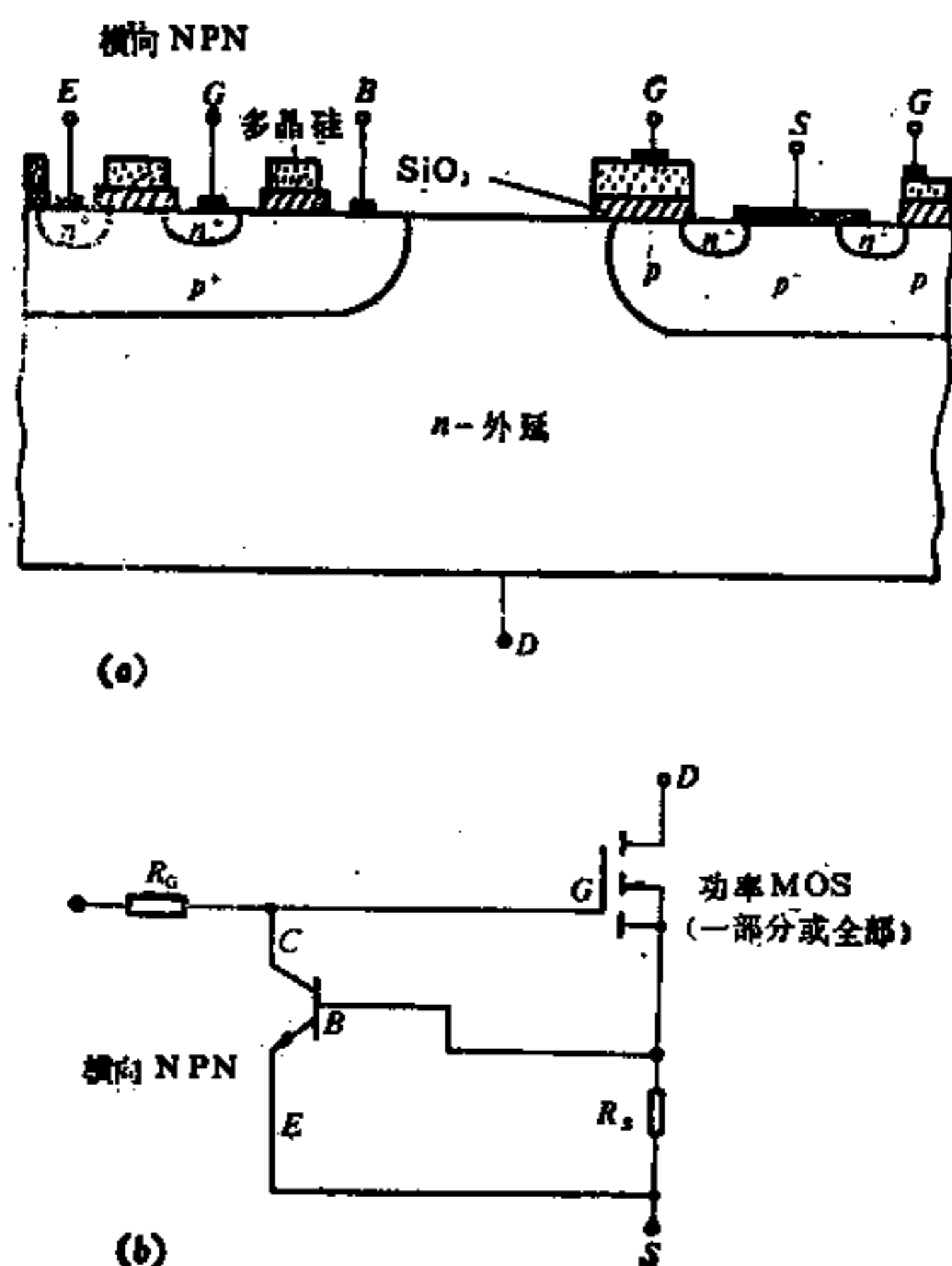


图 4-82 自身有电流限制的功率 MOS

(a) 结构图; (b) 电路原理

以在功率 MOS 制造中顺便做一个双极晶体管，如图 4-82 所示^[56]，这仍是一个三端器件。图 4-82(a) 的 MOS 可取实际功率 MOS 中的一个或几个单元，联成图 4-82(b) 的线路，当电流过大时， R_s 上压降增大，使 V_{BE} 增加，从而横向 NPN 晶体管电流大大增加，造成 R_G 压降增加，于是功率 MOS 的 V_G 下降。适当地选取 R_s 与 R_G 可使功率 MOS 电流限制在一定值之下。

4. 含有自动过热保护的功率 MOS: TEMP FET

功率 MOS 在结构上略微增加一些内容，可以做到有自动过热保护的功能：即管子超过某一温度（所谓热的安全工作区）时，能自动关断电流。图 4-83 示出其原理性电路图^[58]。图中

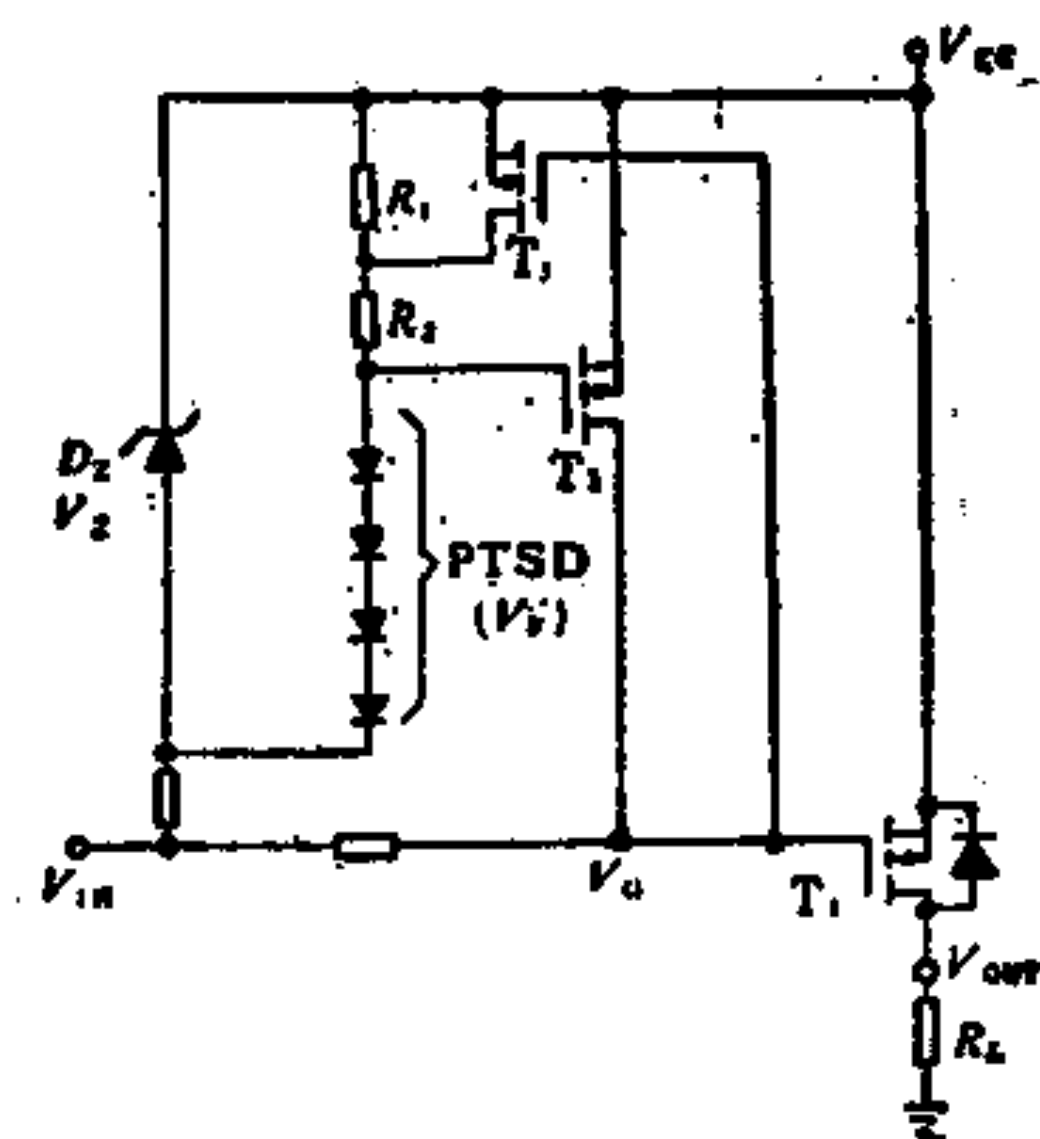


图 4-83 含有自动过热保护的功率 MOS 的电路原理图

T_1 是 P 沟道垂直功率 MOS，PTSD 是一组串联多晶硅热敏 PN 结二极管，温度升高时，PTSD 压降会降低， D_Z 是一个齐纳二极管，其压降 V_Z 维持固定值。当管子温度上升到某值，使

$V_Z - V_{F1} \geq |V_T(M_Z)|$, 即大于 P 沟道 MOS T_2 的阈电压后, T_2 导通, 其压降 ($= V_{CC} - V_G$) 变得很小, 这个压降其实就是 T_1 的栅源电压, 当其小于 T_1 的阈电压时, T_1 就被关断, 电流截止, 管子停止发热。该图中 T_3 是为了加强 T_2 的作用而引入的, T_3 与 T_2 构成双稳态的 Schmit 电路, 当 $V_{CC} - V_G$ 小时, T_3 截止, 流向 PTSD 的电流需经过较高的电阻 R_1 , 这使得 T_2 的栅电压比其阈电压大得更多, 加强了它的作用。

当管子冷却到一个较低的温度时, V_F 又开始增加, 使上述作用发生逆转, 其结果是 T_1 导通。

上述各种元件实际上都是做在一块芯片上, 此器件的剖面图如图 4-84 所示, T_1 是纵向导电功率 MOS, T_2 (及 T_3) 是横向

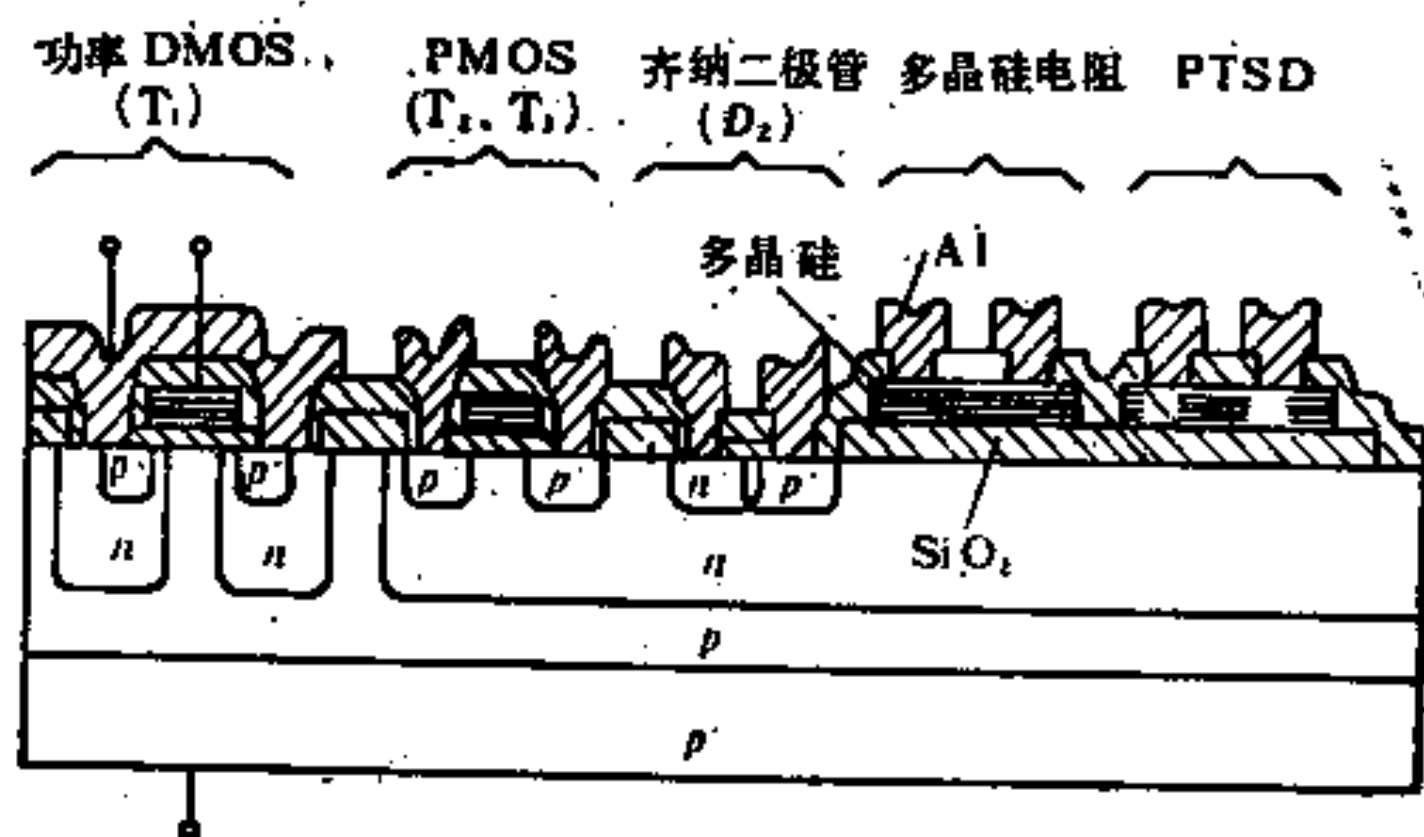


图 4-84 图 4-83 的器件的剖面图

MOS, 它们和其它器件都做在隔离的 N 区内, 因此不会发生其它任何寄生晶闸管效应。在工艺上, 和通常功率 MOS 比, 只增加一次光刻, 这是为了做齐纳二极管的 N^+ 区。几个 MOS 管的工艺条件则都是一样的。

还有一种自动过热保护的功率 MOS 是直接在功率 MOS 芯片上贴上一个可控硅整流器 (晶闸管) 而制成, 称为 TEMP

FET^[57],见图4-85,晶闸管SCR的门极开路,因此通常它的电流很小,功率MOS能正常工作。但当功率MOS功耗过大或环境变化而使其温度超过150℃时,SCR的漏电流便大到维持电流之值,使SCR导通,于是功率MOS的栅极被短接到源极,不再有电

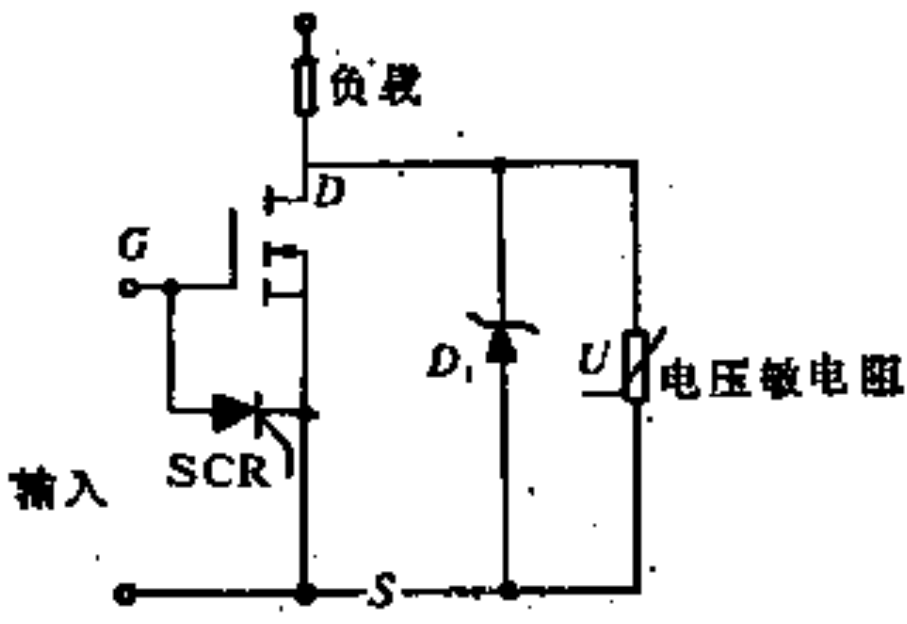


图 8-85 TEMP FET

流输出。为了防止电流突然终止时在电感性负载上造成过高的瞬时电压 $L \cdot di/dt$,可在功率MOS输出端接上一个齐纳二极管 D_1 或电压敏电阻。

5. 功率器件的功率发展趋势

功率MOS由于芯片面积不断增加及导通电阻不断降低,额定功率随年代持续增长,见图4-86。由于额定功率是最大电压(即击穿电压 V_{BR})与最大电流的乘积,而最大电流 I_{max} 是由允

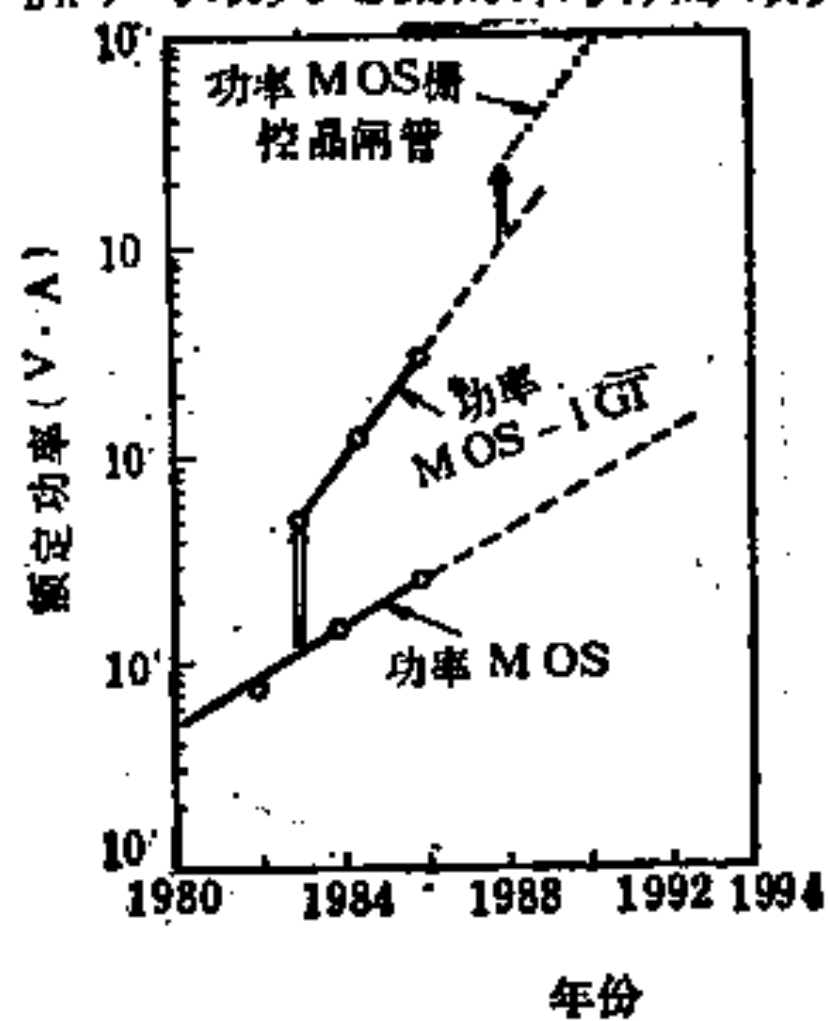


图 4-86 功率处理能力逐年增长情况^[24]

许的最大功耗 $P_{d,max}$ 来决定的, 此功率系因存在导通电阻 R_{on} 而引起, 故 $I_{max} = \sqrt{P_{d,max}/R_{on}}$, 而最大功耗与芯片面积 A_{chip} 成正比, 由此得到额定功率 $P' \propto \sqrt{A_{chip}/R_{on}}$ 。在[58]提到每隔两年最大 A_{chip} 翻一番而 R_{on} 小1.4倍, 由此得到功率 MOS 的额定功率发展趋势是每两年1.7倍的增长率。

IGT 的额定功率在开始时为功率 MOS 的 5 倍, 但额定功率的增长率比功率 MOS 大 1 倍, 为每两年3.4倍, 这是因为 IGT 的额定电压的提高并不严重影响正向压降。

MCT 由于电流密度大, 其额定功率估计可比 IGT 大 8 倍。

随着 MOS 控制型功率器件的额定功率的不断增长, 双极型功率器件的应用地盘将不断地被其挤掉, 估计在1995年, MOS 型器件将占领双极型器件市场的90%以上。

参考文献

- [1] C. Hu, *Proc. 1984 International Electron Devices and Materials Symposium* Sept. pp. 105~110 (1984)
- [2] M. S. Adler, K. W. Owyang, B. J. Baliga, R. A. Kokosa, *IEEE Trans on Electron Devices*, Vol. ED-31, pp. 1570~1581 (1984)
- [3] F. E. Holmes, C. A. T. Salama, *Solid-State Electron*, Vol. 17 pp. 791~797 (1974)
- [4] C. A. T. Salama, *Solid-State Electron*, Vol. 20, pp. 1003~1009 (1977)
- [5] J. D. Russell, et. al., *IEEE Electron Devices Letters*, EDL-4, Vol. No. 3 pp. 63~66, (1983)
- [6] B. J. Baliga, et. al., *IEDM Tech. Dig.*, pp. 264~267 (1982)
- [7] M. F. Chang, et. al., *IEDM Tech. Dig.*, pp. 83~86 (1983).
- [8] D. S. Kuo et. al., *IEEE Trans. Electron Devices*, Vol. ED-6, pp. 211~214 (1985).
- [9] R. Blanchard, *Electron*, 84, 25/1, pp. 1~6 (1984).
- [10] F. Goodenough, *Electron Design*, Jan. 1984. pp. 245~258 (1984).
- [11] P. Rossel, *Microelectronics Reliab.*, Vol. 24, No. 2, pp. 139~366 (1984).
- [12] 上田大助等。电子通信学会论文志86/Vol. J. 69—c, No. 10. pp. 1229~1238 (1986)
- [13] S. L. Miller; *Phys. Rev.* Vol. 105, No. 4, pp. 1246~1249 (1957).

- (14) S.G. Sun, J.D. Plummer, *IEEE Trans. Electron Devices*, Vol. ED-27, No. 2, pp. 156~367 (1980)
- (15) V.A.K. Temple, P.V. Gray, *IEDM 1979 Technical Digest*, pp. 88~92 (1979).
- (16) D. Sharma, et. al., *IEEE J. Solid-State Circuits*, Vol. SC-13, pp. 378~380, June, 1978.
- (17) H. Tranduc, P. Rosset, *Revue de Physique Appliquee* Vol. 17, No. 6, pp. 389~391 (1982).
- (18) M.H. Chi and C. Hu, *Record of 1982 IEEE Power Electronics Specialists Conf.*, pp. 392~399 (1982)
- (19) D.L. Blackburn, *IEEE Trans. Power Electronics*, Vol. PE-2, pp. 136~142 (1987). 雪崩注入型请参考(35)有关章节。
- (20) M.D. Pocha, A.G. Gorzalez, R.W. Dutton, *IEEE Trans. Electron Devices*, Vol. ED-21, p. 778~784 (1974)
- (21) J.G. Tsai, *Proc. IEEE* 57, pp. 1499 (1969).
- (22) C. Hu, M.H. Chi, V.M. Patel, *IEEE Trans Electron Devices*, Vol. ED-31, No. 12, pp. 1693~1700 (1984).
- (23) P.L. Hower, M.J. Geisler, *IEEE Trans. Electron Devices*, Vol. ED-28, No. 9, pp. 1098~1101 (1981).
- (24) B.J. Baliga, *IEDM 86 Technical Digest*, pp. 102~105 (1986).
- (25) C.F. Wheatley, G.M. Dolny, *Solid-State Technology*, Nov. 1985, pp. 121~128 (1985).
- (26) M.L. Tarng, *IEDM Tech. Dig.*, pp. 429~432 (1985).
- (27) C. Hu, *IEEE Trans. Electron Devices*, Vol. ED-26, No. 3, pp. 243 (1979).
- (28) V.A. Temple, et. al, *IEEE Trans. Electron Devices*, Vol. ED-27, No. 2, p. 243 (1980).
- (29) X.B. Chen (陈星弼), C. Hu, *IEEE Trans. Electron Devices*, Vol. ED-29, No. 6, pp. 985~987 (1982).
- (30) E.O. John., *RCA Review*, Vol. 26, No. 2, pp. 163~177 (1965). 或陈星弼, 唐茂成. “晶体管原理”, 国防工业出版社, p. 285~287 (1981).
- (31) H.R. Chang, B.J. Baliga, *45th Annual Devices Research Conference*, U.C. Santa Barbara, IB-4 (1987).
- (32) T. Grant, *MOS Power Design Catalog* Siliconix Inc., U.S.A. pp. 6~13 (1983).
- (33) A. Blicher, *Field-Effect and Bipolar Power Transistor Physics* Academic Press, New York, P. 2, 73, 1981.
- (34) I. Yoshida, et. al., *IEDM Tech. Dig.* 1983 pp. 91~94.
- (35) P. Mc Gregor, J. Mena, C.A.T. Salama, *Solid-State Electron*, Vol.

- 27, No.5, pp.419~432(1984).
- [36]E.Stikvoot, *IEEE Trans.Electron Devices*, Vol.ED-25, p.1389 (1978).
- [37]W. Grover, *Inductance Calculations*, p.35 Van Nostrand, New York(1946).
- [38]S.K.Ghandhi, "Semiconductor Power Devices" John Wiley & Sons, New York, pp.110~128(1977).
- [39]D.S.Kuo, et.al., *IEEE Electron Devices Letters*, Vol.EDL-6, No.5, pp.211~214(1985).
- [40]B.J.Baliga, *IEEE Electron Devices Letters*, Vol.EDL-6, pp.74~77(1985)
- [41]J.G.Fossum, R.J.Mcdonald, *IEEE Trans.Electron Devices*, vol. ED-33, No.9, pp.1377~1382(1986).
- [42]陈星弼、唐茂成。《晶体管原理与设计》，成都电讯工程学院出版社，第20页。(1987)。
- [43]T.P.Chow, B.J.Baliga, *IEEE Electron Devices Letters*, vol. EDL-6, No.4, pp.161~163(1985).
- [44]M.S.Adler, et.al., *IEEE Trans.Electron Devices*, Vol.ED-31, No.11, pp.1370~1501(1984).
- [45]H.Yilmaz, et.al., *IEEE IAS Meeting Digest*, Toronto, Canada, 6th-11th(October)pp.905~908, (1985)
- [46]H.Yilmaz, et.al., *IEEE Proceeding*, Vol 132, Pt.I, No.6, (Dec) pp.261~263(1985).
- [47]B.J.Baliga, et.al., *IEEE Electron Devices Letters*, Vol.EDL-5, No.8, pp323~325, (1984).
- [48]H.Yilmaz, *IEEE Electron Devices Letters*, Vol.EDL-6, No.8 pp.419~421(1985).
- [49]M.F.Chang, *IEDM Tech.Dig.*1984, p.278(1984).
- [50]B.J.Baliga, *Solid-State Electronics*, 1985: 28 (3), 289~297
- [51]B.J.Baliga, *Electronics Letters*, Vol.15, pp.645~647(1979)
- [52]V.A.K.Temple, W.Tantraporn, *IEDM Technical Digest* 86, pp 118~121(1986).
- [53]V.A.K.Temple, S.Arthur, D.L.Watrons, *IEDM Technical Digest* 88, pp 618~621(1988).
- [54]W.Schultz, *PCIM*, April 1986 Issue, pp.30~34(1986).
- [55]S.P.Robb et.al., *IEDM 88 Technical Digest*, pp.792~795(1988).
- [56]Y.Tsuzki, et.al., 1987 *IEEE Power Electronics Specialists Conference*, pp.31~36(1987).
- [57]F.Goodenough, *Electronics Design*, October 1987 pp.57~58(1987).
- [58]B.J.Baliga, *Proc.IEEE*, Vol.76, No.4, pp409~418(1988)

第五章 横向高压功率MOS型器件

横向高压功率 MOS 指的是具有横向沟道结构的高压功率 MOS。由于这类器件的漏极、源极和栅极都在芯片表面,易于通过内部连接与低压信号电路集成,故在高压集成电路(HVIC)和功率集成电路(PIC)中作为高压功率器件是特别适合的。横向高压功率 MOS 的基本结构有两种,高压偏置栅 MOS 和高压 LDMOS。虽然提高击穿电压的终端技术有多种,但在 HVIC 和 PIC 中常用的是场板技术和 RESURF 技术,尽管采用双栅结构也能实现高击穿电压,但高压双栅 MOS 在应用上有着一定的局限性。

由于 MOS 优异的热稳定性,不会发生电流局部集中,故在沟道长度确定后,一般是用增大沟道宽度的办法来实现大电流。因为横向高压 MOS 的三个电极都位于芯片表面,故横向高压功率 MOS 的图形结构只有一种——叉指式结构。

§5-1 横向双扩散 MOS (LDMOS)

1. LDMOS 的特点及制造

LDMOS 是用双扩散技术,在同一窗口相继进行硼磷两次扩散,由两次杂质扩散横向结深之差可精确地决定沟道长度。如采用 $8\mu\text{m}$ 宽的扩散窗口,则 MOS 有源区的沟道长度可小于 $1\mu\text{m}$ 。为了提高耐压,在有源区到漏之间有一个高阻层,此层在高漏电压下全耗尽,如同 VDMOS 的外延区,此层称为漂移区。图 5-1 示出了 LDMOS 的两种结构,其中图(a)的耐压较低,

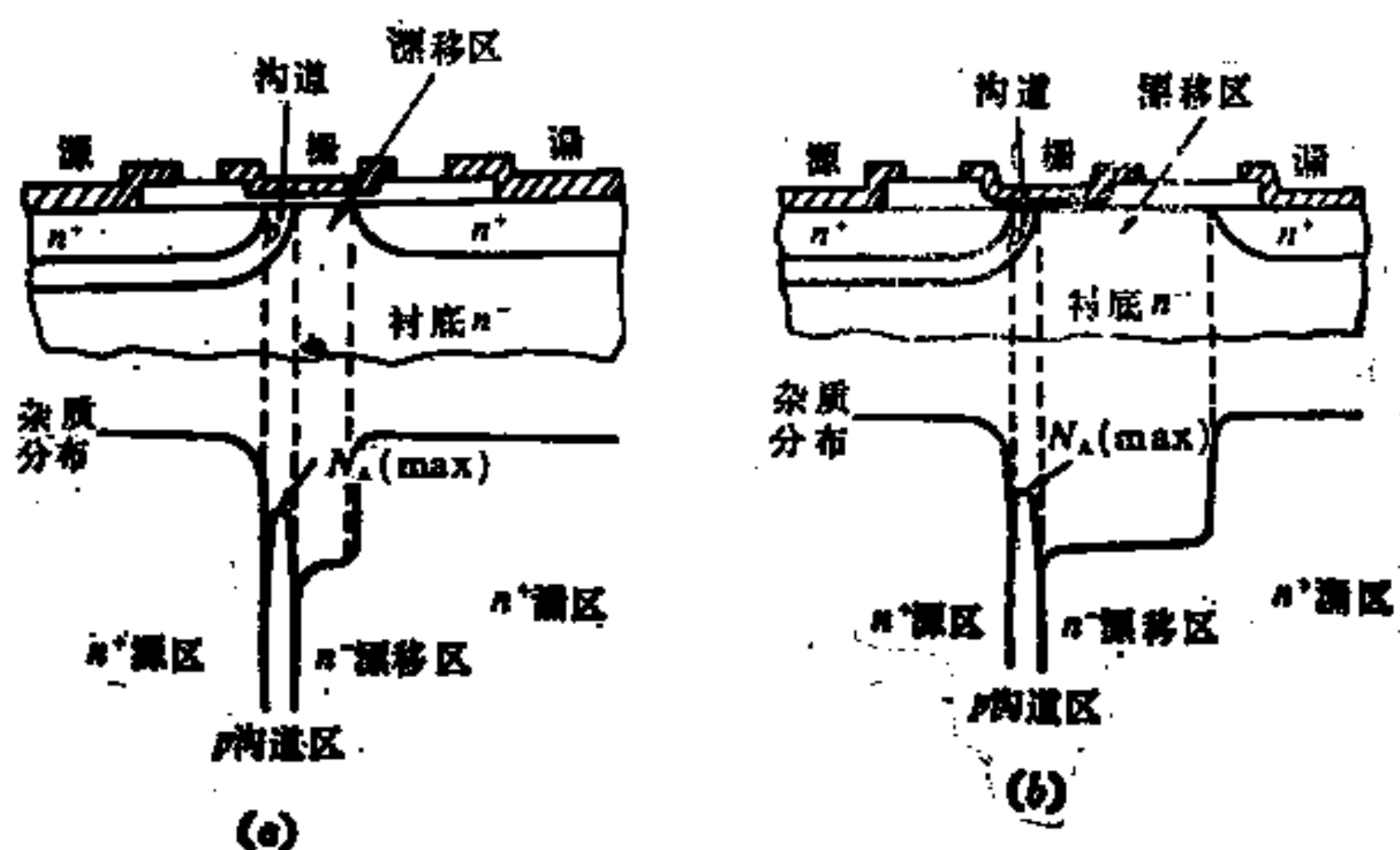


图 5-1 LDMOS 结构示意图

(a) 低耐压; (b) 高耐压

图(b)的耐压较高。

由于 LDMOS 在工艺上很容易实现 $0.4 \sim 2 \mu\text{m}$ 的沟道长度, 故跨导 g_m 、漏极电流 I_{DS} 、最高工作频率 f_t 和速度都较一般 MOS 有大幅度的提高; 高阻漂移区的存在提高了击穿电压, 并使漏源两极之间的寄生电容得以减小, 这有利于提高频率特性。再者, 漂移区在沟道与漏区之间起着缓冲作用, 从而使 LDMOS 的短沟效应得以削弱, 低耐压和高耐压 LDMOS 的主要区别在于栅电极和漂移区的长度, 一般说来, 低耐压 LDMOS 的栅电极复盖着整个漏源两区之间的面积; 而高耐压 LDMOS 的栅电极距漏区边缘必须要有一定距离, 见图 5-1 (b), 如该距离太小或复盖了漏区, 则 $V_{(BR)DS}$ 将会大幅度下降。由于漂移区是高阻区, V_{DS} 的绝大部分降落在漂移区上, 故在沟道夹断后, 基本上没有沟道长度调制效应, 从而在 V_{DS} 增大时, 输出电阻不会降低, 并使沟道区也不致穿通。这样 LDMOS 的击穿电压将不

受沟道长度和掺杂水平的限制，可以独立设计。另外在正常工作时(饱和区)漂移区是全部耗尽的，因而栅漏电容 C_{gd} 是很小的。

LDMOS 的阈值电压 V_{th} 决定于沟道区掺杂浓度的峰值和衬底浓度，故只要控制沟道区掺杂浓度的峰值，就能获得增强型 ($V_{th} > 0$) 或耗尽型 ($V_{th} < 0$) 的器件。在沟道长度小于 $1\mu\text{m}$ 及沟道掺杂浓度的峰值较低时，能获得耗尽型器件；这种器件适用于线性高频放大应用。在沟道长度为 $1 \sim 2\mu\text{m}$ 及沟道掺杂浓度的峰值较高时，能获得增强型器件，这种器件适用于开关应用。

制作 LDMOS 的原始材料可以是单晶衬底，外延材料或 SOI 衬底。高阻漂移区部分可以是 N^- 、 P^- 或 π (掺杂极低的 P 型)，对于 N 沟高耐压 LDMOS，采用 P^- 或 π 衬底时，必须采用延伸漏极结构。在工艺上可以采用硅栅自对准工艺和 NMOS 工艺以提高其性能，采用 N^-/P^- 原始材料，可以实现 PN 结隔离并在同一工艺中能将 N 沟 DMOS 和双极 NPN 晶体管同时集成。

在微波应用方面，与双极晶体管相比较，LDMOS 有以下优点：1) 由于在大电流范围内的跨导保持较大并为常数，故线性放大的动态范围较大，并在较大输出功率时能有较大的线性增益；2) 交叉调制失真较低，这是双极晶体管所不能达到的，故特别适用于混频器和自动增益控制。

LDMOS 最初是应用在微波放大器、混频器、自动增益控制和高速逻辑等方面，由于 LDMOS 的源、栅和漏三个电极均在表面，易于与其它器件集成；目前 LDMOS 已广泛应用于高压集成电路 (HVIC) 和功率集成电路 (PIC) 中。

LDMOS 的制造工艺大致如图 5-2 所示^[1]。

(a) 在高阻 N^- 型 Si 衬底表面上热氧化生长一层作掩蔽用的 SiO_2 层。

(b) 第一次光刻，刻出硼扩散区窗口，并在非氧化气氛中进行沟道硼扩散。

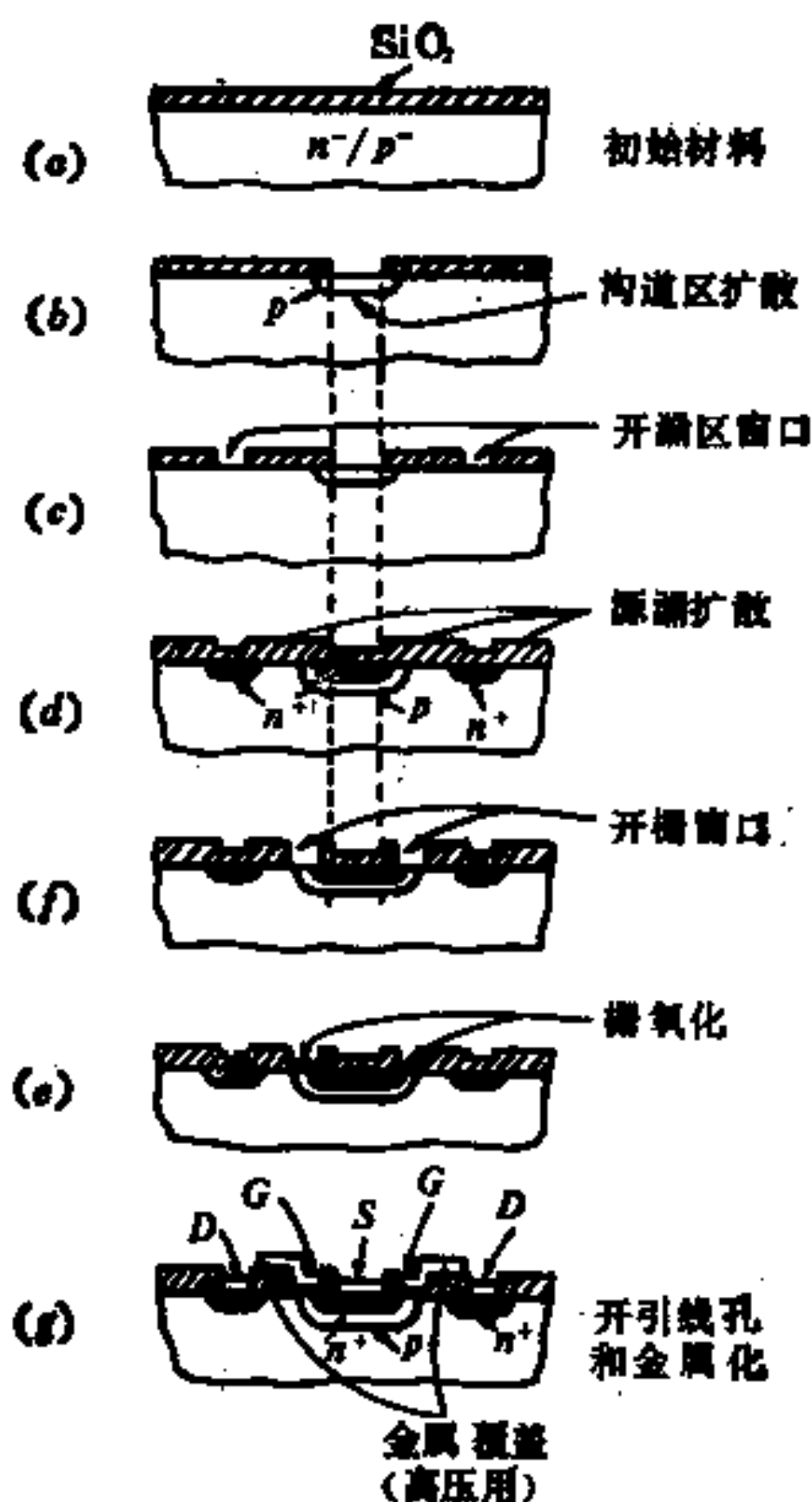


图 5-2 LDMOS 的工艺流程

(c)第二次光刻刻出两个漏区窗口。

(d)第三次光刻刻出沟道区。

(e)栅氧化后在沟道区表面形成 SiO_2 层。

(f)第四次光刻刻出漏、源电极窗口后，进行蒸 Al，最后，进行第五次光刻，刻去不需要的 Al 层，从而形成漏、源和栅三个电极。

2. LDMOS 的模型^[2]

这里先讨论图 5-1 (a)所示的低耐压 LDMOS 的两管模型。

如图 5-3 所示, 该模型由一个有源区的短沟道 MOS 和一个漂移区的长沟道 MOS 串联构成, 有源区和漂移区交界处称为中间节点, 其电位用 V_x 表示。两个栅极的电位是一样的, 由于有源区 MOS 常为增强型(Enhancement), 漂移区 MOS 常为耗尽型(Depletion), 故此模型又称 E/D 模型。把一个 MOS 分成两个串联, 使得数学推导简单, 物理概念清楚。

根据式 (4-10), 在线性区对 E 管, 漏源电压是 V_x , 故设源为地电位 ($V_s \approx 0$), 则

$$I_D = \beta_E V_x [V_G - V_{(th)E} - V_x / 2] \quad (5-1)$$

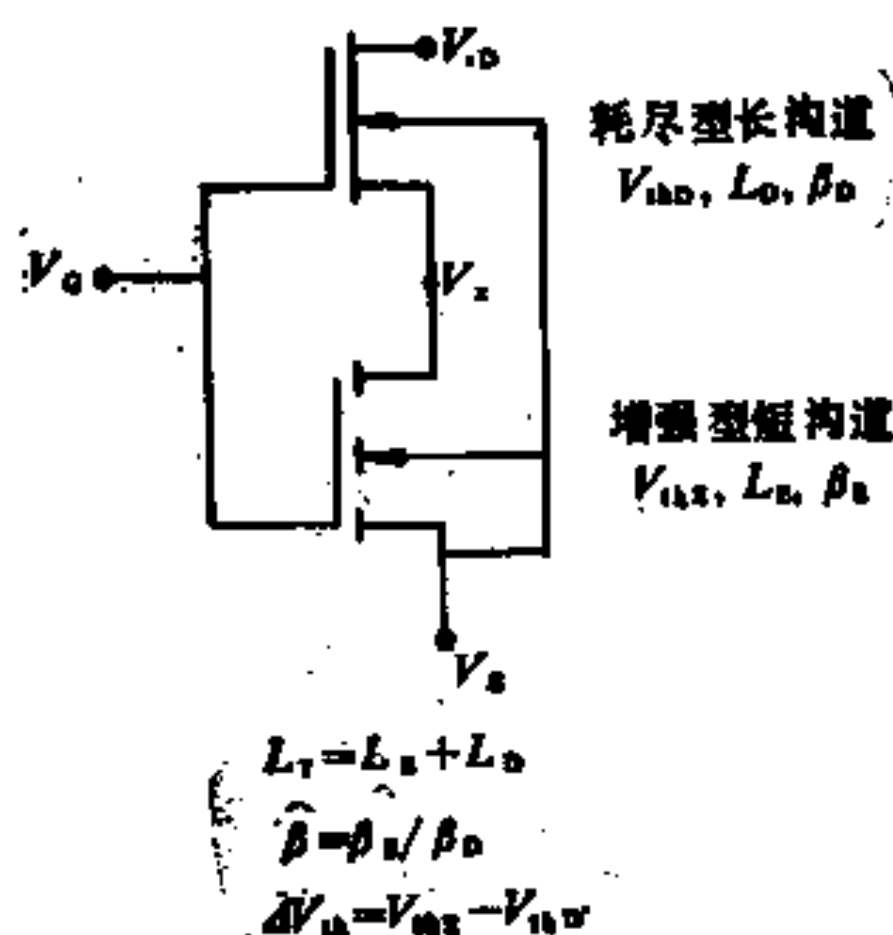


图 5-3 低耐压 LDMOS 管的模型

式中 $\beta_E = \mu_n C_{ox} Z / L_E$, $V_{(th)E}$ 代表该管阈电压。对 D 管, 源电压是 V_x , 栅源电压是 $(V_G - V_x)$, 漏源电压是 $(V_D - V_x)$, 阈电压是 $V_{(th)D}$, 根据 Kirchhoff 第一定律, 电流与 E 管相等, 因此

$$I_D = \beta_D (V_D - V_x) \left[V_G - V_x - V_{(th)D} - \frac{V_D - V_x}{2} \right] \quad (5-2)$$

式中 β_D 与 β_E 的差别是 L_E 换为 L_D , 一般讲, L_D 比 L_E 大得多。

当

$$V_s \geq V_G - V_{(th)E} \quad (5-3)$$

时, E 管沟道终端被夹断, 电流饱和, 为

$$I_D = \frac{1}{2} \beta_E (V_G - V_{(th)E})^2 \quad (5-4)$$

同样地, 当

$$V_D - V_s \geq V_G - V_s - V_{(th)D} \quad (5-5)$$

时, D 管电流饱和, 为

$$I_D = \frac{1}{2} \beta_D (V_G - V_s - V_{(th)D})^2 \quad (5-6)$$

E 管饱和后, 电流不随 V_D 变化, 而 D 管饱和后电流随 V_s 变化, 这是因为此管栅源电压是 $V_G - V_s$, V_s 又决定于 V_D 。为了弄清各管在一定 V_G 及 V_{DS} 下是处于饱和区还是线性区, 首先应求出 V_s 与 V_D 的关系。

由线性区两管的式子(5-1)与(5-2)消去 I_D , 可求得

$$V_s = \left(V_G' + \frac{\Delta V_{th}}{1 + \hat{\beta}} \right) - \sqrt{\left(V_G' + \frac{\Delta V_{th}}{1 + \hat{\beta}} \right)^2 - 2 \left[\frac{(V_G' + \Delta V_{th})V_D - V_D^2/2}{1 + \hat{\beta}} \right]} \quad (5-7)$$

其中, $\hat{\beta} = \beta_E / \beta_D$, $\Delta V_{th} = V_{(th)E} - V_{(th)D}$, $V_G' = V_G - V_{(th)E}$ 为有效栅压。

设 V_D 大到使 V_s 满足式(5-3) (即使 E 管为饱和) 的电压为 V_{DSE} , 则由式(5-3)及式(5-7)得

$$V_{DSE} = (V_G - V_{(th)D}) - \sqrt{\Delta V_{th}^2 - \hat{\beta}(V_G - V_{(th)E})^2} \quad (5-8)$$

同样地，设 V_D 大到使 $V_D - V_s$ 满足式(5-5)的电压为 V_{DSD} ，即 D 管为饱和，得

$$V_{DSD} = V_G - V_{thD} \quad (5-9)$$

图 5-4 画出了 V_{DSE} 及 V_{DSD} 与 V'_G 的关系，容易看到在图中的区域 1，E 管及 D 管均饱和；在区域 2，D 管饱和而 E 管不饱

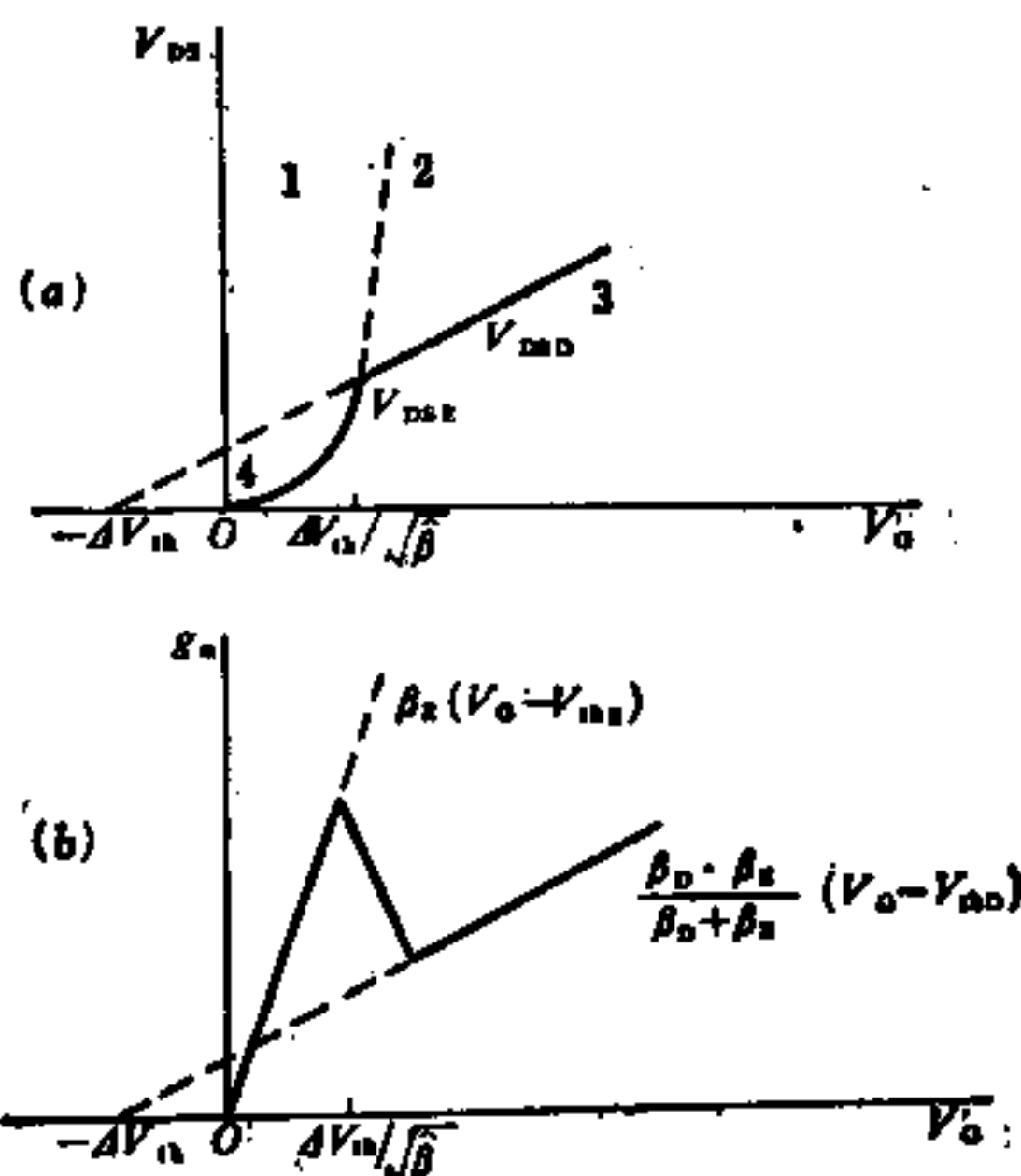


图 5-4 两管模型的饱和漏电压与有效栅压的关系(a)及跨导与有效栅压的关系(b)

和；区域 4 则和区域 2 正好相反。至于区域 3，则两管均不饱和。在这几个区域的交点上， $V_{DSE} = V_{DSD}$ ，用 V_{DST} 表示，这代表两管均恰好饱和，该点的 V'_G 用 V'_{GT} 表示，容易证明

$$V'_{GT} = \Delta V_{th} / \sqrt{\hat{\beta}} \quad (5-10)$$

同时

$$V_{DST} = V'_{GT} + \Delta V_{th} = \Delta V_{th} \left(1 + 1 / \sqrt{\hat{\beta}} \right) \quad (5-11)$$

上面的区域划分有助于推测在各种电压下的输出特性，例如，设 $V_D > V_{DST}$ ，则随着 V'_G 从零开始增加会经过三个区域：

1 区——短沟控制（E 控制）区，在 $V'_G \leq V'_{GT}$ 时，两管均饱和，电流可用式（5-4）表示，此饱和电流大小决定于短沟 E 管，这一区域的 V'_G 范围是从零到 V'_{GT} ，后者由式（5-10）决定，由该式可见 ΔV_{th} 愈大， $\hat{\beta}$ 愈小，则此区范围愈宽。

由式（5-6）可见，此区跨导为 $g_m = \beta_E V'_G$ ，其最大跨导 $g_{m(max)}$ 发生在 V'_{GT} 处，利用式（5-10）可知

$$g_{m(max)} = \sqrt{\beta_E \beta_D} \Delta V_{th} \quad (5-12)$$

g_m 已画在图 5-4 (b) 中。

2 区——长沟控制（D 控制）区，当 V'_G 略大于 V'_{GT} 时，E 管处于线性区，电流受限于在饱和区的 D 管，用漏饱和电压 V_{DSD} 的表示式（5-9）代入式（5-7）可得饱和区临界点的 V_x ，由这个 V_x 及 V_{DSD} 代入式（5-2）得到

$$I_D = \frac{1}{2} \left(\frac{\beta_E \beta_D}{\beta_E + \beta_D} \right) \left[V_G - V_{(th)E} \right] \sqrt{1 - \frac{\Delta V_{th}^2}{(V_G - V_{(th)E})^2 (1 + \hat{\beta})}} + \Delta V_{th} \left[\frac{\hat{\beta}}{\hat{\beta} + 1} \right]^2 \quad (5-13)$$

如长沟道管的 L_D 比短沟道管的 L_E 大三倍以上，即 $\hat{\beta} \geq 3$ ，则当 V_G 比 V_{GT} 大得较多时，上式可简化为

$$I_D = \frac{1}{2} \left(\frac{\beta_E \beta_D}{\beta_E + \beta_D} \right) (V_G - V_{(th)D})^2 \quad (5-14)$$

由于 $\beta_E \beta_D / (\beta_E + \beta_D) = \mu_n C_{ox} Z / (L_E + L_D) \equiv \mu_n C_{ox} Z / L_T$, 故长沟控制下增益因子 β 是由总长度 $L_T = L_E + L_D$ 决定的。跨导

$$g_m = \frac{\beta_E \beta_D}{\beta_E + \beta_D} (V_G - V_{thD}), \text{ 如图5-4(b)所示, 实际上, 从1}$$

区的跨导转到2区的跨导时, g_m 经历了一个极大值 $g_{m(max)}$, 在极大值之后将有一个逐渐变小的区域, 这时 V_x 逐渐变小, 使E管最后在线性区工作, g_m 成为

$$g_m = \frac{\beta_E \beta_D}{\beta_E + \beta_D} (V_G - V_{thD}) \quad (5-15)$$

3区——当 $V'_G > V_D - \Delta V_{th}$ 时, 根据式(5-5), D管也进入线性区, 这里就不详细讨论了。

上面的讨论假定两管内迁移率是常数, 即速度与电场成正比, 饱和的原因是沟道末端被夹断。实际上, 由于E管是短沟器件, 其沟道区电场较大, 而Si中载流子在高电场下会发生速度饱和现象, 粗略讲, 速度 v 与电场 E 的关系如图5-5实线所示, 当 $E > E_{co}$ 时, v 是一个恒定值 v_s , 这时电流的饱和不是由沟道夹断引起, 而是由速度饱和引起。

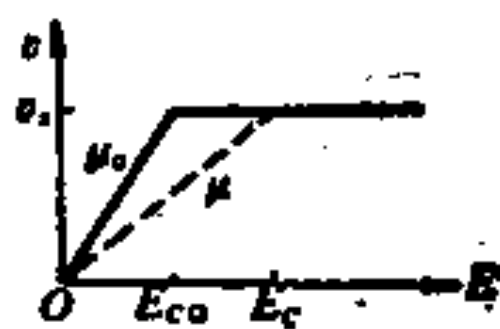


图5-5 反型层中电子速度在电场的关系

为了考虑速度饱和, 我们重新列出沟道中电流的方程

$$I = Z \mu_n Q_n \frac{dV}{dy} = Z \mu_n C_{ox} (V_G - V_{th} - V) \frac{dV}{dy} \quad (5-16)$$

设 $y = L$ (沟道末端) 电场已达 E_{co} , 即 $dV/dy = E_{co}$, 并设这时的漏源电压为 V_{DS0} , 于是

$$I = Z \mu_n C_{ox} (V_G - V_{th} - V_{DS0}) E_{co} \quad (5-17)$$

另一方面, 将式(5-16)乘 dy , 再从 $y = 0$ 积分到 $y = L$ (V 从 0 到 V_{DS0}), 并考虑到电流连续性, 即 I 不随 y 变, 得到

$$I = \frac{Z\mu_n C_{ox}}{L} \left(V_G - V_{th} - \frac{1}{2} V_{DS} \right) V_{DS} \quad (5-18)$$

上式描述了速度饱和时，饱和电流与 V_G 的关系，此时的跨导为

$$g_m = \beta V_{DS} \quad (5-19)$$

由式(5-17)及(5-18)消去 I ，可以得到 V_{DS} 与 E_{co} 的关系，为

$$V_{DS} = (V_G - V_{th}) + E_{co}L - \sqrt{(V_G - V_{th})^2 + (E_{co}L)^2} \quad (5-20)$$

实际上，电子在沟道中的迁移率还受到垂直于其运动方向的电场影响，即受到 V_G 的影响，这种影响下 v 与 E 的关系近似讲为图 5-5 中虚线所示，这使得速度饱和的临界电场为 E_c ，比 E_{co} 大， E_c 可近似表为

$$E_c = E_{co} \left(1 + \frac{V_G - V_{th}}{V_k} \right) \quad (5-21)$$

其中 V_k 为一个适应实验结果的常数，在速度饱和时，与前面近似的差别只是用 E_c 来代替 E_{co} ，因此我们在推导各种关系时仍采用式(5-17)，(5-18)和(5-20)。

我们回忆，沟道夹断的饱和电压 $V_{DS(sat)}$ 就是 $(V_G - V_{th})$ ，如将式(5-20)中 $V_G - V_{th}$ 用 $V_{DS(sat)}$ 代替则可以发现， V_{DS} 始终小于 $V_{DS(sat)}$ ，但当 L 很大（长沟道）时， V_{DS} 等于 $V_{DS(sat)}$ ，而当 L 很小（短沟道）时， V_{DS} 近似等于 $E_{co} \cdot L$ 。

明确了速度饱和时的特性后，我们再来研究两管模型中 E 管饱和时的特性。 E 管饱和要求 $V_s \geq V_{DS}$ ，利用式(5-20)可得

$$V_s \geq (V_G - V_{th})_E + E_{co}L_E - \sqrt{(V_G - V_{th})_E^2 + (E_{co}L_E)^2} \quad (5-22)$$

前面已得到 V_s 与 V_D 的关系式(5-7), 当 V_s 满足上式时的 V_D 称为 V_{DSE} , 由此得到

$$V_{DSE} = V_G - V_{(th)D} - \left\{ (V_G')^2 + \Delta V_{th}^2 - 2[(1 + \hat{\beta})E_{co}L_E - \Delta V_{th}] \times \sqrt{(V_G')^2 + (E_{co}L_E)^2} - E_{co}L_E \right\}^{\frac{1}{2}} \quad (5-23)$$

图 5-6 示出了对衬底为 P^- 弱掺杂的所谓 π DMOS 的长沟 ($L_T = 30\mu m$) 及短沟 ($L_T = 5\mu m$) 两种器件计算的 V_{DS} 的夹断

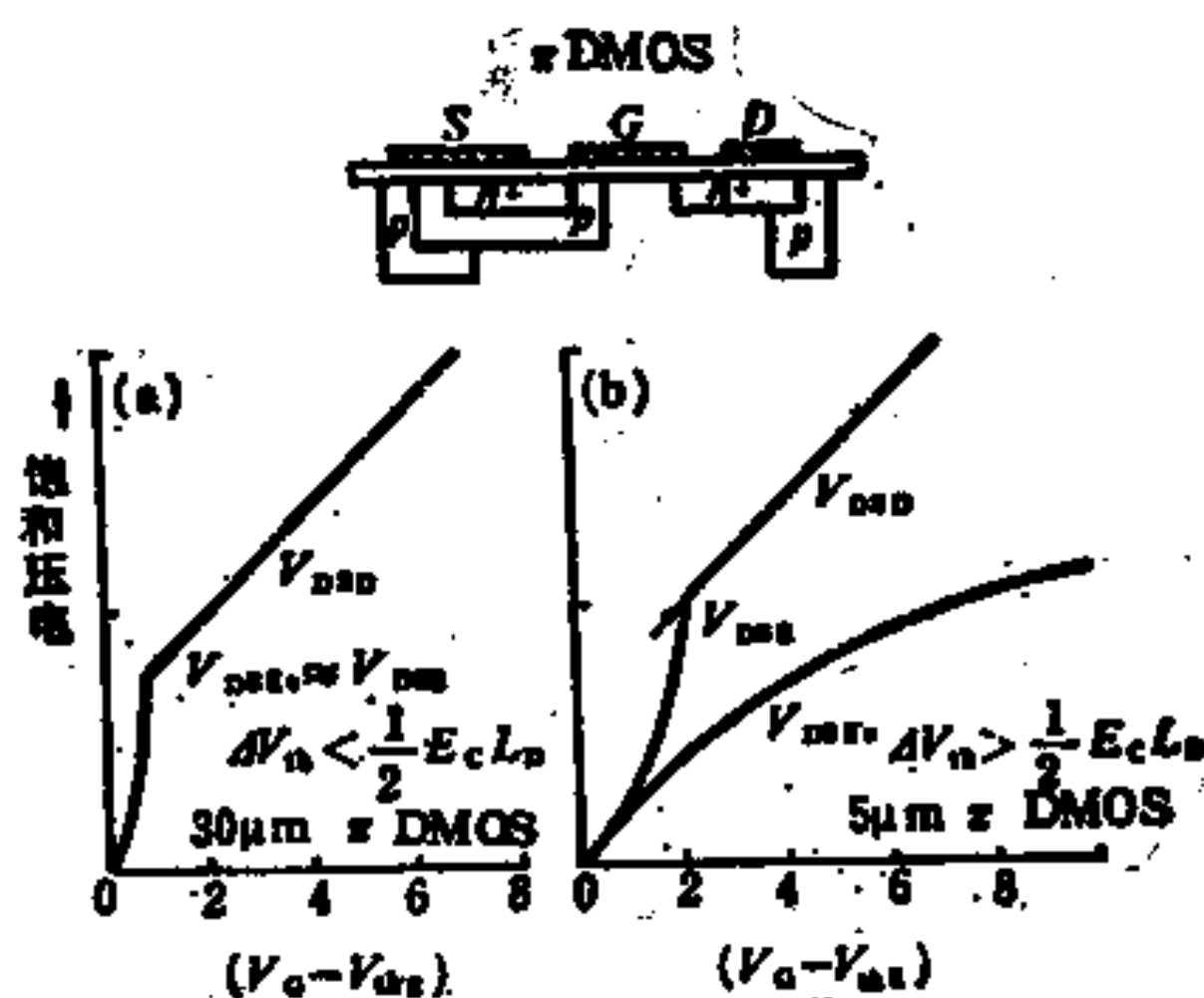


图 5-6 对于两种LDMOS的饱和电压与有效栅压关系的计算结果
(a) $30\mu m$ π DMOS; (b) $5\mu m$ π DMOS. $V_{(th)E} = 30V$, $V_{(th)D} = 0V$. 插图, π DMOS 剖面示意图

电压与 V_G 的关系。由图可见, 对长沟道器件, E 管夹断的饱和电压与其速度饱和压降几乎无差别, 这是由于 D 管的长沟道用去了大部分漏源电压, 从而使 V_s 不足以达到短沟 E 管所需之速度饱和电压。相反, 对短沟器件, $V_{DSE} < V_{DSE}, V_{DSD}$, 因此 E 管只可能处于速度饱和条件, 而不会发生长沟道的夹断饱和。

上述两种不同情形的区分从图 5-6 来看是：从 E 管的速度饱和控制 (V_{DSE}) 到 D 管的夹断饱和控制 (V_{DSD}) 两条曲线有没有交点，其中 (a) 图有交点，(b) 图没有交点。交点处的有效栅电压如用 V'_{GT} 表示，则它可从 E 管的式 (5-23) 与 D 管的式 (5-9) 相等求得，结果是

$$V'_{GT} = \left\{ 2[(1 + \hat{\beta})E_{co}L_E - \Delta V_{th}][\hat{\beta}E_{co}L_E - \Delta V_{th}] - \sqrt{\hat{\beta}E_{co}L_E(\hat{\beta}E_{co}L_E - 2\Delta V_{th})} - \Delta V_{th}^2 \right\}^{1/2} \quad (5-24)$$

由此式可知，如

$$\hat{\beta}E_{co}L_E < 2\Delta V_{th} \text{ 或即 } \Delta V_{th} > \frac{1}{2}E_{co}L_D$$

则此式无实根，即不存在交点。因此，上式是一个区分两种不同情况的判据。如条件满足，则有交点，属于图 (a)。否则，就没有交点，属于图 (b)。

图 5-7 针对两个不同总沟长 L_T 的情形，由图 5-7 可以看

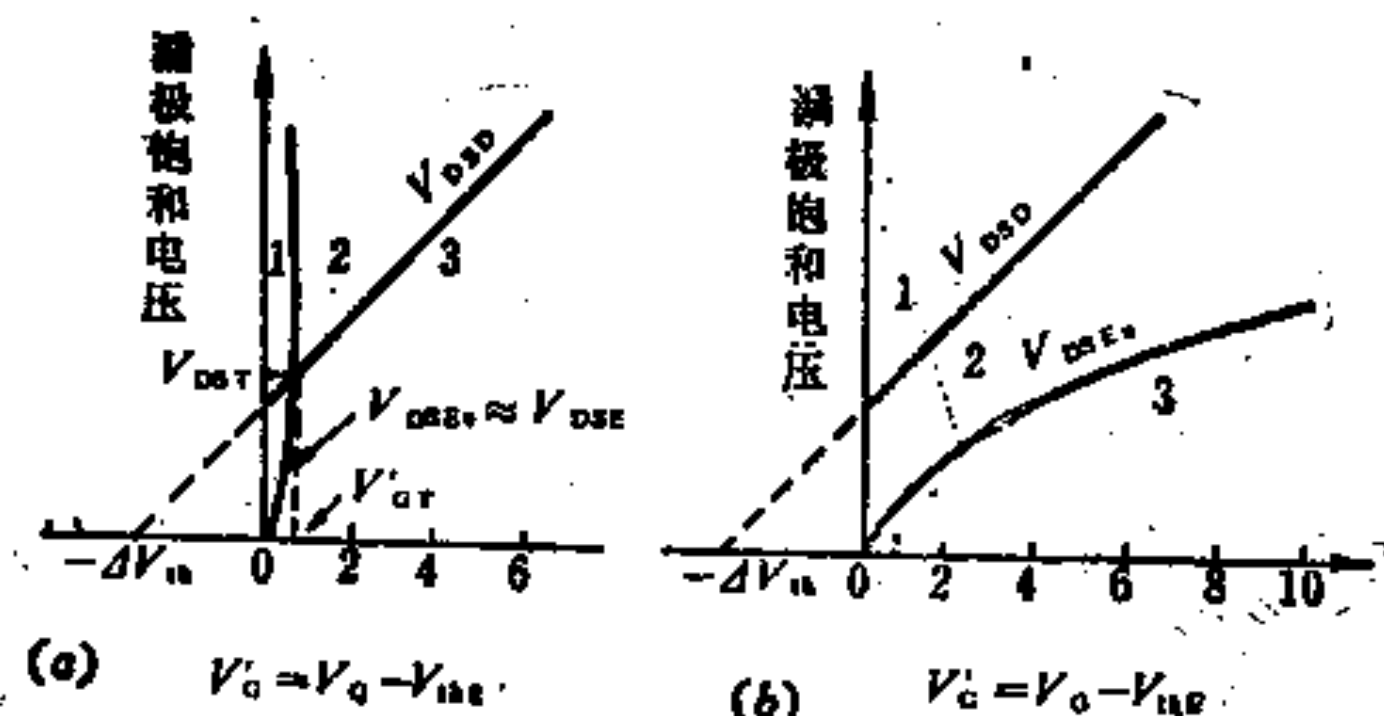


图 5-7 V_{DSE} , V_{DSD} 与 V'_G 的依赖关系 (2)

(a) $30\mu\text{m}$ πLDMOS . 衬底浓度 $4.2 \times 10^{14}\text{cm}^{-3}$, $\Delta V_{th} < \frac{1}{2}E_{co}L_D$, V_{DSD} 与 V_{DSE} 有交点; (b) $5\mu\text{m}$ πLDMOS . 衬底杂质浓度 $4.2 \times 10^{14}\text{cm}^{-3}$, $\Delta V_{th} > \frac{1}{2}E_{co}L_D$, V_{DSD} 与 V_{DSE} 无交点

到, 对于 $L_T = 30\mu\text{m}$ 的 LDMOS, 由于 L_D 很长, 满足 $\Delta V_{th} < \frac{1}{2}E_{co}L_D$, 故 V_{DSE_v} 与 V_{DSD} 两曲线有交点, 与该交点对应的漏极饱和电压为 V_{DST} , 并且 $V_{DSE_v} \approx V_{DSE}$, 如前所述, 这是由于耗尽型 MOS 的高阻抗承受了绝大部分的漏极电压, 从而中间节点电压就不足以使增强型 MOS 中有显著的速度饱和效应。当 $V_D > V_{DST}$, $V'_G < V'_{GT}$ 时, 工作点位于区域 1, 这时两个 MOS 都处于饱和区, 这一区域是短沟道控制区, 在这一区域内 LDMOS 的饱和漏极电流由短沟道增强型 MOS 决定, 故跨导较大。在 $V_D > V_{DST}$ 及 V'_G 稍大于 V'_{GT} 时, 工作点位于区域 2, 这时耗尽型 MOS 处于饱和区, 增强型 MOS 处于线性区, 这一区域为长沟道控制区, 在这一区域内 LDMOS 的饱和漏极电流由长沟道 MOS 决定, 故跨导较小。在 $V_D > V_{DST}$, $V'_G > V_D - \Delta V_{th}$ 时, 工作点位于区域 3, 这时两个 MOS 都处于线性区。对于 $30\mu\text{m}$ 的 LDMOS 短沟道控制区是很小的。

由图 5-7(b) 可见, 对于 $L_T = 5\mu\text{m}$ 的 LDMOS, 由于 L_T 很小, 不满足 $\Delta V_{th} < \frac{1}{2}E_{co}L_D$, 故 V_{DSE_v} 与 V_{DSD} 两曲线没有交点。当工作点位于区域 1 内时, 两个 MOS 都处于饱和区; 当工作点位于区域 2 时, 长沟道 MOS 处于线性区, 短沟道 MOS 处于饱和区; 当工作点位于区域 3 时, 两个 MOS 都处于线性区。由于工作点位于区域 1 和区域 2 时, LDMOS 的饱和漏极电流都由短沟道 MOS 决定, 故这两个区域都是短沟道控制区。

由于后一种情形下, LDMOS 永远处于短沟控制区, 其电流可由式 (5-18) 表示。其中 $V_{DS_v} = E_{co}L_E$, 由此得跨导为

$$g_m = \frac{\partial I_D}{\partial V_G} = \beta_E V_{DS_v} = ZC_{ox}v_s$$

由此可见, 若 V_G 增加到 $(V_G - V_{(th)E}) \gg E_{co}L_E$ 后, 再增加 V_G , 跨导趋向饱和, 而且实际上此跨导比长沟器件的跨导大。

由于这种 LDMOS 与一般 MOS 相比, 能在较低栅压下获得最大的跨导, 因此对微波应用和高速逻辑应用非常有利。实际上由于温度效应, g_m 比式(4-14)略低, 一般可在式(4-14)右端乘一个小于 1 的修正因子 F , 以照顾热效应。

图 5-8 是两种不同 L_T 管子的 g_m 随 V'_G 的变化。

由图说明, $L_T = 30\mu\text{m}$ 的 LDMOS, g_m 经峰值后下降这是由于工作点由短沟道控制区过渡到长沟道控制区, $L_T = 5\mu\text{m}$ 的 LDMOS 由于始终处于短沟的速度饱和控制区, 故 g_m 趋向饱和而不上升。

此种 LDMOS 的输出电阻显然也可看作两管输出电阻之和, 输出电阻 $1/(\partial I_D/\partial V_{DS})$ 在导通态(即漏源电压较低, 在线性区工作的状态)

时就是通常所谓的导通电阻 R_{on} 。不难证明, 两管均在线性区时, 有

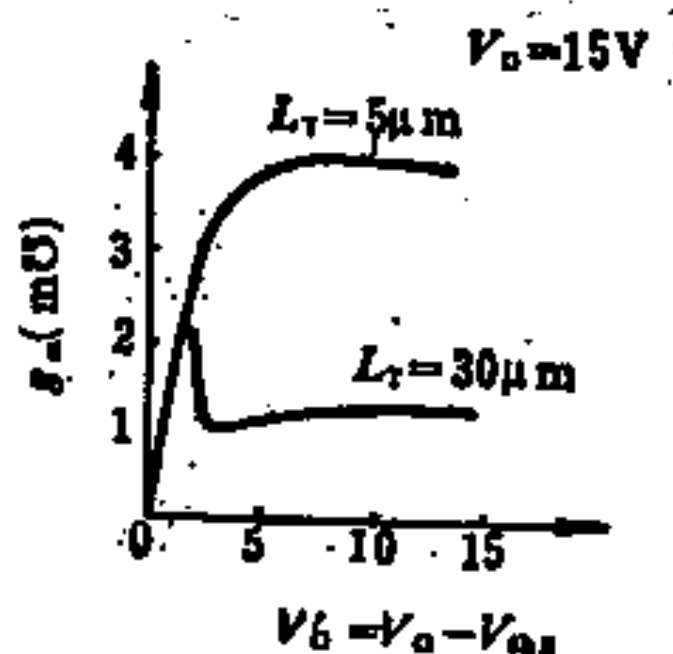


图 5-8 LDMOS 的跨导

$$R_{on} = \frac{1}{\beta_E(V_G - V_{thE})} + \frac{1}{\beta_D(V_G - V_{thD})}$$

下面讨论高耐压 LDMOS (图 5-1 (b) 结构) 的模型。图 5-9 左边示出了其模型, 其中增强型 MOS 模拟沟道区, 耗尽型 MOS 和体电阻 R_1 模拟栅电极下面的积累区, R_2 模拟栅电极与 N^+ 漏区之间的体电阻。由于栅电极延伸到 N^- 区的部分是作为场板应用, 为了获得较高的 $V_{(BR)DS}$, 延伸部分不会太长, 则耗尽型 MOS 和体电阻 R_1 对 R_{on} 的贡献很小, 故在计算 R_{on} 时可略去, 这样就简化成一个增强型 MOS 和体电阻 R_d 的串联, 示于该图右边。

增强型 MOS 在线性区的电阻为

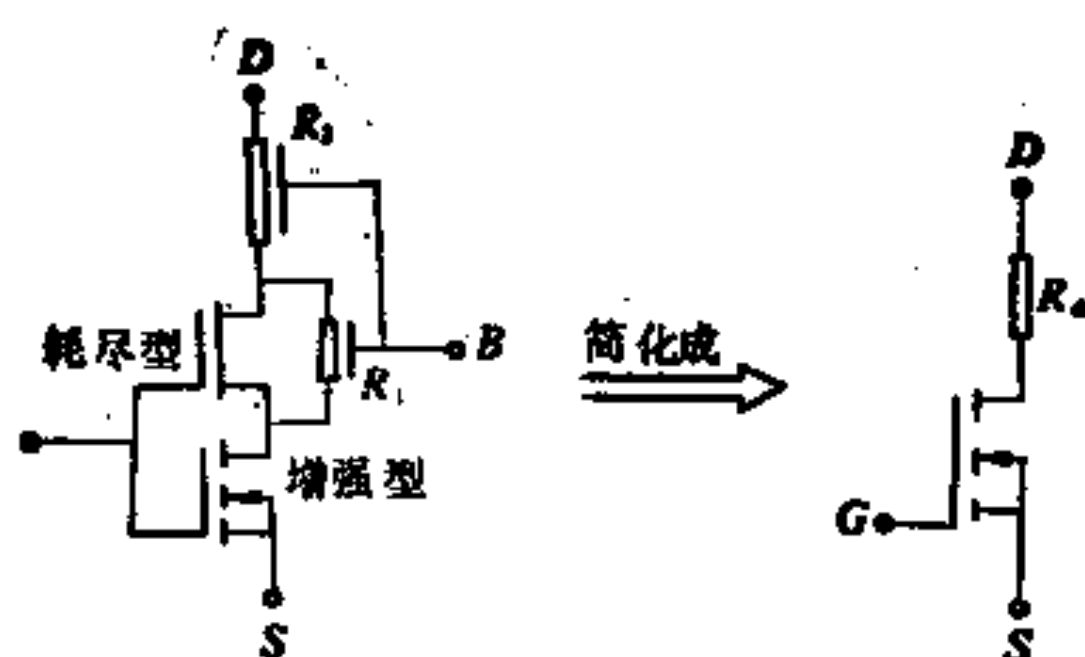


图 5-9 高压 LDMOS 的模型 [3]

$$R_E = \frac{1}{\beta(V_G - V_{th})}$$

R_d 是一个扩展电阻, 因为自沟道末端流出的电流将在 N^- 漂移区扩展 (如图 5-10(a)所示)。对非外延结构的 LDMOS, M·D·Pocha 在计算 R_d 时将其简化为在无限均匀媒质中的两个圆柱体电流源, 其中一个为正 (电流流进), 一个为负 (电流流出), 如图 5-10(b)所示。电流源的长度为 Z (沟道宽度)。

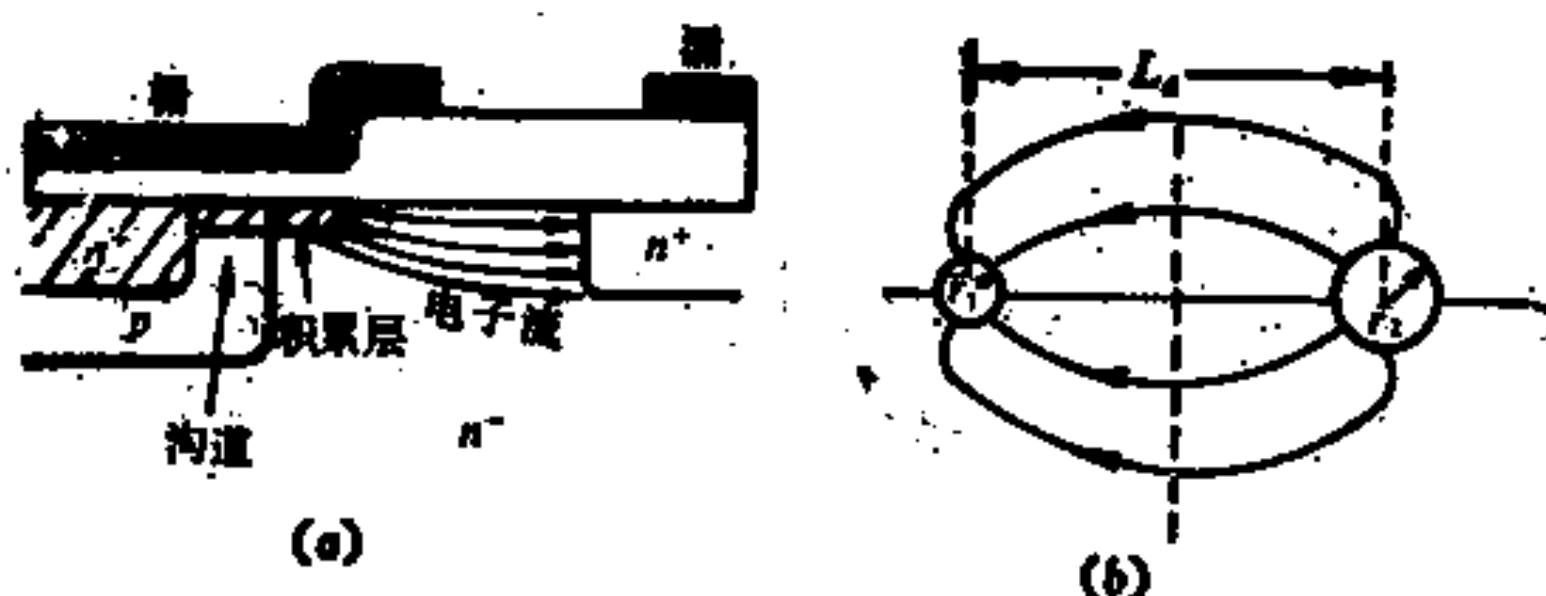


图 5-10 漂移区电阻 R_d 计算中所用到的模型 [4]

(a) 电子流在漂移区中的扩展; (b) 无限均匀媒质中的两个圆柱体电流源

半径为 r_1 的圆柱体电流源位于沟道末端, 半径为 r_2 的圆柱体电流源位于 N^+ 漏区边缘。两圆柱体之间的距离为 L_d , 即 N^- 漂移区长度。这一问题与导电平面上的镜像电荷问题相类似, 按照这

一模型得

$$R_d = \frac{\rho}{\pi Z} \left[\ln\left(\frac{L_d - r_1}{r_1}\right) + \ln\left(\frac{L_d - r_2}{r_2}\right) \right] \quad (5-25)$$

其中 ρ 为 N^- 漂移区的电阻率, r_1, r_2 为由经验确定的常数。S.C.San 和 J.D.Plummer 将式 (5-25) 的计算值与实验作了比较, 如图 (5-11) 所示^[3]。

对于 L_d 为 $24\mu\text{m}$ 的器件, 他们发现, 取 $r_1 = 0.5\mu\text{m}$, $r_2 = 2\mu\text{m}$, 在 V_G 较大时, 理论计算值与实验测试符合得较好, 但在 V_G 较小时有些偏离。在外延结构中, 由于外延层的有限厚度, 则由无限媒质推导出来的式 (5-25) 将不再适用, 最简单的方法是对式 (5-25) 作修正, 即乘上一个经验常数。另外, S.Colak 在文献[5]中对外延结构的 LDMOS 漂移区电阻 R_d 作了详细的理论推导。

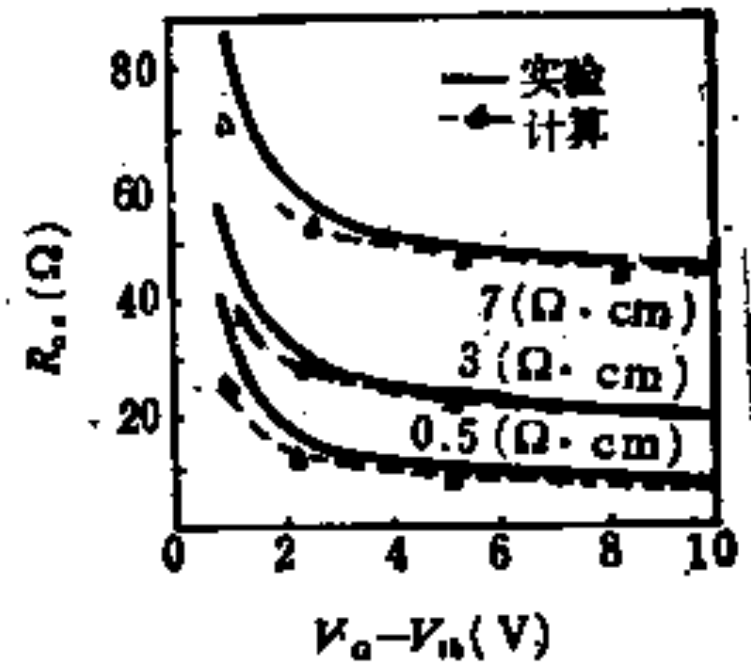


图 5-11 LDMOS 的导通电阻

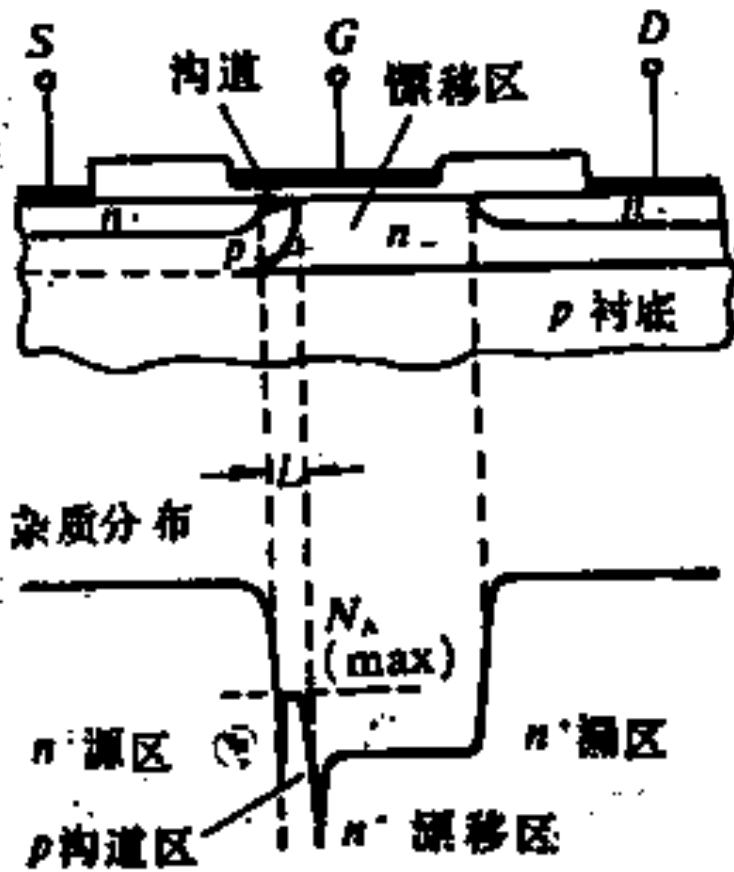


图 5-12 高频 LDMOS 的剖面及杂质分布

3. 高频 LDMOS 的频率特性^[6]

高频 LDMOS 的基本结构如图 5-12 所示, 该器件是制作在生长在 P^- 衬底的 N^- 外延材料上。如果外延层是如此之薄, 则通过扩散可以使沟道与衬底相联。这样采用薄外延层的 N^-/P^- 材料可以降低输出电容, 因为沟道与外延之间的面积减小了。由于栅极对漏极的偏置, 使反馈电容

的频率响应，栅极的充放电和漂移区的延迟。时间常数 $R_c C_{gc}$ 是用来表征短沟道对由栅源两极之间高频输入信号的电压响应。载流子渡越漂移区的时间 τ_t 使复数跨导增加一个因子 $J(\omega\tau_t)$ ，这与在双极晶体管中载流子渡越集电结耗尽区的情况完全相同。故

$$J(\omega\tau_t) = \frac{1 - \exp(-j\omega\tau_t)}{j\omega\tau_t} \quad (5-26)$$

当 $\omega\tau_t < \pi/2$ 时，该因子可简化为

$$J(\omega\tau_t) \approx \exp\left(-j\frac{\omega\tau_t}{2}\right) \quad (5-27)$$

令 $T_d = \tau_t/2 =$ 延迟时间，则

$$J(\omega T_d) = \exp(-j\omega T_d) \quad (5-28)$$

可见渡越时间 τ_t 的存在，使短路漏极电流相对于输入栅极电压有一个相位落后，对正弦信号相位落后为 $\frac{\omega\tau_t}{2}$ 或 ωT_d 。

对于低压 LDMOS，由于漂移区电阻 R_D 很小，暂可略去，于是其本征部分的 Y 参数为：

$$\left. \begin{aligned} y_{11} &= j\omega C_{gs} + \frac{j\omega C_{gc}}{1 + j\omega C_{gc} R_c} + j\omega C_{gd} \\ y_{12} &= -j\omega C_{gd} \\ y_{21} &= \frac{g_m}{1 + j\omega C_{gc} R_c} \exp(-j\omega T_d) - j\omega C_{gd} \\ y_{22} &= g_{ds} + \frac{j\omega C_{ds}}{1 + j\omega C_{ds} R_{sub}} + j\omega C_{gd} \end{aligned} \right\} \quad (5-29)$$

若 $\omega C_{gc} R_c \ll 1$ ，则本征部分的电流增益为

$$\left| \frac{i_d}{i_g} \right| = \left| \frac{y_{21}}{y_{11}} \right| = \frac{g_m}{\omega(C_{gs} + C_{gs})} \quad (5-30)$$

在电流增益为 1 时得最高工作频率 f_t

$$f_t = \frac{g_m}{2\pi(C_{gs} + C_{gc})} \quad (5-31)$$

可见在 $\omega\tau_t < \pi/2$ 时, f_t 与 τ_t 无关。

双口网络的单向功率增益定义为

$$U = \frac{|y_{21} - y_{12}|^2}{4(g_{11}g_{22} - g_{12}g_{21})} \quad (5-32)$$

其中 g_{ik} 为 y_{ik} 的实数部分, 用式(5-29)代入式(5-32)得:

$$U = \frac{g_m^2}{4\omega^2 C_{gs}^2 R_c \left(g_{ds} + \frac{\omega^2 C_{ds}^2 R_{sub}}{1 + \omega^2 C_{ds}^2 R_{sub}^2} \right)} \quad (5-33)$$

在 $U = 1$ 时得最高振荡频率 f_{max}

$$f_{max} = \frac{g_m}{4\pi C_{gs} \sqrt{R_c \left(g_{ds} + \frac{\omega^2 C_{ds}^2 R_{sub}}{1 + \omega^2 C_{ds}^2 R_{sub}^2} \right)}} \quad (5-34)$$

4. LDMOS 的阈值电压^[7]

LDMOS 沟道区的杂质浓度分布在纵向(y 方向)和横向(x 方向)都是非均匀的(如图 5-12所示)。在沟道内任意点的阈值电压 $V_{th}(x)$ 可由下式计算

$$V_{th}(x) = \phi_{MS} + 2\phi_{FB} - \frac{Q_{ss}}{C_{ox}} + \frac{(4q\epsilon_s N_A(x)\phi_{FB})^{\frac{1}{2}}}{C_{ox}} \quad (5-35)$$

在 $N_{A,max}$ 处, $V_{th}(N_{A,max})$ 为最大, 定义 LDMOS 的阈值电压为

$$V_{th} = V_{th}(N_{A,max}) \quad (5-36)$$

因为当 $V_G > V_{th}$ 时整个沟道将导通,故 LDMOS 的 V_{th} 由 $N_{A,max}$ 决定; 由式 (5-35) 可以看出, 要精确控制 V_{th} 就必须精确控制 $N_{A,max}$, $N_{A,max}$ 与沟道区的硼扩散和漏源两区的磷扩散工艺条件有直接关系。M.D.Pocha 等对硼磷扩散工艺对 V_{th} 的影响进行了计算机模拟, 其结果列入表 5-1。

表 5-1 硼、磷扩散工艺对 V_{th} 的影响

硼 扩 散		磷 扩 散		$V_{th}(V)$
预淀积 $\sqrt{D_t}(\times 10^3)$	再分布 $\sqrt{D_t}(\times 10^3)$	预淀积 $\sqrt{D_t}(\times 10^3)$	再分布 $\sqrt{D_t}(\times 10^3)$	
0.7	85	13	13	3.2
1.1				6.5
1.4				10.3
1.6				19.3
0.7	60	9	9	7.9
	74			7.2
	85			6.7
	104			6.0
0.7	85	2.7	13	6.7
		4		6.6
		9		6.5
		11		6.4
0.7	74		9	7.2
			13	6.5
			17	4.3

由表可知硼预淀积对 V_{th} 的影响最大, 在杂质扩散长度 ($\sqrt{D_t}$) 改变因子 2 时, 将导致 V_{th} 有因子 6 的改变, 磷预淀积对 V_{th} 几

乎没有影响。两个再分布对 V_{th} 也有影响，但影响并不那么大。图 5-14 画出了 LDMOS 的 V_{th} 与 $N_{A, max}$ 的关系，可以看出当在硼磷扩散过程中杂质扩散长度 ($\sqrt{D_t}$) 有 $\pm 10\%$ 的改变时， V_{th} 有一定程度的分散。需要指出，采用离子注入时，由于对杂质的

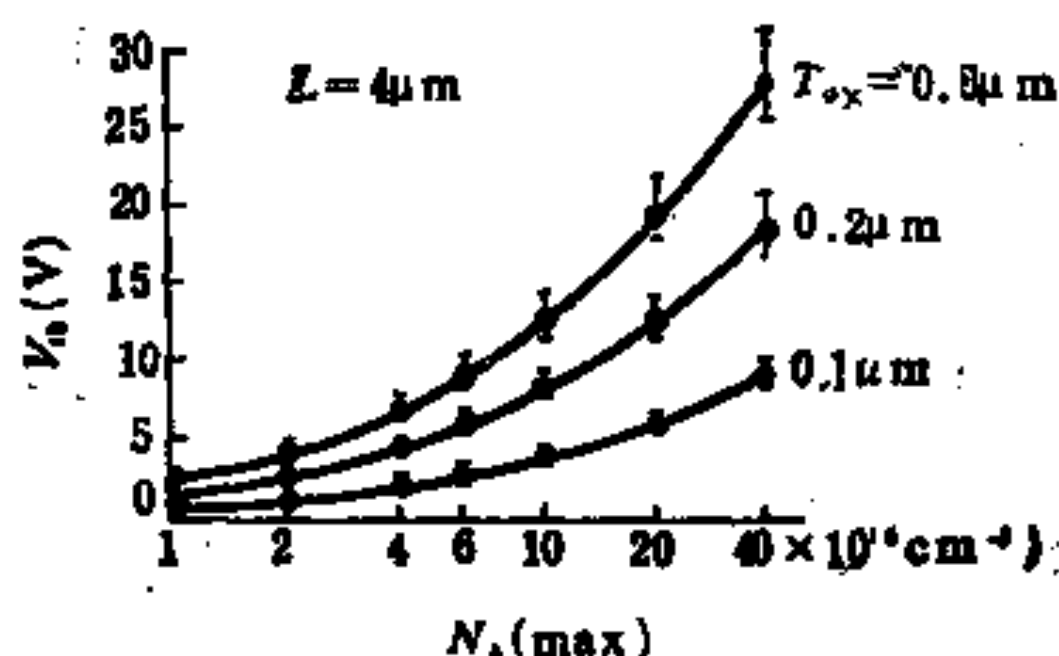


图 5-14 V_{th} 的计算机模拟结果

扩散长度可控制在 $\pm 2\%$ 以内，可以减小 V_{th} 的分散；在沟道长度较长时， V_{th} 易于控制， V_{th} 的分散也较沟道长度较短时为小。

严格讲， V_{th} 的计算是一个复杂的二维问题，但对高压 LDMOS 可以作一些简化假设：1) N^+ 源区与沟道短接，见图 5-13(b)，故没有衬底偏置效应；2) 由于沟道区结深较深，栅下面的耗尽区宽度较结深小得多，于是杂质浓度的纵向变化可以不考虑，从而简化为维一的问题。栅氧化是在硼磷扩散完成后进行的，这一氧化使沟道表面硼杂质进行再分布，从而使 $N_{A, max}$ 降低 2~5 倍。尽管如此，对于高压 LDMOS，由于结深较深 (P^- 沟道扩散结深 $4.5 \mu\text{m}$ 左右) 和沟道较长 ($2.5 \mu\text{m}$)， V_{th} 主要由沟道硼扩散的预淀积工艺条件所决定。图 5-15 画出了 LDMOS V_{th} 与沟道预淀积的实验结果。可以看到若 P^- 沟道预淀积的方块电阻控制在 $80 \pm 10 \Omega$ 范围内， V_{th} 为 $5 \pm 1 \text{ V}$ 。这对离子注入来讲是很容易做到的，实际证明这在硼扩散的预淀积中也是没有困难的。

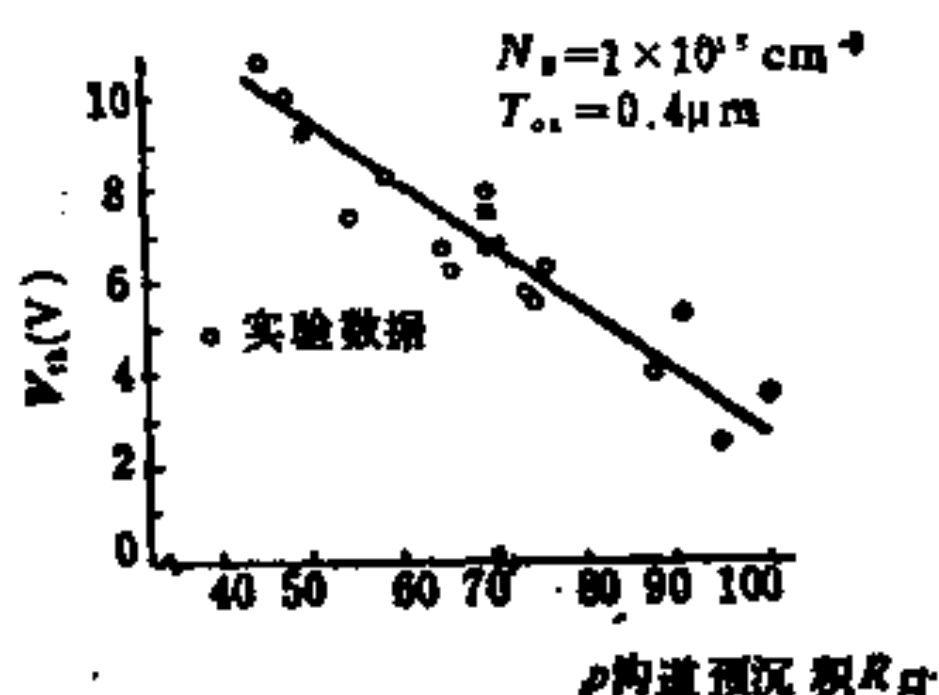


图 5-15 LDMOS V_B 与沟道预沉积的关系

5. 结隔离区内高压 LDMOS 的击穿与穿通

结隔离区内高压 LDMOS 可能发生击穿的位置如图 5-16 所示, 可分为结的雪崩击穿和穿通击穿两种。〈I〉为沟道结表面雪崩击穿, 〈IV〉为隔离结表面雪崩击穿, 可以采用场板结构以降低该两处的表面电场, 从而使击穿点转移到体内。也可采用

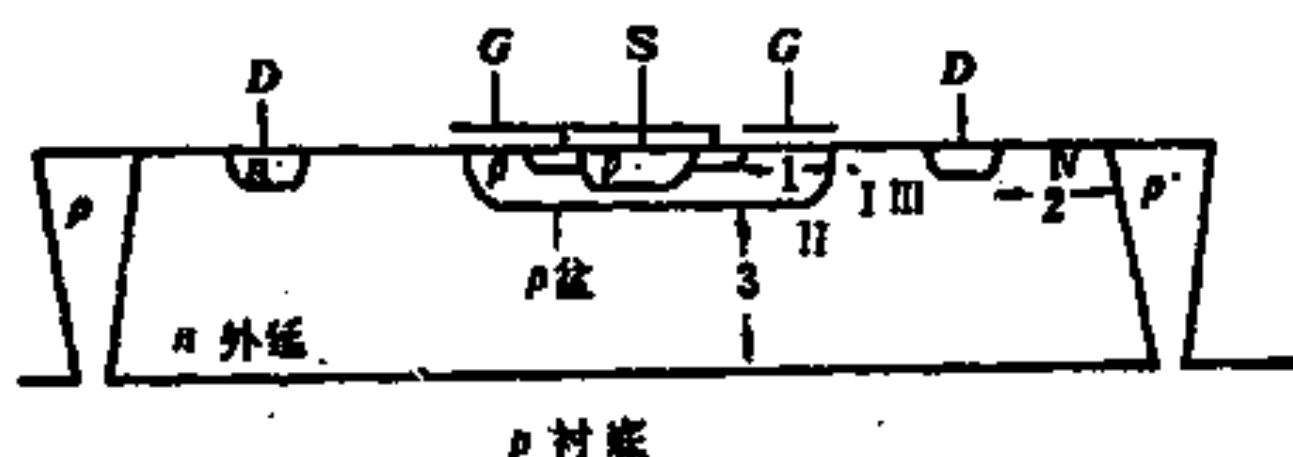


图 5-16 高压 LDMOS 的可能击穿

RESURF 技术 (见下节) 来降低该两处的电场, 使击穿点转移到体内。〈II〉为 P 盆 (沟道侧扩散区) 弯曲处的雪崩击穿, 可以加大结深 (例如 $x_1 > 4 \sim 5 \mu\text{m}$) 以降低该处的电场。在栅极延伸到距 N^+ 漏区小于 $10 \mu\text{m}$ 甚至覆盖 N^+ 漏区时的 LDMOS 击穿电压将会大幅度的下降。例如当栅电极距 N^+ 漏区为 $10 \mu\text{m}$ 或大于 $10 \mu\text{m}$ 时, 其 $V_{(BR)DS}$ 为 270V , 当栅电极复盖 N^+ 漏区时其

击穿电压只有150V。M·J·Declercq 和 J·D·Plummer 证明这种击穿是起源于局限于 N^-N^+ 结内的雪崩击穿^[9]，这种击穿在图中用〈Ⅲ〉标出。为了不发生这种击穿，栅电极与 N^+ 漏区的距离必须大于10 μm 。

其次讨论穿通，这在图中用〈1〉〈2〉〈3〉表示，〈2〉为 N^+ 漏区和 P^+ 隔离区之间的穿通，这一穿通可以用增加两者之间的距离来满足 $V_{(BR)DS}$ 时使其不穿通。〈1〉为沟道穿通，M·D·Pocha 等采用沟道区横向杂质浓度为线性分布和外延层杂质为均匀分布这一模型，从泊桑方程求得沟道穿通电压^[10]

$$V_{PT} = \frac{q}{\epsilon_s} \left(\frac{N_{A,max}}{6} + \frac{N_{A,max}^2}{8N_D} \right) L^2 \quad (5-37)$$

从而可见 V_{PT} 与 L^2 成正比；沟道杂质浓度的峰值 $N_{A,max}$ 愈大， V_{PT} 愈高；外延层杂质浓度 N_D 愈低， V_{PT} 愈高，但这一依赖关系并不很显著。由式(5-35)及(5-36)

$$V_{th} = \phi_{MS} + 2\phi_{FB} - \frac{Q_{SS}}{C_{ox}} + \frac{(4q\epsilon_s N_{A,max} \phi_{FB})^{\frac{1}{2}}}{C_{ox}}$$

可见 V_{PT} 与 V_{th} 之间的定性关系是： V_{PT} 愈高， V_{th} 也愈高。实际上沟道区横向杂质浓度分布并非线性分布，根据 Kennedy 和 O'Brien 的理论工作，证明为余误差分布。故用(5-37)式来计算沟道穿通电压是不够精确的，与用余误差分布所得的结果相比较，在 L 和 V_{th} 相同时由式(5-35)计算得的结果要高20%~50%^[10]。图中〈3〉为源-衬底间的穿通，这一穿通在 LDMOS 作为模拟多路转换器应用或源极偏置电压高于 P^- 衬底时是很重要的。在厚外延层集成电路中可以增大两者之间的距离，以提高穿通电压，而在薄外延层的 RESURF LDMOS 中由于外延层厚度的限制，可采用下置栅 (Gate Underlaid) 结构，如图5-17所示^[11]。

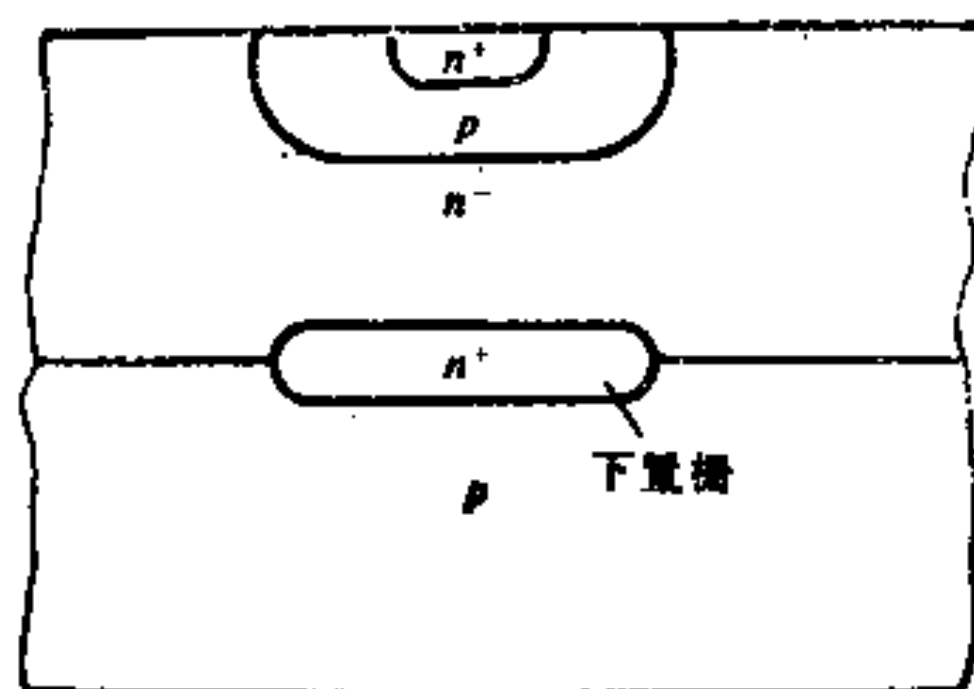


图 5-17 下置栅的示意图

6. 各种高压 LDMOS 的实例

1) 微波高压功率 LDMOS^[12]

为了保证在微波段 (2GHz 以上) LDMOS 有较大的输出功率, 必须尽量减小源极电感 L_s , 源漏间反馈电容 C_{rd} 和沟道长度 L 。由于本征器件的源极电感极小, 故源极电感基本上就等于外引线电感 L_{sw} , 采用图 5-18 所示的结构可以不用源极外引线。由图可见, 在有源区附近的 LOCOS 的 SiO_2 区域内, 采用各向异性腐蚀技术刻蚀出一个 V 形槽, 槽的深度必须大于 P^- 外延层

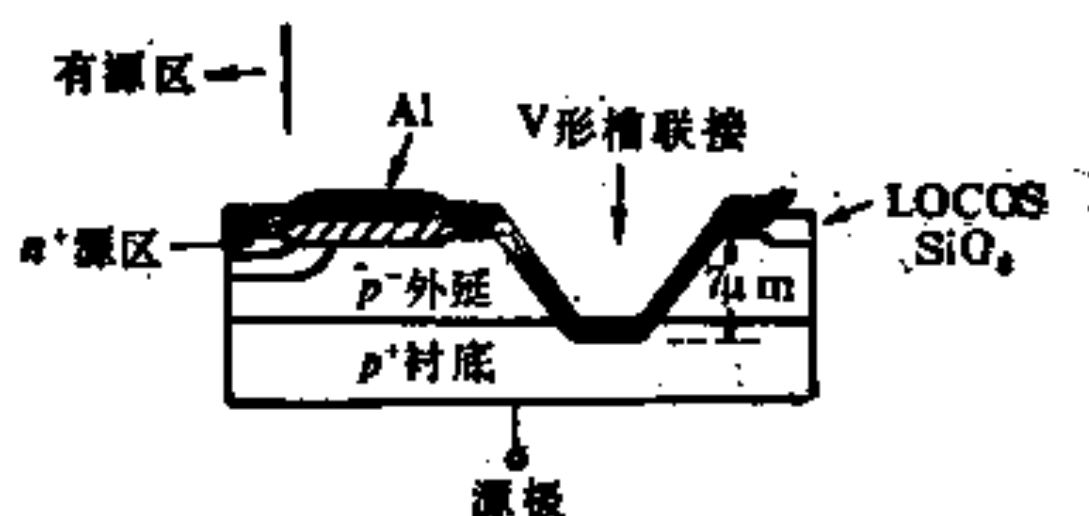


图 5-18 V形槽联接的剖面

厚度。 N^+ 源区通过表面 Al 层和 V 形槽内的 Al 层直接与 P^+ 衬底相连, 把衬底当作接地的源极, 这样就不要再用外延线, 同时

也使得源极串联电阻 R_s 大幅度的减小, 这种结构称为衬底接地结构。V 形槽联接的位置可从图 5-19 中清楚地看出, 在这种衬底接地结构中, 栅和漏的延伸电极都位于芯片表面, 因为除有源栅电极与漏区有极小的覆盖外, 在其它地方没有栅电极与漏区的覆盖, 故 C_{gd} 只是器件的本征栅漏电容, 这一电容极小, 可略去不计。

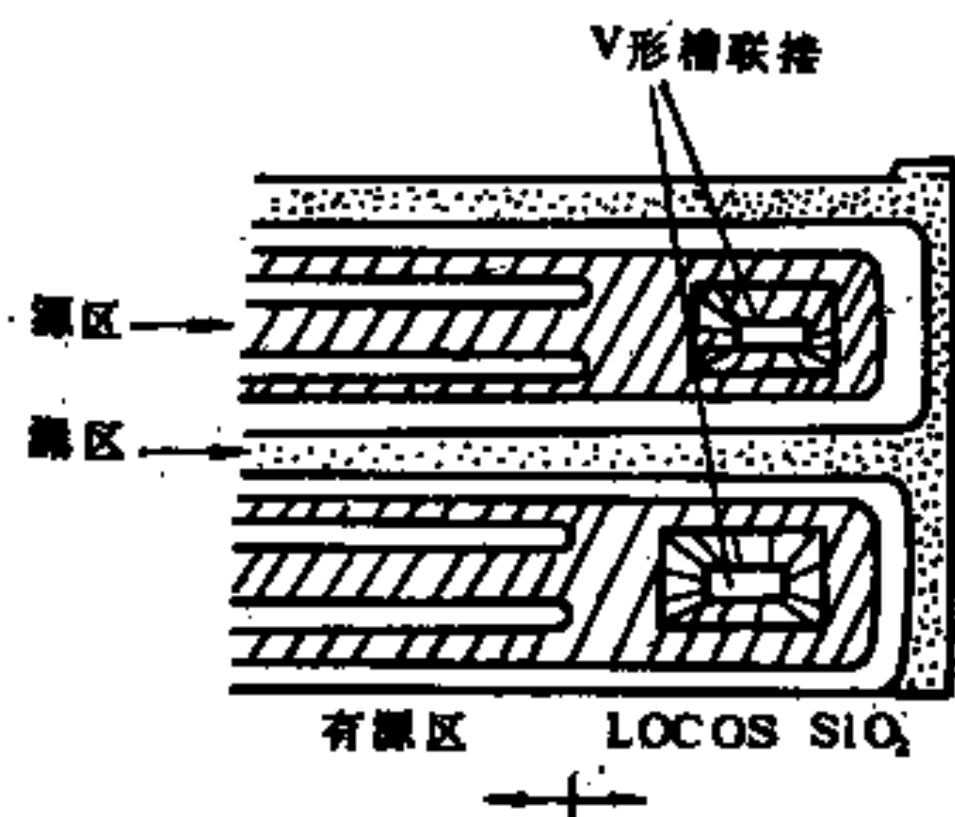


图 5-19 V形槽的联接

漏区由三部分构成, 如图 5-20 所示。 N^- 漂移区是作为缓冲层, 用磷离子注入形成, 其剂量 D_N 为 $2 \times 10^{12} \text{cm}^{-2}$, N 和 N^+ 区是用来减小漏极串联电阻。器件的击穿电压 $V_{(BR)DS}$ 与 N^- 漂移区的注入剂量有关, 如图 5-21 所示。在 $D_N = 2 \times 10^{12} \text{cm}^{-2}$ 时, $V_{(BR)DS}$

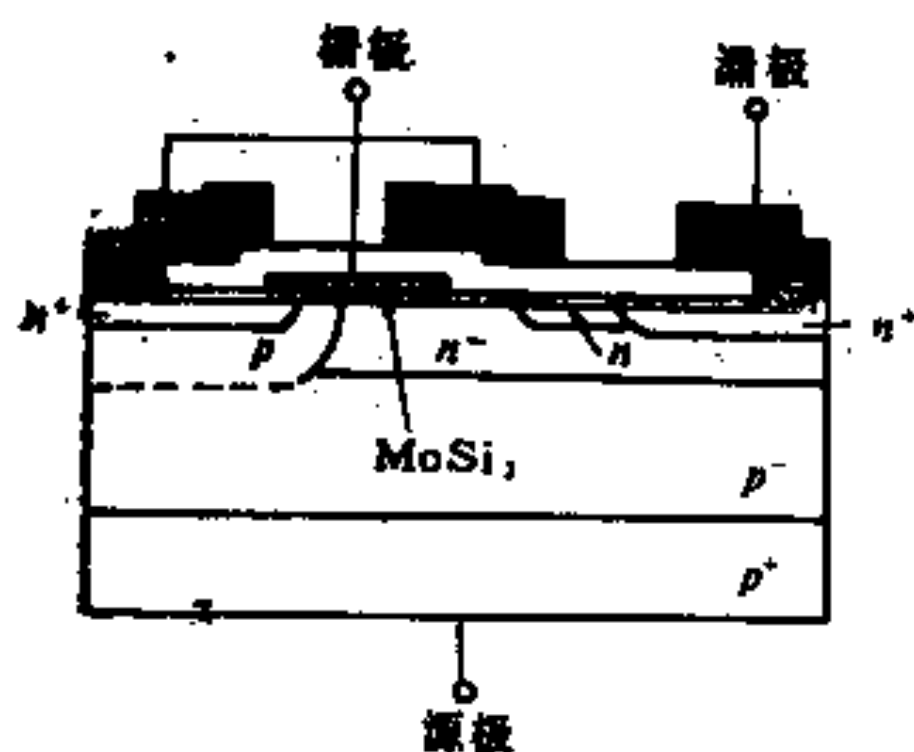


图 5-20 微波LDMOS的剖面

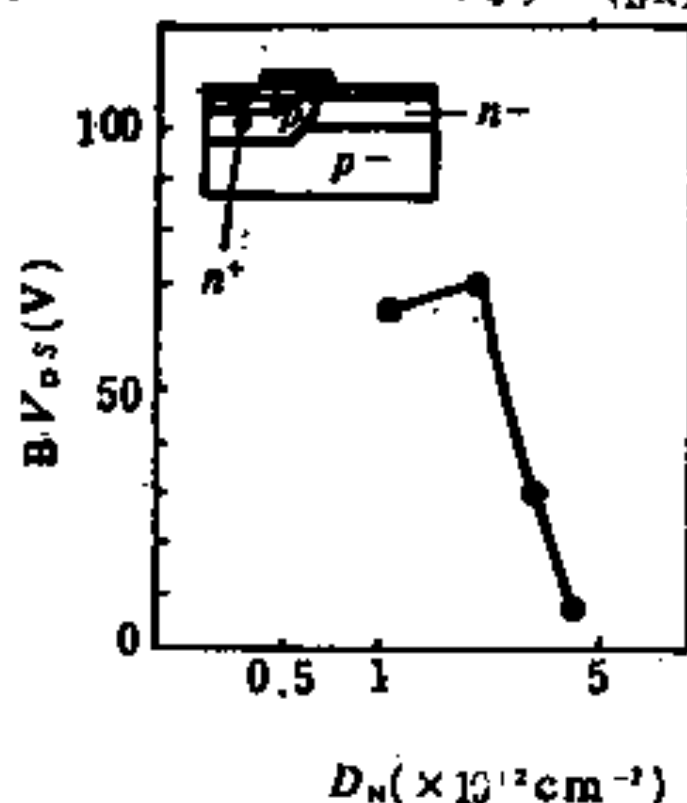


图 5-21 $V_{(BR)DS}$ 与 D_N 的关系 (栅宽 1mm)

最大为70V。

O. Ishikawa 等人采用上述结构, 在 $V_{DS} = 40V$, $f = 2.45GHz$ 时获得连续波 (CW) 最大输出功率为7.2W, 功率增益5.5dB, 效率25%^[12]。

2) 高压集成电路中典型高压 LDMOS^[8]

HVIC 中典型 LDMOS 的结构及耐压为 200V LDMOS 的纵向横向尺寸如图 5-22所示。漏与 P⁺ 隔离区距离、源与 P⁺ 隔

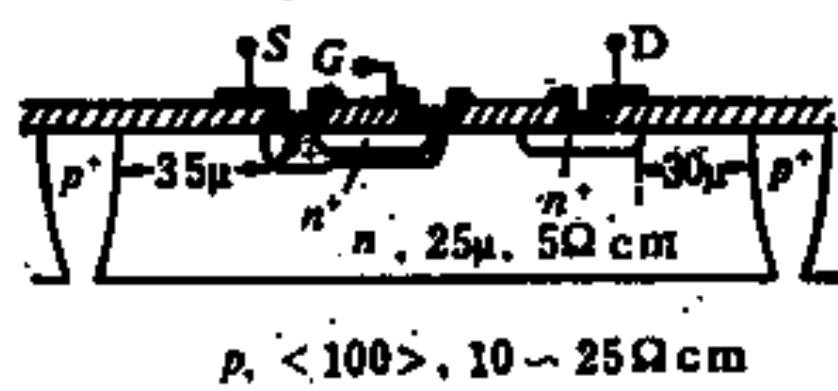


图 5-22 HVIC 中的典型 LDMOS^[8]

离区距离、外延层厚度必须足够厚以防止穿通。在外延层杂质浓度为 $1 \times 10^{16} cm^{-3}$, 沟道区杂质浓度的峰值为 $5 \times 10^{16} cm^{-3}$, 从穿通电压 250V 能计算出沟道长度为 $2.5\mu m$, 与 $N_{A,max} = 5 \times 10^{16} cm^{-3}$ 相对应的最小阈值电压 V_{th} 约为 4V。栅氧化层厚度 t_{ox} 为 $0.4\mu m$, 这是因为在某些应用中栅与源之间需要耐高压。但另一方面, 厚栅氧化层使跨导 g_m 降低。由

$$g_{m,max} = C_{ox} v_s Z \quad (5-38)$$

在 $v_s = 6.5 \times 10^6 cm/s$ 时, 对于栅氧化层为 $0.4\mu m$, 单位栅宽的 $g_{m,max}$ 约为 $5.5(\mu\Omega/\mu m)$ 。由于 LDMOS 在 $(V_G - V_{th})^2 \gg (E_{cs}L)^2$ 时, g_m 饱和, 故根据

$$\frac{V_G - V_{th}}{L} \gg \frac{v_s}{\mu_n} \quad (5-39)$$

在 $v_s = 6.5 \times 10^6 cm/s$ 和 $\mu_n = 350 cm^2/(V \cdot s)$ 时, 在 $V_G > 10V$ 时 g_m 饱和。

栅电极在厚氧化层上延伸到 N⁻ 漂移区 $10\mu m$ 是作为场板,

以降低沟道结表面的电场强度。栅电极边缘距漏区边缘为 $15\mu\text{m}$ ，如该距离小于 $10\mu\text{m}$ ，则 $V_{(\text{BR})\text{DS}}$ 将会大幅度降低。

增大电流的方法在沟道长度确定后，主要是增加沟道宽度。由于 LDMOS 源、漏和栅三个电极都位于芯片表面，故只有一种结构——叉指式结构，如图 5-23 所示。源区和漏区相间，栅在它们之间来回地迂回，从而使 Z/L 增加到 1500 ($L=2.5\mu\text{m}$, $Z=3.75\text{mm}$)。这样对于 $Z/L=1500$ 的 LDMOS，其最大电流为 0.3A ，导通电阻为 35Ω ，最大跨导为 20mS 。

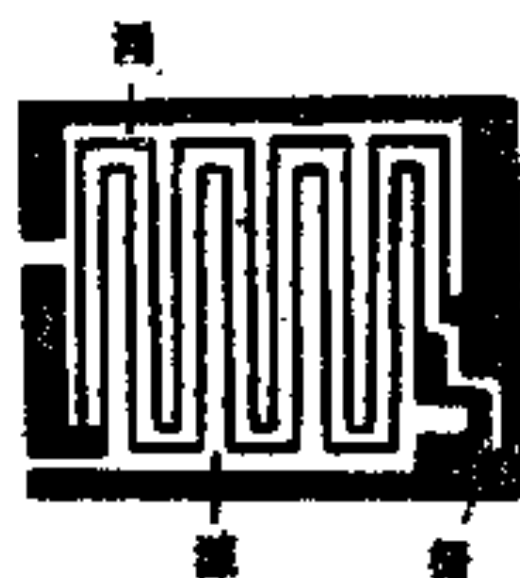


图 5-23 LDMOS 的叉指式结构

3) 800V LDMOS [13]

该器件是在 P^+ 衬底上采用了离子注入夹断电阻和场板，如图 5-24 所示。当 N^- 区的注入剂量 D_N 较高时，雪崩击穿发生在 N^- 区靠近源区一端，这时 N^- 区几乎没有耗尽，当 N^- 区的注入剂量 D_N 较小时，与以上情况相反，雪崩击穿发

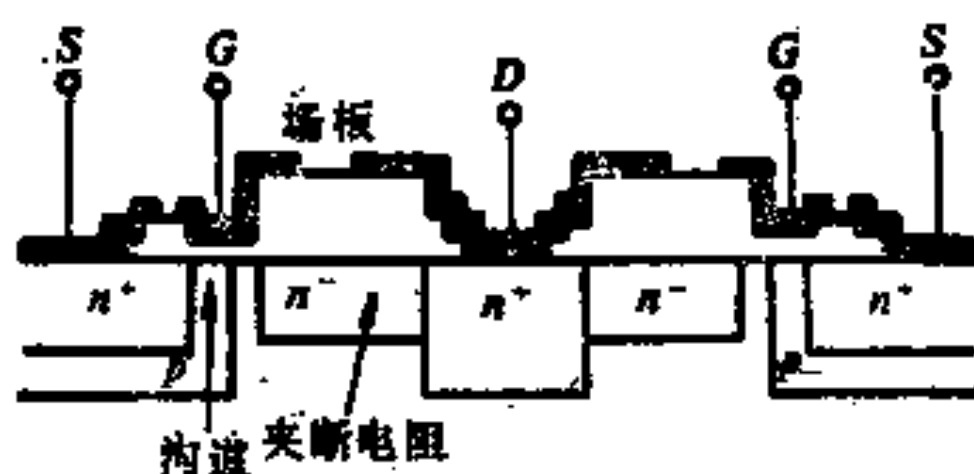


图 5-24 800V LDMOS 的剖面 [13]

生在 N^- 区靠近漏区一端，这时 N^- 区全部耗尽。击穿电压 $V_{(\text{BR})\text{DS}}$ 与 N^- 区的注入剂量 D_N 有关，如图 5-25 所示。实验测得最佳注入剂量约为 $1.1 \times 10^{12}\text{cm}^{-2}$ ，该时 $V_{(\text{BR})\text{DS}}$ 约为 800V ，增加 N^- 区的长度可以提高 $V_{(\text{BR})\text{DS}}$ 。漏电极延伸到 N^- 区上方，形成了场板，该场板削弱了表面电场，从而抑制了 N^- 区靠近漏区一端的雪崩击穿。栅电极的延伸也形成了一个场板，两场板之间

的距离不能太小，否则将会发生放电现象，从而使 $V_{(BR)DS}$ 降低。漏极场板的最佳长度为 N^- 区长度的 $1/4$ 到 $1/3$ 。

4) 高压 SOS/MOS

制作在 SOS (硅—蓝宝石) 上的 MOS 称为 SOS/MOS。SOS/MOS 具有高速度低功耗、抗辐射能力强，在 IC 中具有集成度高和器件间完全隔离等特点，故很适用于 HVIC。高压 SOS/MOS 有两种基本形式，如图 5-26 所示。

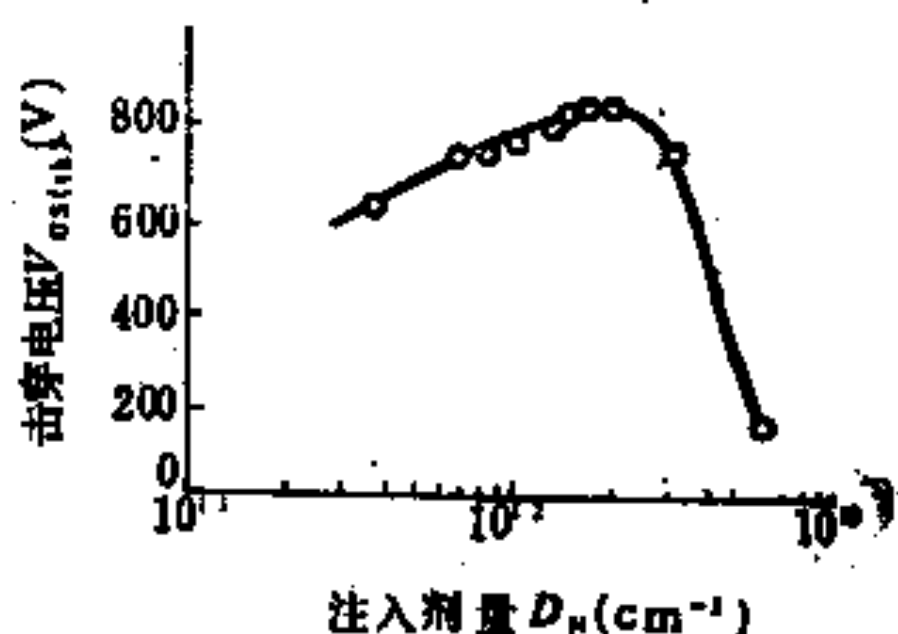


图 5-25 $V_{(BR)DS}$ 与 D_N 的关系 (实验结果)

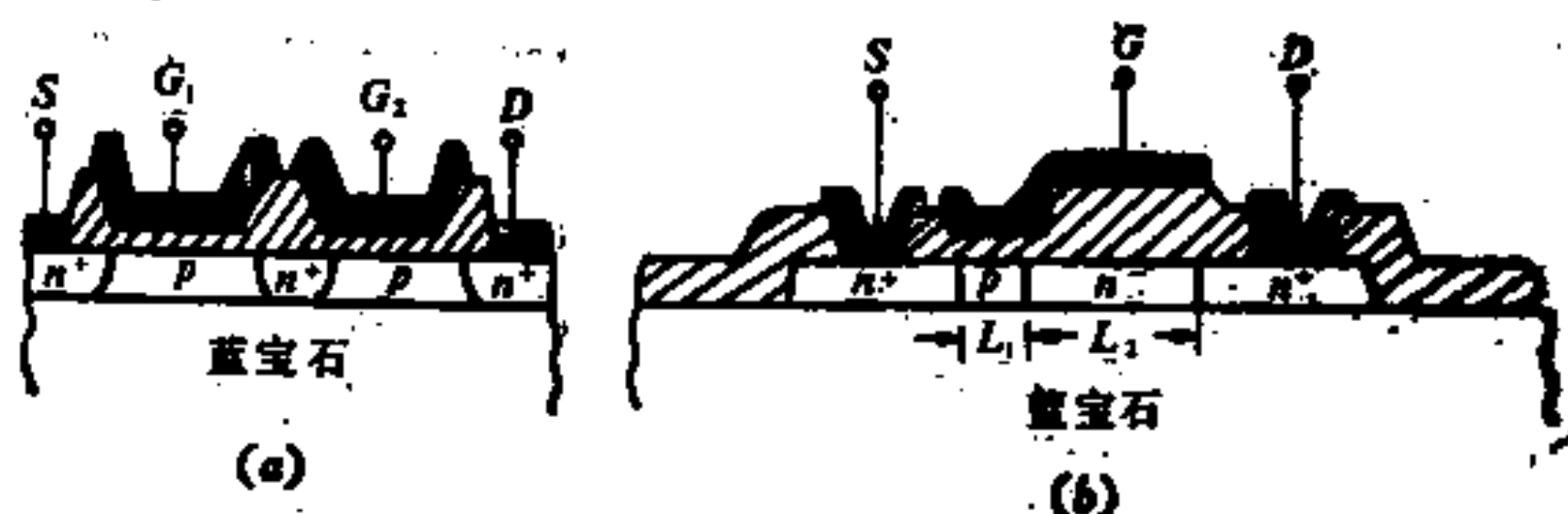


图 5-26 高压 SOS/MOS 的两种基本结构 [14]

(a) SOS 四极管; (b) SOS/XDMOS

第一种基本结构是几个一般 SOS/MOS 的串联，两个 SOS/MOS 的串联称为 SOS 四极管 (见图 5-26(a))，三个串联称为 SOS 五极管。由于串联 V_{DS} 将分别由各个 MOS 承担，从而使击穿电压提高。在 G_1 和 G_2 上分别加上适当的偏压，可使 V_{DS} 相等地分配在两个 MOS 上，即 $V_{DS1} = V_{DS2} = V_{DS}/2$ ，此时 SOS 四极管达到最大耐压容量。还要指出：由于有两个 MOS 串联，SOS 四极管的导道电阻 R_{on} 和面积都要增大。

第二种基本结构是 SOS 上的漏极延伸结构，称为 SOS/

XDMOS, 这种结构与 LDMOS 和延伸漏极 MOS 相似。沟道长度 L_1 和漂移区长度 L_2 是由光刻技术确定的, 故沟道长度 L_1 比较长。P 沟道区和 N^- 漂移区的掺杂是用初始外延层或用离子注入形成, 这使得在制造过程中可以分别独立地控制阈电压和击穿电压。R. S. Ronen 等采用以上两种结构, 对 P 沟 SOS 四极管和 N 沟、P 沟 SOS/XDMOS 获得 50V 的 $V_{(BR)DS}^{[14]}$ 。

在制作 SOS 集成电路时, 必须注意 SOS 结构的某些局限性, 例如, 外延层典型厚度只有 $0.6\mu m$, 外延层中载流子的迁移率比 Si 体内载流子的迁移率要低得多, 并且外延层有很高的缺陷密度, 而且 SOS 中外延层在高温循环过程中都会使这些性能退化, 因此在制造过程中, 利用离子注入而随之以低温退火是极其重要的。

为了获得较高击穿电压, 可采用如图 5-27 所示的复合器件, 实际上该复合器件是一个 SOS/XDMOS 和一个 SOS/MOS 串联构成的四极管。M. Pompel 等采用该结构得 180V 的击穿电压^[15]。如 SOS/XDMOS 采用偏置栅结构, 则击穿电压可增加到 400V 以上。

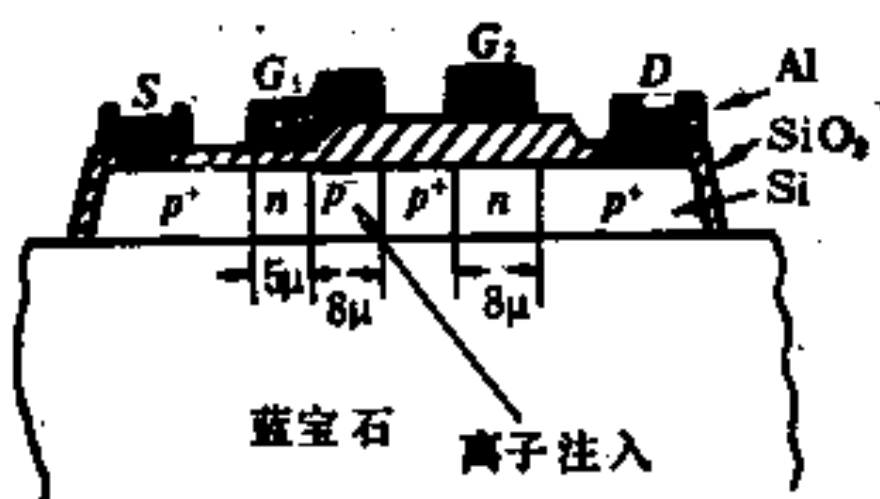
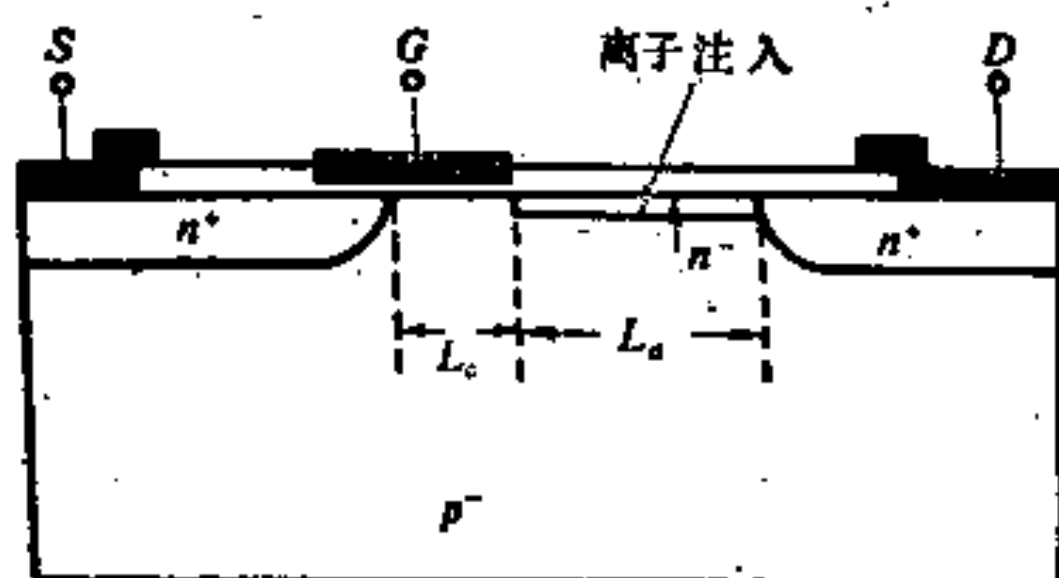


图 5-27 高压 SOS/MOS 复合器件^[15]

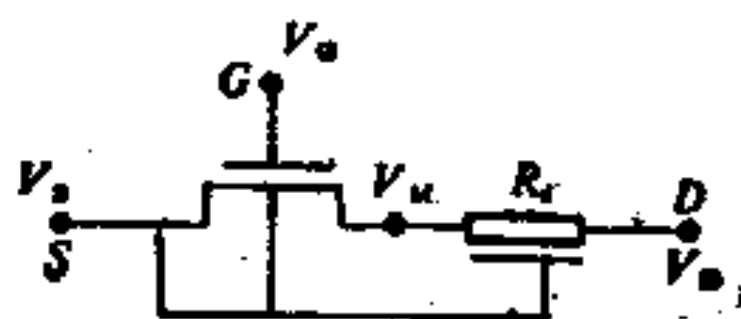
§ 5-2 偏置栅 MOS 与高压双栅 MOS

偏置栅 (Offset-Gate) MOS 的基本结构如图 5-28(a) 所示。所谓偏置栅, 是指栅没有覆盖到漏极 (N^+) 区上, 而是与其有一段距离, 在这段距离内由离子注入 (或扩散) 形成一个薄的 N 区, 称为漂移区 (或漏极延伸区)。漏源电压高时, 此漂移区全部耗

尽，承受了很高的电压，从而可避免沟道区的穿通现象发生。漏源电压低而电流大时，此漂移区提供了电流通路，但它本身表现为一个电阻 R_d ，引起压降与功耗。偏置栅 MOS 在放大区的等效电路如图 5-28(b) 所示。



(a)



(b)

图 5-28 偏置栅 MOS 的基本结构

(a) 高压偏置栅 MOS 结构示意图；(b) 等效电路

1. $I \sim V$ 特性

先讨论图 5-28 的沟道区（有源区）MOS，设此区与漂移区交界处电压为 V_M ，式(4-10)已给出了“电荷控制分析法”得到的 $I \sim V$ 关系，该方法中假定了沟道区的电荷只与 $(V_G - V_{th})$ 有关。事实上，由于电流流过沟道产生压降，沟道中各点电位 $V(y)$ 不是常数，从而电荷也不是常数，考虑这点而采用的分布分析法会得到更准确的结果，下面先介绍此分析方法的推导过程。

设在 dy 长度内沟道电阻是 dR ，由于电荷的面密度是 $Q_n(y)$ ，

则压降为

$$dV = I_D dR = - \frac{I_D dy}{Z \mu_n Q_n(y)} \quad (5-40)$$

其中 $Q_n(y)$ 决定于 y 点的电位。下面以源为电压参考点 ($V_s = 0$)，因此形式上， $Q_n = -C_{ox}(V_G - V_{th})$ 。但是 V_{th} 与 y 有关，由于 V_{th} 代表半导体表面开始出现反型时的栅极电压，它应包括下面四个部分：1) V_{FB} ，因为至少要加上这个电压，能带才变平；2) $2\phi_{FB}$ ，因为从体内的 P 型变到表面的开始出现 N 型，能带不但要弯曲到使禁带中央与体内准费米能级相等（一个 ϕ_{FB} ），还要使禁带中央在表面的准费米能级之下几乎相等的距离（再一个 ϕ_{FB} ）， $2\phi_{FB}$ 代表表面反型时自半导体体内到表面的压降的最小值；3）如表面电位为 $V(y)$ 而不是零，则栅电位当然也要相应地增加 $V(y)$ 才行；4）衬底与半导体表面有 $2\phi_{FB} + V(y)$ 的电位差，耗尽层单位面积有负电荷 $-Q_d = \sqrt{2\epsilon_s q N_B (2\phi_{FB} + V(y))}$ ，对应着场板上有同样的正电荷 $+Q_d$ ，这一对电荷在栅与表面形成压降 Q_d/C_{ox} 。综上所述

$$V_{th} = V_{FB} + V(y) + 2\phi_{FB} + \frac{1}{C_{ox}} \sqrt{2\epsilon_s q N_B (2\phi_{FB} + V(y))} \quad (5-41)$$

由此可见， V_{th} 与 $V(y)$ 有关，从而 Q_n 与 y 有关。上式中令 $V(y) = 0$ 就得到电荷控制法的结果——式(4-21)。

由式(5-40)求 $\int_0^L I_D dy$ ，用式(5-41)代入 $Q_n = -C_{ox}(V_G - V_{th})$ ，再用来代替式(5-40)的 Q_n ，可得到

$$I_D = \beta \left\{ (V_G - V_{FB} - 2\phi_{FB}) V_M - \frac{1}{2} V_M^2 - \frac{2}{3} \frac{(2q\epsilon_s N_B)^{\frac{1}{2}}}{C_{ox}} \left[(2\phi_{FB} + V_M)^{\frac{3}{2}} - (2\phi_{FB})^{\frac{3}{2}} \right] \right\} \quad (5-42)$$

其中 $\beta = Z\mu_n C_{ox}/L_c$, L_c 代表有源区的沟道长度, 上式和电荷控制法的式(4-10)相比, 多了最后一个因子。

当 V_M (即沟道末端的 $V(y)$) 增加到使式(5-41)的 V_{th} 等于 V_G 时, 沟道开始夹断, 电流开始饱和, 由此求得

$$V_{M(sat)} = V_G - V_{FB} - 2\phi_{FB} - \frac{q\epsilon_s N_B}{C_{ox}^2} \cdot \left[\sqrt{1 + \frac{2C_{ox}^2}{q\epsilon_s N_B} (V_G - \phi_{FB})} - 1 \right] \quad (5-43)$$

饱和电流可以从式(5-42)在 $V_M = V_{M(sat)}$ 时求出, 用电荷控制法的近似结果则为:

$$I_{D(sat)} = \frac{\beta}{2} (V_G - V_{th})^2 \quad (5-44)$$

实际上, 载流子的漂移速度受到垂直于其运动方向的电场的影响, 为顾及此影响, 可将 μ_n 近似表为

$$\mu_n = \frac{\mu_{n0}}{1 + \frac{V_G - V_{th}}{V_k}} \quad (5-45)$$

其中 μ_{n0} 为衬底表面无垂直电场时电子的迁移率, V_k 表示 μ_n 为 $\frac{1}{2}\mu_{n0}$ 时的有效栅源电压。

当 $V_M > V_{M(sat)}$ 时, 器件处于饱和区, 由于沟道长度调制效应, 使得 I_{DS} 在饱和区并不饱和, 此时

$$I_{DS} = \frac{I_{D(sat)}}{1 - \frac{\Delta L}{L}} \quad (5-46)$$

式中: ΔL 为沟道长度调制效应所引起的沟道长度的缩短量。

其次讨论漂移区的电流电压关系:

漂移区的模型可以根据与 JFET 的类比得出: 在图 5-29 中

画出了两者的类比, 可以看出两者相似, 但有两点不同。

首先, 由于在 JFET 中栅极为重掺杂的 P^+ 区, 故耗尽区只向

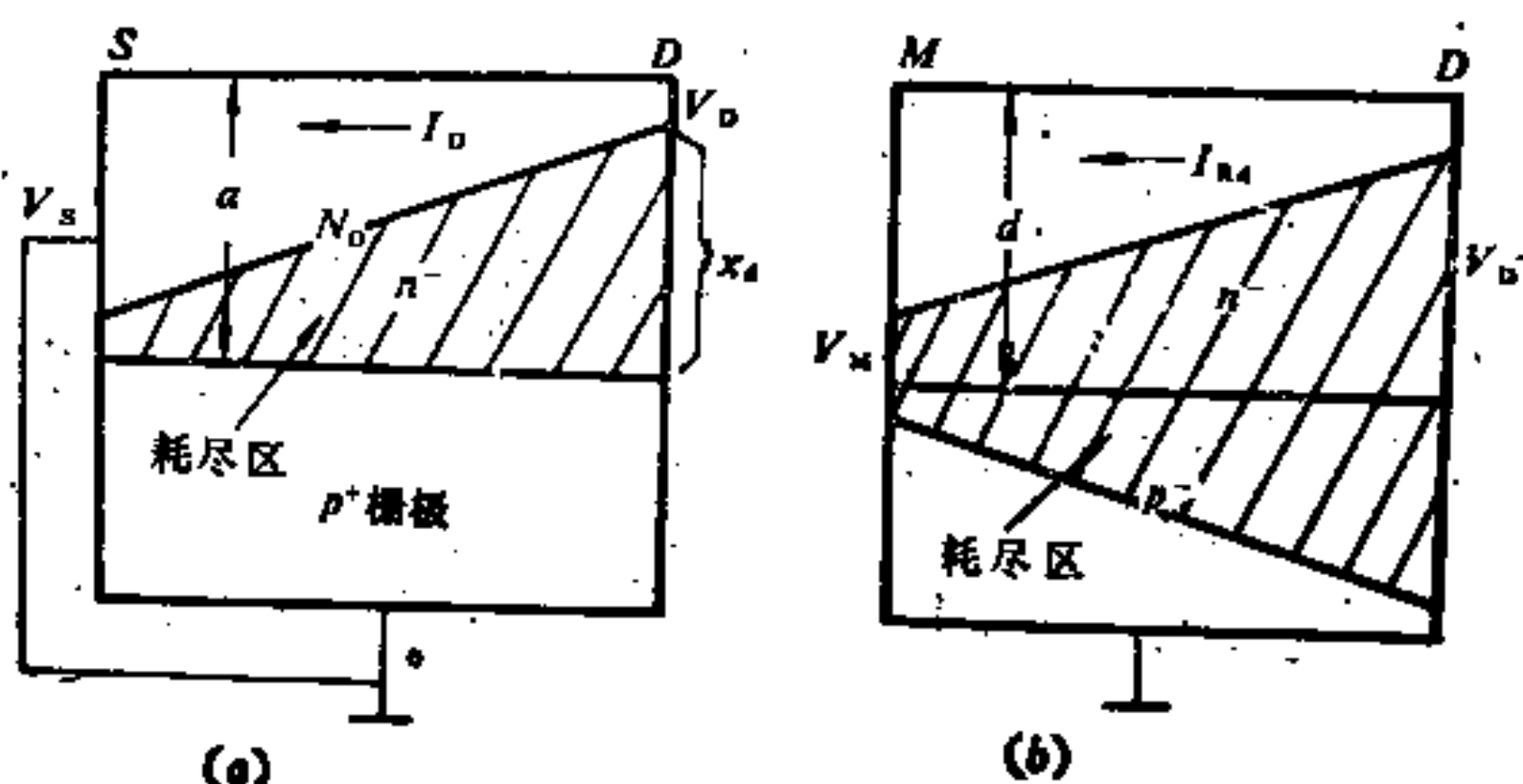


图 5-29 高压偏置栅 MOS 与 JFET 的类比

(a) 在栅源短接情况下 JFET 的下半部; (b) 高压偏置栅 MOS 中的漂移区

低掺杂的 N^- 区扩展, 此时若不考虑扩散电势 V_{bi} , 则漏极处耗尽区的宽度为

$$x_d(\text{漏极处}) = \sqrt{\frac{2\epsilon_s V_D}{qN_D}}$$

在漏极处沟道被夹断时, $V_D = V_{off}$, $x_d(\text{漏极处}) = a$, 故从上式得夹断电压 V_{off} 为

$$V_{off} = \frac{qN_D a^2}{2\epsilon_s} \quad (5-47)$$

对于高压偏置栅 MOS 中的漂移区, 由于衬底为轻掺杂的 P^- 区, 故耗尽区向 P^- 衬底及 N^- 漂移区两边扩展。 N^- 区有效杂质浓度为离子注入的浓度 N_D 减衬底杂质浓度 N_B , 即 $(N_D - N_B)$, 由此得到在漏极处漂移区内的耗尽区宽度为

$$x_d(\text{漏极处}) = \sqrt{\frac{2\epsilon_s}{q} \frac{N_B}{N_D(N_D - N_B)} V_D}$$

其中 N_B 为衬底掺杂浓度。若离子注入的 N 型杂质近似地呈矩形分布, 注入深度为 d , 在注入剂量为 $D_N(\text{cm}^{-2})$ 时, $N_D = D_N/d$ 。

若漂移区的厚度为 d , 则在 $x_d(\text{漏极处}) = d$ 时, 漂移区在漏极端被夹断, 此时的 V_D 称为夹断电压 V_{off} , 故由上式得

$$V_{off} = \frac{q}{2\epsilon_s} \frac{N_D(N_D - N_B)}{N_B} d^2 \approx \frac{q}{2\epsilon_s} \frac{N_D^2 d^2}{N_B} = \frac{q D_N^2}{2\epsilon_s N_B} \quad (5-48)$$

在上式的近似式中假定了 $N_D \gg N_B$ 。比较式(5-47)和(5-48)可以看出: 在 JFET 的 V_{off} 表达式中的 N_D 与高压偏置栅 MOS 漂移区的 V_{off} 表达式中的 $\frac{N_D(N_D - N_B)}{N_B}$ 相当。

其次, 在 JFET 中对 I_{DS} 有贡献的杂质浓度为 N_D , 而在高压偏置栅 MOS 漂移区中对 I_{Rd} 有贡献的有效杂质浓度为 $(N_D - N_B)$, 但由于 $N_D \gg N_B$, 故两者对电流有贡献的杂质浓度近似相等。

在 JFET 中, 在非饱和区^[10]

$$I_D = \frac{q\mu_n N_D Z V_{off}}{L} a \left\{ \left(\frac{V_D}{V_{off}} \right) - \frac{2}{3} \left(\frac{V_D}{V_{off}} \right)^{3/2} - \left[\left(\frac{V_s}{V_{off}} \right) - \frac{2}{3} \left(\frac{V_s}{V_{off}} \right)^{3/2} \right] \right\} \quad (5-49)$$

上式中的 V_D 并非漏极电压, 而是耗尽区两端的压降。根据上面的类比, 只要把式(5-49)中的 L 改写为漂移区的长度 L_d , a 改写为漂移区的厚度 d , V_{off} 式中的 N_D 改写为 $\frac{N_D(N_D - N_B)}{N_B} \approx \frac{N_D^2}{N_B}$, V_s 改写为 V_M , 即得高压偏置栅 MOS 中漂移区在未夹断前的电流

$$I_D = I_{Rd} = \frac{q\mu_n N_D Z d}{L_d} \left\{ V_D - V_M - \frac{2}{3} \left(\frac{2\epsilon_s N_B}{q N_D^2 d^2} \right)^{1/2} \left[V_D^{3/2} - V_M^{3/2} \right] \right\} \quad (5-50)$$

在 $V_D = V_{\text{off}}$ 时, 漂移区漏极处被夹断, 此时 I_D 饱和, 饱和电流 $I_{D(\text{sat})}$ 可由式(5-49)及上述各参量的改写得出

$$I_{D(\text{sat})} = \frac{q\mu_n N_D Z d}{3L_d} \left\{ \frac{qN_D^2 d^2}{2\epsilon_s N_B} - 3V_M + 2 \left(\frac{2\epsilon_s N_B}{qN_D^2 d^2} \right)^{\frac{1}{2}} V_M^{\frac{3}{2}} \right\} \quad (5-51)$$

当 $V_D > V_{\text{off}}$ 时, 处于饱和区, 此时

$$I_D = \frac{I_{D(\text{sat})}}{1 - \frac{\Delta L_d}{L_d}} \quad (5-52)$$

$$\text{其中 } \Delta L_d = \frac{1}{2} \left[\frac{2\epsilon_s}{qN_D} (V_D - V_M - V_{\text{off}}) \right]^{\frac{1}{2}} \quad (5-53)$$

上面已求出了串联的两区各自的电流与电压关系, 就如同在前节 LDMOS 中的两管模型一样, 只要消去 V_M , 就可得到 I_D 与 V_D 的关系, 读者可以自己推出这种关系。

下面求两区漏源电压均很小而处于线性区时的总电阻, 即导通电阻 R_{on} , 偏置栅 MOS 的 R_{on} 由两部分组成: 沟道区部分和漂移区部分。由式(5-43)得 V_M 很小时沟道区部分的导通电阻

$$(R_{\text{ch}})_{\text{on}} = \frac{1}{\frac{\partial I_D}{\partial V_M} \Big|_{V_G = c}} = \frac{1}{\beta(V_G - V_{\text{th}})} \quad (5-54)$$

可见随着 V_G 的增大, $(R_{\text{ch}})_{\text{on}}$ 将单调地减小。

漂移区部分的导通电阻可由式(5-50)得出

$$(R_d)_{\text{on}} = \frac{1}{\frac{\partial I_D}{\partial V_D} \Big|_{V_M = c}} = \frac{L_d}{q\mu_n N_D Z d} \left\{ 1 - \left(\frac{2\epsilon_s N_B}{qN_D^2 d^2} V_D \right)^{\frac{1}{2}} \right\}^{-1} \quad (5-55)$$

可见 $(R_d)_{\text{on}}$ 与 V_G 无关, 在线性区由于 V_D 很小, $(R_d)_{\text{on}}$ 很接近

$$\frac{L_d}{q\mu_n N_D Z d} \cdot$$

增加漂移区的注入剂量($N_D d$), 可使 $(R_d)_{on}$ 减少。将两部分导通电阻相加, 得

$$R_{on} = \frac{1}{\beta(V_G - V_{th})} + \frac{L_d}{q\mu_n N_D Z d} \left\{ 1 - \left(\frac{2\epsilon_s N_B}{q N_D^2 d^2} V_D \right)^{\frac{1}{2}} \right\}^{-1} \quad (5-56)$$

可以预期在 V_G 较大时, R_{on} 将趋近最小饱和值。

2. 漂移区的优化

过去对于漂移区击穿电压和导通电阻之间所应满足的最佳折衷条件, 都是通过对具体结构的器件进行计算机模拟来获得, 没有一个在物理意义上很直观的简单理论。陈星弼对漂移区的电场进行了分析, 得出了电场分布的解析形式和漂移区电阻的解析表达式, 在此基础上获得了均匀掺杂漂移区的最佳条件^[17]。

为了简化理论分析, 对图5-30所示的结构作以下假设: 1) 漏与源衬底区域是如此之深, 两个冶金结面 ($x=0$ 和 $x=L_d$) 可当作与 Si 表面相互垂直来处理; 2) 这两个区域的掺杂浓度是如此之高, 以至这两个平面可以当作等位面来处理。

于是, 在没有漂移区掺杂而 V_D 较大时, N^+P^-P 区的电场如同一个穿通二极管, 其电场分布如图5-31(a)所示, 为

$$E_0(x) = \frac{V_D}{L_d} + (2x - L_d)qN_A / (2\epsilon_s) \quad (5-57)$$

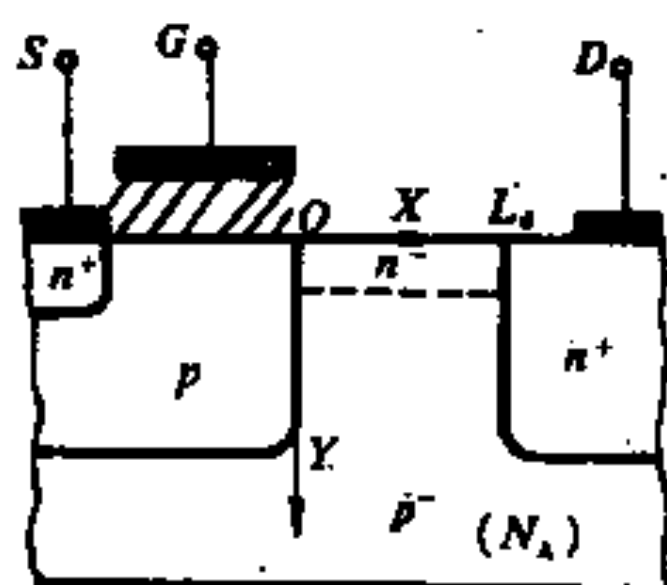


图 5-30 深结偏置栅高压 MOS 的结构示意图

上式中注脚“0”表示无漂移区的情况。

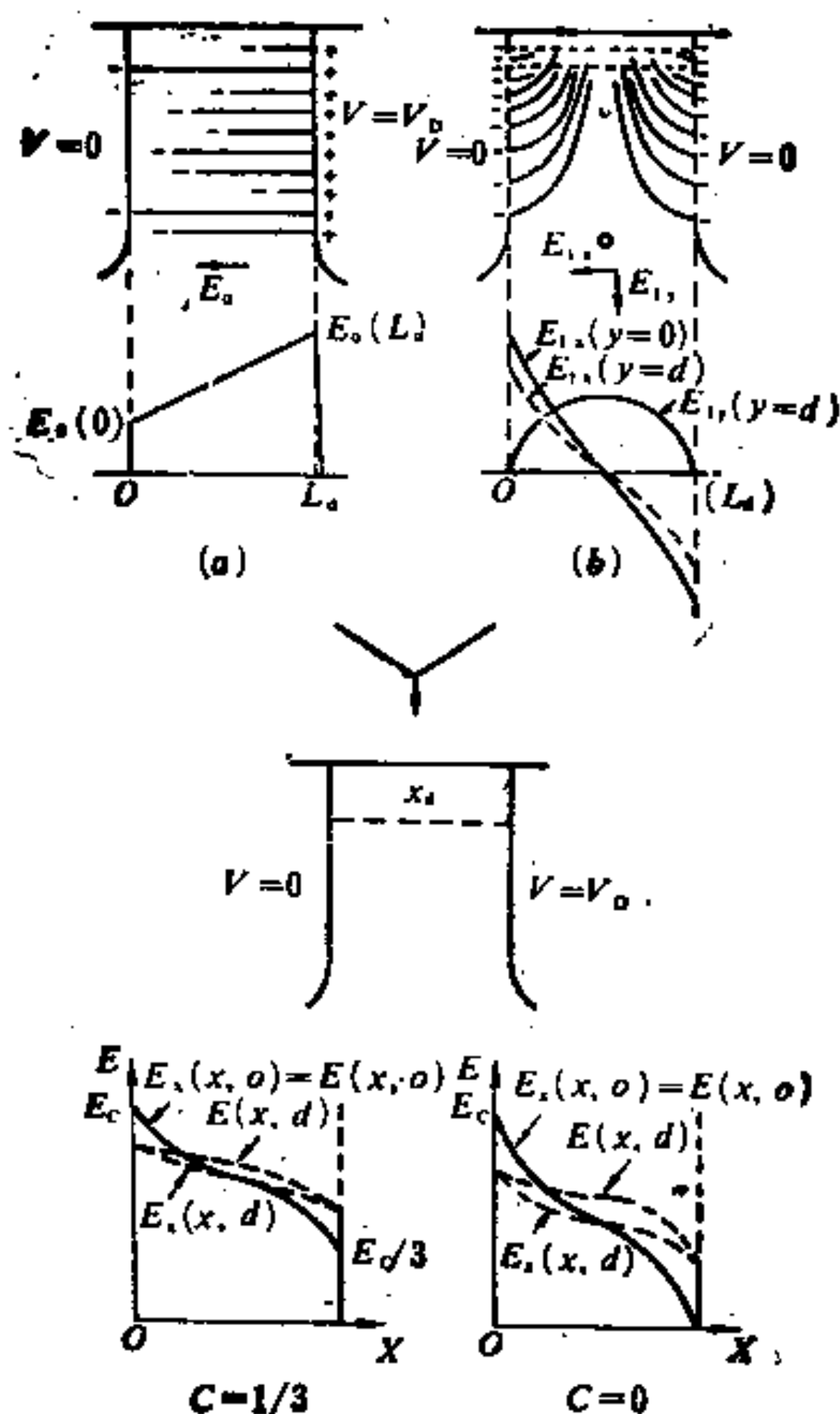


图 5-31 电场强度 E 的定义与分布

(a) E_0 , (b) E_1 , (c) E

可见 $E_0(x)$ 的最大值位于 $x=L_d$, 当 V_D 高到使 $E_0(L_d)=E_c$ 时, E_c 为雪崩击穿临界电场强度, V_D 就是击穿电压 V_{BR} 。定义

$$C = E_0(0)/E_0(L_d) \quad (5-58)$$

由此得

$$V_{BR} = (1 + C)E_c L_d / 2 \quad (5-59)$$

$$qN_A L_d / \epsilon_s = (1 - C)E_c \quad (5-60)$$

以上两式表示为了保证 $V_D < V_{BR}$ 时, 漏结不发生击穿, N_A 和 L_d 必须满足式(5-59)和(5-60)所示的关系。

其次考虑 P^- 区从表面到 d 这一部分被有效施主浓度为 N_D 的 N^- 区所替代 (见图5-30), 这时的电场可看作原来无漂移区掺杂时的电场, 加上漂移区掺杂引起附加电荷的电场, 两种电场之和应该满足边界条件: $x = 0$ 时 $V = 0$, $x = L_d$ 时 $V = V_D$, 漂移区原有受主杂质浓度 N_A , 掺杂后变成有效施主浓度 N_D , 因此附加电荷密度为 $-q(N_D + N_A)$, 其掺杂的厚度为 d 。在满足上述边界条件时此电荷产生的电场 E_1 有两个分量: E_{1x} 与 E_{1y} , 总电场 $E_1 = \sqrt{E_{1x}^2 + E_{1y}^2}$ 。在表面 ($y = 0$), $E_{1y} = 0$, 在漂移区之下面 ($y = d$), E_{1y} 最大。图5-31(b)示出了 E_{1x} 与 E_{1y} , E_{1x} 可表为

$$E_{1x}(0, 0) = -E_{1x}(L_d, 0) = q(N_D + N_A)d \cdot f\left(\frac{d}{L_d}\right) / \epsilon_s \quad (5-61)$$

其中

$$f(d/L_d) = \begin{cases} 0.349 - 0.637 \ln(d/L_d) & \text{当 } 0.3 \geq d/L_d \geq 0.001 \\ 1 - \exp(-4d/L_d) & \text{当 } d/L_d \geq 0.3 \end{cases}$$

为了在 $x = 0$, $y = 0$ 处不发生击穿, 该处的最大电场强度—— $E(x = 0, y = 0) = E_0(0) + E_1(0, 0)$ 必须小于临界电场强度 E_c , 故从式(5-61)有

$$q(N_A + N_D)d \cdot f(d/L_d) / \epsilon_s = E_c - E_0(0) = (1 - C)E_c \quad (5-62)$$

上式中的最后一式由 $E_0(L_d) = E_c$ 与 $E_0(0) = CE_0(L_d)$ 得出。

应当指出, 上面求出的 E_1 是假设了漂移区全部处于耗尽区

之内, 从而杂质全部电离。实际上, 为了满足这个要求, 只要实际的 E_x 一直是从漏区 ($x = L_d$) 指向源区 ($x = 0$), 即在整个区中电场没有负值, 而这一条件在 $E_0(L_d, 0) = E_0(L_d) + E_{1x}(L_d, 0) \geq 0$ 时就能保证。由式(5-62)可证, 只要 $C \geq 0$, 此条件可满足。

图5-31(c)示出了 $C = 1/3$ 及 $C = 0$ 两种情形下, $y = 0$ 及 $y = d$ 的总电场 $\vec{E}$, $\vec{E} = \vec{E}_0 + \vec{E}_1$ 。显然, 漂移区电荷的作用是使靠近源区电场增加, 靠近漏区电场减小, 而无漂移区电荷时电场在漏区边上最大, 显然漂移区改善了电场分布。从导通电阻来讲, 漂移区电荷 (或 N_D) 愈大愈好, 但如果电荷过大, 则在靠近源区处电场会超过 E_c 而击穿, 而且在漏区边缘可能会发生漂移区不全耗尽 (即 $E < 0$), 因此, 存在着击穿电压与导通电阻的矛盾。

漂移区的电导率 $\sigma (= q\mu_n N_D)$ 由 N_D 决定; 同时为了保证在 $x = L_d$ 和 $x = 0, y = 0$ 处在小于 V_{BR} 时不发生击穿, N_D 必须同时满足式(5-60)和(5-62), 故在开态用满足式(5-60)和(5-62)两式的 N_D 引入 $\sigma = q\mu_n N_D$ 得漂移区的电导率。

$$\sigma = \mu_n(1 - C)\epsilon_s E_c(f^{-1} - d/L_d)/d \quad (5-63)$$

单位沟道宽度的导通电阻 R_{on1} 并不是一个简单的矩形电阻 $\frac{\sigma d}{L_d}$, 实际上, 电子是从栅极下面的一个小的“出口”流出, 然后在漂移区内扩展, 这一电流是限制在一个很小的深度 d 内。

为了简便起见, 在计算导通电阻时, 对“出口”考虑如下的两种情况: 1) 栅电极有一部分延伸到漂移区, 如图5-32(a)所示, 在 V_D 较低时, 栅电极延伸部分下面的积累层的作用就像一个等位电极, 对于这种情况可以应用保角变换来求解拉普拉斯方程; 2) 电流从深度为 r_1 的“出口”流出, r_1 约为 $0.5\mu m$, 流出的电流循 45° 角向漂移区内扩展直到深度 d , 如图5-32(b)所示。于是, 利用式(5-63)所示的 σ , 求得单位沟道宽度的导通电阻 R_{on1} 为

$$R_{on1} = FL_d [\mu_s \epsilon_s (1 - C) E_c]^{-1} \quad (5-64)$$

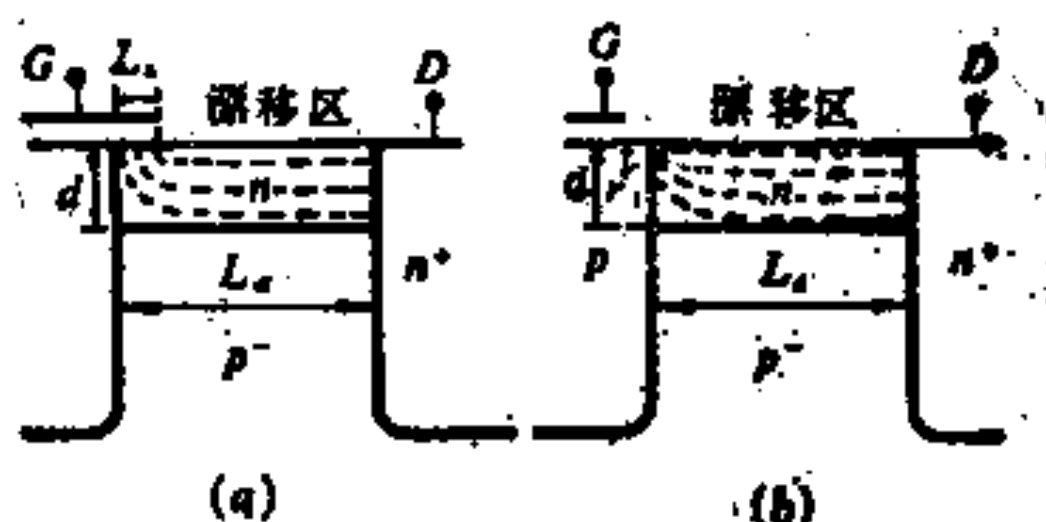


图 5-32 电流从沟道流向漂移区

(a) 栅电极有一部分，延伸到漂移区；(b) 从深度为 r_1 的“出口”流出，循 45° 角在漂移区内扩展直到深度 d

上式中的 F 在 10% 的误差范围内可表为：

$$F = F_a \approx \{0.14(d/L_d) \ln(L_s/L_d) \cdot [\ln(d/L_d) - 4.28d/L_d] \\ + (L_d - L_s)/L_d + 0.35(L_s/L_d)(d/L_d)\} (f^{-1} - d/L_d)^{-1} \\ L_s/L_d \leq 0.9 \text{ 和 } 0.04 \leq d/L_d \leq 1.2 \quad (5-65a)$$

$$F = F_b = [(d/L_d) \ln(d/r_1) + (L_d + r_1 - d)/L_d] \cdot (f^{-1} - d/L_d)^{-1} \\ r_1 \leq d \quad (5-65b)$$

注脚“a”和“b”分别表示上述的情况(a)和情况(b)。

上面实际上假设了漏电流密度很小，从而不发生速度饱和效应和栅极下积累层有效长度的减小。

在 (L_s/L_d) 或 (r_1/L_d) 为定值时，当 (d/L_d) 为某一最佳值 $(d/L_d)_{opt}$ 时， F 具有最小值 F_{min} ， F_{min} 和 $(d/L_d)_{opt}$ 在 5% 误差范围内，可近似表示为：

$$F_{min,a} = 1.26 (L_s/L_d)^{-0.172} \quad (5-66a)$$

$$F_{min,b} = 1.85 (r_1/L_d)^{-0.060} \quad (5-66b)$$

$$(d/L_d)_{opt,a} = \begin{cases} 0.74(L_s/L_d)^{0.27} & L_s/L_d \leq 0.05 \\ 1.11(L_s/L_d)^{0.40} & 0.05 \leq L_s/L_d \leq 0.5 \end{cases} \quad (5-67a)$$

$$(d/L_d)_{opt,b} = 0.365(r_1/L_d)^{0.24} \quad (5-67b)$$

对于叉指结构, 若 b 为源-衬底和重掺杂漏区的平均宽度, 则漂移区单位面积的导通电阻

$$R_{on} = R_{on1}(b + L_d) \quad (5-68)$$

用式(5-59)所表示的 L_d 和式(5-64)代入上式得

$$R_{on} = \frac{2V_{BR}Fb}{\mu_n \epsilon_S (1 - C^2) E_C^2} + \frac{4V_{BR}^2 F}{\mu_n \epsilon_S (1 + C)(1 - C^2) E_C^2} \quad (5-69)$$

可以看到在式(5-69)中右边第二项的 C 为 $\frac{1}{3}$ 时, R_{on} 为最小, 但是在 $C = 0$ 和 $C = \frac{1}{3}$ 时的 R_{on} 仅相差 15%, 故为了简便起见, 以下取 $C = 0$ 。

用式(5-59)所表示的 L_d 代入式(5-66), 能得到 $F_{min}(V_{BR})$ 。再将 $F_{min}(V_{BR})$, $\mu_n = 800 \text{ cm}^2/(\text{V} \cdot \text{s})$ 和 $E_C = 8.2 \times 10^5 V_{BR}^{-0.2} \text{ V/cm}$ (对 Si) 代入式(5-69), 即可得出单位面积 R_{on} 与 V_{BR} 依赖关系:

$$R_{on,a} = L_s^{-0.173} (23.9bV_{BR}^{1.01} + 0.582V_{BR}^{2.81}) \Omega \cdot \text{cm}^2 \quad (5-70a)$$

$$R_{on,b} = r_1^{-0.088} (52bV_{BR}^{1.48} + 1.27V_{BR}^{2.08}) \Omega \cdot \text{cm}^2 \quad (5-70b)$$

上式中 b , L_s 和 r_1 的单位为 μm , V_{BR} 的单位为 V 。式(5-70)中因子 L_s 和因子 r_1 , 在 $0.58 < L_s < 1.8$ 或 $0.2 < r_1 < 5$ 范围内, 与 1 相差小于 10%。

上面求出了一定 V_{BR} 下, R_{on} 最小的优化条件, 由此可以得

到漂移区的各量(N_A , N_D , L_d , d)的最佳理论值。由式(5-59), (5-60), (5-62)及(5-67)得到设计准则如下,

$$L_d = 0.024V_{BR}^{1.2} \mu m \quad (5-71)$$

$$N_A = 2.2 \times 10^{13} V_{BR}^{-1.4} \text{cm}^{-3} \quad (5-72)$$

$$D_N = (N_D + N_A)d = 5.3 \times 10^{12} V_{BR}^{-0.2} / f \text{ cm}^{-2} \quad (5-73)$$

$$d = d_a = \begin{cases} 0.12L_a^{0.4} V_{BR}^{0.72} \mu m \\ 39.3L_a^{0.83} (V) \leq V_{BR} \leq 268L_a^{0.83} (V) \\ 0.048L_a^{0.27} V_{BR}^{0.88} \mu m \end{cases}$$

$$V_{BR} > 268L_a^{0.83} (V) \quad (5-74a)$$

$$d = d_b = 0.018V_{BR}^{0.81} \mu m \quad (5-74b)$$

$$f = f_a = \begin{cases} 0.10L_a^{-0.40} V_{BR}^{0.48} [1 - \exp(-19.5L_a^{0.40} V_{BR}^{-0.48})] \\ 39.3L_a^{0.83} (V) \leq V_{BR} \leq 268L_a^{0.83} (V) \\ 0.25L_a^{-0.27} V_{BR}^{0.83} [1 - \exp(-8.0L_a^{0.27} V_{BR}^{-0.83})] \end{cases}$$

$$V_{BR} > 268L_a^{0.83} (V) \quad (5-75a)$$

$$f = f_b = 0.527 + 0.184 \cdot \ln V_{BR} \quad (5-75b)$$

$$N_D = 5.3 \times 10^{12} V_{BR}^{-0.2} / d \cdot f - 2.2 \times 10^{13} V_{BR}^{-1.4} \text{cm}^{-3} \quad (5-76)$$

其中 D_N 为注入或扩散进入偏置栅 MOS P^- 衬底的剂量。

N_A , N_D , D_N , L_d 和 d 的最佳理论值与 V_{BR} 的关系如图 5-33 所示。要注意, 图中对于栅极延伸 L_a 的情况 (a), 按照式 (5-67a) 只适用于 $L_a < 0.5L_d$

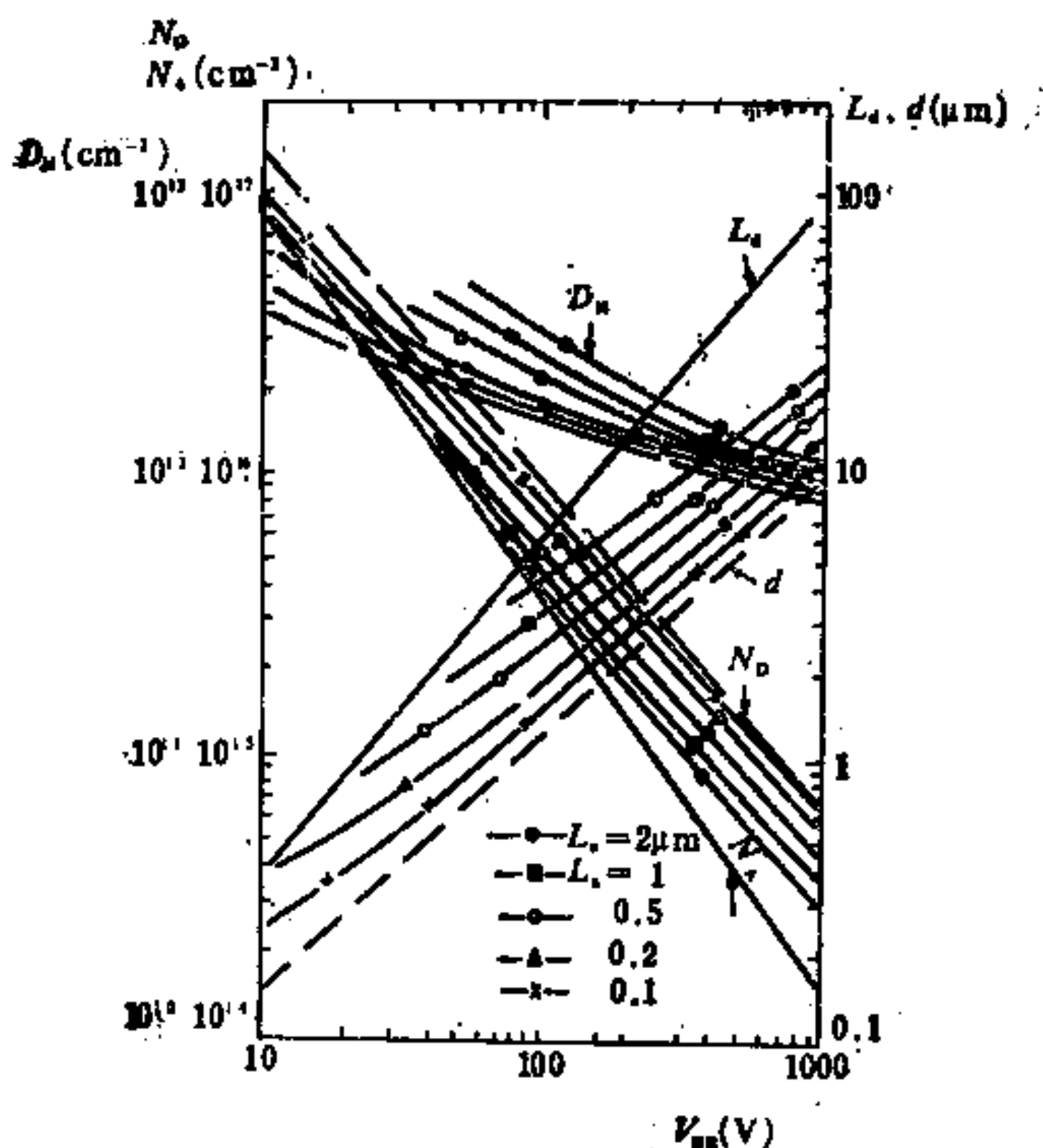


图 5-33 N_A , N_D , D_N , L_d 和 d 在给定 V_{BR} 时的最佳理论值

3. 场板对偏置栅 MOS 的作用

漏源击穿电压是功率 MOS 最重要参数之一, 图 5-34 画出了具有场板的高压偏置栅 MOS^[18]。场板是将铝源极电极从 Si 栅边缘向漏极方向延伸形成, 其长度为 L_F , 场板的作用是使栅极边缘处的电场强度降低, 从而使漏源击穿电压得以提高。该器件的衬底杂质浓度 N_B 为 $1 \times 10^{15} \text{ cm}^{-3}$, 栅氧化层厚度 t_{ox} 为 100 nm, 场板下的氧化层厚度 y_{ox} 为

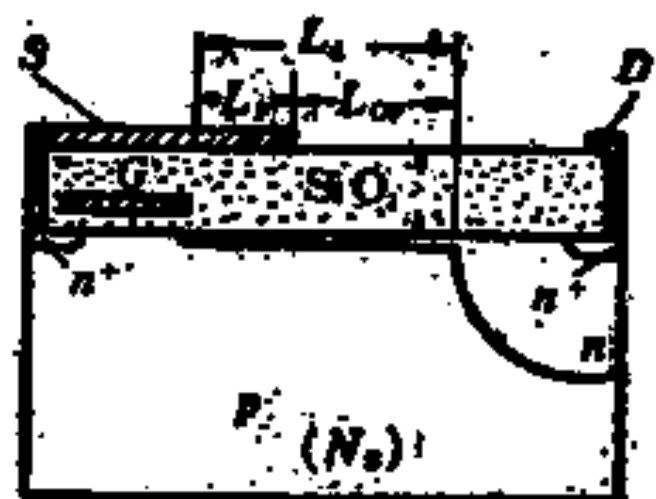


图 5-34 具有场板的高压偏置 MOS

1 μm 。利用一种所谓CADDET的程序对此器件进行二维分析，所得到的各种结构 MOS 的电场分布如图 5-35所示。

如图 5-35(a)所示一般 MOS 的最大电场强度位于漏极附近的 Si 表面，漏源击穿电压的计算值仅为35V。

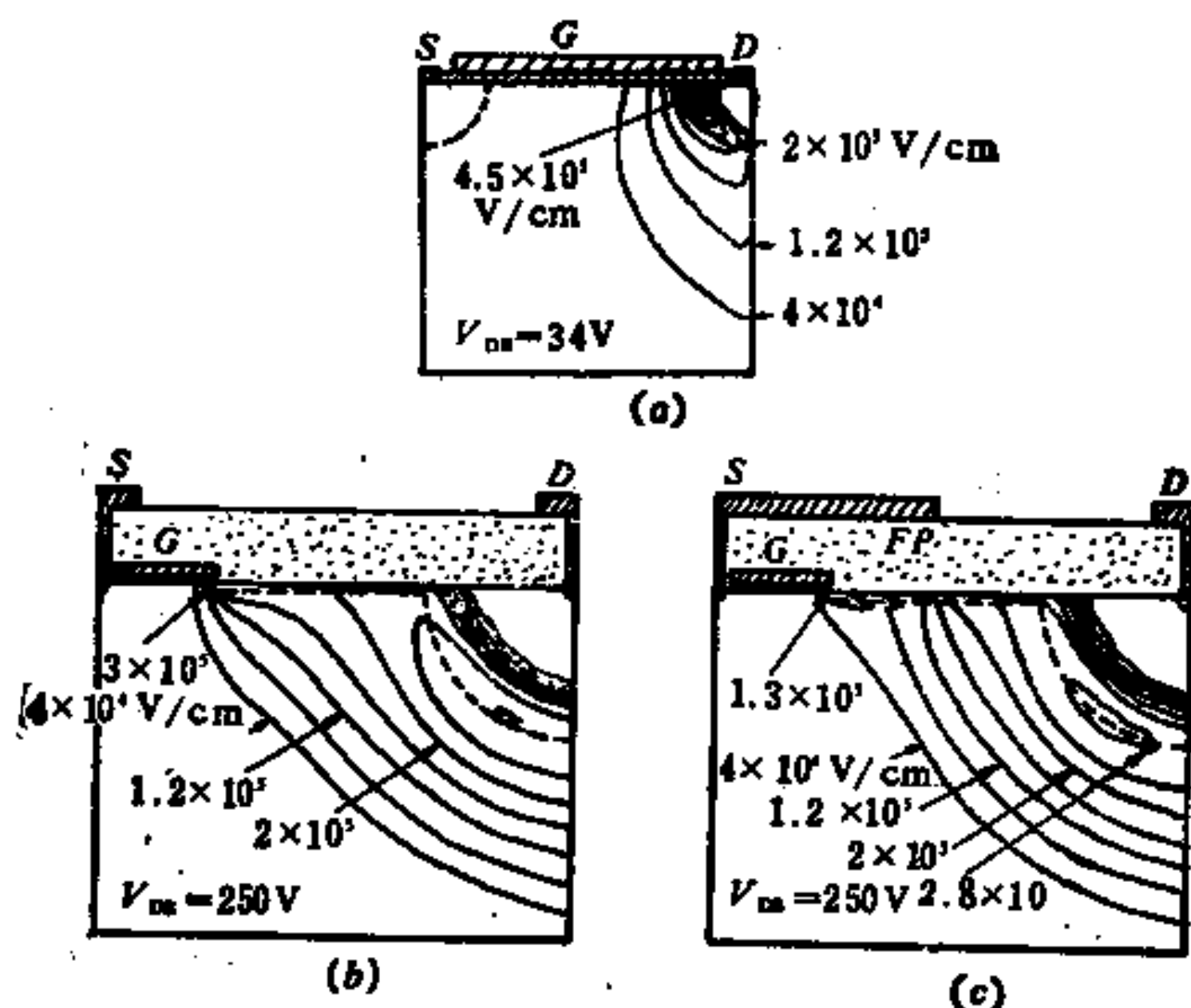


图 5-35 各种结构MOS的电场分布
(a) 一般MOS; (b) 高压偏置栅MOS;
(c) 具有场板的高压偏置栅MOS

对于高压偏置栅 MOS 如图 5-35(b) 所示，与一般 MOS 相比较，Si 表面处的电场强度有了较大的降低，并且最大电场强度的所在处已由漏极附近 Si 表面转移到栅极边缘的 Si 表面，此时漏极击穿电压的计算值为 250V。由于最大电场强度仍在表面，故雪崩击穿也将发生在表面。并将显示出所不希望有的负阻击穿特性，故有必要进一步降低表面电场强度。

如图 5-35(c)所示，在具有场板的高压偏置栅MOS 中，由于场板的作用使得表面附近的电场强度有显著的降低，于是最大电

场强度将位于体内，这样雪崩击穿也将发生在体内，漏源击穿电压的计算值为250V。

场板长度 L_F 和偏置区距离 L_{OF} 具有一个最佳值，因为 L_F 及 L_{OF} 愈小，漂移区注入剂量愈大，则导通电阻 R_{on} 愈小。但这时表面电场变大，击穿电压变低。对图5-35(c)的结构进一步优化后，得到的最佳结构参数为：注入剂量 $D_N = 1 \times 10^{12} \text{ cm}^{-2}$ ， $L_F = L_{OF} = 7 \mu\text{m}$ 。

漂移区长度 L_d 对击穿电压也有影响，图5-36示出上述器件的漏源击穿电压与漂移区长度的关系，图中实线为实验值，黑点为二维分析的计算值。可以看出：在 L_d 小于 $10 \mu\text{m}$ 时，击穿电压随着 L_d 的增大而增大，在 L_d 大于 $10 \mu\text{m}$ 时，击穿电压保持不变，与 L_d 无关，这是由于在 L_d 较长时，雪崩击穿将在体内发生。

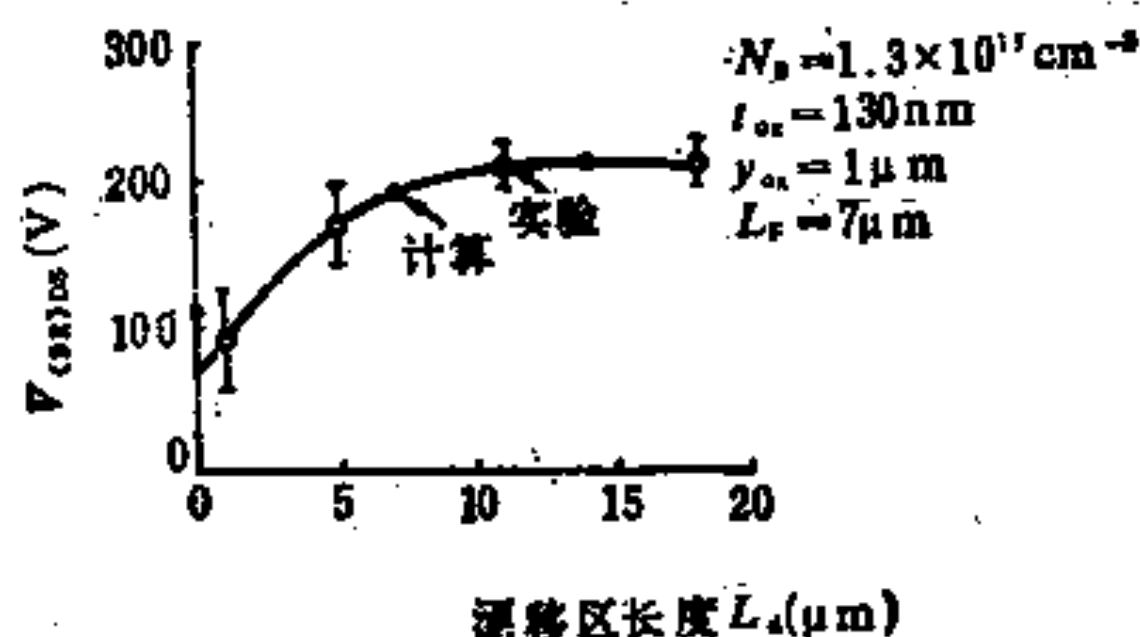


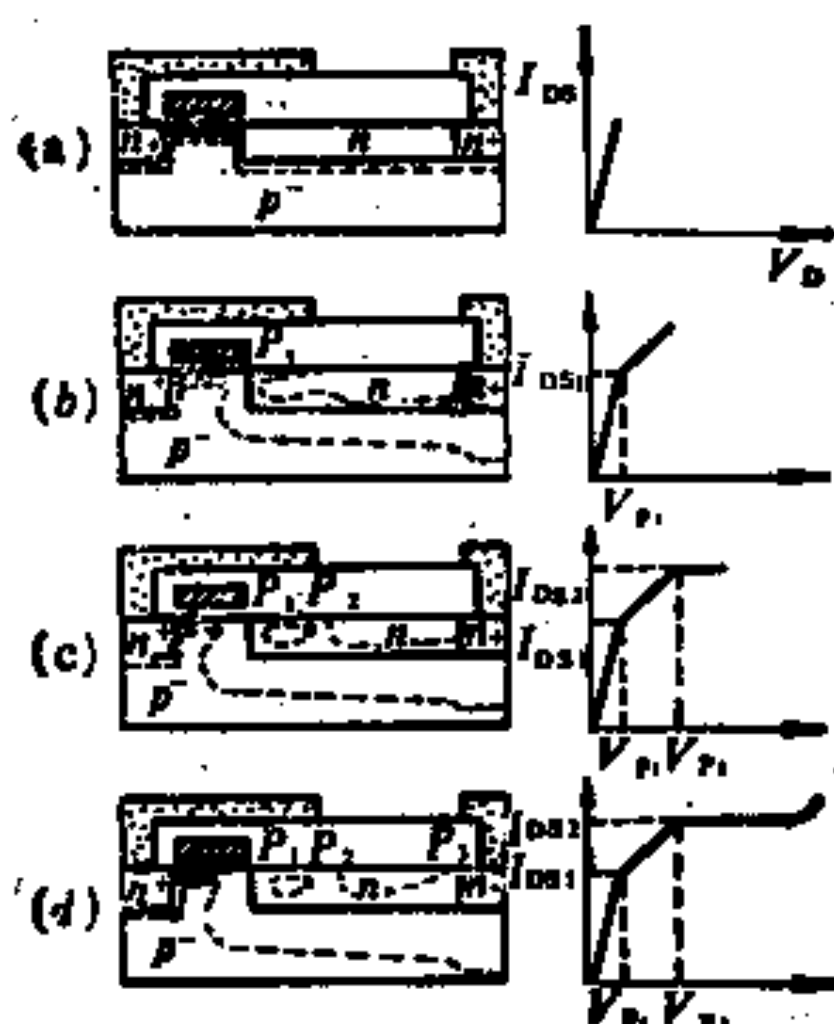
图 5-36 击穿电压与漂移区长度 L_d 的依赖关系

对于漂移区很大，且在区内掺杂较重的器件，漂移区可能不全耗尽，但这时漂移区下的电场可作一维近似分析，由此分析还可得到 $I_D \sim V_D$ 的关系。下面讨论这种器件，如图5-37所示，此器件在 $V_G > V_{th}$ 且为定值时，随着 V_D 从零开始增加，可把器件的工作分为四个区域，图中画出了这四个区域的耗尽区（虚线）及其伏安特性^[10]。

在 V_D 较小时， I_D 与 V_D 呈线性关系，器件工作于线性区，如

图 5-37(a) 所示。此时

$$R_{on} = R_{ch} + R_d$$



当 V_D 增加到使 P_1 点的电位等于 $(V_G - V_{th})$ 时, 有源区沟道在 P_1 点被夹断, 如图 5-37(b) 所示, 这时的 V_D 称为第一夹断电压 V_{P1}

$$V_{P1} = (V_G - V_{th}) + I_{DS1} R_{d1} \quad (5-77)$$

其中 R_{d1} 系漏源电压为 V_{P1} 时的漂移区电阻, I_{DS1} 为沟道区的饱和电流

$$I_{DS1} = \frac{\beta}{2} (V_G - V_{th})^2$$

图 5-37 具有场板的高压偏置栅 MOS 的击穿过程

(5-78)

当 V_D 进一步增加时, 增加的电压将降落在 P_1 点附近的耗尽区, 从而导致沟道长度调制效应, 并使 I_{DS} 继续增加。

V_D 再进一步增加到 V_{P2} 时, 场板边缘下的 P_2 点被夹断, 如图 5-37(c) 所示, V_{P2} 称为第二夹断电压。一旦 P_2 点被夹断后, 再增加 V_D , V_D 的增加部分将降落在 P_2 点附近的第二夹断区, 而不再降落在 P_1 点附近的第一夹断区, 故第一夹断区内的电场不再增加。其结果是发生在第一夹断区表面的雪崩击穿得以制止, 并且沟道长度也不再缩短, 从而使 I_{DS} 在 V_{P2} 时饱和, 其饱和值为

$$I_{DS2} = \frac{I_{DS1}}{1 - \frac{\Delta L}{L}} \quad (5-79)$$

其中 ΔL 是漏源电压为 V_{P2} 时沟道长度的缩短。

第二夹断电压 V_{P2} 由下式给出:

$$V_{P2} = V_{P20} + I_{DS2} R_{d2} \quad (5-80)$$

其中 V_{P20} 是栅压为零时的第二夹断电压, R_{d2} 为 $V_D = V_{P2}$ 时末被场板覆盖部分的漂移区电阻。

V_{P20} 可由图5-38所示的电场分布的一维模型求出^[20], 图中的电场分布线是对漂移区恰好全部耗尽时画出的, 此曲线下的

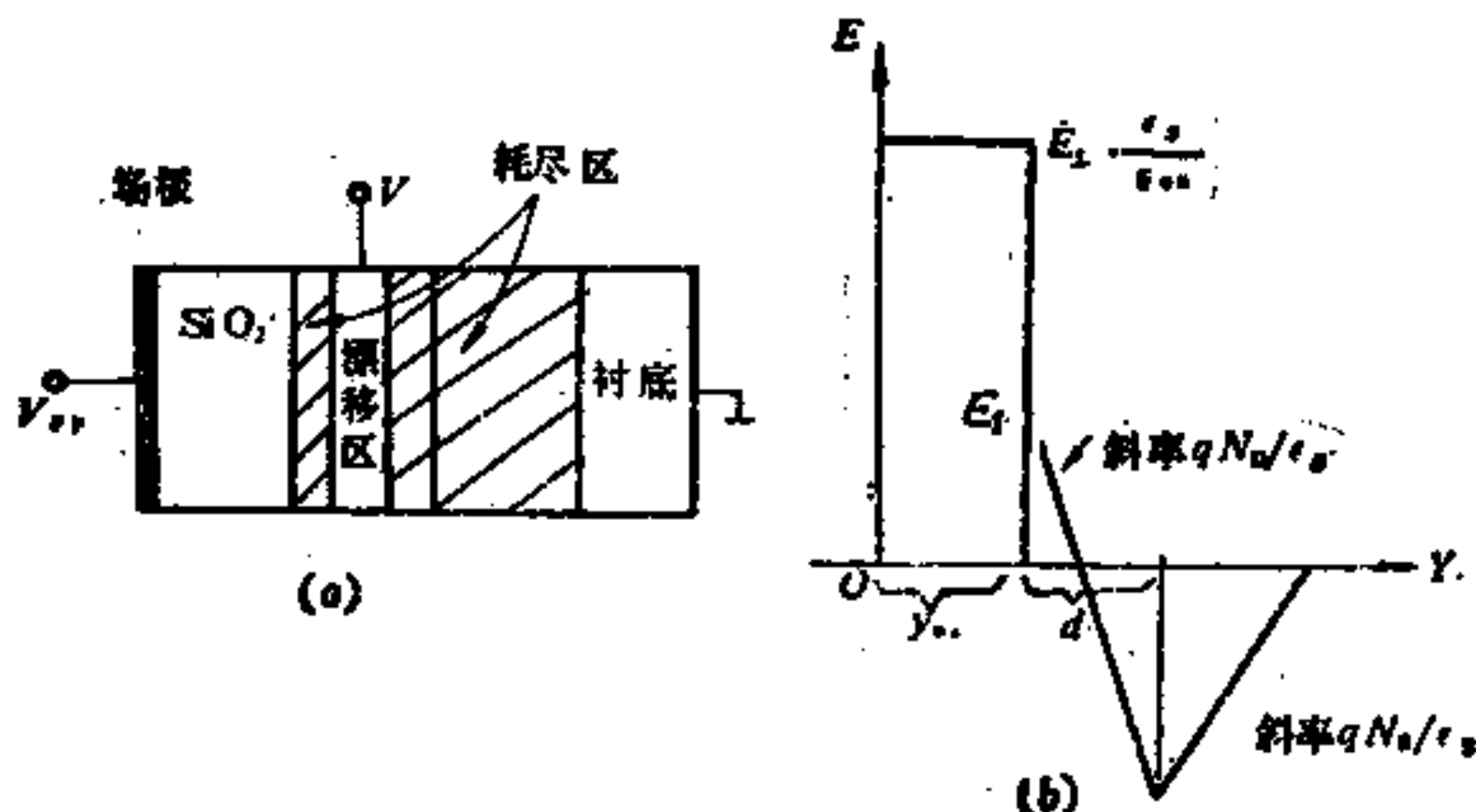


图5-38 推导 V_{P20} 的一维电场分布模型

面积即 V_{P20} , 容易证明, 在 $V_{FP} = 0$, $N_D \gg N_B$ 且 $d \ll \frac{\epsilon_s}{\epsilon_{ox}} y_{ox}$ 时

$$V_{P20} = \frac{qN_B}{2\epsilon_s} \left(\frac{\epsilon_s}{\epsilon_{ox}} y_{ox} \right)^2 \left\{ \sqrt{1 + 2 \left(\frac{D_N}{N_B} \right) \frac{\epsilon_{ox}}{\epsilon_s y_{ox}}} - 1 \right\}^2 \quad (5-81)$$

其中 $D_N = N_D d$ 为离子注入剂量。

V_D 再进一步增加到 V_{P3} 时, 漂移区漏极端 P_s 处被夹断。如图5-37(d)所示, 在此之后, V_D 的增加部分将全部由 P_s 附近的第三夹断区承担。根据一维电场分布模型容易证明在 $N_D \gg N_B$ 时

$$V_{P3} = \frac{qN_D^2 d^2}{2\epsilon_s N_B} = \frac{qD_N^2}{2\epsilon_s N_B} \quad (5-82)$$

上面的讨论, 假定了 $V_D < V_{P3}$ 时, 在 P_1 , P_2 及 P_3 各处均不发生雪崩击穿, 即假定 P_1 点、 P_2 点和 P_3 点的夹断发生在该处雪崩击穿之前。如果器件是这样设计的, 那么击穿电压可以提高, 因为随着电压提高各个夹断区相继吸收了一部分电压而又不发生任一区的雪崩击穿。

为了进一步提高击穿电压, 可以采用高阻衬底并增大各结的曲半径。

4. 偏置栅MOS例子

上面已经介绍了一些偏置栅MOS的理论, 为了改进简单结构的偏置栅MOS的击穿电压等特性, 实际上往往采用比较复杂的结构, 上述理论在定性上可作为设计及创新的指导思想, 但数值分析往往需要借助计算机, 下面介绍几种偏置栅MOS的例子。

1) 采用分段掺杂提高耐压

为了使表面电场均匀以提高耐压, 表面的掺杂应是某种函数, 使各点电场近似等于常数。实际上, 掺杂即使分两段, 也比均匀掺杂的漂移区为佳^[12]。图5-39(a)所示的器件, 如表面是均匀掺杂, $D_{N1} = 5 \times 10^{11} \text{ cm}^{-2}$, 则在电压为800V时, 电场分布的计算结果如图5-39(b)所示,

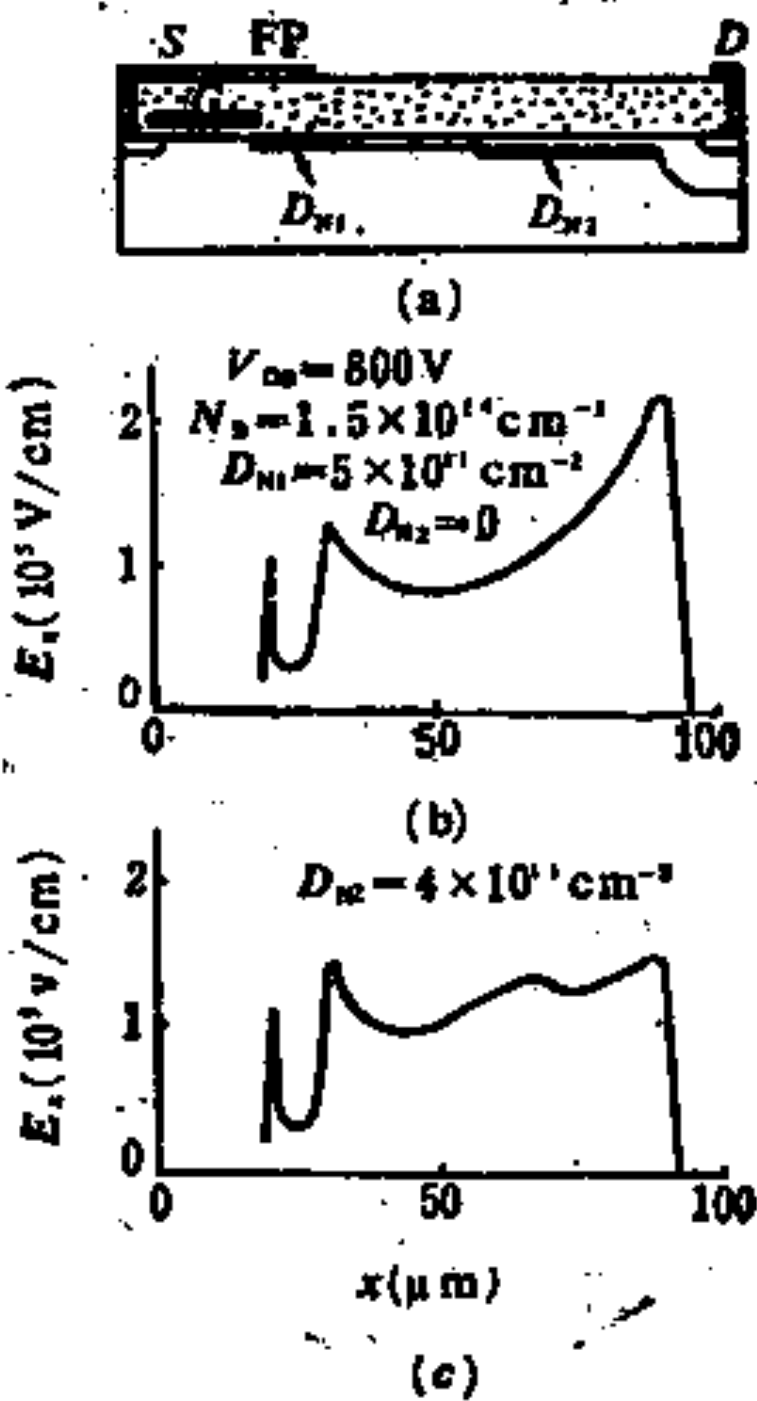


图 5-39 表面电场均匀化技术
(a) 器件结构; (b) 高压偏置栅MOS的表面电场分布; (c) 漂移区二段采用不同注入剂量后的电场分布

这种分布不难从前述漂移区优化理论中关于电场的讨论来理解。表面电场的峰值位于漏的深结扩散区附近, 达到 $2.2 \times 10^6 \text{ V/cm}$ 。 D_{N1} 如增加, 则电场峰值会移到场板的端点之下, 电场的均匀性不会改变。但如果在漏扩散区附近的表面再进行一次离子注入, 剂量为 $D_{N2} = 4 \times 10^{11} \text{ cm}^{-2}$, 则这一层可使其左边电场提高, 右边电场降低, 而且在场板的端点附近因为离此掺杂区较远, 电场提高并不很明显, 其结果是电场相当均匀, 最大值减小到 $1.5 \times 10^6 \text{ V/cm}$ 。这一方法使表面面积不增加的条件下, 击穿电压可提高50%, 或者说, 在击穿电压相同的条件下, 漂移区长度可以缩短, R_{on} 可减小约50%。

2) 利用场板提高 $V_{(BR)DS}$

图5-40示出的实例中, 衬底为 $200 \Omega \cdot \text{cm}$ 的 (100) P 型 Si, 栅氧化层厚度为 $1050 \text{ \AA}$, 场板下氧化层厚度为 $2 \mu\text{m}$, 阈电压为 $1 \text{ V}^{(10)}$ 。

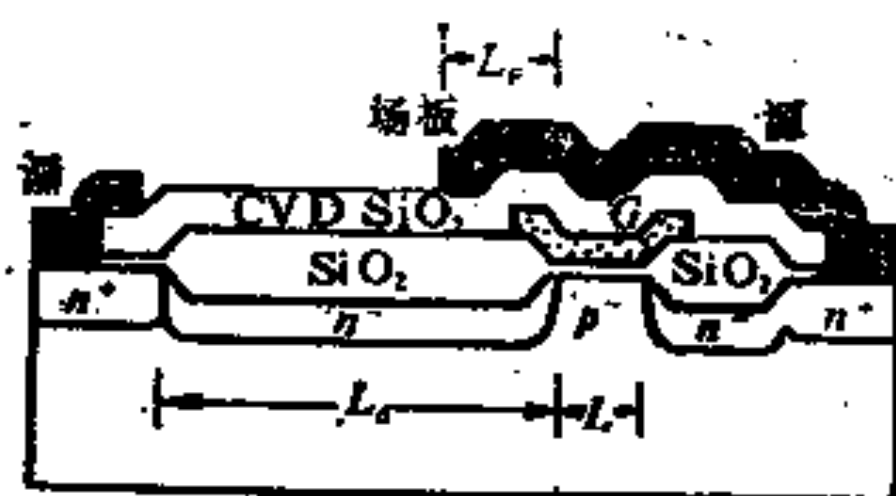


图 5-40 高压偏置栅 MOS 的一个实例

图5-41画出了该器件在有及无场板时的 $V_{(BR)DS}$ 与场板长度 L_F (参数) 及 V_{GS} (横坐标) 的关系, 这里 L 采取 $16 \mu\text{m}$, L_d 采用 $150 \mu\text{m}$ 。显然, $L_F = 30 \mu\text{m}$ 的场板比没有场板击穿电压可提高 $200 \sim 250 \text{ V}$, 在 $V_{GS} = 0$ 时, $V_{(BR)DS} > 1000 \text{ V}$ 时, (此时漏极反向漏电流小于 30 nA)。

$V_{(BR)DS}$ 与 L_d 的依赖关系可由图 5-42 看出: 漂移区愈长, 击穿电压愈高, 但是 L_d 长到一定长度后, 再增长 L_d , $V_{(BR)DS}$ 就不

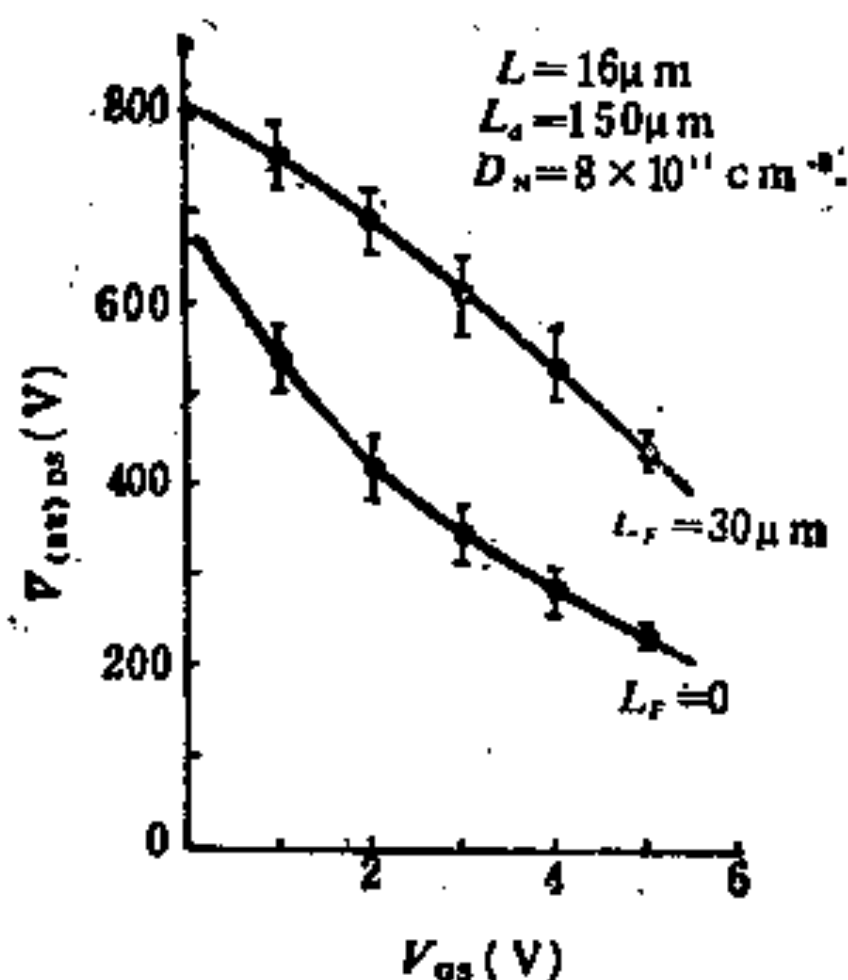


图 5-41 场板对提高 $V_{(BR)DS}$ 的效果

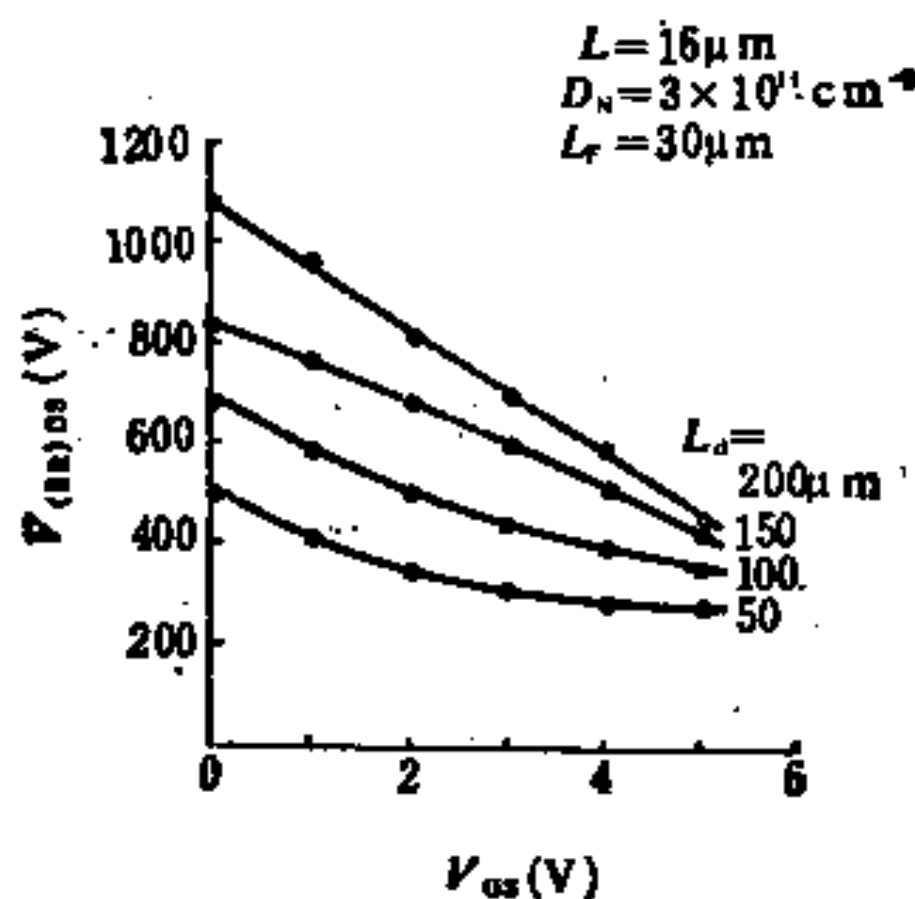


图 5-42 $V_{(BR)DS}$ 与 L_D 的依赖关系

会再有所提高。在 L_d 、 L_F 和衬底杂质浓度 N_B 确定后，为获得最高的 $V_{(BR)DS}$ ，漂移区的注入剂量有一最佳值；对于图 5-42 所示器件，其最佳注入剂量为 $1 \times 10^{12} \text{ cm}^{-2}$ 。

L_d 对导通电阻有影响， L_d 长， R_{on} 就大，其结果如图 5-43 所示，由图还可知， R_{on} 与 V_{GS} 有关，且 V_{GS} 较大时， R_{on} 将饱和，不

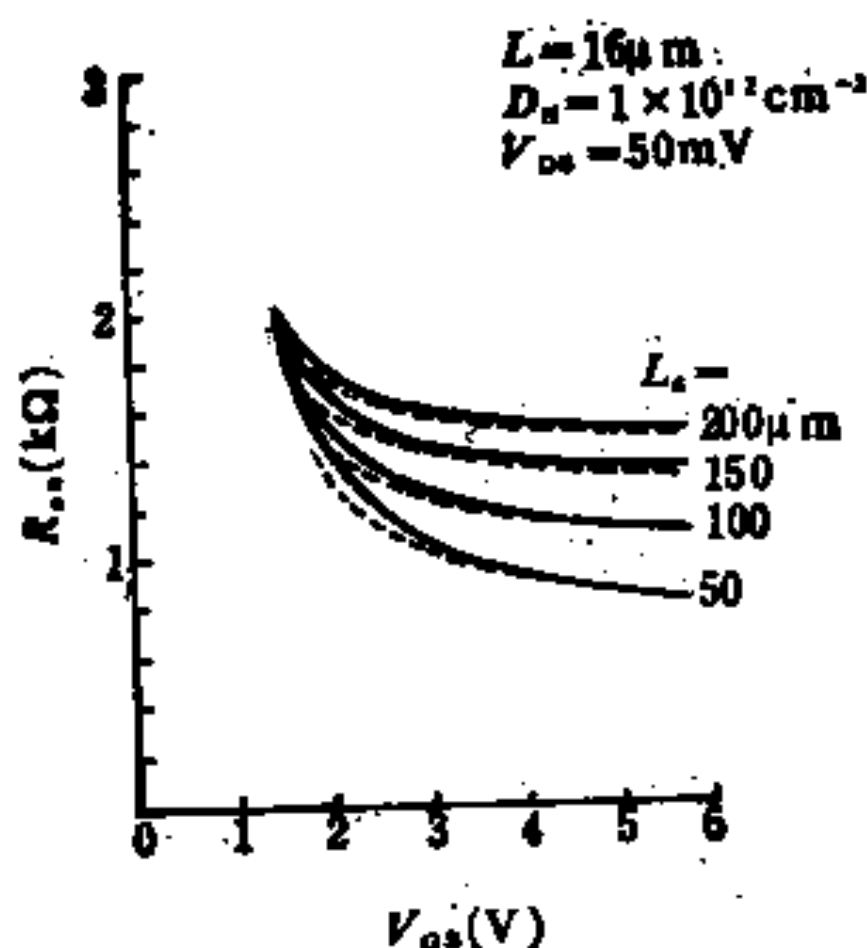


图 5-43 不同 L_s 时的导通电阻
——实验 - - - - 理论

再随 V_{GS} 变化，这是因为此时沟道区的电阻与漂移区相比较可以略去不计。并可以预计 R_{on} 的最小饱和值将与沟道长度无关。图 5-44画出了 R_{on} 与漂移区注入剂量 D_N 的依赖关系， D_N 增大， R_{on} 减小，这与式(5-56)所预计的结果一致。

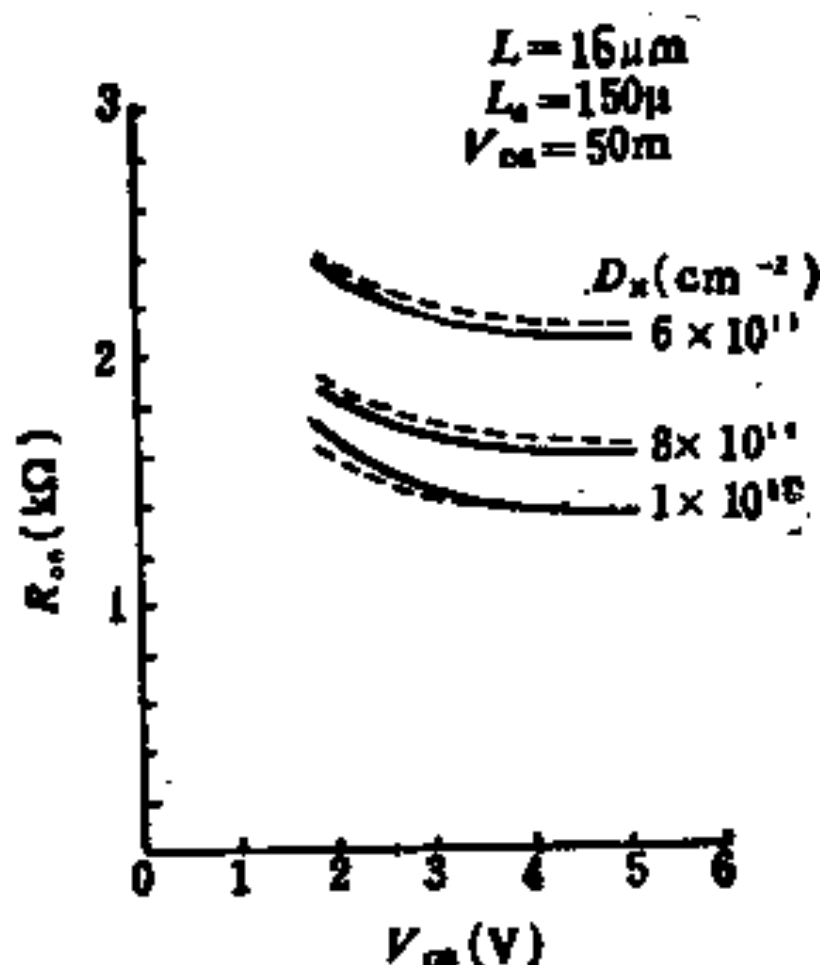


图 5-44 不同漂移区注入剂量时的导通电阻
——实验 - - - - 理论

最后, 讨论这种器件的漏极反向电流, 我们知道, 在沟道很短且漏极电压较高时, 由于漏极耗尽区将扩展到靠近源区, 使漏源两区之间的势垒降低, 构成所谓漏诱导势垒降低效应 (DIBL 效应, 见参考文献[16]的329页)。由图 5-45 的曲线说明, 对该图中插图(a)的结构的器件, 沟道长度 L 为 $6\mu\text{m}$ 及 $11\mu\text{m}$ 时, 漏极反向漏电流均很大, 而当 $L=16\mu\text{m}$ 时, 此电流就很小。

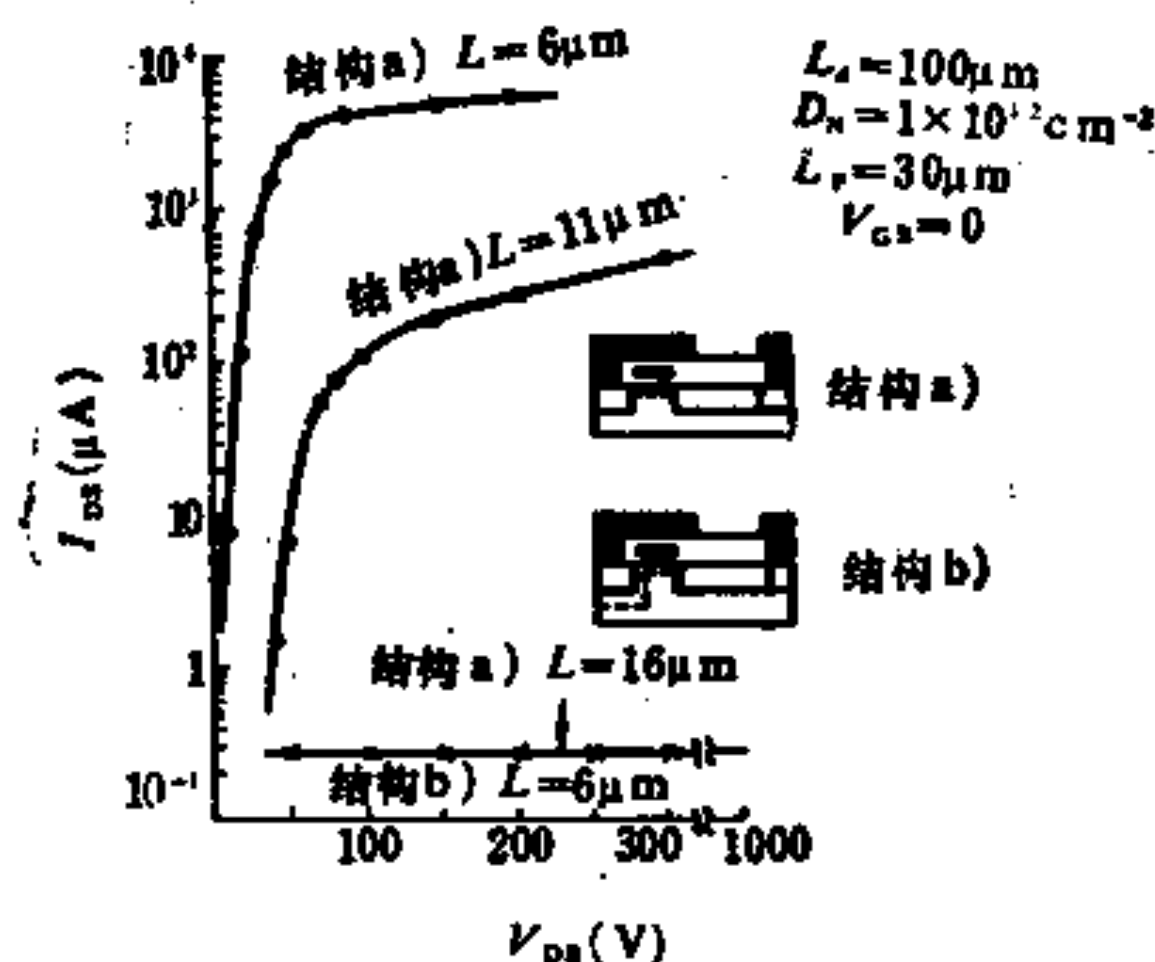


图 5-45 漏极反向电流与漏极电压的关系

漂移区长度 $L_d = 100\mu\text{m}$; 漂移区杂质面密度 $D_N = 1.16^{12}\text{cm}^{-2}$;
 栅板覆盖距离 $L_p = 30\mu\text{m}$; $V_G = 0\text{V}$; 沟道长度 $L(6, 11, 16\mu\text{m})$;
 —•—结构 a(源区无 P^+ 层包围); —x—结构 b(源区有 P^+ 层包围)

为了使短沟器件的反向漏电流降低, 在这种器件内可采取降低场板端点处夹断所对应的漏电压 V_{P2} (参考图 5-37), 漏电压在大于 V_{P2} 时沟道末端电压不再增加, 因此 DIBL 效应不发生。由式(5-81)可知, 减小氧化层厚度 y_{ox} 、减小漂移区注入剂量 D_N 都可使 V_{P2} 降低。另一个方法是将源区用一个 P^+ 区包围起来, 以提高源区电子逸出的势垒高度并防止漏区耗尽层电压高时穿通到源区, 这种方法如图 5-45(b) 的结构所示, 其效果已示于该图中。

3) 无负阻特性的偏置栅MOS

上一章已讲到VDMOS如没有适当措施会产生负阻特性, 类似于双极晶体管的二次击穿, 这个现象在横向MOS中也会出现, 如图5-46所示^[11]。

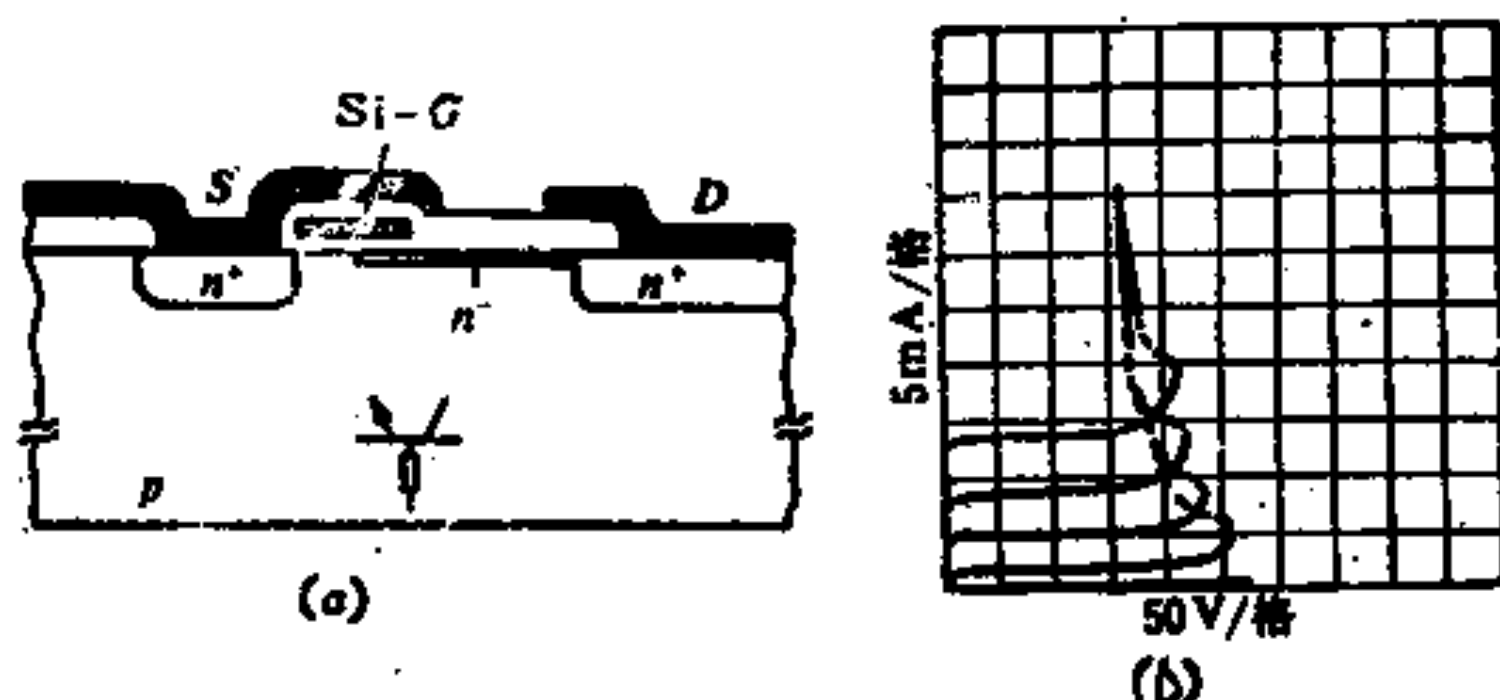


图5-46 无抗负阻特性措施的高压偏置栅功率MOS

(a)结构示意图; (b)负阻击穿特性

负阻的产生是由于漏结附近的高电场使电子发生碰撞电离而倍增, 产生的电子空穴对中的空穴流向衬底, 如图5-47(a)所示, 此空穴电流在衬底电阻 R_{sub} 上产生压降, 此压降使寄生的N⁺PN晶体管发射结正偏图5-47(b), 于是电子由源的N⁺区向衬底P区注入, 注入的电子又引起雪崩倍增, 如此不断循环, 如图5-47(c)形成一个正反馈再生过程, 电流可无限增长。而且由于晶体管共基极电流放大系数 α 随电流增加而增加, 因此维持大电流的漏源电压可以不需要很大。精确地说, 发生负阻的条件是

$$(M-1)I_D R_{sub} = 0.65(V) \quad (5-83)$$

$$M\alpha = 1 \quad (5-84)$$

(参考文献[16]的335页), 其中 M 为雪崩倍增因子。

为了抑制负阻击穿, 措施之一是减小漏结附近的表面电场以减小电离率, 之二是减小 R_{sub} 。文献[22]中介绍了Yoshida等人

采用P⁻/P⁺外延结构，如图 5-48所示，结果得到了击穿电压230V

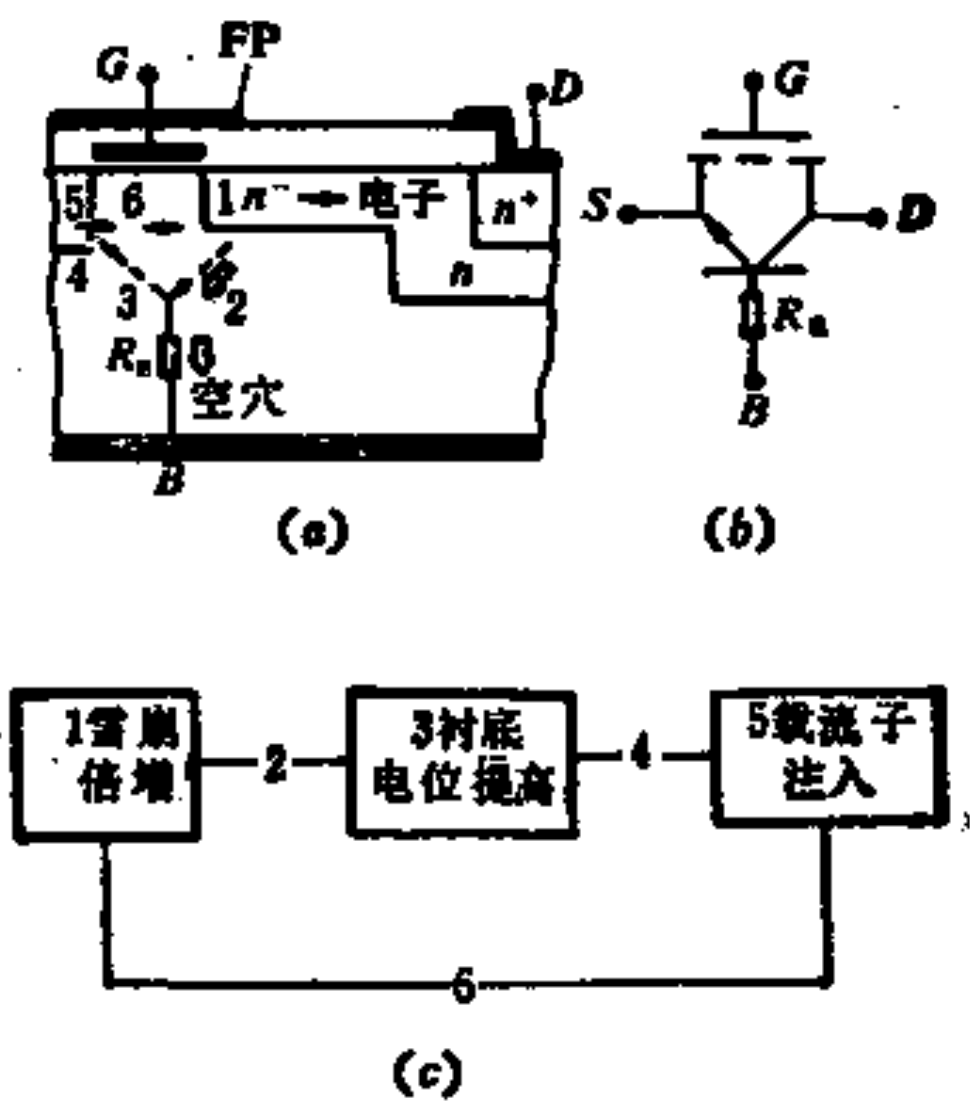


图 5-47 负阻击穿特性的形成过程
(a)结构示意图；(b)等效电路；(c)正反馈过程

而无负阻。但是，在P⁺衬底上制备高阻P⁻厚外延相当困难，因此击穿电压限制在300V以内。措施之三是减小寄生晶体管的电流放大系数 α ，具体讲，可以减小发射结的注射效率 γ 。为此，Sakuma等人采用了屏蔽源结构，如图 5-49所示^[21]。



图 5-48 外延高压偏置栅功率MOS

结构参数： $L_d = 17\mu\text{m}$ ；
 $t_{ox} = 130\text{nm}$ ；外延层厚度及电阻率分别为 $20\mu\text{m}$ 和 $10\Omega\cdot\text{cm}$ 。

图 5-49 屏蔽源结构的高压偏置栅功率MOS

MOS在正常工作时，只有与沟道相联接的那一部分源区是有用的，源区的其它部分只是形成寄生双极晶体管的发射区。因此与MOS工作无关的发射区的底部（如图5-49所示）可以用高浓度的 P^+ 层将其全部包围起来，这样就大幅度的降低了寄生双极晶体管的注入效率，也就是说 P^+ 层将发射区屏蔽起来，从而抑制了发射结处于正偏。

对于图5-49所示的屏蔽源结构，在衬底浓度 N_B 为 $2 \times 10^{14} \text{cm}^{-3}$ ，漂移区注入剂量为 $1.75 \times 10^{12} \text{cm}^{-2}$ ，沟道长度 $L = 4 \mu\text{m}$ ，漂移区长度为 $L_d = 80 \mu\text{m}$ 时，可以获得620 V的击穿电压，甚至在很大的雪崩击穿电流范围内也未观察到负阻特性。由于负阻击穿特性的抑制，安全工作区范围将预期会有较大幅度增加。

除此以外，屏蔽源结构还有两个重要的优点：1）能使漏极反向漏电流减小（参看图5-45）；2）在CMOS结构中，由于存在着寄生的PNPN结构，将发生闭锁效应（或SCR效应）；由于屏蔽源结构大幅度的降低了寄生双极晶体管的发射结注入效率，从而也可以抑制闭锁效应。

5. 高压双栅MOS

双栅MOS本身是在通常的MOS中将一个栅极改为独立的两个栅极，如果把通常的MOS比作电子管的三极管，则双栅MOS相当于四极管。它使得漏极与第一个栅极间的电容（Miller电容）减小，并且第二个栅极可用来调制MOS的增益。双栅高压MOS则是利用两个栅来提高耐压的一种措施，栅相对于场板，但此场板可加电压^[23]。

图5-50示出了场板对表面电场的影响，在不加场板时，由于PN结在表面的曲率的影响使击穿电压下降。如果场板上加上与衬底相同而不是与P区相同的电压（图5-50(a)）， $V_{FP} = 0$ ，则电场的峰值位于Si—SiO₂界面附近耗尽区的转角处。当结的反向

偏压增加到使该转角处的电场强度到达雪崩临界电场强度 E_c 时，该处即发生雪崩击穿。在 $V_{FP} < 0$ 时，结弯曲部分的电场强度减小了，如图 5-50(b)所示，从而提高了击穿电压，这样击穿点就由表面转移到体内，而且 $|V_{FP}|$ （对衬底为负）愈大，击穿电压就

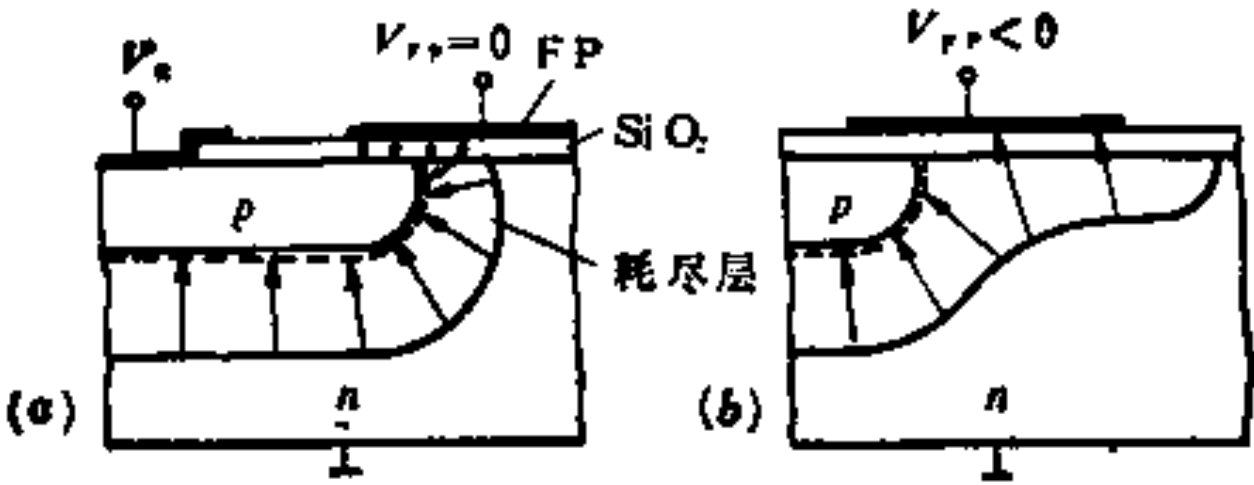


图 5-50 改变场板电压时Si表面附近耗尽区的变化
(a) $V_{FP} = 0$; (b) $V_{FP} < 0$

愈高，在一定范围内 V_{BR} 和 V_{FP} 的经验关系是

$$V_{BR} = mV_{FP} + V_{(BR)0} \tag{5-85}$$

其中 $V_{(BR)0}$ 为 $V_{FP} = 0$ 时的击穿电压，常数 m 由下式给出

$$m = \left[1 + \frac{3y_{ox}}{x_d} \right]^{-1} \tag{5-86}$$

上式中 y_{ox} 为场板下氧化层厚度， x_d 为离表面很远处耗尽区宽度。

可见 V_{BR} 与 V_{FP} 呈线性关系，一般常数 m 很接近 1，顺便指出，在负电压 V_{FP} 很大时，将要产生体内击穿，故 V_{FP} 不能太大，有一定的限制。

图5-51画了高压双栅MOS的剖面，俯视图和输出特性。漏区是完全被Si栅场板所包围，场板的右边部分跨越了 P^+ 漏区与中间 P^+ 区，由于场板是偏置在较高的负电压，故漏区与中间 P^+ 区

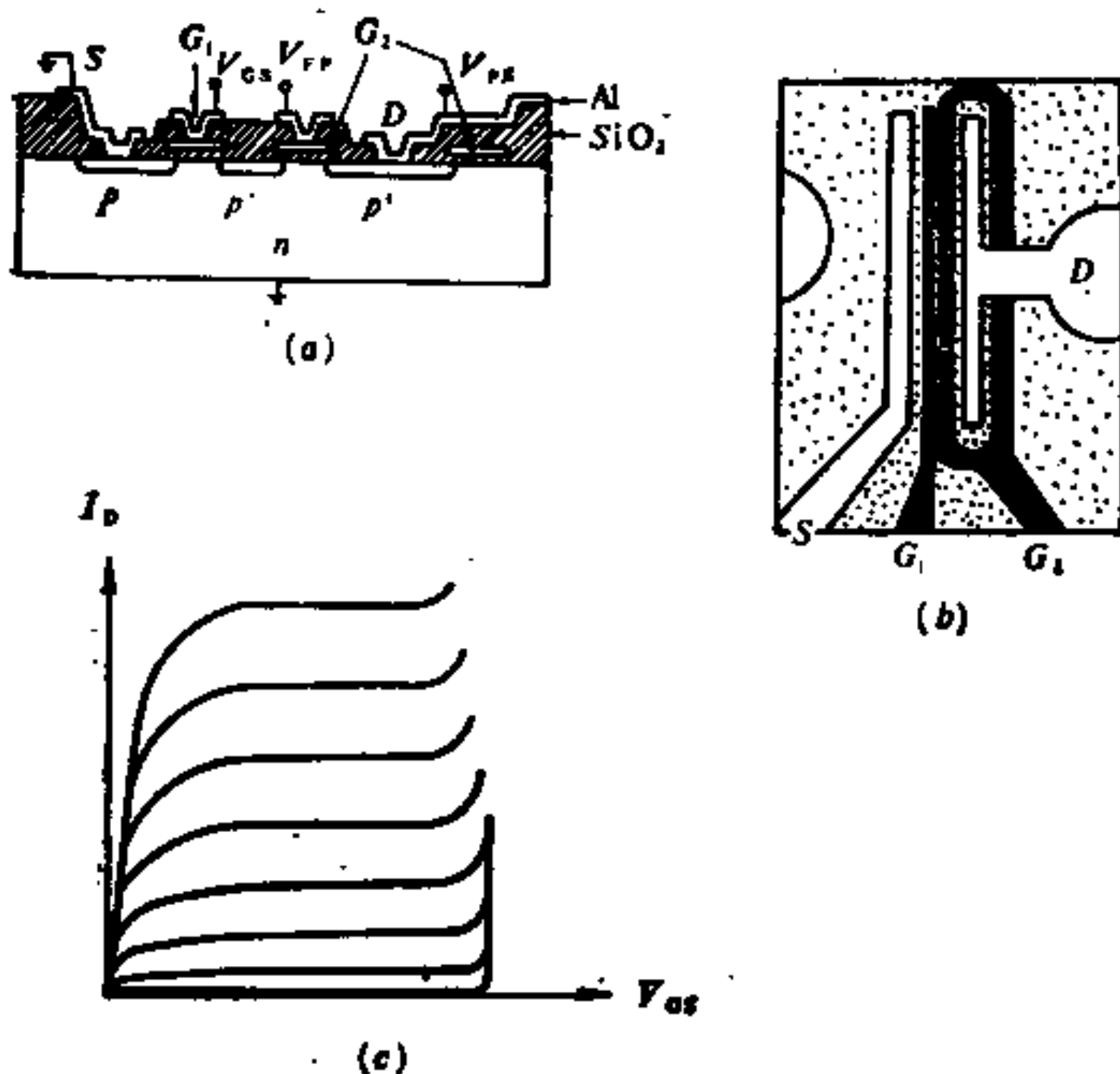


图 5-51 高压双栅MOS

(a)剖面; (b)俯视图; (c) $I_{DS} \sim V_{DS}$ 特性

之间因形成沟道而导通, 中间 P^+ 区是浮空的, 其浮空电位为 V_P , 为了维持漏区与中间 P^+ 区之间的沟道导通, 必须有

$$V_{FP} \geq V_P + V_{th} \quad (5-87)$$

其中 V_{th} 为漏区与中间 P^+ 区和场板所构成的 MOS 的阈电压。在该 MOS 中, 由于中间 P^+ 区是浮空的, 不与衬底相联, 故 V_P 对该 MOS 起着衬底偏置作用, 从而该 MOS 的 V_{th} 为

$$V_{th} = V_{th0} - \frac{y_{ox}}{\epsilon_{ox}} \sqrt{2q\epsilon_S N_D} \left[\sqrt{2\phi_{FB} - V_P} - \sqrt{2\phi_{FB}} \right] \quad (5-88)$$

其中 $V_{(th)0}$ 为 $V_P = 0$ 时的阈电压, N_D 为衬底杂质浓度, ϕ_{FB} 为衬底的费米势。

从式(5-87)和(5-88)求得

$$V_P = V_{FP} - V_{(th)0} - K_1 \sqrt{2\phi_{FB}} - \frac{K_1^2}{2} - \left[\frac{K_1^4}{4} - K_1^2 (V_{FP} - V_{(th)0} - K_1 \sqrt{2\phi_{FB}}) \right]^{\frac{1}{2}} \quad (5-89)$$

其中

$$K_1 = \frac{y_{ox}}{\epsilon_{ox}} \sqrt{2q\epsilon_S N_D}$$

在 $y_{ox} = 1000 \text{ \AA}$, $N_D = 5 \times 10^{14} \text{ cm}^{-3}$ 时, $K_1 = 0.377$ 。因为 V_{FP} 一般介于 $50 \sim 100 \text{ V}$, K_1 很小, 这样在式(5-89)中有很多项可以略去, 故有

$$V_P \approx V_{FP} - V_{(th)0} + K_1 \sqrt{-V_{FP}} \quad (5-90)$$

V_P 的最大负值是浮空 P^+ 区的击穿电压 $V_{(BR)P}$ 。

中间 P^+ 区的左边被控制栅 G_1 所覆盖, 其右边为场板所覆盖。在正常工作时 V_{FP} 一般为 $-50 \sim -100 \text{ V}$, 而控制栅的电压 V_{GS} 只有负几伏, 这时控制栅与中间 P^+ 区界面处的表面电场比场板与中间 P^+ 区界面处的表面电场高, 因此该结的击穿电压由 V_{GS} 决定。将控制栅当作场板, 则从式(5-85)得中间 P^+ 区的击穿电压 $V_{(BR)P}$ 为

$$V_{(BR)P} = mV_{GS} + V_{(BR)0} \quad (5-91)$$

从式(5-90)和(5-91)得最高场板电压

$$V_{FP, \max} = mV_{GS} + V_{(BR)0} + V_{(th)0} - K_1 \sqrt{-V_{FP}} \quad (5-92)$$

再从式(5.85)得漏源击穿电压为

$$V_{(BR)DS} = mV_{FP} + V_{(BR)0} \quad (5-93)$$

用式(5-92)所示的 V_{FP} 代入上式得

$$V_{(BR)DS} = (1+m)V_{(BR)0} + m^2V_{GS} + m(V_{(th)0} - K_1\sqrt{-V_{FP}}) \quad (5-94)$$

上式中,左边的第一项表示场板的贡献,第二项为控制栅电压 V_{GS} 的影响,第三项为衬底偏置的影响。式(5-94)右边第二和第三两项中参数的典型值是: $V_{(BR)0} = -75\text{V}$, $m = 0.8$, $V_{GS} = -5\text{V}$, $V_{(th)0} = -2\text{V}$, $K_1 = 0.377$, $\phi_{FB} = 0.27\text{eV}$ 。因此第二和第三两项比第一项要小得多,故 $V_{(BR)DS}$ 基本上由第一项决定。由于常数 m 很接近于1,故采用场板的高压双栅MOS的击穿电压近似地提高了一倍。由此可见,要获得高的击穿电压必须首先提高 $V_{(BR)0}$, $V_{(BR)0}$ 可以通过采用较高电阻率的衬底和增加 P^+ 扩散区的结深来获得。

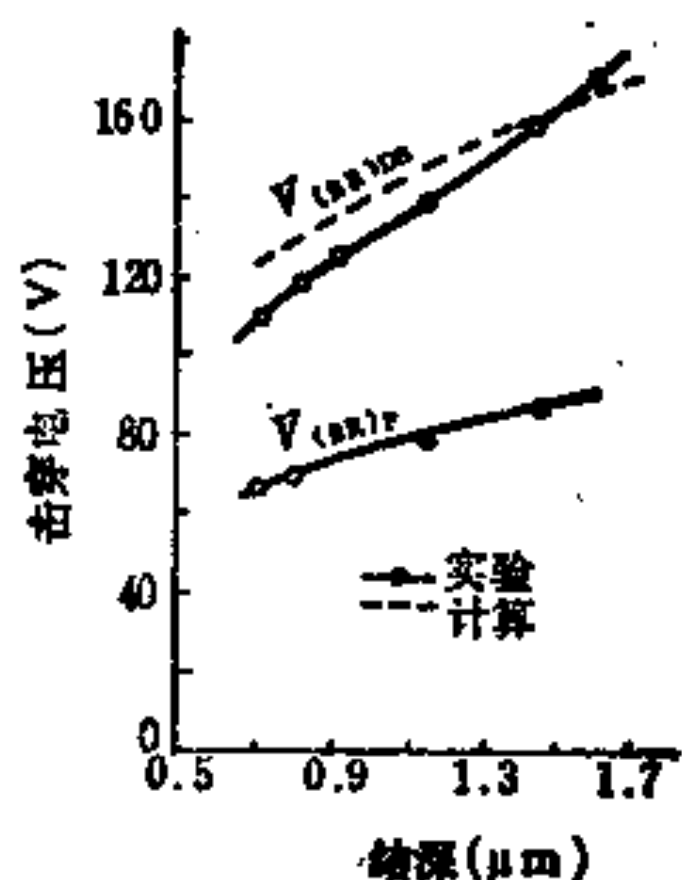


图 5-52 具有不同漏区结深的高压双栅 MOS 的击穿电压

图 5-52 画出了制作在 $10\Omega\cdot\text{cm}\langle 111 \rangle$ N型Si衬底上的具有不同漏区结深的高压双栅 MOS 的击穿电压,场板是偏置在由式(5-92)所给出的数值。可以看到, $V_{(BR)DS}$ 与漏区的结深有很大的关系,在结深为 $1.7\mu\text{m}$ 时 $V_{(BR)DS}$ 为 180V 。

在高压双栅MOS中因为需要另外一个控制偏压,故在电路应用中将受到一定的限制。

§ 5-3 RESURF技术

RESURF原意是降低表面电场 (REduced SURface Field)。RESURF技术实际上是采用表面先做一个轻掺杂的外延层, 再在上面做器件。

1. RESURF原理^[24]

应用RESURF原理可以扩展击穿电压的范围, 并保持器件有较好的性能, 图 5-53画出了RESURF二极管的基本结构, 它是薄外延层上的横向P⁺N结。

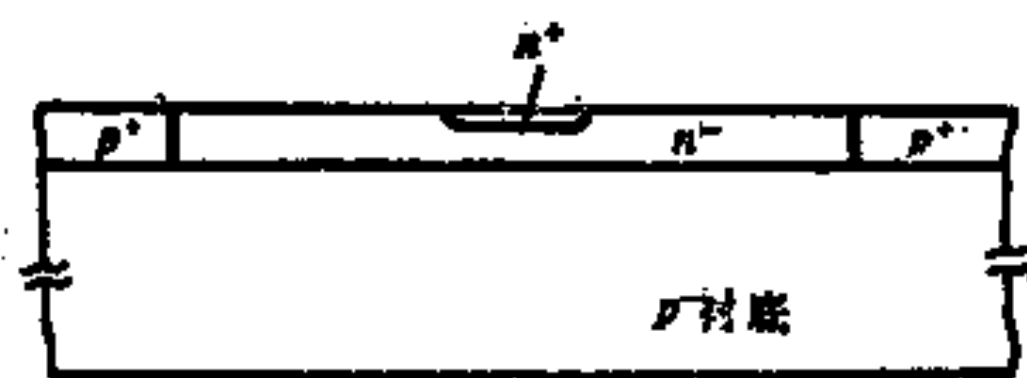


图 5-53 RESURF二极管——薄外延层二极管结构

在外延层厚度为 $50\mu\text{m}$ 、反偏压为 370V 时, 外延层并未全部耗尽, 但此时表面电场强度 E_s 首先已达到雪崩击穿临界电场强度 E_c , 故击穿发生在表面; 击穿电压为 370V (见图 5-54(a))。在外延层厚度为 $15\mu\text{m}$, 反偏压为 370V 时, 外延层仍未全部耗尽, 表面电场强度 E_s 和体内电场强度 E_b 均小于 E_c , 故此时未击穿 (如图 5-54(b))。当反偏压为 1150V 时, 外延层全部耗尽, 体内电场强度首先达到 E_c , 故击穿发生在体内, 击穿电压为 1150V (如图 5-54(c))。由此可见, 在RESURF二极管中, 在外延层全部耗尽的情况下, 由于外延层耗尽区中的电场与衬底耗尽区中电场的相互作用, 使得表面电场降低, 从而使击穿点由表面转移到体内, 使器件的击穿电压提高。J·A·Appels等总结出最

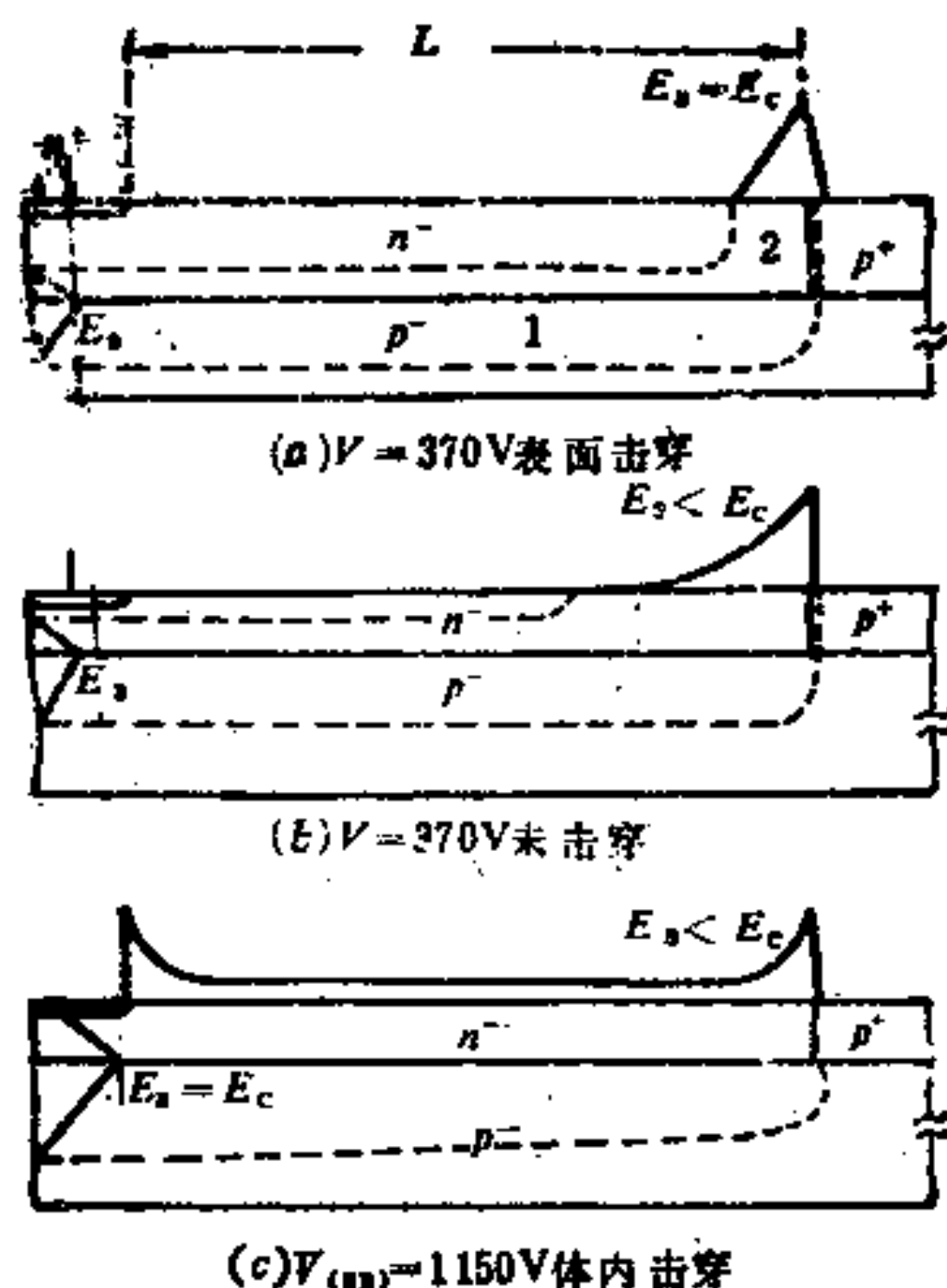


图 5-54 RESURF 二极管中的电场分布

$N_{\text{epi}} = 6 \times 10^{14} \text{cm}^{-3}$; $N_{\text{B}} = 1.7 \times 10^{14} \text{cm}^{-3}$; (a) 外延层厚度 = $50\mu\text{m}$, $V_{\text{BR}} = 350\text{V}$; (b) 外延层厚度 = $15\mu\text{m}$, 未击穿; (c) 外延层厚度 = $15\mu\text{m}$, $V_{\text{BR}} = 1150\text{V}$

大击穿电压的条件为：外延层单位面积杂质密度 N_{tot} 为

$$N_{\text{tot}} = \int N(x) dx \approx 1 \times 10^{12} \text{cm}^{-2} \quad (5-95)$$

对于均匀掺杂的外延层

$$N_{\text{tot}} = N_{\text{epi}} \cdot d_{\text{epi}} \approx 1 \times 10^{12} \text{cm}^{-2} \quad (5-96)$$

前面介绍了本书作者对偏置栅 MOS 中用漂移区掺杂提高耐压的理论，其实，如把 RESURF 的外延层当作漂移区，那么上述理论也可用来解释 RESURF 的原理。当 P^+N^+ 结电压较高时， N^- 外延层全部耗尽，其中电离施主产生附加电场，加强了 N^+ 区

边缘的电场而削弱了 P^+ 区边缘的电场,适当控制掺杂总剂量,可使电场分布较为平坦,事实上,根据作者计算所得的图5-33可知,对1000V左右的管子,最佳单位面积杂质密度也是 $1 \times 10^{12} \text{cm}^{-2}$,和上述Apples等人的经验数据一致。

不过,如漂移区很长,象图5-54所示那样,则垂直于表面方向的场分布比平行于表面场分布更接近于一维。因此,上述理论可作为面密度的参考,而具体最佳 N_{tot} 的值应与衬底掺杂浓度有关。S.Colak早就指出了这一点^[24]。Wildi等人对外延层厚度为 $5\mu\text{m}$, N^- 漂移区为 $28\mu\text{m}$,具有 $8\mu\text{m}$ 场板的 P^+N RESURF二极管的击穿电压进行了计算机模拟,其结果如图5-55所示^[25]。可以明显的看到,当衬底掺杂浓度增高时, N_{tot} 也增大。采用掺杂浓度较高的衬底,一方面使得体内击穿电压降低,另一方面由于 N_{tot} 的增大,在外延层厚度一定时使LDMOS的导通电阻减小,故衬底掺杂浓度的选取将从击穿电压和导通电阻的折衷来考虑。

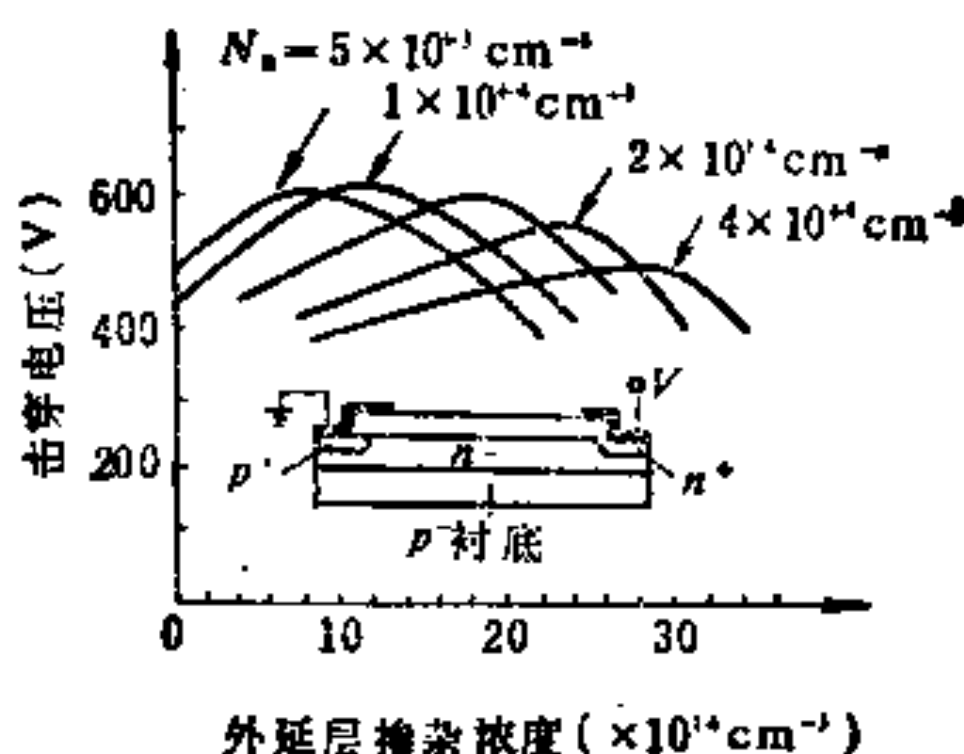


图5-55 击穿电压与外延层 N_{tot} 的关系

2. RESURF LDMOS

在击穿电压相同的条件下,一般LDMOS的 $R_{\text{on}} \cdot A$ 要比VDMOS的 $R_{\text{on}} \cdot A$ 大约6倍,若要获得相同的 R_{on} ,只有增大

LDMOS的横向尺寸(即增大沟道宽度 Z)。由于面积的限制,一般LDMOS的击穿电压只限制在220V左右。采用RESURF技术和埋层LDMOS结构可使LDMOS的 $R_{on} \cdot A$ 减小到可以与VDMOS相比拟。RESURF LDMOS的基本结构如图5-56所示,可以看到有二个RESURF结,在满足条件

$$N_{\text{epi}} \times d_{\text{epi}} \approx 1 \times 10^{12} \text{ cm}^{-2}$$

时,击穿将发生在外延层与衬底界面(P^+N^- 结),从而使击穿电压得以提高。S.Colak对RESURF LDMOS的导通电阻 R_{on}

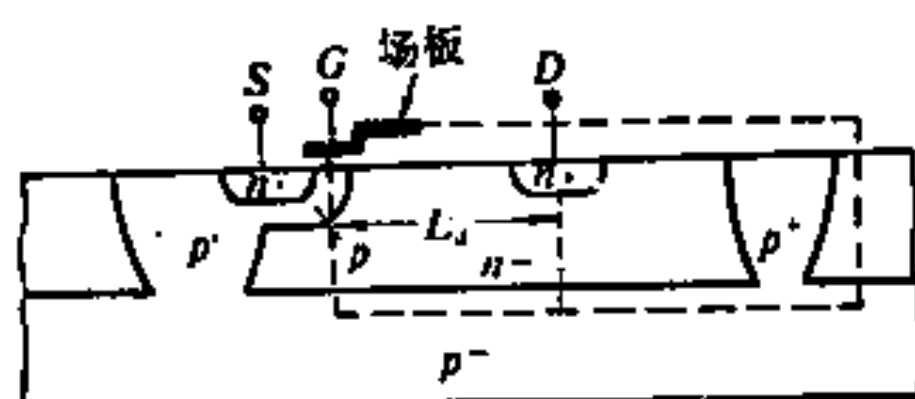


图5-56 RESURF LDMOS 中的两个RESURF结

进行了计算机模拟^[5],其结果如下:在 V_G 较大时 R_{on} 主要由漂移区的参数决定, R_{on} 趋近最小饱和值。图(5-57)画出了最小导通电阻与沟道宽度的乘积($R_{on} \cdot Z$)与漂移区长度 L_d 外延层厚度 d_{epi} 和场板长度 L_F 的关系。可以看出:

(1) 在 ρ_{epi} 与 L_F 一定时, L_d 愈长 $R_{on} \cdot Z$ 愈大; d_{epi} 愈厚 $R_{on} \cdot Z$ 愈小(见图5-57(a))。

(2) 在 ρ_{epi} , L_F 和 L_d 一定时,当 d_{epi} 超过某一临界厚度时 $R_{on} \cdot Z$ 不再随着 d_{epi} 的增大而减小;但在小于该临界厚度时,随着 d_{epi} 的增大 $R_{on} \cdot Z$ 近似线性地减小,故在设计中不宜选取过厚的外延层厚度。

(3) 在 ρ_{epi} , d_{epi} 和 L_d 一定时, $R_{on} \cdot Z$ 随场板长度 L_F 的增长而减小。

在RESURF LDMOS中雪崩击穿有可能发生在任何一个与 N^- 漂移区相接触的 PN^- 结, S.Colak根据图5-58的模型,对

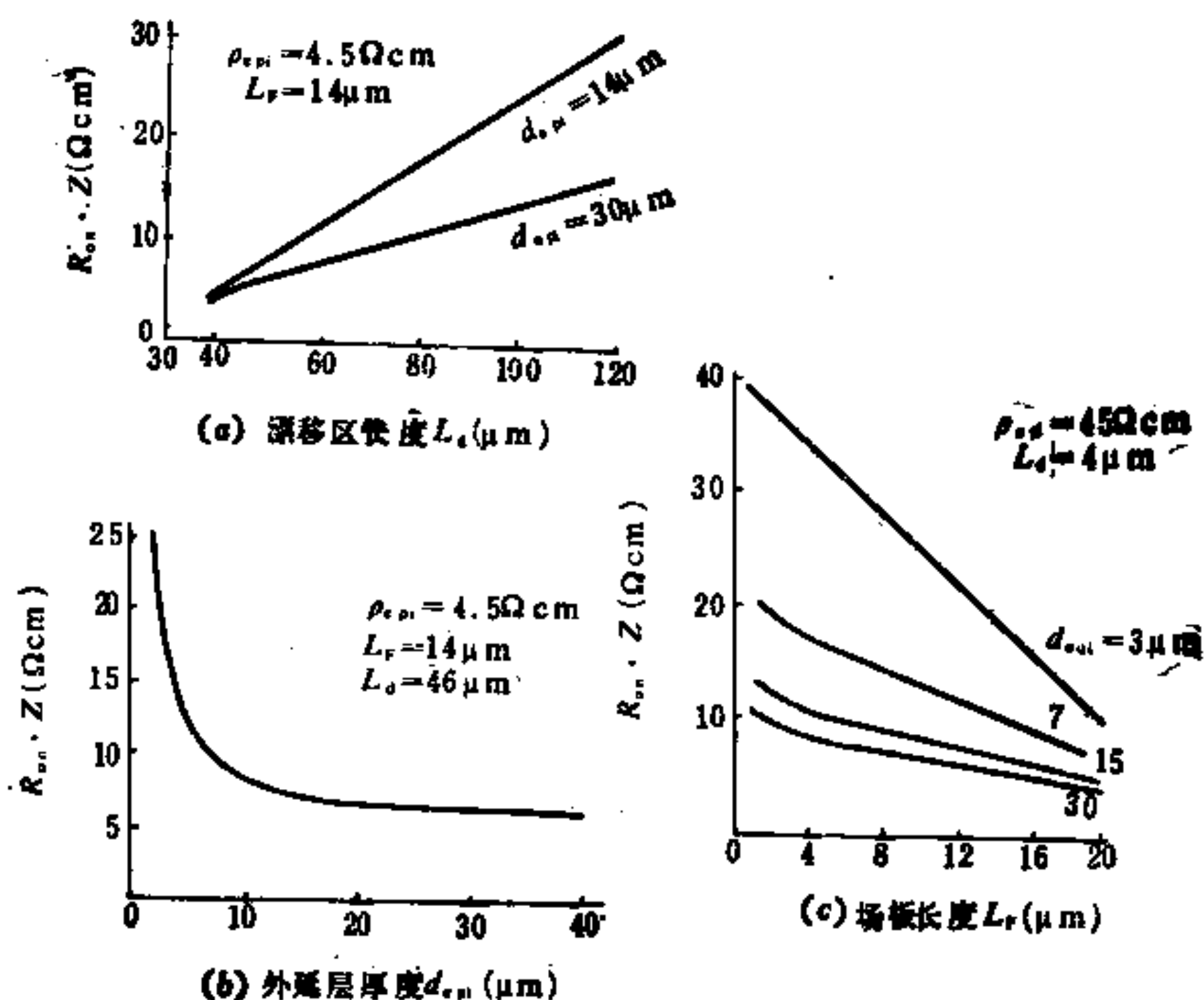


图 5-57 $R_{on} \cdot Z$ 与 L_d , d_{epi} 和 L_r 的关系

(a) $R_{on} \cdot Z \sim L_d$ 的关系; (b) $R_{on} \cdot Z \sim d_{epi}$ 的关系; (c) $R_{on} \cdot Z \sim L_r$ 的关系

RESURF LDMOS在外加反偏压为250V时的电位进行了二维计算机模拟, 当外延层厚度较厚 ($d_{epi} = 25 \mu\text{m}$) 时, 等位线在沟道弯曲处及栅电极边缘处密集, 这表示雪崩击穿将发生在这些电场较高的区域。当外延层厚度减小到15 μm 时, 由于沟道耗尽区和衬底耗尽区之间相互作用的增强, 使得等位线在沟道区与漏区之间的分布较为均匀, 这意味着电场的分布比较均匀, 峰值电场有所降低, 故使得击穿电压提高。在外延层厚度为8 μm 时, 等位线在漏区附近和漏电极边缘又密集, 这表示在这些区域电场强度又很高, 击穿电压又有所降低, 这时可以增大沟道与漏区之间的距离以降低漏区附近的电场强度, 从而提高击穿电压, 但这使器件的 R_{on} 和面积都随之增大。

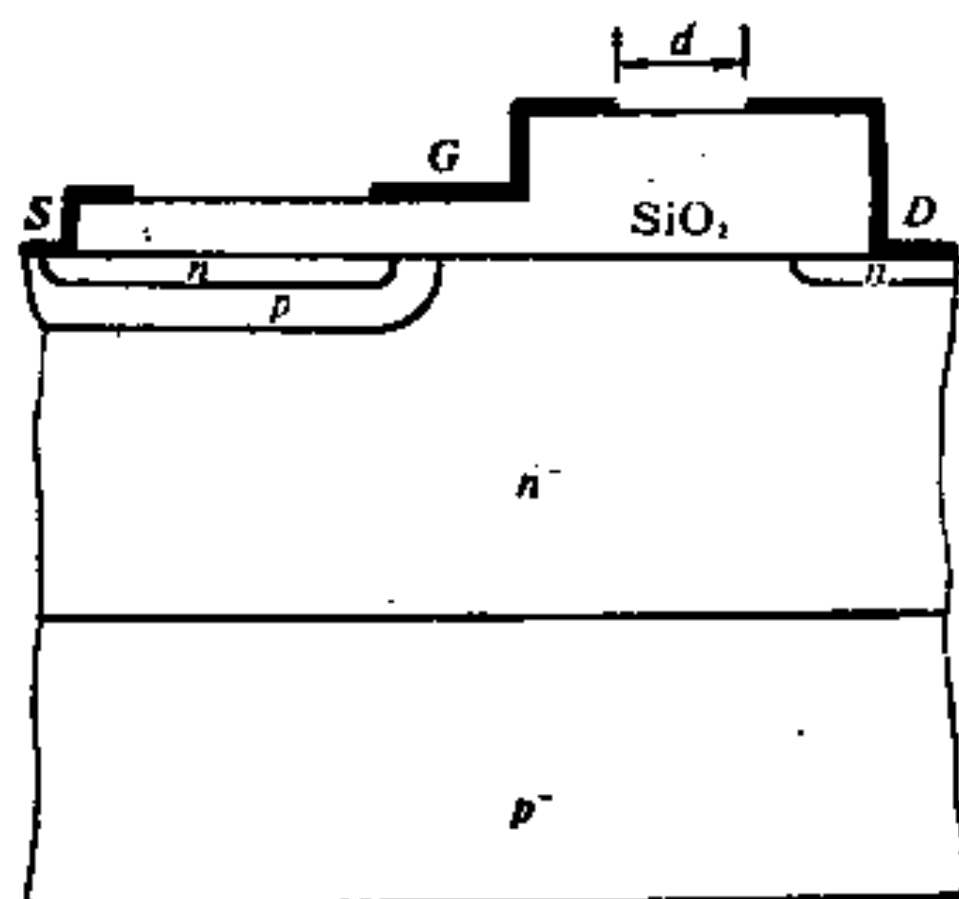


图 5-58 一个计算模拟的模型

图 5-59(b)是根据图 5-59(a)的结构和参数, 模拟得到的 RESURF LDMOS 的击穿电压与沟道到漏区间距离 L_d 的关系。在 $L_d > 30\mu\text{m}$ 时, 击穿电压保持不变为 415V, 这一击穿电压最大不会超过外延层与衬底界面平行突变结的击穿电压。在 $L_d < 30\mu\text{m}$ 范围内, 击穿电压几乎是随 L_d 的增加而线性增大。根据图 5-58

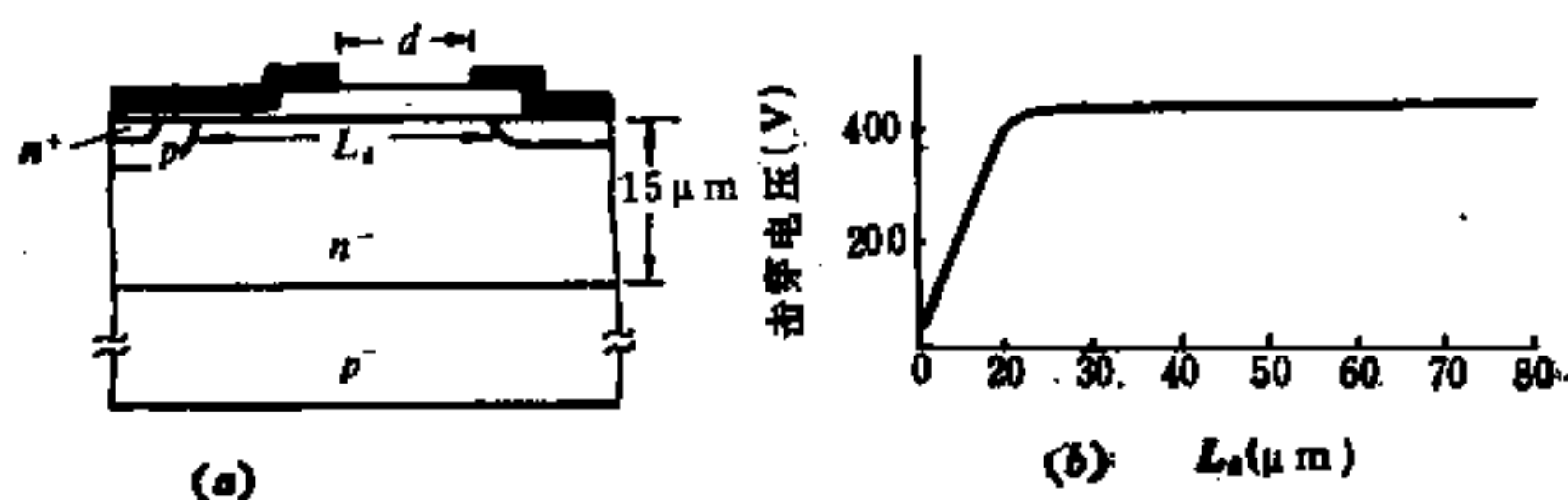


图 5-59 RESURF LDMOS 的结构与击穿电压 [■]

的结构, 模拟得到的 RESURF LDMOS 的击穿电压与 d_{epi} , N_B 及 d 的关系如图 5-60 所示。可以看到: 1) 在 N_{epi} , d_{epi} 及 N_B 一定时, 增大栅电极与漏电极之间的距离, 使得击穿电压

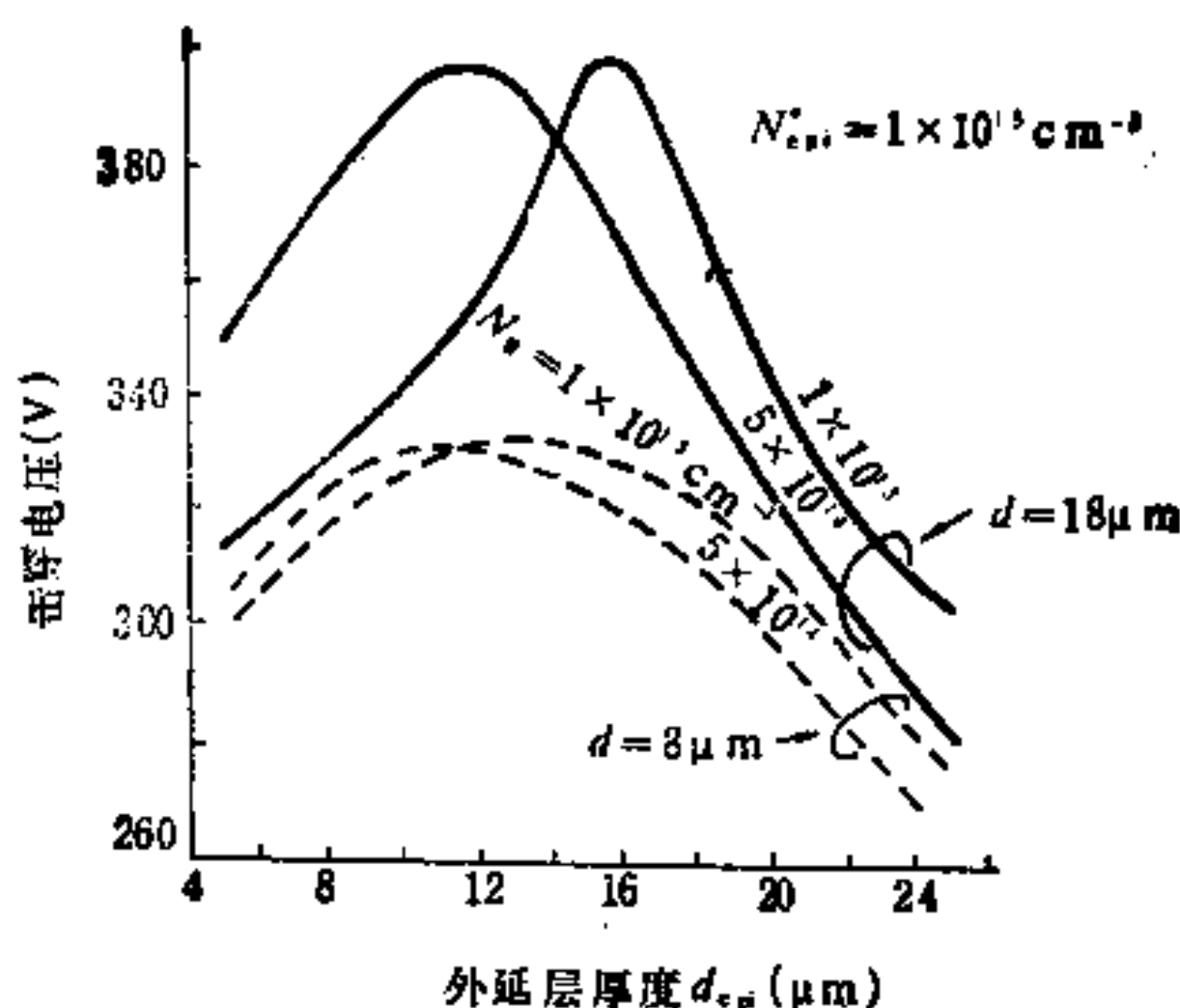


图 5-60 RESURF LDMOS 的击穿电压与 d_{epi} , N_B 及 d 的关系^[51]

提高。2) 在 N_{epi} 和 N_B 一定时, d_{epi} 有一最佳值, 在该最佳值时, 击穿电压最大。3) 在 N_{epi} 及 d 一定时, 当 N_B 减小时, 最佳外延层厚度也随之减少。

S. Colak 在给定击穿电压的条件下, 对 400V RESURF LDMOS 的 $R_{on} \cdot A$ 的最优化进行了研究, 其基本概念如图 5-61 所示。该器件的单元长度为 $50 \mu m$, 沟道与漏区之间的距离为 $24 \mu m$ 到 $27 \mu m$, 视外延层厚度而定。 N_B (曲线①) 随最佳外延层厚度的增加而增大, 但这一增加并不明显。 N_{epi} (曲线②) 根据 RESURF 原理满足 $N_{epi} \times d_{epi} = \text{常数}$, 该常数与衬底掺杂浓度有关。 $R_{on} \cdot A$ (曲线③), 在 d_{epi} 很小时较大, 这是因为虽然此时 N_{epi} 较大, 但由于 d_{epi} 很小, 故 $R_{on} \cdot A$ 很大 (见图 5-57(b))。在 d_{epi} 较大时也较大, 这是因为这时 N_{epi} 很小。可见 d_{epi} 有一最佳值, 在该最佳值时 $R_{on} \cdot A$ 最小。在外延层厚度太小时, 必须要有很高的 N_{epi} 才能满足 RESURF 原理; N_{epi} 很高时由于多子迁移率

的降低, 也将使 $R_{on} \cdot A$ 增大。

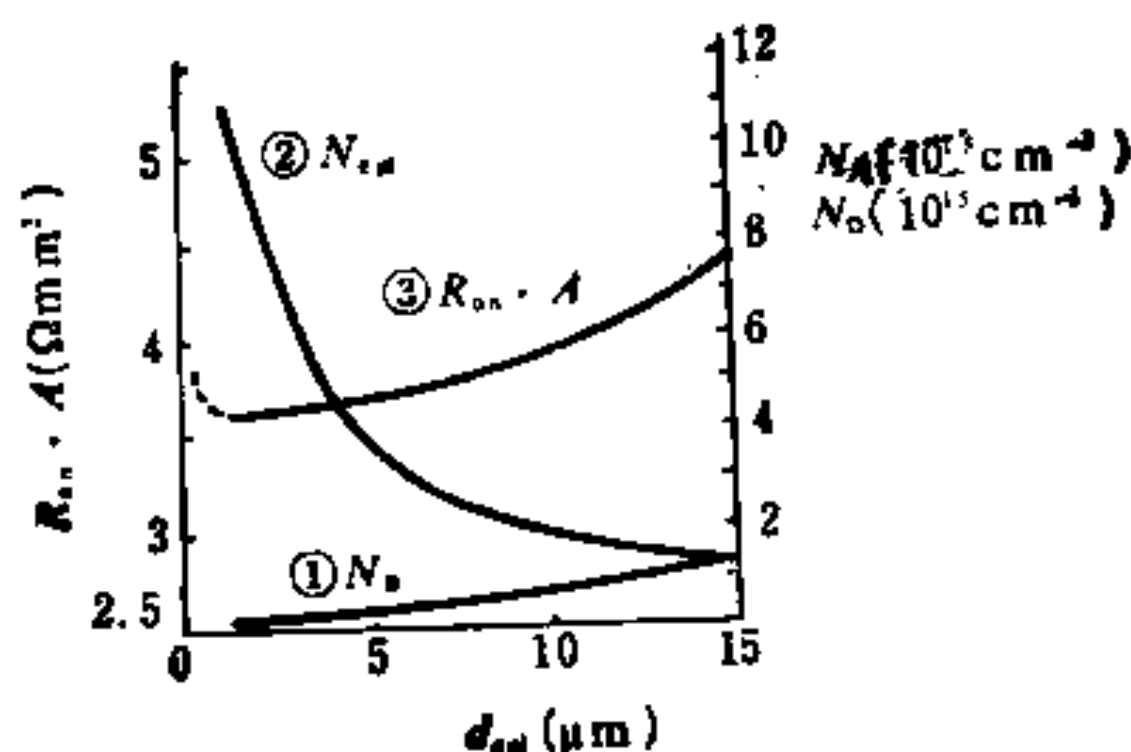


图 5-61 400V RESURF LDMOS $R_{on} \cdot A$ 的最优化^[16]

RESURF LDMOS的另一特点是: 沟道与 N^- 漂移区界面处 PN^- 结的表面电场强度较一般LDMOS有明显的降低, 故耗尽区扩展进入P沟道区的距离也明显减小。这样 RESURF LDMOS 与一般LDMOS相比较, 在穿通电压相同时, 沟道可以做得较短, 沟道区掺杂浓度的峰值也可以较低。这样, 由于沟道-栅极间电容减小, 器件的高频性能得以提高。

3. 具有埋层的 RESURF LDMOS

已经知道, 在栅压较高时, 由于沟道电阻明显减小, 漂移区电阻成为 R_{on} 中的决定性部分; 而漂移区电阻仅由漂移区的几何尺寸和外延层掺杂浓度决定, 故提高外延层的杂质浓度可以降低 R_{on} 。根据RESURF原理, 在提高外延层杂质浓度后, 必须减小外延层的厚度, 才能使击穿电压不降低。外延层厚度的减小将导致等电位线曲率的增大, 从而使击穿电压降低。采用P型离子注入埋层, 如图5-62所示, 可以减小沟道区等电位线的曲率^[20], 这种电场整形方法使得对给定的外延层杂质浓度可采用厚外延层, 或对给定的外延层厚度可采用高杂质浓度。其结果是, 在不

减小击穿电压的条件下，导通电阻得以减小。经计算机模拟，所

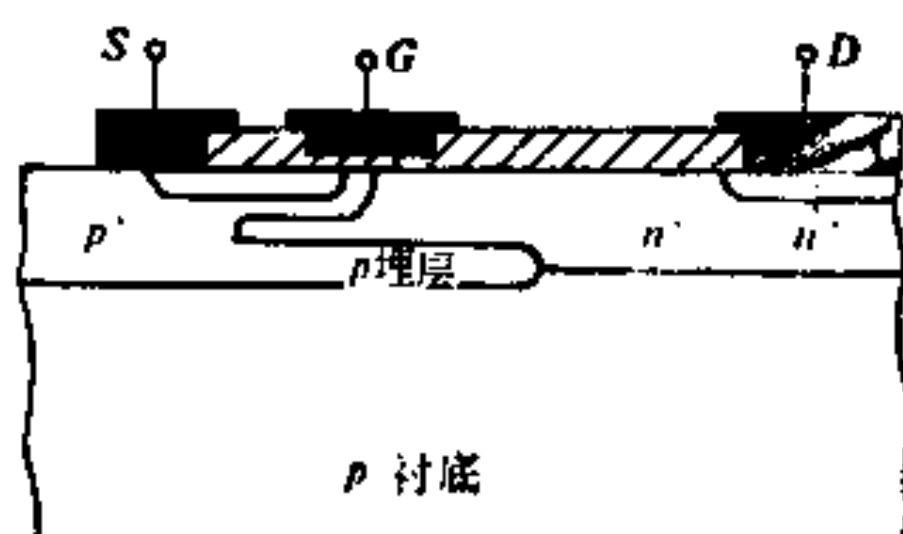


图 5-62 具有埋层的RESURF LDMOS

得到的该器件的等电位线如图 5-63所示，漂移区中的电场强度几乎是常数，该电场强度接近本征Si的临界击穿电场强度。

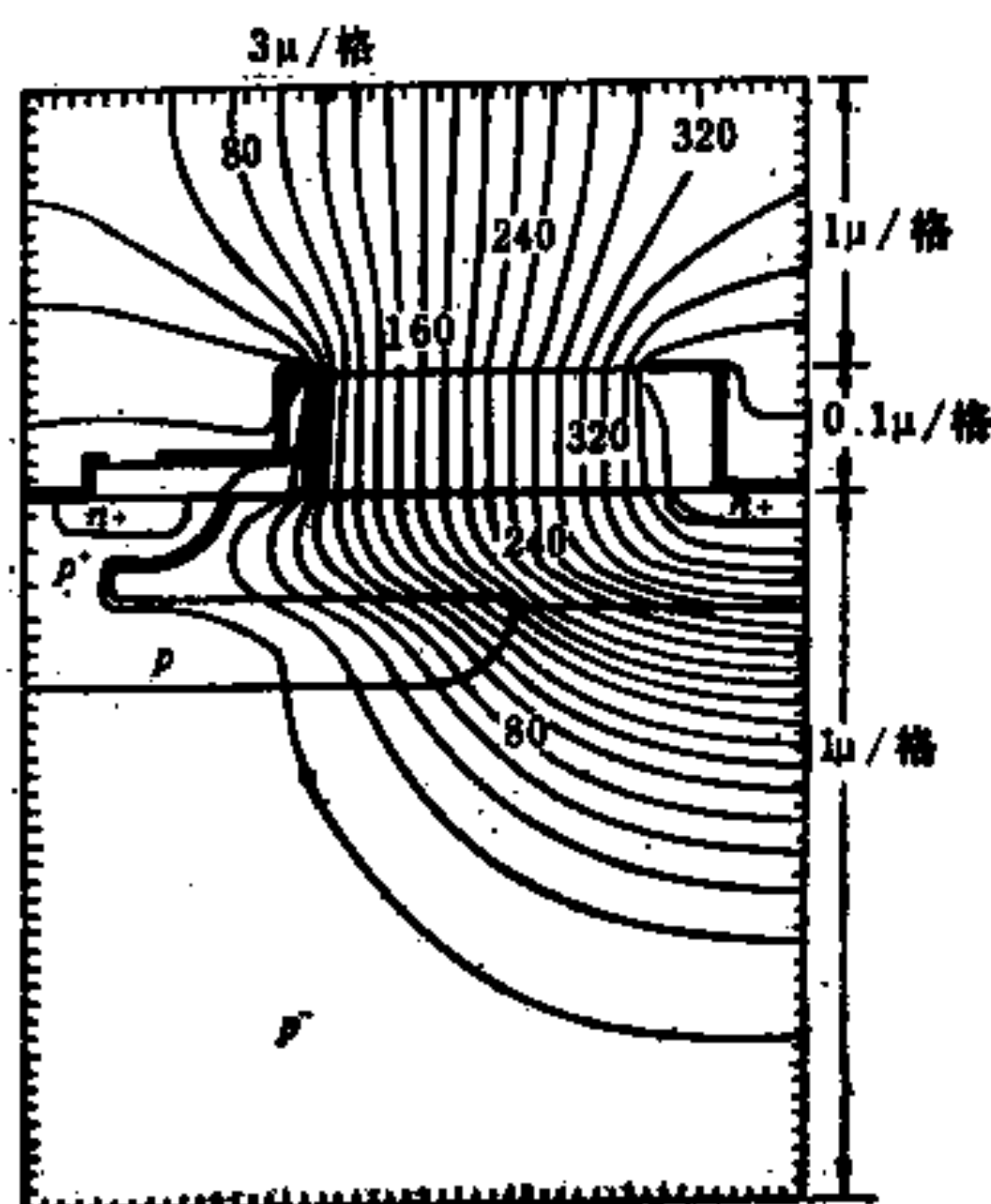


图 5-63 具有埋层的RESURF LDMOS在击穿时的等电位线^[26]

E.H.Stupp, S.Colak采用上述结构，在器件参数、衬底

为 $30\Omega\text{cm}$ P型Si,外延层电阻率为 $1.7\Omega\cdot\text{cm}$,外延层厚度为 $7\mu\text{m}$,栅氧化层厚度为 300nm ,沟道长度为 $2\mu\text{m}$,漂移区长度为 $26\mu\text{m}$ 时,击穿电压为 400V ,导通电阻 R_{on} 为 2.8Ω , $R_{\text{on}}\cdot A$ 为 $5.6\Omega\cdot\text{mm}^2$,可见 $R_{\text{on}}\cdot A$ 的数值已减小到与击穿电压相同的VDMOS的水平。

4. 有SIPOS覆盖的RESURF LDMOS

在第三章已经讲到,表面有半绝缘膜覆盖时,其下的电场分布可以较为均匀,对提高击穿电压有利。换言之,如有此膜覆盖,则在同样的击穿电压下,漂移区杂质的面密度可以提高。图5-64(a)示出一种 600V RESURF LDMOS。图5-64(b)示出在表面用离子注入漂移区代替外延层,而且表面有SIPOS膜覆盖。

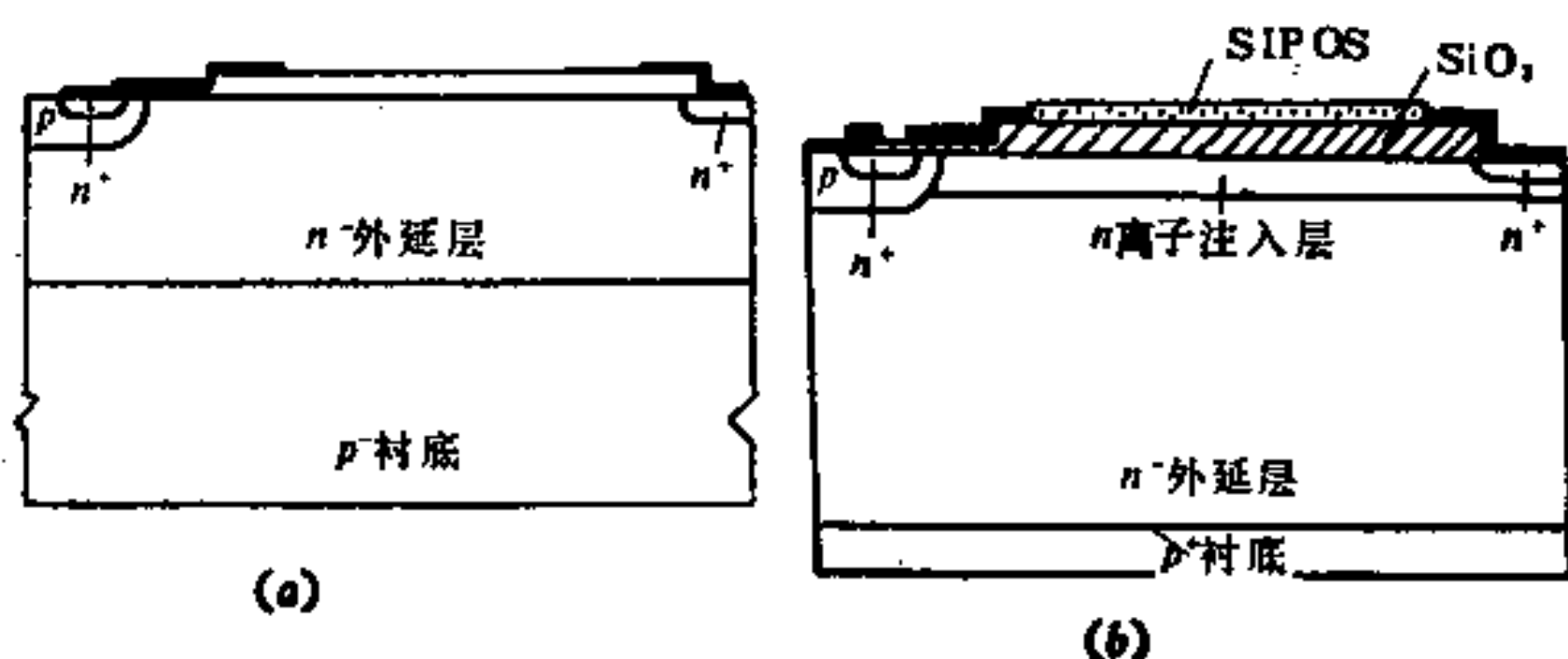


图 5-64 600V RESURF LDMOS的剖面图

(a)器件A——一般RESURF结构; (b)器件B——具有离子注入表面层和SIPOS覆盖的RESURF结构

盖的器件^[27]。这两种器件击穿电压与衬底杂质浓度的关系示于图5-65中,不过图5-65所标的器件A实际上是图5-64(a)的N⁻外延层用 $2\mu\text{m}$ 厚的离子注入层代替了。可以看到:对于一般RESURF LDMOS,击穿电压与衬底杂质浓度的依赖关系非常灵敏, N_{B} 稍有变化,击穿电压就大幅度的下降,这使得在工艺上很难控制。对于器件B则显然不同,只要 N_{B} 大于 $3\times 10^{16}\text{cm}^{-3}$,

击穿电压就与 N_B 无关。

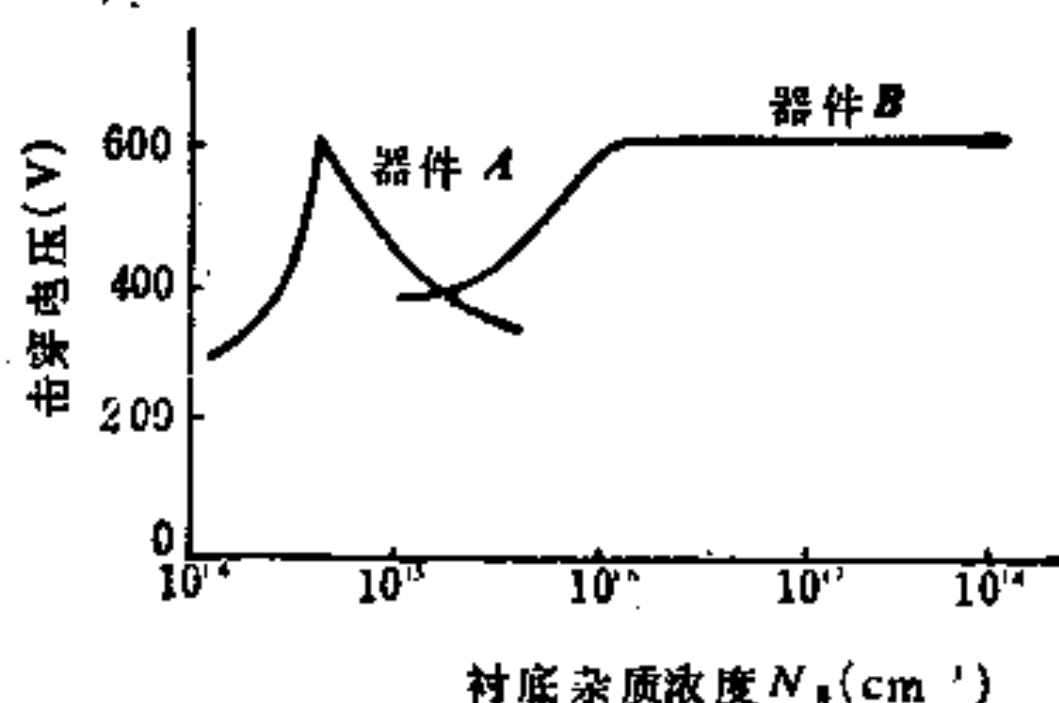


图 5-65 两种RESURF LDMOS击穿电压与衬底浓度的关系

两种RESURF LDMOS导通电阻的比较如图 5-66所示, 由于SIPOS覆盖有助于表面电场的降低, 从而允许有较高掺杂浓度的表面离子注入层, 而不影响击穿电压, 这样 R_{on} 就较一般RESURF LDMOS降低了75%。

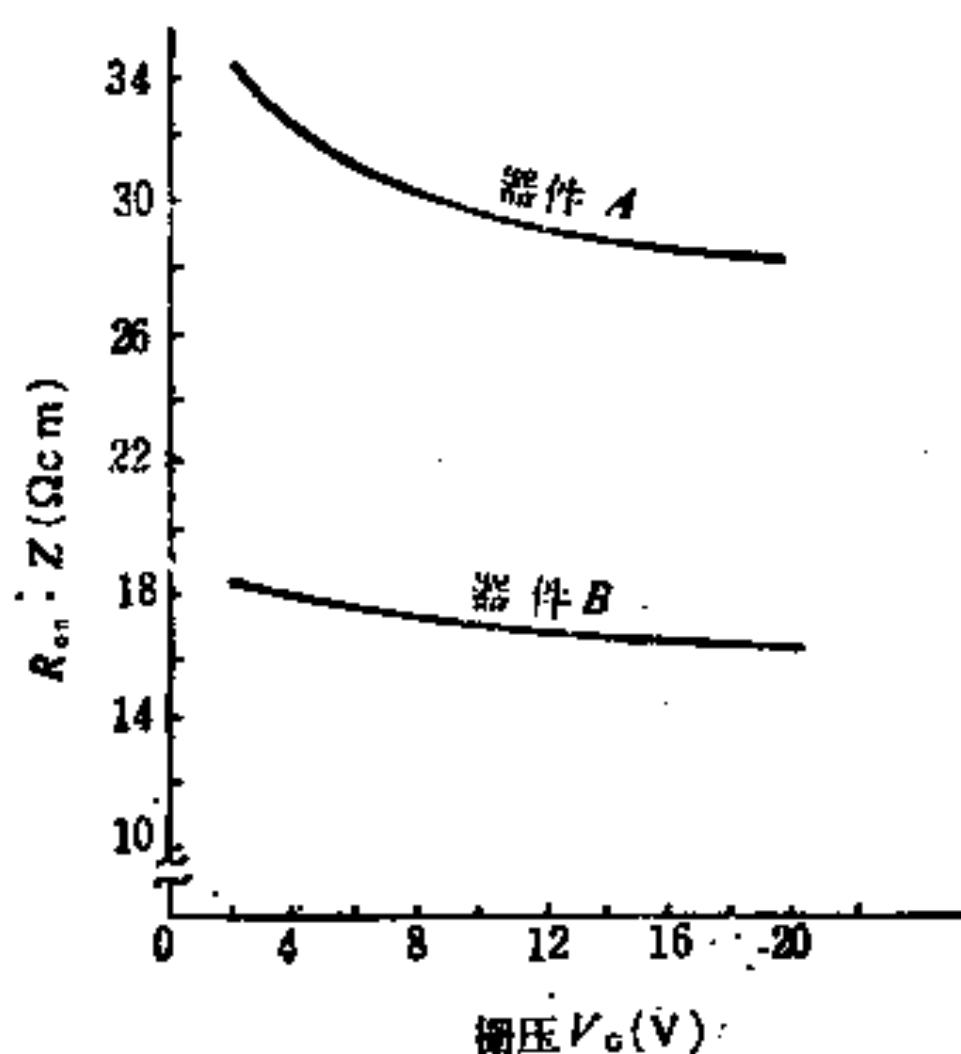


图 5-66 两种RESURF LDMOS $R_{on} \cdot Z$ 与 V_G 的关系

§ 5-4 横向绝缘栅晶体管

从高压MOS来讲, 电流横向流动的结构比纵向的出现得早。但是就单位面积的最大电流而言, 横向的比纵向的小。就同样耐压下单位面积的导通电阻而言, 横向的比纵向的大, 这是横向MOS型器件的缺点。但是, 横向器件便于和其它电路相集成, 而且它不需要用高阻厚外延材料, 这是它的优点。

横向绝缘栅晶体管 (LIGT) 又称横向绝缘栅双极型晶体管 (LIGBT), 又称横向绝缘栅整流器 (LIGR, 即 Lateral Insulated Gate Rectifier), 其基本原理和 IGT 一样, 只不过象横向 MOS 一样, 电流是横向流动的。

1. 等效电路及基本电特性

LIGT 的一个基本结构如图 5-67 所示, 其等效电路如图 5-68 所示, 其中各元件的位置排列与图 5-67 的结构一一对应^[28], 元件符号中的下标 l 指横向元件, 下标 v 指纵向元件。

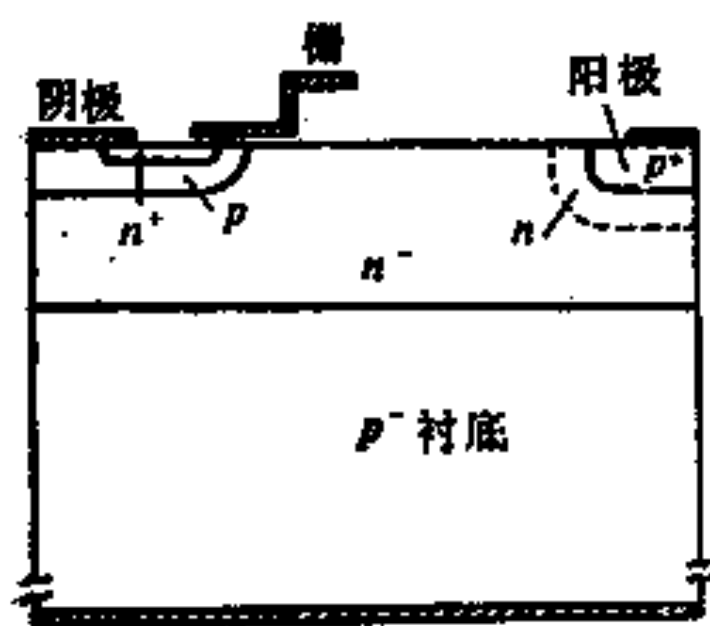


图 5-67 LIGT 的基本结构(A型)

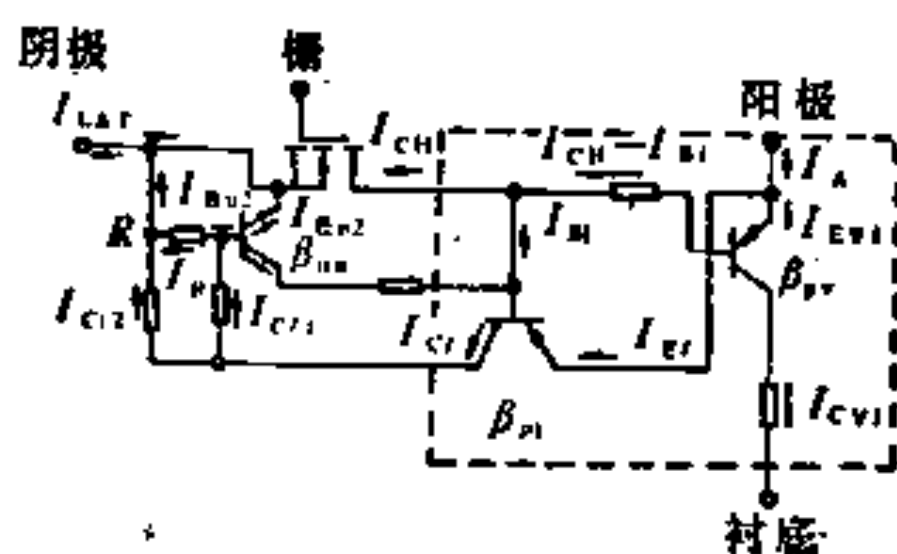


图 5-68 LIGT 基本结构的等效电路

显然, 如果两个纵向管不存在, 则 LIGT 是一个以栅极控制的电流来作为一个横向晶体管的基极电流, 从而控制其发射极电流 (即阳极电流 I_A) 的器件, 这和 IGT 的简单等效电路完全一

致，区别只在于这里用横向晶体管代替了IGT中的纵向晶体管。和IGT一样，这里也存在一个N型缓冲层，将阳极的P⁺区遮蔽起来，用以提高穿通电压或减小横向管基区厚度。

为了明确图 5-68 中各元件的作用，先看图中虚线框出的部分流进及流出的电流，根据克希荷夫第一定律，显然

$$I_A = I_{CH} + I_{Cv2} + I_{Cl} + I_{Cv1} \quad (5-97)$$

为了将 I_A 表示成 I_{CH} 的函数，先设法消去上式中的 I_{Cv2} ，由于

$$I_{Cl} = I_{Cl1} + I_{Cl2} \quad (5-98)$$

$$I_{Cv2} = \beta_{nv} I_{Bv2} = \beta_{nv} (I_{Cl1} - I_R) \quad (5-99)$$

$$I_{Cl} = \beta_{pl} (I_{Bl} + I_{Cv2}) \quad (5-100)$$

其中 β 代表晶体管的共发射极电流放大系数，利用这三个式子消去 I_{Cl} 及 I_{Cl1} 可得

$$I_{Cv2} = \frac{-\beta_{nv}\beta_{pl}I_{Bl} + \beta_{nv}(I_{Cl2} + I_R)}{\beta_{nv}\beta_{pl} - 1} \quad (5-101)$$

利用式 (5-99) 及 (5-101) 得

$$I_{Cl} = I_{Cl2} + I_R + \frac{(I_{Cl2} + I_R) - \beta_{pl}I_{Bl}}{\beta_{nv}\beta_{pl} - 1} \quad (5-102)$$

将式 (5-101) 和式 (5-102) 代入式 (5-97) 得

$$\begin{aligned} I_A = & I_{CH} + I_{Cv1} + I_{Cl2} + I_R \\ & + (\beta_{nv} + 1) \frac{I_R + I_{Cl2} - \beta_{pl}I_{Bl}}{\beta_{pl}\beta_{nv} - 1} \end{aligned} \quad (5-103)$$

如果纵向NPN晶体管（注脚_{nv}）不发生作用，即 $\beta_{nv} = 0$ ，则由上式得

$$I_A = I_{CH} + I_{Cv1} + \beta_{pl}I_{Bl} \quad (5-104)$$

而 I_{CV1} 显然可写为

$$I_{CV1} = \beta_{PV}(I_{CH} - I_{BI}) \quad (5-105)$$

如设PL管的基极电流 I_{BI} 占 I_{CH} 的 f_1 份, I_{CH} 的其余 $(1-f_1)$ 份是PV管的基极电流, 则由式(5-104)和(5-105)得

$$I_A = I_{CH}[1 + f_1\beta_{PI} + (1-f_1)\beta_{PN}] \quad (5-106)$$

这说明, 即使考虑PV管的作用, 只要NV管不起作用, 那么LIGT的电流也完全是由MOS管的沟道电流来控制的。

2. 静态闭锁及其防止

如果 β_{NV} 不为零, 而且 $\beta_{NV}\beta_{PI}$ 接近于1, 那么式(5-103)的最后一项极大, 而其它项可略。这时

$$I_A = (\beta_{NV} + 1) \frac{I_R + I_{CI2} - \beta_{PI}I_{BI}}{(\beta_{PI}\beta_{NV} - 1)} \rightarrow \infty \quad (5-107)$$

于是, 即使MOS管被夹断, $I_{BI} = 0$, I_A 仍可无限止地大, 这就是说, MOS管失去了控制作用, PL管与NV管的相互反馈形成的再生作用使器件进入闭锁状态, 这时电流不受门极G的控制。

由此可见, 闭锁的条件是 $\beta_{PI}\beta_{NV} = 1$, 由于 $\beta = \frac{\alpha}{1-\alpha}$, 这一条件实际上就是

$$\alpha_{PI} + \alpha_{NV} = 1$$

即晶闸管实现闭锁的条件。

图5-67所示的结构为A型, 在图5-68画出的等效电路中, 对于A型而言, 实际上除掉源衬底P基区的横向电阻 R 外, I_{CI2} 及 I_{CI1} 所流经的电阻并不存在, 因此A型的等效电路可画成图5-69(b)所示。该图的(a)再一次画出了A型的结构, 由该等

效电路可知，闭锁效应是由PL管与NV管的再生作用引起。

为了防止闭锁或提高出现闭锁的电流密度（简称闭锁电流）发展了B、C、D、E、F、G、H等各种形式的结构。

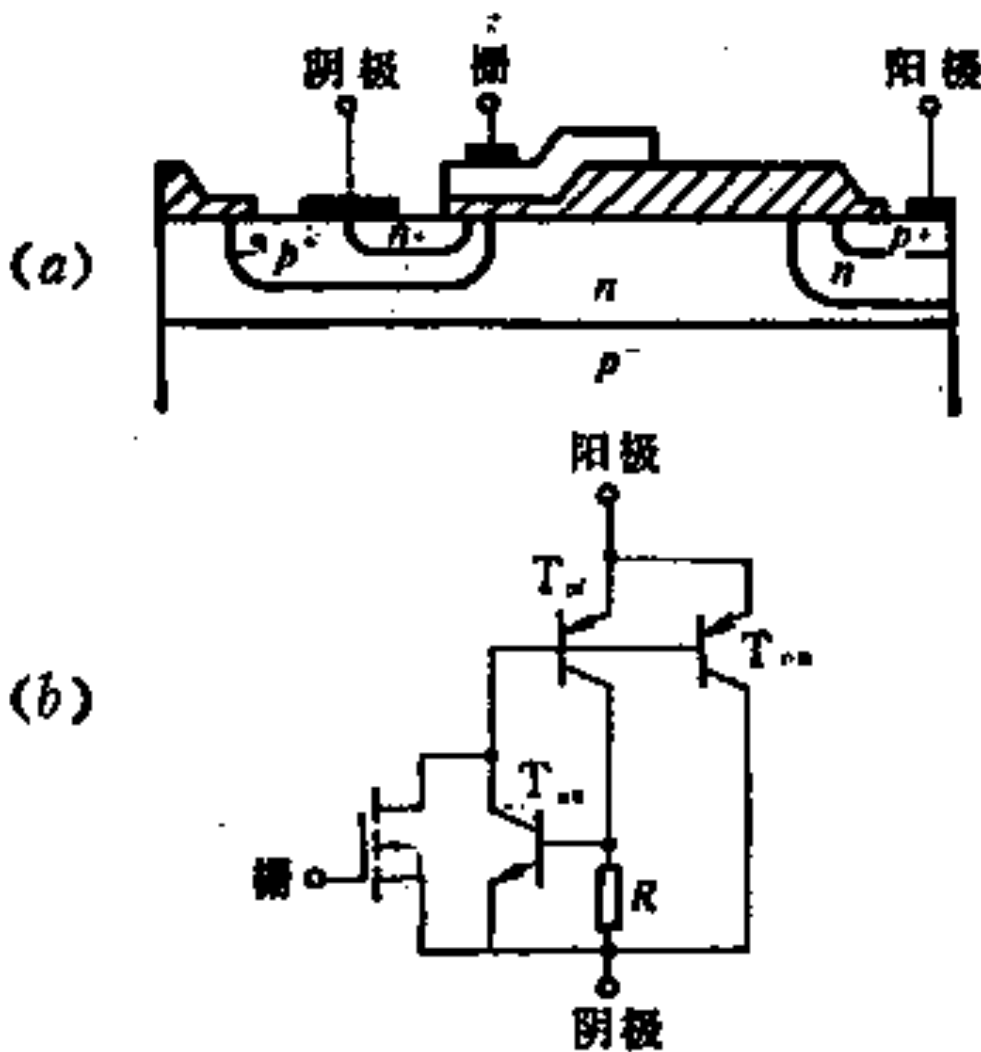


图 5-69 A型的结构(a)与简化等效电路(b)

B型是将A型的P⁺衬底改为P⁺衬底上外延一层P⁺区，再来做LIGT，如图5-70所示。这样一来，PV管的集电区电阻降低了，因此其电流提高，PV管分去更多的阳极电流 I_A ，自然可提高发生闭锁的电流，但这种效果并不显著。

防止闭锁的重要措施是降低 β_{nv} ，这可以通过减少图 5-69 中的R来达到，R很小时，NV管的发射极电压 V_E 降低，从而降低了注射效率。图 5-71示出了C型的结构，这里做了一个很深的 P⁺隔离区，它很靠近源极，因此可使R降低。图 5-72示出的D型结构中，用了一个P⁺埋层扩散，它不仅降低了R，而且使通过PL管的基区的空穴流通路径变宽，这等于是图 5-68中将 I_{C12} 流过的电阻降低，因此 I_{C12} 增加， I_{C11} 相应地减小，导致 V_E 降低。

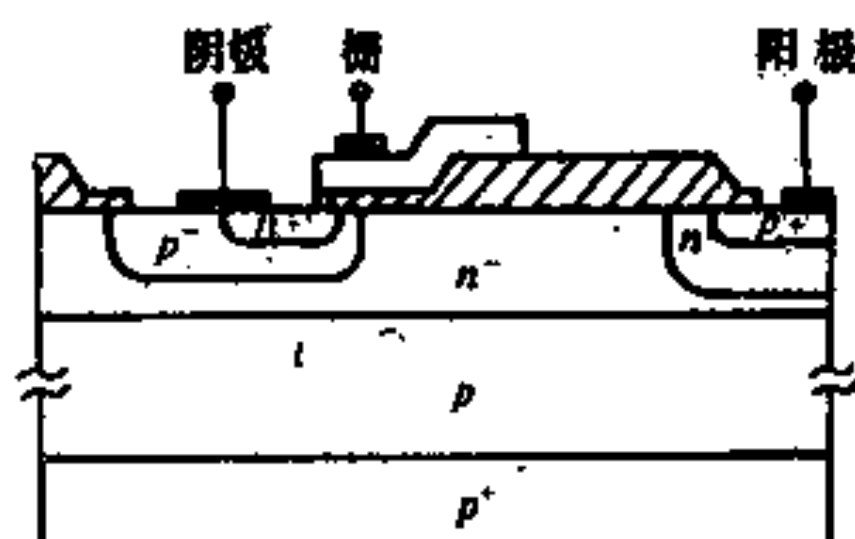


图 5-70 B型的结构

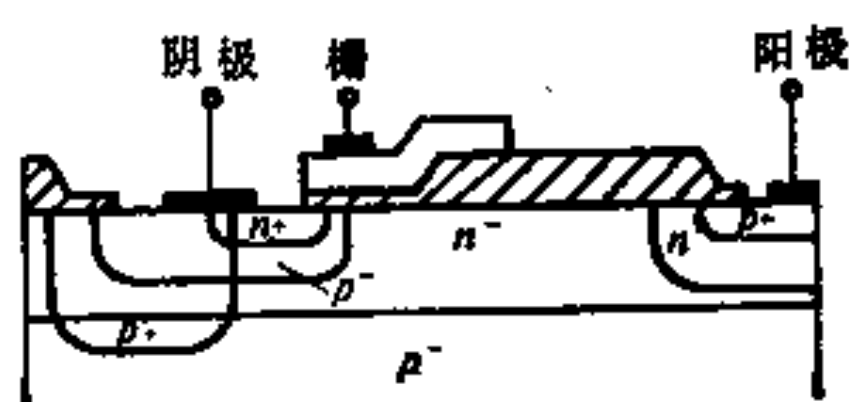


图 5-71 C型的结构

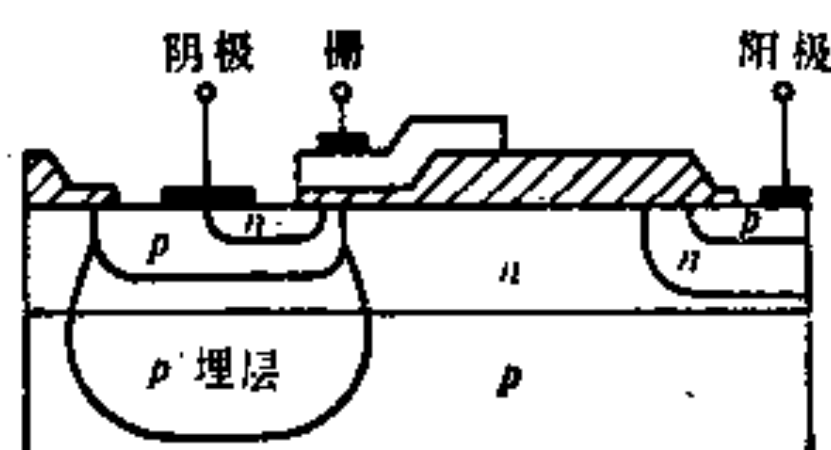


图 5-72 D型的结构

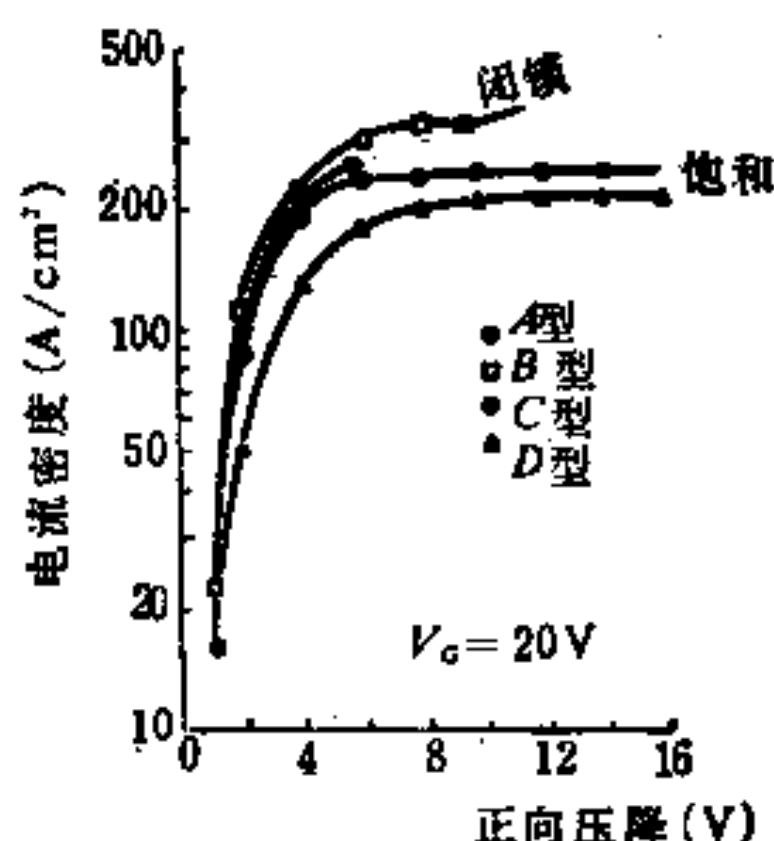


图 5-73 A、B、C、D四种器件的 $I \sim V$ 特性

D. N. Pattanayak等人对上述器件做了实验^[28]，他们用两种硅片材料：1) $60 \sim 90 \Omega \cdot \text{cm} \langle 100 \rangle$ 掺硼的硅衬底；2) P^+ 衬底上外延一层厚 $35 \mu\text{m}$ 的 $60 \sim 90 \Omega \cdot \text{cm}$ 掺硼的硅。然后进行掺磷的外延，其厚度为 $4 \sim 8 \mu\text{m}$ ，对于D型器件，在此次外延前先做好 P^+ 埋层。

N外延区中的漂移区长度为 $35 \mu\text{m}$ ，以得到 500V 的击穿电压。N区外延掺杂甚轻，然后用离子注入控制电荷总量，对于C型器件，用一次深结硼扩散做 P^+ 隔离区。

栅氧化层厚度为 100nm ，场氧化层厚度为 $1 \mu\text{m}$ ，硅栅电极是用低压化学汽相沉积 (LPCVD) 形成，然后进行重掺磷，阴极

区的 N^+ 源及 P^- 基区都是利用多晶硅栅做自对准进行双重扩散得到， P^+ 阳极做在 N 缓冲层之内，最后腐蚀接融孔窗口，淀积金属再反刻。

由这种器件得到 $V_G = 20V$ 时的正向 $I \sim V$ 特性如图5-73所示，由图可知， P^+ 衬底上外延 P^- 的B型和A型具有较高的电流密度，但却存在闭锁，而C型及D型都不存在闭锁。

所谓E型器件，是同时采用B型的 P^+ 衬底上外延 P^- 区及C型的源 P^+ 深扩散隔离区。F型器件是同时采用B型的 P^+ 衬底上外

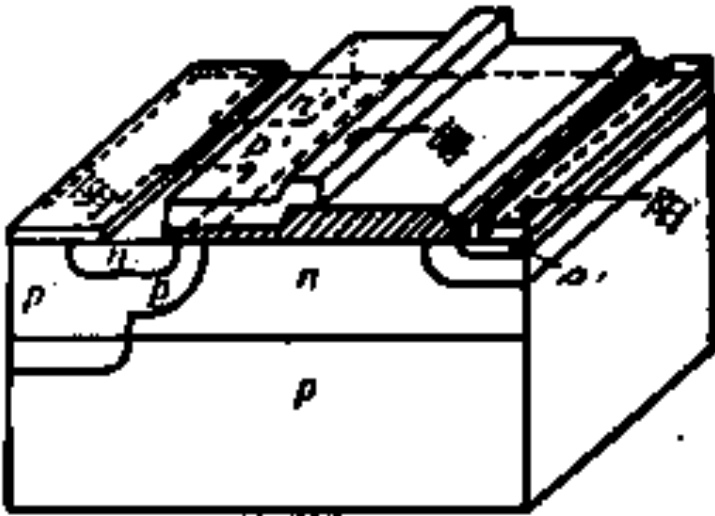


图 5-74 G型结构（表面有 P^+ 短路区）

延 P^- 区及D型的埋层扩散。此外还有G型及H型，它们都是在表面做有周期性重复的、特殊的 P^+ 区（“表面短路”），将 P 区直接联到阴极，其中G型的衬底为 P^- 型，如图5-74所示。而H型为 P^+ 衬底上外延 P^- 型，各型器件的主要区别如表5-2所示。

表 5-2 各型器件的主要区别

类 型	衬 底	P^+ 隔离区	P^+ 埋层	P^+ 表面短路
A	P^- 外延	无	无	无
B	P^+ 上外延 P^-	无	无	无
C	P^- 外延	有	无	无
D	P^- 外延	无	有	无
E	P^+ 上外延 P^-	有	无	无
F	P^+ 上外延 P^-	无	有	无
G	P^- 外延	无	无	有
H	P^+ 上外延 P^-	无	无	有

图 5-75 及图 5-76 示出了 G 型与 H 型的 $I \sim V$ 特性。由图可知，随着表面短路区宽度由 0 % 增加到 20 %，由于沟道总宽度不断下降，阳极电流 I_A 也下降。但是，在无表面短路时都有闭锁存在，而有表面短路时则闭锁消失，电流趋向饱和。我们注意，A 型的闭锁电流为 350 mA，B 型的为 515 mA，（对应图 5-75 及图 5-76 的 0 % 表面短路，）而 G 型的饱和电流也接近于 350 mA，H 型的则更高。从纵向管引起的衬底电流成分来讲，A 型与 D 型的都较小，B 型及 F 型的较高。

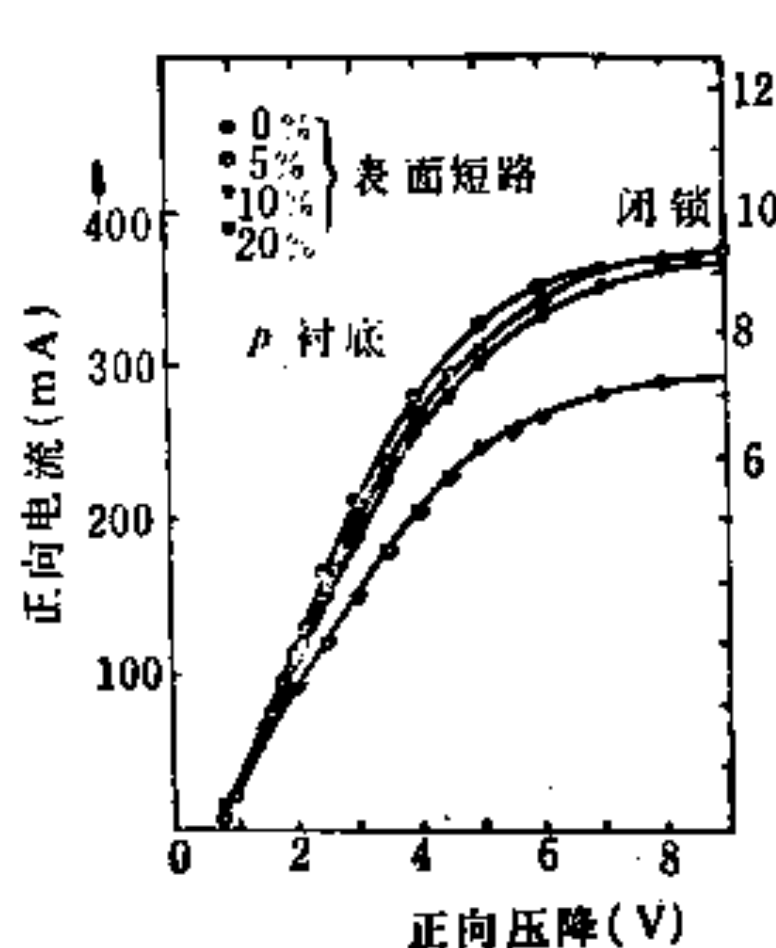


图 5-75 G 型的 $I \sim V$ 特性

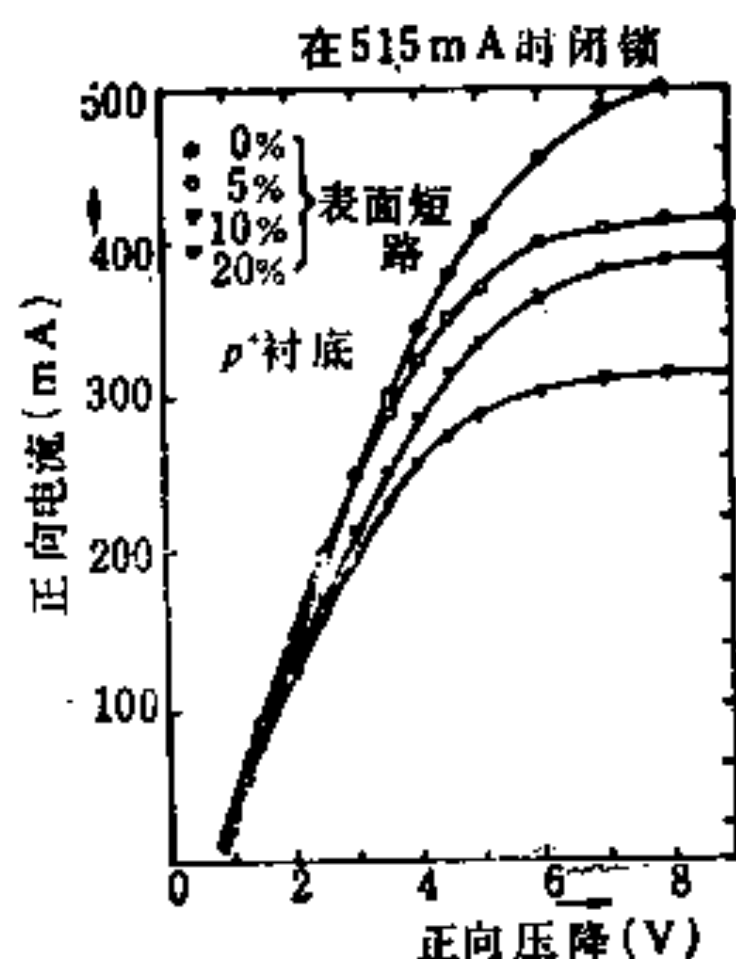


图 5-76 H 型的 $I \sim V$ 特性

3. 正向压降与关断时间

图 5-77(b) 是根据图 5-77(a) 结构用一种二维 HECTOR 程序（参考文献 [30]）计算的结果^[31]，实测与模拟的结果是一致的，图中在④点之前，即 $V_A < 1.2V$ 时，电流较小，这时是一个单纯的 LDMOS 特性。PN 结的正向偏压小于 0.6 V，没有显著的载流子注入，因此具有较高的导通电阻， $R_{on} = 24\Omega$ ，它是图中 R_{CH} ， R_D 及 R_F 之和。当 V_A 超过 1.2 V 时， R_F 上压降超过 0.7 V，

P^+ 阳极开始注入空穴于漂移区, R_{on} 显著降低, 开始形成了 IGT 的特性, A点的 V_A 称为起动电压 V_{onset0}

当 V_A 继续提高, 使电流超过某一临界值 $I_{trigger}$ 后, 流入的空穴开始流经 R_P , 使 N^+ 阴极正偏, 开始注入电子于P区, 于是

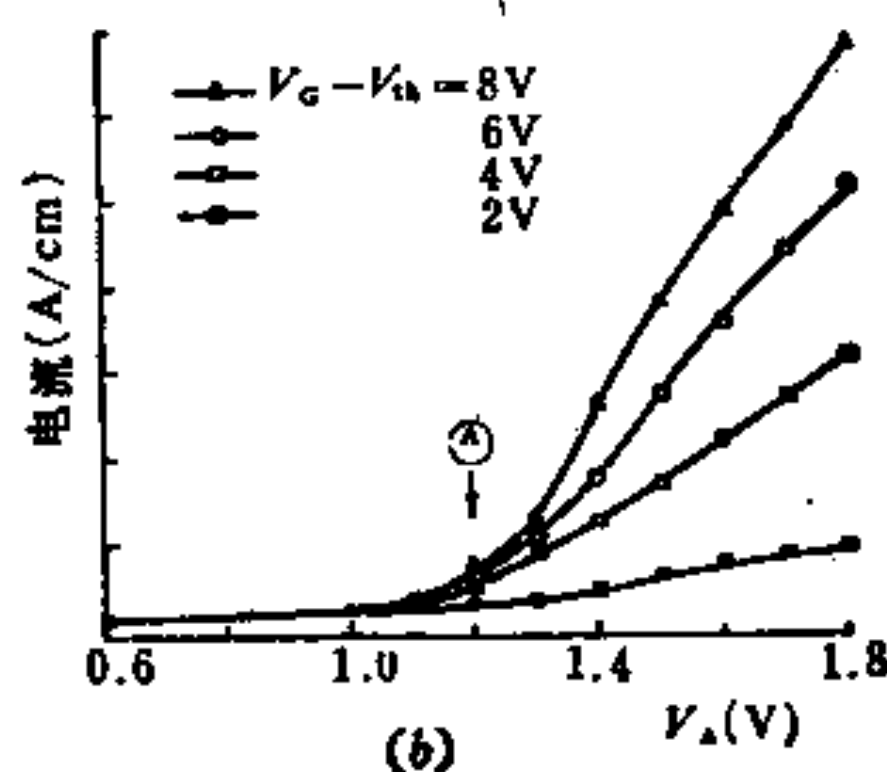
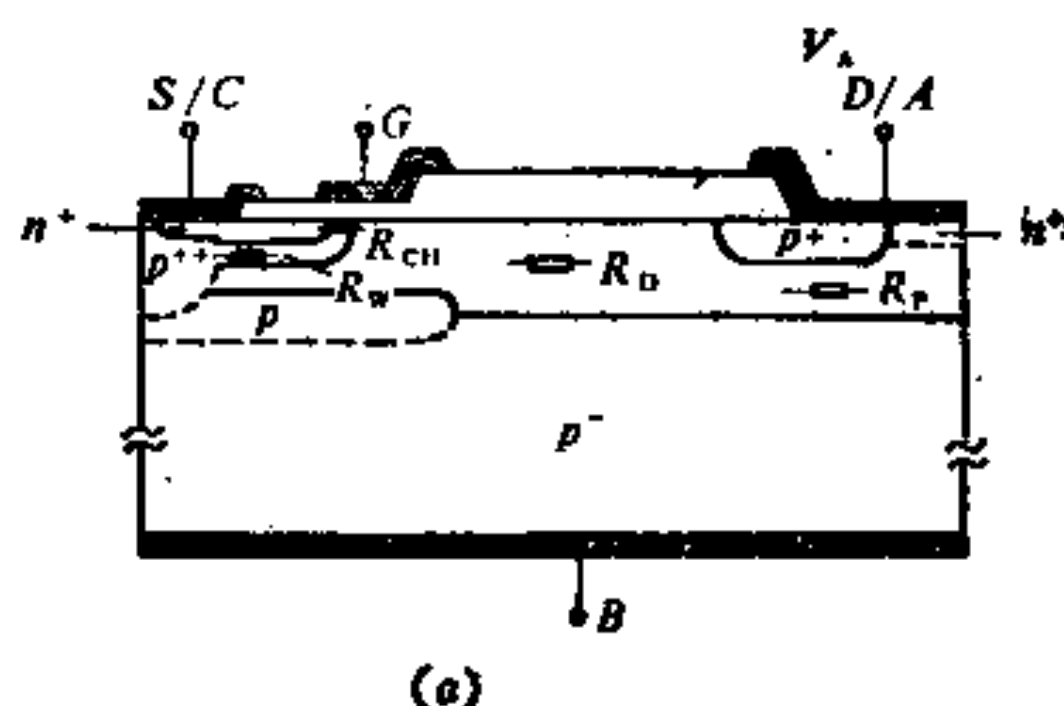


图 5-77 一个LIGT的模拟结果

- (a)结构。衬底: $30\Omega\cdot\text{cm}$ (100) P型; 外延区: $1.7\Omega\cdot\text{cm}$ n型 $7\mu\text{m}$ 厚; P阱
 结深: $4\mu\text{m}$; 栅氧化层厚度: 100nm ; 漂移区: $30\mu\text{m}$ 长; P埋层: 约 $15\mu\text{m}$;
 叉指条结构; 面积: 0.46mm^2 ; 沟道总宽度: $6950\mu\text{m}$
 (b)小电压下正向 $I\sim V$ 模拟结果

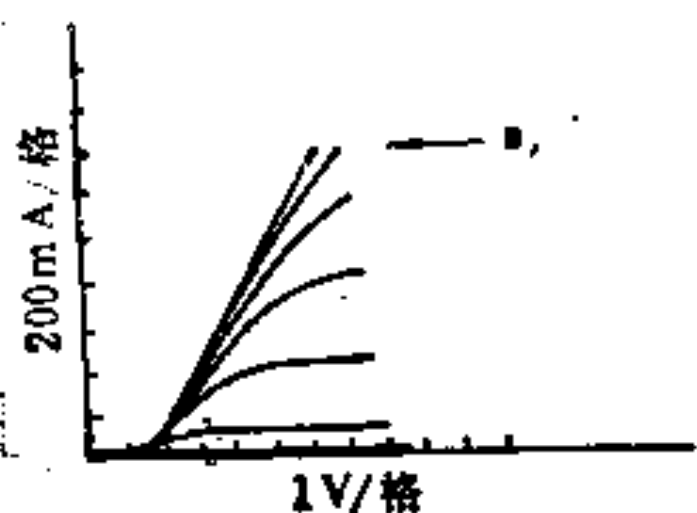


图 5-78 图5-77(a)所示的结构
电流很大时在B点发
生闭锁

此器件的再生作用发生，形成了
闸流管的闭锁现象，电流不再受
MOS管的控制，这如图 5-78 中
⑤点所示。

就如同 IGT 一样，LIGT 的
开关时间中以关断时间最长，关
断的过程如下：MOS 门极电压
变成了小于阈电压后，沟道电流
即被关断，于是横向 PL 管及纵

向 PV 管的基极电流突然下降。此时纵向 PV 管由于基区中存贮的
少子而继续维持电流，不仅如此，由于电流降低，通过阳极负载
的压降减小，故纵向管的集电极电压提高，这使得基区变窄， β
变高，也使得流过此管的电流变大。这个结果使总电流有一个维
持不变的存贮时间。在经过这段时间以后，基极少子浓度逐渐降
低，电流下降，最后阳极才被关断。

为了减小关断时间，一个方法是用高能质子或电子辐照，使
半导体中产生复合中心，降低少子寿命，但实际上发现这个手段
的效果并不很明显。

另一个方法是在阳极金属下做一个 N^+ 区，即所谓阳极短路，
这已示于图 5-77(a) 中。它使得 N 基区有一个直接通路，在有电
流时， P^+ 区注射效率降低，注入少子数量减少，而且在关断时，
非平衡载流子也另有一条通路走出基区，这时就不象 IGT 那样，
在关断过程中阳极作为发射极还继续注入大量少子于基区。

再一方法是用 P^+ 衬底上外延 P^- 层代替 P^- 衬底来制造
LIGT^[32]，在这种情况下，由于纵向 PV 管集电区电阻降低了，
因此减少了此区的少子的存贮。

实际上发现，阳极短路和 P^+ 衬底外延 P^- 这两种措施并 举，
可以得到很好的效果，Chow 等人对 E 型及 C 型有无阳极短路 作
了比较^[32]，图 5-79 示出了 E 型的两种情形（C 型是用 P^- 衬底代

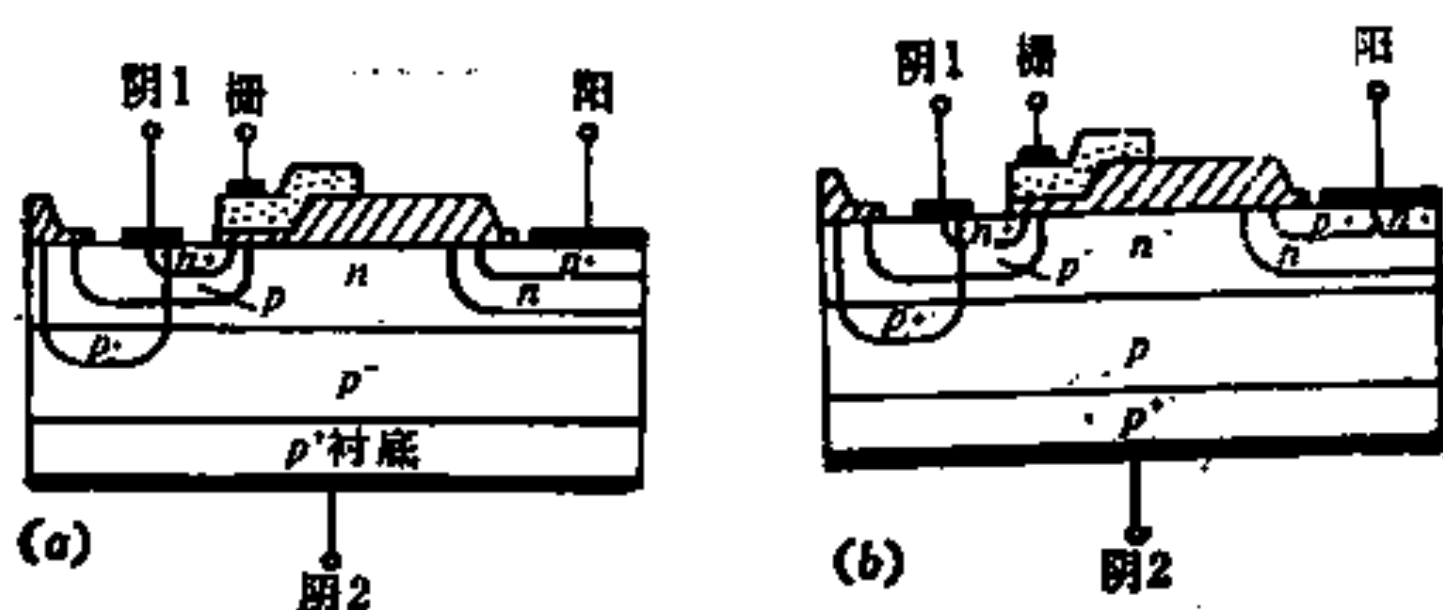


图 5-79 E型的两种结构

(a)无阳极短路; (b)有阳极短路

P⁺层: 45μm厚, $2 \times 10^{16} \text{cm}^{-3}$ 硼; N⁺层: 7μm厚, 杂质面密度 $1 \times 10^{13} \text{cm}^{-2}$; N缓冲层: 4μm结深, 注入剂量 $7 \times 10^{13} \text{cm}^{-2}$

替P⁺衬底上外延P⁺层), 得到的关断时间如图5-80所示, 显然, 两种措施并举的关断时间比只有一种措施的要小得多。

阳极短路还可以提高击穿电压, 这是因为, 在无短路时击穿电压实际上是横向管与纵向管的 $V_{(BR)CEO}$, 而有短路时为 $V_{(BR)CES}$, 后者一般高于前者。不过, 由于这里实际击穿电压是由横向管来决定的, 而它的电流放大系数本来就很小, 因此击穿电压提高不多。对同样结构下的P-LIGT, 则横向NPN管的电流

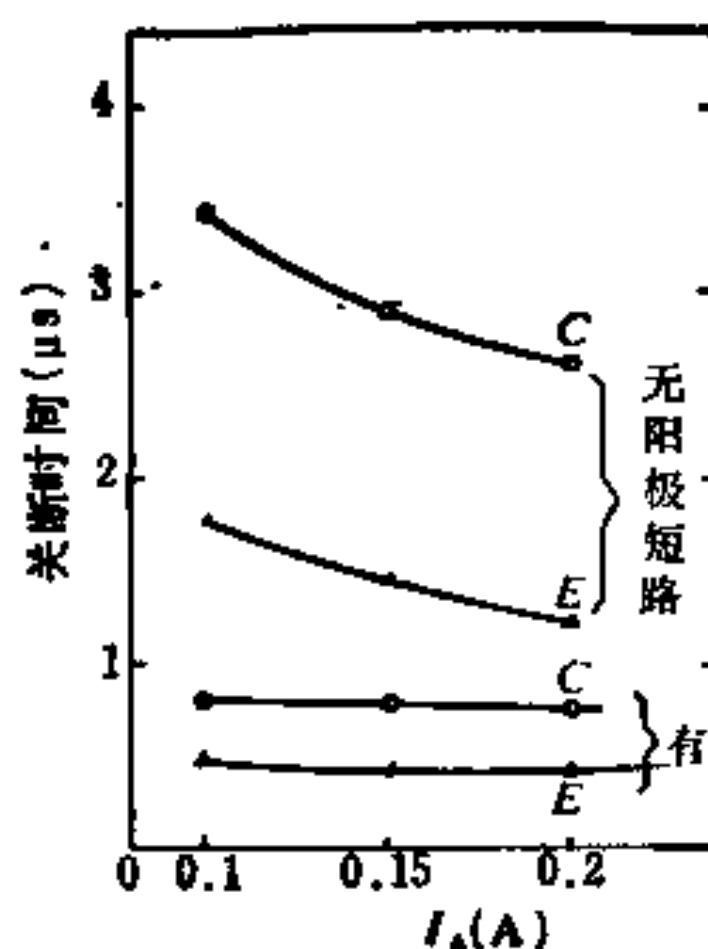
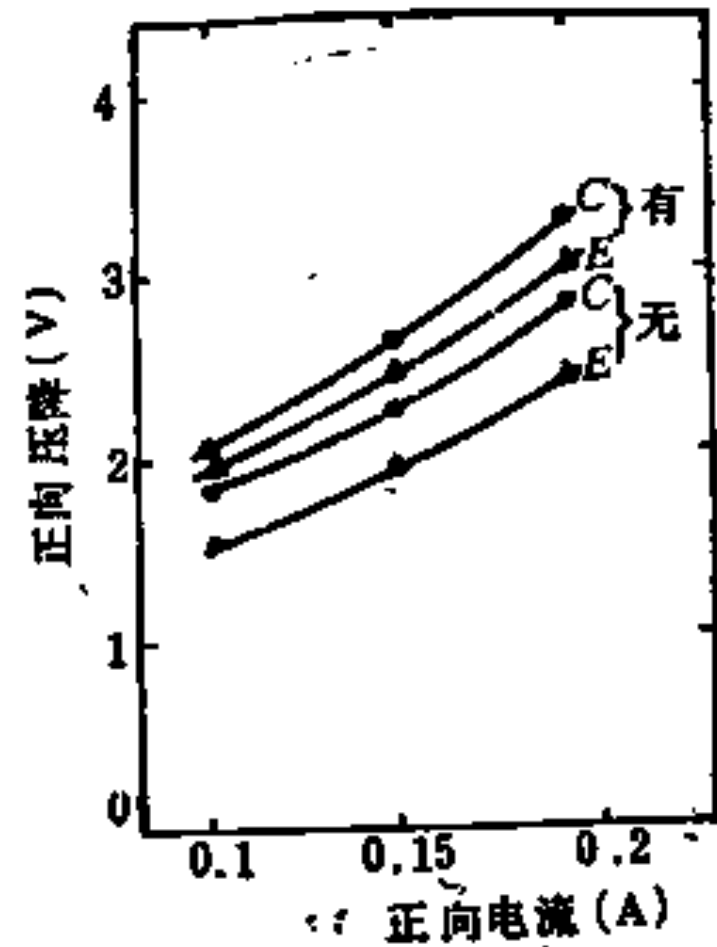


图 5-80 有、无阳极短路的关断时间

放大系数变大，阳极短路对提高击穿电压有明显的作用。

但是阳极短路也有缺点，它使得正向电压提高。图 5-79(a) 所示器件的 V_{onset} 为 0.6V，而图 5-79(b) 所示的器件在 V_A 从零

到 1.3V 时， I 随 V 的变化为线性，这是通常 MOS 的线性区特性，当阳极电流达到 6mA ($V_A = 1.3V$) 时，出现类似于二次击穿的负阻特性，这表明此时才有少子注入。原因很简单，既然阳极 PN 结有部分短路，必须在较大电流下，使电流经过 N 缓冲层这一电阻产生约 0.6V 的压降才可能有注入。如果是 P^+ 衬底上有 P^- 外延层，则正向压降可以稍低，原因是前者集电区有较低的电压，因此纵向管电流所占比重较大。无阳极短路时，前者的纵向电流的比重为 46%，而后者为 4%。有阳极短路时比重各为 36% 及 4%，正向压降的实验结果如图 5-81 所示。



5-81 C型及E型有、无阳极短路正向压降与电流的关系

4. 动态闭锁

动态闭锁是指在正常无闭锁下工作时，如门极电压突然下降欲使电流关断，器件会自动进入闭锁状态而使电流一下子关不断。造成动态闭锁的条件有两个：1) V_G 很快下降时有位移电流经过栅氧化层，此电流经过图 5-77 的 R_p ，使阴极正偏而注入电子；2) 关断过程引起阳极出现高电压，特别是对阻断电压高的管子在高电压下应用，负载为电感性而导通时电流又很大的情形。在关断的初时，由于 MOS 管截止， $I_A(t)$ 突然下降，导致 V_A 迅速增加，于是在器件内部发生三种充放电电流：一个是集电结

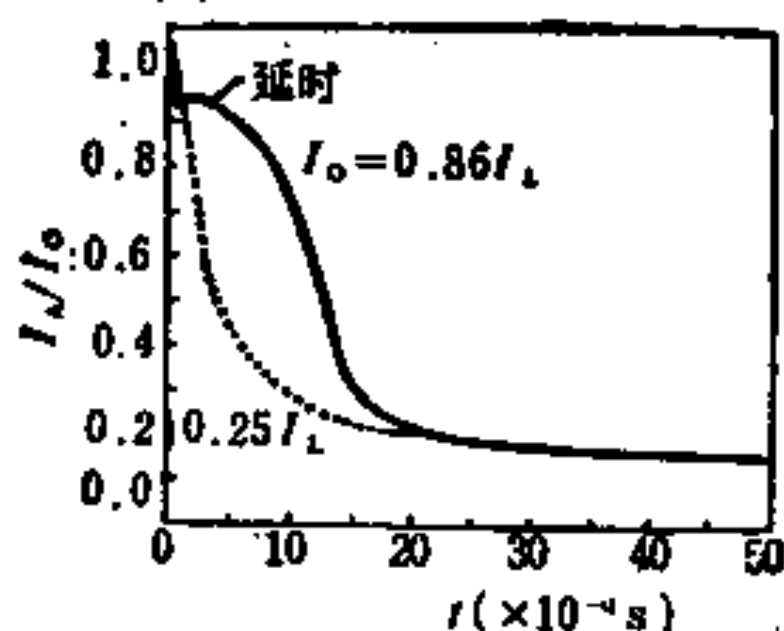


图 5-82 A型器件在两种不同初始电流下的关断特性(假定栅电压下降时间为 $0.5\mu\text{s}$)

为 $2.2 \times 10^{-5} \text{ A}/\mu\text{m}$ 时, 对于 I_0 较大而接近 I_L 的情况 ($I_0 = 0.86 I_L$), 显示出较长的关断时间。而对于 I_0 较小 ($I_0 = 0.25 I_L$) 的情形, 则关断时间较短。

Fossum对关断过程采用了图 5-83(b)所示的电路模型来分析^[33], 图中的元件对应于图 5-83(a)所示的器件结构的各部位。

在图 5-83(b)的模型中, 纵向NPN管的集电极电流及基极电流可由发射结电压 V_{BEa} 表出

$$I_{Cn} = I_s \exp[qV_{BEa}/kT] \quad (5-108)$$

$$I_{Bn} = I_{Cn}/\beta_n \quad (5-109)$$

而 V_{BEa} 实际上是由基极电流 I_B 流过基极电阻 R_{PB} 产生的压降, 与发射极电流 $I_{En} = (I_{Bn} + I_{Cn})$, 与MOS管电流 I_{CH} 流过发射区的电阻 R_{aE} 产生的压降之差, 顺便指出, 增加 R_{aE} 有助于降低 V_{BEa} , 从而提高抗闭锁能力, 不过, 这样做也同时提高了导通电阻 R_{on} 。

为了研究动态闭锁, Fossum从电荷法入手^[34]。由连续性方程, 对基区任一截面处的空穴电流 $I_p(x, t)$ 有

电容的充电电流 (因为反向偏压增加), 一个是由于PNP管中性基区变窄而造成的基极 (集电极) 电流, 另一个是中性基区放电, 流出集电结的电流。这三种电流经过 R_F 都引起压降而引起注入电流增加, 图 5-82示出一个A型器件的这种闭锁现象^[33], 图中画出了栅极关断后 I_A 随时间的下降, 纵坐标用关断前的电流 I_0 归一化。该器件的静态闭锁电流 I_L

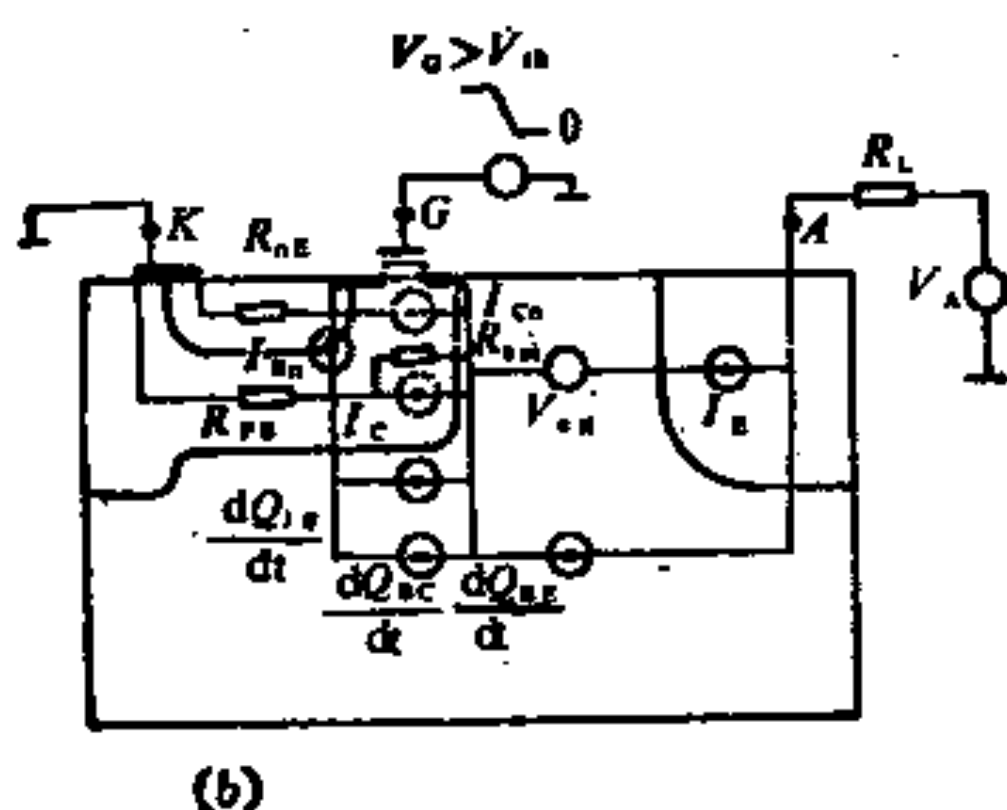
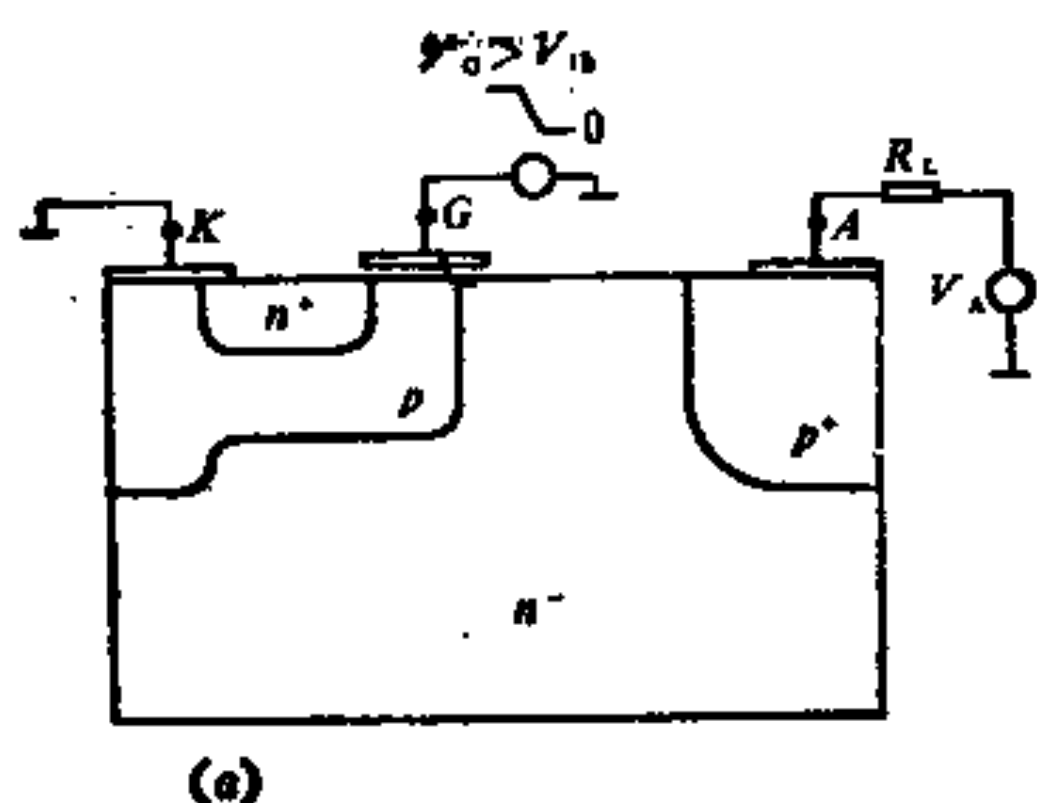


图 5-83 分析A型LIGT的一个模型

(a)结构; (b)电路模型

$$\frac{dI_p(x, t)}{dx} = -\frac{qAp(x, t)}{\tau_H} - qA \frac{dp(x, t)}{dt} \quad (5-110)$$

其中 τ_H 为大讯号的少子寿命。基区空穴既与发射结边缘的空穴电流 $I_p(0, t)$ 有关, 也与集电结边缘的空穴电流 $I_p(W, t)$ 有关。我们知道, 在定态下, 根据Ebers-Moll模型(见参考文献[16]的181页), 与 $I_p(0, t)$ 有关的空穴是对应 $V_{BC} = 0$ 的空穴, 即在 $x = W$

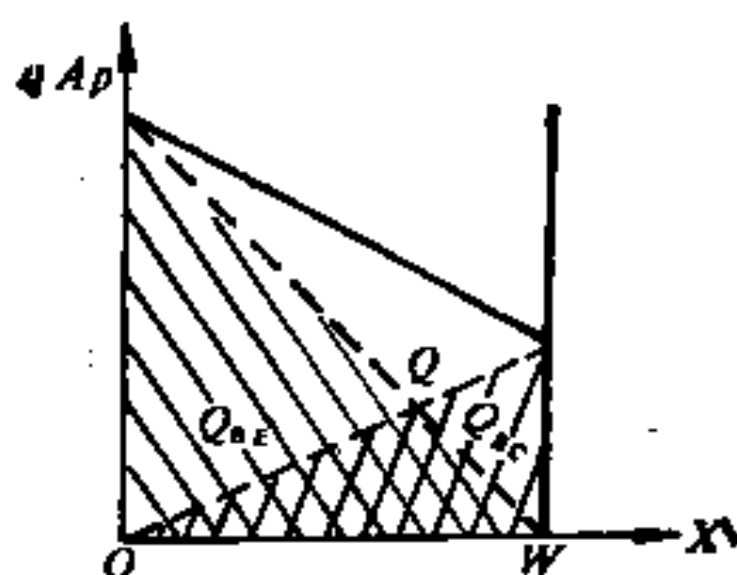


图 5-84 基区电荷分成与发射结有关及与集电结有关的两部分, $Q_B = Q_{BE} + Q_{BC}$

处非平衡空穴浓度为零的一种空穴分布, 而与 $I_p(W, t)$ 有关的则是 $x = 0$ 处非平衡空穴浓度为零的空穴分布, 这如图 5-84 所示 (图中假设了空穴浓度在基区是线性分布, 这一般适用于基区厚度远小于扩散长度的情况)。现在假设这种概念对非定态过程也适用, 即取准定态近似, 因此, 我

们将式 (5-110) 的两端均乘 $\left(1 - \frac{x}{W}\right) + \left(\frac{x}{W}\right)$, 把乘上 $\left(1 - \frac{x}{W}\right)$ 的那部分空穴算作与发射结空穴流有关的电荷, 用 Q_{BE} 表示, 把乘上 $\left(\frac{x}{W}\right)$ 的部分算作与集电结空穴流有关的 Q_{BC} 。于是, 由该式乘 $\left(1 - \frac{x}{W}\right)$ 再积分以及乘 $\left(\frac{x}{W}\right)$ 再积分, 分别可得

$$I_p(0, t) = \frac{1}{W} \int_0^W I_p(x, t) dx + \frac{Q_{BE}}{\tau_H} + \frac{dQ_{BE}}{dt} \quad (5-111)$$

$$-I_p(W, t) = -\frac{1}{W} \int_0^W I_p(x, t) dx + \frac{Q_{BC}}{\tau_H} + \frac{dQ_{BC}}{dt} \quad (5-112)$$

其中

$$Q_{BE} = \int_0^W qA \left(1 - \frac{x}{W}\right) p(x, t) dx \quad (5-113)$$

$$Q_{BC} = \int_0^W qA \left(\frac{x}{W}\right) p(x, t) dx \quad (5-114)$$

现在对空穴浓度分布取准定态假设

$$p(x, t) \approx p(0, t) \frac{\sinh\left(\frac{W-x}{L_A}\right)}{\sinh\left(\frac{W}{L_A}\right)} \quad (5-115)$$

其中 L_A 为对大讯号适用的双极扩散的扩散长度。将式(5-115)代到式(5-113)及(5-114)得到

$$\begin{aligned} Q_{BE}(t) &= qAp(0, t)L_A \left[\coth\left(\frac{W}{L_A}\right) - \frac{L_A}{W} \right] \\ &\approx (2/3)Q_B \end{aligned} \quad (5-116)$$

$$\begin{aligned} Q_{BC}(t) &= qAp(0, t)L_A \left[\frac{L_A}{W} - \operatorname{csch}\left(\frac{W}{L_A}\right) \right] \\ &\approx (1/3)Q_B \end{aligned} \quad (5-117)$$

上面两式的最后一近似式是考虑到在实际情形中 $\xi = L_A/W > 0.25$, 而这时 $(\operatorname{cth}\xi - 1/\xi)/(1/\xi - \operatorname{csch}\xi) \approx 2$, 并且 $Q_{BE} + Q_{BC} = Q_B$ 而得到的。

基区中除有空穴电流外, 还有电子电流, 两种电流分别是

$$I_p(x, t) = -qAD_p \frac{dp(x)}{dx} + qA\mu_p \mathcal{E}(x)p(x) \quad (5-118)$$

$$I_n(x, t) = qAD_n \frac{dn(x)}{dx} + qA\mu_n \mathcal{E}(x)n(x) \quad (5-119)$$

在大注入下 $n=p$, 如令 $I_E(x, t) = I_p(x, t) + I_n(x, t)$ 代表基区中总电流, 则考虑到 $D_n/D_p = \mu_n/\mu_p \equiv b$, 由上两式消去 $\mathcal{E}$ 项可得

$$I_p(x, t) = \frac{I_E(t)}{1+b} - qAD_A \frac{dp}{dx} \quad (5-120)$$

其中 D_A 是双极扩散系数, $D_A = (n+p)D_nD_p/(nD_n + pD_p)$, 在大注入下 $n=p$, $D_A = 2D_nD_p/(D_n + D_p)$ 。对于图5-83(a)的纵向NPN管, 可以把有效的基极接触看作是靠近集电结, 因此, 为了保证

电流的连续性, 从这个结边缘到发射结, I_E 必须是不随 x 变化的常数, 此电流又经过发射结, 因此它就是发射结总电流。

在图 5-83 的等效电路中, 还有一个横向的 PIN 二极管, 用于模拟 PNP 及 NPN 的集电区受电导调制的作用, 它旁路在集-基结上。设电子经过集电区时为饱和速度 v_s , 则 PIN 管电子(空穴)浓度为 I_{C_n}/qAv_s 。A 是有效面积, 主要在 MOS 管之下。因此 PIN 二极管形成一个分流电阻, 其值为

$$R_{pin} = W_{scr}v_s/\mu_p I_{C_n} \quad (5.121)$$

其中 W_{scr} 为高场空间电荷区的宽度。

在确定了图 5-83 等效电路之后, Fossum 等人对动态闭锁进行了计算, 结果发现, dQ_{bc}/dt 一项在关断过程中起相当大的作用, 而在此之前的工作, 均将此项略去了, 它的作用首先是使 MOS 管关断时, 电流的初始下降值减小。此外, dQ_{bc}/dt 这个电流流经 R_{pb} , 使器件的防闭锁能力下降。

防止动态闭锁的方法首先是使静态闭锁电流增加, 其次是改善电路运用条件, 使阳极电压没有过快的变化。

5. 几种横向器件比较

在高压及功率集成电路(HV/PIC)中所采用的 HV/P 器件有两个基本要求: 1) 由于它们是和低压数字或模拟电路集成在一块芯片上, 因此在制造工艺上必须能兼容; 2) 希望 HV/P 器件不要占据太大的面积。

下面比较 LDMOS, LIGT 及 LBMOS 三种器件, 这三种器件如图(5-85)所示^[36]。其中 LBMOS (Lateral Merged Bipolar MOS) 实际上是双极型晶体管和 MOS 的并联, 它在导通时可以有较小的损耗, 而在开或关时则利用了 MOS 的高速特性而使得开关损耗较小。

三种器件都利用了 RESURF 技术, LDMOS 的简单等效电路

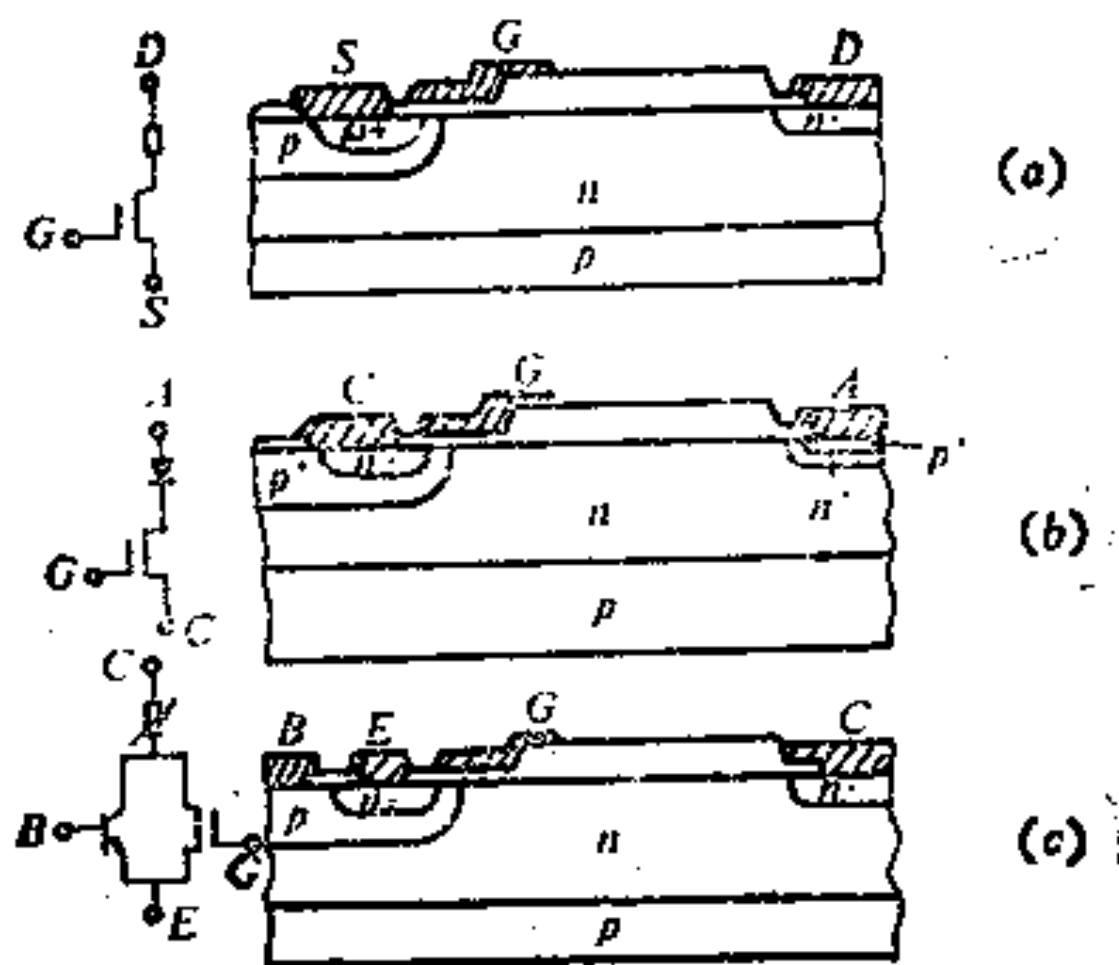


图 5-85 三种器件的结构, a) LDMOS b) LIGT c) LBMOS

是一个MOS管与一个由漂移区形成的电阻相串联。在LIGT中,导通时从沟道区注入电子到漂移区,从阳极注入空穴到漂移区,漂移区成了两种载流子的等离子区,因此漂移区如同一个PIN二极管。当然,实际上还有流经衬底区的电流。在LBMOS的等效电路中,漂移区电阻受到基区注入载流子的调制,用一个可变电阻来表示。LBMOS的上升过程是MOS管先快速导通,然后双极型管受触发导通。关断过程先是注入载流子,通过基极及漏极取出,然后LDMOS被关断。此器件在电流大时的基区注入的空穴可能流入衬底,引起寄生PNP晶体管作用,而且最后导致外延层与衬底之PN结正偏置,从而使器件的电流增益降低。

Jayaraman等人对三种器件做了实验,用 $30\Omega\cdot\text{cm}\langle 100\rangle\text{P-Si}$ 外延 $1.5\Omega\cdot\text{cm}$, $8\mu\text{m}$ 厚N型区的材料,栅氧化为 100nm ,阈电压为 $3\sim 4\text{V}$,漂移区长度为 $25\mu\text{m}$,耐压超过 300V ,器件总作用面积为 0.4mm^2 ,横向NPN晶体管最大电流增益为40,得到三种器件的输出特性如图5-86所示。其中LBMOS是 V_G 固定在 20V , I_B 每次增加 10mA 得到的。图5-87示出了正向 $I\sim V$

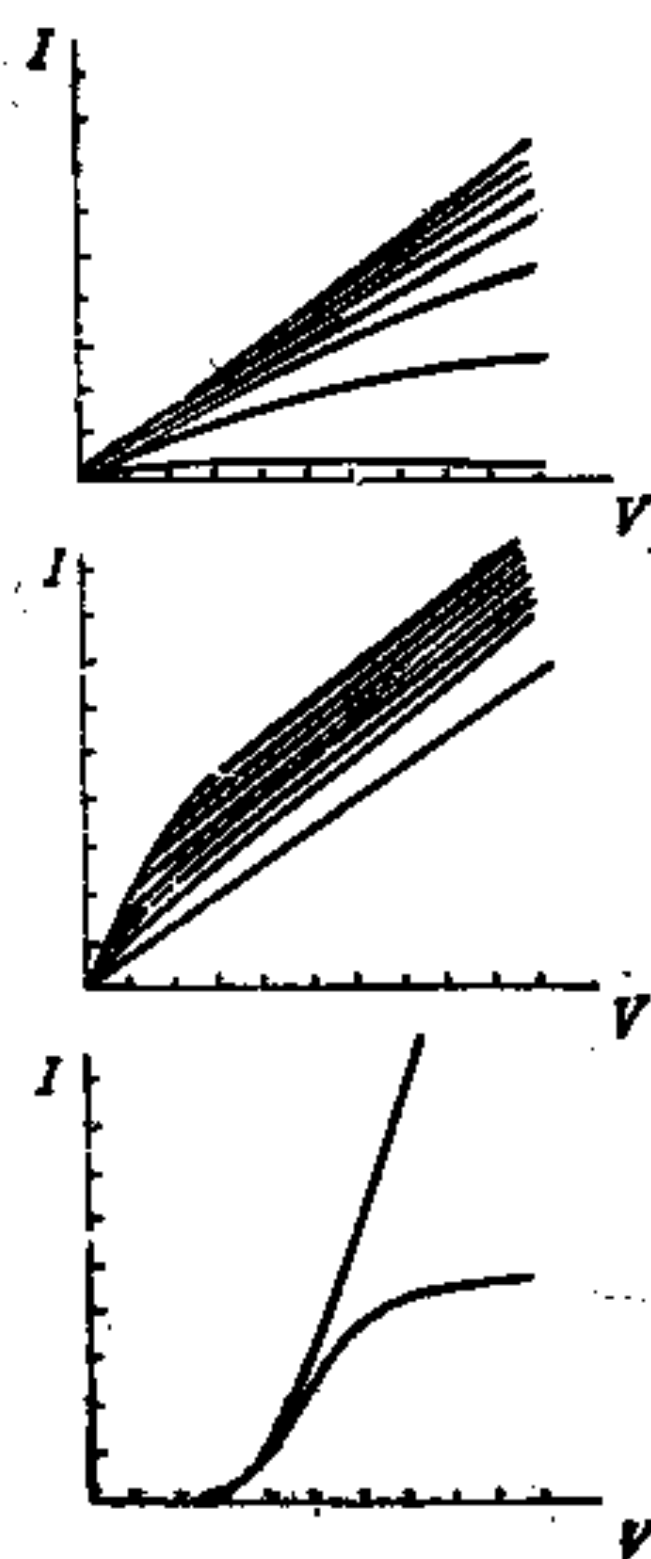


图 5-86 三种器件的输出特性
a) LDMOS b) LBMOS c) LIGT

特性, 为了比较起见, 图中还给出了同样漂移区结构下的二极管特性, 由图可知, 在电压小于 0.7 V 时, LIGT 的电流较小, 而电压大时, 它的电流较大。

图 5-85 的电路中没有显示出流经衬底的电流的作用, 实际上, 在 LBMOS 中, 基极的一部分电流可经过寄生 PNP 管流入衬底, 从而使横向 NPN 管的电流增益降低。在 LIGT 中, 阳极有一部分空穴流向衬底, 其作用可以提高闭锁电流。

三种器件的开关特性如下, LDMOS 的开启及关断时间最短, 为 10 ns 数量级; LIGT 的关断时间较长, 为 5 μ s 数量级; LBMOS 的开启时间与 LDMOS 相同, 而关断时间为 2 μ s。在集成电路中, 可根据电气参数的需要而选用上述器件。

S. Mukherjee^[28] 等人用 3 μ m 线宽 CMOS 工艺, 做成两种开关电源的功率集成电路, 一种是与 LDMOS 相集成, 一种是与 LIGT 相集成, 得到阻断电压 550 V, 最大电流 2.5 A 的电路, 其中还包括温度敏感、过电压及欠电压、过电流等保护电路, 用 100 kHz 的开关频率, 驱动级只要 1.5 mA 的电流。其结果证明, 在应用于中等开关频率时, LIGT 不仅能胜任, 而且可以占用较小的芯片面积。

最近 Parpia 等人提出了在 HVIC 中利用 RESURF 技术及绝缘基区晶体管 (也称 IBT, 但不是 IGT), 证明它具有比单纯采

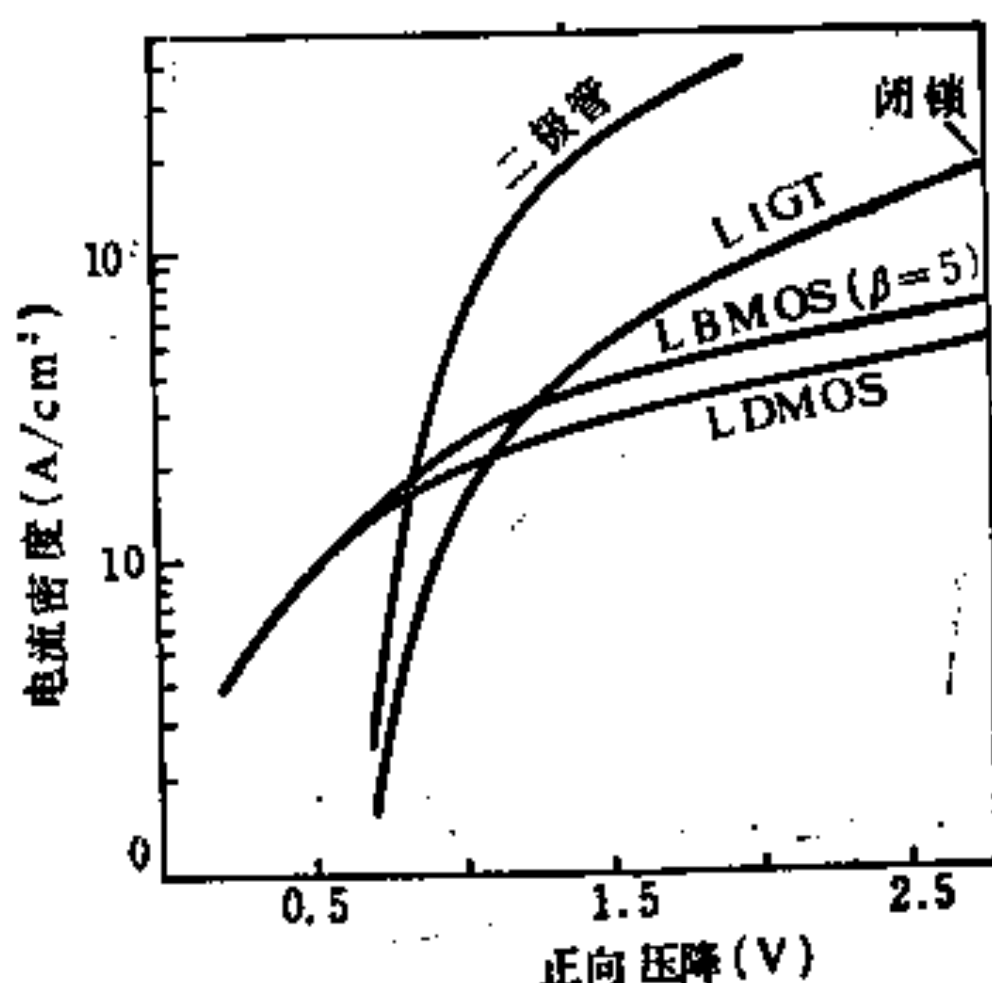


图 5-87 三种器件有源区单位面积的电流与电压关系

用LDMOS及LIGT有更好的效果^[37]。图 5-88示出了这种双极型与 MOS 的组合器件的结构及等效电路，这里 N^+ 发射区、P阱与 N^+ 埋层构成了纵向NPN—IBT（图中的 T_4 ），其基区实际上通过表面 P^+ 、 N^+ 两区的金属接触而与MOS的源极相联通。

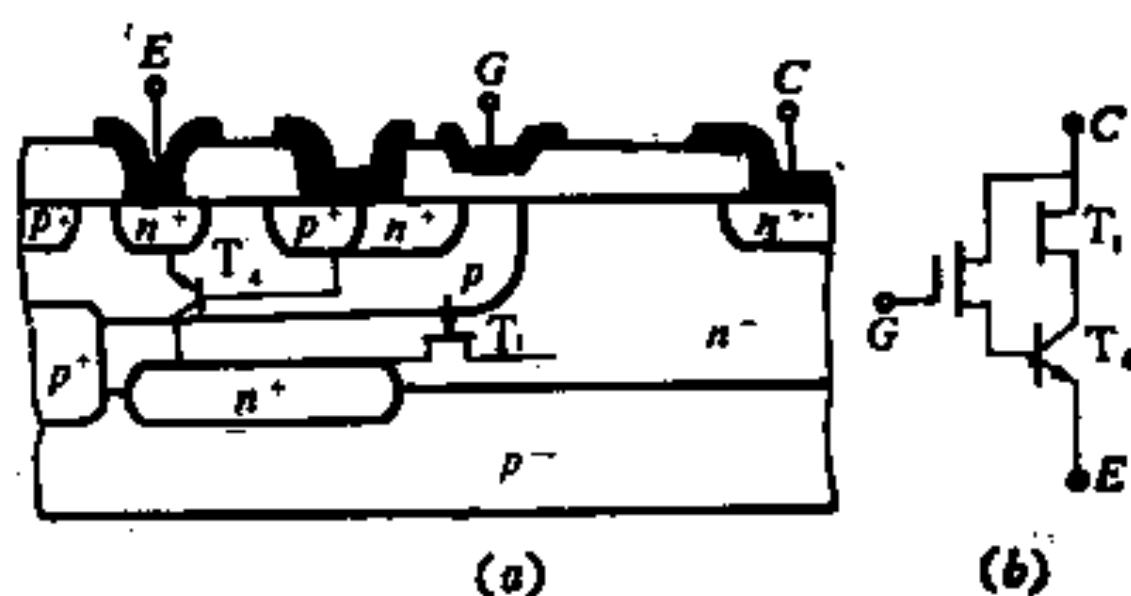


图 5-88 在HVIC中IBT与MOS的组合器件

有源 MOS 的漏与 IBT 的集电极都是经过一个外延区（用作 RESURF）与集电极 N^+ 相联，但 IBT 的集电极实际上还经过一段 P 阱下的窄通道，此通道受 P 阱电压调制，故可认为是一个 JFET。

他们也做了 LDMOS 与两种 LIGT 器件 来 比 较, LDMOS 只是图 5-88 中没有 N^+ 发射区, 并且 N^+ 埋层改为 P^+ 埋层, 此层并和 P 阱相联通。LIGT₁ 与 LDMOS 的区别是 N^+ 漏极 改 为 P^+ 阳极, LIGT₂ 与 LIGT₁ 的不同是在阳极下方的 P 衬底上有一个 N^+ 埋层。

他们发现, 纵向的 T_4 由于电流增益大而有较强的电流处理能力, 而且它没有闭锁的问题。再者, 当阳极电压很高时, JFET 可吸收很大压降, 因此 N^+ 埋层上的区域并无很强的电场。当电压进一步升高后, 漂移区被夹断, 可吸收大量压降, 可见此器件的 $V_{(BR)CB_0}$ 可以很高。众所周知, $V_{(BR)CE_0}$ 低于 $V_{(BR)CB_0}$, 为了改进 $V_{(BR)CE_0}$, 可在基极与发射极之间做一旁路电阻 R_s , 此电阻只需占 IBT 的作用面积的 1%, 于是, IBT 的击穿电压可和 LDMOS 相媲美。

由于双极型器件注入载流子在关断时复合需要时间, 这使下降时间变长, 但是、有了上述分流电阻后, 注入也减少, 因此下降时间变短, 适当调整此电阻, 可使电流处理能力 (单位面积电流) 与下降时间得到兼顾。

他们采用一个优值 (Figure of Merit, 缩写 FM) 来综合反映击穿电压 V_{BR} , 正向电流密度 J_F 和下降时间 t_{off} 三者, FM 定义为

$$FM = \frac{V_{BR} \cdot J_F}{t_{off}} \quad (5-122)$$

实际发现 IBT 的 FM 值最高。几种器件的比较见表 5-3。

上述器件如不用 RESURF 而用 Off-Set 技术 (即采用离子注入), 则击穿电压最高不过 110V, RESURF 所用外延层的电阻率又是与通常标准低压 CMOS IC 工艺中所用外延层相一致, 使高、低压集成方便可行。

表 5-3 图5-88所示的IBT与LDMOS、LIGT₁、
LIGT₂的比较

器 件	击穿电压 $V_{BR}(V)$	电流密度 $J_F(A/cm^2)$	下降时间 $t_{off}(ns)$	优 值 $FM(V \cdot A/cm^2 \cdot ns)$
LDMOS	400	3	90	60
LIGT ₁	70	20	400	3.5
LIGT ₂	220	6	100	7
IBT ($R_g = 1.3k\Omega$)	400	7.6	45	68

参 考 文 献

- (1) T.P.Cange, et al., *Electronics/Febis* p99(1971).
- (2) T.J.Rodgers, S.Asai, M.D.Pocha, R.W.Dutton and J.D.Meindl *IEEE J.Solid-State Circuits* Vol.SC-10 p232(1975)
- (3) S.C.Sun, et al., *IEEE Trans Electron Dev* ED-27 p356(1980)
- (4) M.D.Pocha and R.W.Dutton, *IEEE J.Solid-State Circuits* Vol.SC-11 p718(1976)
- (5) S.Colak, *IEEE Trans Electron Dev* ED-28 p1445(1981)
- (6) H.J.Sigg, et al., *IEEE Trans Electron Dev* ED-19 p45(1972)
- (7) M.D.Pocha, et al., *IEEE Trans Electron Dev* ED-21 p778(1974)
- (8) J.D.Plummer and J.D.Meindl *IEEE J Solid-State Circuits* Vol. SC-11 p800(1976)
- (9) M.J.Declercq and J.D.Plummer *IEEE Trans Electron Dev* ED-23 p1(1976)
- (10) M.D.Pocha, J.D.Plummer and J.D.Meindl, *IEEE Trans Electron Dev* ED-25 p1323(1978)
- (11) A.R.Alvarez, et al., *IEDM Dig* p420(1983)
- (12) O.Ishikawa, H.Yamada and H.Esaki *IEDM Dig* p166(1985)
- (13) K.Awane, et al., *IEEE ISSCC Dig* p224(1978)
- (14) R.S.Ronen, M.R.Splinter and R.E. Tremainjr *IEEE J.Solid-State Circuits* Vol.SC-11 p431(1976)
- (15) M.Pomper, L.Leipold, R.Muller and Riweidlich *IEEE International Solid-State Circuits Conference Dig* p240(1978)

- [16] 陈星弼, 唐茂成, 《晶体管原理与设计》, 成都电讯工程学院出版社
p256(1987)
- [17] X.B.Chen(陈星弼), et al., *IEEE Trans Electron Dev* ED-p3344
(1987)
- [18] S.Ochi, et al., *IEEE Trans Electron Dev* ED-27, p399(1980)
- [19] T.Yamaguchi and S.Morimoto *IEEE Trans Electron Dev*, ED
29 p1171(1982)
- [20] T.Okabe, et al., *IEEE Trans Electron Dev* ED-27 p334(1980)
- [21] H.Sakuma, T.Suzuki and M.Sato *IEDM Dig* p254(1982)
- [22] I.Yoshida, T.Okabe, M.Katsueda, S.Ochi and M.Nagata
IEEE Trans Electron Dev ED-27 p395(1980)
- [23] K.C.Saraswat, J.D.Meindl and J.Berger *IEEE J.Solid-State
Circuits* Vol.SC-10 p136(1975)
- [24] J.A.Appels and H.M.J.Vaas *IEDM Dig* p23(1979)
J.A.Appels, M.G.Collet, P.A.H.Hart, H.M.J.Vaas and
J.F.C.M. Verhoeven, *Philips J.Res* 35 p1(1980)
- [25] E.J.Wildi, P.V.Gray, T.P.Chow and H.R.Chang *IEDM Dig*
p288(1982)
- [26] E.H.Stupp, S.Colak and J.Ni, *IEDM Dig* p426(1981)
- [27] K.Board and M.Darwish, *IEEE Proceedings* Vol.132 pt I No.4
p177(1985)
- [28] D.N.Pattanayak, et.al., *IEEE Trans. Electron Devices* Vol.
ED-33, No.12, pp1958~1963(1986)
- [29] A.L.Robinson, et.al., *IEDM 85 Technical Digest*, pp744~
747(1985)
- [30] P.A.Gough, *PRL, Redhill Report* *3294, Jan.1985(1985)
- [31] M.R.Simpson et.al., *IEDM 85 Technical Digest*, pp740~
743(1985)
- [32] T.P.Chow et.al., *IEEE Electron Device Letters*, Vol.9,
No.9pp450~452(1988)
- [33] J.G.Fossum, Y.S.Kim, *IEEE Trans. Electron Devices*,
Vol.35, No.11, pp1977~1985(1988)
- [34] J.G.Fossum, S.Veeraragharan, *IEEE Electron Device Lett.*,
Vol.EDL-7, pp652~654, Dec(1986)
- [35] R.Jayarman et.al., *IEDM 84 Technical Digest*, pp.258~261
(1984)
- [36] S.Mukherjee, et.al., *IEDM 87 Technical Digest*, pp.778~781
(1987)
- [37] Z.Parpia, et.al., *IEEE Trans, Electron Devices*, Vol.35,
No.10, pp1687~1694, (1988)

第六章 其它器件

本章将简略介绍除功率 MOS 器件和双极功率晶体管外的一些其它半导体功率器件。静电感应器件又称为结型功率场效应器件，它与功率 MOS 器件一道，被认为是两种较好的高速功率器件。我们首先介绍静电感应器件，然后再介绍除 IGT 外的复合器件。

§ 6-1 静电感应晶体管

静电感应晶体管 (Static Induction Transistor, 简称 SIT) 是一种电场控制器件，具有高频、高速和大功率的优良性能，受到了人们的广泛注意^[1,2]。

SIT 单元的基本结构如图 6-1 所示，有埋栅结构(a)和表面栅结构(b)两种型式。这里沟道区 (N^- 区) 是低掺杂浓度 (约为

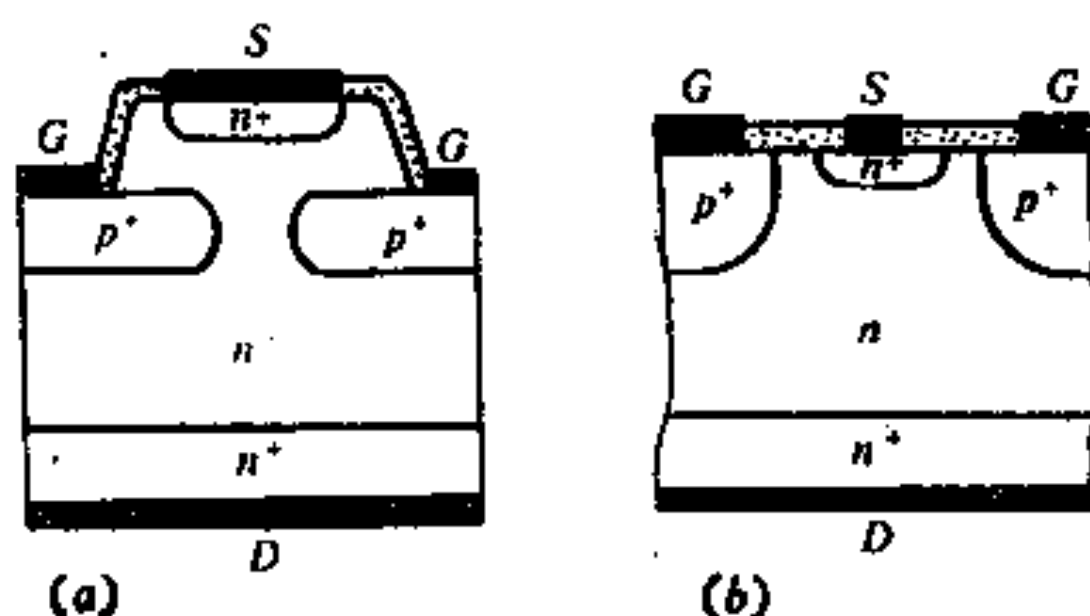


图 6-1 单元的结构
(a)埋栅结构; (b)表面栅表构

$10^{13} \sim 10^{14} \text{cm}^{-3}$) 的, 在零栅偏压下, 由于栅结势垒区的扩展, N^- 沟道区即成为耗尽区了。这时若在源、漏之间加上电压 (源接负、漏接正), 则电子自源极注入, 在耗尽的沟道中将被电场很快拉到漏极; 如果在栅、源极间再加上负电压 (栅极接负), 这将使得在栅极与栅极之间的沟道处形成阻挡电子运动的势垒, 改变有效栅电压以控制此势垒高度, 即可控制漏极电流的大小并获得放大作用。图 6-2 示出了 SIT 在加有栅压时自源到漏的电子势能的变化。

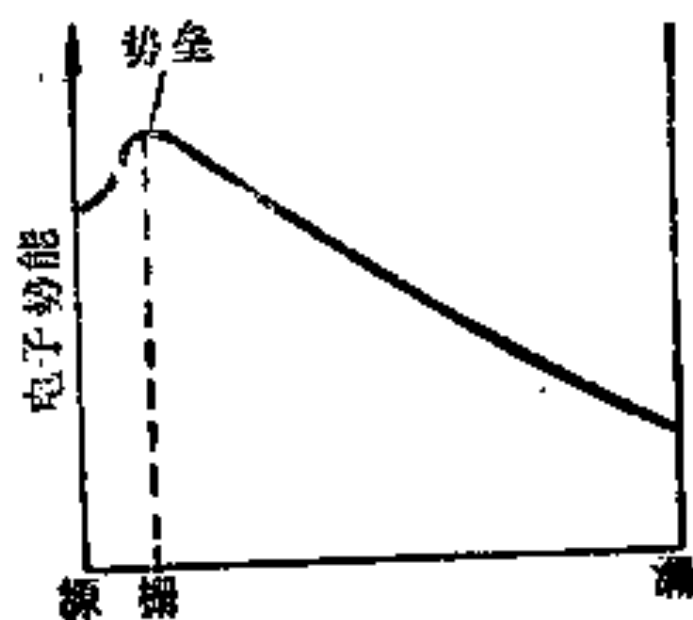


图 6-2 SIT 中电子势能的变化

SIT 的工作情况与垂直导电的功率 MOS 相比较, 有许多共同之处。例如, 出自源极的电子, 越过较短的势垒区后, 即同样扩展、纵向漂移到漏极, 因此器件的串联电阻也比普通长沟道场效应晶体管低得多。又如, SIT 的电流通路上也不存在 PN

结, 一般不会发生二次击穿, 有较宽的安全工作区。再如, SIT 也是多数载流子工作的器件, 而且有效沟道 (即栅间的势垒区) 长度很短、 N^- 漂移区中也有较强的电场, 因此工作频率和开关速度也同样较高。此外, SIT 的漏极电流也具有负的温度系数, 可避免因温度升高而引起的恶性循环效应, 从而也可以象功率 MOS 那样, 用很多个单元并联起来工作, 以增大电流控制容量。应当指出的是, 虽然 SIT 的输入阻抗不如 MOS 那么高, 但由于 SIT 的栅结是反偏的, 则也同样具有远高于双极晶体管的输入阻抗。可见, SIT 也是一种优于双极晶体管和一般场效应晶体管的高频、高速功率器件。

对表面栅 SIT 的分析表明^[3], 只有当沟道夹断到一定深度 (即栅 PN 结势垒交迭到一定程度) 后, 也就是只有当沟道的有效长宽比大于一定值时, 才有可能出现势垒。进一步的 分析^[4]

指出：表面栅 SIT 中势垒的形成与源、沟的 N^+N 结有关，而埋栅 SIT 中势垒的形成却与源、沟的 N^+N 结无关。

在源极附近的电子势垒的高度和宽度，不仅随负栅压 V_G 而变化，而且也随漏电压 V_D 而变化。电子欲从源极进入漏极，必须要越过势垒；而源-栅间距一般在数 μm 以上，但硅中的电子平均自由程在光学声子散射下约为 6nm ，因此源中的电子直接依靠热发射而越过势垒是不大可能的，只有依靠扩散作用越过势垒而实现电流的传输^[6]。当然，这种扩散过程将会影响到器件的频率和速度。

分析指出^[6]，改变沟道的掺杂浓度和器件的尺寸等，可以改变源——栅间的电势分布。可使电势梯度自负变到 0，从而相应的电流传输机构也将发生变化。图 6-3 中示出了三种典型的电

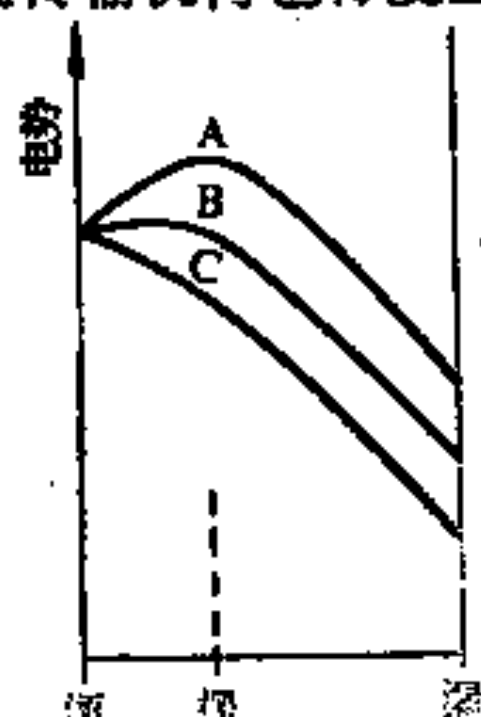


图 6-3 三种典型的电势分布

势分布型式，其中 A 对应于势垒限制电流的情况 (SIT 即如此)，相应的电流-电压特性为以下将要讨论的指数式特性；B 对应于空间电荷限制电流的情况，其电流-电压特性即为模拟晶体管的 $3/2$ 关系；C 对应于串联电阻限制电普的情况，其电流-电压特性即为流通场效应晶体管的饱和特性。

现有的 SIT 一般都是垂直导电结构的，实际上也可以象 LD MOS 一样做成横向沟道结构的。而且在栅的结构上，不仅可以是 PN 结型的，同时也可以是 Schottky 结型的，甚至可以是 MOS 型的。所谓透明基区晶体管 (PBT)^[7]，实质上也可以认为是一种 Schottky 结型栅的 SIT，用 GaAs 和钨栅制成的这种器件，在 4GHz 频率、 9dB 增益时，噪声系数为 3.5dB ， f_{max} 达到 17GHz 。

SIT 与垂直导电功率 MOS 的最大不同点就在于对电流控制

的方式上。在 SIT 中, 栅极是通过改变如图 6-2 所示的电子势垒的高低和宽窄来控制电流传输的, 因此 SIT 将有不同于功率 MOS 的伏安特性。实验表明^[8], I_D 与 V_G 间, 以及 I_D 与 V_D 间基本上有指数关系:

$$I_D = I_0 \exp \left\{ -\frac{q}{kT} \eta \left(V_G - \frac{V_D}{U} \right) \right\} \quad (6-1)$$

其中 $U = (\partial V_D / \partial V_G)_{I_D = \text{常数}}$ 是电压放大系数, 将随 V_D 增大而增加; $\eta = (\partial V_G^* / \partial V_G)$ 是栅电压改变所能引起势垒变化的比例, 将随 V_D 增大而降低; V_G^* 是固有栅的势垒高度, 与栅电压 V_G 和漏电压 V_D 均有关; I_0 是与源区载流子浓度和势垒宽度等有关的常数。

在电流较大时, 观测到 I_D 与 V_G 间有线性关系, 这种关系被认为是由于沟道串联电阻 γ_s 的影响^[8]:

$$I_D \approx \frac{1}{(1+U)\gamma_s} V_D - \frac{U}{(1+U)\gamma_s} V_G \quad (6-2)$$

对于常数 I_0 , 在电子以扩散机构通过势垒区的情况下,

$$I_0 = \frac{qD_n}{L_n} n_s \quad \text{或} \quad \frac{qD_n}{W_p} n_s \quad (6-3)$$

式中 D_n 和 L_n 是源极附近的沟道区中的电子扩散系数和扩散长度, W_p 是栅极势垒的有效宽度。

因为 I_D 受栅极势垒的控制, 而势垒的高度和宽度均与 V_G 和 V_D 有关, 所以要很好解决 SIT 的伏安特性, 需要用计算机来求解二维、甚至三维的 Poisson 方程和输运方程^[9]。

为直接明确器件的物理参数和结构参数对器件性能的影响, 简单的一维分析还是有意义的。前述的讨论未考虑到势垒形状的影响。这里若认为栅极势垒的形状是开口朝下的抛物线形式, 即设电子电势可表示为^[5]

$$V(x) = \frac{|\phi|}{W^2} x(x - 2W) \quad (6-4)$$

式中 W 是势垒宽度 (随 V_D 而变化), x 的方向是由源极指向漏极, 则根据载流子在势垒区的漂移和扩散作用, 仿照金属-半导体接触的 Mott 理论, 可求得漏极电流密度^[8]

$$I_D = qD_n n_s \frac{\sqrt{q\phi/\pi kT}}{W} \exp(-q|\phi|/kT) \quad (6-5)$$

这里势垒高度 $|\phi| = |\eta V_G - (V_D/U) + C|$, C 是与电离杂质电荷有关的常数。与前面 (6-1) 和 (6-3) 式比较之即见到, 这里的有效势垒宽度为

$$W_{eff} = W / \sqrt{q\phi/\pi kT}$$

这说明漏电流的变化是由改变势垒高度和有效势垒宽度 W_{eff} 来控制的。(6-5) 式计算的结果与实验符合较好。

SIT 具有上述指数式伏安特性并不是偶然的。实际上, 对普通的场效应晶体管, 通过缩短沟道和降低沟道的掺杂浓度, 也可以得到不饱和的伏安特性^[10, 11]。对短沟道场效应晶体管, 这是容易理解的, 因为沟道的缩短, 栅极将不能完全屏蔽漏极电压的作用, 漏极电压将能直接影响到源极电位, 从而可以得到不饱和伏安特性。从本质上来说, 普通场效应晶体管的饱和特性, 主要是由于串联沟道电阻的负反馈作用的结果^[8], 沟道的缩短, 主要作用也就在于减小了串联沟道电阻。所以, 在这种意义上也可以说, SIT 是一种短沟道的结型场效应晶体管, 故也有人称 SIT 为功率结型场效应晶体管。

SIT 的伏安特性的具体型式与栅间距有关。图 6-4 中示出了三种不同的情况: (a) 栅间距较大或沟道掺杂浓度较高, 在 0 栅偏压时栅结的空间电荷区互相不接触, 呈现出可变电阻式的线性伏安特性; (b) 栅结空间电荷区在 0 栅偏压时恰好互相接触,

呈现正常的指数上升的伏安特性；(c)栅间距很窄，在 0 栅偏压时沟道区即全被耗尽，这时只有在较高的 V_D 下才能导电。

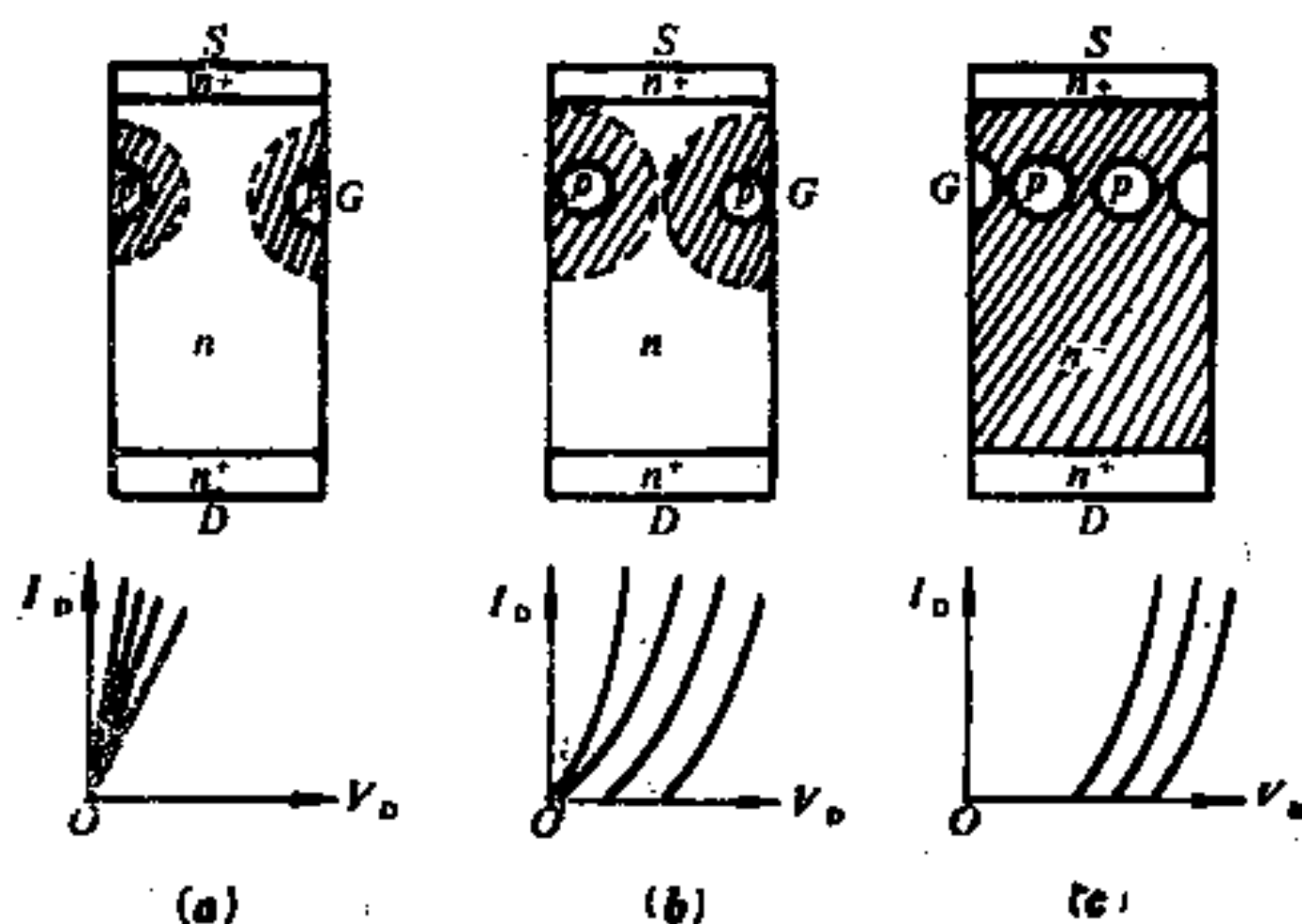


图 6-4 SIT 的栅间距对伏安特性的影响

对 SIT 伏安特性的温度关系进行测量分析表明^[8]，在指数关系近似成立的条件下， I_D 是热激发越过势垒的电流，因此 I_D 随温度的升高而增大；但在 I_D 较大时，电流将主要不是受势垒高度的限制，而是受空间电荷的限制或受沟道串联电阻的影响， I_D 的温度系数为负。这种伏安特性温度系数的变化情况与普通场效应晶体管的相似，在沟道未夹断时， I_D 的温度系数为负，在沟道被夹断后，温度系数变为正。因此，SIT 也象普通的场效应晶体管一样，是一种多数载流子器件。

显然，SIT 的噪声也象结型场效应晶体管一样，是较低的。因为这里不存在有双极晶体管中的那样散粒噪声和配分噪声等机理，而且表面的影响也很小。

此外，实验指出，SIT 的放大线性度很好。因此，这种器件较宜于在要求放大失真小的仪器设备中使用。

SIT 也同功率 MOS 一样，外加漏极电压主要是降落在较厚的漂移区上的。因此，为提高器件的耐压，就必须增大漂移区的厚度和减小漂移区的掺杂浓度，但这同时会引起导通电阻 R_{on} 的增大和频率响应变坏。对漂移区掺杂均匀和电压超过 100V 的情况， R_{on} 将随击穿电压 V_{BR} 很快增大^[2]：

$$R_{on} \cdot A = 5.914 \times 10^{-9} V_{BR}^{2.5} \quad (6-6)$$

式中 A 为器件面积。若漂移区掺杂非均匀，有一适当的分布，则 R_{on} 可以略低一些^[12, 13]。

SIT 的高频等效电路如图 6-5 所示^[14]。图中虚线所包围

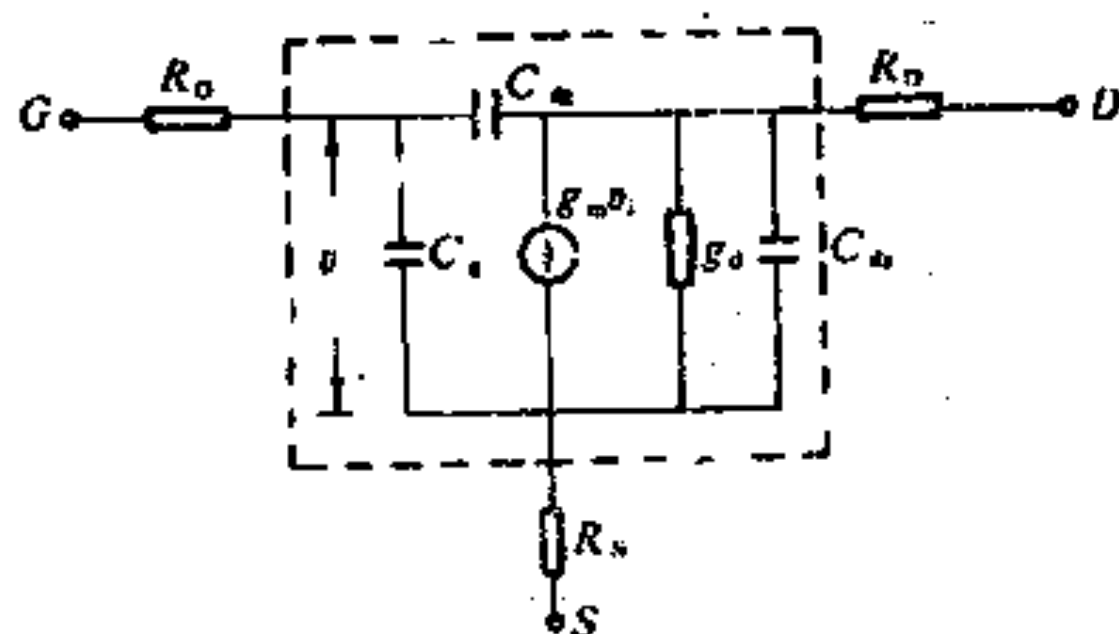


图 6-5 SIT 的高频等效电路

的部分为本征管， R_G 、 R_s 和 R_D 分别为栅、源和漏极的串联电阻。对本征管，在忽略了载流子的渡越时间之后，最大稳定增益为：

$$MSG = \frac{\sqrt{g_m^2 + (\omega C_{dg})^2}}{\omega C_{dg}} \quad (6-7)$$

其中 $g_m = \partial I_D / \partial V_G$ 是跨导， C_{dg} 是漏-栅间的电容， ω 是角频率。因此，为了提高本征 SIT 的高频性能，就应当增大 g_m 和减小 C_{dg} 。当然，寄生元件 R_G 、 R_s 和 R_D 是必须减小的。在充分降低了寄生元件的情况下，特别值得注意的就在于减小 C_{dg} 。 C_{dg} 与源区的面积成正比，而与势垒区的厚度成反比。但势垒区越厚，则载流子的渡越时间就越大，而且势垒区的电阻也越大，这

将要影响到输出功率等。因此，减小源区的面积是很必要的。为了能工作于大电流，就应当在缩小图形面积的情况下尽量加大源区的总周长。

对表面栅 SIT 的分析和测量表明^[15]，电压放大系数 $U = \partial V_D / \partial V_G$ 近似与 $\sqrt{V_D}$ 成正比，当 $V_D = qN_D / (2\varepsilon)x_g^2$ 时， U 值达到最大，即

$$U_{\max} = 2x_g x_{gd} / a^2 \quad (6-8)$$

这里 x_g 是栅结深度， x_{gd} 是栅结与漏极间的距离， a 是两相邻栅结间距之半， N_D 是沟道区中的掺杂浓度， q 是电子电荷， ε 是介电常数。

现在已研制出了 1GHz, 100W, 增益为 4dB 的 SIT^[16]，以及高击穿电压 ($V_{(BR)GD} = 600V$, $V_{(BR)GS} = 70V$)，最高振荡频率 ($f_{\max} = 700\text{MHz}$) 的 SIT (在 100MHz 时输出功率为 216W、增益为 7.5dB、漏极效率为 55%)^[17]。这里为了改善芯片的散热性能，往往是把数个芯片并联组合起来进行封装的；同时，为保证在高频下功率能均匀地分配到各个芯片上，在管壳内需采用匹配网络。

在 SIT 中，控制电流传输的势垒高度 ϕ ，既与栅间距有关，也与材料的掺杂浓度有关，如图 6-6 所示 (图中 V_{bi} 是栅结的内建电势)^[18]。因此，如果适当减小栅间距和降低掺杂浓度，则沟道完全可以被栅结的内建电势所夹断，从而建立起一个阻挡电子通过的势垒，这时对应于在 0 栅偏压下是截止的器件，即增强型场效应器件。只有当栅电压为正时才能导通，这种工作情况与一般双极晶体管的相同，故又称这种在 0 栅偏压上是截止的 SIT 为双极型静电感应晶体管 (BSIT)。

BSIT 具有高电流增益、大电流密度等特点，其电流增益很容易做到数千以上 (特别是在小电流时)，电流密度可以达到 $5 \times 10^4 \text{A/cm}^2$ ^[18]。

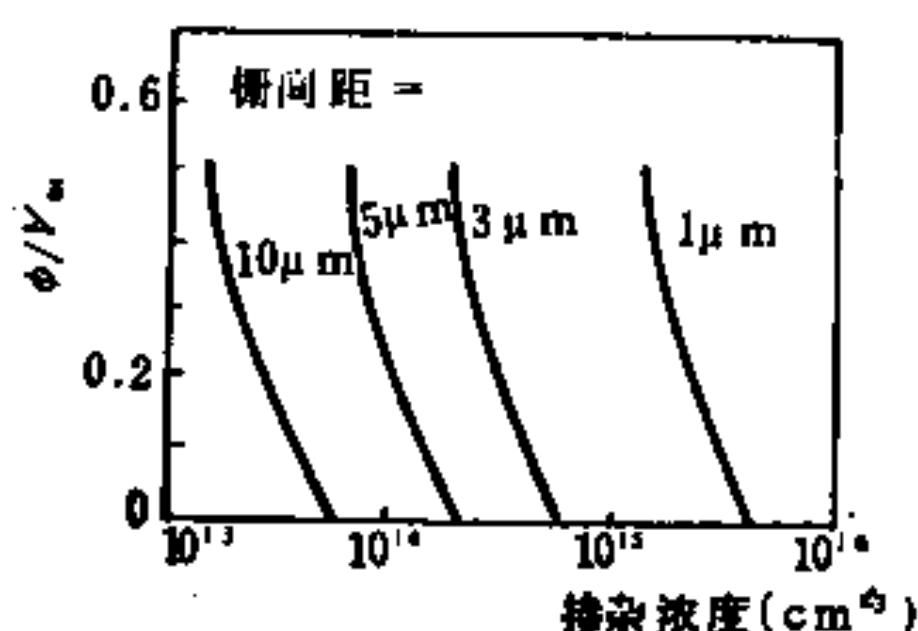


图 6-6 势垒高度 ϕ 与栅间距和掺杂浓度的关系^[18]

在 BSIT 中，因为栅极加有正偏压，这将会产生少数载流子空穴自栅区往 N^- 漂移区注入的现象。在栅极电流足够大时，这种注入可以看作是大注入情况，可引起高阻 N^- 区发生电导调制，从而可大大减小器件的导通电阻（可比 SIT 减小 2 个数量级）。当然，由于少数载流子的注入现象，BSIT 的开关速度将比 SIT 的要慢，不过器件的关断时间可以小于 $100\mu\text{s}$ ，工作频率可以达到 1MHz 。因此，可以说 BSIT 是一种很好的高速大功率开关器件，值得指出的是，对 BSIT 需要有一个低阻抗的栅极激励电路，以便在器件导通和关断时能提供和吸收一个很大的栅极电流。

§ 6-2 静电感应晶闸管

静电感应晶闸管又称为场控晶闸管（Field Controlled Thyristor，缩写 FCT），是 1975 年前后发展起来的一种新型晶闸管。它因具有低的正向压降、高的开关速度和高的正向阻止增益等优良特性而受到了人们的很大关注^[18-21]。

FCT 的结构与 SIT 相似，基本上也有埋栅结构和表面栅结构两种，差别仅在于 FCT 的阳极处多了一个 P^+N 结（即把 SIT 漏极处的 N^+ 区换成了 P^+ 区）。这种结构实际上可以看成是在 P^+IN^+ 结的本征区中增设有栅极（ P^+ 栅区）而构成的。这时传

输电流的载流子不单只是从阴极注入的电子，同时也有从阳极注入的空穴，以致高阻漂移区发生电导调制，从而可大大降低漂移区的串联电阻。但是这时电流的传输同样要受到栅结处势垒的限制，因此也将呈现出指数式上升的类真空三极管的伏安特性。可以见到，在阴极接负、阳极接正的情况下，当栅偏压为 0 或加上小的正向电压时，FCT 将呈现完全的正向传导状态，这时就如同一只 P^+IN^+ 二极管；正因为如此，不仅 FCT 具有较低的正向压降，而且也具有较强的抗瞬态过载电流的能力。

FCT 在正向传导状态时，栅区的存在对器件的正向压降应当是有所影响的，但是在实验样管中并没有观察到这种效应^[22]。所以这时器件的行为很象是一个阴极面积有限的 P^+IN^+ 二极管。

对 P^+IN^+ 二极管，考虑到阳极和阴极两端头区（ P^+ 区和 N^+ 区）的复合作用，可求出 I 区中载流子浓度的分布和 I 区上的压降 V_{II} ，如图 6-7 所示^[23]。可见，电子和空穴浓度在两端高低结

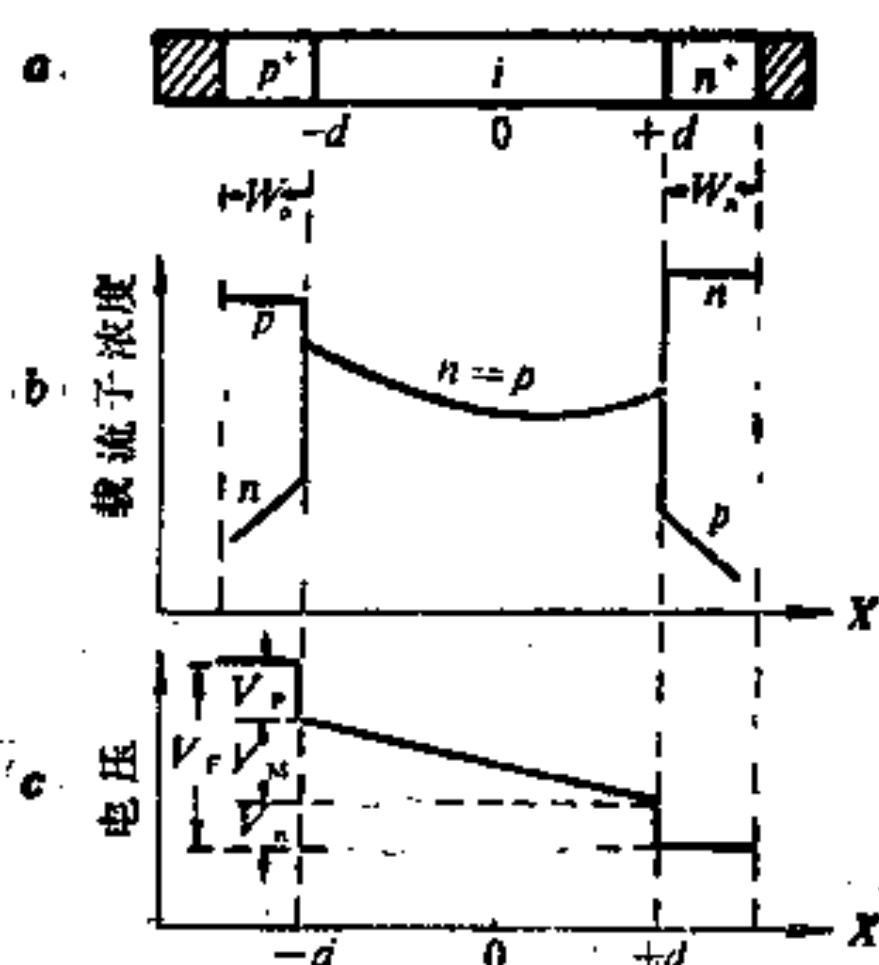


图 6-7 P^+IN^+ 二极管中载流子浓度的分布(b)和电压分布(c)

处($x = \pm d$)最高；然后随着往 I 区中心的靠近而逐渐下降，而此下降的快慢决定于 L_A （双极扩散长度）的大小（在中等电流密度下， $L_A = \sqrt{D_A \tau_A}$ 主要由 τ_A 控制， $\tau_A = \tau_n + \tau_p$ 为大注入时的载

流子寿命, D_A 为双极扩散系数)。在大注入情况下, I 区中电导调制效应是很显著的, 从而 I 区上的压降可以很小; 但是若 τ_A 很短, I 区中载流子浓度的分布太不均匀, 以致在 $x=0$ 附近处的载流子浓度过低, 则在此部分的电导调制效应就将很弱, 这时就会使整个 I 区上的压降 V_M 大大增加。而 P^+IN^+ 二极管两端高低结上的压降 (分别用 V_p 和 V_n 表示) 与 I 区两端 ($x=\pm d$) 处的载流子浓度 $n(+d)$, $n(-d)$ 有关^[23]:

$$V_p + V_n = \left(\frac{kT}{q} \right) \ln \frac{n(+d) \cdot n(-d)}{n_i^2} \quad (6-9)$$

从而 P^+IN^+ 二极管的总的正向压降为:

$$V_F = V_M + V_p + V_n \quad (6-10)$$

在二极管中正向压降的分布如图 6-7(c) 所示。

在正向压降 V_F 中, 如果起决定作用的是 I 区上的压降 V_M , 则任何增大比值 (d/L_A) 的作用都将导致 V_F 增加。例如, 当载流子浓度超过 10^{17} cm^{-3} 时, 电子-空穴间的散射效应将很显著, 使双极扩散系数 D_A 减小。又如, 同样当载电子浓度大于 10^{17} cm^{-3} 时, Auger 复合过程将决定着少子的寿命, 使双极寿命 τ_A 减短。这些作用都将使 L_A 随注入水平的提高而减短, 致使 I 区中载流子浓度分布的不均匀性增大, 从而扼制了 I 区的电导调制, 导致 V_F 增加。此外, 若增大 I 区的宽度 $2d$, 这也将增大其中载流子浓度分布的不均匀性, 导致 V_F 增加。

如果在 V_F 中起决定作用的是 V_p 和 V_n , 则两端头区的掺杂浓度等的变化都将要影响到器件的正向压降。因为端头区是高掺杂的, 载流子复合严重 (Auger 复合), 而且有禁带变窄效应。这种载流子在端头区的强烈复合和禁带变窄将引起一部分自 I 区往两端头区注入的电流 (实际上两端高低结的注射效率不会严格等于 1), 这将减小自两端往 I 区注入的正向电流, 即降低注入到 I 区的平均载流子浓度, 因此可使 V_p 和 V_n 减小。

应当指出, 虽然端头区的强烈复合作用和禁带变窄效应可使两高低结上的压降减小, 但由于同时也减小了注入到 I 区的平均载流子浓度, 则将使 I 区的电导调制效应减弱, 从而将引起 I 区上压降的升高。可以想象, 若选用 τ_A 值较低的 I 区材料和增大 I 区的宽度 $2d$, 则将使 I 区中注入载流子浓度分布的不均匀性增加, 减小了注入的平均载流子浓度, 这可降低 $(V_p + V_n)$, 但却将使 V_M 增加。因此可以说, 降低 $(V_p + V_n)$ 与降低 V_M 之间存在有一定的矛盾^[24]。

P^+IN^+ 二极管在正向传导时, I 区总是处于大注入状态, 不仅电导调制作用是显著的, 而且禁带变窄效应也应加以考虑^[25]。

在分析 P^+IN^+ 二极管的正向压降时, 对 I 区若全面考虑到各种因素 (载流子间散射、Auger 复合、禁带变窄、端头区复合) 的影响, 通过分析注入到 I 区中的平均载流子浓度后指出^[24]: 当正向电流密度 J 较大 (例如 $J > 1000 \text{ A/cm}^2$) 时, V_F 主要决定于 V_M , 这时减短 I 区宽度 $2d$ 、提高寿命 τ_A , 均可降低正向压降; 当 J 适当小 (例如 $J < 500 \text{ A/cm}^2$) 时, V_F 主要是两端高低结上的压降, 则增长 $2d$ 和减短 τ_A 却反而可使正向压降减低; 在适当的 J 时, 存在有某个最佳的 $2d$ 和 τ_A 值, 使得正向压降最小。图 6-8 示出了在正向压降保持为最小时, 所求得的 τ_A 与 $2d$ 之间的关系^[20]。可见, 在 J 较小时, τ_A 与 $2d$ 间有单值关系, 而在 J 较大时, 有一个可供选取的范围以使 V_F 最小。

实验观测表明, 上述 P^+IN^+ 二极管正向压降的讨论可直接应用于 FCT, 虽然栅区的存在有可能使正向压降有所增加, 因此, 我们通过适当地选取材料参数和合理地设计结构尺寸, 把 FCT 的正向压降制作得较低, 以满足大功率的要求。

如果在 FCT 的栅极上施加一个足以使沟道区耗尽的负电压, 则在沟道中形成了阻止阳极-阴极间电流流通的势垒, 器件即处于正向阻断状态。只有当阳极电压 V_A 使势垒降低到适当程度时, 才有阳极电流 I_A 流通。实验给出关系^[26]:

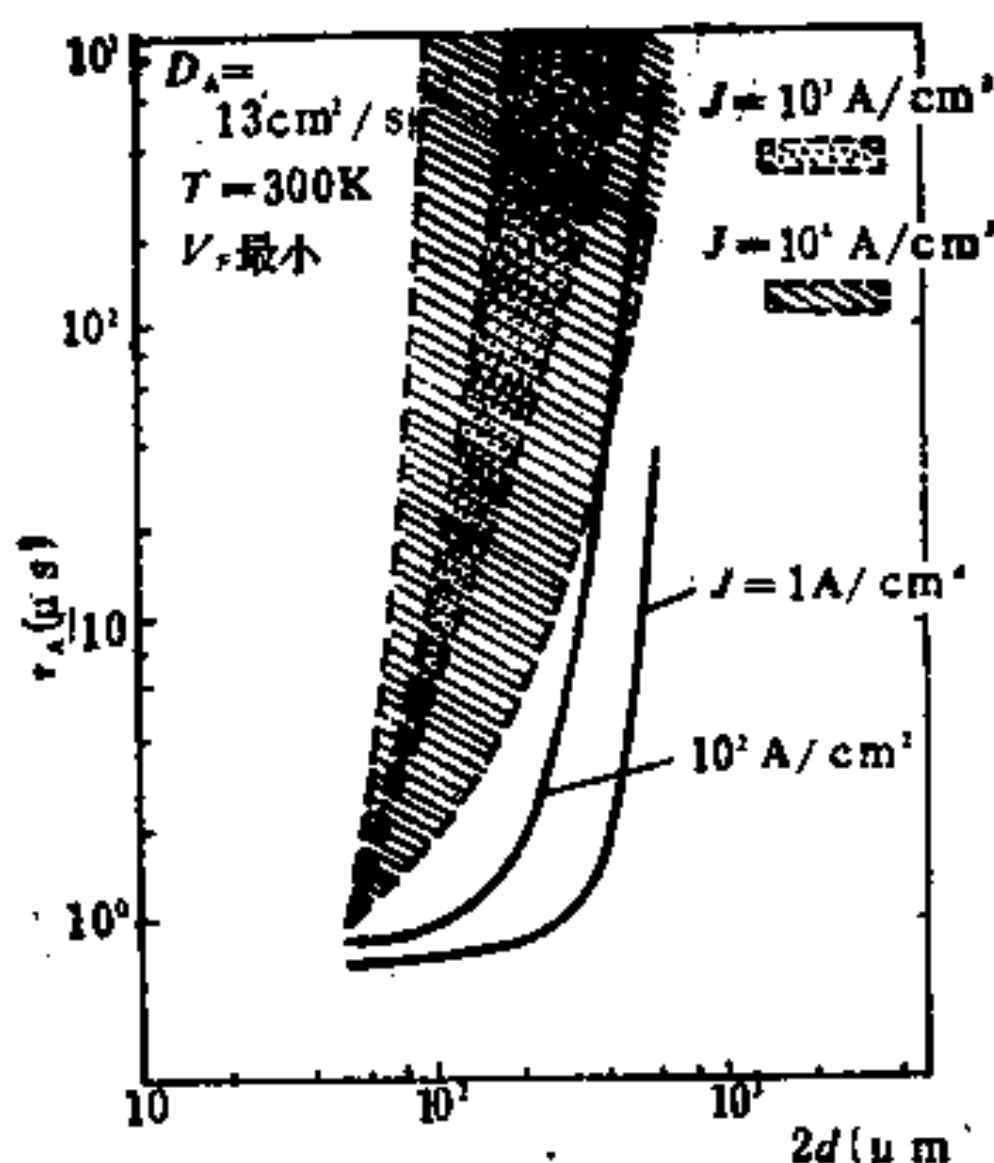


图 6-8 在保持 V_F 最小时, τ_A 与 $2d$ 的关系 [20]

$$I_A = I_0 \exp[-q(\beta V_A^2 - \alpha V_G)/kT] \quad (6-11)$$

从而可直接求得 FCT 的正向阻断增益 G 为

$$G = \frac{V_A}{V_G} = \frac{1}{V_G} \left[\frac{kT}{q\beta} \ln\left(\frac{I_A}{I_0}\right) + \frac{\alpha}{\beta} V_G \right]^{1/2} \quad (6-12)$$

这种 G 与 V_G 和 I_A 的关系, 同实验结果基本相符。

FCT 的阳极-栅极间存在有寄生 $P^+N^-P^+$ 晶体管。在正向阻断状态时, 阳极起着该寄生晶体管发射极的作用; 而在反向阻断状态 (阳极接负电压, 阴极接正电压) 时, 栅极将起着该寄生晶体管发射极的作用。该寄生 $P^+N^-P^+$ 晶体管是一只基极开路的晶体管。FCT 的最高工作电压即主要受到该基极开路的寄生晶体管的击穿电压的限制。为了提高耐压, 就必须增大 N^- 区的厚度和减小 N^- 区的掺杂浓度。然而 N^- 区厚度的增大一般将会导致器件的正向压降增大 (因 V_M 增大), 虽然掺杂浓度的减小可使载流子寿命增长, 对正向的压降的增加有一定的补偿作用。FCT 的正向压降一般会随其击穿电压的增加而增大。因此, 在设计 N^-

区的厚度和掺杂浓度时，必须要在高的击穿电压和低的正向压降之间进行折衷考虑。

FCT 除正向压降外，开关速度也是一个值得关心的问题。

当栅极上加有一定的负偏压时，阳极电流 I_A 将随阳极电压 V_A （阳极接正、阴极接负）的增加而指数式上升，一旦栅极的势垒降低到一定程度时， I_A 即突然增大、 V_A 迅速下降，器件即进入到传导状态。FCT 这种正向工作状态的变化如图 6-9 伏安特性所示。

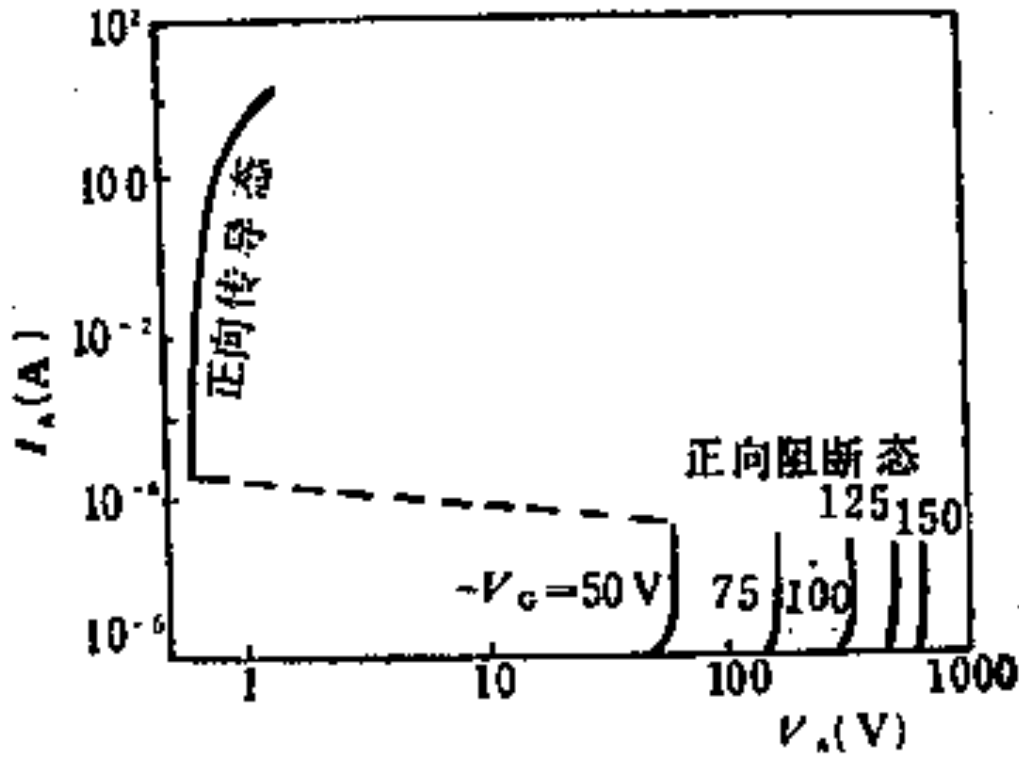


图 6-9 FCT 的正向伏安特性

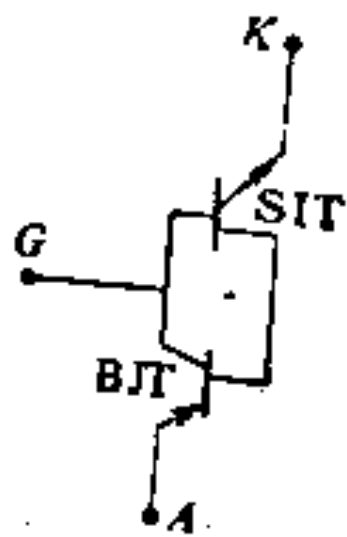


图 6-10 FCT 的双晶体管模型

在正向工作情况下，FCT 由阻断态（关态）转变为传导态（开态）的过程，也可用图 6-10 所示的双晶体管模型来说明。在阻断态时，电流较小，主要是 SIT 起作用，电流随电压指数增加；而当电流增加到一定程度时，通过双极晶体管 BJT 的作用，即导致 SIT 完全导通，整个 FCT 就变成了一只 $P^+N^-N^+$ 二极管，正向电压减小，电流增大，从而进入到传导态。可以看到，在正向阻止状态下，若去掉栅偏压，FCT 即马上进入传导态。所以，FCT 的开启速度是很快的。

FCT 可以通过小的栅极电压来关断大的阳极电流，这是 FCT 在应用上的一大特点。不仅如此，FCT 的关断速度也是较快的，因为当栅极一加上反偏压时，栅极即具有很大的从沟道中抽取载流子的能力。因此在关断过程中，几乎观察不到存贮时间，而主

要是下降时间 (t_{off})^[20]。当然, 在关断过程中栅极因抽取载流子而产生的电流越大, 则关断时间就越短。不过经过测量指出^[21], 在整个关断过程中, 栅极从沟道区中抽出的电荷总量基本上是恒定的, 与栅电压的大小无关。但此电荷总量与阳极电流 I_A 有关, 因 I_A 的大小即决定从阴极和阳极注入到沟道区的载流子数量。栅电压的大小可改变抽出电荷的速度, 因此可影响关断的快慢; 一般, 反向栅偏压越大, 关断时间越短, 见图6-11^[22]所示。

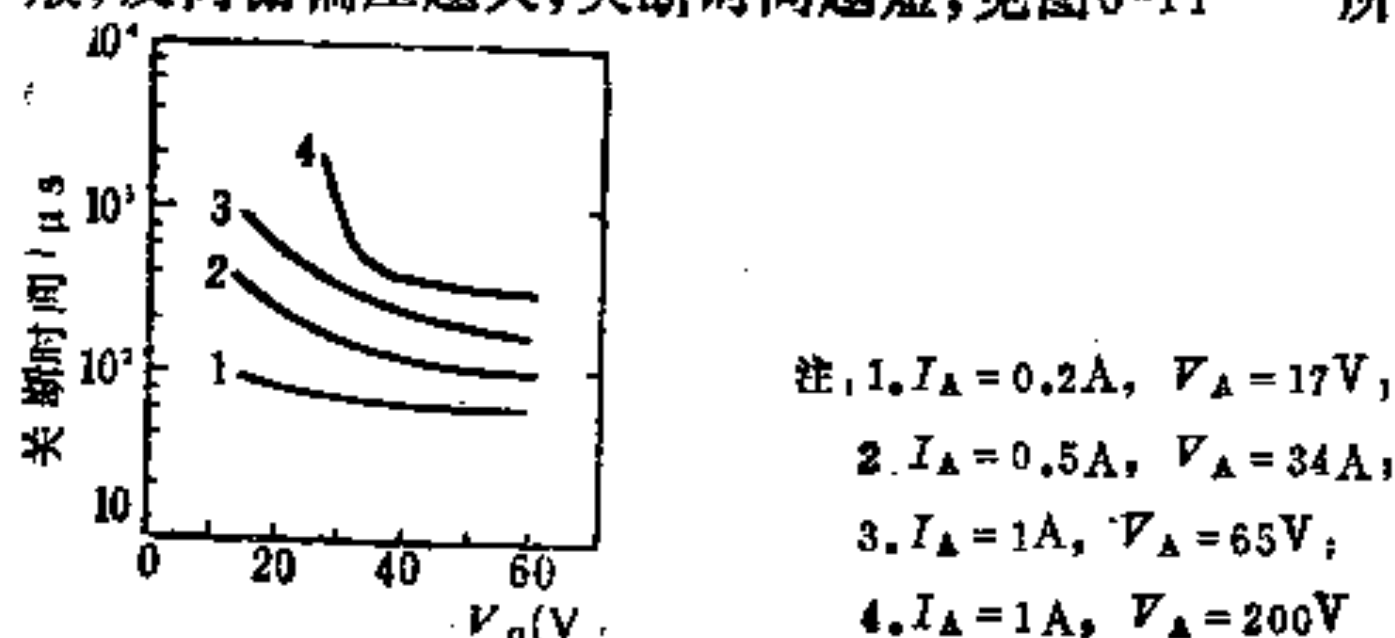


图 6-11 表面栅FCT的关断时间与偏压等的关系(实验结果)

若关断过程中从栅极流出的电流峰值为 I_{GP} , 则实验表明^[20], 下降时间 t_{off} 与 I_A 和 I_{GP} 基本上有以下关系:

$$t_{off} = \tau_{eff} \ln(1 + I_A/I_{GP}) \quad (6-13)$$

其中 τ_{eff} 是沟道中载流子的有效寿命。当温度升高时, τ_{eff} 将增大, 则 t_{off} 也将相应有所增长^[28]。

FCT 在关断过程中因存在有一股较大的抽出电流, 所以在器件应用中要求有一个低阻抗的栅极回路。

已研制出正向阻断电压达 2500V、正向传导电流 300A、正向压降 2.5V、而开启时间和关断时间均为 2 μs 的 FCT^[19]。

§ 6-3 复合功率器件

第四章中所讨论的 IGT, 可看成是由功率 MOS 和 BJT 组

合而成的一种复合器件。本章中所讨论的FCT，可看成是由SIT和BJT组合起来的一种复合器件。实际上，PNPN晶闸管也可看成是由两只BJT（PNP和NPN）组合而成的。可见，复合器件往往比单一器件在某些方面具有若干显著的特长，甚至有时还能产生出某些新的性质。这里简单介绍两种除MOS-双极器件以外的复合器件。

1. MOS/SIT 复合器件

功率MOS器件和静电感应器件是目前较为引人注目的两种高频、高速功率器件，它们都很好地克服了BJT的频率、速度与功率之间的矛盾，也克服了长沟道场效应器件的一些缺点。

静电感应器件因导电通道都在体内，则特别具有处理较大电流的能力。若把它与功率MOS器件组合起来，则可获得性能优异的复合场效应器件。在图6-12中示出了一种由VDMOS与SIT组合起来而构成的复合器件的结构^[189]。该复合器件的表面上复盖有场板，而且内部SIT的结型栅也可起限制电场的作用，因此提高了器件的耐压。该器件中存在有几个夹断点，除了MOS本身的夹断点以外，还有两个夹断点：一是在场板下面，另一是在两个P型栅区之间。而这后两个夹断点可分别独立地确定，这对高压设计来说是很利。因此，MOS/SIT复合器件可容易获得高压和大电流。

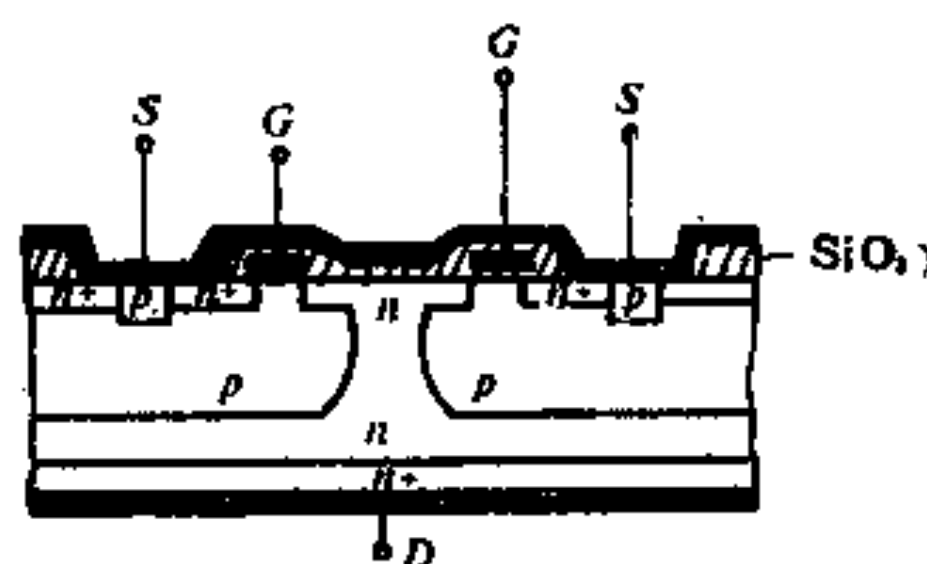


图 6-12 MOS/SIT复合器件的结构^[189]

2. JFET/BJT 复合器件

BJT 由于其中可以发生电导调制效应, 故饱和压降可以较低, 这对提高工作电流是有利的; 但对高频、高速的器件, 若要提高耐压则将有一定的困难, 因为高耐压要求有较大的基区宽度 (以防基区穿通), 这就会导致电流增益和特征频率(f_T)下降。

研究表明^[30], 如果把 BJT 与纵向的 JFET 组合起来, 即可实现高耐压、薄基区的要求。图 6-13 示出了一种 JFET/BJT

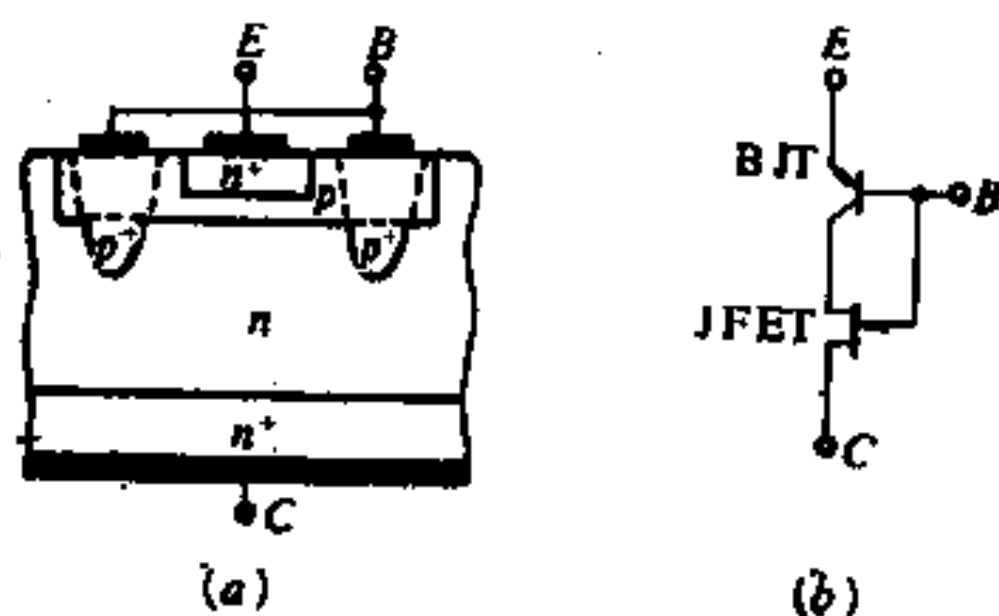


图 6-13 联栅晶体管的结构和等效电路^[30]

复合器件的结构和等效电路。该器件可认为是在 BJT 的基区中增设了两个通过深扩散而形成的栅极区, 因此也称为联栅晶体管 (Gate Associated Transistor, 缩写 GAT), 在功能上可把它看成是由 BJT 和 JFET 串联而成的复合器件。

对 GAT, 在集电极电压增高时, 除了集电极-基极结的耗尽区发生纵向扩展以外, 而且也有集电极-栅极结的耗尽区发生横向扩展, 当两个栅之间的沟道区耗尽后, 即相当于 JFET 的沟道被夹断了, 这时耗尽区中的电力线, 将除了终止于集电极-基极结界面上以外, 还有一部分将要终止于集电极-栅极结的界面上。因此, 集电极电压对集电极-基极结中电场的影响, 由于深入到集电极区的栅极区的存在, 而被减弱了。即是说, GAT 中的栅极区, 对其中的基区有静电屏蔽作用, 使得集电极电压不能完全作用到集电极-基极结上。这好似真空三极管中的栅极,

具有屏蔽阳极电压对阴极作用的效果。GAT 中栅极的这种静电屏蔽作用,可有效地抑制在高反压下集电结耗尽区往基区的扩展。即抑制了基区穿通效应。所以,即使基区很薄,集电极电压也将不会受到基区穿通效应的限制。此外,由于栅极的静电屏蔽作用,使集电结中的载流子倍增效应也将得以减弱。因此,GAT 的最大集电极电压要比一般 BJT 的高。

GAT 的基区可以做得很薄,而不必顾及影响反向电压。所以,GAT 也将具有高的电流增益和高的特征频率等优点。

GAT 中的栅极(P⁺区)除了静电屏蔽作用外,还将起着减小有效基极电阻的作用,因为该栅极区是高浓度的深扩散区,从而可避免因基极电阻的偏压效应而导致出现电流集聚的现象。因此,对 GAT 而言,在减薄基区时并不会引起基极电阻的增大。GAT 可以做到既具有高的电流增益,又具有低的基极电阻;同时低的基极电阻也可削弱雪崩注入二次击穿电压。所以,GAT 的安全工作区要比一般 BJT 的宽得多。

由于 GAT 的基区可以做得很薄,而有效基极电阻又能保证较小,因此该器件的开关速度也将比一般 BJT 的要快。

很薄的基区也将给 GAT 带来另外一个好处,即良好的抗核辐射性能。现在已研制出了 $V_{(BR)CEO} = 225V$ 、 $f_T > 400MHz$ 的功率核加固器件,其抗核辐射的能力远高于一般的 BJT(电流增益下降至初始值的一半时的辐射剂量,约为一般 BJT 的 60 倍〔注〕)。

总之,GAT 与一般的 BJT 相比较,具有较高的 E—C 击穿电压、较大的电流增益、较高的开关速度、较宽的安全工作区、以及较强的抗核辐射能力。这些优点主要是得自于 GAT 结构中栅极区所起的良好作用:1)抑制了集电结耗尽层在高压下往基区的扩展;2)减弱了集电极中载流子雪崩倍增效应;3)减小

〔注〕 参见“半导体情报”(河北导体研究所),1988年,第3期,P.7.

了有效基极电阻。

日本三菱公司于1979年就已研制出了 $V_{(BR)CEO} = 500V$ 、 $I_C = 20A$ 、 $f_T = 80MHz$ 、 $h_{FE} = 100$ 的功率 GAT^[30]。比一般的 BJT， h_{FE} 约改善2.6倍，上升和下降时间分别约减短到1/7和1/3，基极工作电流约减小一半^[32]。

显然，GAT 中两相邻栅极区之间的距离不可太大，否则栅极区就起不到屏蔽基区的作用。因此，我们也可以直接用 SIT 来代替 GAT 中的 JFET，这必能获得同样良好的效果。这种 SIT/BJT 复合器件也称为串联双极静电感应晶体管 (Serial Bipolar Static Induction Transistor, 缩写 SEBISIT, (注)见上页)。

在 GAT 或 SEBISIT 中所存在的 BJT，实际上有两只，一是栅区之间中部的 BJT，另一是以栅区 (P^+ 区) 作为基区的旁侧 BJT。如果 SIT/BJT 复合器件中的 SIT 在 0 栅偏压下是截止的 (即为 BSIT)，则我们可以把复合器件中的中部 BJT 去掉，整个器件也能照常工作，在 0 栅偏压或负栅偏压下，呈现为一只 SIT；在正栅偏压下，BSIT 和旁侧 BJT 都起作用。这种由 BSIT 和旁侧 BJT 组合而成的复合器件，如图 6-14 所示，也被称为 BSIT 组合器件^[31]。

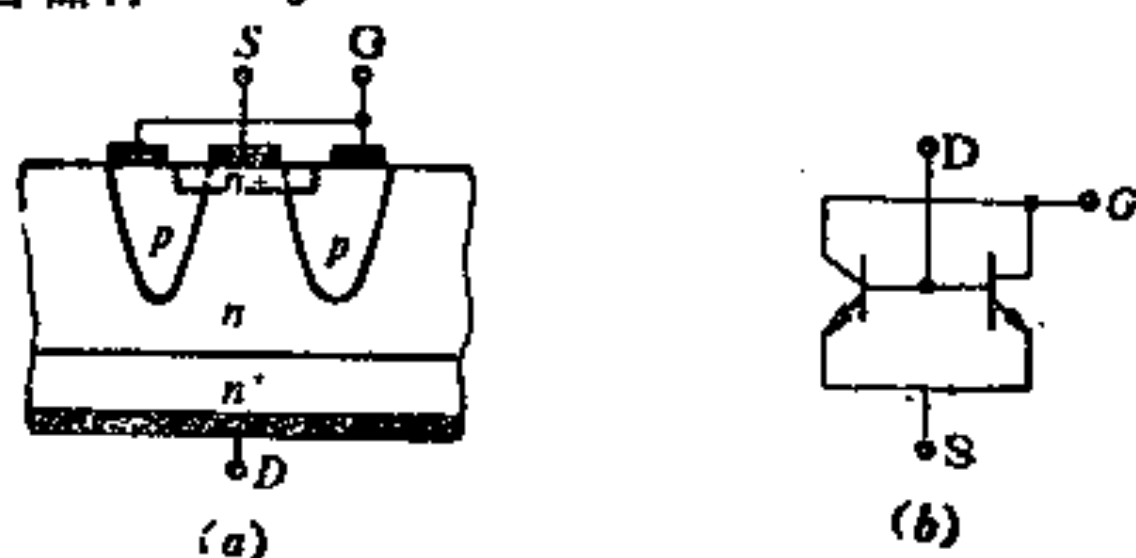


图 6-14 BSIT 组合器件的结构和等效电路

(a) 基本单元结构；(b) 等效电路

BSIT 组合器件可看成是由 BSIT 和 BJT 并联而成的一种复合器件，它具有与一般 BJT 相同的饱和伏安特性。由于 BSIT 与 BJT 的电流随温度的变化方向是相反的，互相起着抵消的作用，

因此该复合器件的电流放大系数的温度稳定性较好,它能在宽广的温度范围内正常工作(正因为如此,也有人称该复合器件为全温区晶体管)。该复合器件中虽然包含有BJT,但整个器件也可视为基区穿通的BJT,则贮存在基区中的电荷很容易消失;而且集电区(N^- 区)的电阻率较高,则集电结电容较小。因此该器件的开关速度可以较高。此外,研究表明^[9],该复合器件还具有电流容量大、耐二次击穿能力强等优点。总之,BSJT组合器件兼备有BSIT和BJT的长处,而又在一定程度上克服了BJT的某些不足。

参考文献

- [1] J.Nishizawa et al., *IEEE Trans. Electron Devices*, Vol. ED-22 PP.185~197(1975).
- [2] B.J.Baliga, "Silicon Power Field Controlled Devices and Integrated Circuits", Chap. 4, Academic Press, 1981.
- [3] T.Ohmi, *IEEE Trans Electron Devices*, Vol. ED-27, 536(1980)
- [4] 仲玉林, 亢宝位.《半导体学报》, Vol.4, No.3, 275(1983).
- [5] P.Plotka et al., *Solid-st Electron*, Vol.23, 693(1980).
- [6] R.K.Gupta, *Solid-st Electron*, Vol.23, 1011(1980).
- [7] C.O.Bozler et al., *IEEE Trans Electron Devices*, Vol.ED-27, PP 1128-1140(1980).
- [8] Y.Mochida et al. *IEEE Trans Electron Devices*, Vol.ED-25 pp 761~767(1978).
- [9] K.Yamaguchi et al., *IEEE Trans Electron Devices*, Vol.ED-24, 1061(1977).
- [10] L.M.Dang et al., *IEEE Trans Electron Devices*, Vol.ED-27, PP.1533~1550(1980).
- [11] O.Ozawa, *IEEE Trans Electron Devices*, Vol.ED-27, PP.2155~2123(1980).
- [12] C.Hu, *IEEE Trans. Electron Devices*, Vol.ED-26, 243(1979).
- [13] X.B.Chen(陈星弼) et al., *IEEE Trans. Electron Devices*, Vol. ED-29, PP.985~987(1982).

- (14) J.Nishizawa et al., *IEEE Trans Electron Devices*, Vol.ED-25 PP.314~322(1978).
- (15) 江崎森弥等, (日本)电子通信学会电子デバイス研究技报, Vol.81, No.168, P.9(1981).
- (16) M.Aiga et al., 9th *European Microwave Conf. Tech Rep.*, PP. 561~565(1979).
- (17) M.Kotani et al., *IEEE Trans. Electron Devices*, Vol.ED-29, 194(1982).
- (18) T.Ohmi, *RIEC Tech. Report*, Vol. TR-42, January, (1979).
- (19) J.Nishizawa, K.Nonaka and T.Tamamushi, in "Semiconductor Technologies", (J.Nishizawa, ed), JARECT, Vol.13, PP.89~120 (1984).
- (20) J.Nishizawa, T.Ohmi, M.S.Hsieh(谢孟贤) and K.Motoya, *Papers on Tech. Group of Electron Devices of IEEE Japan*, Vol.ED-81, P.31(1981).
- (21) 谢孟贤.《成都电讯工程学院学报》, 1982年第4期, P.93.
- (22) 同(2), Chap.6.
- (23) S.K.Ghandhi, "Semiconductor Power Devices", Chp.9, Wiley New York, 1977.
- (24) 谢孟贤.《成都电讯工程学院学报》, 1983年第1期, P.40.
- (25) H.P.D.Lanyon et al, *Tech.Dig. 1978 IEDM*, P.316, (1978).
- (26) B.J.Baliga, *Solid-st. Electron.*, Vol.24, 617(1981).
- (27) D.E.Houston et al., *IEEE Trans. Electron Devices*, Vol.ED-23 905(1976).
- (28) B.J.Baliga, *Tech.Dig. 1980 IEDM*, P654, 1980.
- (29) T.Okabe et al., *IEEE Trans. Electron Devices*, Vol.ED-27, 336 (1980).
- (30) H.Kondo et al., *IEEE Trans. Electron Devices*, Vol.ED-27, 373 (1980).
- (31) 谢孟贤等.《成都电讯工程学院学报》, 1987年第2期, P113.
- (32) 近藤久雄等.《三菱电机技报》, Vol.54, No 6, P.56(460), 1980.

第七章 功率集成电路与高压集成电路

具有高压结构的集成电路可分为两大类：一类是高压集成电路（HVIC），它一般指的是将低压逻辑与高压输出级集成在同一芯片上。这类器件专门用于显示驱动与电话通讯；在这些应用领域内器件的主要性能是要求高压容量。其耐压容量可高达1000V，但其输出电流较小，最大约为100mA。故HVIC的功耗可以小到足够将芯片安装在标准封装中。另一类为功率集成电路（PIC），PIC是将输入（控制或功能）电路与功率器件集成在同一块芯片上。这类器件主要用来接通或切断大功率；工作于50~500V, 0.5~30A范围内的PIC，在线性即一般稳压电源与开关稳压电源，交流马达控制、自动控制电路及日光灯电子镇流器等方面有着广泛的应用。功率器件与控制电路的集成使其能获得多种功能——如实现温度控制，过压保护与低电流保护等，从而使其性能更为优异和完善。图7-1画出了PIC和HVIC在各种应用领域内的电流和电压范围。

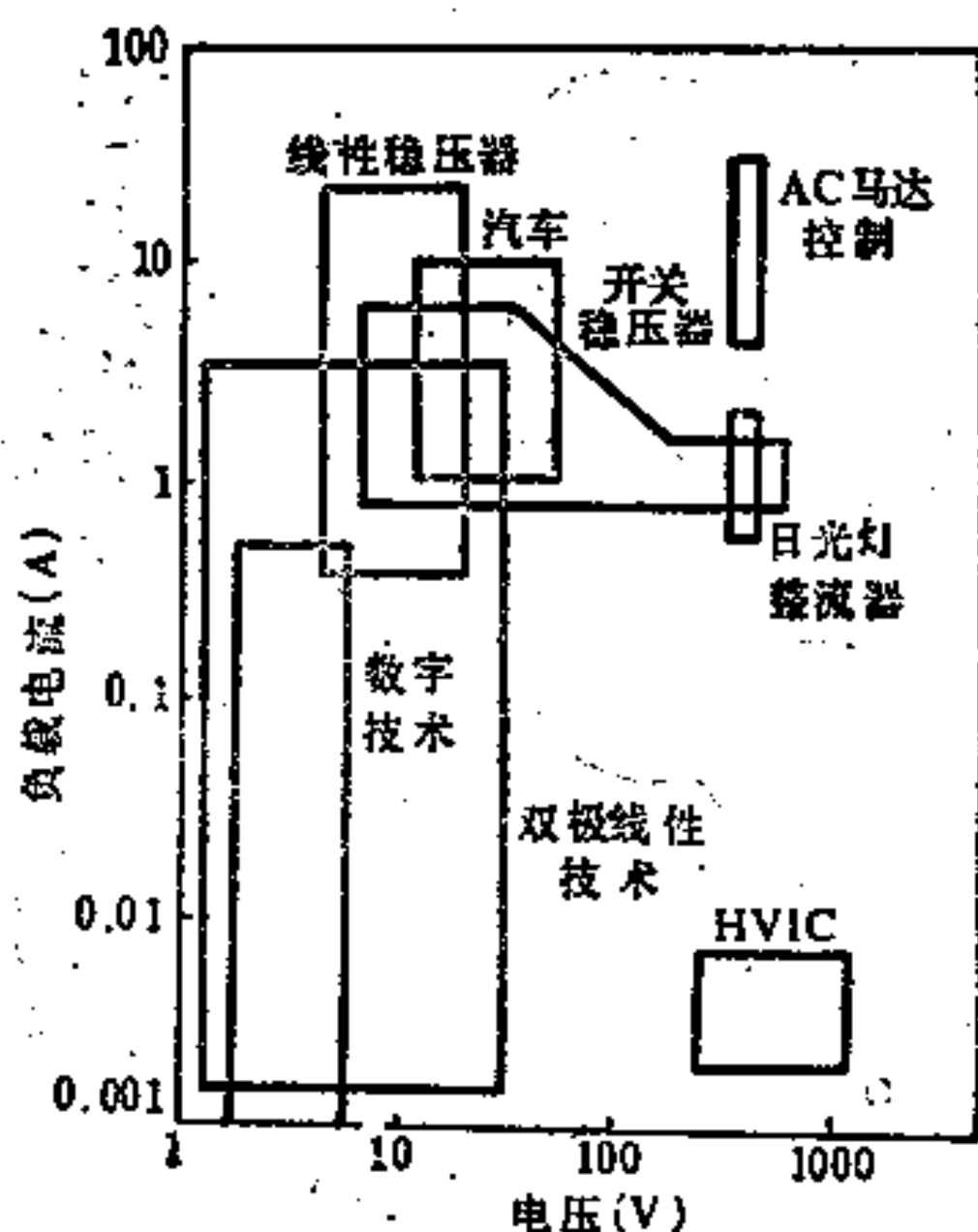


图 7-1 PIC和HVIC在各种应用领域内的电流和电压范围^[1]

图 7-2 是一个 PIC 的显微照片。该 PIC 是采用结隔离与双极-MOS(BIMOS)工艺制成。在同一芯片上将 1000 个逻辑门(图中的右下方)、20V 的模拟与逻辑电路(图中的左下方和右上方)及高达 500V 的晶体管(图中左上方)集成在一起。由逻辑、模拟与高压器件集成的新功率控制电路具有体积小可靠性高等特点。

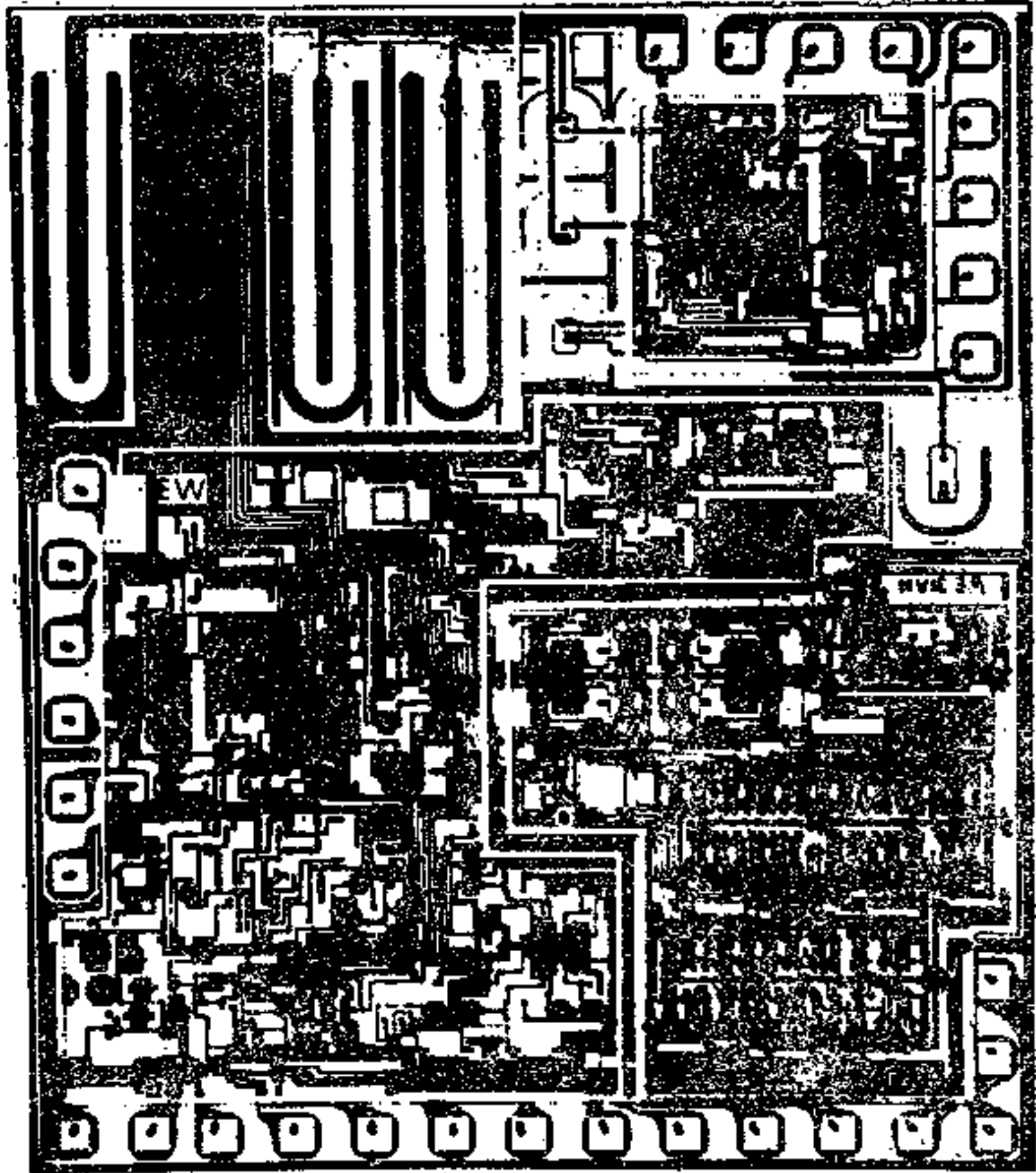


图 7-2 用于功率控制的PIC的显微照片^[1]

在改进了高压器件与低压电路之间的隔离后，改进设计和制

造工艺以致在较低成本条件下获得高压大电流器件，可以期望在半导体工业中能生产出在500V以上、几十安培、工作频率高于100kHz、价格低廉的PIC。这些PIC在同一芯片上具有多种控制电路，允许与微处理机直接联接。这些PIC功耗较大，必须安装在特殊设计的具有热沉的封装中。

§ 7-1 PIC与HVIC实例

1. 多路模拟开关

多路模拟开关在测试系统通信以及热敏打印机等方面都有着广泛的应用。多路模拟开关由输入保护电路与缓冲电路、CMOS逻辑阵列（译码器与锁定电路）、电平位移电路和输出双向开关四部分组成，见图7-3。

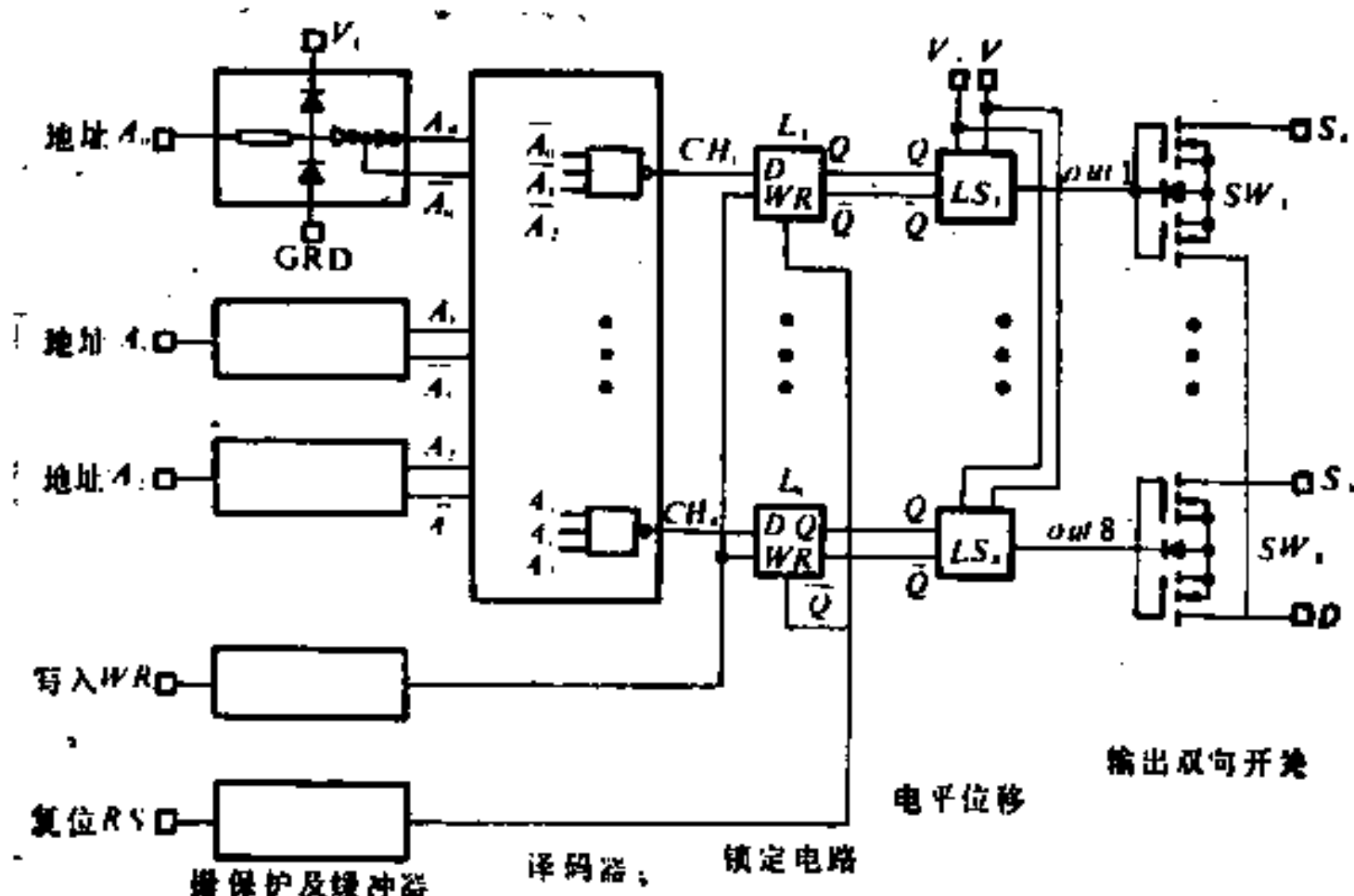


图 7-8 8路高压模拟开关电路方块图^[2]

地址、写入及复位逻辑输入的真值表如下：

A_3	A_2	A_1	WR	$\overline{RS}$	导通的开关
0	0	0	0	1	1
0	0	1	0	1	2
0	1	0	0	1	3
0	1	1	0	1	4
1	0	0	0	1	5
1	0	1	0	1	6
1	1	0	0	1	7
1	1	1	0	1	8

第一部分的输入保护电路是采用串联电阻与二极管钳位到 V_L 和地来对静电放电进行保护。CMOS 缓冲器提供驱动译码器电路的补充地址信号；译码器是用与非门来实现。译码器输出，写入与复位控制 CMOS 传输门锁定电路。锁定电路的输出又控制电平位移电路。

电平位移电路将取得的低压逻辑信号转变成高压信号，其电路如图 7-4 所示。交叉耦合电平位移级的采用是实现超低功耗

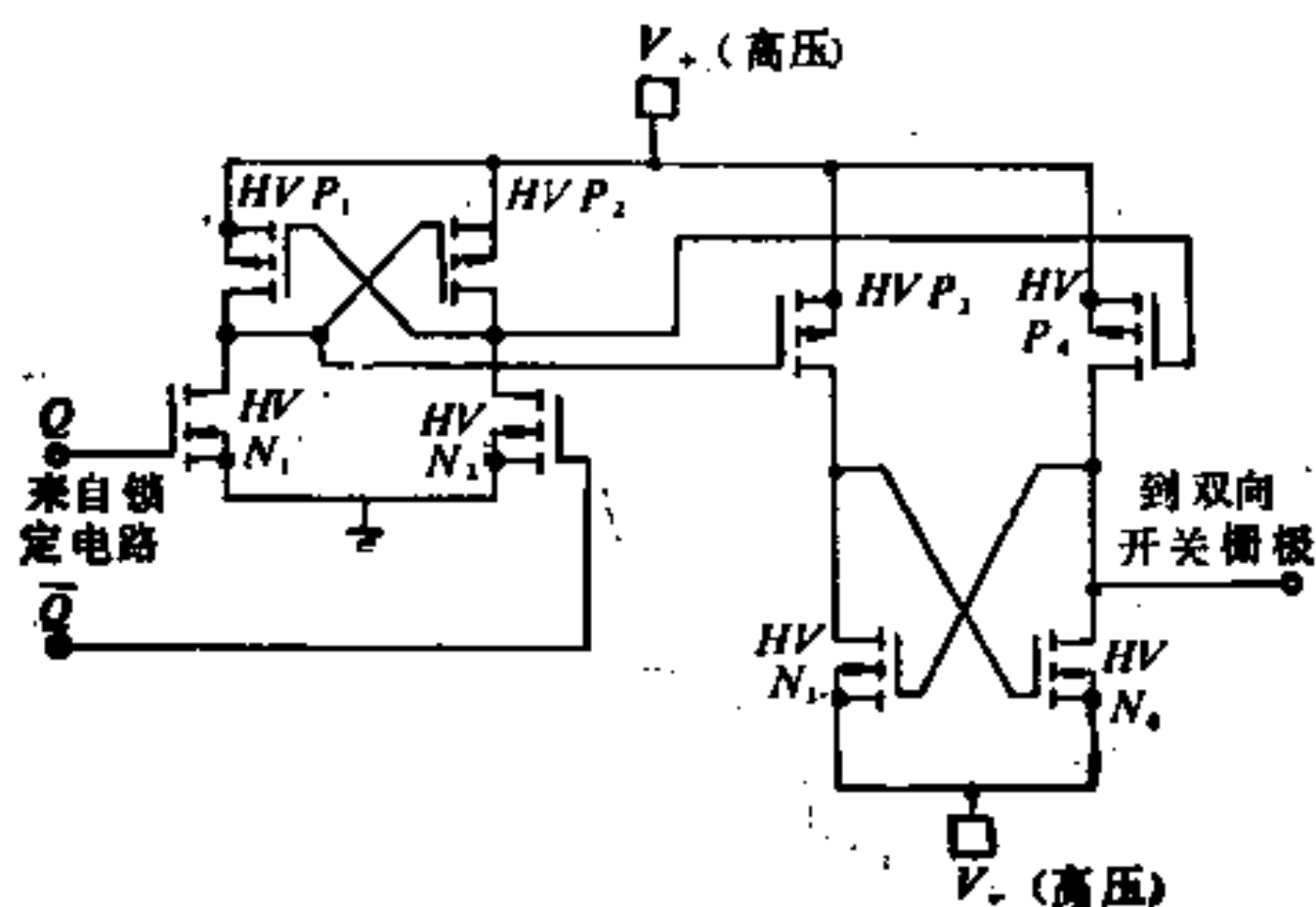


图 7-4 高压电平位移电路 [2]。

的关键。当 Q 端的逻辑信号为“1”， $\bar{Q}$ 端的逻辑信号为“0”时， HVN_1 导通， HVP_3 导通， HVP_3 导通后， V_+ 使 HVN_4 导通，于是输出端为 V_- 。同理，当 Q 端为“0”， $\bar{Q}$ 端为“1”时， HVN_2 导通， HVP_4 导通； HVP_4 导通后，输出端为 V_+ 。

高压电平位移电路亦可以采用 P 沟高压双栅 MOS 构成，如图 7-5 所示，当输入端 Q 为逻辑“1”时， T_4 导通， T_3 截止； T_4 导通后使 P 沟双栅 MOS T_2 导通，于是输出端为 V_+ 。同理，输入端为逻辑“0”时， T_3 导通， T_4 截止，于是由于 T_2 截止，输出端为 V_- 。

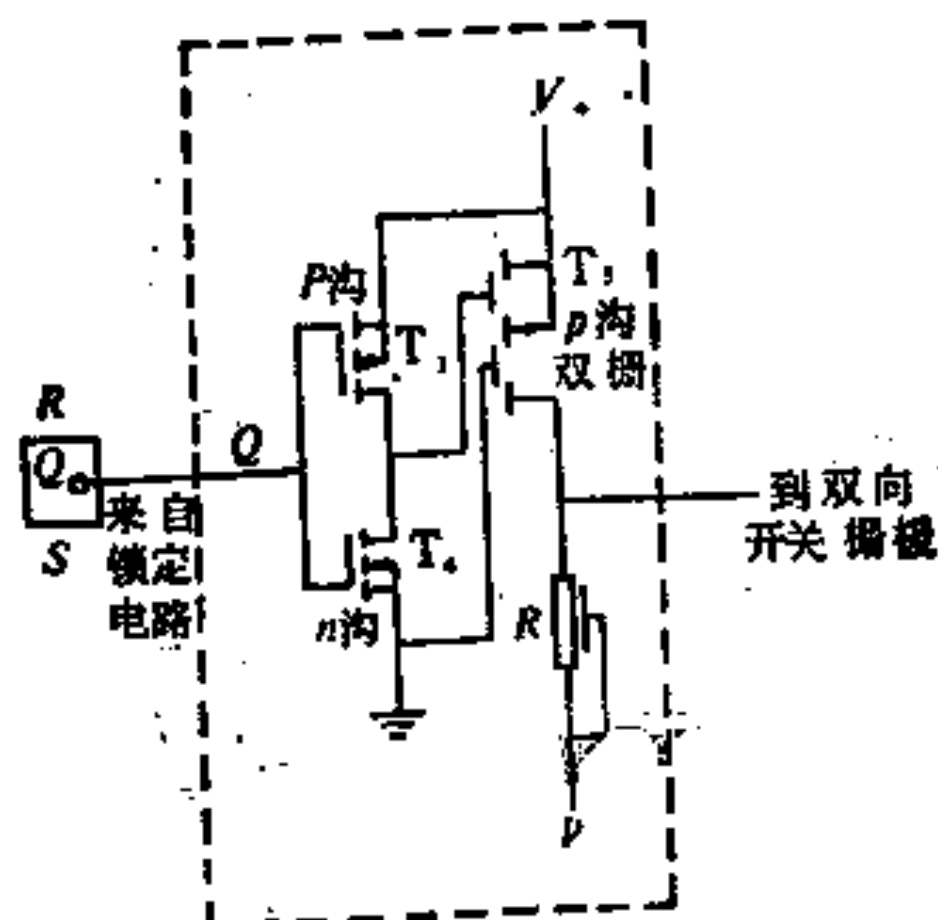


图 7-5 采用 P 沟高压双栅 MOS 的高压电平位移电路 [3]

输出双向开关是由两个背靠背的 LDMOS 组成，其剖面图和等效电路如图 7-6 所示。等效电路中的二极管 D_1 和 D_2 分别为左边和右边 LDMOS 中，沟道扩散区（ p^- 区）和 N^- 衬底间的 $P-N$ 结。这样的结构能允许两种极性的模拟信号得以通过或被阻止；从而起到双向开关的作用。如果控制栅的电压（来自电平移位电路）为 V_+ ，则两个高压 LDMOS 都导通，开关接通；反之若控制栅的电压为 V_- ，则两个 LDMOS 都截止，开关断开。在开关导通且电流是从右边一个 LDMOS 的漏极流向左边一个

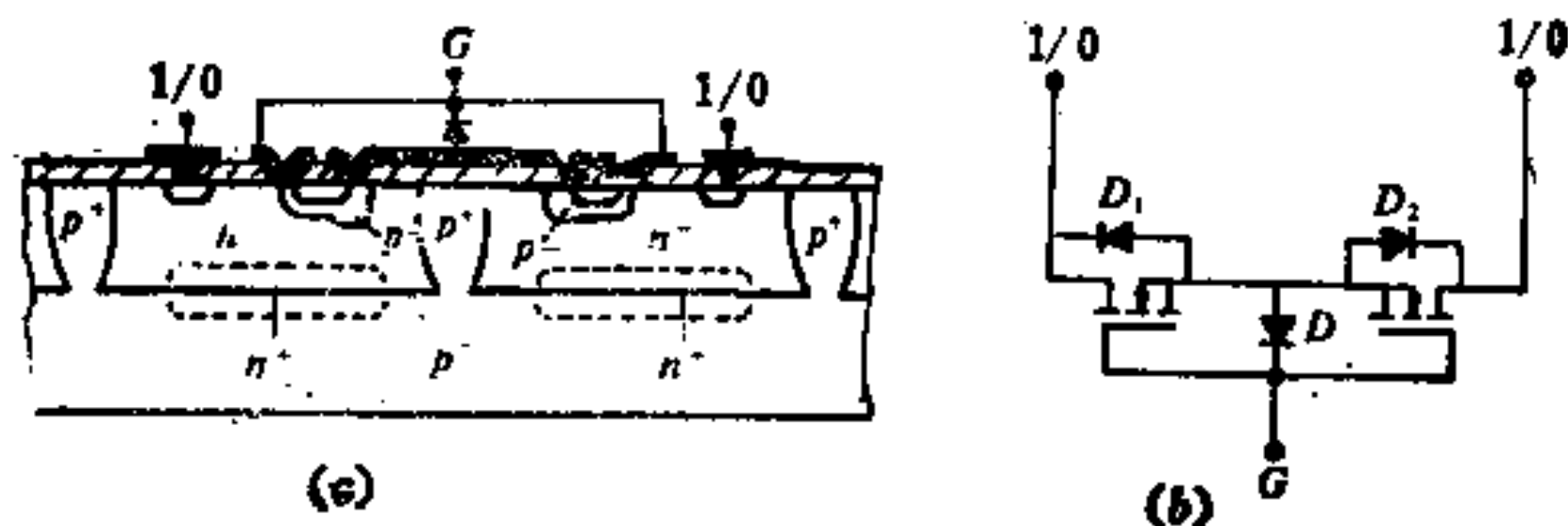


图 7-6 用背靠背LDMOS组成的对称模拟开关 [41]
(a)剖面图；(b)等效电路

LDMOS 的漏极，当该电流与左边一个 LDMOS 导通电阻的乘积达到约0.7V时，二极管 D_1 导通，从而使双向开关的导通电阻大为降低。由图7-6(a)可以看到 P^+N^- (外延层)与 P^- (衬底)构成了纵向寄生 P^+NP 管，故当 P^+N 结 (发射结)正偏时，注入 N^- 外延层的空穴就会被 P^- 衬底收集。这就意味着有一部份信号电流被衬底分流。在实际应用中这是一个问题，采用 N^+ 埋层或介质隔离可以减小这一寄生效应。

2. 平板显示器的控制和驱动集成电路

平板显示器的基本结构如图7-7所示，分别在两块玻璃板表面制作相互平行的条形电极，并将A板条形电极与B板条形电极垂直放置。下面玻璃A的电极作为X电极，上面玻璃板的电极作为Y电极，两板间的距离约为0.2mm左右，两板间充以工作介

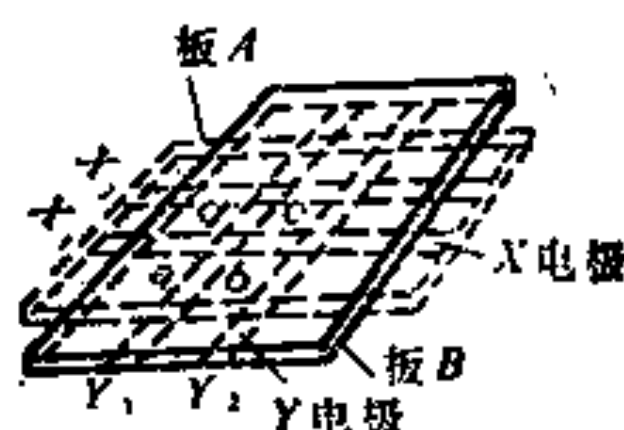


图 7-7 平板显示器的基本结构

质，然后四周用密封材料密封。在 X 电极与 Y 电极间加上高压，就可使四个交叉点 a, b, c, d 发光，每一个发光点称为一个像素。平板显示器按工作介质可大致分为三类：用场致发光粉作为工作

介质的，称为场致发光显示器（简称ELD），用惰性气体作为工作介质的（如Ar, Ne），称为等离子体显示器（简称PDP）；用液晶作为工作介质的称为液晶显示器（简称LCD）。

平板显示器的控制和驱动电路如图7-8所示。X和Y方向分别有一个移位脉冲发生器，依次向 $X_1, X_2, X_3, \dots, X_i$ 和 $Y_1, Y_2, Y_3, \dots, Y_i$ 发出移位脉冲，触发开关电路。X方向的开关只要有移位脉冲就导通。而Y方向的开关电路必须在移位脉冲和图象信号的共同作用下才导通。当X和Y方向的开关电路使 X_i 和 Y_i 同时导通时，图象信号通过开关电路加到一对电极（ X_i, Y_i ）上，使该交叉点发

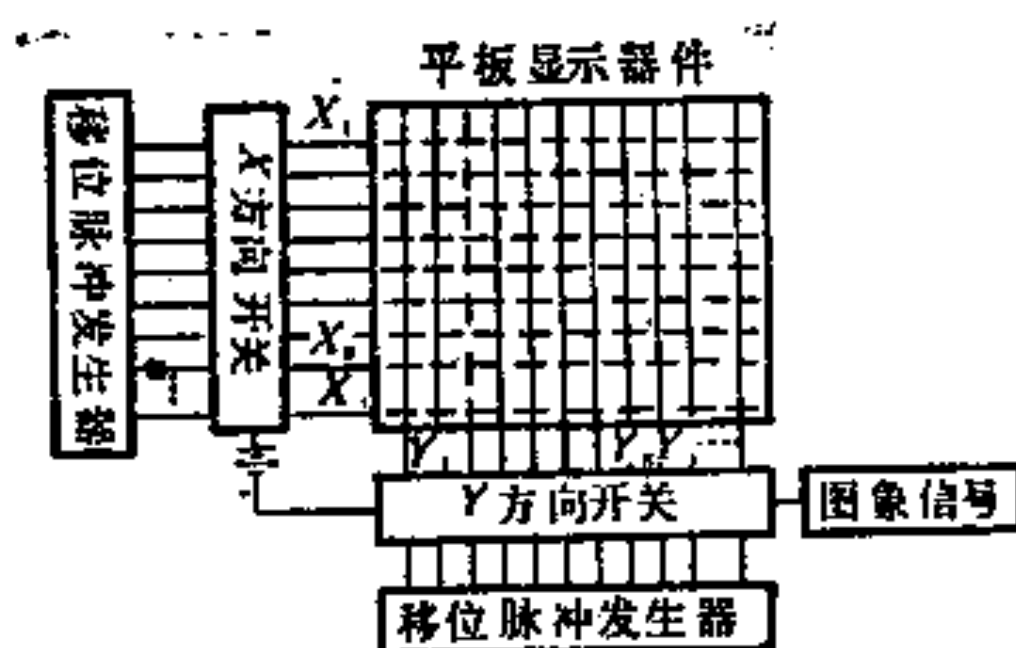


图 7-8 平板显示器的控制和驱动电路

光。Y方向的开关电路是由移位脉冲和图象讯号通过一个“与非”门来控制的。实际上，移位脉冲发生器和开关电路是采用集成工艺，集成在一起，这样就构成了平板显示器的控制和驱动集成电路。图7-8所用的显示方法称为矩阵显示。

图7-9画出了一个32位平板显示器的控制和驱动电路。逻辑电路包括32位串行输入并行输出的移位寄存器，锁定电路和门电路。该逻辑电路的工作电压为+5V，由同一电源供给，并且地址输入接口与TTL兼容；其时钟频率从零到10MHz。输出级的高压MOS采用如图7-10所示的结构，其漏源击穿电压为400V、导通时的漏极电流为50mA，导通电阻为500Ω。该集成电路采用

自隔离技术。

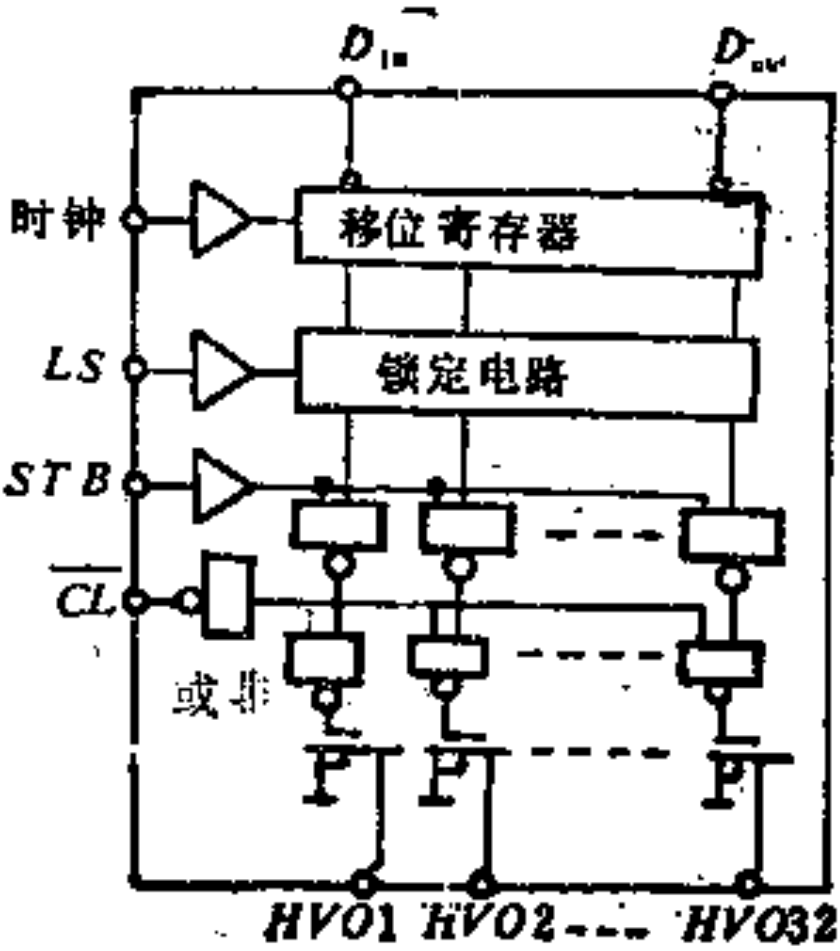


图 7-9 32位EL平板显示器的控制和驱动电路 [6]

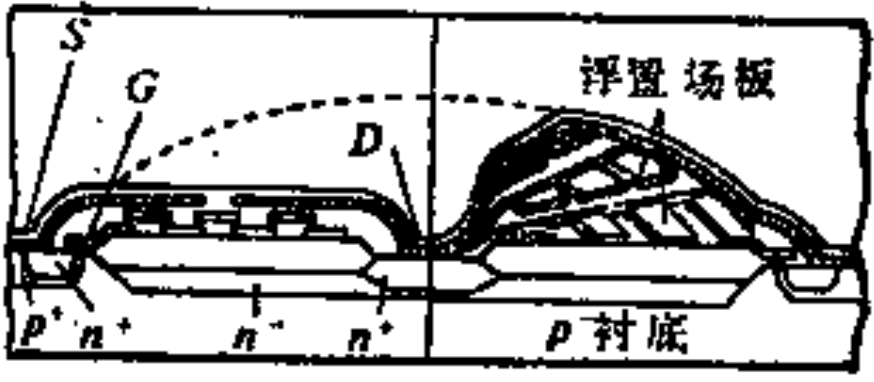


图 7-10 高压LDMOS的剖面图 [6]

移位寄存器和锁定电路组成移位脉冲发生器，门电路和输出高压 MOS 组成开关电路，门电路的逻辑真值表如下：

A	B	C	F	高压 MOS 工作状态
1	1	0	1	导通
1	1	1	0	
0	1	1	0	
1	0	1	0	截止
0	0	1	0	
0	1	0	0	
1	0	0	0	
0	0	0	0	

注：A.来自锁定电路，B.图象信号，C.清除，.F输出。

可以看到：当B端图象信号为逻辑“0”时，来自锁定电路的移位脉冲（逻辑“1”），不能使输出级高压MOS导通；只有A端为逻辑“1”，B端为逻辑“1”，C端为逻辑“0”时，输出级的高压MOS才能导通。不管“与非门”的输出是逻辑“0”或“1”，只要C端为逻辑“1”，输出级的高压MOS都被截止，这样就起了清除作用。

高压输出级可以有两种基本类型：一为单管漏极开路输出；另一为推挽（即图腾柱）输出。前者可以采用自隔离，而后者只能采用全隔离（即结隔离或介质隔离）。

在文献〔6〕中报导的等离子显示中应用的驱动器的高压输出级，采用了图腾柱结构，如图7-11所示。在该驱动电路中 T_1 和 T_2 组成CMOS倒相器，高压DMOS T_3 和 T_4 接成图腾柱输出。横向PNP晶体管提供驱动 T_3 的栅压。输出管 T_4 接成源极跟随器

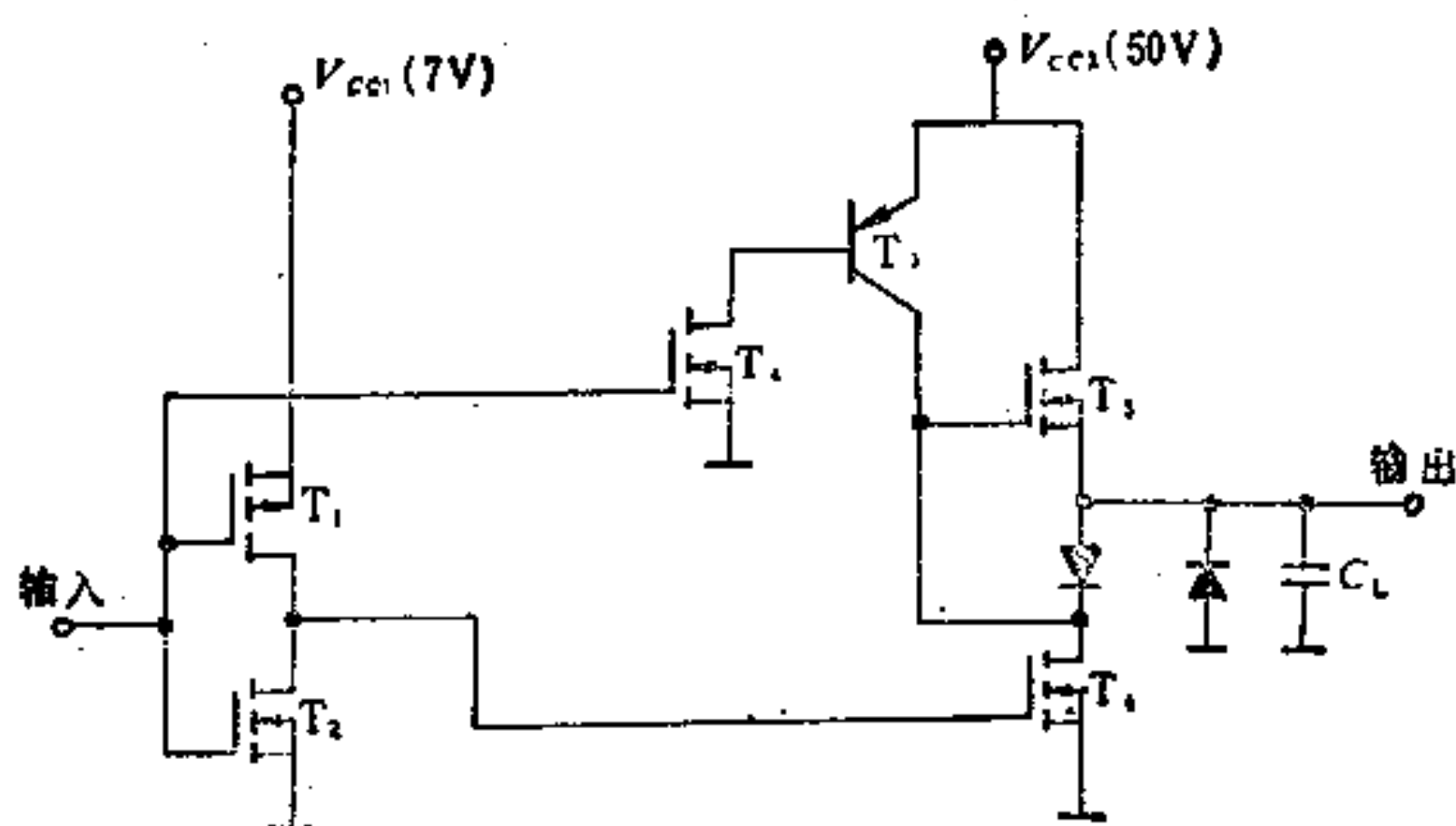


图 7-11 等离子显示驱动器〔6〕

结构。如果输入端的控制信号为高电平，则 T_4 导通， T_3 截止。 T_4 导通后使 T_3 导通， T_3 导通后又使 T_4 导通。于是 V_{cc2} 通过 T_3

对 C_L 充电,最终使输出端的电压提高到 V_{CC2} 。随后当输入端控制信号为低电平时, T_4 、 T_3 和 T_5 都截止, T_6 导通。在 T_6 导通后,输出负载 C_L 就通过 T_6 放电,最终使输出端电压降低到零。

另外在文献〔7〕中报导了用于等离子显示中的控制和驱动双极高压集成电路。在该HVIC中高压输出级采用的也是图腾柱结构。

3. 用于开关电源中的PIC

本节介绍一个用于开关电源的PIC,其特点是包括一个450V/1A具有导通电阻为 1.5Ω 的输出LDMOS和10V CMOS标准单元构成的模拟电路。其在回扫开关电源中的应用如图7-12所示。将控制与接口电路和输出开关完全集成在一起,显著的降低了变换损失和由接线寄生参数在200kHz以上的开关频率时所引起的不稳定性。输出晶体管为RESURF LDMOS,其 $V_{(BR)DS}$ 为450V,输入电容为350pF,可作为电感负载的高速开关。内部

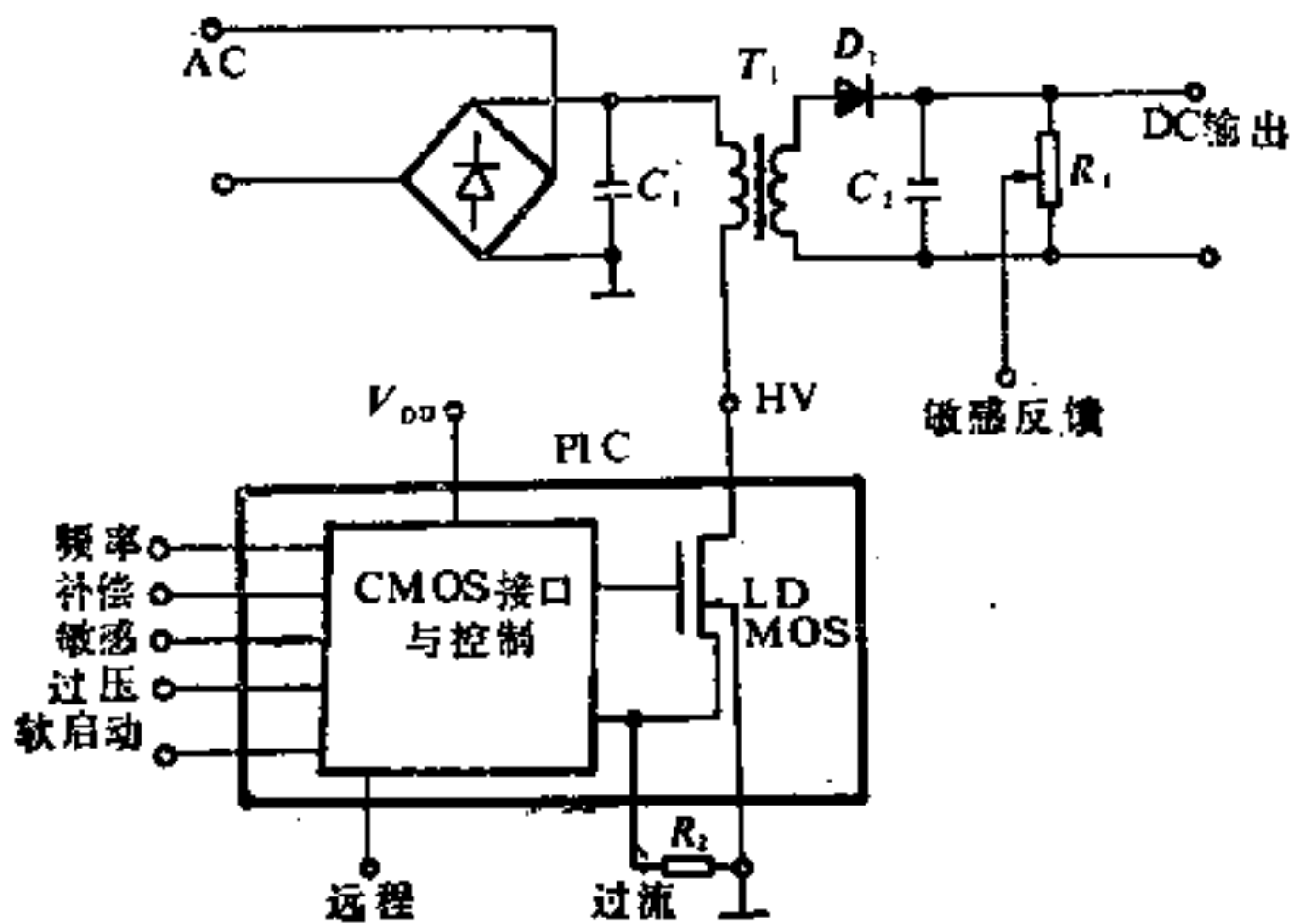


图 7-12 回扫开关电源的基本功能图〔8〕

CMOS 驱动器能产生0.3A 峰值电流,从而使开关时间约为100ns。该PIC的方框图如图7-13所示。控制电路的主要部分包括:具有75dB增益,3MHz带宽与缓冲输出的误差放大器,工作于2.5MHz的脉冲宽度调制器(PWM)和故障检测电路。内部5V参考电压是由N阱纵向PNP晶体管所构成的带隙电路产生的。当PIC的电源电压达到7.5V后,加电电路即触发软启动功能使PWM在几百毫秒内缓慢的斜升,从而消除了由于初始电流

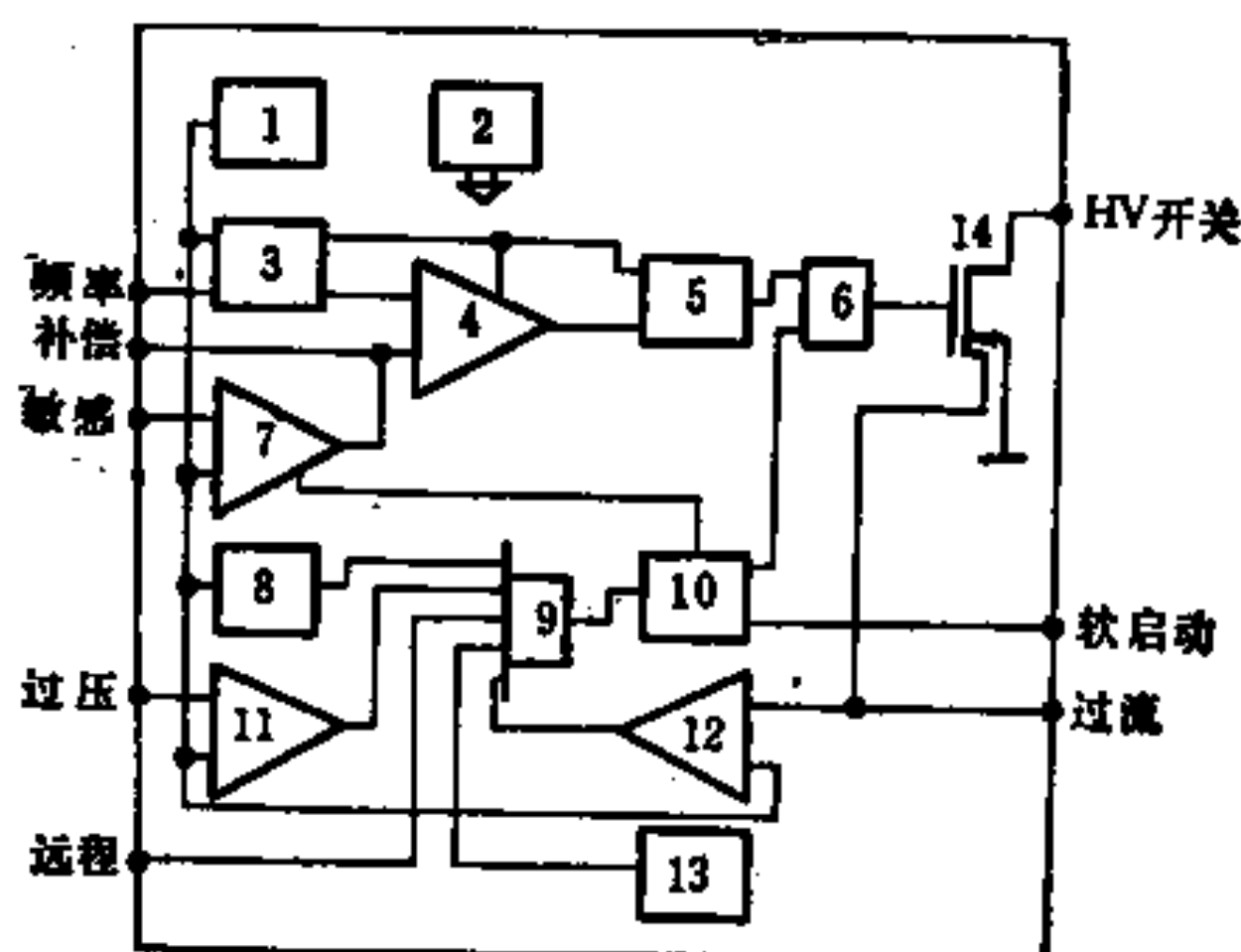


图 7-13 CMOS功率IC的方框图^[8]

- | | | | |
|----------|---------|------------|-----------|
| 1.带隙基准; | 2.偏流源; | 8.斜坡振荡器; | 4.PWM比较器; |
| 5.锁定电路; | 6.驱动器; | 7.误差放大器; | 8.温度限制; |
| 9.与门; | 10.软启动; | 11,12.比较器; | 13.加电复位; |
| 14.LDMOS | | | |

浪涌所导致的元件损坏。过流过压或低压,或过温情况所引起的故障的检测,使输出开关不能动作,直到故障被排除,随后软启动功能可再次被触发。

该PIC中所用的LDMOS和CMOS的结构如图7-14所示。为了形成LDMOS,在标准的N阱CMOS工艺中增加了P型埋

层，N型外延层和双扩散沟道区。由于采用 $70\Omega\cdot\text{cm}$ P型衬底，从而使LDMOS能获得高击穿电压。CMOS的闭锁效应是通过在低压NMOS晶体管增加一个P阱来加以抑制，从而形成了双阱CMOS工艺。在整个工艺中，很多工序对LDMOS和NMOS是共同的，可以同时进行，如50nm的栅氧化，LOCOS场氧化，硅栅和N阱扩散。芯片的总面积为 19mm^2 ，功率LDMOS的面积约占75%。

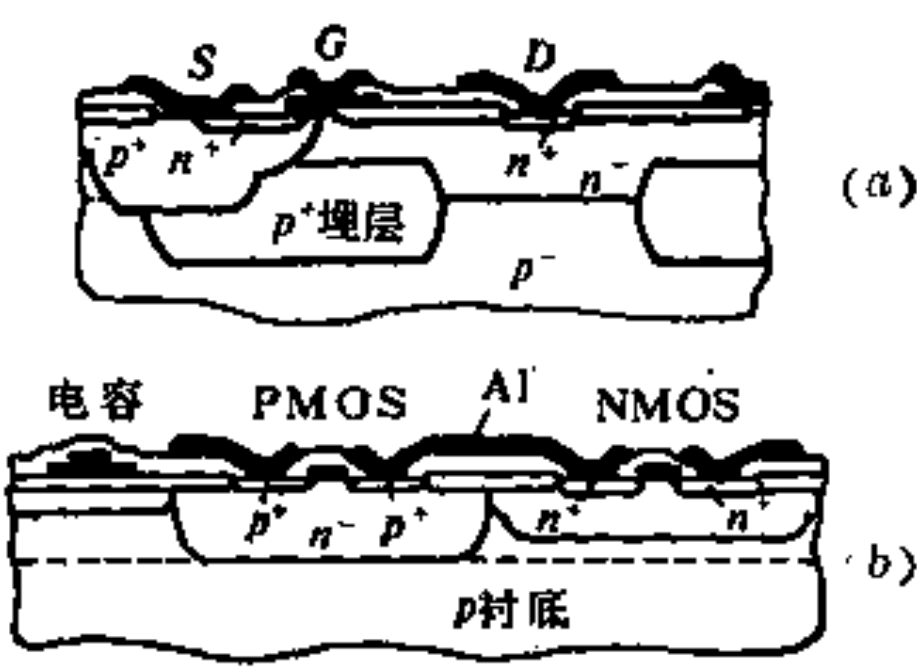


图 7-14 PIC中所用的LDMOS (a)和CMOS (b)的剖面图

4. 500V/25A半桥集成电路

半桥的基本功能如图 7-15所示。当使能输入端为地电位时，A和B两开关都断开。当使能输入端为 V_{DD} 时，上/下输入端的逻辑电平将决定那一开关接通，亦即当上/下输入端为低电平时，开关B接通，为高电平时开关A接通。但是在任何情况下，A和B两开关不能同时接通，因为这将使得 $+V_{DC}$ 与地之间短路。

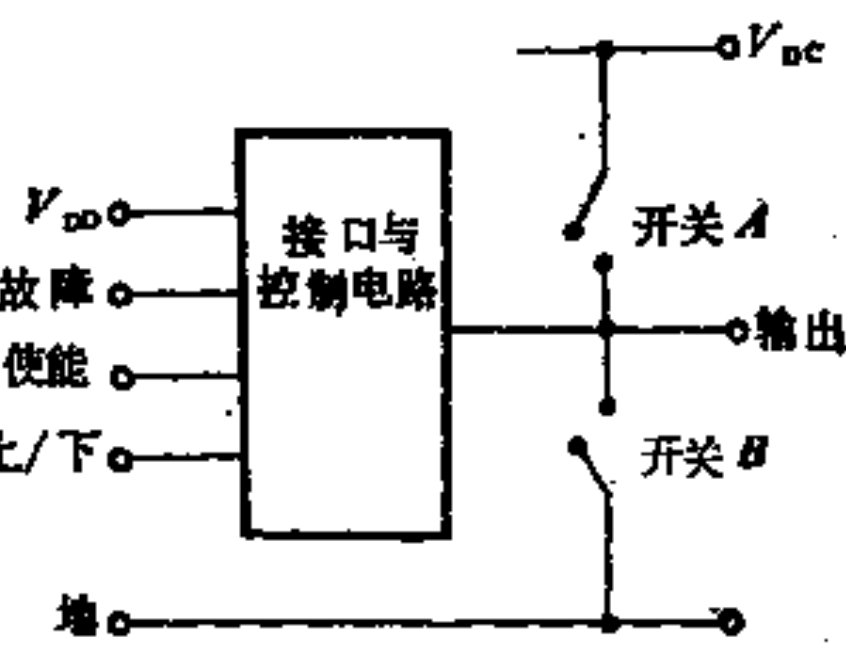


图 7-15 半桥基本功能图 [9]

接口和半桥控制HVIC的方框图如图 7-16所示。可以看到，使能和上/下控制输入信号经RC滤波器滤波。随后在由CMOS时间同步器和状态比较器译码前，通过Schmitt触发器对其进行幅度微分和波形削尖。CMOS时间同步器和状态比较器使开关A和开关B的接通和断开序列协调，以防止 $+V_{DC}$ 与地之间的短暂短

接，并通过输出电压检测电路核实，一旦IGT导通以后，输出状

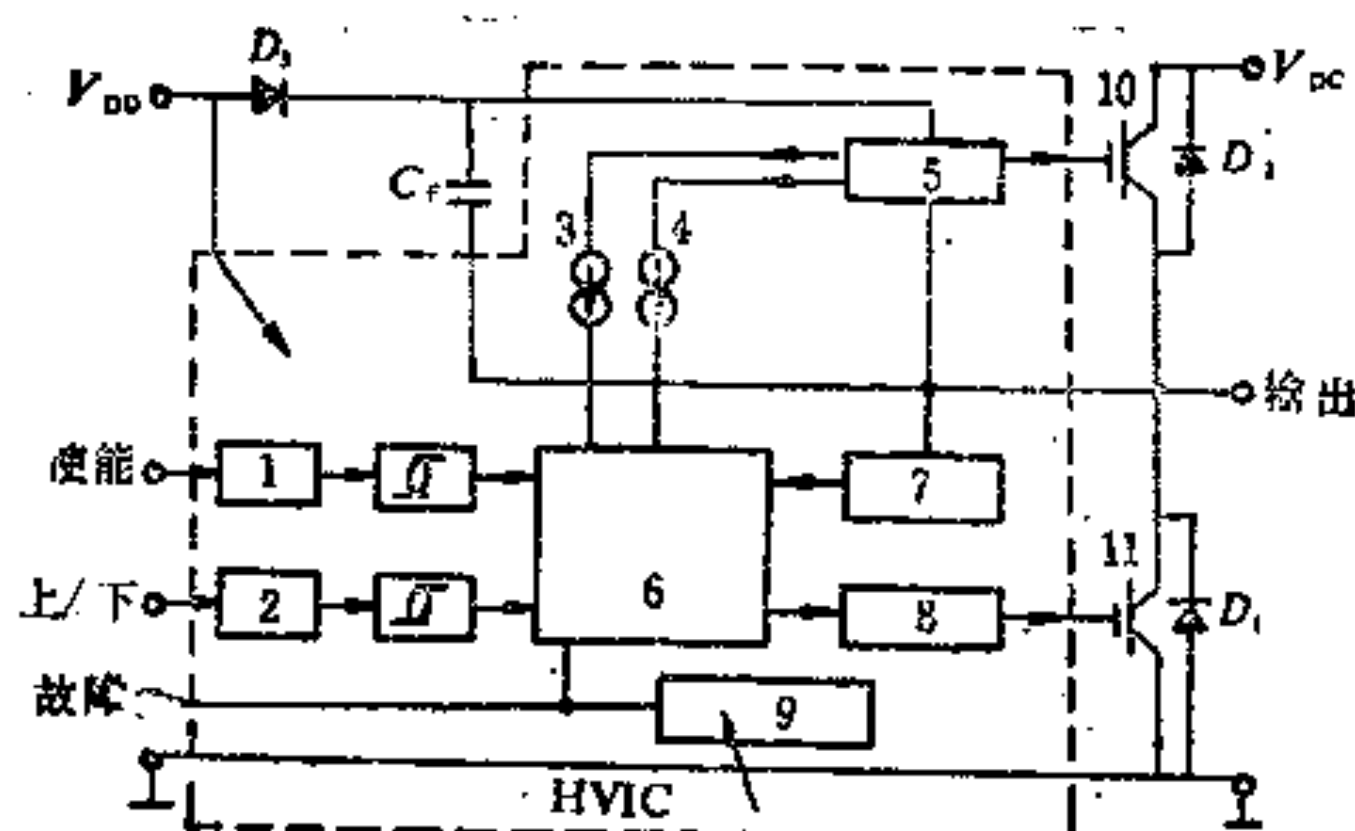


图 7-16 接口与半桥控制HVIC的方框图^[9]

图中1, 2——BC滤波器； 3——脉冲截止； 4——脉冲导通
5——上门驱动； 6——CMOS时间同步器与状态比较器；
7——输出电压检测； 8——下门驱动； 9—— V_{DD} 过低检测；
10——IGT开关A； 11——IGT开关B

态是否与输入指令相符合。MOS下门驱动器接收来自时间同步器和状态比较器的低功率逻辑输入，并对IGT提供所需要的低阻抗驱动，使其迅速接通或断开。另一方面，通向上门驱动器的信号并不是直接的，而是需要应用高压脉冲电流源对信息电平进行位移。考虑IGT开关A需要断开的情况：在IGT开关A断开之前，整个低压门驱动电路（与下门驱动电路相似）的参考电位为高压（高至500V），因为该门驱动电路与输出端相接，需要位移电平来向门驱动电路传送断开的信息，但门驱动电路的驱动电流很小（只有漏泄电流），并且输出IGT是由MOS栅控制的，故可以采用电容 C_F 作为上门电路的浮空电源。当IGT开关B导通时， C_F 通过高压二极管 D_s 充电到 V_{DD} ，在IGT开关A导通时可作为浮空电源。最后对过温、过低 V_{DD} 或表示不准确状态的检测将产生一个故障信号，从而使功率功能截止。

该HVIC是应用结隔离双极/MOS工艺制作的。

§ 7-2 隔离技术^[1, 11, 12]

众所周知，在半导体集成电路中，硅是导电的，必须与各电路元件电隔离，以避免彼此之间的电连接。高压晶体管和低压晶体管之间的电隔离尤为重要。如果在 N^- 衬底上制作一个高压NPN晶体管和一个低压PMOS，如图7-17所示，两者之间若不加隔离，则一方面要产生一个微小的无用电流，使功耗增加；另

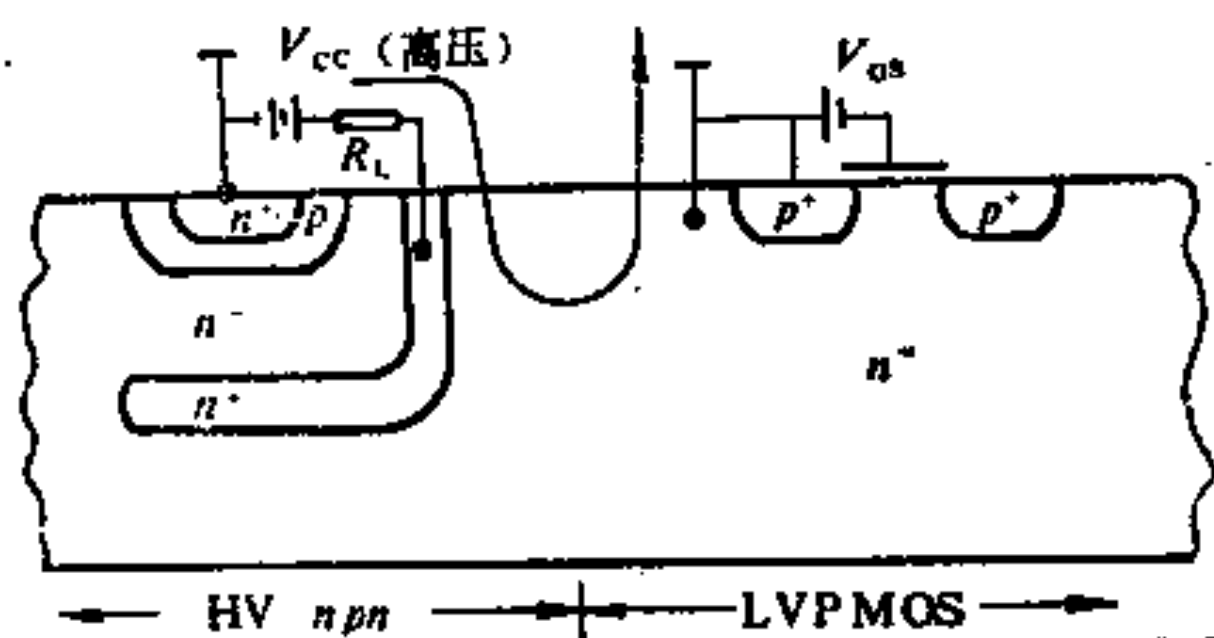


图 7-17 说明HV NPN管与LVP MOS必须隔离的示意图

一方面 PMOS 栅极与衬底之间跨接着一个高压，对于栅氧化层厚度为 100nm 左右的低压PMOS，很难承受这一高压，因此两者之间必须加以隔离。目前最常用的隔离技术是：PN结隔离，自隔离和介质隔离，每种隔离都有各自的优缺点。

1. 自隔离(SI)

MOS具有自隔离特征，因为当其导通时源漏和沟道三区都被耗尽区所包围，与衬底之间形成隔离；当其截止时，漏-衬底间PN结处于反偏，故漏区上的高压又被耗尽区所隔离，故在全部为MOS时可以采用自隔离，图7-18是自隔离的一个例子。

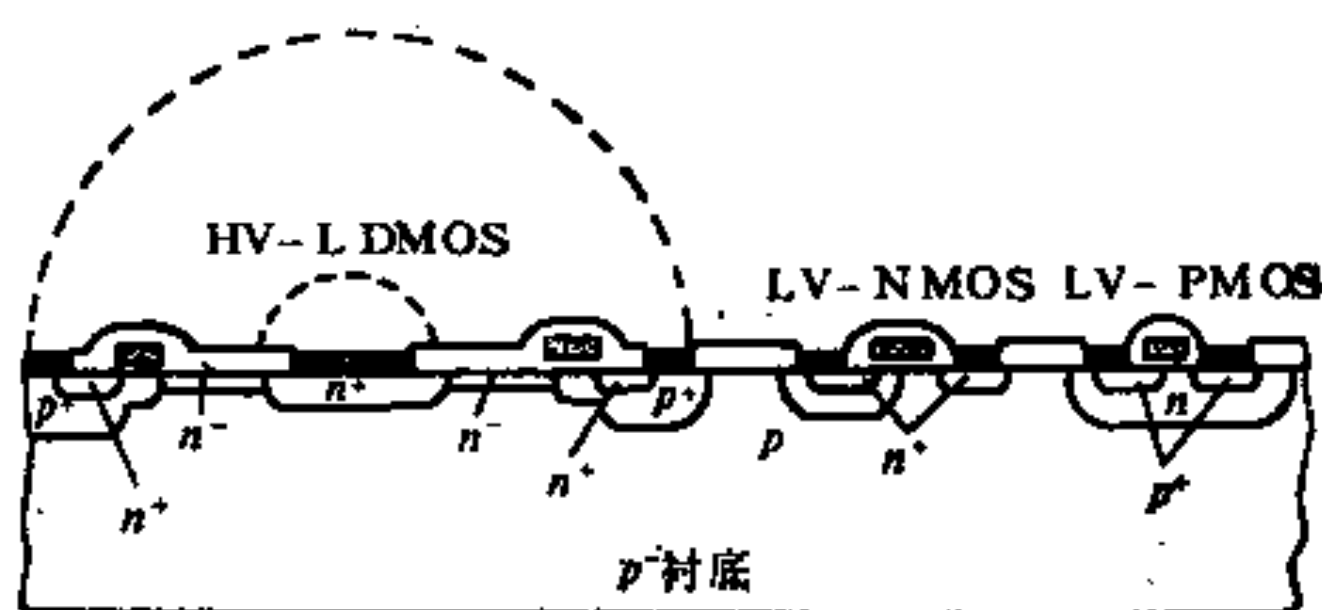


图 7-18 自隔离的HV-LDMOS与CMOS逻辑元件的集成^[11]

自隔离的优点是工艺较为简单，集成度高，高压MOS击穿电压高，在工艺上高压管与低压管可以兼容。但是自隔离有以下限制：1) 高压管必须设计成环形结构，漏区在当中，漏区完全被栅区和源区所包围，这种环形结构可以避免寄生的场反型问题；2) 自隔离可用于集成多个输出MOS，但必须采用共源联接；3) VDMOS不是自隔离的，故不能采用自隔离。

自隔离HVIC是基于NMOS或CMOS工艺发展起来的，适当调整工序的次序就能制成具有击穿电压200~500V的输出器件(至1983年)。第一个生产的自隔离HVIC为N沟道和P沟道高压阵列，不久又报导了用低压N沟道E/D MOS和N沟道高压偏置栅MOS构成的自隔离HVIC。该HVIC为用于场致发光显示器的16路驱动电路，由N沟道E/D MOS构成的逻辑电路，在该HVIC中工作于5MHz，以后为减小功耗，对逻辑电路采用了CMOS。输出高压MOS也可采用制作在薄N⁻外延层上的RESURF LDMOS，其结构如图7-19所示。

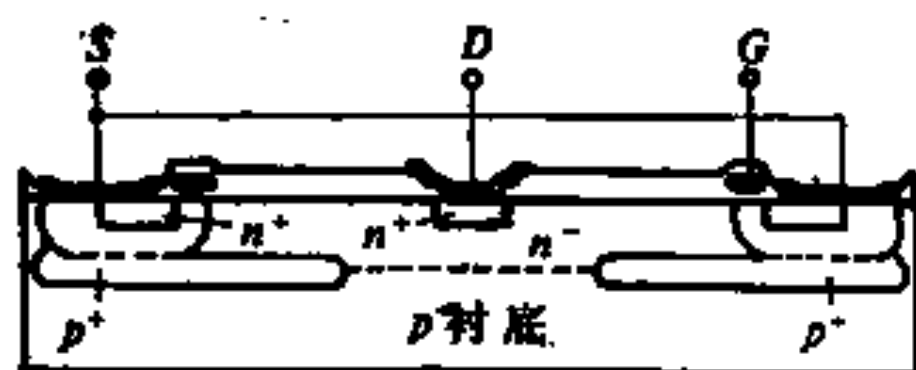


图 7-19 用于自隔离的RESURF LDMOS示意图^[13]

由于自隔离HVIC的基本性能(共源结构，输出管的高导通

电阻和低电流容量)满足显示驱动器的要求,故这类HVIC主要用于显示驱动器。用于制作自隔离的HVIC的NMOS或CMOS工艺能将复杂的逻辑功能与高压输出器件集成在同一芯片上。据1986年的报导,自隔离HVIC的击穿电压已高达1000V。

2. PN结隔离(JI)

JI是大家所熟悉的,传统JI是将有源器件制作在 P^- 衬底上的 N^- 外延层上,穿通外延层的 P^+ 深扩散使各器件或元件间得以隔离,高浓度的 N^+ 埋层使串联体电阻减小。传统JI一般用于电压小于60V的情况,最高可达150V,采用厚外延层和对通扩散,可将电压容量扩展到400V。在传统的JI中,采用RESURF高压器件也能扩展其电压范围。在JI的HVIC或PIC中可以采用纵向器件,从而降低高压器件的导通电阻并扩大电流容量;可以同时采用双极晶体管和MOS,因为在各个JI隔离区内的器件基本上是彼此独立的,故对MOS来说消除了自隔离中高压MOS必须受共源结构的限制。上述两点,使JI·HVIC或JI·PIC有更大的应用范围。

原则上JI对各种工艺都适用,应用范围很广,但是在HVIC中隔离结所占面积较大,集成度较低,有寄生电容和PNPN寄生效应。JI和SI都有在高温时漏泄电流增大这一缺点,虽然这种漏泄电流增加对大多数功率应用是允许的,但这使同一芯片上元件之间的绝缘程度降低,导致器件间的交联和在某些情况下产生电压锁定。

1) 对通结隔离

在HVIC或PIC中的纵向高压器件是通过增加外延厚度来提高其电压容量,电压容量愈高则要求外延层厚度愈厚,从而隔离扩散时间就愈长,隔离结因有横向扩散所占的面积也就愈大。另外传统的高温隔离扩散是在外延后进行的,结果使 N^+ 埋层在隔离扩散中向上推移,使双极晶体管基区与埋层之间的距离减小,

导致击穿电压降低，改进的方法是采用对通结隔离，如图7-20所示。对通结隔离由两步形成，首先在 N^- 外延生长前，对 P^- 衬底

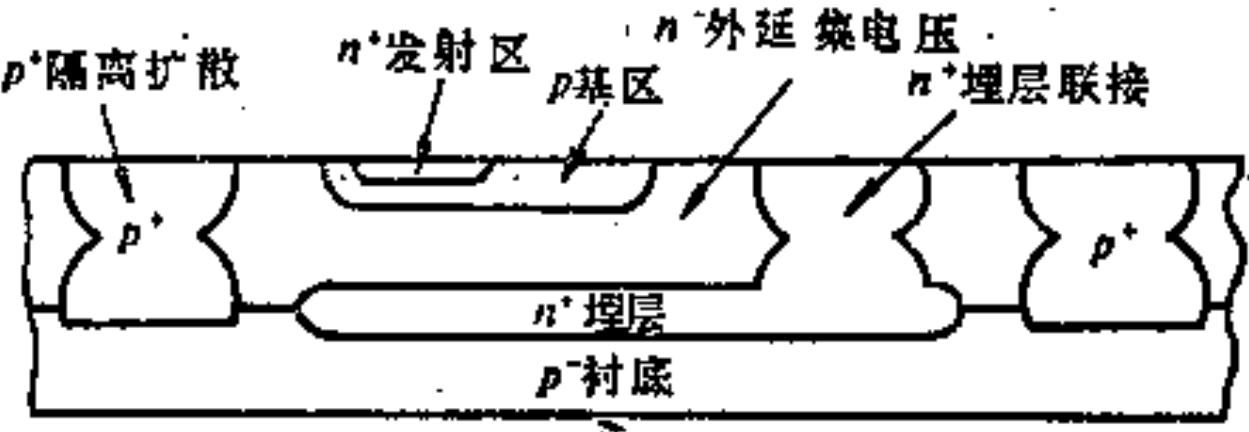


图 7-20 对通结隔离示意图 [14]

进行高剂量的 P^+ 离子注入，再在外延生长后，从表面进行 P^+ 预淀积和再分布，从而缩短高温扩散过程的时间，并使击穿电压提高，隔离结面积减小。在高压双极型器件中，外延层较厚，集电极串联电阻较大，可以通过引入 N^+ 埋层联接来得以减小，见图7-20，当然 N^+ 埋层联接的引入也使得集成度降低。在厚外延层上制成的低压双极晶体管，集电极串联电阻较大，性能较差。采用对通结隔离技术，可以提高纵向低压PNP晶体管的性能，见图7-21。该器件的特征频率 f_T 为10MHz。在HVIC中要提高低压双极器件的性能还可采用半阱隔离（SWI）。

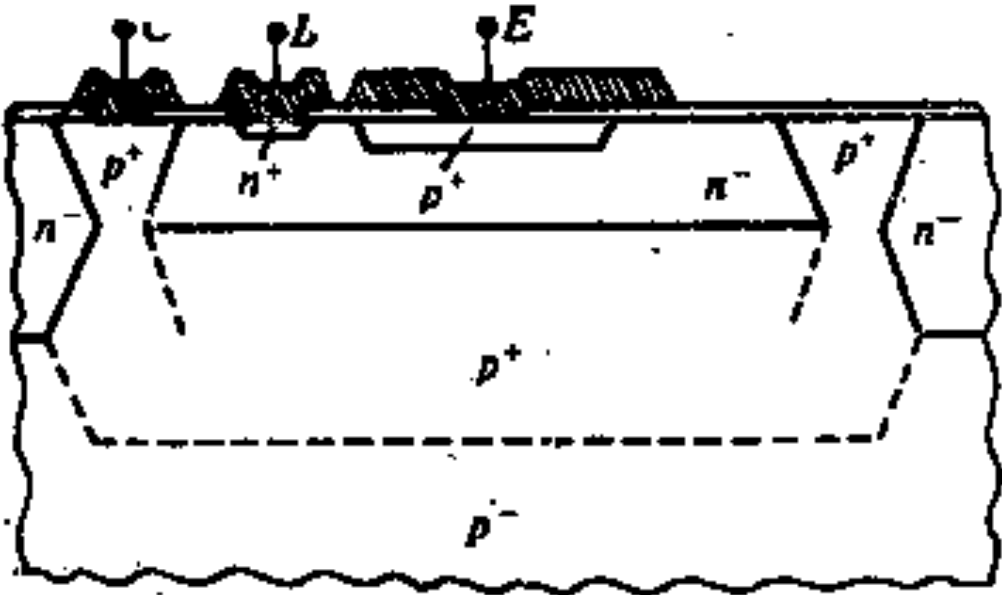


图 7-21 对通结隔离中的纵向LV-PNP晶体管 [10]

为了提高隔离结的击穿电压，可以应用场板技术，如图7-22所示，场板可以用金属场板，也可用多晶硅场板。

2) 半阱隔离 (SWI) [7]

半阱隔离的结构如图 7-23 所示, 其特点是具有两种不同厚度的外延层, 高压器件制作在厚外延层上, 低压逻辑器件制作在薄外延层上, 以获得各自的优异特性。同时, P^+ 隔离扩散只要穿

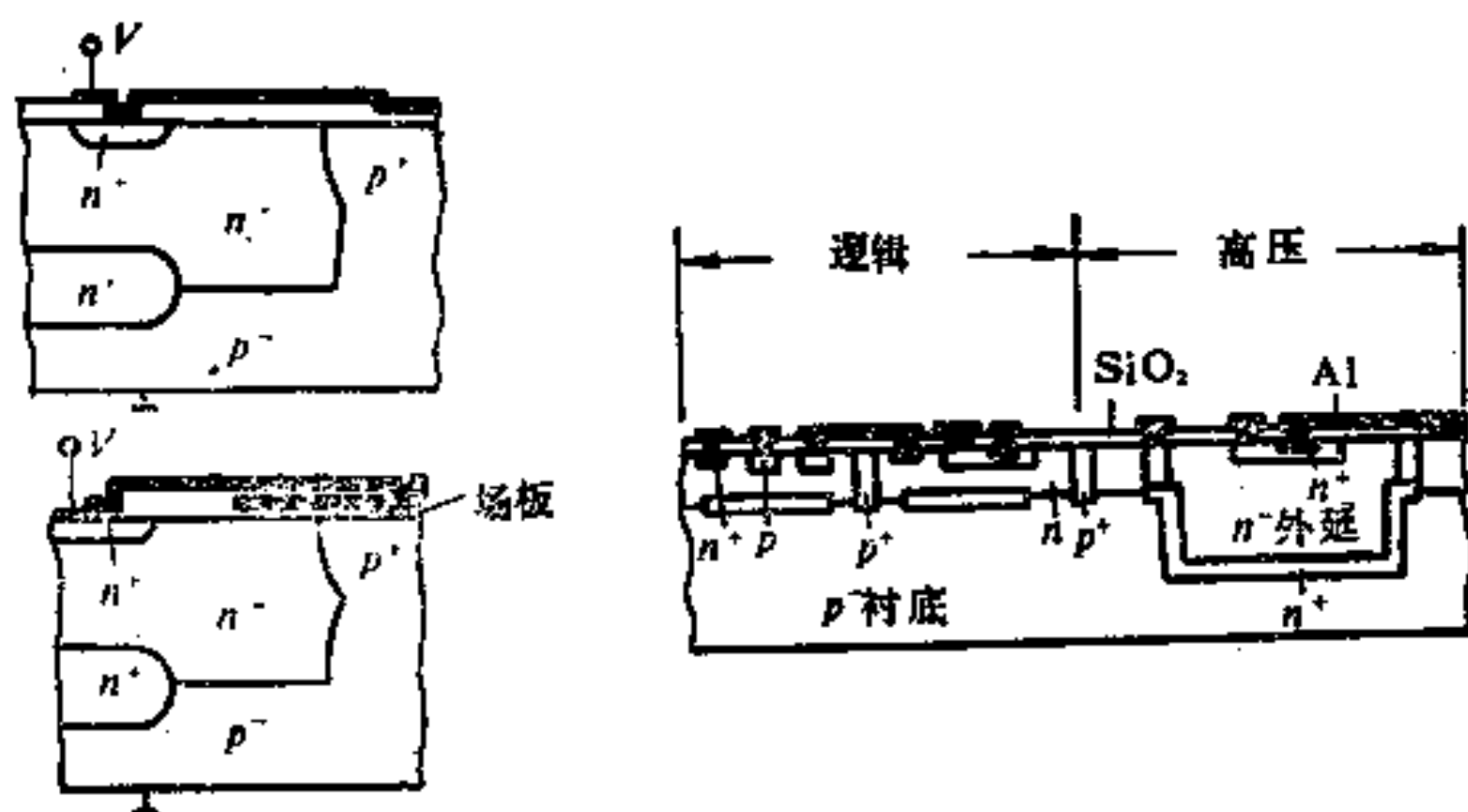


图 7-22 加有场板的隔离结 [10] 图 7-23 半阱隔离结构 [7]

通薄外延层就可以了, 这样隔离的厚外延区很容易得到, 而不需要深隔离扩散。其主要工艺过程如图 7-24 所示。

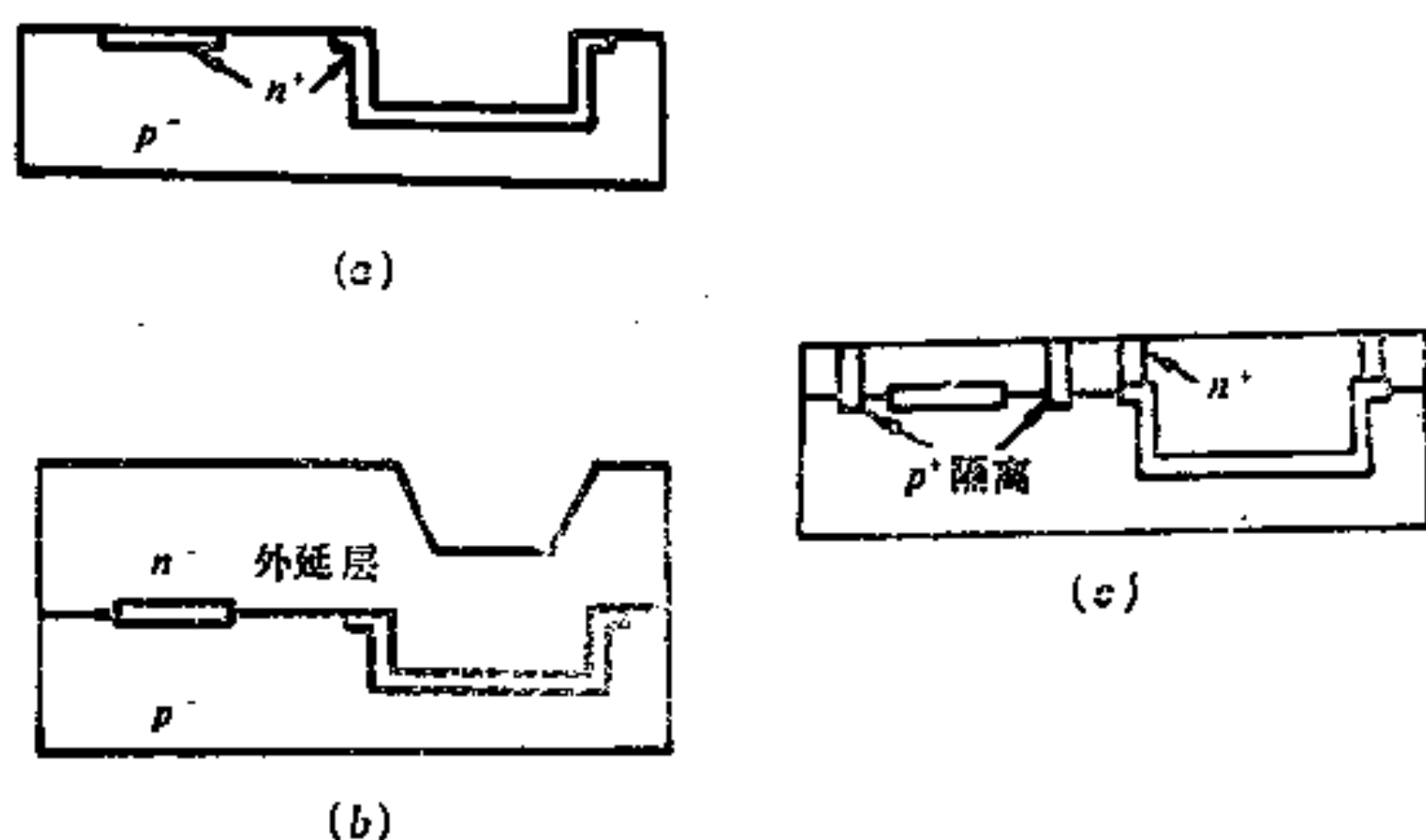


图 7-24 半阱隔离 (SWI) 的主要工艺过程

(1) 氧化

(2) 用硅腐蚀技术形成制作高压器件的阱

(3) N^+ 埋层扩散

(4) 常规外延生长, 外延层的掺杂浓度由高压器件对击穿电压的要求决定。

(5) 平整表面并按需要调整外延层厚度

(6) 制作低压器件的N阱的形成。如果需要还可以采用掺杂的方法使其掺杂浓度稍有提高, 更有利于提高低压器件的性能。

(7) P^+ 隔离和 N^+ 埋层联接扩散。

在第(2)和第(5)步骤中需要对硅进行腐蚀时, 所用的腐蚀剂是相同的, 在腐蚀的过程中用 SiO_2 作为掩蔽。

3. 介质隔离(DI)

介质隔离是应用绝缘介质将集成电路中的元件隔离开来, 其基本结构如图 7-25 所示; 在隔离区内制作了一个 VDMOS。由于 SiO_2 的绝缘性能较好, 故没有漏泄电流, 且隔离电压可高达 1000V, 在温度很高时 SiO_2 的漏泄电流也是非常小, 隔离的元件间仅有寄生的耦合电容起不良作用。另外, 介质隔离中没有PNPN结构, 故不会发生电压锁定。在介质隔离中, 器件与衬底的绝缘, 抑制了衬底电流, 但是衬底的偏置对器件的性能有一定的影响^[15]。用介质隔离的器件是与其它器件完全隔离的, 故在电路设计时可以按独立器件来考虑, 这是十分方便的。双极工艺和 MOS 工艺可以应用于同一芯片上, 而且互补功能也是可行的。背面作为支撑的多晶硅的热导率和 SiO_2 的热导率都比单晶硅的热导率低, 这降低了芯片所能承受的功耗,

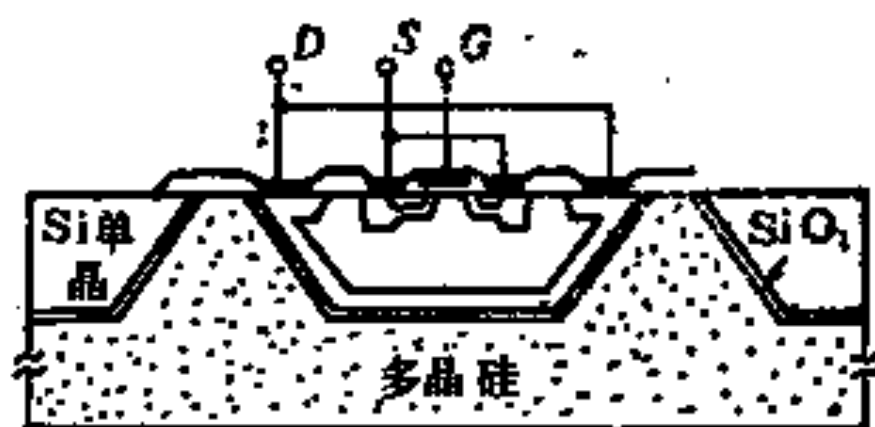


图 7-25 介质隔离结构^[13]

限制了介质隔离在大功率集成电路中的应用。介质隔离工艺复杂，成本昂贵，故在应用方面受到了一定的限制。尽管如此，介质隔离在通信中还是用得比较多的。

标准介质隔离的主要工艺过程如图 7-26 所示。

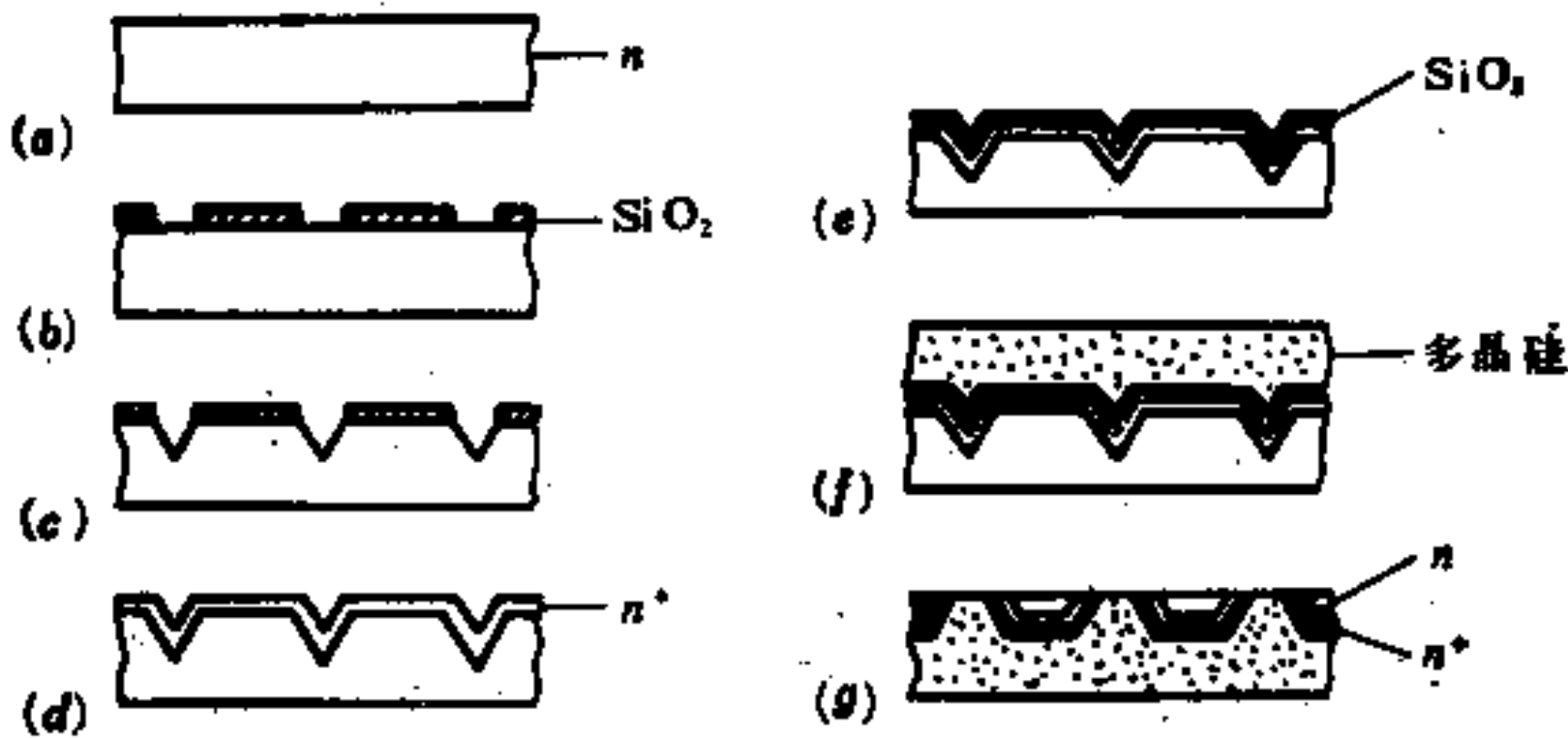


图 7-26 介质隔离的主要工艺过程 [16]

(a) 衬底采用 N 型，(100) 面，其电阻率由高压器件所要求的击穿电压决定。

(b) 在生长氧化层后，用光刻技术刻蚀出窗孔，其宽度由以下关系决定：窗孔宽度 = 0.7 槽深。要注意，隔离槽图形边缘应平行于 $\langle 110 \rangle$ 晶向。

(c) 采用各向异性腐蚀液腐蚀出隔离槽。

(d) 采用外延技术或扩散技术使表面形成 $5 \sim 7 \mu\text{m}$ 厚作为埋层及埋层联接用的 N^+ 层。

(e) 对表面进行隔离氧化，应特别注意氧化层的致密，以降低隔离岛之间的漏泄电流。

(f) 采用外延技术生长作为支撑的多晶硅衬底，其厚度为 $400 \mu\text{m}$ ，外延生长的工艺条件将影响到硅片的弯曲，故必须加以严格控制 [17]。

(g) 最后将背面研磨抛光形成隔离岛。

§ 7-3 SMART功率集成技术[18, 19, 20]

由平面技术制作的具有横向大电流功率晶体管的PIC, 由于横向功率晶体管的集电极位于芯片表面, 使其集电极串联电阻增大, 在大电流时安全工作区受到限制。为了实施高击穿电压, 需采用厚外延层以满足耗尽区的扩展, 这给隔离带来很大的困难。再者, 在大电流情况下, 发射极和集电极电极必须加宽加厚, 以减小电迁移, 满足电流容量的要求。电极金属加厚后, 金属条之间的距离必须增大, 以满足反刻精度的要求。再加上埋层联接的采用, 使得芯片面积大为增加, 为此具有横向大电流功率管的PIC, 电流一般限制在5 A以下。

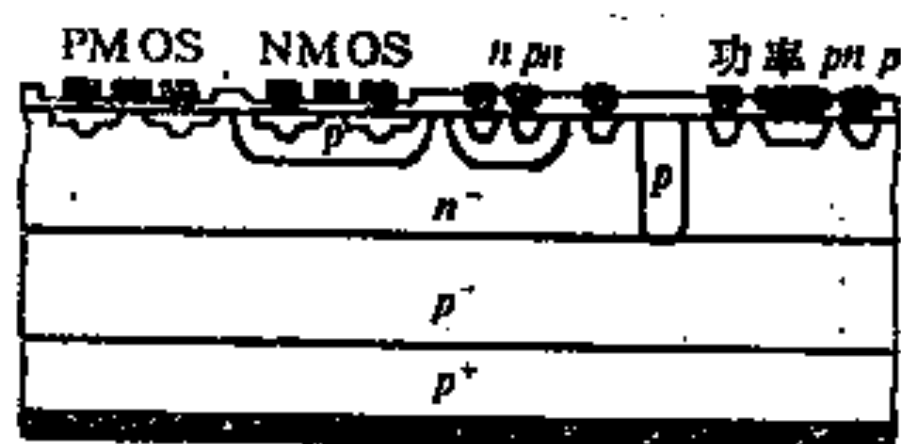


图 7-27 SMART功率器件剖面图

Motorola公司SMART 功率集成技术的要点是(见图7-27):

(1)采用外延基区纵向PNP晶体管作为输出, 将集电极置于芯片背面, 采用低电阻率 P^+ 衬底, 使15 A时 $R_{CE(sat)}$ 为70m Ω 。

(2)采用铝栅CMOS作逻辑控制电路。CMOS制作在 N^- 外延层上, CMOS是自隔离的, 故不需要纵向及横向隔离。PNP晶体管用作开关, 在开态时集电结处于正偏有注入产生, 故高压PNP管与低压电路之间必须隔离。由图7-27可见, P^+ 隔离扩散只要穿通 N^- 外延层就足够了, 故不需要深扩散隔离。 N^- 外延层必须在整个PIC中处于最高正电位以实现 N^- 外延层与 P^- 外延层之间的隔离。

总之, SMART 功率集成技术是将具有兼容结构的两种标准技术(双极技术和MOS技术)结合起来以实现多种多样的电路。

纵向功率管和CMOS的结合,能使PIC具有控制、接口和保护等功能,实际上SMART功率集成技术是针对着大功率控制而发展起来的。

SMART 功率 I 集成技术的主要工艺过程如图7-28所示。

(a) 原始材料为P⁺衬底上的N⁻/P⁻双层外延片。

(b) P⁺隔离扩散。

(c) P⁻阱扩散。

(d) NMOS漏源区和NPN管发射、集电区N⁺扩散。

(e) PMOS漏源区和高压PNP管发射区P⁺扩散。

(f) MOS沟道的栅氧化。

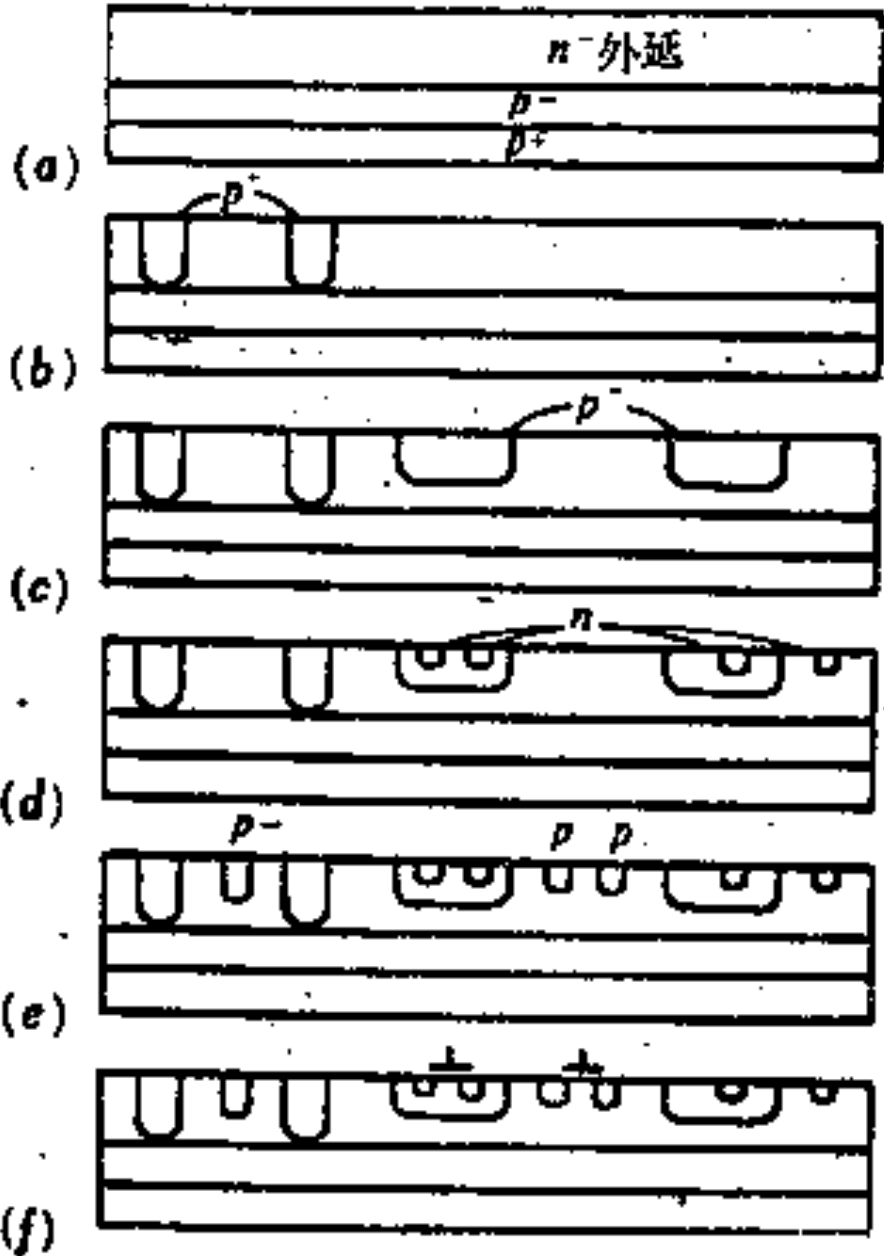


图 7-28 SMART功率I主要工艺过程

最后是电极形成。

还要指出,在SMART功率器件中,也可以包括高压NMOS和高压PMOS,这些高压MOS都是采用漏极延伸结构。

现在SMART功率集成技术已扩展到包括其它类型的功率器件,例如NPN功率晶体管,T-MOS(由其漏极电流分裂成T形而得名)功率管和功率T-MOS可控硅整流器,这些统称为SMART功率II。实际上,现在采用SMART功率集成技术已能制作几乎所有在电路设计中用到的有源器件。SMART功率集成器件主要应用于大电流稳压器。电源供给和直流马达控制,这些PIC的电流容量能高达20A,工作电压高达110V。

SMART功率集成技术有以下两方面的限制:

第一,由图7-27可见,SMART功率集成器件中只有一个集电极,故功率器件只能是一个或共集电极的功率管阵列。

第二,在SMART功率I集成器件中,高压PNP管的基区宽度受到 P^- 阱深度的限制,PNP管的基区宽度必须足够宽,以适应制作NMOS的 P^- 阱的要求。

目前, Motorola公司在SMART功率器件方面已开发了多种产品,例如:

(1) XPC1500功率开关。该器件是为按CMOS指令接通和关断16A负载功率而设计的。

(2) XPC1600 PWM(脉冲宽度调制器)PIC。该PIC是为开关稳压器和马达控制而设计的,集成的功率MOS,在最大漏极电流为10A时,能承受150V。

(3) MPC2005过压和过温保护器。MPC2005是由T-MOS SCR与CMOS控制逻辑集成,能对温度超过 125°C 和电源负载短路进行保护。

(4) 100W功耗,输入40V,输出5V、10A集成稳压器。该PIC的芯片面积为 $150 \times 250(\text{密耳})^2$,由于只有三个管脚,使用方便。该PIC的方框图如图7-29所示。

除电压基准由双极晶体管集成外,其它控制电路都由MOS集成。电流基准采用反馈电路以建立稳定的工作条件。热限制电路采用具有负温度系数的基极-发射极二极管作为基准,在其与具有正温度系数的硅电阻作比较后,产生一个热控制信号。输出级采用外延基区达林顿PNP管,使其在较小的输入电流时得以驱动。由于输出管的集电极位于芯片底部,当其与管座相接触时,管座起热沉作用,从而使热阻减小,有利于功耗的增大。当该PIC的结温达到 150°C 时,温度控制电路就使稳压器关断,当温度恢复到正常后,又能立即恢复工作,而不需要外部再启动。

用纵向NPN管作为输出与CMOS逻辑控制电路的集成,在

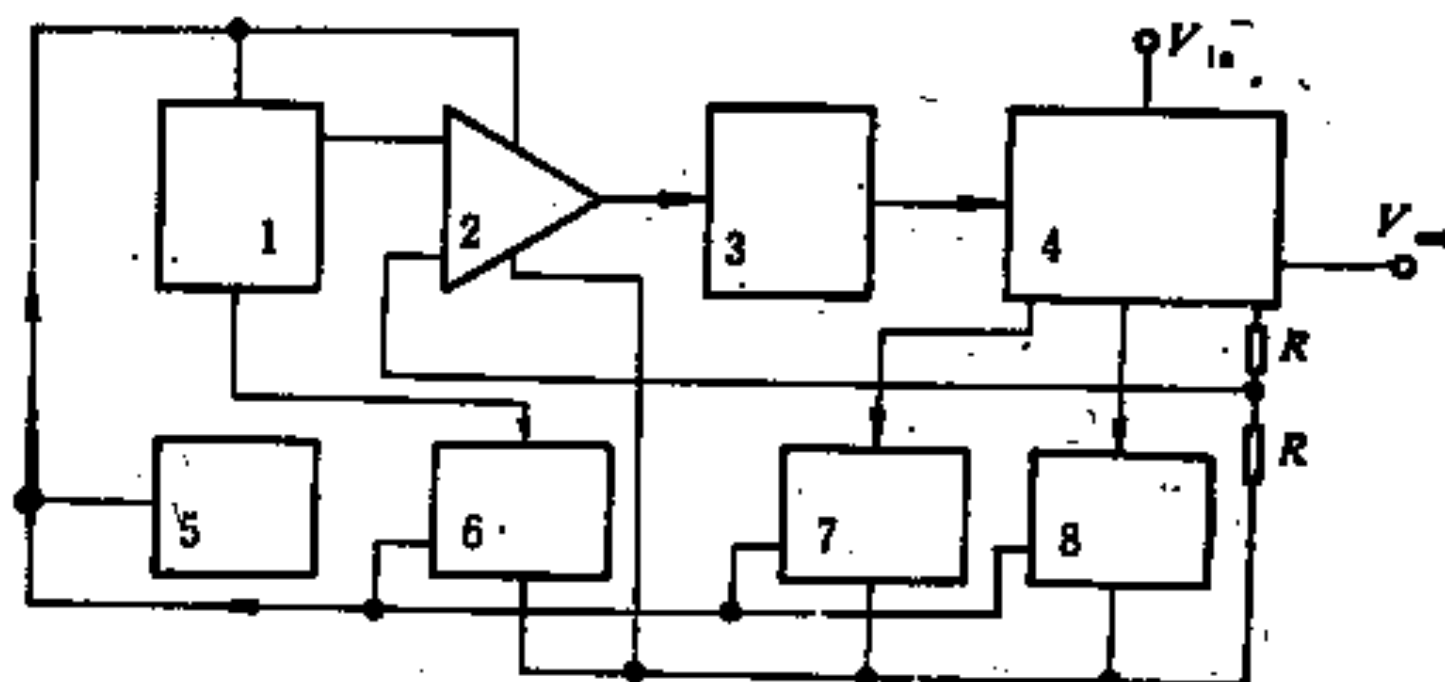


图 7-29 100W功率, 40V输入, 5W10A输出稳压器方框图

1. 双极电压基准, 2. MOS误差放大器, 3. MOS缓冲,
4. PNP输出达林顿, 5. MOS电流基准, 6. MOS热限制,
7. MOS饱和电流限制, 8. MOS过流限制

工艺上是比较困难的。因为采用与SMART功率I相类似的结构, 用P⁻外延层作为CMOS的衬底和NPN管的基区, 为了与低掺杂的N阱相适应, 这一P⁻外延层的掺杂必须非常低, 这意味着由于NPN管基区掺杂浓度过低, 易于穿通, 而导致击穿电压降低, 故比较难以实现。

另外一种采用纵向NPN管作为输出的方法是用National的Moose工艺, 制成的稳压器中的有源器件的剖面图如图7-30所示。Moose工艺采用双极控制电路, 双极晶体管之间都要进行隔离。实现纵向NPN管输出的关键在于采用双N⁺埋层, 即在P⁻外延前作一个N⁺埋层, 在N⁻外延前又作一次埋层。在高温过程中,

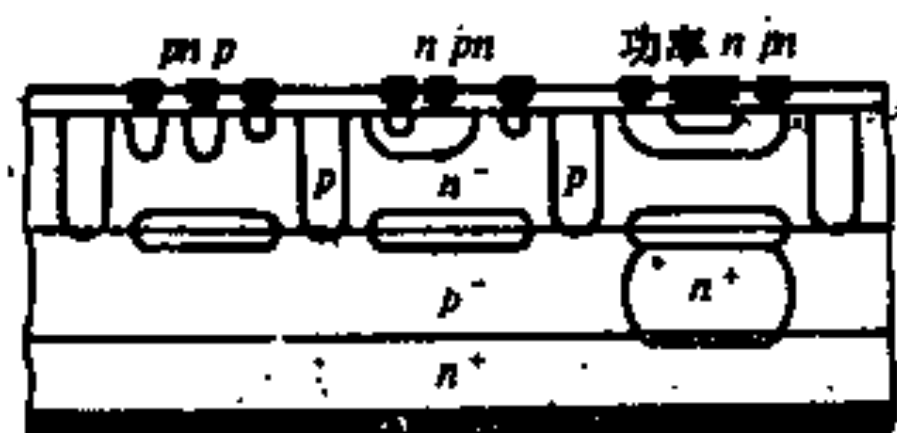


图 7-30 National Steel稳压器中的有源器件

由于杂质扩散的结果，使双埋层交迭，从而在电流通道中消除了 N^- 外延层和 N^+ 衬底之间的 P^- 夹层。由于电子的迁移比空穴的迁移率大，使电流容量大为增加。

§ 7-4 DMOS/CMOS(或D/CMOS)

集成技术

在集成电路中，互补技术是很重要的，因为CMOS具有较好的线性，这在线性放大器的设计中是很重要的，另外CMOS功耗小，开关速度高，在电路设计中灵活性大。

1. 高压CMOS技术

高压CMOS最适宜作开关用，图7-4所示的高压电平移位电路就是一个例子。高压CMOS技术大致有三种：双深阱高压CMOS技术、浅阱高压CMOS技术和SOS高压CMOS技术。

1) 双深阱高压CMOS技术^[21]

由图7-31可以看到，高压NMOS和PMOS是分别置于两个离

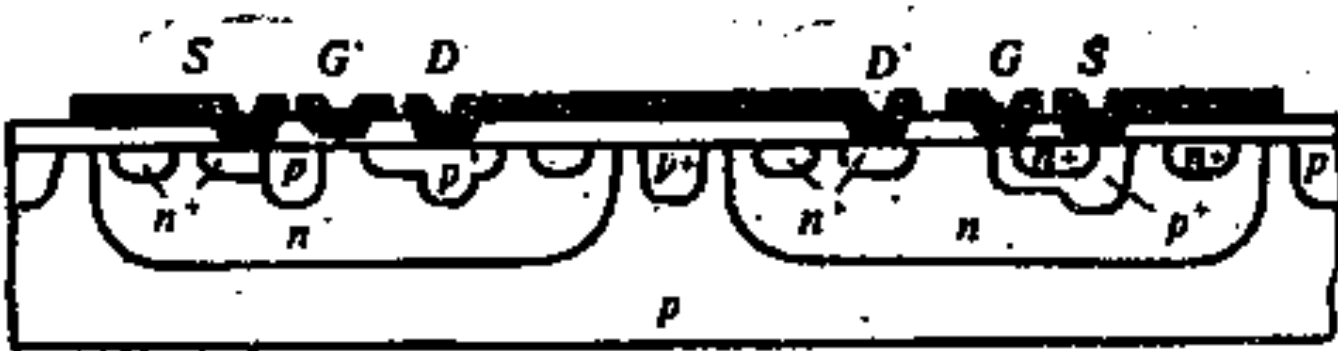


图 7-31 双深阱高压CMOS的剖面图^[21]

子注入的深 N^+ 阱中，从而实现两者之间的隔离。为了实现高击穿电压，阱的结深是很深的，故阱的形成需要很长的扩散时间。为了防止厚氧化层上面金属互联所产生的寄生沟道，在 N 阱中采用了 N^+ 沟道截断环，在 P^- 衬底中采用了 P^+ 沟道截断环。高压NMOS为LDMOS，按200V击穿电压设计，在 N 阱结深足够深

时, N阱的浓度为 $1 \times 10^{15} \text{ cm}^{-3}$, P⁻衬底浓度应稍低些, 为 $3 \times 10^{14} \text{ cm}^{-3}$, 这样大部分的耗尽区将向衬底扩展。为了保证源与衬底之间不致穿通, N阱的结深应为 $26 \mu\text{m}$; 为了使栅极能承受大于 200 V 的栅源电压, 栅氧化层的厚度为 200 nm ; 为使长度为 $3 \mu\text{m}$ 的沟道的穿通电压大于 200 V , 沟道区浓度 $N_{A, \text{max}}$ 应为 $1 \times 10^{17} \text{ cm}^{-3}$ 。这样高压NMOS的阈电压约为 6 V , 按以上设计在漂移区长度为 $15.9 \mu\text{m}$ 并采用场板后, 高压NMOS的击穿电压为 200 V 。

高压PMOS为偏置栅结构, 漏区周围的离子注入 P⁻ 夹断电阻起着漂移区作用。由于其沟道长度是由光刻决定的, 故比高压NMOS的沟道长, 高压PMOS的沟道长度为 $6 \sim 7 \mu\text{m}$, 漂移区长度为 $12 \sim 13 \mu\text{m}$, 这样, 高压PMOS的击穿电压将大于 160 V 。这一高压CMOS技术是与低压CMOS/双极技术相兼容的; 低压CMOS的工作电压为 15 V 。

2) 浅阱高压CMOS技术^[22]

浅阱高压CMOS技术是将高压PMOS制作在结深约为 $4 \sim 5 \mu\text{m}$ 浅N阱中, 高压NMOS则制作在 P⁻ 衬底上 (见图 7-32), 虽然阱很浅, 但PMOS和NMOS的击穿电压都能达到 250 V 或更高些。浅阱的采用是很有意义的, 因为高压和低压器件可用同一个标准CMOS工艺来制作。高压PMOS是制作在与低压PMOS相同 (结深) 的阱中, 该阱具有多晶硅场板, 以提高阱与衬底之间的击穿电压, 由于采用具有漏延伸的偏置栅结构, 在栅氧化层击穿前, 耗尽区的纵向扩展转变成横向扩展。当高压

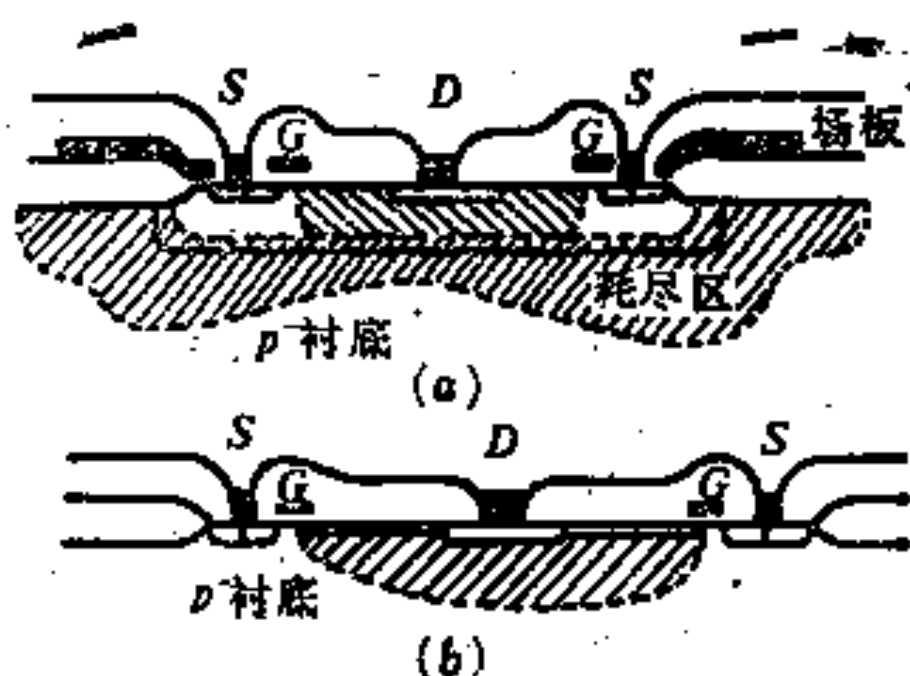


图 7-32 浅阱高压CMOS剖面图^[22]
(a) 高压PMOS; (b) 高压NMOS

PMOS处于截止状态时,沟道的偏置部分耗尽,同时当电压大于某一数值时,沟道下面的阱也耗尽,当漏区与栅极之间的N阱完全耗尽后(见图7-32(a)),再增加漏源电压时,其增加部分将降落在该耗尽区上,从而获得高击穿电压。此时该耗尽区内的电场大部分是横向的,故器件必须当作二维结构来处理,模拟计算结果表明,最大横向电场是偏置沟道掺杂浓度和N阱掺杂浓度的函数。

高压NMOS也是采用具有漏延伸的偏置栅结构,其与高压PMOS所不同之处在于它是直接制作在P⁻衬底上。

高压PMOS和高压NMOS都是漏极位于中心且被栅和源完全包围的环形结构,低压MOS与高压MOS都具有100nm的栅氧化层厚度,故阈值电压相同。

高压NMOS的击穿电压为400V(栅极零偏置),高压PMOS的击穿电压为225V(栅极零偏置),阱与衬底之间的击穿电压为400V。

2. D/CMOS集成技术

Siliconix 公司设计的D/CMOS集成技术是将作为输出级的高压LDMOS与作为逻辑或模拟电路的低压CMOS和NPN晶体管集成在一起。功率器件能承受几百伏电压,该公司正在计划将击穿电压提高到500V,这种PIC工作于80V时的电流容量为20A,开关速度超过200kHz。这一集成技术的应用很广泛,从低价的远程电话线功率转换直到集成电源控制和场致发光平板显示驱动器。

1) 自隔离D/CMOS集成技术

采用该集成技术可以集成高压LDMOS,低压增强和耗尽型NMOS及PMOS,见图7-33。由于采用了自隔离,输出级必须是漏极开路结构,CMOS的工作电压为15V,输出LDMOS的击穿电压为400V,采用4 μ m硅栅工艺,逻辑的时钟频率为5MHz。

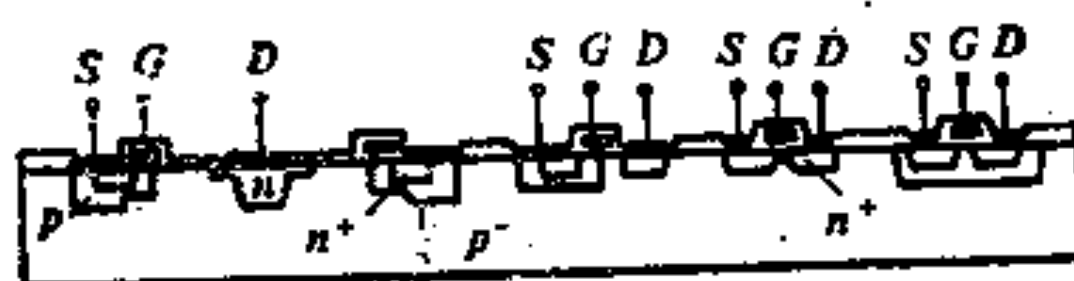


图 7-33 自隔离D/CMOS IC的剖面图

2) 结隔离D/CMOS IC集成技术

在采用结隔离后(见图7-34), 由于两个高压LDMOS的漏极可以处于不同的电位, 因此可以联接成图腾柱输出, 并且除高压LDMOS能与CMOS集成外, 还可以与NPN和PNP晶体管集成, 这给电路设计带来方便, 使设计的灵活性大为增加。

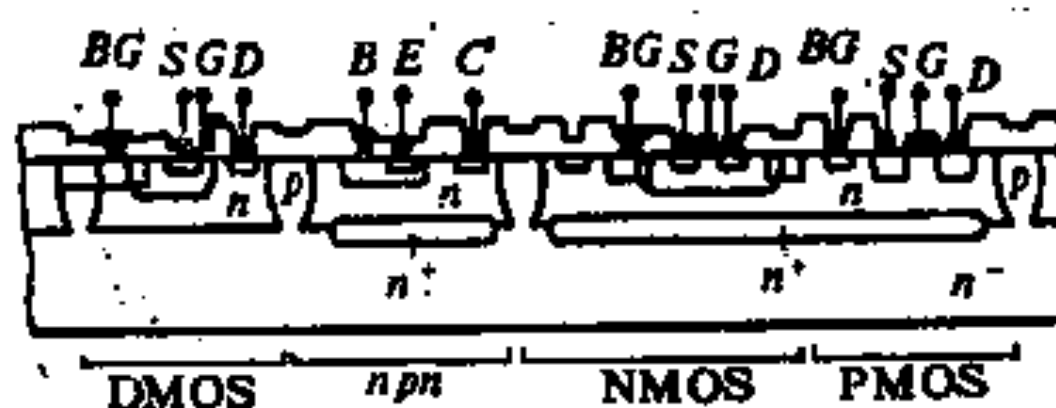


图 7-34 结隔离D/CMOS IC的剖面图

3) 结隔离互补D/CMOS集成技术 (见图7-35)

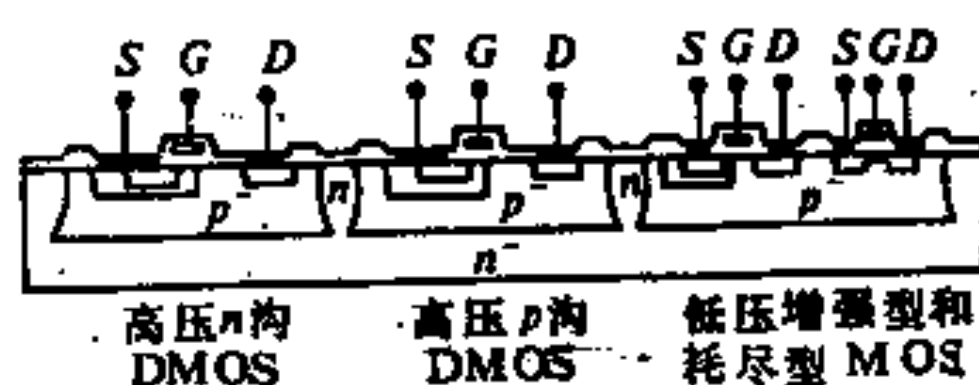


图 7-35 结隔离互补D/CMOS IC的剖面图

该技术的特点是采用 N^- 衬底上生长 P^- 外延层的外延片作原始材料, 用 N^+ 扩散对其进行隔离, 形成 P^- 隔离岛。高压N沟和P沟LDMOS分别制作在两个隔离岛中, 形成互补结构, 这样就可以联接成推挽输出。结隔离和高压LDMOS都能承受120~150V电压, 低压逻辑的工作电压为5~15V。

这三种集成技术在生产中用于制造PIC都是可行的,考虑到设计中的灵活性和制造成本,第二种结隔离D/CMOS集成技术在工业生产中将广泛采用。图7-34所示的PIC剖面只有几个方面与双极集成电路的剖面不同,其中最重要的是包括一个制作NMOS的轻掺杂的深P阱和需要栅介质和栅电极。P阱是容易实现的,因为在双极集成技术中有硼扩散。生长作为栅介质的优质 SiO_2 也是熟知的,常用的栅电极为铝或掺杂的多晶硅。铝作为互联金属工艺简单。但增加了器件的面积,用多晶硅作为栅电极需要增加工序,但允许双层布线。

§ 7-5 BIMOS集成技术

对于结隔离的情况,BIMOS集成技术可分为两大类:其一是制作在厚外延层上的称为厚外延BIMOS集成技术,高压输出管一般为LDMOS或VDMOS,击穿电压不太高。其二是制作在薄外延层上的称为薄外延BIMOS集成技术,高压输出管为RESURF器件,击穿电压很高。以下各举一个例子。

1. 厚外延BIMOS集成技术^[24]

Fairchild公司采用该技术可将高压LDMOS高压VDMOS低压NPN和PNP及低压CMOS集成在一起,该技术的基础是铝栅CMOS工艺,其主要工艺过程如图7-36所示,衬底采用 $11\sim 18\Omega\cdot\text{cm}(100)\text{P}$ 型硅。

- (1) N^+ 埋层扩散, $R_s = 20\Omega/\square$ 。
- (2) 生长 $5\Omega\cdot\text{cm}, 20\mu\text{m}$ 的N型外延层,并对外延层氧化。
- (3) P^+ 隔离扩散。
- (4) N^+ 埋层联接扩散。
- (5) 刻出制作N沟CMOS的 P^- 阱和BJT的基区窗孔。

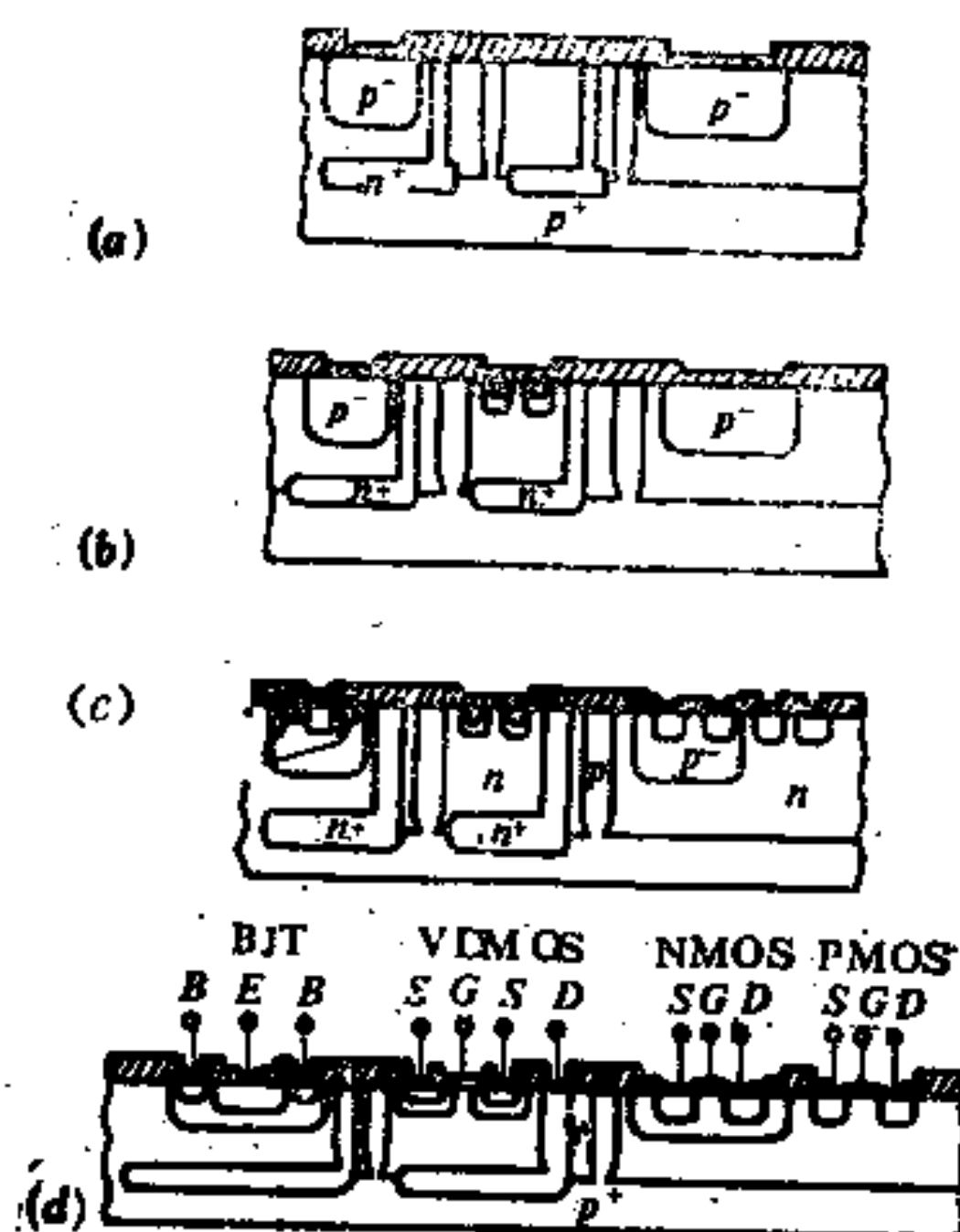


图 7-36 厚外延BIMOS集成技术的主要工艺过程
(LDMOS和横向PNP未画出) [24]

(6) 硼 B^{++} 离子注入, $Q = 3.2 \times 10^{13} \text{ cm}^{-2}$, 60keV, 随后进行扩散, 见图 7-36(a)

(7) 刻出DMOS的源区窗孔。

(8) 首先在100KeV离子注入As, $Q = 3 \times 10^{14} \text{ cm}^{-2}$, 随后在60keV离子注入硼 $Q = 8 \times 10^{13} \sim 3 \times 10^{14} \text{ cm}^{-2}$, 最后进行扩散, 从而形成沟道区, 见图 7-36(b)。

(9) 刻出P沟CMOS的漏源, 纵向NPN管的基区接触和横向PNP管的发射区、集电区窗孔。

(10) 在100keV时离子注入硼 $Q = 5 \times 10^{15} \text{ cm}^{-2}$ 并进行扩散, $R_s = 45 \Omega/\square$ 。

(11) 刻出N沟CMOS的源漏, LDMOS的漏和纵向 NPN 管的发射区窗孔。

(12) 磷预淀积与再分布, $R_s = 20\Omega/\square$, 结深为 $2\mu\text{m}$, 见图 7-36(c)。

(13) 刻出VDMOS、LDMOS和CMOS的栅窗孔。

(14) 栅氧化 $T_{ox} = 90\text{nm}$ 。

(15) 在45keV时离子注入硼, $Q = 2.6 \times 10^{11}\text{cm}^{-2}$, 以调整P沟CMOS的阈值电压。

(16) 刻出电极接触窗孔, 蒸铝、反刻及钝化, 见图 7-36(d)。

2. 薄外延BIMOS集成技术

在薄外延BIMOS集成技术中, 采用 N^- 薄外延层, 用RESURF PN结对元件进行隔离, 其中包括低压CMOS, 低压PNP和NPN管, 高压NMOS (RESURF LDMOS) 和高压NPN管, 见图 7-37。选择CMOS作为数字逻辑是因为其静态功耗低、开关速度高和有较高的噪声容限。CMOS中的一个应该注意的问题是锁定效应, 在该技术中由于采取的结构中没有PNPN寄生结构的存在, 消除了锁定效应。CMOS采用硅栅工艺, 这一方面能实现自对准, 另一方面能同时制作多晶硅高值电阻。多晶硅电阻因其能承受高达500V的瞬时电压, 并有很大的方块电阻, 故在HVIC中最为适用。为了使电路设计有更大的灵活性, 除低压CMOS外还包括了低压纵向NPN管和横向PNP管。高压LDMOS可以用作高压小电流源极接地的开关。但是高压小电流NPN管也是很重要的, 用该器件可以实现高压恒流源, 在用于显示驱动器, 当显示器短路时, 可以保护HVIC使其不致损坏。另外, 用高压NPN管很容易构成高压电平位移电路。四种低压器件都是制作在隔离岛中由 N^+ 埋层和 N^+ 埋层联接所构成的 N^+ 盆中。 N^+ 埋层的作用是多重的, 对NPN管, 结合 N^+ 埋层联接使集电区串联电阻降低, 对横向PNP管, N^+ 埋层将注入的空穴反射到集电极, 从而使增益增大。对于CMOS, 由于PMOS和NMOS分别位于两个 N^+ 盆中, 不存在PNPN结构, 从而消除了CMOS的锁定效应。

这一集成技术的另一特点是: 位于 N^+ 盆中的低压器件对衬

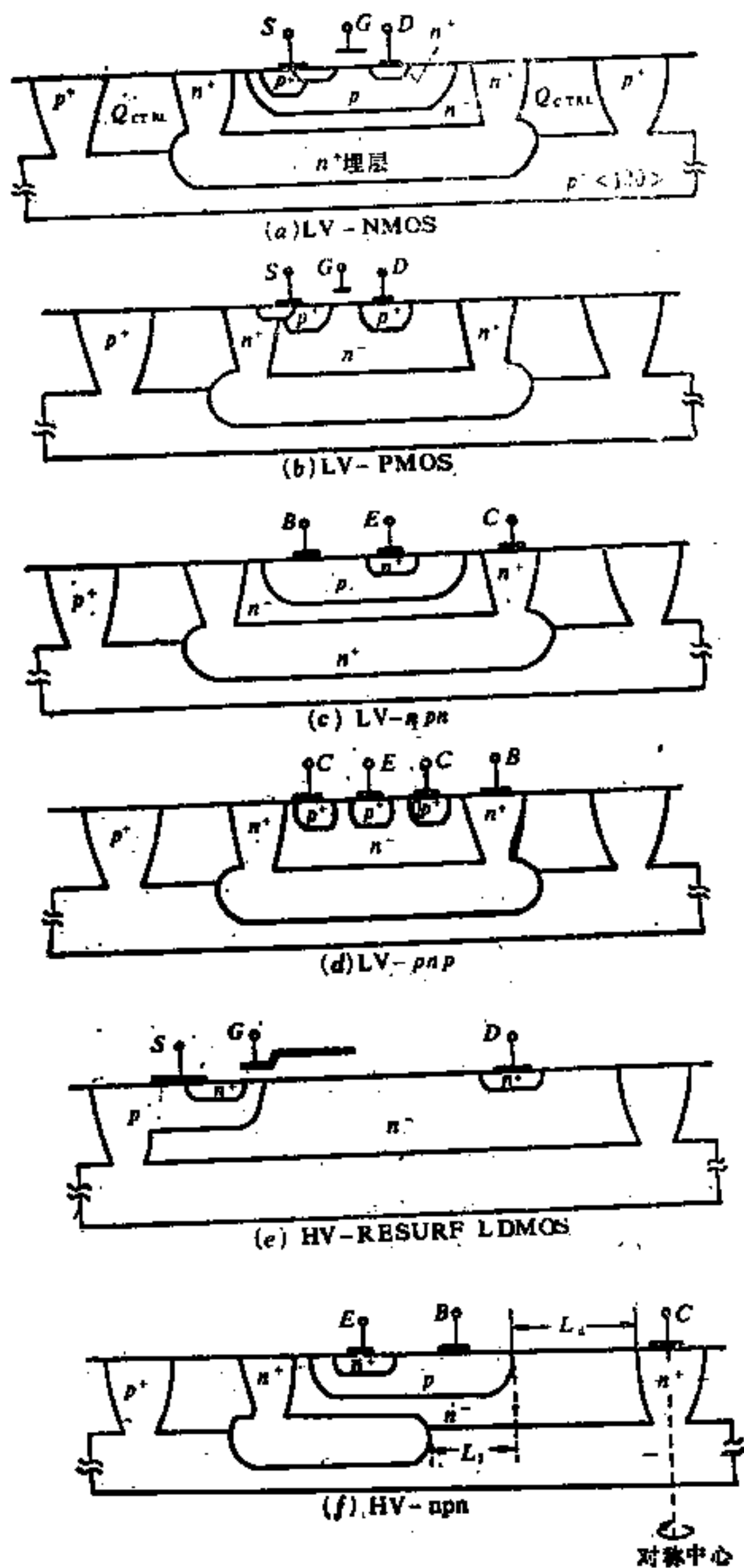


图 7-37 薄外延BIMOS集成技术中的高压和低压晶体管 [25*20]

底能处于高压，见图 7-38。如果由 L_D 所决定的 RESURF PN 结

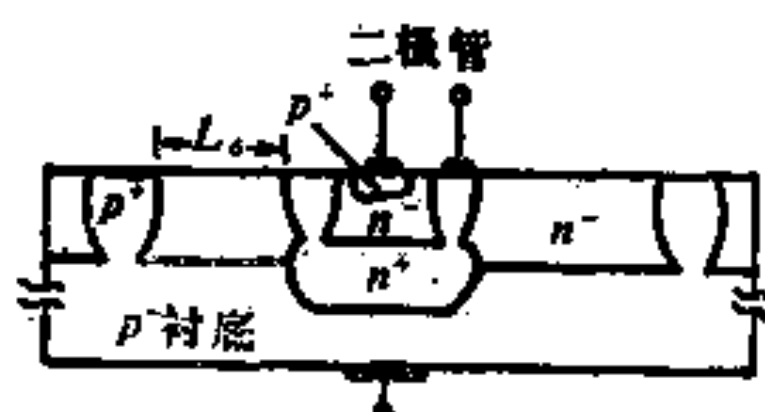


图 7-38 N^+ 盆中的低压器件对衬底能处于高压 [26]

的击穿电压为 500 V，则图 7-38 所示二极管的 N^+ 区的电压可达 +500 V，若该二极管的击穿电压为 60 V，则该二极管的 P^+ 区的电压可达 +440 V，这就说明了在 N^+ 盆内的低压器件能对衬底处于高压。

横向高压 NPN 管由一个低压 NPN 管和一个横向高压 JFET 构成，见图 7-37(f)。这一 JFET 器件是基区扩散的一部分，并且是正常开启的，当 E-B 结反偏时，高压 NPN 管处于截止状态，此时 JFET 被夹断，从而将低压 NPN 管的发射区和集电极的高压隔离，高压为漂移区所承受，如同高压二极管 (RESURF 二极管) 的情况一样。基区扩散延伸过 N^+ 埋层的部分为 JFET 的有效沟道长度 L_1 ，JFET 的有效沟道长度 L_1 和漂移区长度 L_D (见图 7-37(f)) 是决定高压 NPN 管击穿电压的重要因素，见图 7-39。由图可见，在采用 P^- 衬底电阻率为 $250 \sim 300 \Omega \cdot \text{cm}$ ， Q_{CTRL} 为 $5 \times 10^{11} \text{cm}^{-2}$ ， L_D 为 $170 \mu\text{m}$ 时， L_1 必须大于 $25 \mu\text{m}$ ，才能获得 1200 V 的击穿电压。

高压 NPN 管的导通电阻由二部分组成：一部分是漂移区的电阻 R_D ，另一部分是 JFET 的夹断电阻 R_{JFET} ，故高压 NPN 管的导通电阻 R_{on} 为

$$R_{\text{on}} = R_D + R_{\text{JFET}}$$

要指出 R_{JFET} 是整个 R_{on} 中的一个重要部分，故不能忽略。

据报导，G.E. 公司于 1984 年采用 $80 \sim 100 \Omega \cdot \text{cm}$ P 型衬底， $7 \mu\text{m}$ 厚的外延层，对漂移区进行 N 型离子注入，使其漂

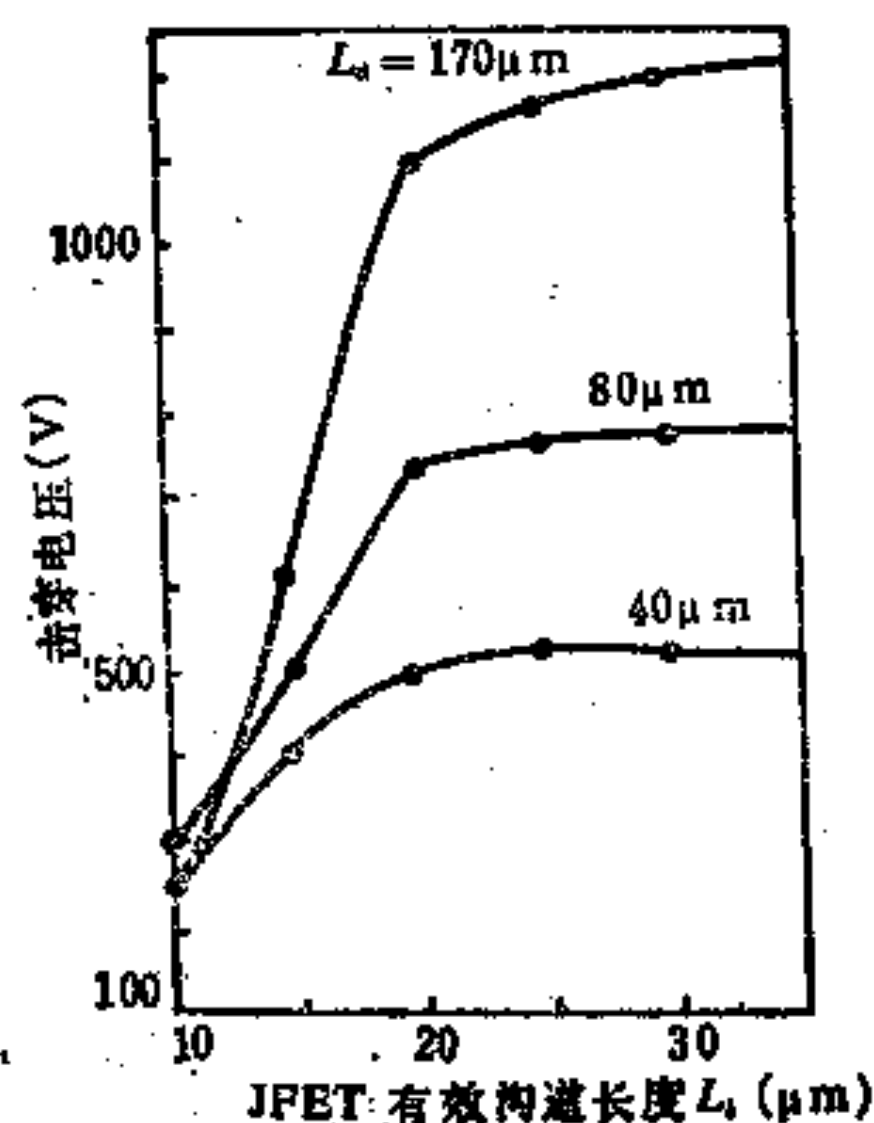


图 7-39 高压NPN管的击穿电压与 L_1 和 L_d 的关系^[26]
(衬底: $\langle 100 \rangle$, P型、 $250 \sim 300 \Omega \cdot \text{cm}$, $Q_{\text{CTRL}} = 5 \times 10^{11} \text{cm}^{-2}$)

足RESURF原理对 Q_{CTRL} 的要求后, 获得500V的电压容量^[25]; 1986年采用 $100 \sim 300 \Omega \cdot \text{cm} \langle 100 \rangle$ P型衬底, $7 \mu\text{m}$ 厚, 电阻率为 $40 \Omega \cdot \text{cm}$ 的外延层, 对漂移区进行磷离子注入使其满足RESURF原理对 Q_{CTRL} 的要求后, 获得1200V的电压容量^[26]。

参 考 文 献

- (1) V.R. Rumennik *IEEE Spectrum* p42(1985)
- (2) R.K. Williams, L.T. Sevilla, E. Rustz and J.D. Plummer *IEEE Trans on Electron Dev* ED-33 p1977(1989)
- (3) C. Koehler *Electro/84* 25/8(1984)
- (4) J.D. Plummer *IEDM Dig* p70(1980)
- (5) K. Fujii, Y. Torimaru, K. Nahagawa, T. Fujimoto and Y. Aoki *IEEE ISSCC Dig* (1981)
- (6) S. Krishna, J. Kuo and I.S. Gaeta *IEEE Trans on Electron Dev* ED-31, p89(1984)
- (7) M. Kimura, T. Obahe, I. Shimizu, Y. Nagai and K. Noya *IEEE J. Solid-State Circuits* SC-21 p371(1986)
- (8) I. Wacyk, M. Amato, V. Rumennick, *IEEE ISSCC* p16 (1986)
- (9) E.J. Wildi, J.P. Walden, M.S. Adler, *IEEE ISSCC* p266 (1985)

- [10] G.Betti and S.Coccetti, *IEEE Trans on Consumer Electronics* Vol.CE-31 p137(1985)
- [11] B.J.Baliga *IEEE Trans on Electron Devices* ED-33 p1936(1986)
- [12] H.W.Beche *IEDM Dig* p124 (1985)
- [13] R.A.Blanchard, *Proceeding of Electro/83* 7/4 (1983)
- [14] *Electronics/May* 31 p87 (1984)
- [15] T.Kusaka, T.Ishii, T.Negoro, T.Yoshino, *NEC Research Development* No.57.p39 (1980)
- [16] K.E.Bean and W.R.Runyan, *Jour.of The Electrochemical Society* Vol.124.No.1, p5c (1977)
- [17] Y.Sumitomo, K.Niwa, H.Sawazaki and K.Sakai *Semiconductor Silicon* p893 Electrochem Society(1977)
- [18] T.E.Ruggles and G.V.Fay *Electronic Design* March 31 p69 (1982)
- [19] *Electronics/May* 31 p87 (1984)
- [20] R.S.Wrafall, D.Tam, L.Terry, S.P.Robb, *IEDM Dig* p408 (1983)
- [21] E.Habekotte, B.Hoefflinger, W.Renker and G.Zimmer, *IEEE Journal of Solid-State Circuits* Vol.SC-16 p212 (1981)
- [22] V.Numennik, D.L.Heald, *IEDM Dig* p77 (1982)
- [23] R.Blanchard, *Proceeding of Electro/84* 25/1 (1984)
- [24] S.Krishna, J.Kuo and I.S.Gaeta, *IEEE Trans on Electron Dev* ED-31 p89 (1984)
- [25] E.J.Wildi, T.P.Chow, M.S.Adled, M.E.Cornell and G.C.Pifer, *IEDM Dig* p262(1984)
- [26] M.F.Chang, G.Pifev, H.Yilmaz, E.J.Wild, R.G.Hodgins, K.Owyang and M.S.Adled, *IEEE Trans on Electron Dev* ED-33 p1992 (1986)

符 号 说 明

符号	参数名称	备注
----	------	----

I_D	漏极电流	
-------	------	--

$I_{D(sat)}$	饱和漏极电流	
--------------	--------	--

I_U	衬底电流	
-------	------	--

R_{on}	导通电阻	
----------	------	--

R_{th}	热阻	
----------	----	--

V_{BR}	击穿电压	原用 V_B
----------	------	----------

$V_{(BR)EBO}$	集电极开路, 发射极-基极反向 击穿电压	原用 BV_{EBO}
---------------	-------------------------	---------------

$V_{(BR)CBO}$	发射极开路, 集电极-基极反向 击穿电压	原用 BV_{CBO}
---------------	-------------------------	---------------

$V_{(BR)CEO}$	基极开路, 集电极-发射极反向击 穿电压	原用 BV_{CEO}
---------------	-------------------------	---------------

$V_{CE(sat)}$	集电极-发射极饱和压降	
---------------	-------------	--

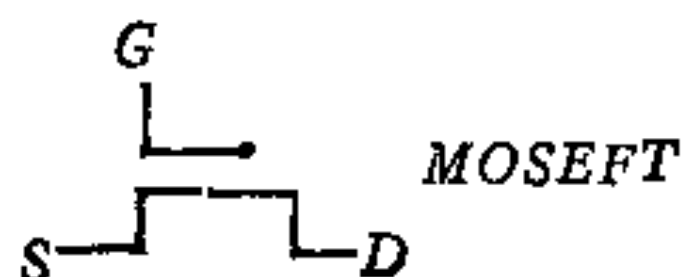
$V_{(BR)DS}$	漏源击穿电压	原用 BV_{DS}
--------------	--------	--------------

V_{off}	夹断电压	原用 V_P
-----------	------	----------

V_{PT}	穿通电压	
----------	------	--

V_{th}	阈电压	原用 V_T
----------	-----	----------

V_F	正向压降	
-------	------	--



对N沟P沟增强型
耗尽型都适用