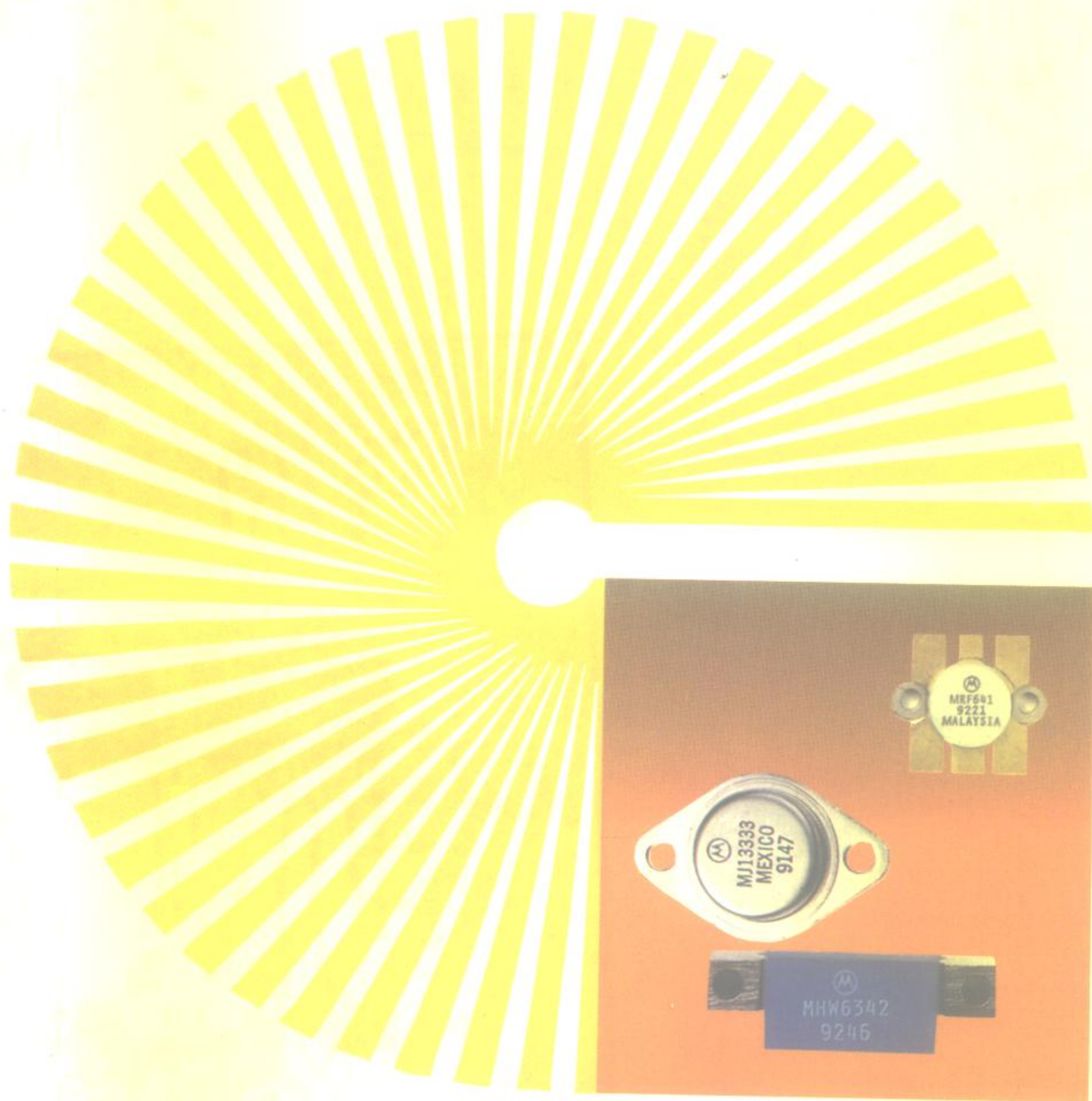


Motorola 集成电路应用技术丛书



沈耀忠 任志纯 罗 毅 编

TMOS 功率场效应晶体管 原理及应用



电子工业出版社

385850

Motorola 集成电路应用技术丛书

TMOS 功率场效应晶体管原理及应用

沈耀忠 任志纯 罗毅 编



TN386
S46

电子工业出版社

内 容 简 介

本书共分16章,第1、2、3、4、5、6、7章主要介绍TMOS功率MOSFET的结构、工作机理、运行参数及性能指标,第8、9、10章介绍功率MOSFET在电机控制、开关电源、扫描电路中的应用实例,第11章介绍其派生器件电流敏感的MOSFET,第12章与其他半导体开关器件作比较,第13、14、15、16章介绍对MOSFET性能参数的测量、安装、保护等问题。

本书叙述比较全面系统,理论与实际紧密结合,是一本应用手册性质的工具书。

本书可作为从事电力电子技术,电机传动,工业自动化,电源等方面工作的技术人员参考,也可作为大专院校有关课程的参考书。

TMOS 功率场效应晶体管原理及应用

沈耀忠 任志纯 罗 毅 编

责任编辑 赖金福(特约) 陈晓莉

*

电子工业出版社出版(北京市万寿路)

电子工业出版社发行 各地新华书店经售

北京科技印刷厂印刷

开本: 787×1092毫米 1/16 印张: 18.25 字数: 432千字

1995年11月第1版 1995年11月第1次印刷

印数: 3000册 定价: 35.00元

ISBN 7-5053-2996-0/TN·814

前 言

本书是根据 Motorola 公司的“TMOS Power MOSFET Transistor DATA”中的理论与应用部分编译而成的,其内容比较系统地介绍了该公司生产的 TMOS 功率场效应晶体管的结构,工作机理,特点,使用条件,对驱动电路的要求,性能测试,安装等问题,并结合了大量的应用实例,使功率器件与电子电路有机地结合起来,从中也引出了几种新颖的功率组件。

本书不仅对功率 MOSFET 器件介绍得比较全面,而且实用性很强,对从事功率电子技术、电机控制、电源等方面研究和应用的工程技术人员来说是一本工具性质的参考书。

本书第 3 章专门介绍了 MOSFET 器件的参数、额定值的意义,有助于对一般功率器件的正确选择。

至于 Motorola 公司生产的 TMOS 功率 MOSFET 产品的具体型号、参数、额定值、外形尺寸等内容限于篇幅不编入本书内。读者如需要可查原手册或一般的产品说明书。

本书是在陈怀琛教授及赖金福同志的直接帮助下完成的,参加编译的有任志纯(第 14、16 章),罗毅(第 1、2、4~9 章),舒炳珍(第 10、11、15 章),张貽秀(第 12、13 章)。沈耀忠负责本书的内容遴选、审校及第 3 章的翻译工作。

由于时间仓促,文中不妥和错误之处在所难免,希望读者提出宝贵意见。

沈耀忠

1995 年 3 月于西安电子科技大学

目 录

第一章 功率 MOSFET 简介	1
1.1 符号、术语及其定义	1
1.2 TMOS 的基本结构、工作机理与物理过程	6
1.3 功率 MOSFET 的特殊优点	10
第二章 功率 MOSFET 的基本特性	13
2.1 输出特性	13
2.2 MOSFET 基本参数	14
2.3 温变特性	15
2.4 漏-源二极管	16
第三章 使用 TMOS 功率 MOSFET 设计者 (Designer's) 数据表	19
3.1 概述	19
3.2 设计者数据表	19
3.3 安全工作区	26
第四章 使用大功率 MOSFET 时的设计依据	
——大功率 MOSFET 的保护	28
4.1 安全工作区	28
4.2 漏-源过压保护	31
4.3 封装和引线电感的考虑	33
4.4 功率 MOSFET 的雪崩和 dv/dt 限制	34
4.5 栅极保护	34
第五章 功率 MOSFET 的雪崩和 dv/dt 限制	35
5.1 漏-源雪崩状态下的功率 MOSFET	35
5.2 漏-源 dv/dt 额定值	38
5.3 推荐的换向安全工作区 (CSOA) 说明格式	41
5.4 高压高速 CSOA 测试装置	43
5.5 使用 CSOA 说明	44
5.6 CSOA 与 UIS 的关系	45
第六章 栅极驱动要求	47
6.1 功率 MOSFET 栅极驱动要求	47
6.2 输入电容	47
6.3 栅极充电说明	50
6.4 栅极充电参数的利用	52
6.5 开关时间的计算	55
6.6 共源极开关	58
第七章 功率 MOSFET 的并联	81
7.1 在开关应用中功率 MOSFET 的并联使用	81
7.2 线性应用的并联功率 MOSFET	96
7.3 并联 MOSFET 的应用	101
第八章 大功率开关电源	108

8.1	100kHz 开关型功率电源	108
8.2	20kHz 开关	113
8.3	高压回扫换流器	114
8.4	双晶体管电流型正向变流器	116
8.5	功率因数修正	128
8.6	半导体器件的初选	130
第九章	电机控制	132
9.1	在步进电机控制中使用功率 MOSFET	132
9.2	H 桥性能比较	138
9.3	小功率电机双向控制	140
9.4	电机脉宽调速	142
9.5	无刷电机控制器的三器件方案	142
9.6	一马力脱线无刷永磁体电机驱动	153
9.7	小功率电机与微处理器接口	164
9.8	模拟输入与小功率电机之间的接口	173
第十章	水平扫描电路	183
10.1	设计例子	183
10.2	电路描述	185
10.3	快速强电流 MOSFET 驱动器	186
第十一章	电流敏感的功率 MOSFET	189
11.1	敏感器件 (SENSEFET) 产品	189
11.2	非正常条件下的感测电压	195
11.3	SENSEFET 兼容集成电路	197
11.4	用于高频的 SENSEFET 产品	199
11.5	结论	200
第十二章	功率 MOSFET 和其它半导体功率开关的相对效率	201
第十三章	特性与测量	209
13.1	功率 MOSFET 的正偏安全工作区 (FBSOA) 测试	209
13.2	开关安全工作区 (SSOA)	215
13.3	作为开关使用的功率 MOSFET 的漏-源二极管的特性	221
13.4	热测量	227
13.5	热测试装置	230
13.6	测量功率 MOSFET 的电容	233
13.7	功率 MOSFET 的其它特性的测量	234
13.8	波形记录仪对功率 MOSFET 的测量技术	238
第十四章	可靠性与质量	244
14.1	引言	244
14.2	可靠性测试	244
14.3	可靠性检验程序	250
14.4	可靠性的实质	252
第十五章	功率半导体器件的安装	254
15.1	引言	254

15.2	装配表面的准备	255
15.3	界面处理	256
15.4	绝缘问题	258
15.5	紧固件和附件特性	261
15.6	紧固方法	263
15.7	插座安装	270
15.8	接线端子的连接	271
15.9	电路板的清洗	273
15.10	热系统评价	273
15.11	附录 A 热阻概念	274
15.12	附录 B 界面热阻测量	275
15.13	附录 C 附件来源	277
15.14	封装标志	277
第十六章	静电放电和功率 MOSFET	279
16.1	静电放电的产生	279
16.2	静电放电和功率 MOSFET	280
16.3	器件敏感性的测量	282

第一章 功率 MOSFET 简介

1.1 符号、术语及其定义

以下是在功率 MOSFET 中，最常用的字母符号、术语及其定义。

C_{ds} ：漏极-源极电容

栅极和三端电桥的防护端相连时漏极和源极间的电容。

C_{dg} ：漏极-栅极电容

与 C_{rss} 相同，参见 C_{rss} 。

C_{gs} ：栅极-源极电容

漏极同三端电桥防护端相连时，栅极和源极间的电容。

C_{iss} ：共源极短路输入电容

漏极和源极交流短路时，输入端（栅极和源极）之间的电容。

C_{oss} ：共源极短路输出电容

栅极和源极交流短路时，输出端（漏极和源极）之间的电容。

C_{rss} ：共源极短路反向转移电容

源极和三端电桥防护端相连时漏极和栅极间的电容。

g_{FS} ：共源极大信号互导

漏极电流对栅极-源极电压的变化率。

I_D ：漏极电流（直流）

流入漏极的直流电流。

$I_{D(on)}$ ：导通状态漏极电流

栅极-源极在一特定电压偏置下，使器件处于导通状态时流入漏极的直流电流。

I_{DSS} ：零栅压漏极电流

栅极电压为零时流入漏极的直流电流。该电流对耗尽型器件是导通电流，对增强型器件是断态电流。

I_G ：栅极电流（直流）

流入栅极的直流电流。

I_{GSS} ：漏极源极短路时的反向栅极电流

当漏极和源极短路时，栅极相对于源极反向偏置时，流入结-栅场效应晶体管栅极的直流电流。

I_{GSSF} ：漏极和源极短路时的正向栅极电流

当漏极和源极短路时，加一正向栅极-源极电压，流入隔离栅场效应管栅极的直流电流。

- I_{GSSR} : 漏极和源极短路时的反向栅极电流
当漏极和源极短路, 加一反偏栅极-源极电压时, 流入隔离栅场效应晶体管栅极的直流电流。
- I_S : 源极直流电流
流入源极的直流电流。
- P_T, P_D : 所有端的总有功功率输入。
直流输入电流和电压积的总和。
- Q_g : 栅极总电量
对 MOSFET 的输入电容充电, 使之电压为 $V_{GS(on)}$ 时栅极的总电量。
- $R_{DS(on)}$: 静态漏极-源极导通电阻
加一特定栅极-源极电压使器件处于导通态时, 漏极与源极间的直流电阻。
- $R_{\theta CA}$: 管壳与环境间的热电阻
从器件外壳到环境的稳态热电阻。
- $R_{\theta JA}$: 结到环境间的热电阻
从器件半导体结到环境的稳态热电阻。
- $R_{\theta JC}$: 结到外壳的热电阻
从器件半导体结到管壳上一固定位置的稳态热电阻。
- $R_{\theta JM}$: 结到支架表面的热电阻
从半导体结到支架表面上一固定位置的稳态热电阻。
- T_A : 环境温度或空气温度
器件在空气温度下测量, 其空气温度是指真实的环境温度, 只由空气对流降温, 材料表面的反射和辐射无影响。
- T_c : 管壳温度
器件管壳上一指定位置测得的温度。
- t_c : 关断交迭时间
忽略非载流子感应产生的尖峰脉冲情况下, 以漏极电压上升到其断态电压峰值的 10% 开始, 到漏极电流降至其通态电流峰值的 10% 的时间间隔。
- T_J : 沟道温度
指场效应晶体管的沟道温度。
- T_{sig} : 保存温度
在无任何外加功率条件下, 器件的保持温度。
- $t_{d(off)}$: 关断延迟时间
同电流关断延迟时间 (参见注①)。
- $t_{d(off)i}$: 电流关断延迟时间
忽略非载流子感应产生的尖峰脉冲情况下, 从一个使晶体管由通态变成关断状态的输入开关信号下降到其峰值的 90% 开始, 到漏极电流波形降至其通态值的 90% 的时间间隔。
- $t_{d(off)v}$: 电压关断延迟时间

忽略非载流子感应脉冲情况下，从一个使晶体管从导通状态到不导通状态的输入开关信号下降到其峰值的 90% 开始，到漏极电压波形上升到其断态值的 10% 间的时间间隔。

$t_{d(on)i}$: 电流导通延迟时间

在忽略非载流子感应脉冲的情况下，从一个使晶体管从不导通状态到导通状态的输入开关信号上升到其峰值的 10% 开始，到漏极电流波形上升到其导通值的 10% 之间时间间隔。

$t_{d(on)}$: 导通延迟时间

同电流导通延迟时间（参见注①）。

$t_{d(on)v}$: 电压导通延迟时间

忽略非载流子感应脉冲的情况下，从一个使晶体管由断态变成通态的输入信号上升到其峰值的 10% 开始，到漏极电压波形降到其断态值的 90% 间的时间间隔。

t_f : 下降时间

同电流下降时间（参见注①）。

t_{fi} : 电流下降时间

忽略非载流子感应脉冲情况下，漏极电流从通态峰值的 90% 变到 10% 的时间间隔。

t_{fv} : 电压下降时间

忽略非载流子感应脉冲情况下，漏极电压从断态值的 90% 变到 10% 的时间间隔。

t_{off} : 关断时间

同电流关断时间（参见注①）。

$t_{off(i)}$: 电流关断时间

电流关断延迟时间加电流下降时间之和，即： $t_{d(off)i} + t_{fi}$ 。

$t_{off(v)}$: 电压关断时间

电压关断延迟时间加电压上升时间之和，即： $t_{d(off)v} + t_{rv}$ 。

t_{on} : 导通时间

同电流导通时间（参见注①）。

$t_{on(i)}$: 电流导通时间

电流导通延迟时间加电流上升时间之和，即： $t_{d(on)i} + t_{ri}$ 。

$t_{on(v)}$: 电压导通时间

电压导通延迟时间和电压下降时间之和，即： $t_{d(on)v} + t_{fv}$ 。

t_p : 脉冲宽度

从脉冲前沿一基准点到同一脉冲后沿基准点间的时间间隔。

注：两个基准点通常选择相对前沿之前稳态值而言，达到前沿之后稳态值的 90% 的点。如果基准点选择 50% 的点，应当使用 t_w ，即平均脉冲宽度来表示。

t_r : 上升时间

- 同电流上升时间（参见注①）。
- t_{ri} : 电流上升时间
忽略非载流子感应脉冲情况下，漏极电流，从导通值的 10% 变到 90% 的时间间隔。
- t_{rv} : 电压上升时间
忽略非载流子感应脉冲情况下，漏极电压从断态值的 10% 变到 90% 的时间间隔。
- t_{fi} : 电流尾端时间
忽略非载流子感应脉冲情况下，电流下降时间后，漏极电流从导通值的 10% 变到 2% 的时间间隔。
- t_w : 平均脉冲宽度
从脉冲前沿一基准点到同一脉冲后沿基准点间的时间间隔，两基准点均选择相对前沿之前稳态值而言，达到前沿之后稳态值的 50% 的点。^②
- $V_{(BR)DSR}$: 栅极和源极间接电阻时漏极-源极的击穿电压
下标最后一个字母 R 表示栅极通过一指定电阻同源极相连。
- $V_{(BR)DSS}$: S 表示栅极和源极短路时漏极-源极击穿电压
- $V_{(BR)DSV}$: V 表示栅极和源极间加电压时漏极-源极击穿电压
- $V_{(BR)DSX}$: X 表示栅极和源极间接一特定电路时漏极-源极击穿电压
- $V_{(BR)GSSF}$: 正向栅极-源极击穿电压
栅极-源极电压为正且漏极和源极短路时的栅极-源极击穿电压。
- $V_{(BR)GSSR}$: 反向栅极-源极击穿电压
栅极-源极电压为负且漏极和源极短路时的栅极-源极击穿电压。
- V_{DD}, V_{GG}, V_{SS} : 漏极，栅极，源极直流电源的电压
加在一个电路上的或连到其对应端上的电源电压。
- V_{GD} : 栅-漏电压
- V_{DG} : 漏-栅电压
- V_{DS} : 漏-源电压
- V_{GS} : 栅-源电压
- V_{SD} : 源-漏电压
- V_{SG} : 源-栅电压
两下标字母表示对应端子之间的直流电压，前一个下标字母表示的端子为正。
- $V_{DS(on)}$: 漏-源导通电压
加一规定正向栅-源电压将器件偏置于导通状态时漏极和源极间的电压。

注：①作为描述开关晶体管开关时间的名词，即使测量时使用的是电压波形，“下降时间”和“上升时间”总是指输出电流的变化而言。在纯电阻网络中，（电流）上升时间与（电压）下降时间，（电流）下降时间与电压上升时间可以认为是一致的。当网络中存在明显的电感量时，这种一致性就不存在了，这时应当避免使用未修正的词语如延迟时间、下降时间和上升时间。

②如果不选择 50% 的点为基准点，应使用 t_p 即脉冲宽度表示。

$V_{GS(th)}$: 栅-源开启电压

当增强型场效应晶体管漏极电流增至一较低的指定值时的正向栅-源电压。

$Z_{OTA(0)}$: 结-环境暂态热电阻

从半导体结到环境的暂态热阻抗。

$Z_{OJC(0)}$: 结-管壳暂态热电阻

从半导体结到管壳上一指定位置的暂态热阻抗。

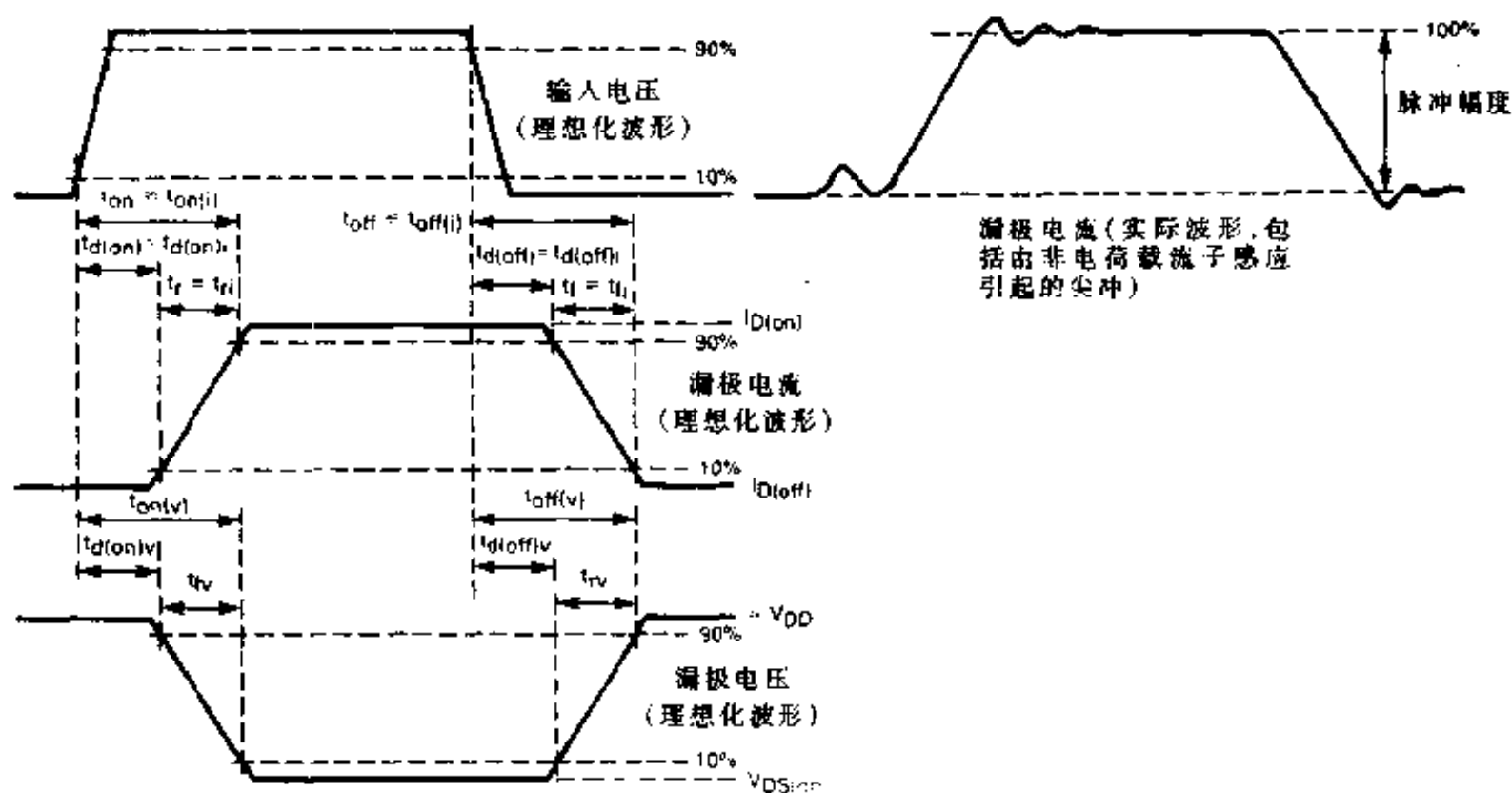
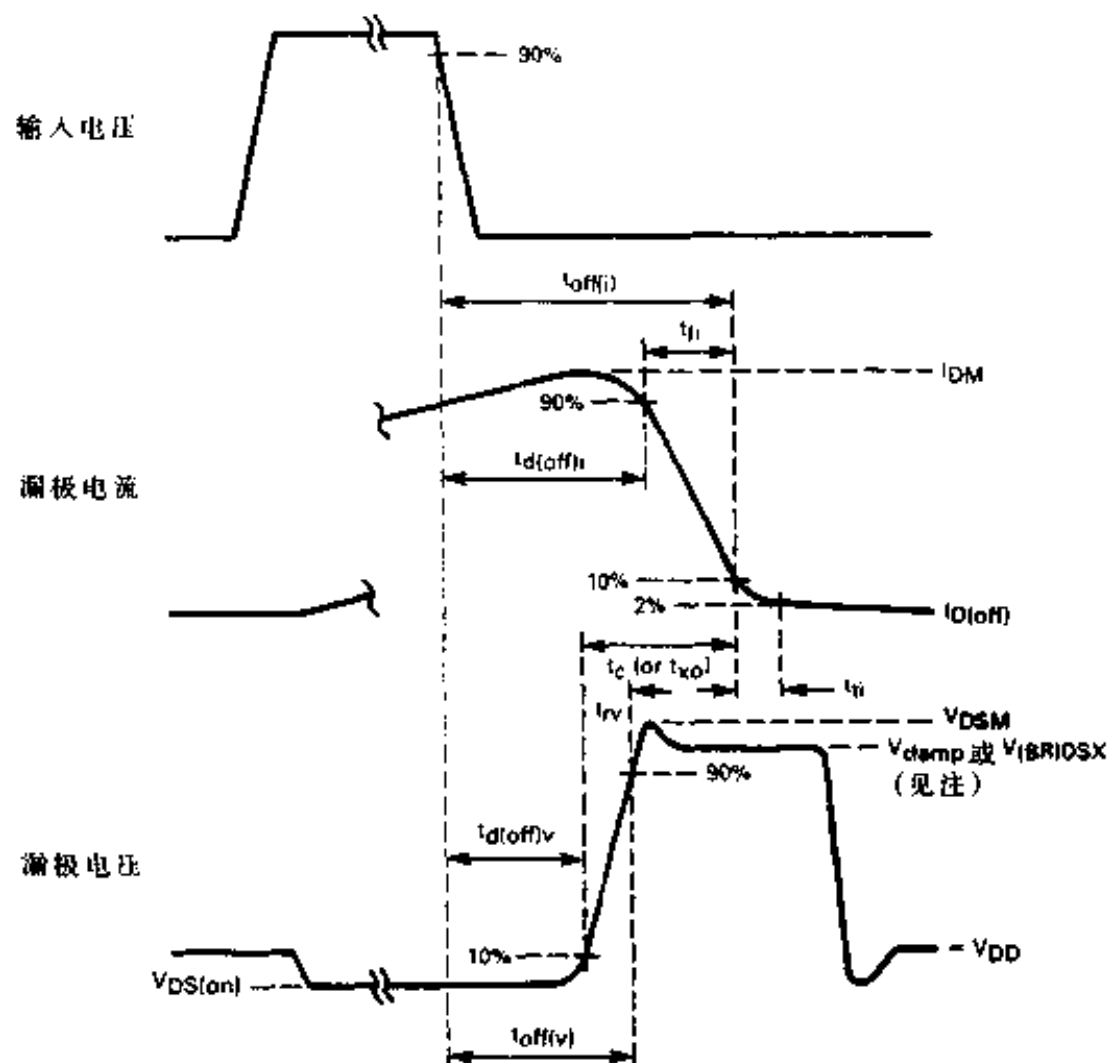


图 1-1 阻抗负载的开关波形



注: V_{CLAMP} (在箝位感性负载开关电路中) 或 V_{BRIDEX} (在非箝位电路中) 不包括尖峰的峰值断态电压

图 1-2 感性负载的开关波形 (关断波形)

1.2 TMOS 的基本结构、工作机理与物理过程

1.2.1 结构

Motorola 的 TMOS 功率 MOSFET 系列是以扩散型沟道、垂直型、金属氧化物半导体功率场效应管为基本模型的。其电压、电流范围大, $R_{DS(on)}$ 值小。Motorola 的功率 MOSFET 具有以下特有的优点:

- ① 接近无穷大的静态输入阻抗; 电压驱动输入; 输入功率低; 驱动电路元件少。
- ② 开关速度高: 没有少数载流子; 关断延迟时间短; 反偏安全工作区大; 增益带宽乘积 (品质因素) 高。
- ③ 静态漏极-源极导通电阻具有正温度系数: 正偏安全工作区大; 易于并联。
- ④ 几乎恒定的互导。
- ⑤ dv/dt 抗扰度高。
- ⑥ 费用低廉。

Motorola 的 TMOS 功率 MOSFET 系列是 MOSFET 革命性发展的最新成果。这一发展起于常规小信号 MOSFET, 并且替代了过渡横向双扩散 MOSFET (LDMOSFET) 和垂直 V 形 MOSFET (VMOSFET)。

常规小信号横向 N 沟道 MOSFET, 如图 1-3 所示, 包括一片轻掺杂的 P 型基底, 其上扩散了两个高掺杂的 N^+ 区作为源极和漏极, 在两者之间是受光刻工艺制约的沟道。这一结构导致沟道长度长, 电容量低, 反向阻塞电压低和 $R_{DS(on)}$ 大。

小信号 MOSFET 结构上的两个重要变化导致了功率 MOSFET 的演化。一个是自定位双扩散技术的应用, 这一技术使沟道长度极短, 沟道封装密度更高, 电流容量更大, $R_{DS(on)}$ 更小。另一个是在沟道和 N^+ 漏极间加入一个低掺杂的 N^+ 区以提高反向阻塞电压。

这些变化产生了横向双扩散 MOSFET 功率晶体管 (LDMOS), 结构如图 1-4 所示。所有端子仍在晶片顶部。由于顶部漏极结构所需的面积使硅平面利用率较低, 这是一个主要缺点。

进一步的发展是垂直结构的出现。这时漏极在晶片底部, 从而进一步增加了沟道封装密度。最初使用的 V 形 MOSFET 功率晶体管如图 1-5 所示。该器件的沟道是由穿过双扩散 N^+ 和 P^- 区的利用优先蚀刻产生的 V 形槽定义的。这一结构满足了封装密度、硅片利用率和反向阻塞电阻的要求。然而由于它的非平面结构, 要达到流程的一致性和清洁方面的要求, 结果使晶片成本升高。

Motorola 的 TMOS 功率 MOSFET 的单元结构如图 1-6 所示。这一结构与图 1-4 类似, 只是漏极降到了 N^- 基底的下面, 晶片的底部。栅极的结构现在是多晶硅夹在两氧化层之间, 源极金属均匀覆盖于整个工作面。这种两层电接触获得最好的封装密度, 同时保持了平面 LDMOS 的优点。这一结构导致更有可能制造出低 $R_{DS(on)}$ 值和高耐压产品。

1.2.2 工作机理

Motorola 的 TMOS 功率 MOSFET 的晶体管性能和基本电参数定义如下:

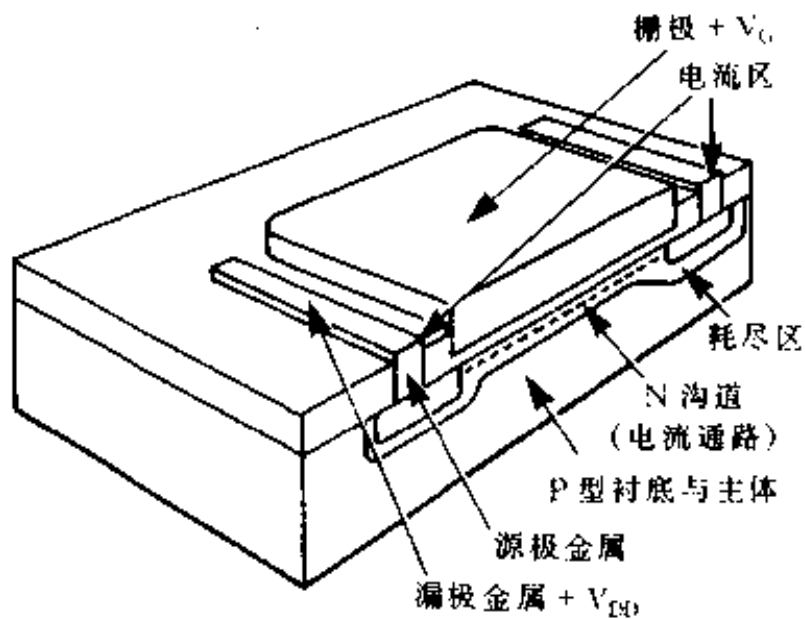


图 1-3 常规小信号 MOSFET 横向沟道长导致出现相对高的漏源电阻

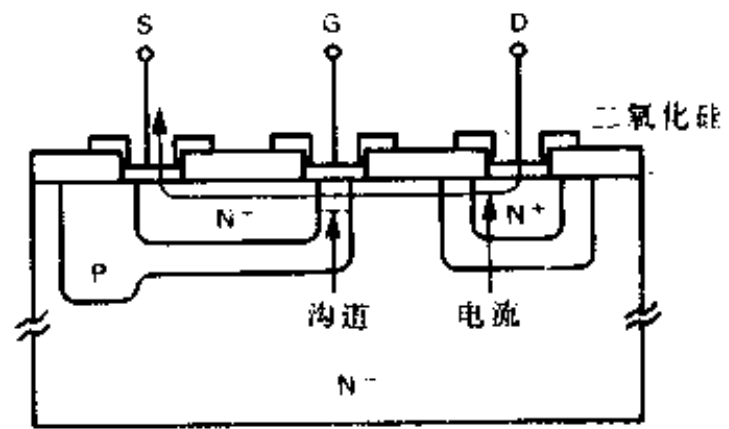


图 1-4 横向双扩散 MOSFET 的结构特点是沟道短，且封装密度高，静态导通电阻更低

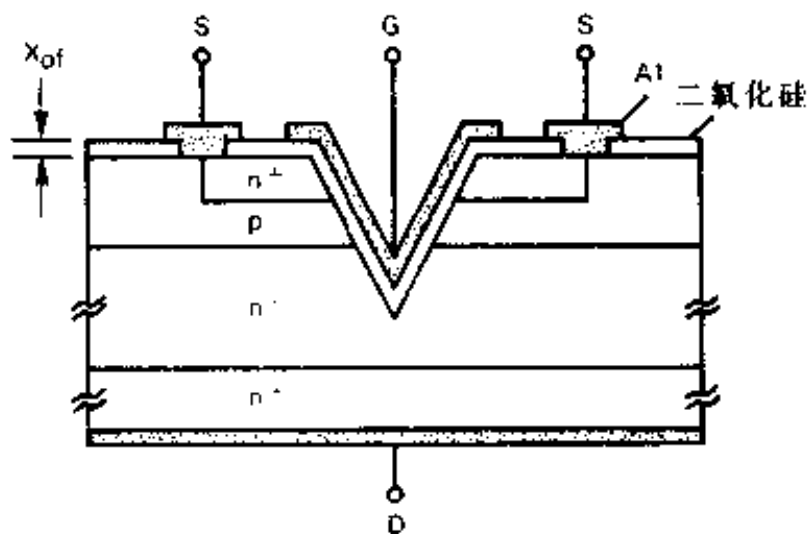


图 1-5 V 形槽 MOSFET 的结构有短垂直沟道和小漏源电阻

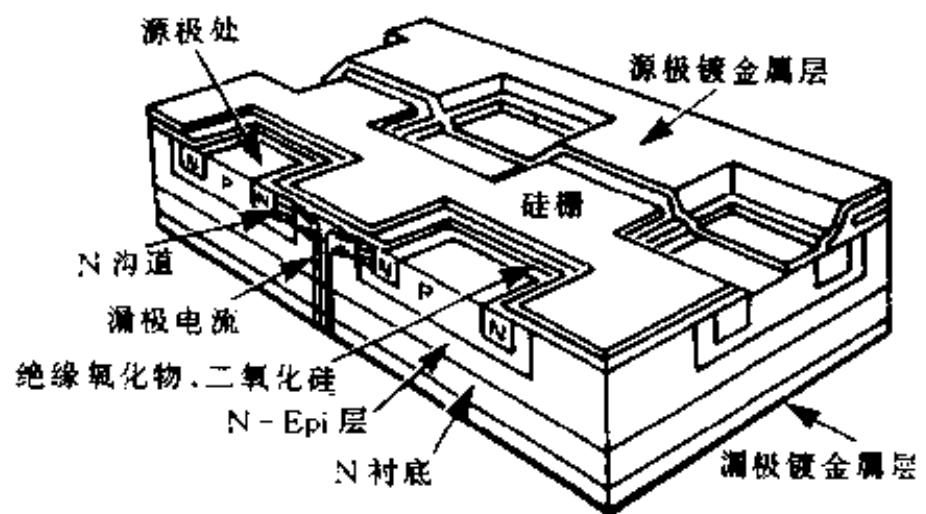


图 1-6 TMOS 功率 MOSFET 的结构提供了垂直电流流动，低电阻沟道并且允许其顶部和底部紧密的金属喷涂以减小芯片尺寸

1. 漏极电流 I_D

当栅极加适当极性和大小的栅极电压时，多晶硅栅极在扩散沟道区表面感应一个反型层，如图 1-7 中的 r_{CH} 所示。这个反型层或称沟道连接了源极与漏极的轻掺杂区，并且开始产生电流，漏极电压 V_{DS} 较小时，漏极电流与之成线性关系如式 (1-1)。

$$I_D \approx \frac{Z}{L} \mu C_0 [V_{GS} - V_{GS(th)}] V_{DS} \quad (1-1)$$

随着漏极电压的增加，漏极电流出现饱和并与栅-源 V_{GS} 的平方成一定关系，如式 (1-2) 所示。

$$I_D \approx \frac{Z}{L} \mu C_0 [V_{GS} - V_{GS(th)}]^2 \quad (1-2)$$

其中 μ 为载流子迁移率

C_0 为单位面积的栅极氧化电容

Z 为沟道宽度

L 为沟道长度

这些值由器件设计工程师选择以满足设计需要,它们可以用于建立模型和电路仿真。这些值决定了第二章讨论的输出特性的形状。

2. 互导, g_{FS}

TMOS 功率 MOSFET 的互导或增益定义为漏极电流对栅-源电压的变化率,如式 (1-3) 所示。

$$g_{FS} = \frac{\Delta I_D(\text{Sat})}{\Delta V_{GS}} = \frac{Z}{L} \mu C_o [V_{GS} - V_{GS(th)}] \quad (1-3)$$

参数意义同上。式 (1-3) 表明,漏极电流和互导是紧密相关的,并且两者都由晶片的设计所决定。注意,互导是栅极电压的线性函数,这一点在放大器设计中很重要。

3. 开启电压, $V_{GS(th)}$

开启电压即扩散沟道区发生变型使沟道导通所必需的栅-源电压。

随着栅极电压的增加,导电沟道逐渐“增强”,即其电阻逐渐减小,电流逐渐增大。为保证测量一致性,开启电压是在某一给定电流值时测量的。工业界普遍采用 1.0mA。这一值主要由晶片设计时选择的栅极氧化层厚度和沟道掺杂水平决定,而这些参数应足够大以保证栅极无偏置,却在高温状态下使器件处于截止状态。室温下开启电压的最小值是 1.5V,它可保证晶体管在 150°C 的结温度条件下仍为增强型器件。

4. 静态漏极-源极导通电阻, $R_{DS(on)}$ ①

静态漏极-源极导通电阻定义为漏极电流从漏极流到源极遇到的总电阻。参照图 1-7, $R_{DS(on)}$ 主要由四个相关阻性部分组成:

反型层沟道, r_{CH} ; 栅-漏累积区, r_{ACC} ; 结 FET 夹断区, r_{JFET} ; 轻掺杂漏极区, r_D , 如式 (1-4) 所示。

$$R_{DS(on)} = r_{CH} + r_{ACC} + r_{JFET} + r_D \quad (1-4)$$

沟道电阻随沟道长度增加而增加,累积电阻随基底宽度增加而增加,JFET 夹断电阻随结电阻的增加而增加,三者都与沟道宽度和源-栅电压成反比。漏极电阻与结电阻、其底宽度成正比,与沟道宽度成反比。这表明,对于高压 TMOS 大功率 FET 厚且结电阻值很高,其静态漏极-源极导通电阻主要由 r_D 决定。

低压器件薄且结电阻值低,整个静态漏极-源极电阻中 r_{CH} 占很大部分。这就是高压器件对适中的栅极电压表现出饱和而低压器件的静态漏极-源极导通电阻则随 V_{GS} 的增加持续减小,直到 V_{GS} 达到最大值的原因。

5. 击穿电压, $V_{(BR)DSS}$

TMOS 功率 MOSFET 的击穿电压或反向阻塞电压的定义与双极型晶体管中 $V_{(BR)CES}$ 的定义相同,这里的击穿指的是雪崩击穿。当反向偏置 P-N 结的耗尽区载流子获得足够的动能发生电离或产生临界电场时的电压为 $V_{(BR)DSS}$ 。这一电压的大小主要决定于轻掺杂漏极区的特性和基底端表面电场的类型。

注:① $R_{DS(on)}$ 和载流子迁移率成反比,这意味着 P 沟道 MOSFET 的 $R_{DS(on)}$ 大约为同样的 N 沟道 MOSFET 的 2.5~3.0 倍。因此,为使特征匹配,P 沟道器件的 Z/L 必须是 N 沟道器件的 2.5~3.0 倍。这意味着具有同样 $R_{DS(on)}$ 和击穿电压的 P 沟道 MOSFET 比 N 沟道器件大,因而器件电容和费用也会相应升高。

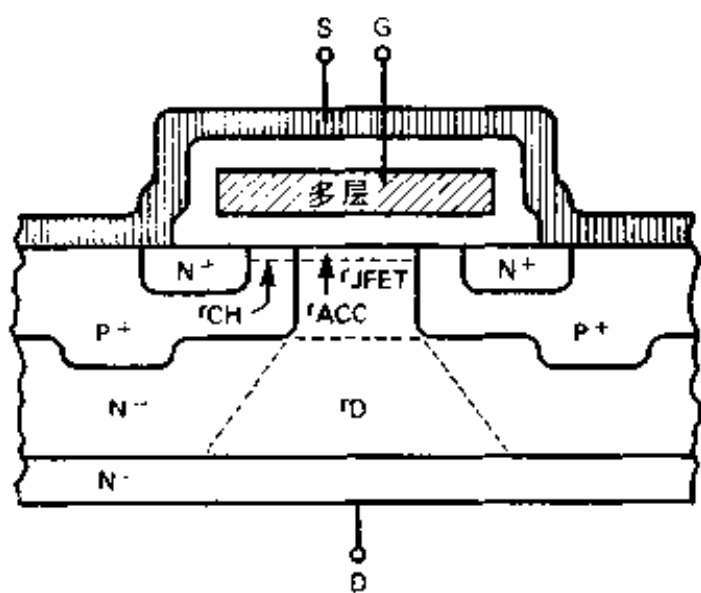


图 1-7 TMOS 器件的导通电阻

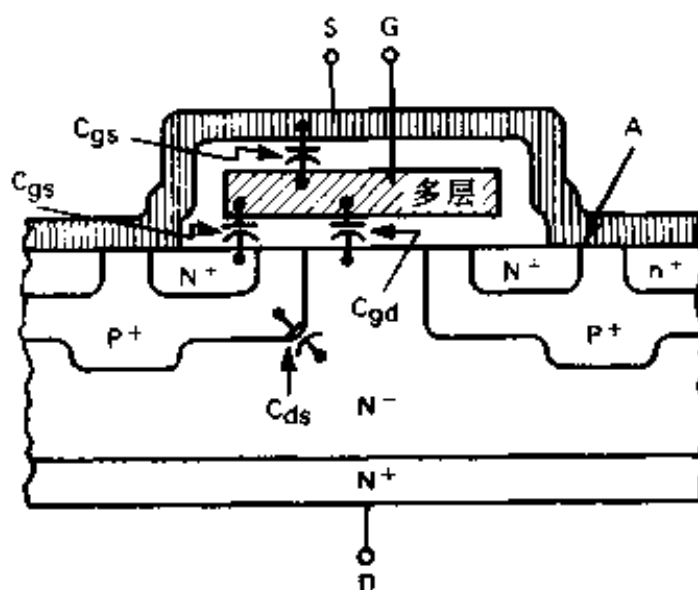


图 1-8 TMOS 器件的寄生电容

图 1-9 是图 1-8 的截面简图, 其中画出了各个层间的双极型晶体管。点 A 是双极型晶体管的发射极和基极短路处。这就是功率 FET 的 $V_{(BR)DSS}$ 与双极型晶体管的 $V_{(BR)CES}$ 相等的原因。注意: 短路使基极与源极金属相连, 从而使基极-集电极结作为二极管跨接于 TMOS 功率 MOSFET 的两端。

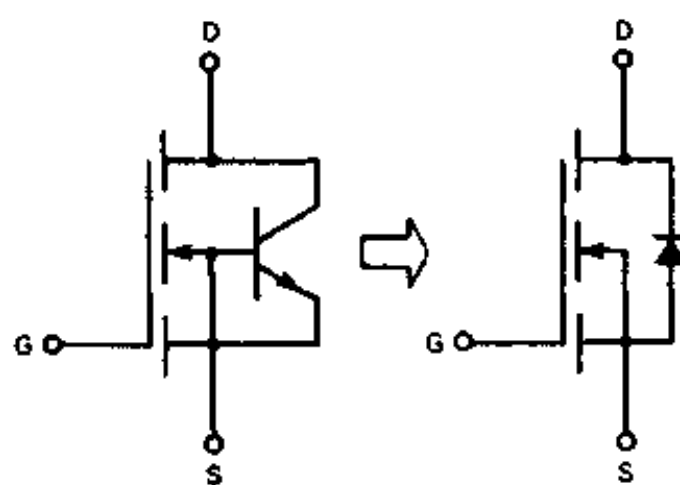


图 1-9 图 1-7 中各种器件的截面图

1.2.3 TMOS 功率 MOSFET 的电容

在 TMOS 功率 MOSFET 中存在两种固有电容——与 MOS 结构有关的电容和与 P-N 结有关的电容。

与 MOSFET 单元有关的两个 MOS 电容为:

栅-源电容, C_{gs}

栅-漏电容, C_{gd}

两者的大小取决于基片的几何尺寸和硅栅极附近的氧化层。

大功率 MOSFET 制造过程中形成的 P-N 结产生了漏-源电容 C_{ds} , 这一电容和任何其它结电容的意义相同, 是沟道漏极面积和反向偏置结耗尽区宽度的正比例函数。

C_{ds} 和 C_{gs} 的绝缘体一般为玻璃, 因而它们非常稳定, 不会随电压或温度而变。当栅极所加电压过高时, 玻璃将被击穿成为阻性通路, MOSFET 就无法工作了。

最佳 TMOS 几何尺寸:

Motorola 的 MOSFET 的几何尺寸和集成密度取决于反向阻断电压。

源极的几何尺寸和源极间的间隔一样是进行有效大功率 MOSFET 设计的重要因素。这两个参数决定了沟道集成密度, 即每单元的沟道宽度与单元面积之比。

对低压器件来说, 沟道宽度是 $R_{DS(on)}$ 最小化的关键, 因为 $R_{SD(on)}$ 的主要组成部分是 r_{CH} 。但对于高压器件, 电阻的主要组成部分是 r_D , 因而 $R_{DS(on)}$ 的最小化依赖于每单元的有用漏极面积与单元面积之比的最大化。低压和高压器件的 $R_{DS(on)}$ 的最小化无法用一种几何尺寸实现。

1.3 功率 MOSFET 的特殊优点

功率 MOSFET 提供了双极型功率晶体管无法提供的独特性能。利用这些性能就可以在不牺牲可靠性的前提下节省系统总费用。

1.3.1 速度

功率 MOSFET 是多数载流子器件, 因而其固有开关速度高。由于没有双极型晶体管常见的少数载流子存储在基极的电荷, 也就没有存储时间。高开关速度保证了在更高频率情况下的应用, 从而减少了电抗部分的费用、尺寸和重量。

MOSFET 的开关速度主要决定于器件电容的充放电, 而且从本质上说与工作温度无关。

1.3.2 输入特性

功率 MOSFET 的栅极和源极之间由一层氧化层隔开, 其直流电阻大于 $40\text{M}\Omega$ 。栅极加 10V 电压时, 器件处于全导通状态, 这大大简化了驱动电路。在许多情况下, 直接用 CMOS 和 TTL 逻辑集成电路驱动栅极就可控制大功率电路。

由于栅极与源极相绝缘, 驱动与负载电流几乎无关。这降低了驱动电路的复杂性, 减少了系统总费用。

1.3.3 安全工作区

功率 MOSFET 的功率负载能力不象双极型晶体管随所加电压增大而下降。在器件额定值范围内不会发生二次击穿现象。实际应用表明, 可以省去缓冲电路或者在其中使用更小值的电容。安全工作界线由峰值电流额定值、击穿电压和器件的功率负载能力决定。

1.3.4 导通电压

功率 MOSFET 的最小导通电压由器件静态漏-源导通电阻决定。低压器件的 $R_{DS(on)}$ 值很小, 但高压器件 $R_{DS(on)}$ 值较大。由于 $R_{DS(on)}$ 具有正温度系数, 这有利于器件的并联应用。

1.3.5 优点实例

1. 高压回扫变压器

要清楚地显示功率 MOSFET 优于双极型晶体管, 可以把两种器件用于同一系统并加以比较。由于驱动要求不同, 不能简单地用 FET 器件替换双极型器件, 而应分别设计驱动电路以产生等效的输出, 如图 1-10、图 1-11 所示。

图 1-10 与图 1-11 是用 TMOS 和双极型输出作高压回扫变压器的电路设置。

在这一应用中, 驱动 $30\text{k}\Omega$ 负载时的峰值输出电压约为 700V ($P_{o(pk)}=16\text{W}$)。在图示元件值和脉冲情况下, 感应线圈电流或器件电流必须升至大约 3.0A 方能产生这一回扫电压。

图 1-10 是 TMOS 方案, 由于 FET 输入阻抗高, MTP4N80E 可由脉宽调制器直接驱动。脉宽调制器输出幅度应为 15V 左右。对 FET 开关较快时能驱动和吸收 100mA 电流。现

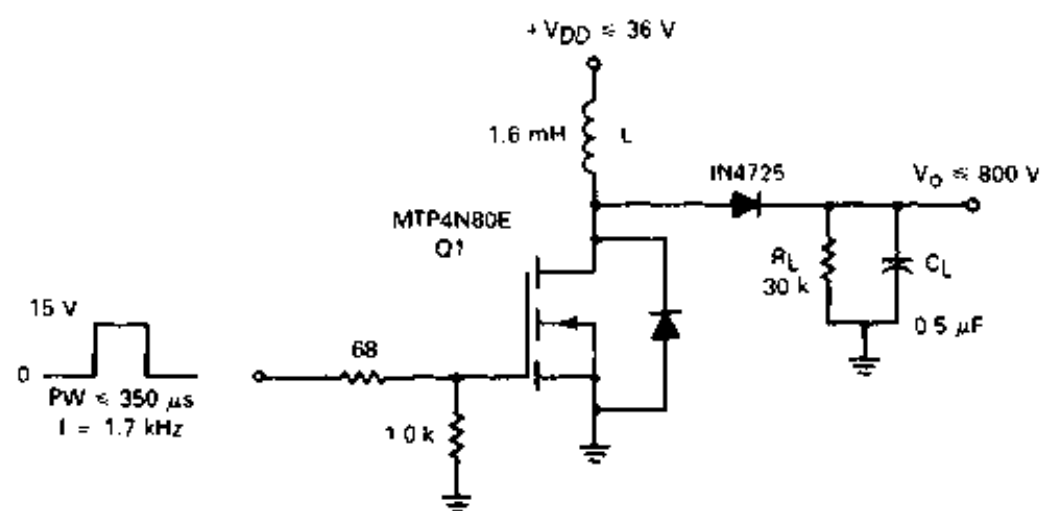


图 1-10 TMOS 输出级

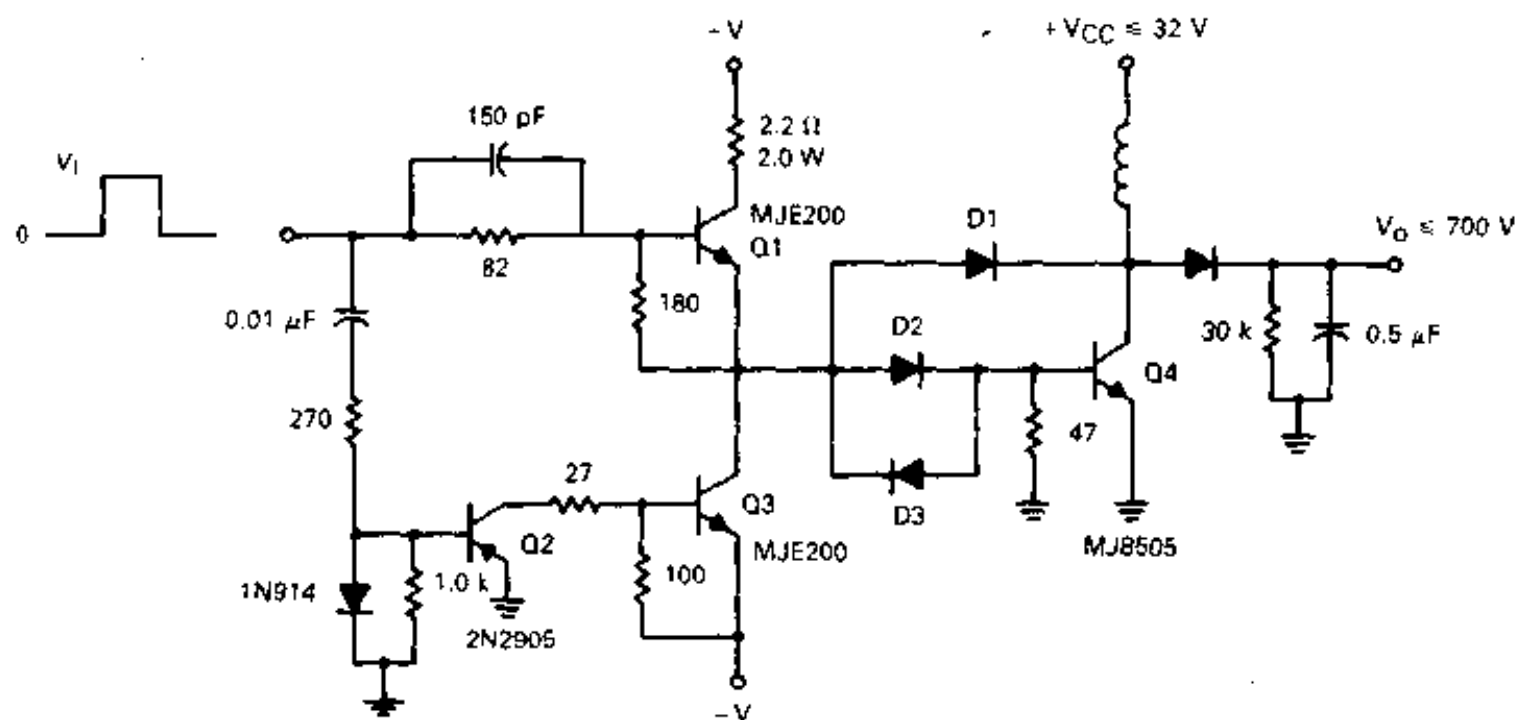


图 1-11 双极型驱动电路与输出级

在只需一两个电阻就能驱动 FET 了。3.2A 的峰值漏极电流低于 MTP4N80E 的脉冲电流额定值 18A (连续电流额定值为 4A)。3.2A、700V 的关断负载线也都在安全工作区内 (18. A/800V)。这个电路显示出 TMOS 以下优点：

高输入阻抗

快速开关

无二次击穿

把这一电路与图 1-11 双极型器件方案相比较。

为达到输出电压值，使用了一个高压开关型 MJ8505 功率晶体管。这使得产生合适的 I_{B1} 、 I_{B2} 的驱动电路更加复杂。这个电路包括了 3 个辅助晶体管 (两个是大功率晶体管)，3 个 Baker 箝位二极管，11 个无源元件和 1 个用来产生截止偏压的负电源。而且这一器件的额定反向偏置安全工作区只有 3.0A/900V 和 4.7A/800V，低于 MOSFET 的额定值 18.0A/800V。这些电路的详细介绍见第八章开关电源。

图 1-12 和图 1-13 是功率 MOSFET 和双极型晶体管制作 20kHz 转换开关功率输出级的比较。

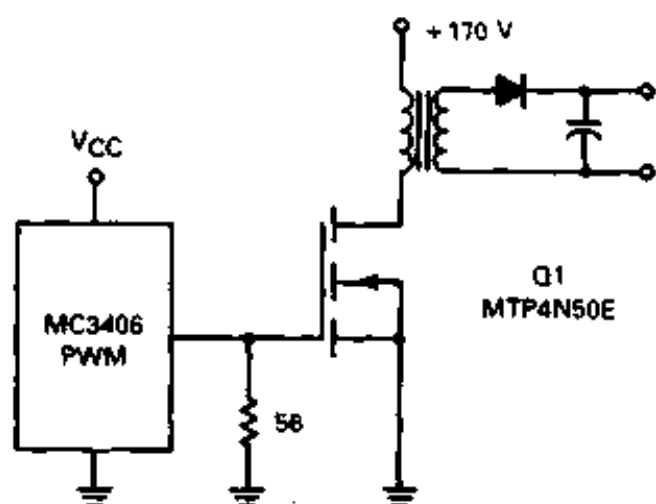


图 1-12 TMOS 方法

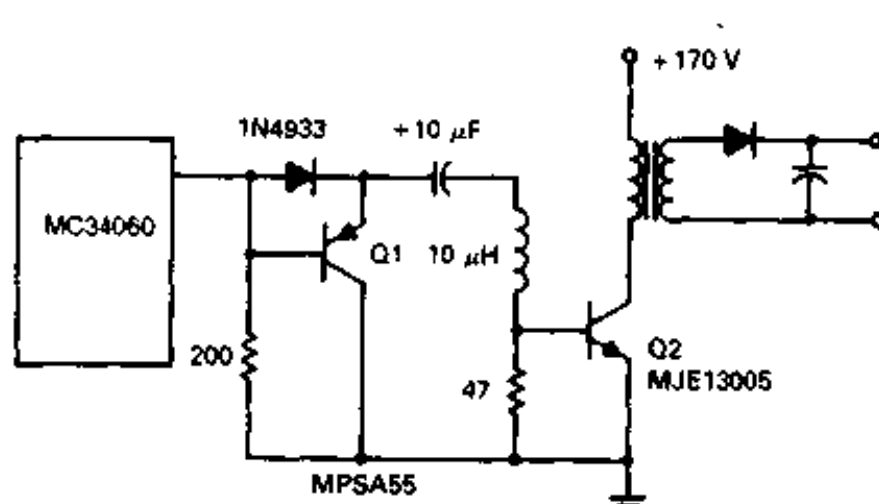


图 1-13 双极性晶体管方法

2. 20kHz 转换开关

图 1-12 和图 1-13 功率输出级的比较是说明 MOSFET 和双极型器件相比具有优越的开关速度的一个例子。除了驱动方法简单、元件少外，更快的开关速度提高了电路效率。对于这个 35W 的开关调节器，使用同样的小型散热片，功率 MOSFET，MTP4N50E 管壳升温仅为 18℃，而双极型晶体管 MJE13005 升温达 46℃。尽管 TMOS 的饱和损耗大一些，但主要损耗——开关损耗低，因而作为开关器件效率更高。

总而言之，当开关频率低时，静态损耗是主要的，因而双极型器件效率高一些。当频率大于 50kHz 时，功率 MOSFET 效率更高。

第二章 功率 MOSFET 的基本特性

2.1 输出特性

研究输出特性也许是熟悉一种器件基本工作的最直接方法。在这里，我们把 MOSFET 特性与具有与其相近额定值的双极型晶体管作一比较，而双极型器件的特性曲线是大功率电路设计工程师们所熟知的。

图 2-1 中，A 区叫作阻性区，导通区，恒电阻区或线性区。B 区叫作工作区，恒流区或饱和区。

图 2-2 中，A 区叫饱和区，B 区叫线性或工作区。

如图 2-1 和图 2-2 所示，功率 MOSFET 和双极型晶体管的输出特性可类似地分为两个基本区域。两个图还给出了这些区域的有关数据和一些令人迷惑的名称。为避免混乱，本文对 MOSFET 分别称“导通”（“电阻”）区和“工作区”，对双极型晶体管称为“饱和区”和“工作区”。

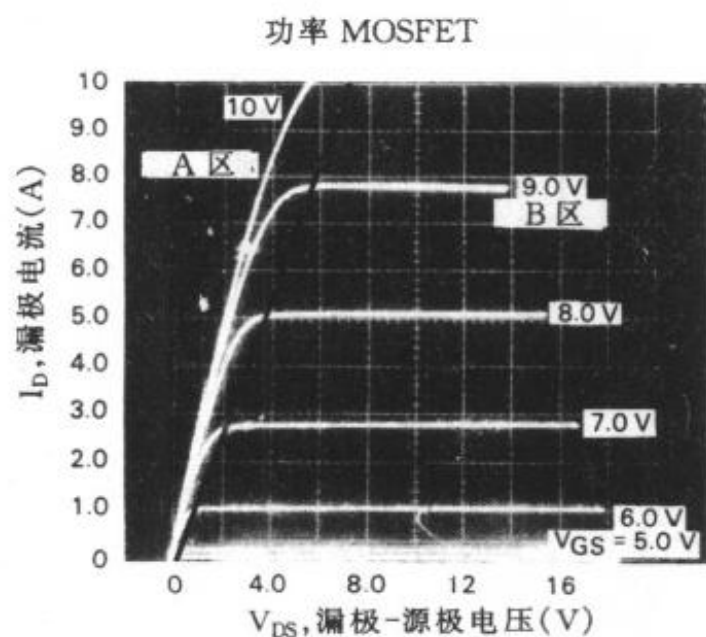


图 2-1 功率 MOSFET 的 $I_D - V_{DS}$ 输出特性

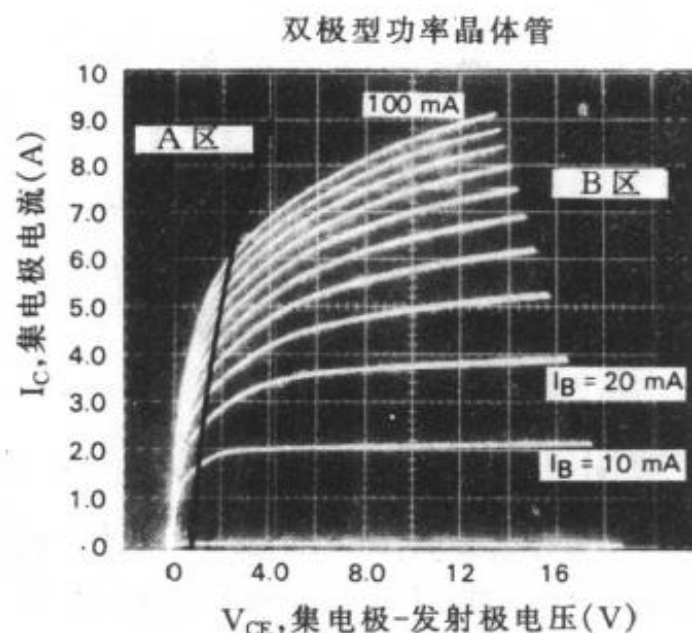


图 2-2 双极型功率晶体管的 $I_C - V_{CE}$ 输出特性

图 2-1 和图 2-2 有三个明显不同。一是功率 MOSFET 的曲线族是变化栅极电压得到的，而不是变化基极电流。二是双极型器件饱和区曲线的斜率比功率 MOSFET 电阻区的斜率大。这表明 MOSFET 的静态漏极-源极导通电阻比双极型器件的有效导通电阻大。第三个不同是在工作区，双极型器件曲线比 TMOS 曲线有更大的斜率，而 MOSFET 更接近一个很好的恒流源。限制 I_D 是因为 MOSFET 沟道中会发生夹断。

2.2 MOSFET 基本参数

2.2.1 静态漏极-源极导通电阻

通态电阻 $R_{DS(on)}$ 是功率 MOSFET 的一个重要品质因数,因为它决定了器件在不超过规定功率耗散的条件下允许通过的电流大小。当 MOSFET 由截止变为导通时,漏源电阻从一个非常高的值跳到 $R_{DS(on)}$ 。它是一相对低的值。为了尽可能使 $R_{DS(on)}$ 小,栅极电压就应足够大,以保证漏极电流工作于电阻区。其数量关系通常是包含在图 2-3 这样的曲线中。正如图 2-4 所指出的,栅极电压增到 12V 以上时静态漏极-源极导通电阻的降低会出现一个平底效应(尤其在高压器件中),从而增加了产生超过最大栅极电压额定值 20V 的寄生栅-源电压脉冲的可能性。像驱动一双极型晶体管进入深度饱和状态一样,太高的栅极电压会增加截止时间,因为这时输入电容上储存了过多的电荷。所有 Motorola TMOSFET 器件栅极只要加 10V 电压就会获得额定的连续漏极电流。

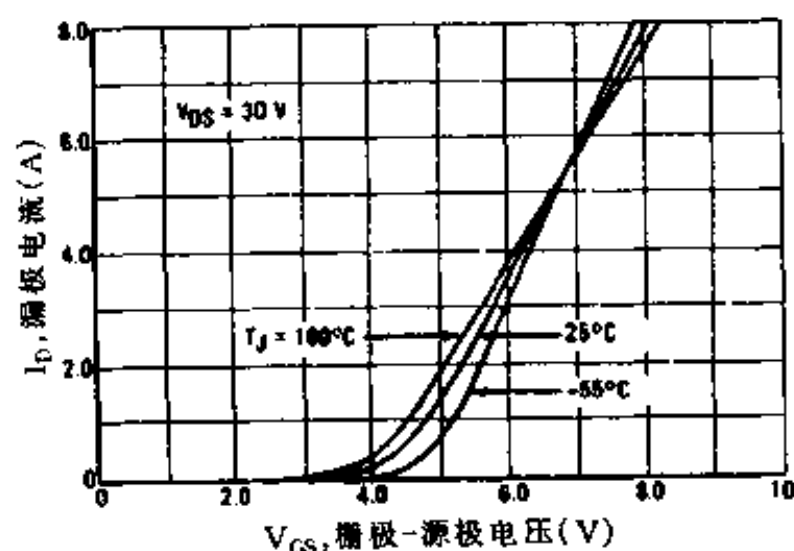


图 2-3 传输特性

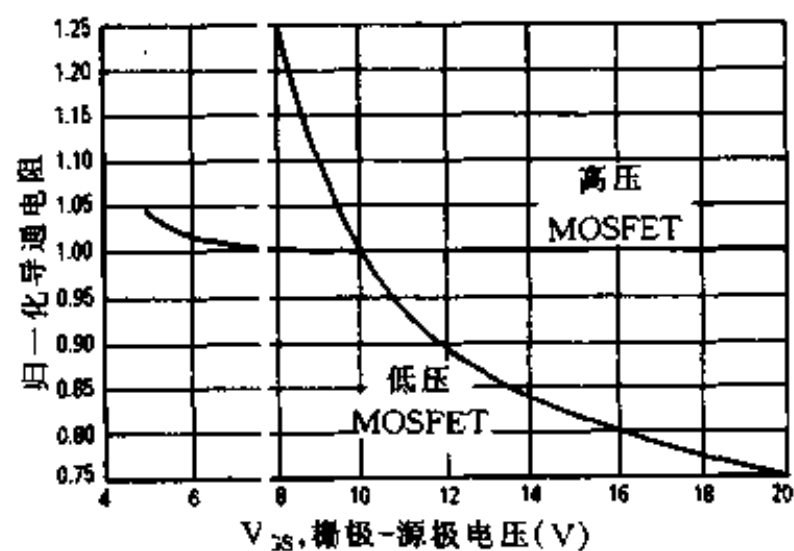


图 2-4 不同器件电压标称值时，
栅-源电压对 $R_{DS(on)}$ 的影响

随着漏极电流的增加,尤其是当它大于连续额定值时,静态漏极-源极导通电阻也会增加。另一个重要关系是静态漏极-源极导通电阻的温度效应,此问题将会在讨论其它温变参数时详细论述。 T_J 和 I_D 的增加均会使 R_{DS} 增加,如图 2-5 所示。

2.2.2 互导

正如 β 表示了双极型晶体管的增益一样,互导 g_{FS} 表示了 MOSFET 的增益,因而它是器件工作于工作区或恒流区时的一个重要参数。互导的定义是漏极电流相对于栅极电压的变化率 ($g_F = dI_D/dV_{GS}$),它随工作点的变化而变化,见图 2-6。 g_{FS} 的值反映了在工作区内 $V_{DS} - I_D$ 的传递特性,在该处 V_{DS} 的变化对 g_{FS} 无显著影响。典型的互导额定值定为在 V_{DS} 为 15V 时,取额定连续漏极电流的一半。

对于只关心大功率 MOSFET 的通-断开关特性的设计者来说,互导通常没有什么用。显然当器件处于全通状态时,晶体管将工作于电阻区,栅极电压很高。在电阻区中,由于栅极电压已很高,其变化几乎不会使漏极电流增加,因此, g_{FS} 几乎为零。

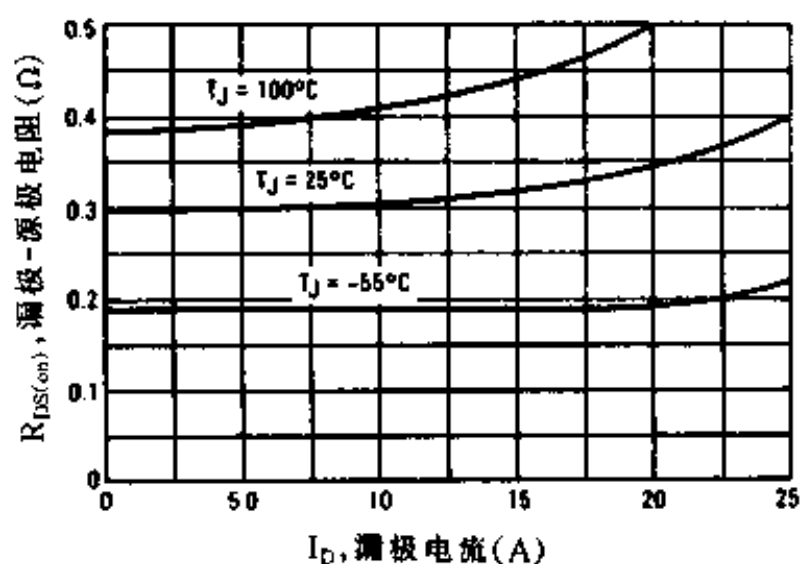


图 2-5 $R_{DS(on)}$ 随温度和漏电流的变化

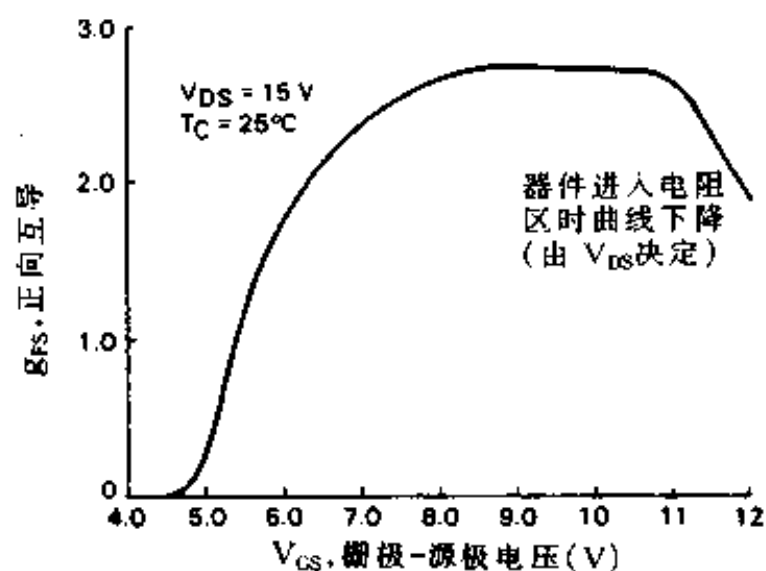


图 2-6 小信号互导与 V_{GS} 的关系曲线

2.2.3 开启电压

开启电压 $V_{GS(th)}$ 是使一定值小电流流过漏极所必需的最低栅极电压。Motorola 一般指定 $V_{GS(th)}$ 为在 I_D 电流为 1mA 时的值。器件设计者可控制开启电压的值，并使之满足器件性能和实用性的要求。人们希望开启电压较低，这样 TMOSFET 就能被如 CMOS 和 TTL 之类的低压芯片控制。开启电压降低不可能提高开关速度，因为这时对寄生输入电容充电所需的电流也小。但开启电压太低噪声就会触发器件。漏极电压正向暂态会通过栅-漏寄生电容耦合到栅极，如果器件 $V_{GS(th)}$ 低就会引起错误的接通。

2.3 温变特性

2.3.1 $R_{DS(on)}$

在使用大功率 MOSFET 时，应考虑结温变化会对静态漏极-源极导通电阻 $R_{DS(on)}$ 的影响。因为 $R_{DS(on)}$ 与温度近似成线性关系，所以可以定义一些温度系数来描述功率 MOSFET 的这一关系。

图 2-4 表明高压器件 $R_{DS(on)}$ 的温度系数比低压器件大。大多数数据手册上都会给出 $R_{DS(on)}$ 随结温变化的曲线。

2.3.2 开关速度不随温度变化

动态损耗（开关损耗）低是 MOSFET 最优良的特性之一，这个优点随结温度的升高而更加突出。在双极型晶体管中，温度升高会增加开关时间，从而增加动态损耗。相反，大功率 MOSFET 的开关速度受温度影响很小。而是依赖于寄生输入电容充放电的速度。由于这些电容的值是不随温度变化的，所以开关速度也不随温度变化。因此，MOSFET 动态损耗低并不随温度变化，而双极型晶体管开关损耗高并随结温的增加而增加。

2.3.3 漏源击穿电压

漏源击穿电压是 N 外延区厚度和电阻的函数。由于这一电阻是随温度变化的，故

$V_{(BR)DSS}$ 也是随温度变化而变化。如图 2-8 所示, 结温升高 100°C 导致 $V_{(BR)DSS}$ 约增加 10%。同时还看到实际的 $V_{(BR)DSS}$ 与 T_J 以同样的速率降低。

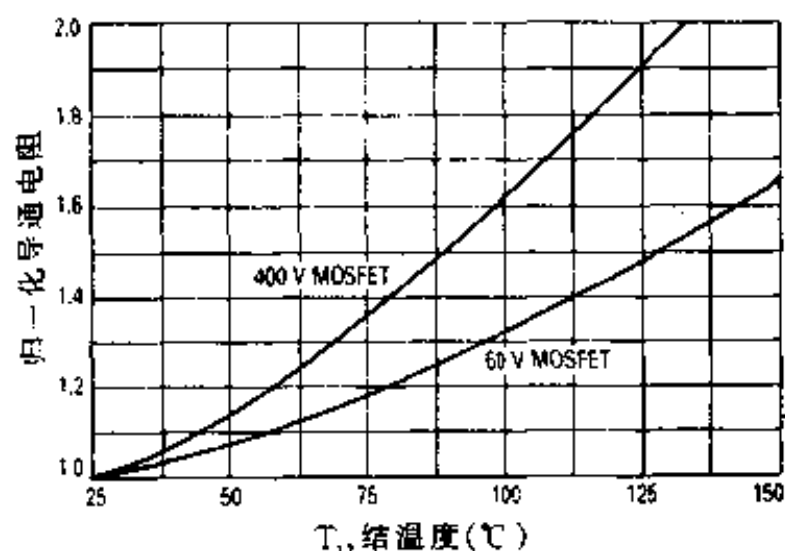


图 2-7 结温对导通电阻的影响

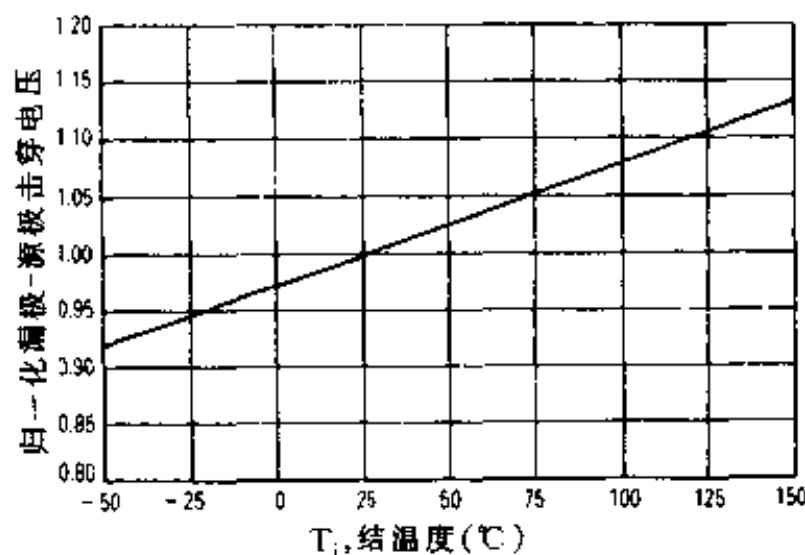


图 2-8 漏-源击穿电压随结温的典型变化情况

2.3.4 开启电压

栅极开启电压, 即使 MOSFET 开始导通时的栅极电压, 它是随温度变化而变化的。正如大多数数据手册上所示, 它与 T_J 的关系是线性的。其温度系数是负的, 结温每上升 45°C , 开启电压下降 10%。

2.3.5 $T_{J(max)}$ 和散热的重要性

TMOS 晶片的两种常见封装为 TO-220AB 和 TO-204。这些封装的额定功率值随晶片尺寸和制造材料类型的不同可以从 40W 到 250W。这些额定值再加上散热片后才是有意义的。不加散热片, 无论晶片尺寸大小, TO-220AB 和 TO-204 两种封装分别只能承受 4.0W 和 2.0W。

因为长期可靠性随结温增加而降低。所以 T_J 不应超过最大额定值 150°C 。如果晶体管承受着暂态热应力, 150°C 以上的稳态工作会造成突然失效和严重损坏。消除热暂态应力, 并使器件工作于额定结温之下可增加可靠性。综合考虑长期可靠性和最大承受功率, 一般选择 $T_{J(max)}$ 为 150°C 。

适当的散热不仅能增加可靠性, 而且能通过减小静态漏极-源极导通电阻来减小大功率 MOSFET 的静态损耗。 $R_{DS(on)}$ 由于有正温度系数, 会随散热质量显著变化。好的散热条件会降低结温, 并进一步降低 $R_{DS(on)}$ 和静态损耗。

2.4 漏-源二极管

大多数功率 MOSFET 和所有 TMOS 晶体管的一个特有之处是具有一个“寄生”漏-源二极管。图 2-9 是 TMOS 晶体管截面图, 图中显示了由 P 井和 N 外延层形成的 P-N 结。因为结面积大, 所以该二极管的电流额定值与 MOSFET 的连续和脉冲电流额定值相同。对图 2-10 所示的 N 沟道 TMOS FET, 该二极管当源极相对漏极为正电势时为正向偏置。由

于该二极管可能在电路中起重要作用, Motorola 设计者数据表给出了正向导通电压, 正向导通和关断恢复时间的典型值。TMOS 功率 MOSFET 的漏-源二极管的正向特性如图 2-11 所示。

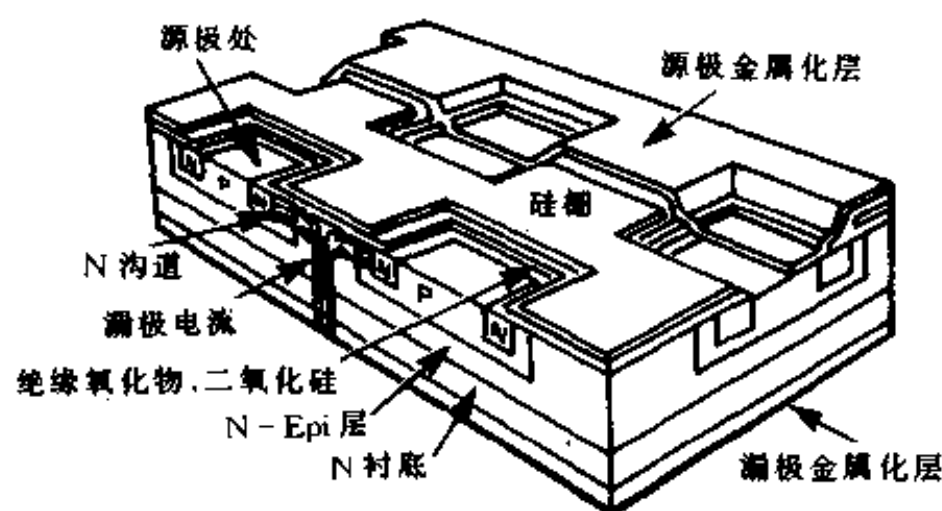


图 2-9 TMOS 管芯截面

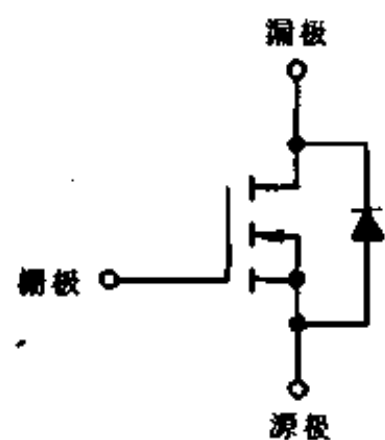


图 2-10 包括漏-源二极管的 N 沟道功率 MOSFET 符号

大多数整流器, 除肖特基二极管之外, 如图 2-12, 都有反向恢复特性。当正向电流在标准二极管流动时, 在结的高阻一侧, 形成了一个载流子阶梯, 显然这导致了电荷的存贮。这时如果突然加一个反向偏置, 在反向恢复时间 t_{rr} 内, 存贮电荷就会临时产生一个反向电流直到电荷耗尽为止。影响 t_{rr} 值和贮存电荷的电路条件是正向电流的大小以及电流从正向幅值变到反向电流峰值的变化率。在同样电路条件下进行测试时, TMOS 晶体管的寄生漏-源二极管与高速恢复整流器的二极管具有相似的 t_{rr} 。

在许多应用场合, 漏-源二极管不会处于正偏状态, 因此并不影响电路工作。但在多晶体管电路布局中, 如图 2-13 中的推挽网络电路, 寄生二极管就起非常重要的作用。每个晶体管都要防止反冲电压, 其方法并不是通过自身的二极管, 而是通过相反的晶体管中的二极管。例如在图 2-13 中, 假设 Q2 导通, Q1 截止,

电流从地流出, 通过负载进入 Q2。当 Q2 截止时, 电流转向流入 Q1 的漏-源二极管中, 它将负载的感性回冲箝位至 V^+ 。出于同样的原因, 在其截止期间 D2 保护了 Q1。

值得注意的是, 当在多晶体管电路布局中使用 MOSFET 时, 应当意识到会产生二极管恢复问题。第五章中将详细讨论它。

TMOS 功率 MOSFET 内部二极管同样也有正向恢复时间, 即当它们正偏时并不能立刻导通。但由于此间隔很短, 典型值小于 10ns, 所以它对电路工作的影响极小, 可以忽略不计。而封装、引线、引线电感通常总是作为限制电流上升的重要因素。

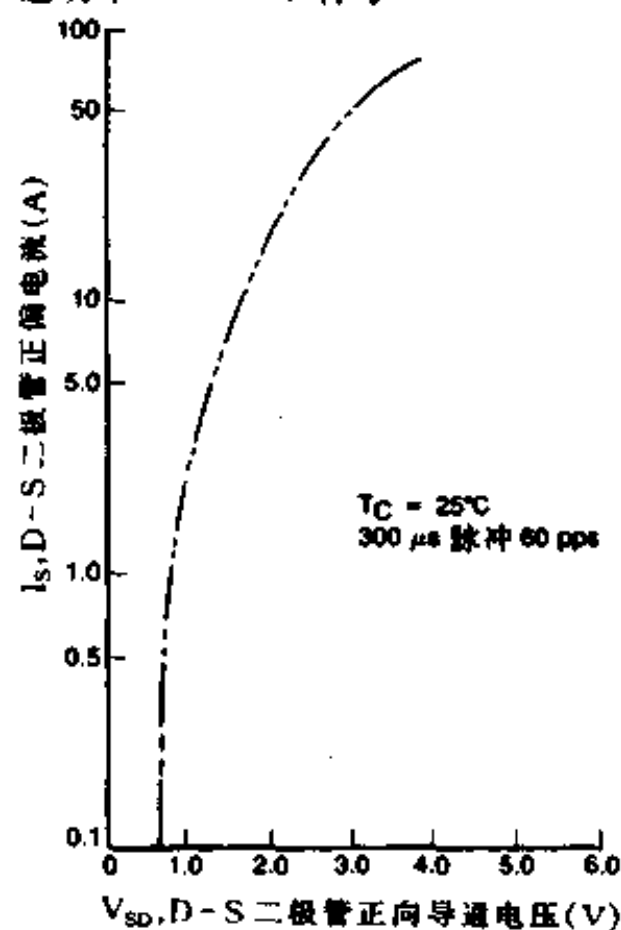


图 2-11 功率 MOSFET D-S 二极管的正偏特性

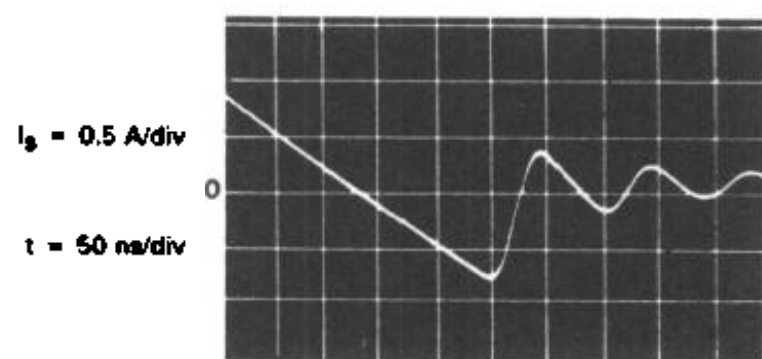


图 2-12 漏-源二极管的典型
反向恢复特征

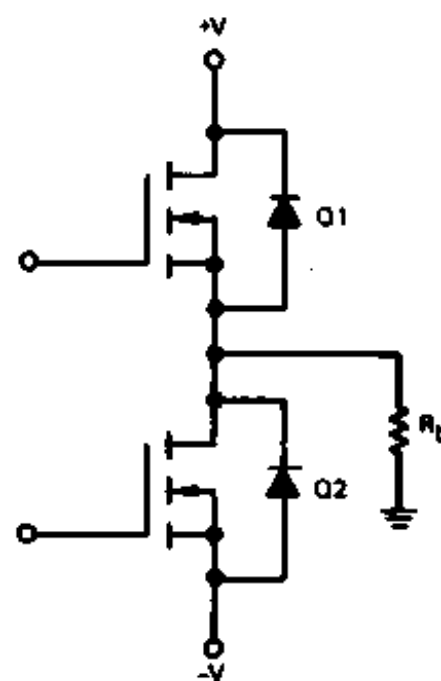


图 2-13 具有内部漏-源网络的
TMOS 推拉网络

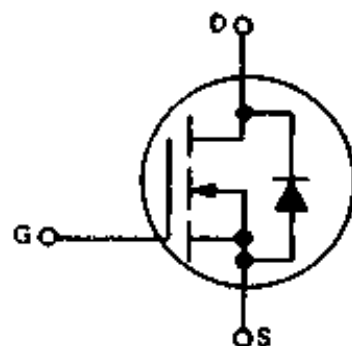
第三章 使用 TMOS 功率 MOSFET 设计者 (Designer's)^①数据表

3.1 概 述

Motorola 设计者数据表是用户非常有用的器件使用指南,它提供了对完成电路设计所需要的一切有关 TMOS 的基本参数和特性的信息。下面列出的是以 N 沟道增强型硅栅极 TMOS 功率场效应晶体管 MTP4N45E 的数据作为例子。其中注释和说明有助于更加明了某些参数的定义和器件的特性。

这些 TMOS 功率场效应晶体管被设计成能用在高压、高速功率开关的场合,例如在线性工作的开关调节器、换流器、螺旋管和继电器的驱动。其特点是:

- 雪崩能量能够转化为升高温度上。
- 低的栅极充电电荷以提高开关效率。
- 内部设计了源-漏二极管以代替外部的齐纳二极管来抑制瞬态过冲——吸收在雪崩方式下的高能量。
- 源-漏二极管的恢复时间可与分离的快速恢复二极管相比拟。



3.2 设计者数据表

“设计者数据表”的参数表征了 Motorola TMOS 功率场效应晶体管的特性。这些参数为大多数电路设计提供了全部所需的信息。其中关键参数规定在特定的温度上,以便供给实用电路设计时参考。

3.2.1 最大额定参数和温度特性 (分别见表 3-1 和 3-2)

注: ① 设计者 (Designer's) —— Motorola 公司的一个商标。

② TMOS—— Motorola 公司的注册商标。

表 3-1 最大额定参数 ($T_c=25^\circ\text{C}$, 除非另有说明)

参 数 名 称	符 号	数 值	单 位	
漏-源电压	V_{DS}	500	V_{dc}	
漏-栅电压 ($R_{GS}=10M\Omega$)	V_{DGR}	500	V_{dc}	
栅-源电压——连续	V_{GS}	± 20	V_{dc}	
——不重复	V_{GSM}	± 40	V_{pk}	
漏极电流——连续	I_D	4.0	A_{dc}	
——脉冲	I_{DM}	10		
总耗散功率 $T_c=25^\circ\text{C}$	P_D	75	W	
高于 25°C		0.6	$W/^\circ\text{C}$	
工作和存贮温度范围	T_j, T_{stg}	$-65\sim 150$	$^\circ\text{C}$	

表 3-2 温度特性

热电阻 (结到外壳)	$R_{\theta jc}$	1.67	$^\circ\text{C}/W$
焊接 (焊点 $\frac{1}{8''}$, 5 秒钟) 引起最大温升	T_L	275	$^\circ\text{C}$

说明:

最大额定

- 表示器件的极限能力, 数据是它的极限值。
- 不能作为设计条件。

V_{GS}

- 大部分 Motorola TMOS 功率 MOSFET 的特点是额定的 $V_{GS(max)}$ 为 $\pm 20V$, 逻辑电平器件除外。
- 超过 $V_{GS(max)}$ 会造成器件永久失效。
- 若需要限制栅极电压尖峰可用一个小于 $20V$ 的齐纳二极管。

I_D ——最大连续漏极电流。

I_{DM} ——最大脉冲漏极电流, 由以下几个条件限制:

- P_D
- $r_{DS(on)}$ ——通态电阻。
- 引线 and 金属化材料。
- 以上几项的综合。

P_D ——在壳温 25°C 时的最大功率。

- 以 $T_c + P_D \cdot R_{\theta jc} < T_{j(max)}$ 关系限制了 P_D 和 T_c 。

$T_{j(max)}$ ——最大结温。

- 影响器件使用寿命。
- 对所有 Motorola 公司的功率 MOSFET 管均规定在 150°C 。
- 保证结温小于 $T_{j(max)}$ 的条件下工作可延长使用寿命。

3.2.2 电特性 (见表 3-3)

表 3-3 电特性 ($T_c=25^{\circ}\text{C}$, 除非另有说明)

特 性	符号	最小值	最大值	单位
关断特性				
漏-源击穿电压 ($V_{GS}=0$, $I_D=5.0\text{mA}$) MTP4N50E	$V_{(BR)DSS}$	500	—	V_{ds}
零栅电压漏电流 ($V_{DS}=500\text{V}$, $V_{GS}=0$) ($V_{DS}=400\text{V}$, $V_{GS}=0$, $T_j=125^{\circ}\text{C}$)	I_{DSS}	— —	0.25 1.0	mA_{dc}
栅体泄漏电流 正向 ($V_{GSR}=20\text{V}$, $V_{DS}=0$)	I_{GSSF}	—	100	nA_{dc}
栅体泄漏电流 反向 ($V_{GSR}=20\text{V}$, $V_{DS}=0$)	I_{GSSR}	—	100	nA_{dc}
导通特性				
栅极开启电压 ($I_D=0.25\text{mA}$, $V_{DS}=V_{GS}$) ($T_j=125^{\circ}\text{C}$)	$V_{GS(th)}$	2.0 1.5	4.0 3.5	V_{ds}
漏-源导通电压 ($V_{GS}=10\text{V}$) ($I_D=4.0\text{A}_{dc}$) ($I_D=2.0\text{A}_{dc}$, $T_j=100^{\circ}\text{C}$)	$V_{DS(on)}$	— —	7.5 6.0	V_{ds}
漏-源导通电阻 ($V_{GS}=10\text{V}_{dc}$, $I_D=2.0\text{A}_{dc}$)	$R_{DS(on)}$	—	1.5	Ω
正向互导 ($V_{DS}=15\text{V}$, $I_D=2.0\text{A}$)	g_{FS}	1.5	—	Ω

说明:

$V_{(BR)DSS}$ (BV_{DSS})

- 最大承受电压。
- 在伏-安特性中没有负阻区。
- 如图 3-1 所示, 是正的温度系数。

I_{DSS}

- 规定在 25°C 和 125°C 。
- 栅极电压是栅极相对于源极端而言。

I_{GSS}

- 专门规定在最大额定的 V_{GS} 值上。

$V_{GS(th)}$

- 栅极电压加到使管子刚刚开始导通 (见图 3-3)。
- 规定在 25°C 和 100°C 。
- 具有负温度系数, 大约在 $-6.7\text{mV}/^{\circ}\text{C}$ (见图 3-4)。

$V_{DS(on)}$, $R_{DS(on)}$

$$R_{DS(on)} = \frac{V_{DS(on)}}{I_D}$$

- 与双极型器件的 $V_{CE(sat)}$ 相似。
- 对 Motorola TMOS 功率 MOSFET 而言, 专门规定最大 V_{GS} 为 10V。
- 规定在 25°C 和 100°C。
- 当器件并联应用时, 正的温度系数有助于使电流均衡。

g_{FS}

- MOSFET 的“增益”参数——类似于 h_{FE} 。
- 等于如图 2-7 所示的转移特性的斜率 $g_{FS} = \frac{\Delta I_D}{\Delta V_{GS}}$
- 在电流饱和区域 (见图 3-3)。

$$I_D = g_{FS} [V_{GS} - V_{GS(th)}]$$

- 满足 $V_{GS(th)} < V_{GS} < V_{DS} + V_{GS(th)}$, 相应是个常数。

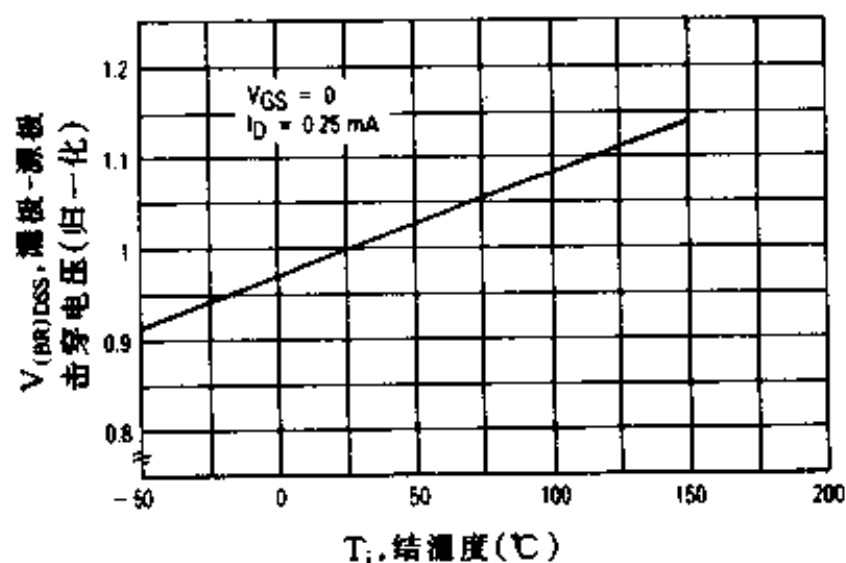


图 3-1 击穿电压与温度的关系

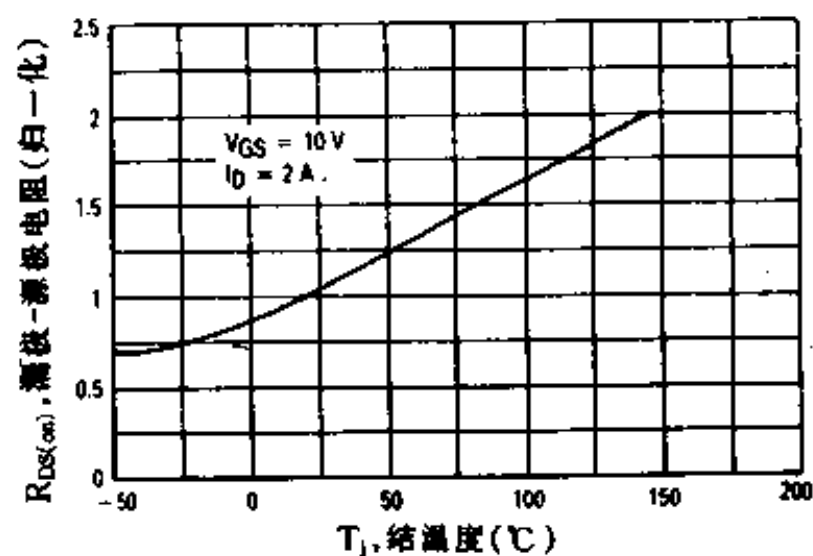


图 3-2 导通电阻与温度的关系

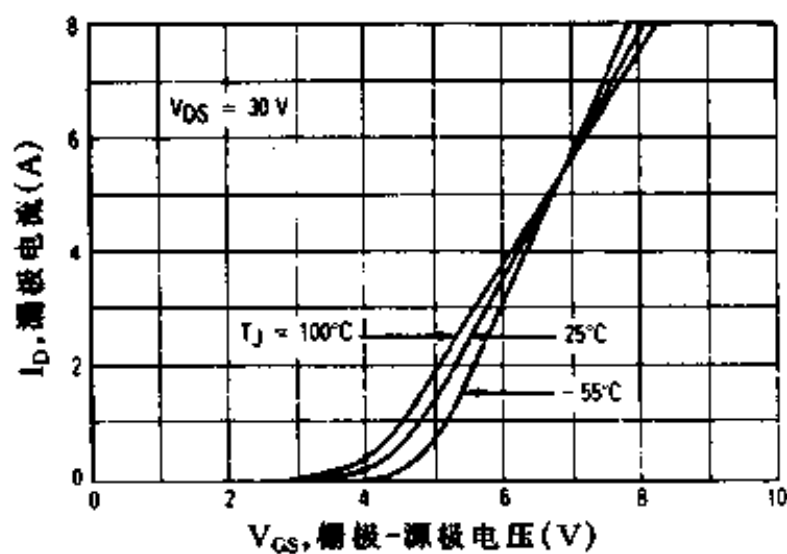


图 3-3 转移特性

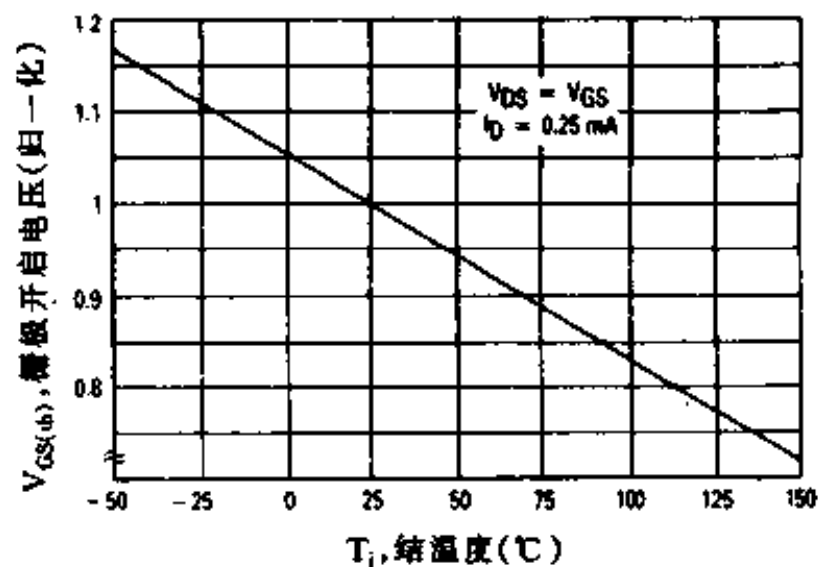


图 3-4 栅-源开启电压与温度的关系

3.2.3 动态特性 (见表 3-4)

表 3-4 动态特性

特 性	符号	最小值	典型值	单位
输入电容 ($V_{DS}=25V, V_{GS}=0, f=1MHz$)	C_{iss}	—	775	pF
输出电容 ($V_{DS}=25V, V_{GS}=0, f=1MHz$)	C_{oss}	—	84	pF
转移电容 ($V_{DS}=25V, V_{GS}=0, f=1MHz$)	C_{rss}	—	19	pF

说明: MOSFET 的电容

一个 MOSFET 器件的实际结构中各种引出端之间形成了几个电容器, 金属氧化层栅极构成了栅-漏电容 (C_{gd}) 和栅-源电容 (C_{gs}), PN 结虚拟地构成了 TMOSFET 的结电容而形成漏-源电容 (C_{ds})。这些电容在参数表上用输入电容 (C_{iss})、输出电容 (C_{oss}) 和反向转移电容 (C_{rss}) 来表示。

MOSFET 电容专门规定在 $V_{DS}=25V$ 时作标准, 对所有 TMOS 参数表都是这样规定的。

然而在确定或比较开关速度或设法减小输入或输出电容时它们的用处不大, 因为在开关瞬态过程中电容量的大小变化非常明显。

图 3-5 的电容曲线是参数表中曲线的一个扩展。0 点的右边是传统的表示法, 0 点的左边这部分是表示当 MOSFET “通” 或进入导通状态时的输入电容曲线。

栅极充电与栅极电压的关系曲线是另一种并且是用得更多的曲线, 它描述了输入阻抗的相对大小。

在驱动 MOSFET 时, 输入电容是一个很重要的参数, 因为这个电容一定会被驱动电路进行充、放电而影响开关功能。驱动源的阻抗严重地影响到 MOSFET 的开关速度, 更低的驱动源阻抗会有更高的开关速度。温度的变化对器件的电容影响很小, 因而对开关时间的影响也很小。

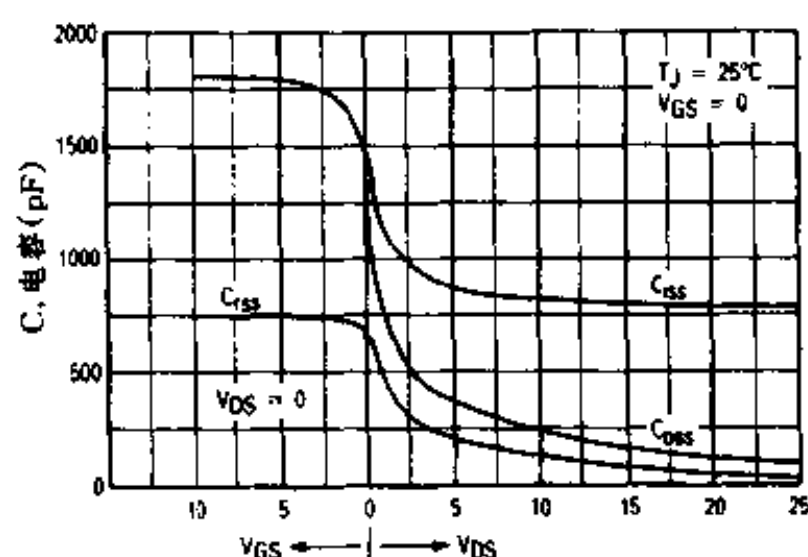


图 3-5 电容变化曲线

3.2.4 开关特性 (见表 3-5)

表 3-5 开关特性

特 性	符号	最小值	典型值	单位
开通延迟时间	$t_d(on)$	—	24	ns
上升时间	t_r	—	34	
关断延迟时间	$t_d(off)$	—	60	
下降时间	t_f	—	36	

($V_{DD}=250V, I_D \approx 4.0A$
 $R_T=12\Omega, R_L=62\Omega$
 $V_{GS(on)} \approx 10V$)

说明：开关特性

MOSFET 的开关速度与同样大小的双极型晶体管相比是非常快的，因为它是利用多数载流子，在关断时没有伴随着存贮的时间，因此开关波形与内部电极电容的充电与放电有关。在一个开关周期内驱动 MOSFET 包含着驱动这些非线性电容，因此开关时间强烈地依赖于驱动源的阻抗和漏极负载。最大极限是指定在规定的温度上。

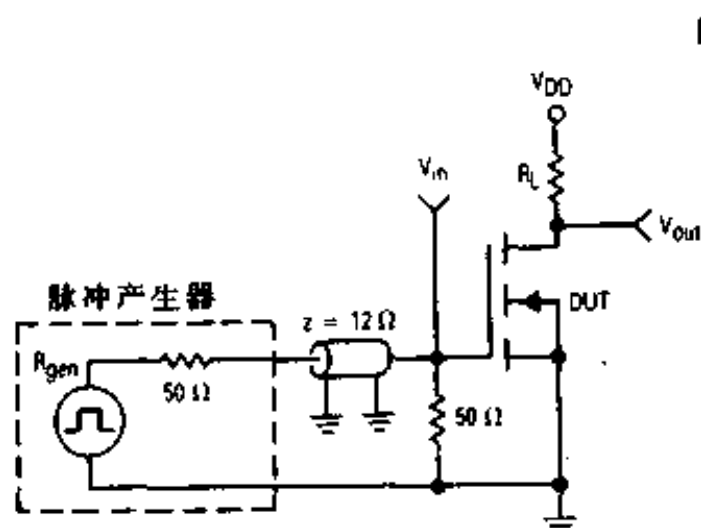


图 3-6 开关测试电路

Motorola 公司通常用一个 50Ω 的端口信号发生器加在栅极并以规定的开关速度进行激励，信号发生器和端口阻抗组成 25Ω 的栅极驱动阻抗。利用这样的栅极驱动作为标准有助于方便地处理相应的测试结果，见图 3-6 和图 3-7。对于不同的栅极驱动阻抗，典型的开关时间如图 3-8 所示。

电阻性开关

- $t_{d(on)}$ ——驱动电路对 C_{iss} 充电到 $V_{GS(th)}$ 电压，没有漏极电流， V_{DS} 基本保持在 V_{DD} 。
- t_r —— C_{iss} 被驱动电路充电到 $V_{GS(on)}$ ； C_{oss} 放电，其两端电压从 V_{DD} 到接近 $V_{DS(on)}$ 和 I_D 从 0 开始增加到接近最大值，当 V_{DS} 接近 $V_{DS(on)}$ 时， C_{oss} 在低的漏极电压下很快上升，因而延迟了 I_D 的上升。同样，通过驱动阻抗来解释，由于 C_{iss} 的增加，抑制了 V_{GS} 的上升。
- $t_{d(off)}$ —— C_{iss} 通过栅极电路阻抗开始放电，晶体管关断，漏极电源通过负载对 C_{oss} 充电，起初由于 C_{oss} 在低的漏极电压下其电容值很大，故 V_{DS} 上升就很慢。
- t_f ——当漏极电压上升， C_{oss} 的容量迅速减小，实际的漏极供电电源不需外加充电，所以 V_{DS} 迅速上升到 V_{DD} （除非负载上有电感）。

3.2.5 栅极充电特性（见表 3-6）

阻性开关

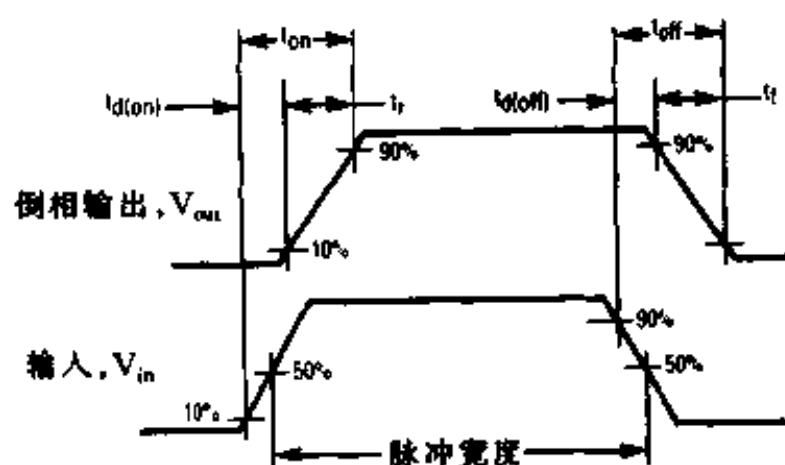


图 3-7 开关波形

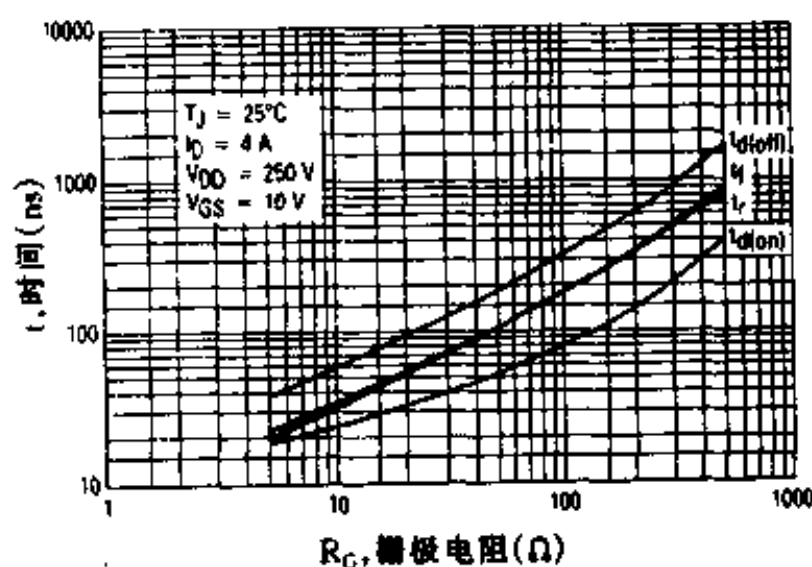


图 3-8 电阻性开关时间的变化与栅极阻抗的关系

表 3-6 栅极充电特性

特 性	符号	典型值	最大值	单位
栅极总电荷	Q_g	27	32	nC
栅-源电荷	Q_{gs}	3.5	—	
栅-漏电荷	Q_{gd}	14	—	

说明：栅极充电特性

从根本上说，栅极充电（要求在 C_{iss} 上产生从 0V 到 10V 电压）与栅-源电压的关系曲线是用来确定充电电荷的大小，定义为 Q_g 。典型的最大额定是指在电源电压为最大额定值 V_{DS} 的 80%， I_D 等于器件在 25℃ 时连续电流额定值的条件下得到。栅极充电基本上与负载电流无关，但它随电源电压而变化。

此外，在数据表中也给出了 Q_g 的典型值和最大值分别为 Q_{gd} 和 Q_{gs} ， Q_{gd} 是在 V_{DS} 下降期间 C_{rss} (C_{gd}) 所要求的电荷。这个过程出现在图 3-9 曲线的平坦区域。 Q_{gs} 是指 C_{iss} 所要求的总充电电量。它由平坦曲线以前和以后的 V_{GS} 斜坡上升的两个区间表示。第一区间内大部分电量流入 C_{gs} ，而第二个区间里 C_{rss} 获得大部分电量。因此习惯上叫“ Q_{gs} ”是一个误称。

其它有价值的参数可以从曲线中推导出来，如在给定的开关速度下估算的平均栅极电流，传输到栅极的能量和输入电容的大小等。

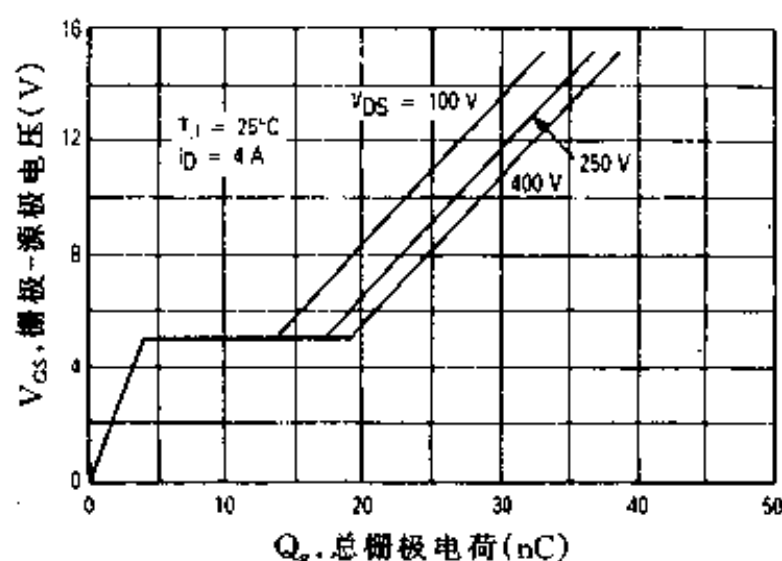


图 3-9 栅极充电与栅-源电压的关系

3.2.6 源-漏二极管特性（见表 3-7）

表 3-7 源-漏二极管特性*

特 性	符号	最大值	单位
正向导通压降	V_{DS}	1.4	V_{dc}
反向恢复时间	t_{rr}	760	ns

正向导通时间主要受到寄生的封装和引线电感限制

* 脉冲测试：脉冲宽度 $\leq 300\mu s$ ，占孔比 $\leq 2\%$ 。

说明：功率 MOSFET 源-漏二极管

- 所有功率 MOSFET 结构的一个总体特征。
- 反向恢复时间可与那些快速恢复整流管相比拟。
- 额定电流等于 MOSFET 的额定电流。
- 可作为换流管，用在互补的推挽或桥式结构并有感性负载的电路中，或用在“同步整流”方式的电路中。

TMOS 功率 MOSFET 的内部二极管也存在正向恢复时间, 这意味着当正向偏置后它不可能立即导电。然而, 因为这种恢复时间是如此的短, 其典型值小于 10ns, 所以它对电路工作的影响经常可以忽略, 而封装和引线的电感在限制电流上升时间方面通常至少比它大一个数量级。

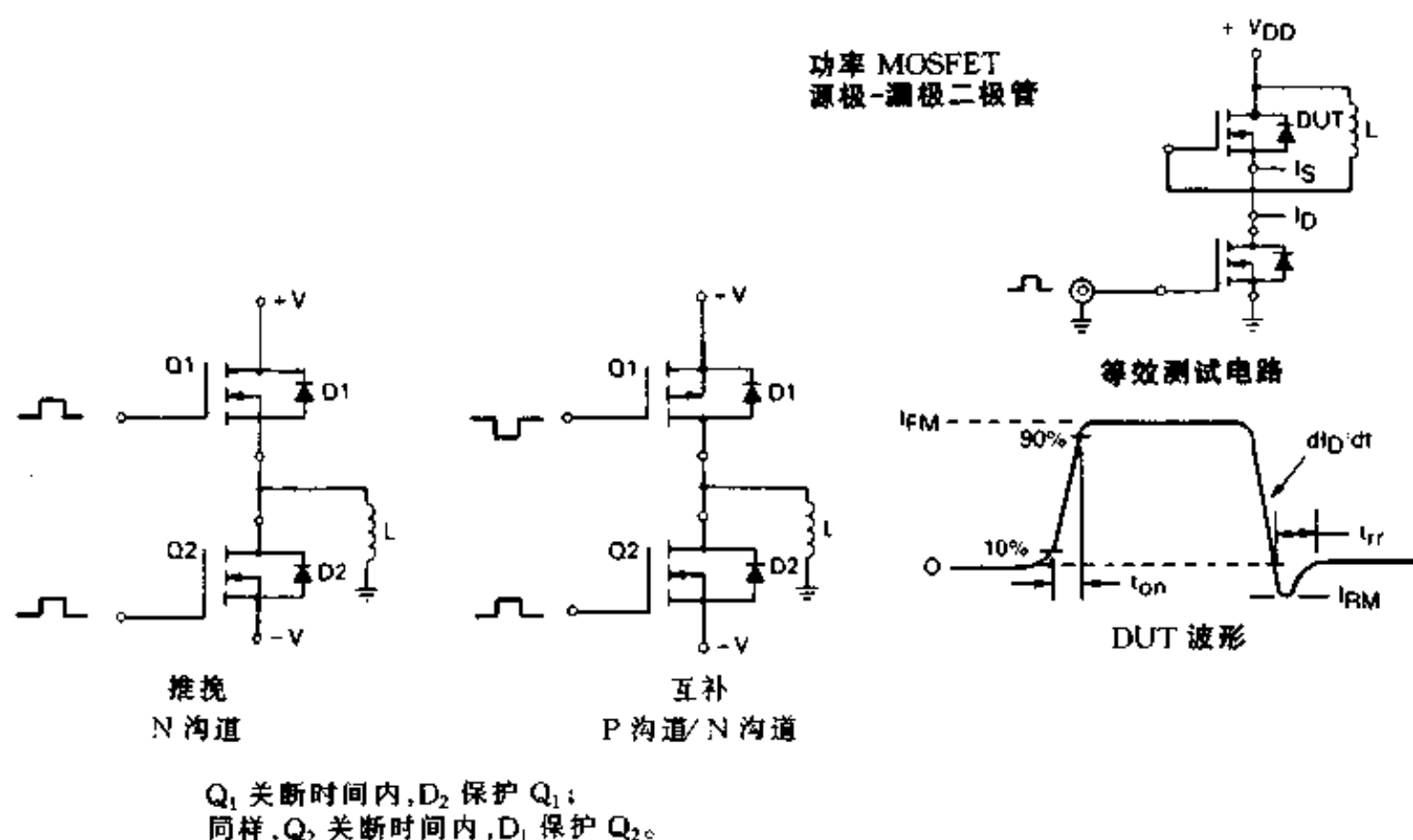


图 3-10 源-漏二极管测试线路和波形

3.3 安全工作区

3.3.1 FBSOA (正向偏置安全工作区)

FBSOA 曲线定义为在最大漏-源电压和漏极电流下, 当器件正向偏置或当它导通或开始导通时该器件能安全地工作。因为这些曲线包含着同时限制了高出器件额定值的高电压大电流——而这些对线性电路设计人员来说又特别有用。这组曲线是基于管壳温度为 25℃, 最大结温为 150℃时得到的。利用温度响应曲线可以确定重复脉冲在不同的管壳温度下安全工作界限。Motorola 应用说明 AN569 “瞬态温度电阻一般数据和它的应用”中有详细说明。

3.3.2 SSOA (开关安全工作区)

开关工作安全工作区在图 3-12 中是条边界线, 负载线在这个区域内, 器件不会招致危险。最基本的限制是漏电流最大峰值 I_{DM} , 最小漏-源击穿电压 $V_{(Br)DSS}$ 和最大额定结温。安全边界线对于那些上升与下降时间小于一微秒的器件的导通与关断均适合。

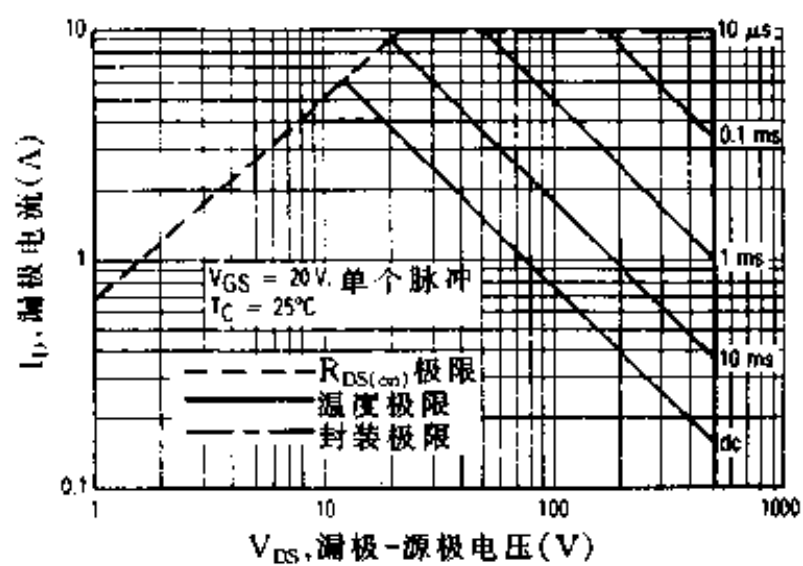


图 3-11 正向偏置安全工作区最大范围

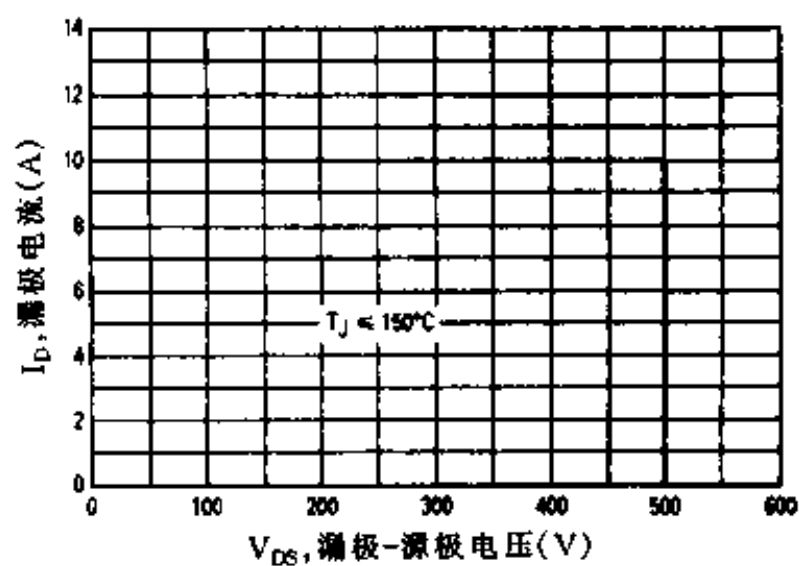


图 3-12 开关工作最大安全工作区

热响应

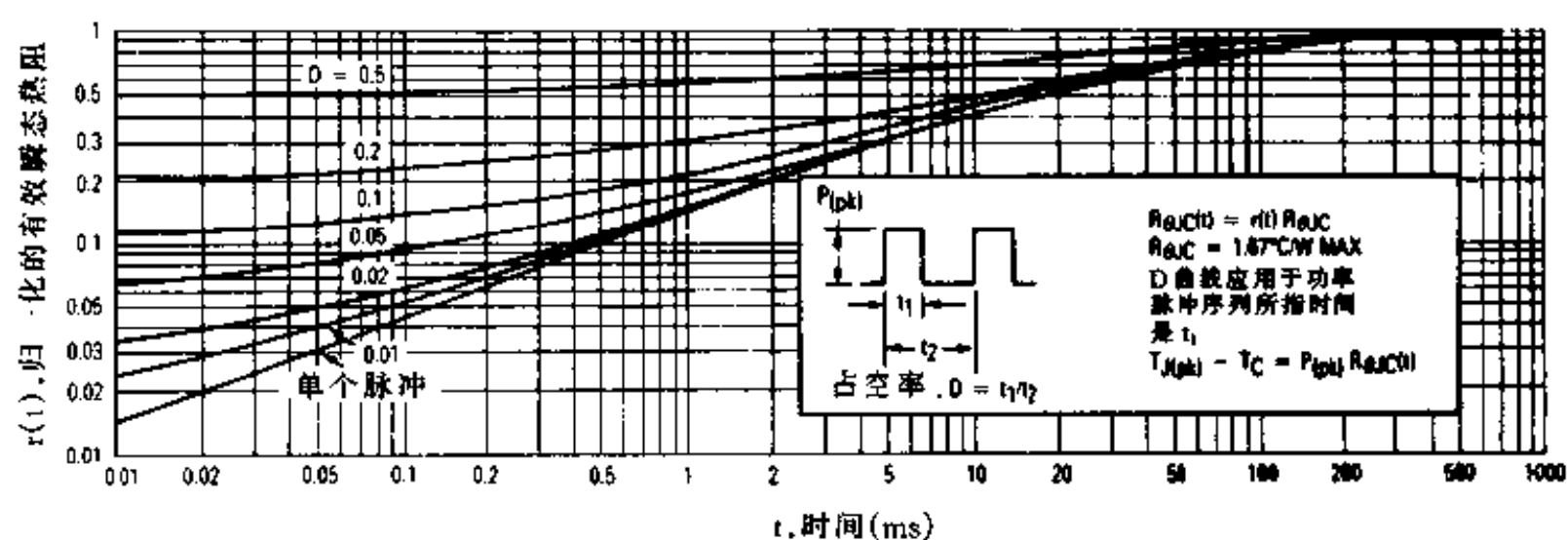


图 3-13 (MTP4N50E) 温度响应

第四章 使用大功率 MOSFET 时的设计依据

——大功率 MOSFET 的保护

4.1 安全工作区

为了向设计者提供 TMOS 晶体管在各种工作方式下安全工作区的信息,我们在 TMOS 参数表中定义了两种不同的安全工作区:正向偏置安全工作区或 FBSOA (往往简称为 SOA),和开关安全工作区或 SSOA。MOSFET 的 SSOA 描述了导通和关断过程中对电压和电流的限制,使用方法一般和双极型晶体管 RBSOA 的使用方法相同。

4.1.1 FBSOA

FBSOA 曲线限定了一器件正向偏置或导通时能安全承受的最大漏极电压和电流。在 FBSOA 曲线的边界指示的四个限制中,最重要的是在图 4-1 中边界 A 指示的最大漏-源电压额定值。超过这一额定值,即使是暂时的,也会造成永久性的损坏。因此,如果漏极电源电压存在暂态尖峰,应当采用预防保护措施。

最大允许漏极电流依赖于时间或脉宽并定义了 FBSOA 曲线的第二个边界——边界 D。该界限取决于焊线直径、源极焊接点尺寸、器件特性和热电阻。即使该器件具有很强的过流能力, MOSFET 也不应允许通过大于给定脉宽下的额定漏极电流值。这包括象白炽灯起动时的大电流或二极管反向恢复时的大电流。

第三个边界——边界 B 由静态漏-源导通电阻确定并限制了低漏-源电压时的电流。作为欧姆定律的体现,这一限制表明在给定通态电阻时,电流由所加电压确定。但这一边界描述的不是线性关系,因为通态电阻随电流增加而逐渐增加。

第四个限制,即图 4-1 中的边界 C,是封装温度限制。FBSOA 曲线的这一部分功率限制区是由器件热响应曲线、最高允许结温和最大 $R_{\theta JC}$ 额定值决定的。在这一曲线内工作可保证最高结温不超过 150°C 的最高额定值。

由于暂态热阻随脉宽缩短而显著减小,故峰值功率承受能力相应增强。例如,图 4-2 显示出脉宽为 $100\mu\text{s}$ 时 MOSFET 的归一化单脉冲暂态热阻为 $0.033^{\circ}\text{C}/\text{W}$,该值乘以 $R_{\theta JC}$ ($0.033 \times 0.83^{\circ}\text{C}/\text{W}$) 得到 $100\mu\text{s}$ 单脉冲时的实际热阻抗。根据热阻的定义 ($R_{\theta JC} =$

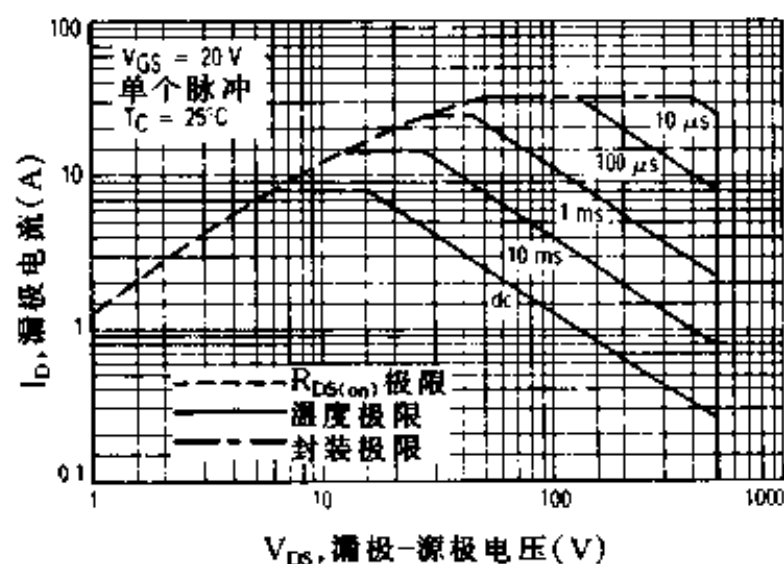


图 4-1 MTP8N50E 的最大标称正向偏置安全工作区

$\frac{T_J - T_C}{P_D}$), 与 $T_J = 150^\circ\text{C}$ 和 $T_C = 25^\circ\text{C}$ 相对应的功率脉冲的大小很容易获得。在本例中, $(0.033 \times 0.83^\circ\text{C/W} = \frac{150 - 25^\circ\text{C}}{P_D})$, P_D 为 4564W。因此, V_{DS} 为 200V 时, MOSFET 可通过约 23A, 100 μs 的脉冲而结温不超过额定值 150°C 。

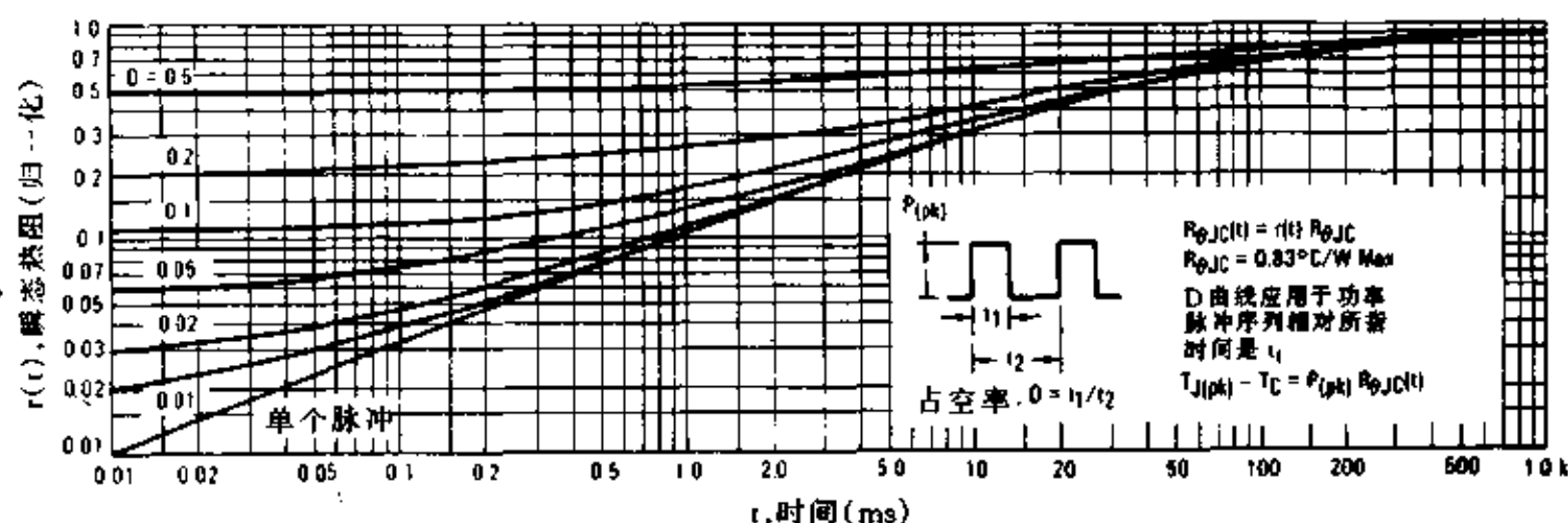


图 4-2 热响应

通常情况下, 只有预见到高电压和大电流同时出现且持续时间超过 10 μs 时, 设计人员才对 FBSOA 曲线的封装温限部分感兴趣。当线性应用或开关应用存在故障时, 例如负载短路, 可能会出现这种情况。这时图 4-1 包含的信息就不够了, 因为这些数据是基于 25°C 管壳温度下单脉冲实验得到的。那末对于多脉冲和不是 25°C 的情况下, 要获知最大允许功耗, 可以像 AN569 “暂态热阻综合数据及其应用” 所示的那样计算。

在很大程度上, 温限决定了线性应用下 MOSFET SOA 的边界。当 MOSFET 用作开关时, 最大允许结温 $T_{J(max)}$ 也反映到可使用的脉冲电流额定值。就电流额定值而论, MOSFET 比双极型晶体管更象整流器, 因为它的峰值电流额定值不受增益限制而受温度限制。由于 $R_{DS(on)}$, 通态功耗、开关损耗、脉宽占空比和结与周围的热阻均影响 T_J , 同时它们也影响最大允许脉冲漏极电流。

在作开关应用时, 总的功率损耗由开关损耗和通态损耗组成。在低频段, MOSFET 的开关损耗很小, 一般可以忽略。但随着频率的增加, 这一损耗会变得显著并使 T_J 上升。低频和高频间的转折点由栅极驱动阻抗决定。栅极驱动阻抗低时, 开关损耗在 40 到 50kHz 以下时都不大。

由于 MOSFET 电容值非常稳定, 因而大功率 MOSFET 的开关速度几乎不随 T_J 的变化而变化, 其开关损耗也几乎不受温度影响。在没有附加的复杂温度问题情况下, 导通和关断之间相对高功耗时间间隔中的损耗就容易模拟和估算了。Motorola 应用手册 AN5969 也给出了这些技术。

因为总功率耗散往往大部分都是导通状态下的损耗, 所以这些损耗对 MOSFET 的最大允许脉冲电流影响很大。由于 $R_{DS(on)}$ 随温度和漏极电流的变化而变化, 故损耗的计算是很复杂的。在计算出漏极电流的热分量 (有效值) 后, 使用一迭代算法来决定导通状态下的功率损耗。下面的例子说明了导通状态下损耗和结温的计算方法。

设 MOSFET 的漏极电流波形为不规则四边形, 在其顶部电流由 8.0A 升高到 16.0A,

所用时间为 $25\mu\text{s}$ ，占空比为 50%，频率为 20kHz。加散热片使管壳温度保持在 80°C 。由图 4-2 得，归一化暂态热阻抗为 0.5，因此这一脉冲的实际热阻抗为 $0.415^\circ\text{C}/\text{W}$ [$t(t) \times R_{\theta\text{JC}} = 0.5 \times 0.83^\circ\text{C}/\text{W}$]。

在继续计算之前，必须先确定通态电阻和 I_D 波形的有效值。由于 $R_{\text{DS(on)}}$ 是随温度变化的，故必须粗略地估计一个结温，在这个例子中使用 $T_J = 110^\circ\text{C}$ 是合适的。由图 4-3 得 $R_{\text{DS(on)}}$ 在 110°C 时为 1.02Ω 。

$R_{\text{DS(on)}}$ 的值是从典型曲线中推导出来的。并不代表在最坏情况下的值。要得到恶劣情况下估算值，可以把典型值乘上最大额定 $R_{\text{DS(on)}}$ 和同样工作环境下的 $R_{\text{DS(on)}}$ 典型值之比值。在本例中，在 I_D 为 4.0A， T_C 为 25°C 时 $R_{\text{DS(on)}}$ 最大值为 0.55Ω 。在同样环境下， $R_{\text{DS(on)}}$ 典型值为 0.45Ω (见图 4-3)。设典型值和最坏情况下的值的比值不变，为 1.22 ($R_{\text{DS(on)max}}/R_{\text{DS(on)typ}} = 0.55/0.45$)。因此，12A、 110°C 最坏情况下的 $R_{\text{DS(on)}}$ 约为 $1.22 \times 1.02\Omega = 1.24\Omega$ 。对象图 4-4 中的不规则四边形波形：

$$I_{\text{RMS}} = \sqrt{\frac{D(a^2 + ab + b^2)}{3}} = \sqrt{\frac{0.5(8^2 + 8 \times 16 + 16^2)}{3}} = 8.64\text{A}$$

$$\text{以及 } P_D = I_{\text{RMS}}^2 R_{\text{DS(on)}} = (8.64)^2 \times 1.24 = 9.26\text{W}$$

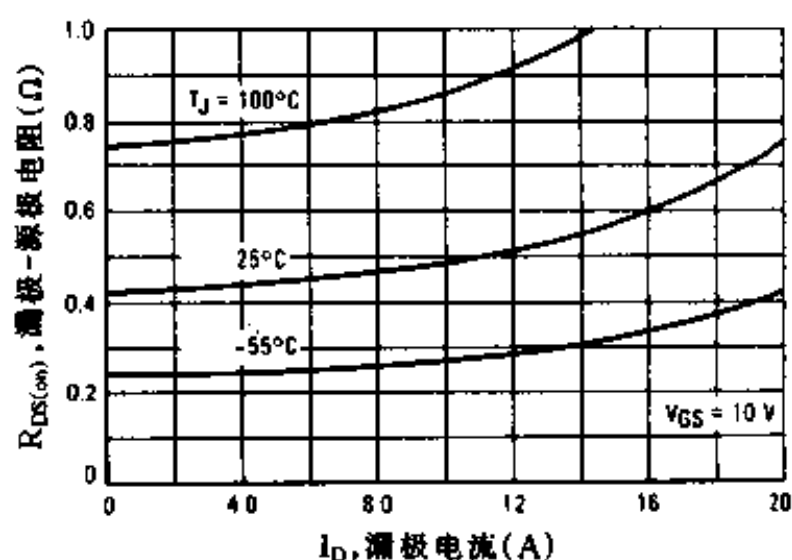


图 4-3 导通电阻和漏电流关系

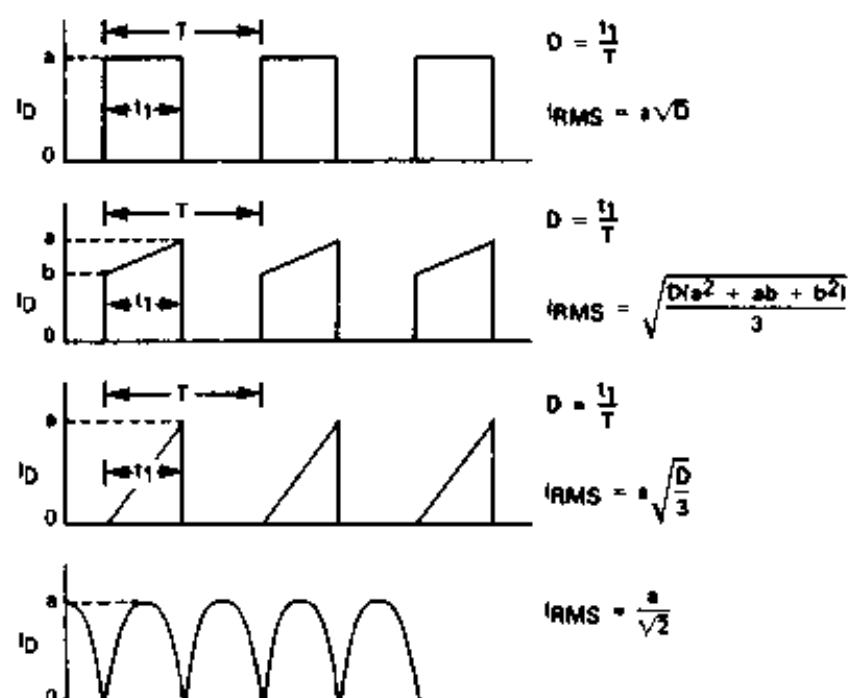


图 4-4 一些常见电流波形的 RMS 值

如果开关损耗很明显，则这一步还要计入开关损耗，接着计算 T_J ：

$$\Delta T_{\text{JC}} = P_D R_{\theta\text{JC}} = (9.26) (0.415) = 38.4^\circ\text{C}$$

$$T_J = T_C + \Delta T_{\text{JC}} = 80 + 38.4 = 118.4^\circ\text{C}$$

然后用计算得到的 118.4°C 代替 110°C 的估计值重新计算 $R_{\text{DS(on)}}$ 、 P_D 和 T_J 。与初步估计很接近，是最终结果 118.4°C 。因此该晶体管工作在温限以下并能承受此电流。

4.1.2 SSOA (开关安全工作区)

开关安全工作区限定了 MOSFET 作开关转换时的电压和电流。尽管 SSOA 也画出了导通边界，但它通常用作关断 SOA。因此，MOSFET 的 SSOA 和双极型器件的反向偏置

SOA (RBSOA) 是等效的。

同 RBSOA 一样, 关断 SOA 曲线也是通过观察器件关断感性负载时的性能而得到的。使用感性负载是因为它能产生极强的关断电压, 而且如果没有关断, 就会使晶体管在失控漏-源冲击激励电压下发生雪崩。开关速度直接决定交迭时间和开关损耗, 从而也对关断 SOA 产生影响。

如图 4-5 所示, 开关时间小于 $1.0\mu\text{s}$ 时, MOSFET 的 SSOA 曲线受最大脉冲漏极电流 I_{DM} 和最大漏极电压 V_{DS} 的约束。只要 MOSFET 工作低于 I_{DM} 、 V_{DSS} 和 $T_{\text{j(max)}}$ 的额定值条件下, 就不必担心二次击穿造成的性能下降。

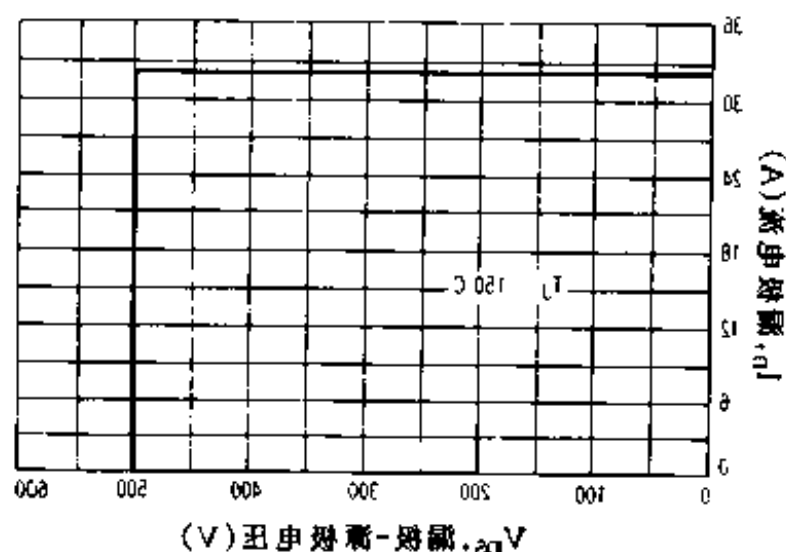


图 4-5 最大标称开关安全工作区

4.2 漏-源过压保护

大功率 MOSFET 的故障一般都是由于偏出 SOA 边界造成的。故障中的一大部分都是由于超过了最大额定漏-源电压 $V_{(\text{BR})\text{DSS}}$ 。由于作开关使用时负载或漏极电感上流过大电流, 而引起漏极电压 V_{DS} 瞬间超过 $V_{(\text{BR})\text{DSS}}$ 。如果其能量足以引起雪崩, 就会损坏器件。漏极电源电压暂态值也能损坏大功率 MOSFET。

幸运的是, 对付这些破坏性暂态值的方法相当简单。图 4-6 是 FET 开关一个感性负载, 在电路中对过量反冲电压无防护措施。附图为由负载、寄生引线和引线电感引起的关断电压暂态波形。100V 的 MOSFET 经历了一个 300ns, 122V 的击穿电压状态, 这是一种不允许的雪崩条件。

防止冲击电压最简单的方法是在感性负载两端跨接箝位二极管。这时箝位二极管会消除电压暂态值的绝大部分但不是全部。如图 4-7 所示, 由于二极管正向恢复特性, 二极管引线电感和寄生串联电感的影响, V_{DS} 仍然会超过 V_{DD} 。

如果负载串联电阻与其电感相比很小, 简单应用二极管箝位会造成 MOSFET 关断后

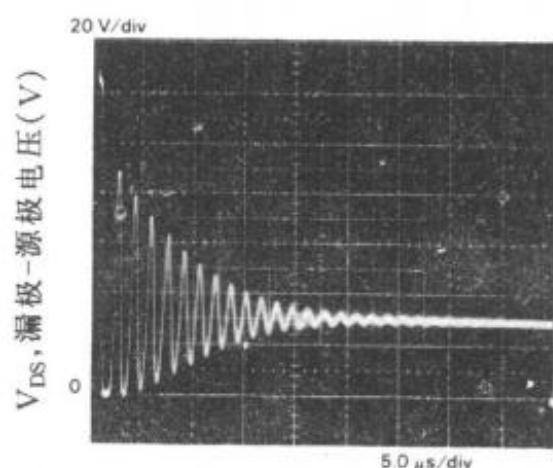


图 4-6 未对感性负载关断的 V_{DS} 暂态波形

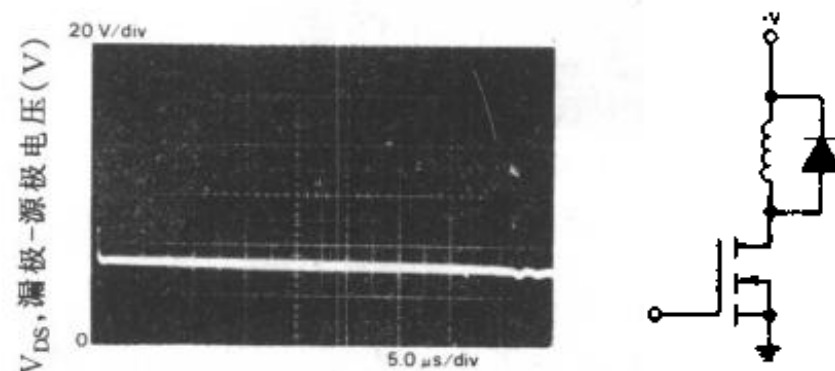


图 4-7 有箝位二极管的 V_{DS} 暂态值

电流在负载——二极管回路中循环多次。要除去这一残留电流，可以在二极管上串联电阻，这会使漏极上的峰值冲击激励电压增高。

防护漏-源电压暂态的另一种简便有效的方法是使用齐纳二极管。这是一种宽带器件，它能消除引线电感的影响，使雪崩时间降到可忽略的程度并将其电压暂态箝位在击穿电压之内。对慢变暂态 (dv_{DS}/dt 较小) 能完满地起到截去作用，但对高速暂态 (dv/dt 大) 则可能短暂的超过齐纳击穿电压。防护效果见图 4-8。尽管使用齐纳二极管非常简单，但它却是抑制暂态的最有效方法之一。显然，应当粗略估计齐纳二极管的功率额定值以保证箝位时吸收的能量能完全释放。

图 4-9 所示的 RC 箝位网络可以抑制高于电容器两端电压的冲击激励电压。电容器大小的选择是以在整个开关周期内电压保持基本不变为依据的。它只在暂态时吸取能量，其它时间则是向电阻释放能量。各元件值可以根据该 RC 箝位网络要吸收的功率来计算。根据这一功率和所需箝位电压，就可以估计电阻的大小。最后，根据 RC 时常数同波形周期的关系来确定电容的值。

例如，一类似电路具有如下特性：

$$L=10\mu\text{H}$$

$$i=3.0\text{A (截止前的负载电流)}$$

$$f=25\text{kHz}$$

$$V_c=60\text{V (希望出现的箝位电位)}$$

箝位网络要吸收的功率为：

$$P=\frac{1}{2}Li^2f=1.125\text{W}$$

元件值确定如下：

$$R=\frac{V_c^2}{P}=3.2\text{k}\Omega\approx 3.3\text{k}\Omega$$

$$\text{令 } \tau=RC=5.0\div f=200\mu\text{s}$$

$$C=0.061\mu\text{F}\approx 0.05\mu\text{F}$$

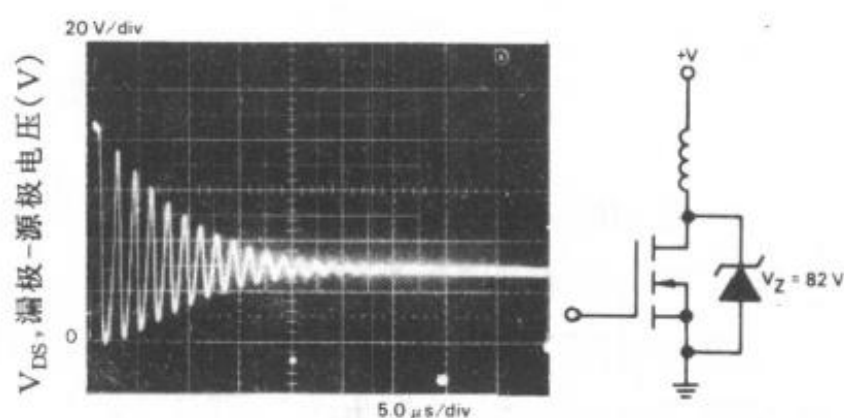


图 4-8 有齐纳箝位二极管的 V_{DS} 暂态值

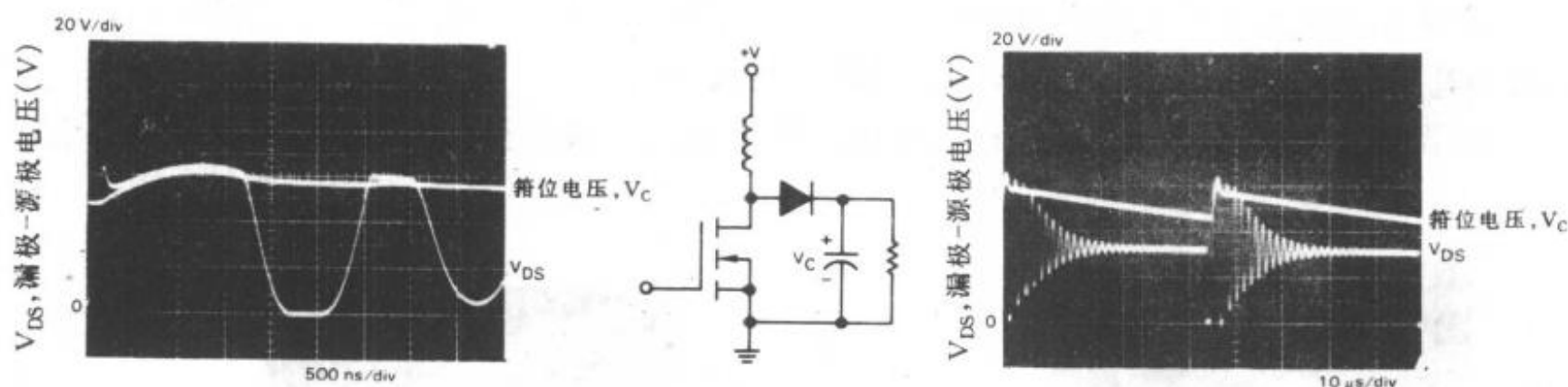


图 4-9 有 RC 箝位网络的 V_{DS} 暂态值以及 RC 箝位电压

上述是一个通用的有效电路，然而 MOSFET 的高速开关可能会使暂态极迅速，以至削弱了这种方法的效果。如果冲击激励电压在头 50ns 内就达到其峰值，则由于箝位二极管的正向恢复特性和电路寄生电感的影响，该电路的效能会被削弱。为谨慎起见，这时可以加上一个击穿电压稍高于箝位电压的齐纳二极管。当齐纳二极管直接跨接于漏极源极之间时，引线很短使之足以捕捉到绝大部分暂态。由于该齐纳二极管的目的是截去冲击激励电压的

第一峰而吸收电感储存的全部能量，所以该齐纳二极管的功率额定值可以比不用 RC 网络的箝位齐纳二极管的功率额定值小些。

保护功率 MOSFET 在大的漏-源电压暂态值时用的第四个方法是使用 RC 缓冲网络，如图 4-10 所示。尽管缓冲网络有效地降低了峰值漏极电压，但它却不如箝位措施有效。箝位网络只在暂态期间耗散能量，而 RC 缓冲网络在晶体管未过载时也吸收能量。由于附加的漏-源电容必须放电，这一网络还减缓了导通过程。

无论采用哪种措施，极快地断开感性负载都会在前几十纳秒内引起暂态，而这只有用宽带示波器（带宽 $\geq 200\text{MHz}$ ）才能观察到相应 V_{DS} 波形。

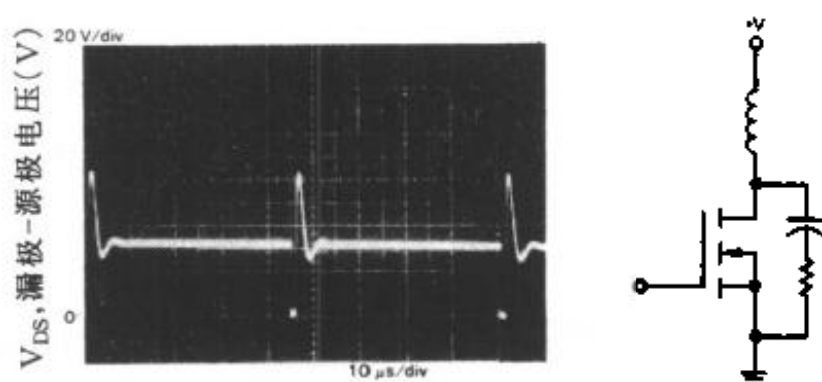


图 4-10 带 RC 缓冲网络的 V_{DS} 暂态波形

4.3 封装和引线电感的考虑

漏极源极寄生封装电感在大电流高速开关时会影响 V_{DS} 的值。如图 4-11 所示，源极漏极封装电感都被等效到源极，这是因为这一电感主要由源极焊点和引线构成。TO-204，(TO-3) 和 TO-220 的 L_s 分别约为 12nH 和 8nH ，在漏极电流发生急剧变化时足以感应出明显的电压。该感应电压使芯片内的漏-源电压高于器件端子上的漏-源电压。

例如，设一 MTP25N06 在 50ns 内断开 50A 的电流。这一 di/dt 将在寄生封装电感上感应出约 8.0V 的电压 ($V = L \frac{di}{dt} = 8.0\text{nH} \times 50\text{A}/50\text{ns}$)。如果端子上的漏-源电压为 50V ，则晶片内部的 V_{DS} 为 58V 。

尽管在高速开关时所有功率 MOSFET 都要经受内部产生的电压，但峰值 di/dt 一般都不大，相应的电压一般也小。然而，近来功率 MOSFET 的电流额定值迅速增加，因此，它们的电流变化率 di/dt 最大值也提高了。MTM60N06 就属于这类器件，其脉冲电流额定值达 300A 。伴随此电流的大 di/dt 能力会产生显著的 V_{DS} 值，它加在漏-源端子上。

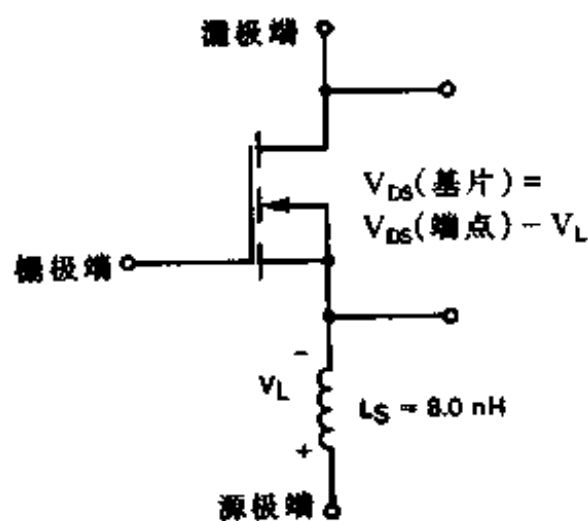


图 4-11 高速截止使漏-源电压增加

为保证晶片内的峰值 V_{DS} 不超过器件的最大额定 V_{DSS} 值，有以下要求：

$$V_{DS(max)} = V_{(BR)DSS} - L \frac{di}{dt}$$

其中 $V_{DS(max)}$ 是漏-源端子上的最大允许电压， $V_{(BR)DSS}$ 是最大器件额定值， L 是寄生源极电感， di/dt 是对应 $V_{DS(max)}$ 的 I_D 变化率。

封装源极电感上的电压还影响晶片内栅-源电压的值，并使导通和关断过程均减缓。在开关大电流时，寄生封装电感是限制 MOSFET 开关速度的因素之一。

对不产生非常大的 di/dt 的电路, 以上关于封装电感的讨论是纯理论性质的。引线电感往往比封装电感大得多, 其影响相应也大得多。因此上述讨论在 di/dt 不大时就非常实用, 它会影响电路布局的质量。

4.4 功率 MOSFET 的雪崩和 dv/dt 限制

由于起初从未打算将功率 MOSFET 工作于雪崩状态下, 所以直到最近, 使用时仍不允许超过 MOSFET 的最大漏-源电压, 即使是暂时的。绝大多数双极型晶体管仍是这样, 其能力目前尚未被简单地确定。偶尔有些器件非常可靠, 而其它的则不是这样。众所周知, 目前功率 MOSFET 在高结温下发生雪崩时能维持相当大的电流, 于是设计了新的 MOSFET 以替代原先器件。“加固”就是指器件有雪崩功能。

MOSFET 承受漏-源电压迅速变化的能力是近来受到广泛关注的另一个问题, 尤其是其内部二极管在反向恢复期间。在这种情况下, 第一批器件除了在二极管恢复期间, 其性能是非常稳定的。最新的器件再次显示了优越性并向设计者提供了新的前景。

鉴于雪崩和 dv/dt 方面问题的重要性, 将在第五章“功率 MOSFET 的雪崩和 dv/dt 限制”中讨论这些问题。

4.5 栅极保护

虽然 MOSFET 采用一非常薄的 SiO_2 层使栅极同晶片的其它部分保持绝缘, 但如果功率 MOSFET 应用或安装不适当其栅极也会损坏。如果栅-源电压比 $V_{GS(max)}$ 额定值 20V 大, 则能击穿绝缘层并破坏 FET。TMOS FET 不象 CMOS 那样容易被静态放电所破坏, 因为功率 MOSFET 的输入电容大得多, 在被充电达到栅极击穿电压之前会吸收更多的能量。但一旦引起击穿, 栅-源电容中储存的能量就足以保证将栅极氧化物彻底击穿。为了避免由于静态放电引起器件失效, 可将类似于小信号 MOSFET 和 CMOS 器件的保护措施应用于功率 MOSFET。

在装运过程中, 器件只能放在抗静电的袋子中或导电泡沫中运输。从中取出时, 应当小心搬运, 搬运器件的工具应带上接地片, 不用抗静电包装的器件应存放在金属运输箱中。MOSFET 应装在盒子里搬运, 而不应直接拿着引线搬运。在测试器件前, 当所有引线都接触良好时再加电压。最后要注意的是, 当把 FET 置入所设计的系统时, 焊接用的烙铁应当接地。

器件置入预定系统后, 其栅极仍存在危险。如果估计到栅极会出现超过 $V_{GS(max)}$ 的电压暂态, 电路设计者应在栅极和源极间加一个 20V 齐纳二极管, 以消除可能的破坏性脉冲。利用电阻降低栅-源阻抗也能衰减暂态。此外, 还有另一个重要作用。漏极电压暂态能通过寄生栅-漏电容耦合到栅极。如果栅-源阻抗和漏极电压变化率均较大, 那末栅极上耦合的信号就大, 以至会超过栅极开启电压使器件导通。

第五章 功率 MOSFET 的雪崩和 dv/dt 限制

功率 MOSFET 承受电压和电流瞬态的能力往往为设计工程人员所关注, 这些瞬态可能是在安全工作区内, 也可能在安全工作区外。由于现场环境难以预料, 所以非常希望所使用的器件能承受一定的瞬态。

在某些方式下功率 MOSFET 具有抗故障能力。其耐过流能力是其稳定性的一个典型参数。然而, 在其它方式下耐用性可能得不到保证, 如果 MOSFET 在这些方式下也要耐用, 那么器件设计和加工就必需考虑这些类型的故障。

Motorola 开发的 E-FET (有时称为 TMOS IV), 作为一种耐用型器件在提高 MOSFET 的耐用性方面迈出了重要一步, 使之能够承受几种最常见的故障。E-FET 的固有耐用性, 再加上 MOSFET 能承受正向偏压的性能, 使 E-FET 在包括所谓“换向 dv/dt ”方式的所有重要应用领域中都具有突出的容错性。以下对有关这些重要方式的问题作详细的讨论。

5.1 漏-源雪崩状态下的功率 MOSFET

MOSFET 独有的高速开关能力会带来一些低速器件没有的问题。通常栅极驱动电路处于非常快的开关速度以更短的开关时间来提高电路效率。该速度可能快到在关断时产生的感应脉冲引起漏-源电压极其迅速的增加, 这一增加可能快到使 MOSFET 的保护性箝位电路无法及时反应。可能引起这一结果的是寄生元件, 包括引线、接线和封装的电感。同时, 保护二极管的正向恢复时间也会延长反应时间。

这种形式的电压瞬态往往是暂时的, 电压箝位或缓冲一起作用瞬态就结束了。然而, 在短时间会迫使 MOSFET 导通很大的所谓雪崩电流。虽然它占器件击穿时的总能量相当小, 但由于雪崩状况下的稳定性与峰值雪崩电流紧密相关, 所以也会发生失效现象。在高开关速度下, 这些短暂的瞬态往往就是过电压尖峰的来源。

过压瞬态的另一来源是漏极电源电压上的电压脉冲。这时, 相应的雪崩电流峰值难以预料, 它取决于过压瞬态的情况, 在脉冲宽度和能量上可能差别极大, 因而, MOSFET 承受大电流宽雪崩脉冲的能力非常重要。

E-FET 的最新发展已赋予 MOSFET 承受以上两种过压瞬态的能力。对于以上两种过压瞬态, 这些新器件在雪崩电流不超过额定值时是完全稳定的。

能量额定值不能很好地表明器件承受过压瞬态的能力。制造者有意选择测试条件为在长脉冲宽度期间耗散能量, 于是就能轻易地得到高能量值。一个典型例子是 12A、60V 的 MTP3055E 在 1 秒内通过 1A 雪崩电流情况下能耗散 75 焦耳能量。但是这样的器件当导通的雪崩电流大于 40A、且能量耗散又极小时就可能失效。

从根本上来说, 失效倾向几乎只取决于两个参数: 雪崩状况下的峰值电流和峰值 (不是平均) 结温。除了增加平均结温——从而增加了热点失效的可能——总耗散的能量影响是次要的。

5.1.1 雪崩测试方法及其额定值

在理解了过压瞬态的原因和确定失效倾向条件的基础上,可以定义最适合的雪崩测试方法。有两种可行而各有所长的方法。最常见的测试电路及其电流和电压波形如图 5-1 和 5-2 所示。该电路相当于一个无箝位感性开关 (UIS), 因为线圈两端没有跨接用来限制漏极上出现的冲击激励电压的箝位二极管。

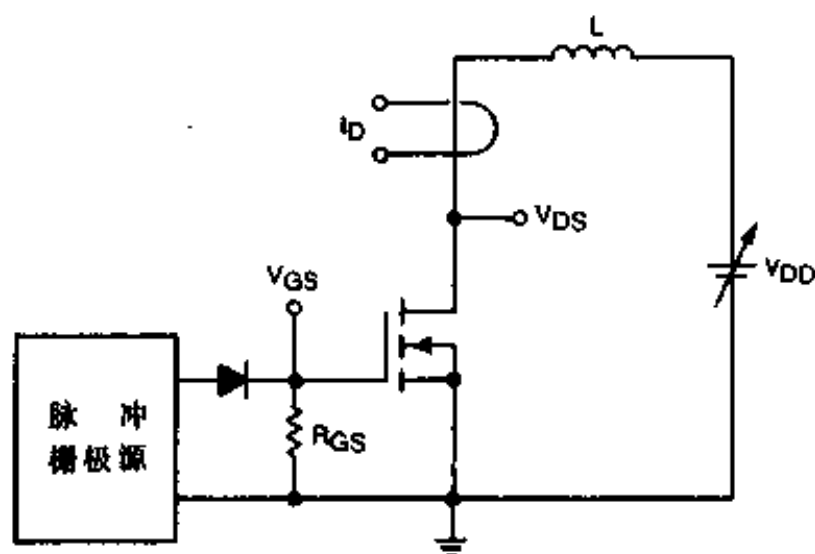


图 5-1 无箝位感性开关的典型测试电路

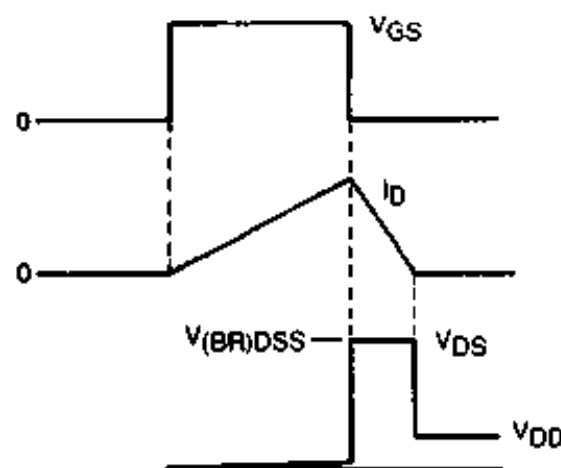


图 5-2 图 5-1 测试电路的有关波形

关于某些测试条件 (如线圈大小, 结温初值与终值和峰值电流) 虽有争论, 但电路操作非常简单。接通栅极驱动, 线圈电流斜升至所希望的测试电流, 该测试电流主要由线圈大小、电源电压和栅极驱动的导通时间决定 ($\Delta I = (V_{DD}/L) \Delta t$)。当负载电流达到希望值时, MOSFET 被突然关断。由于负载电流不会即刻变化, 电感中的能量使漏-源电压达到 $V_{(BR)DSS}$, 然后 MOSFET 就在雪崩状况下耗散贮存的能量。

在这种电路中 MOSFET 耗散的总能量不会等于线圈贮存的能量。在雪崩过程中, V_{DD} 还向 MOSFET 提供了附加的能量。当测试电流较小时 ($<10A$), 耗散的总能量约等于 $1/2LI^2$ 乘以一个代表附加能量的系数 $V_{(BR)DSS}/(V_{(BR)DSS} - V_{DD})$ 。对于更高的测试电流, 线圈电阻耗散的能量也会显著增加, 因而应从器件耗散的能量中扣除。这时, 测试单元得到的能量的准确值较难计算, 但可通过对雪崩期间漏-源电压波形和漏极电流波形进行积的合成来得到准确的估计值。

第二个测试电路如图 5-3 所示, 其工作原理也很简单。在这里, MOSFET 在雪崩状况下导通一固定的可控电流。由于该电路中无电感, 因而测试结果不受测试线圈串联电阻和 V_{DD} 的影响。这一方法的一个重要特点是在雪崩期间结温持续上升。因此, 最严重的情况显然发生在雪崩脉冲的最后, 此时雪崩电流和结温均最大。

在 UIS 测试中很难确定发生这种严重情况的时刻, 因为开始雪崩时电流为峰值而结温最小。因为失效、瞬时电流、热点化程度和平均结温间的关系还不清楚, 所以很难确定发生最严重情况的时刻, 也难于将 UIS 的情况和恒流测试的情况进行比较。然而, 由于 UIS 测试易于实现且作为一种有意义的测试方法已被广泛接受, 因而比其它方法更为常用。

UIS 测试条件应根据应用中预料的情况来确定。测试电流应等于或大于器件的连续额定值, 结温越高越好, 只要不超过最大额定值。

要达到 UIS 额定的高结温有两种方法。一是直接对器件外壳的外部进行加热, 二是在

室温下开始测试并通过控制被测器件必须耗散的能量来提高结温。但在雪崩状况下晶片的许多 FET 格并不均匀分配电流,致使峰值结温远远高于平均结温。因此,利用自热提高结温可检测热点化的器件,从而使测试更加严格。

5.1.2 Motorola 的雪崩额定参数

Motorola 的 E 系列 MOSFET (后缀为 E) 按设计要求能够承受漏-源雪崩。对于目前使用的 E-FET,只有超过器件的脉冲电流额定值或最大结温额定值时才会引起 UIS 失效。因此,测定雪崩能量的方法就很清楚了。雪崩电流以脉冲电流额定值为界,能量耗散则受到热阻抗和最大结温的限制。下面给出一个计算 MTP3055E 能量额定值的例子。

设 MTP3055E 的 UIS 测试条件是电流为连续额定值 12A, 占空比为 1%, 外壳温度为 25°C。当 $V_{(BR)DSS}$ 的典型值为 70V 时,雪崩状况下的峰值功率为 840W。由于最大结温额定值为 150°C, 而外壳温度为 25°C, 所以允许的 ΔT_{JC} 为 125°C。

由 $P_D(Z_{\theta JC}) = \Delta T_{JC} = 125^\circ\text{C}$ 和 $Z_{\theta JC} = R_{\theta JC}(\gamma(t))$, 得瞬态热阻抗 $Z_{\theta JC}$ 为 $0.149^\circ\text{C}/\text{W}$ 。由于 MTP3055E 的热阻额定值为 $R_{\theta JC} = 3.12^\circ\text{C}/\text{W}$, 所以 $r(t) = 0.048$, 无单位。下一步是利用 MTP3055E 数据表中的 $r(t)$ 曲线查出 0.048 对应的脉冲宽度。该脉冲宽度为 $38\mu\text{s}$, 即为达到 150°C 结温所需的时间。根据 $38\mu\text{s}$ 内耗散 840W 的功率而算出的雪崩能量就是该器件的额定值 32mJ。其它情况,如更高的外壳温度,另外的漏极电流值或多脉冲等情况,亦可类似计算。今后的 E-FET 其额定值可望以类似的表达式确定。

上述计算是在雪崩期间以额定电流为基础的,这与 UIS 测试中出现的衰减雪崩电流完全不同。确定 UIS 测试中线圈大小的一种方法就是使线圈中贮存的能量等于如上计算出的能量额定值。在上例中, $W = \frac{1}{2}LI^2[V_{(BR)DSS}/(V_{(BR)DSS} - V_{DD})]$, 在 $W = 32\text{mJ}$, $I = 12\text{A}$, $V_{(BR)DSS} = 70\text{V}$, $V_{DD} = 25\text{V}$ 时, $L = 143\mu\text{H}$ 。虽然能量一样,但 UIS 测试没有恒流测试那样严格,因为它的雪崩时间约为恒流测试时的两倍。

关于 UIS 测试有四点值得说明:

① UIS 的结果并不保证能达到最终目标——使系统可靠工作。其它变量如结温的均值和峰值,系统设计的质量和系统元件的可靠性也影响平均无故障时间 (MTBF)。成千上万的双极型器件电路和 MOSFET 电路都具有令人非常满意的 MTBF, 尽管它们中的大功率器件没有经过 UIS 测试。

② UIS 额定值只能用于一系列指定的测试条件,除此之外对稳定性只能作理论上的预测。例如,在某些器件中,高结温或大雪崩电流事实上会降低能量承受能力。

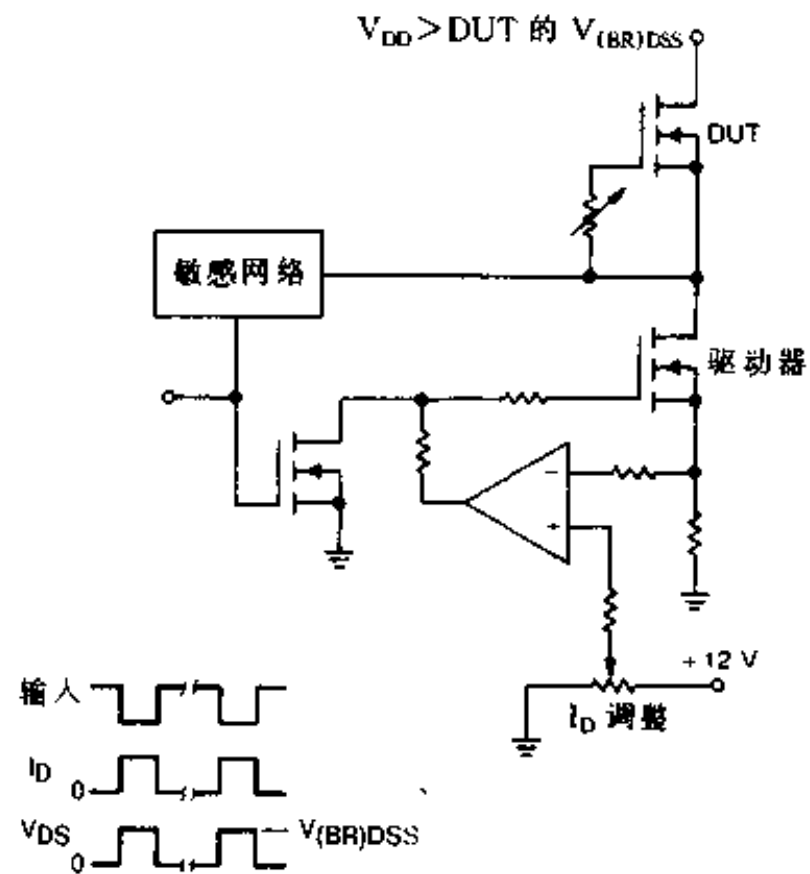


图 5-3 在雪崩状况下保持恒流的交流 ASC 测试电路

③ 尽管 V_{DS} 过高是造成 MOSFET 失效的常见原因, 但并非所有功率 MOSFET 的失效都是由过压瞬态造成的。潜在的原因很多, 对这些失效原因的研究不应局限于目前讨论的问题上。近年来还发生类似的情况, 有人认为静电放电和 dv/dt 引起的问题比它们实际上引起的可能要多得多。

④ 一些人暗示 UIS 测试能确保器件承受二极管恢复压的能力, 以下对此作详细讨论。尽管能耐雪崩的器件往往有较宽的“换向安全工作区”(CSOA), 但也有例外。在一些器件中, 影响 CSOA 的不是那些和寄生双极型器件有关的参数, 而是晶片面积。反之亦然, 由于晶片设计或布局不当, 对于 CSOA 很宽的器件在雪崩状况下有可能会立即失效。

5.2 漏-源 dv/dt 额定值

5.2.1 静态 dv/dt

功率 MOSFET 的性能受到漏-源电压急剧变化的制约。这种非常高的 dv/dt 会影响电路的正常工作, 在某些情况下甚至会引起器件失效。

在三种情况下会使 dv/dt 升高, 每种都有其各自的安全门限。第一种称为“静态 dv/dt ”, 它出现于器件处于关断状态并希望保持这一状态的情况下。漏源间的电压瞬态能通过漏-栅寄生电容 C_{gd} 耦合到栅极。若栅-源阻抗和流入栅极的漂移电流 ($i=C(dv/dt)$) 足够大, V_{GS} 就会超过 $V_{GS(th)}$, 从而引起误导通。

显然, 在这里对 dv/dt 的承受力在很大程度上依赖于栅-源阻抗。这种依赖强调了正确端接栅极以提高抗干扰性的重要, 而且也是造成栅极开路大功率 MOSFET 不实用的原因之一。在栅源短路时, 所有 Motorola TMOS 器件都能承受大至 $30V/ns$ 以上的静态 dv_{DS}/dt , 这一指标远远超过了典型应用值。

当栅-源阻抗高且在漏源间发生电压瞬态时, 往往会出现误导通而不是器件失效。一般瞬态会耦合到栅极并引起 MOSFET 开始导通。随着 V_{GS} 升高, MOSFET 导通, V_{DS} 的升高减慢, dv/dt 降低。因此, 该现象是自衰减的, 且一般不会对电路元件造成损害。

如图 5-4 所示, MOSFET 的寄生双极型晶体管 (BJT) 导通是由于静态 dv/dt 而损坏器件的一个可能原因。如果基极-发射极短路电阻过大, 流过 C_{cb} 的转移电流将降低寄生 BJT 保持集电极-发射极电压的能力。这种情况看似可能, 但实际上不必顾虑, 因为 R_{be} 很小。另外, 在高压时, 转移电流由于 C_{cb} 的降低而降低。因此, 上面提出的 dv/dt 导通门限 (大于 $30V/ns$) 也可用于 MOSFET 寄生 BJT。

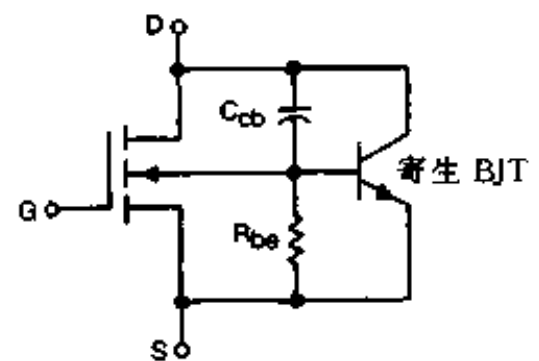


图5-4 每个功率 MOSFET 所固有的寄生 BJT

5.2.2 动态 dv/dt

使 dv/dt 升高的第二种方式发生在带感性负载的 MOSFET 突然出现电流中断并产生迅速上升的冲击激励电压。由于大多数负载在开关速度非常高时均显感性, 所以器件同时受到大漏极电流、高 V_{DS} 和寄生电容转移电流的影响。这种“动态 dv/dt ”因器件被关断时

自发产生而得名，它会造成器件失效。

在不采用额外的电路（布线）技术（例如减少封装和接线电感的混合电路）时，器件依 V_{DS} 额定值的不同其可达到的最大动态 dv/dt 从 10 到 50V/ns 不等。不同的 MOSFET，其最大关断速度并无大的差别，可达到的最大 dv/dt 主要决定于通过漏极的电压值。因此，无论晶片尺寸如何，100V MOSFET 所产生的动态 dv/dt 比 60V 器件大。

所有由 TMOS 掩膜制造的 MOSFET 都通过了在非常迅速的感性夹断下的抗自发 dv/dt 的测试。测试电路严格依照射频（RF）布局规律，开关速度和 dv/dt 也是根据实际确定的。

5.2.3 二极管恢复“ dv/dt ”

漏-源电压迅速上升导致失效的第三种情况发生在 MOSFET 的内部二极管反向恢复期间。起初研究者认为 dv/dt 是造成失效的主要原因，近来的研究者却发现 dv/dt 只是源-漏二极管反向恢复期间诱发电压的因素之一。因此，在本文中这种电压严格地说不能称为 dv/dt 诱发的问题，可称为“二极管恢复压”。与上面讨论的 dv/dt 方式不同，因为二极管恢复压造成系统失效是偶然的，且只有满足三个特定条件才行。

第一个先决条件是 MOSFET 的二极管在开关期间必须导通。这是器件失效的必要但非充分的条件。尽管 MOSFET 对引起失效的 dv/dt 具有抗失效能力，但在二极管反向恢复期间其安全工作区可能大大缩小。这种情况是由于导通过程中由少数载流子变为多数载流子而造成的。

当 MOSFET 作晶体管使用时，由于该 MOSFET 是多数载流子器件，所以它不会受到储存时间或存储电荷的影响。另一方面，其二极管是少数载流子器件。因此，该二极管因储存少数载流子电荷而具有正向和反向恢复时间。

因换向压诱发失效的第二个必需条件是反向恢复期间存储的电荷必须迅速迁移。迁移越快，电流密度越大，峰值电场越强。由于半桥另一腿上晶体管的导通速度对换向速度影响最大，所以对器件电压影响也很大。

第三个也是最后一个要求是存储电荷必须通过可重复使用的电压提取，而该电压至少要达到器件最大 V_{DS} 额定值的 30% 到 50%。在反向恢复期间，随着二极管由正向导通变为反向导通，迅速上升的漏极电压将把存储电荷注入到寄生双极型晶体管的基极。如果引起的发射极电流足够大，它就会和可重复使用的漏极电压一起，造成雪崩注入，并进而引起双极型晶体管的“二次击穿”。

以上准则排除了大多数电路发生二极管恢复问题的可能性，这包括所有单晶体管布局，许多多晶体管布局也因第三个条件没有满足而不受换向压的影响。下面的例子说明了那些多晶体管应用会引起问题。第一个电路是一个被引用最多的例子，第二个电路的换向 dv/dt 则往往可忽略。

图 5-5 所示为直流电机双向速度控制器。旋转方向取决于哪个晶体管的栅极收到脉宽调制信号，不同的占空比对应不同的速度。当一个晶体管正在控制电机速度时，另一 MOSFET 不起作用，但其二极管却作整流器使用。为减少噪声，设计者往往将系统工作频率设置在 20kHz 以上，从而提高了开关速度。

通过对电机控制器工作过程的研究可了解导通驱动晶体管。本例中为 Q1，怎样向 Q2

的二极管施加换向 dv/dt 压。Q1 导通后一个周期开始，把电流传送到负载上。接着 Q1 关断并在周期其余部分保持关断，感性负载通过 D2 从负电源中提取电流。当 Q1 在下一周期开始处时导通，又由 Q1 代替 Q2 的二极管提供负载电流。但更重要的是，Q1 还向 D2 提供反向恢复电荷。D2 中的电流和 Q2 的漏-源电压如图 5-6 所示。图中还标出了被认为是最危险的时间段。注意到二极管恢复压所需的三要素均具备，Q2 的二极管经受重复高电压的压力，由于少数载流子的存在，电荷迅速抽取，从而形成高的 di/dt 和 dv/dt 。

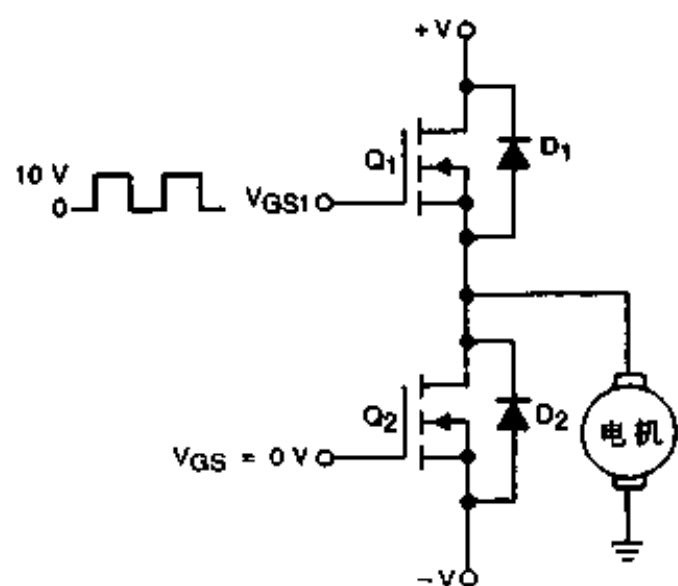


图 5-5 脉宽调制直流电机控制器向大功率晶体管施加二极管恢复压

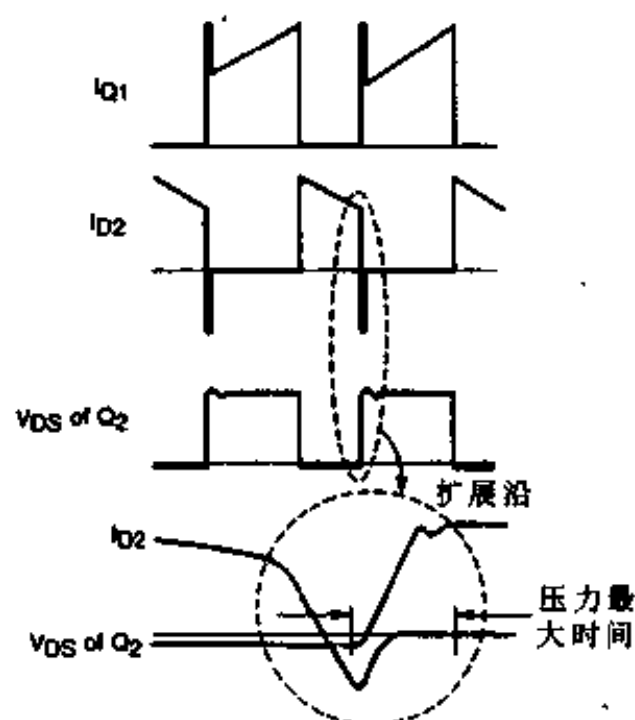


图 5-6 脉宽调制直流电机控制器的典型波形

第二个例子尽管在很多方面都和第一个相类似，但它通常却不会出现换向二极管压。它是 1/2 桥开关型大功率电源，其基本结构如图 5-7 所示。该系统 and 图 5-5 所示的电机控制电路的关键区别在于其晶体管是交替开关的。在正常工作条件下，一个晶体管和一正导通电流的二极管之间是断开的（这不满足失效准则的第二条）。

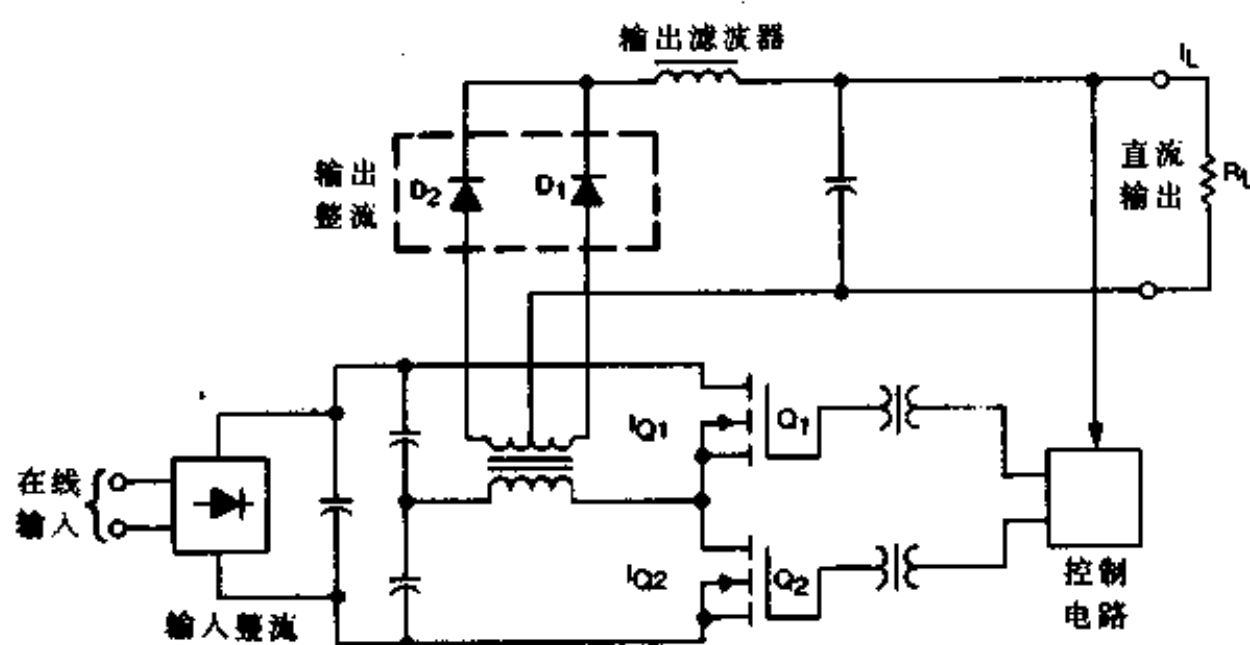


图 5-7 虽然 MOSFET 内部二极管有 1/2 桥式开关方式大功率电源中作单向整流器使用，但它们一般都不会出现二极管恢复压

图 5-8 所示的理想波形表明, 进行单向整流的主要元件是输出整流管 D1 和 D2, MOSFET 二极管基本上不起作用。事实上, 每个晶体管的内部二极管在另一晶体管关断时会接受变压器漏感的能量。一般情况下这是可接受的, 因为该能量很小, 二极管导通时间也很短暂, 可重复利用的电压仅是器件额定值的几分之一, 而且寄生电感也减慢了反向恢复。因此, 在这种情况下内部二极管的换向特性一般不会有什问题。

对满足失效三个要求的应用电路, 可在电路上采取措施来解决可能发生的问题。图 5-9 所示即为其中一种措施。该电路的目的是通过禁止内部二极管导通从而累积存储电荷来克服 MOSFET 的局限性。其缺点是元件数目多、费用高, 且与 FET 串联的二极管会造成电压降

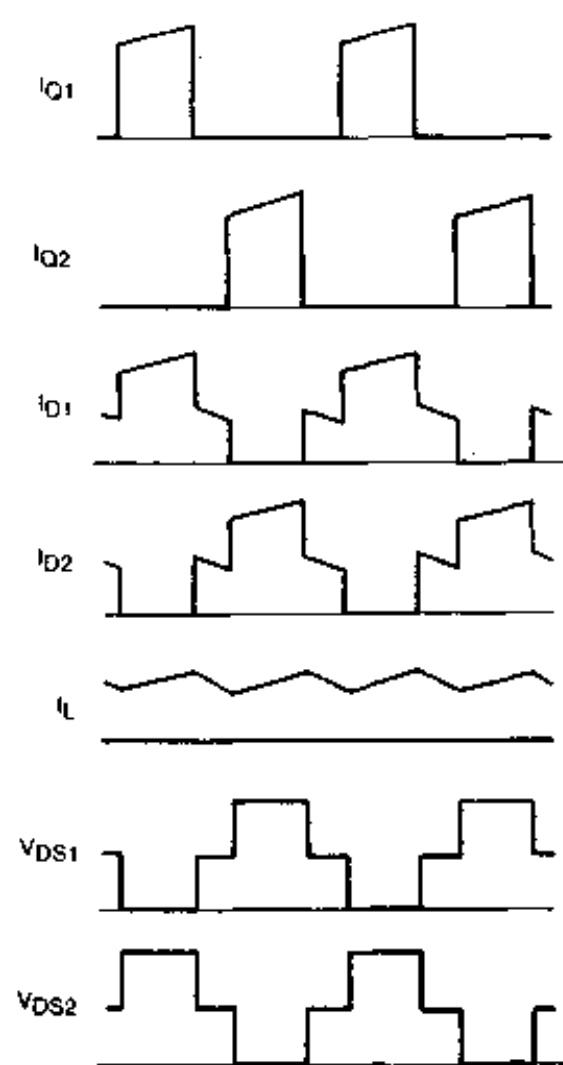


图 5-8 1/2 桥开关式大功率电源的典型波形

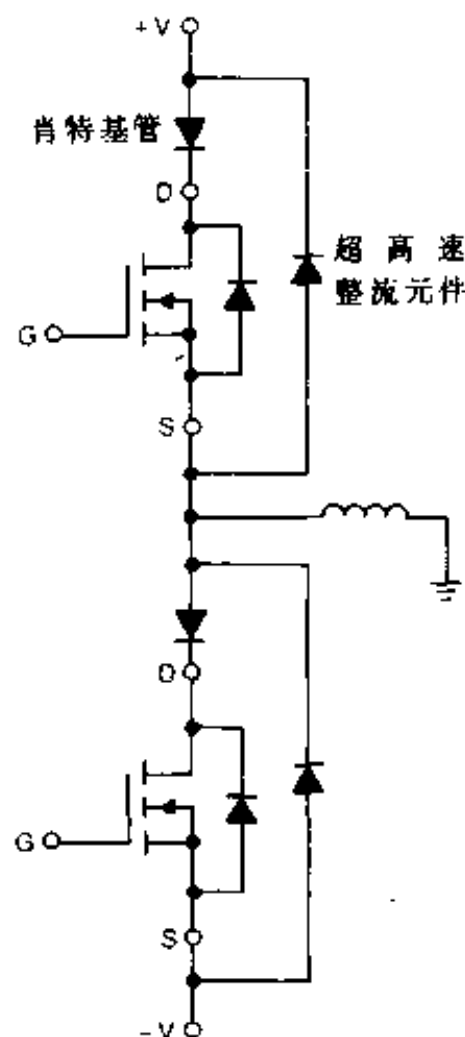


图 5-9 避免 MOSFET 内部二极管反向恢复压的一种方法是给 MOSFET 串联一肖特基管, 之后给它并联一超高速整流管

最好的解决方法是使用那些具有能保证性能的安全工作区且与恢复压无关的器件。随着 E-FET 的使用, Motorola 公司在这两方面均取得了进展。

5.3 推荐的换向安全工作区 (CSOA) 说明格式

消除与 MOSFET 内部二极管有关的换向问题是功率电子学界的任务之一。应采取的必要步骤为: ①研制更耐换向压的器件; ②确定一种测试器件性能的方法; ③提供能详细描述二极管恢复状态下安全工作区的额定参数。我们推荐的额定参数是换向安全工作区 (CSOA)。

Motorola 公司已引入了比原器件具有更大 CSOA 的 E-FET。但在使用这种改进器件

时也应先定义和确认这种器件的新功能，否则用户仍应十分谨慎。目前最大的问题是缺乏一种普遍可接受的测试方法来规范 CSOA 的指标。但这种现状得到了人们的理解，因为 CSOA 的标准化问题是相当复杂的。

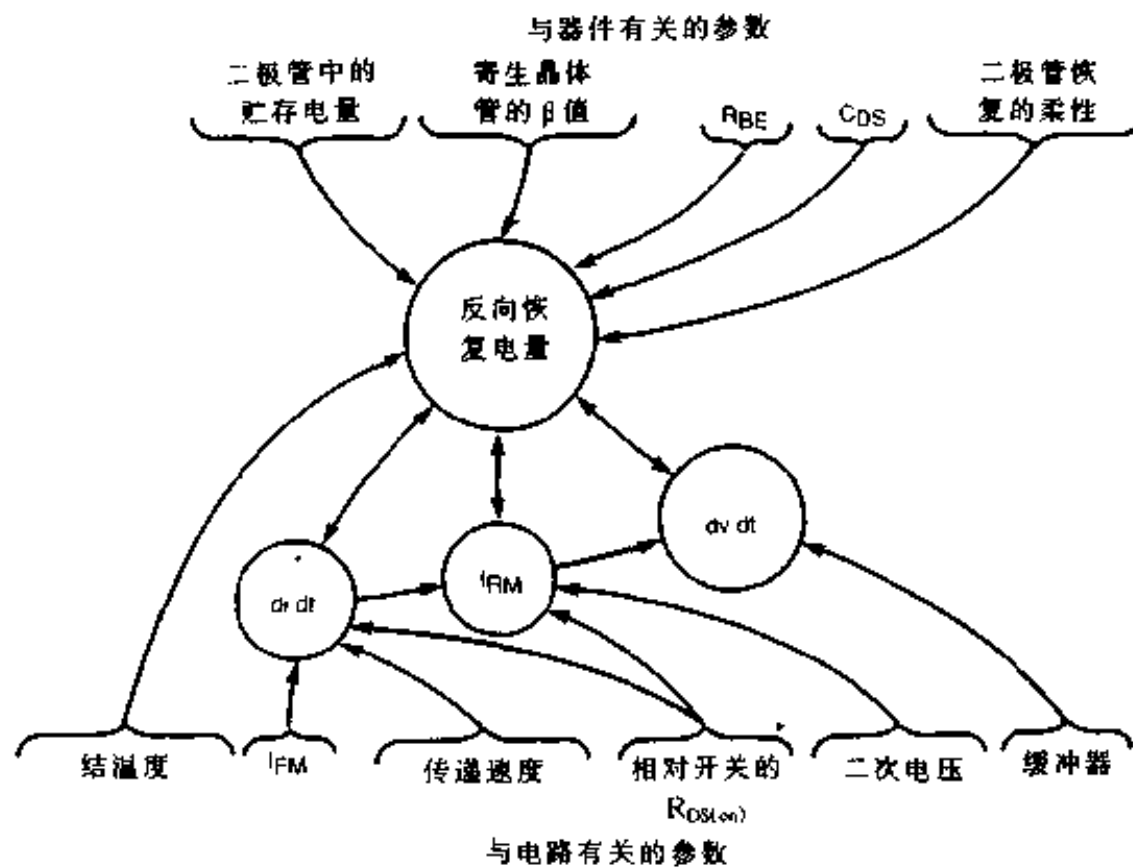


图 5-10 换向期间各种参数影响器件

图 5-10 示出了影响 CSOA 的不同参数间的关系。用测试来观察选择最有意义和最合适的独立变量是得不到的。Motorola 的测试结果表明最好使用与电路有关的三个最关键的参数。它们是换向前二极管的正向电流 (I_{FM})，重复电压（或当 $V_{DS(PK)} > V_R$ 时的峰值漏-源电压）和换向速度。

图 5-11 是一个 15A、60V 器件 CSOA 的例子。这样表示的优点是使用电压和电流为坐标，这在其它 SOA 曲线中是常见的。第三个变量，反向恢复第一阶段的 di/dt ，代表了换向速度。

建立如图 5-11 所示的格式是定量分析许多类器件 CSOA 的关键步骤。根据这一信息，设计工程师们已能识别出形成很宽的 CSOA 的器件特征，现在他们正在改进器件设计和加工以提高其在换向方式下的性能。MTP3055E 就是这样得到的，它可代替 12A、60V 的 MTP3055A。在其电压、电流和温度额定值内，它在迅速换向时是绝对可靠的，它的 CSOA 是方形的，如图 5-12 所示。实践中反向恢复的 di/dt 限制是由测试电路的寄生电感和加于二极管以迫使其反向恢复的电压决定的。例如，一电路中电源电压为 50V，寄生电感为 100nH，它所允许的最大 di/dt 为 500A/ μ s ($di/dt = V_{DD}/L$)。已知，TO-220 的总漏-源封装电感约为 10nH。

说明二极管恢复压的其它方法已经介绍过了。原先人们乐于使用 dv/dt 。因为它简单，而且被认为是引起失效的主要原因。这一指标因以下原因而被放弃。①器件不只因 dv/dt 而失效。实际上，失效往往发生在最大电压期间（此时 dv/dt 已降低），而很少发生在峰值 dv/dt 期间。②在反向恢复期间， dv/dt 变化相当大，选一个值来代表是很困难的且太草率。③

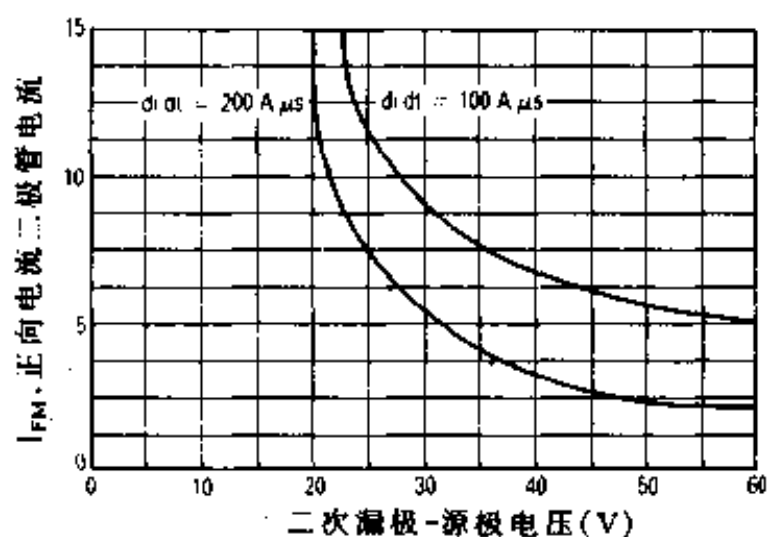


图 5-11 15A、60V 器件的典型换向安全工作区 (该器件不是承受二极管恢复压的专用器件)

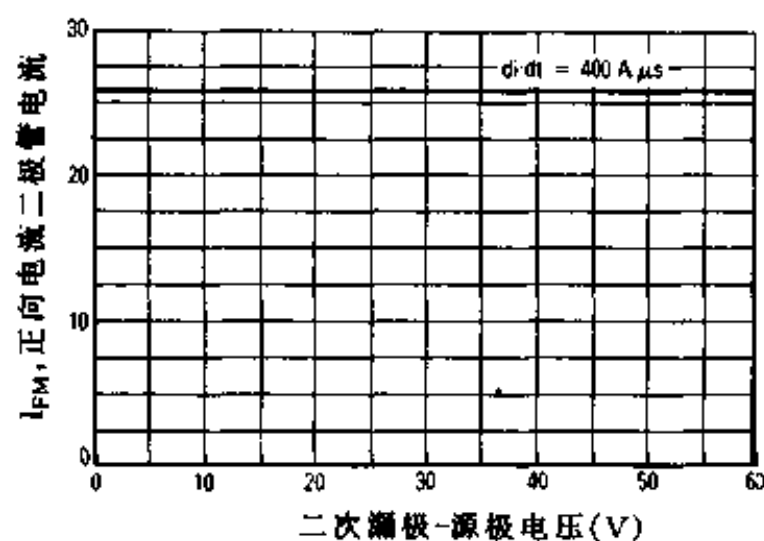


图 5-12 MTD3055E 的换向安全工作区比以前的器件宽得多

换向期间 dv/dt 是器件特性和电路条件的函数, 使用者不容易控制, 除非使用缓冲电路。④二极管恢复 dv/dt 造成的转移电流与反向恢复电流相比很小, 因而使存贮电荷的提取率变得更加重要。最后, 某些内部二极管比其它内部二极管更好 (即二极管电流从反向恢复峰值降到零非常突然, V_{DS} 升到 V_R 非常快), 这些二极管必须要承受它们自己产生的 dv/dt 。

5.4 高压高速 CSOA 测试装置

Motorola 已制造了几种 CSOA 测试电路。一种是为了作大电流高速测试, 另一种从电路布局和具有很低的开关速度上讲, 形成与典型的电机控制电路相类似, 第三种则被设计为具有宽电压电流承受能力, 第四种装置, 也就是这里要介绍的, 它有很强的能力来开关被测器件 (DUT), 使其在高速转向时电压可达 450V。

这一 CSOA 测试设备的结构如同 5-13 所示, 它是为了了解给定 I_{FM} 、 V_R 和 di/dt 条件下使被测器件上有最大压而设计的。电路特征包括一个双向可重复利用的电压以保证达到最大 dv/dt 和电压, 一个 $R_{DS(on)}$ 非常低的驱动晶体管以保证大 I_{RM} , 一个互补射随器构成的 Q2 栅极驱动以减少被测二极管急变时 dv/dt 对驱动器的影响。(驱动晶体管必须能承受与被测器件承受的 dv/dt 大小相等、极性相反的 dv/dt 。因此, 若一驱动晶体管栅极驱动阻抗很高, 就会限制反向恢复期间的电压)。

影响电路设计的一个重要假设是测试结果与占空比无关, 或者说失效是由峰值瞬间压而非多次较低压造成的。(这并不意味着失效倾向与 T_J 无关)。如果测试表明这一假定是对的, 那么电路就可大大简化。如果被测器件对散热要求不高, 还可把线布得更密, 使速度更快。

电路定时波形也在图 5-13 中给出, 电路工作如下。或非门 A1 和 A2 组成一个非稳多谐振荡器以产生一相对低的时钟频率 (10~100Hz)。时钟的上升沿触发由 A3、A4 和 B1、B2 组成的两个单稳多谐振荡器。A3 和 A4 产生的信号最后控制 MJEB009 的导通时间, MJEB009 作为恒流源向 MOSFET 的内部二极管提供正向电流 I_{FM} 。 I_{FM} 可通过改变 R1 设定。

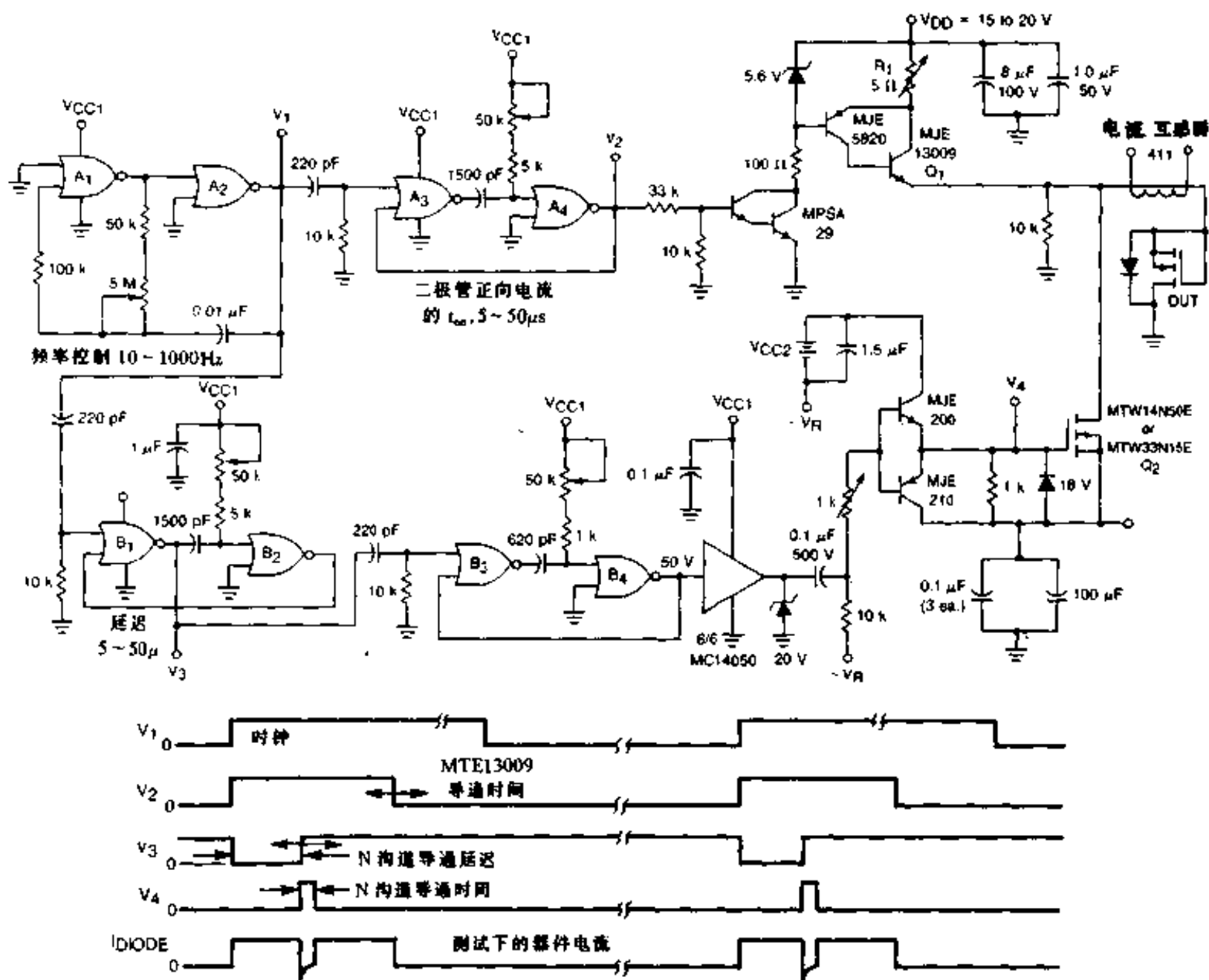


图 5-13 一种高压高速 CSOA 测试电路的结构和波形

第二个单稳振荡器, B1 和 B2, 在 Q2 导通前提供一段延时。延时最小设定为 $10\mu\text{s}$ 以允许在二极管的结中累积存贮电荷。延时过后由 B3 和 B4 组成的单稳振荡器发出 $2\sim 10\mu\text{s}$ 的导通信号。在导通脉冲存在期间, Q2 向 DUT 的源-漏二极管提供反向电压并迅速抽取反向恢复电荷。在反向恢复期间, Q2 还承受着电流源转来的电流。Q2 关断后电流源也关闭, 系统保持静止状态直到下一周期开始。

电路上有几个特点简化了器件测试。首先, DUT 的漏极直接在系统地上。这大大简化了 V_{DS} 的控制并提高了测量精度, 对这一电路差动测量技术或浮地示波器都没有采用的必要。另外, 这一方法还允许使用一探针尖端接头来保证和示波器良好共地。这些努力是需要的, 因为 V_{DS} 是 CSOA 最重要的参数, 其变化率会大于 10V/ns 。

第二个必要特点是电路有能承受 DUT 失效的能力。失效时的电流原则上受驱动晶体管 Q2 的 $R_{DS(on)}$ 或其在给定栅-源电压下的切断电流的限制。无论哪种情况, MOSFET 对电源、低占空比和受限的导通时间的稳定性决定了驱动管的安全工作储备。

5.5 使用 CSOA 说明

CSOA 的格式是本着额定参数易于与应用中的工作条件相联系的原则确定的。设计者

必须保持 V_{DS} 和 I_{FM} 在指定极限值内, di/dt 也有一最大允许值。在 1/2 桥脉冲宽度调制直流电机控制器中, 器件达到其极限时会产生失效, 这和在 CSOA 测试中看到的情况是相类似的。因此, 该测试方法和电路适宜于模拟一般应用中的情况。但设计者应当明了电路参数影响模拟程度的重要性。

还有三个电路参数能减少 CSOA。它们是由设计决定的, 因此难于包括在 CSOA 说明之内。第一个是 DUT 栅极到源极的阻抗。如果 R_{GS} 或 L_{GS} 在反向恢复期间较大, V_{GS} 就会因内部二极管产生的大 dv/dt 而超过 $V_{GS(th)}$ 。这一 dv/dt 不会彻底导通 MOSFET, 但会迫使它进入工作区并减缓反向恢复过程, 如图 5-14 所示。由于工作在这种方式下会增大换向功率损耗并会引起 dv/dt 导通 [MOSFET 的, 而非寄生双极型晶体管 (BJT) 的], 减少 Z_{GS} 通常是最好的方法。然而, 图 5-14 也表明高的栅-源阻抗引起的反向恢复过程减慢能降低 V_{DS} 峰值, 甚至可使器件不发生雪崩。

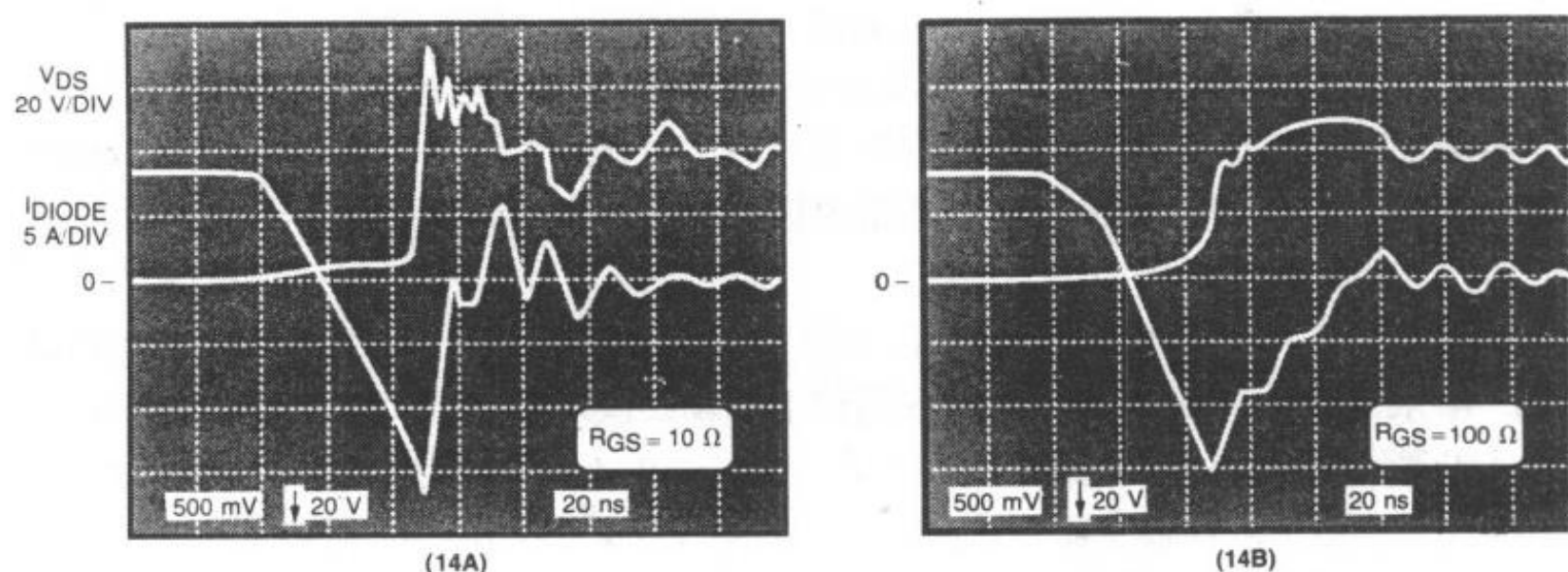


图 5-14 如果反向恢复整流 MOSFET 栅-源阻抗高, 则反向恢复时间就长, 峰值电压就小

结温是第二个能减少 CSOA 的参数。尽管根据直觉 T_j 似应对 CSOA 有直接的影响, 但迄今为止的测试却表明不是这样。大家知道, 双极型晶体管的 RGSOA (反向偏置安全工作区) 也和 T_j 相对独立, 这些结果就易于信服了。 T_j 无直接影响的另一迹象是 DUT 电压和电流波形不随 T_j 变化。改变其它更主要的参数通常会引引起标志 DUT 突然失效的波形变化。

电路设计者要严格控制的最最后一个参数是 1/2 桥正负端间的寄生电路电感。这一电感如不加以箝位, 在非常高的换向速度下可引起 DUT 短暂雪崩。无论什么情况下这一电感都应减小。实际上下限在 100~200nH。

5.6 CSOA 与 UIS 的关系

人们试图相信 UIS 测试 (未箝位感性开关) 完全能代替 CSOA 测试。理由是在这两种方式下器件失效的一般原因都是由于高的 R_{BE} (基-射短路电阻) 引起的寄生双极型晶体管导通。尽管这一理由讲得通, 但它却存在两个问题。

第一个问题是有些器件可通过 UIS 测试, 但在换向 dv/dt 方式下却会因采用与它不同的高 R_{BE} 器件而失效, 电压终端联接、栅极输入、焊点和单元互连上的特点, 使 MOSFET

更象一个数千单元的并联体。在某些厂家的器件，显然这些次要的结构特征会在测试中起到限制作用，而在其它测试中则不起作用。

UIS 和 CSOA 测试结果之间互关联性的第二个问题是由现行 UIS 测试方法上的分歧引起的。对 UIS 波形的研究说明了这一点。如图 5-15 中的不同电压波形所示，器件对过压的反应至少有三种。有些器件在雪崩状况下立即失效， V_{DS} 减到约零伏。另一些 MOSFET 在电流和脉冲宽度不太大时则能在整个瞬态过程中维持在 $V_{(BR)DSS}$ 上。第三种情况是，一些器件的漏-源电压减到一较低值，该值与雪崩状况下 MOSFET 的寄生双极型晶体管的接通有关。雪崩期间的这种 V_{DS} 值记为晶体管的 $V_{(BR)CEO}$ 。

如果 UIS 电源电压大于 $V_{(BR)CEO}$ ，那就无法限制雪崩电流，DUT 一般会失效。因此，电源电压值对一器件的能量承受能力有显著影响。改进现行的 UIS 测试方法以检测具有 $V_{(BR)CEO}$ 急变返回特性的器件来说是较为简单的。除了用于检验器件是否失效之外，还可以对雪崩状况下的 V_{DS} 波形进行采样，以保证它始终保持在晶体管最大额定值 V_{DS} 以上。

在换向 dv/dt 方式下，随着开关速度和测试电流的增加，被测器件可能出现过压瞬态。在反向恢复的最后阶段，二极管电流从其负峰值回到零。这一电流变化可看作漏极电流在减小。如果二极管恢复很快，相应的 di/dt 会相当大，甚至大于 $1000A/\mu s$ 。这么大的电流变化率会受到寄生电感的扼制，感应电压的极性和可重复利用的电压相同。从而增大了 DUT 上的电压。

图 5-16 给出了 A 厂家的一个 10A、50V 器件的反向恢复波形。很明显，该器件具有 $V_{(BR)CEO}$ 。被限于器件 $V_{(BR)CEO}$ 值的 (UIS 测试中的观察值) V_{DS} 波形值和相应的漏极电流表明器件处于雪崩状态。即使该器件通过了这一测试，仍不能确定它有这一工作方式下的可靠性，因为很显然寄生双极型器件被激活了。如果 V_R 高于 $V_{(BR)CEO}$ ，则可能失效。由于它有弹回 $V_{(BR)CEO}$ 的倾向，故该器件即使通过 UIS 测试，在换向 dv/dt 方式下仍可能失效。

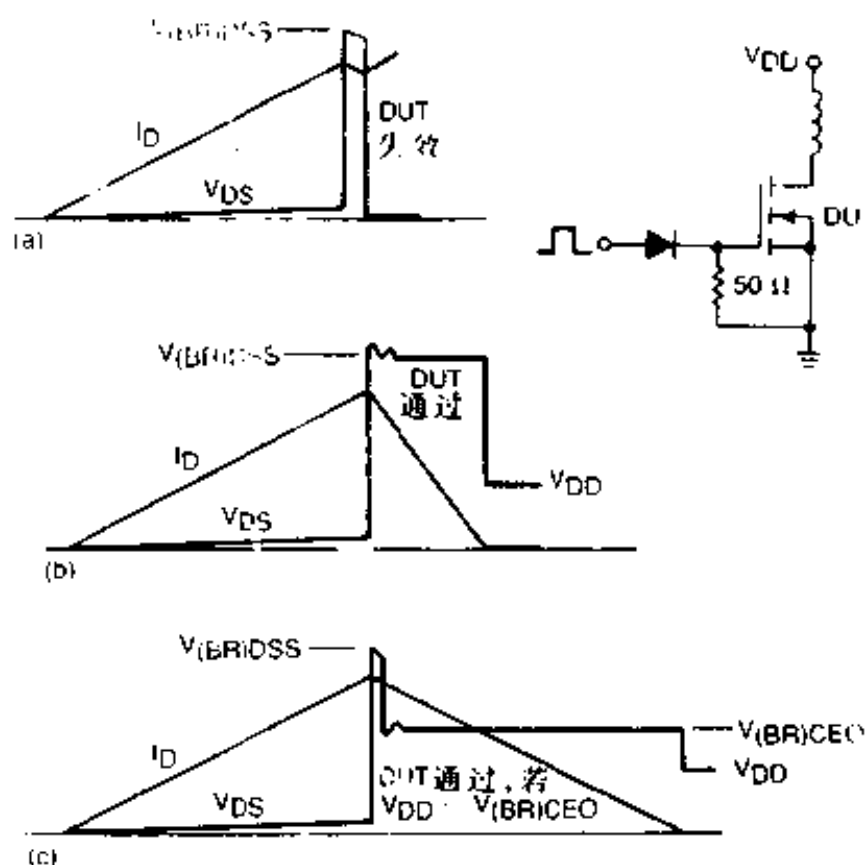


图 5-15 MOSFET 对过压瞬态可能作出的三种反应

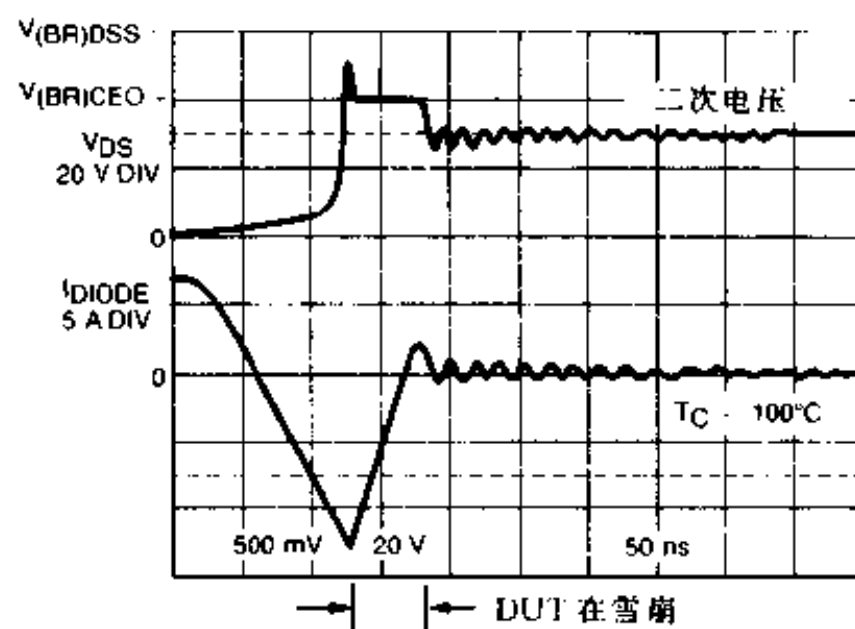


图 5-16 极高速换向能引起 DUT 雪崩

第六章 栅极驱动要求

6.1 功率 MOSFET 栅极驱动要求

双极型功率晶体管已存在数十年了,为它们设计的驱动电路很多。而功率 MOSFET 是后来者。它们与对应的双极型器件不同,尤其是在输入特性方面。我们必须了解这些不同点以便使 MOSFET 工作在最佳状态下。

驱动功率 MOSFET 相当于驱动容抗网络。根据工作区的不同,输入端“看”到的是 C_{iss} (共源输入电容)或者是 C_{rss} (共源反向转移电容)。 C_{iss} 是栅-源电容 C_{gs} 和漏-栅电容 C_{dg} 之和。 C_{gs} 是由栅极与源极金属间一个不随电压变化的电容和栅极与沟道间一个随工作条件显著变化的电容组成。 C_{rss} (C_{dg}) 则主要是栅极和漏极间的 MOS 电容。其值在导通后期急速增加。

这些器件的电容尤其是反向转移电容和栅极驱动源阻抗一起基本上决定器件的开关速度。由于 MOSFET 输入电容随晶片面积的变化而显著改变,故给定栅极驱动源去开关一个较小器件如 MTP3055E 比驱动较大的 MTW14N50E 速度更快。然而,有两点使开关时间估计复杂化。第一,由于输入电容 C_{iss} 的值随 V_{DS} 变化,所以由栅极驱动源阻抗和 C_{iss} 决定的 RC 时常数在开关周期内是变化的。因此,用一给定栅极驱动源阻抗和输入电容来计算栅极电压的上升时间只是一个粗略的估计。第二点是“Miller (米勒)”电容的影响,这里的米勒电容指 C_{rss} , 以下记为 C_{dg} 。下面的例子很好地解释了为什么它会影响开关时间。

当高压器件在“导通”时, V_{DS} 相当小, V_{GS} 约为 15V。 C_{dg} 被充电至 $V_{DS(on)} - V_{GS}$, 如认定漏极为正极,则该电压为低负压。当漏极为“断”时,其上将承受较高的漏-源电压, C_{dg} 被充电至一个相差很大的电位。这时 C_{dg} 上的电压为高正压,因为栅-源电压接近或小于零,而 V_{DS} 几乎为漏极电源电压。

在导通和关断期间,栅-漏电压的这些大幅度摆动对栅极驱动源的电流输出和吸收能力提出了严格的要求。此外,栅极驱动源不仅要为 C_{gs} 进行充放电,而且还要提供 C_{dg} 的转移电流 [$i_{gate} = C_{dg} (dv_{DG}/dt)$]。除非栅极驱动源阻抗非常低,否则在漏-源电压迅速变化期间 V_{GS} 波形一般均平稳。

6.2 输入电容

如图 6-1 所示的传统电容曲线是有用的,但不够完整。不幸的是,由于这种不完整性,它们也会引起误解。错误之一是每个电容被视为 V_{DS} 的函数而并非是该电容两端电压的函数。对于 C_{oss} , 图 6-1 所示是正确的,因为当 $V_{GS} = 0V$ 时, V_{DS} 与其它无关。这些曲线往往被用于决定输入阻抗,而对 C_{iss} 和 C_{rss} 来说,这些曲线却忽略了重要的信息。以下关于 C_{iss} 随 V_{DG} 变化的讨论很好地说明了这一点。

理解 C_{rss} 随电压变化的第一步是研究 V_{DG} 在开关瞬态期间的变化情况。当器件处于断态时, V_{DS} 基本上等于漏极电源电压。同时 V_{GS} 等于或接近零伏。这意味着 V_{DG} 为高正压。当器件处于“通”态时, 情况就完全不同了。 V_{GS} 约为 10V, V_{DS} 为 $V_{DS(on)}$ 。因此 V_{DG} 等于 $V_{DS(on)} - V_{GS(on)}$, 这往往是一个负值。 V_{DG} 的这一转为负值正是传统曲线所没有说明的。

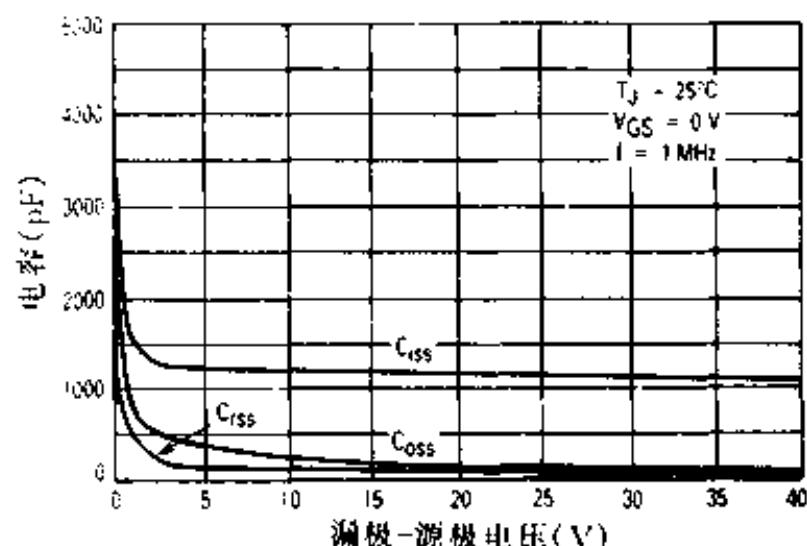


图 6-1 这种功率 MOSFET 电容的传统表示法准确, 但不完整

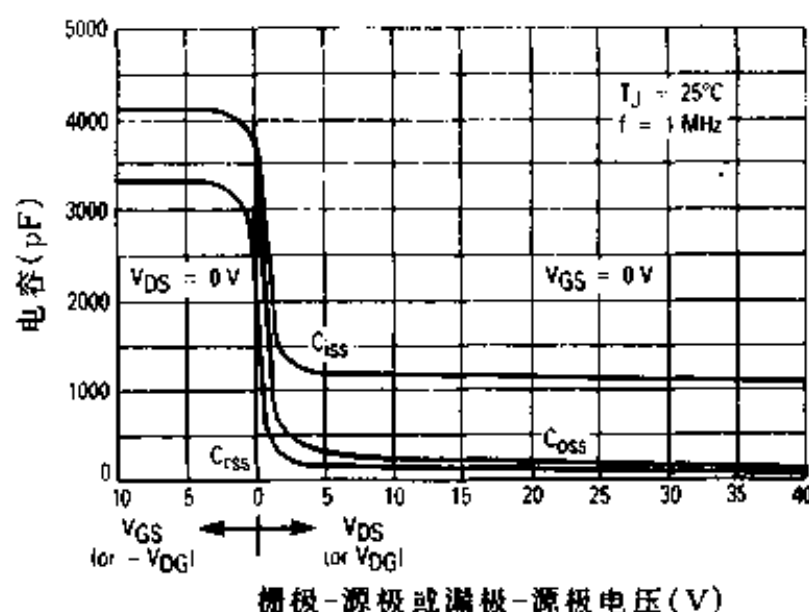


图 6-2 对传统电容曲线的扩展可看出 C_{iss} 和 C_{rss} 值随 MOSFET 进入“通”态而变化的全貌

现在有证据表明这一附加信息是很重要的。图 6-2 给出了可能的完整曲线。横坐标上标出的变量 (V_{GS} 和 V_{DS}) 和测试条件 ($V_{DS}=0$ 和 $V_{GS}=0$) 反映了用来产生曲线两部分的共源电路和测试条件。因此, Motorola 的数据表采用了这一格式。 C_{rss} (或 C_{iss}) 对 V_{DG} 的曲线是相同的, 只是电压轴为 V_{DG} , 负 V_{DG} 位于零的左侧, 正 V_{DG} 位于零的右侧。大功率 MOSFET C_{rss} (图 6-2) 从正压时约 50pF 到负压时约 300pF 的急剧上升决不能忽略。这样大的电容在导通后期和关断前期对输入阻抗起决定性作用。

另外, 传统的 C_{rss} 和 C_{iss} 曲线给用户造成的误解现在就很清楚了。用户可能错误地假定: 在其系统中由于 V_{DS} 不会低于 $V_{DS(on)}$, 因而 C_{rss} 不会大于 V_{DS} 等于 $V_{DS(on)}$ 时的值。这一推理的问题仍在于当器件为“通”时, C_{rss} 上的电压不是 $V_{DS(on)}$, 而是 $V_{DS(on)} - V_{GS(on)}$ 。

提供完整电容曲线的另一重要作用是决定 C_{rss} 所需要的存贮电量。粗略的分段线性近似足以解释这一点。在 $V_{DG}=0V$ 上下的两个区中, 所需电荷约等于 V_{DG} 的变化量乘以 C_{rss} 在各区中的平均值。例如, 对一 480V 的总线来说, 零点右侧所需电荷为 24nC ($480V \times 50pF$), 而零点左侧则为 23nC ($7V \times 3300pF$)。在这里传统曲线只给出正电压时的电容值, 忽略了大约栅极所需电荷的一半。从而会导致对所需栅极驱动估计不足。

这个例子也使我们明白了传输到栅-源电容上的电量的估计方法。在这里 ΔV_{GS} 约为

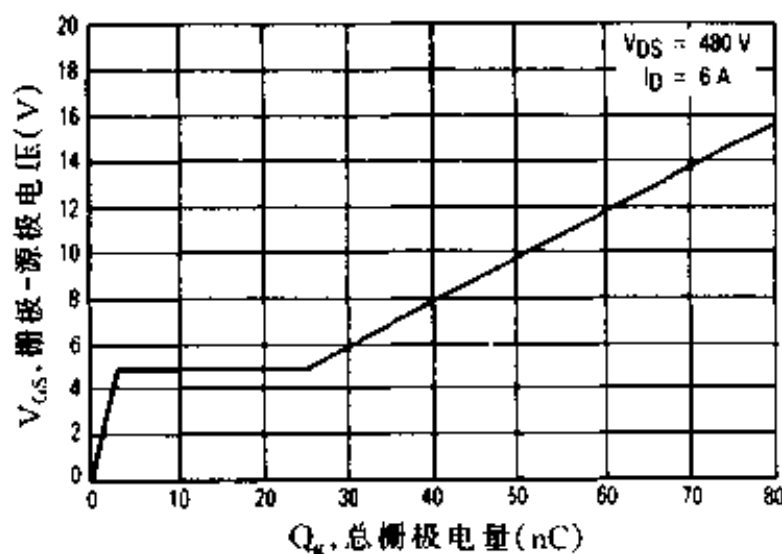


图 6-3 对电容-电压曲线进行合成便得到栅极电量的精确值

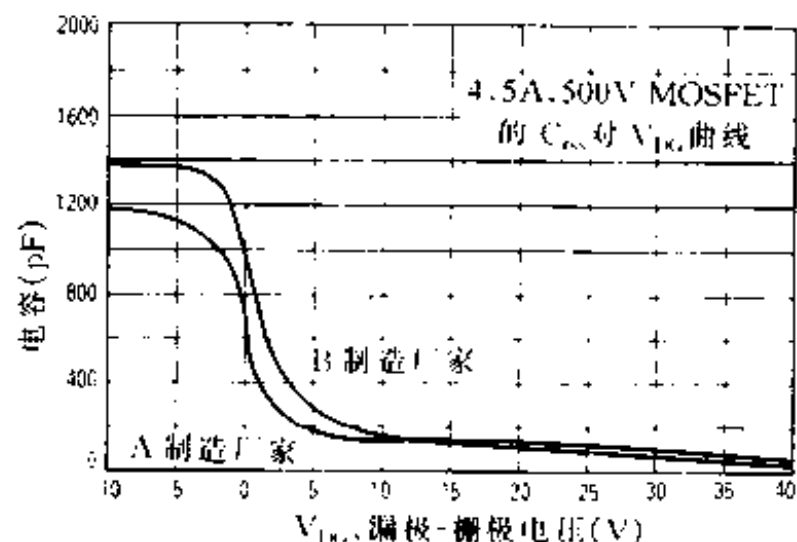
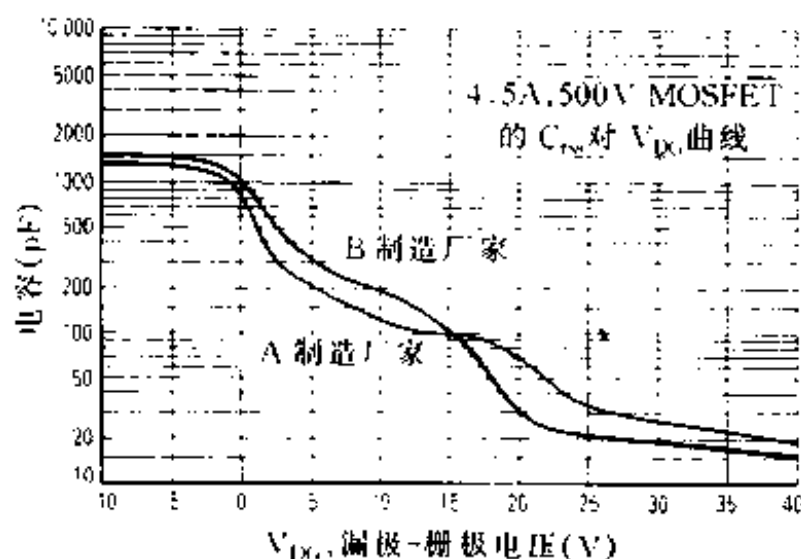


图 6-4 由于不同厂家器件的电容曲线有时会交叉，所以用一点的电容值来比较输入阻抗并不合适。两图用不同格式给出了同样的信息

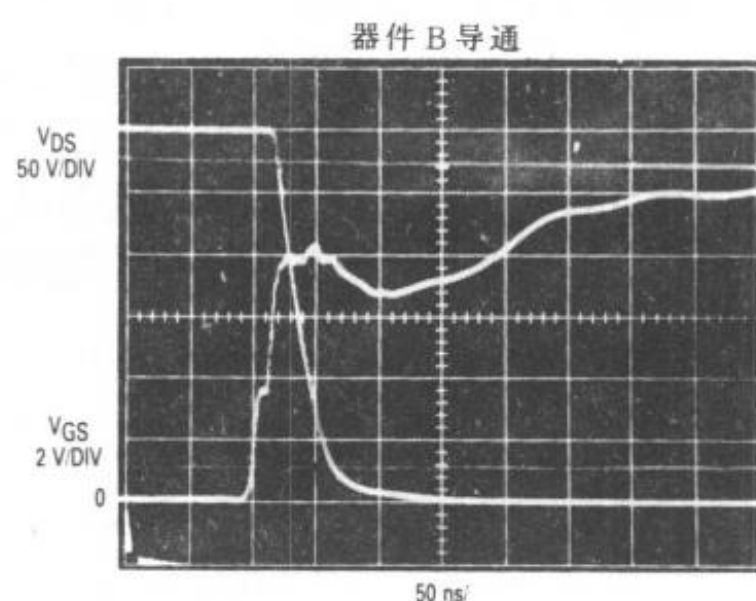
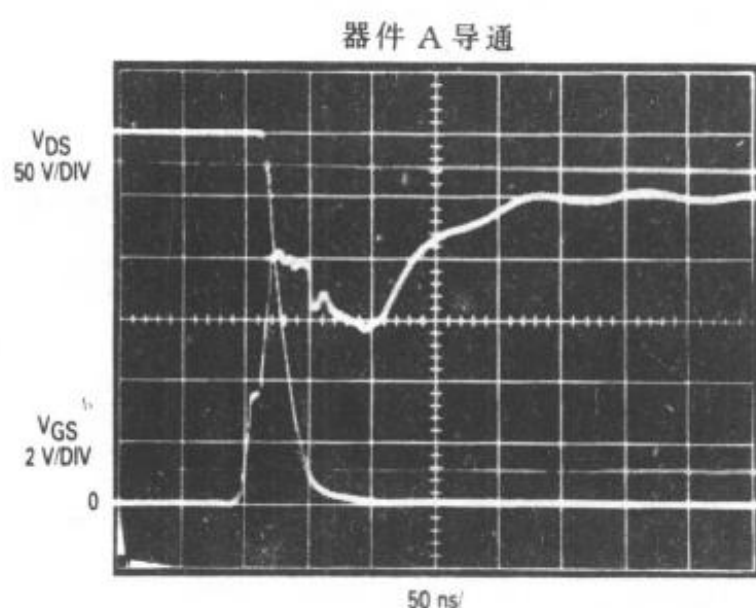


图 6-5 尽管器件“B”在 V_{DS} 为 25V 时的 C_{rss} 较低，但由于器件“A”在其它电压处电容低，所以器件“A”开关较快 ($R_{GS} = 25\Omega$, $I_P = 5A$, $V_{DO} = 300V$)

10V, $C_{gs} (=C_{iss} - C_{rss})$ 约为 1100pF。这一瞬间的变化量为 10nC ($=1100pF \times 10V$)。有趣的是，在 V_{DS} 为 25V 时，尽管 C_{gs} 比 C_{rss} 大得多，但 C_{rss} 此时所需的电荷却是上述计算值的近 4 倍。另外，对两输入电容在 MOSFET 开关时随其上电压变化而变化的曲线进行合成，即可从理论上确定所需栅极电荷。据以上计算数值 (24+23+11)，所需 Q_9 为 58nC，这和图 6-3 所示 V_{GS} 为 10V 时的值 (52nC) 很吻合。

当使用电容测量技术来比较不同厂家器件的输入阻抗时可能会产生另一个问题。一般地说， C_{iss} 和 C_{rss} 都是在 V_{DS} 为 25V 时测量，对这些值进行比较不能很好地说明在其他电压下的相对大小。例如，图 6-4 所示为两不同厂家生产

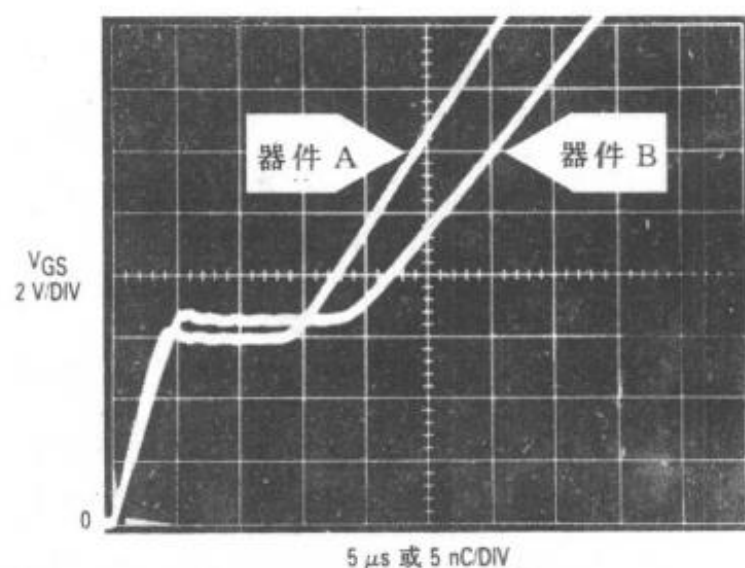


图 6-6 栅极充电波形是一种比电容值更能精确预测开关速度的方法 ($I_D = 5A$, $V_{DS} = 300V$, $I_G = 1mA$)

的 500V、4.5A 器件的 C_{iss} 曲线。在 V_{DS} 为 25V 时,“B”厂家器件的 C_{iss} 比“ A” 厂家器件的低 50%。然而,和其它差别较大的电压值相比,这一差别是微不足道的。还要注意的是两曲线交叉,总的来说,“A” 厂家的器件的 C_{iss} 实际较低。

图 6-5 所示的开关时间的照片证实了完整电容曲线的研究结果——器件“ A” 开关更快。图 6-6 所示栅极充电波形更可靠地证明了这一点。因此厂家不太重视电容在单点 V_{DS} ($V_{DS}=25V$) 上的值。第十三章给出了测试 MOSFET 内部电容的电路。

6.3 栅极充电说明

确定功率 MOSFET 输入阻抗的另一方法是给出栅极充电曲线。顾名思义,这样一条曲线指出了导通的不同阶段必须提供给栅极的电量。因为这些曲线形式简单、便于使用且信息量大,它们及相应的栅极电量额定值正逐步取代输入电容说明。

理解栅极电量测试电路有助于解释栅极充电波形。所有栅极电量测试电路,包括图 6-7 在内,都用恒流源来对 MOSFET 的输入电容进行充电。恒定的 I_G 保证 C_{iss} 以恒定速率 ($i=q/t$) 被充电。 V_{GS} 波形便同时给出了 V_{GS} 与栅极电量和时间的关系。

通常在漏极再加一个电流源以获得希望的漏极测试电流。正如随后所述,使用电流源作负载有助于看清 V_{GS} 波形的转折点。栅极充电波形能用于了解关断特性,但它们通常是用于描述导通特性。

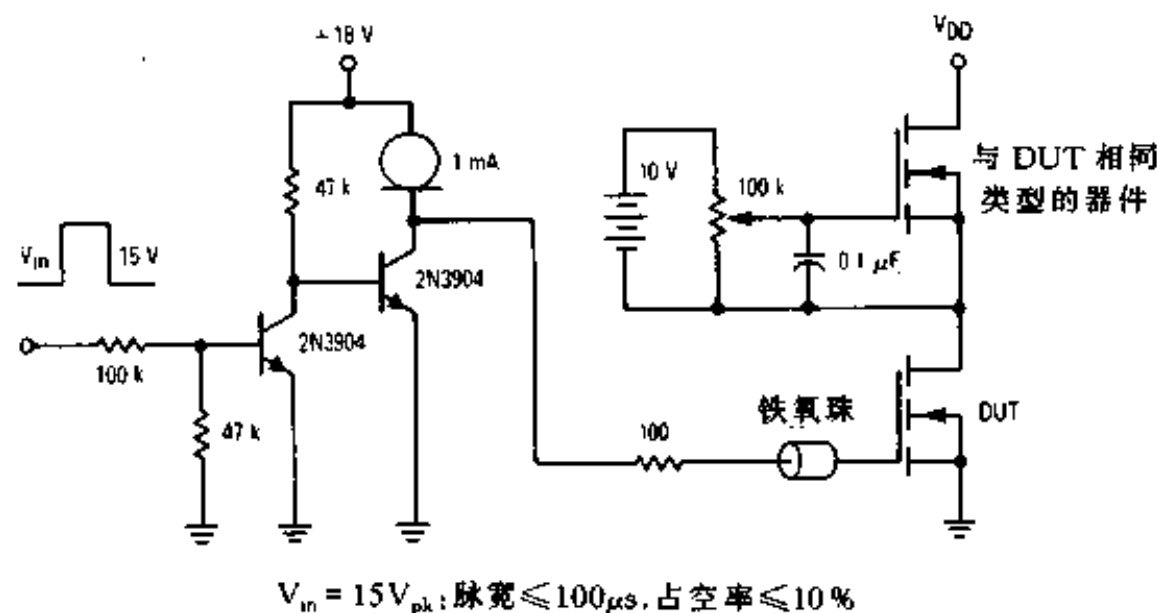


图 6-7 栅极电量测试电路

图 6-8 是 MTP15N06 导通期间栅-源电压、漏-源电压和漏极电流的波形。在这里,栅极驱动为 1mA 电流,漏极负载电流为 15A。

栅极电量图的各个转折点标明了导通过程中不同间隔的起点或终点。把电量 Q_1 传送到栅极所需的时间是导通延迟时间。达到 Q_2 时漏-源电压已降至 $V_{DS(on)}$, 导通过程结束。当电荷等于 Q_3 时,栅极被充电至 $V_{GS(on)}$, 此时不再需要电荷。 $V_{GS(on)}$ 的值有一定任意性,在这里 $V_{GS(on)}$ 为 10V, 所需栅极电量为 15.5nC。在关断期间电量由 Q_3 降至 Q_2 所需的时间为延迟时间。由 Q_2 降至 Q_1 使漏-源电压升至电源电压,放掉 Q_1 使 V_{GS} 回到零伏。显然,要满足电量守恒,导通期间提供给栅极的电量和关断时的大小相等,极性相反。

曲线在任一点的坡度可看作是开关间隔的分阶段内电容的倒数 [由 $i=C(dv/dt)$ 得 $C=(\Delta Q_g/\Delta V_{GS})$]。大致一看,就可从典型的栅极电量图中看出其坡度或输入电容至少有三个值。当 V_{GS} 从零伏上升时, C_{iss} 较小, 因而充电非常容易。在曲线的下一部分, 电容似乎为无穷大, 因为所加的电荷几乎不使 V_{GS} 变化。当水平段结束后, V_{GS} 又开始上升, 但没有在第一阶段时上升得快。开关瞬态期间的电容曲线和 V_{DS} 变化图有助于解释为什么在开关间隔期间有三个不同坡度。

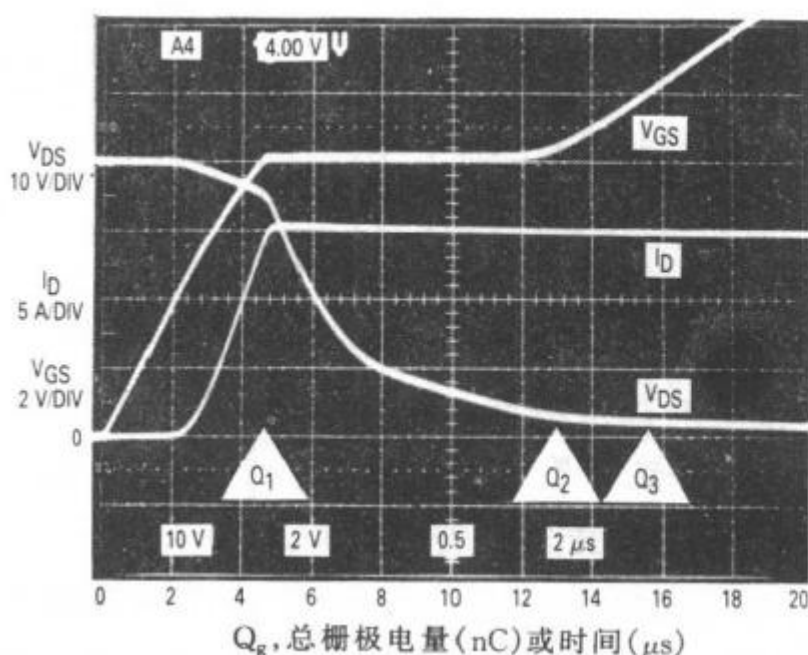


图 6-8 用栅极充电波形图有利于观察有关 MOSFET 开关性能

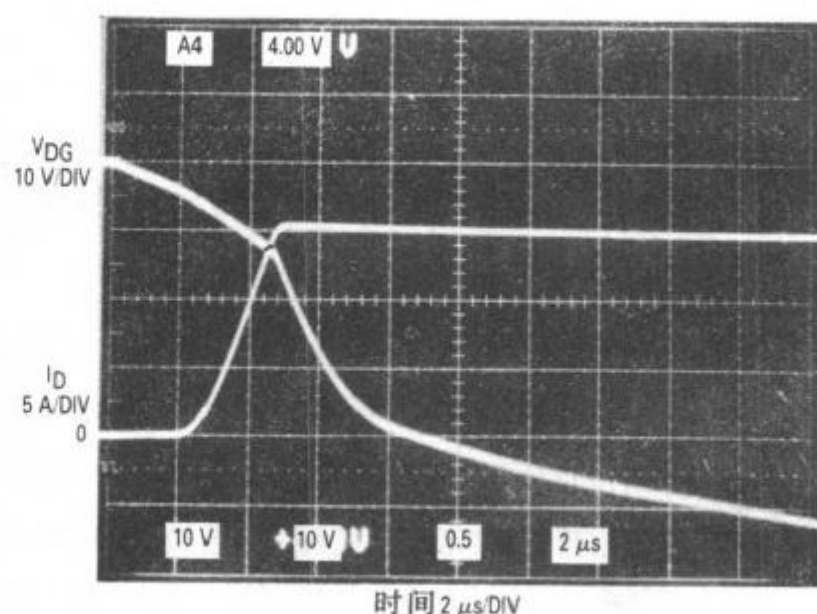


图 6-9 随着 V_{DS} 接近零伏, 开关速度由于 C_{rss} 的显著增加而明显减慢

栅极充电波形图在第一和第三阶段的坡度可直接和电容曲线所示的电容值联系起来。在第一阶段栅极充电曲线的坡度表明 C_{iss} 等于 $4nC/7V$ 或约 $570pF$ 。这一值与图 6-10 中高压部分的 C_{iss} 值是近似的, 这不是巧合。MOSFET 保持断态, V_{DS} 保持恒定且等于电源电压, 直到 V_{GS} 超过 $V_{GS(th)}$ 。因此, 在这一阶段 C_{iss} 也是恒定的。

在水平段的另一边, C_{iss} 值大得多。电荷变化除以 V_{GS} 变化所得出的电容值约为 $1300pF$ 。这和漏-栅电压低于 $-5V$ 时的 C_{iss} 相对应。因此, 在电路建模时, 在导通的第一和第三阶段, C_{iss} 值可通过测量栅极充电波形图的坡度或从电容曲线的相对端选择得到。

估计水平段的 C_{iss} 也是可能的。虽然曲线坡度接近零, 但 C_{iss} 并不象它一开始显示的那样是无穷大。在这一区域, V_{GS} 的增量约为零, 因此没有电荷进入 C_{gs} 。所有电荷都进入 C_{rss} , 因而 C_{rss} 的值和它随 V_{DS} 的变化就变得重要了。如果认可 $\Delta V_{GS}=0$, $\Delta V_{DG}=\Delta V_{DS}$, 则分析就简化了。这样就可使用 $\Delta Q/\Delta V_{DS}$ 代替 $\Delta Q/\Delta V_{DG}$ 来计算 C_{rss} 。

在 V_{GS} 的水平段, 随着电压接近 $V_{DS(on)}$, V_{DS} 曲线的坡度有明显变化。在水平段的第一

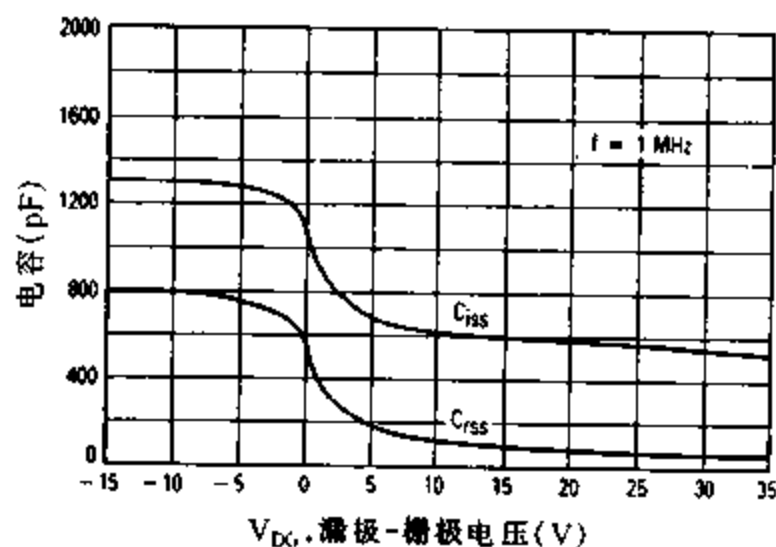


图 6-10 MTP15N06 C_{iss} 和 C_{rss} 的完整曲线

部分, C_{iss} 约为 100pF ($4\text{nC}/40\text{V}$), 这恰好和图 6-10 中最高漏-栅电压处的值相当。在该转折点后, 导通过程明显减慢, 暗示有一个大得多的电容。水平段第二部分的 C_{iss} 约为 $7\text{nC}/10\text{V}$ 或 700pF 。该值和 $C_{iss}-V_{DG}$ 曲线上 V_{DG} 为 -5V 左右的值相当。因此, 尽管在 V_{DS} 瞬态期间 C_{iss} 在一区间内变化, 但建模时它可被视为有两个值。一个值和正漏-栅电压对应, 另一值和负压对应。

和图 6-8 相关联的漏-栅电压曲线如图 6-9 所示。该图清楚地显示出就在 V_{DG} 改变极性前, 坡度已经改变且开关由于 C_{iss} 的突然增加而减慢。

观察栅-源电容及其随 V_{GS} 变化的情况, 进一步证实了对开关周期中输入阻抗变化的分析。根据图 6-10 和 $C_{gs}=C_{iss}-C_{rss}$ 的关系, C_{gs} 易于确定。一般假定 C_{gs} 是由多晶硅栅极和源极金属组成的不变电容。这一假定是由传统电容曲线得来的。然而, 对许多器件来说, C_{gs} 大部分是栅极和沟道间的电容, 而该电容随着器件导通而显著变化。

于是有必要采用现在人们熟悉的电容二值模型。据图 6-10, C_{gs} 值在导通前和导通期间约为 500pF , 而导通后则跌到不足 200pF 。象对 MTW6N60E 那样, 在正确的电压区间中合成这些曲线可得到与栅极电量曲线中的数据极为接近的栅极电量。

关于 V_{GS} 曲线在水平段的坡度存在一些错误认识。通常有人说在水平段的坡度表示了器件增益。对阻性负载是这样, 但负载的感性成分也对坡度值有强烈影响。

在许多栅极电量测试电路中, 用一个与被测器件相同类型的 MOSFET 来作漏极恒流源。作为一种理想的电流源, 导通负载线应是容性的, 也就是说, 漏极电压一开始下降, 漏极电流便达到其稳态值。除了由于 MOSFET 不是理想电流源而造成的 V_{DS} 的过早下落外, 图 6-8 所示的关系非常令人满意。

图 6-8 也很清楚地显示出 V_{GS} 曲线在水平段的坡度为零。这可从图 6-11 所示的负载线上推断出来。首先, 在 V_{DS} 未发生任何明显变化之前 I_D 上升到 15A 。接着在整个 V_{DS} 瞬态期间, V_{GS} 不需作任何变化, I_D 就可保持恒定。

一旦掌握了栅极电量特性的基本概念, 就可容易理解负载电流和电源电压的变化所带来的影响。随着 I_D 的增加, 由传输特性决定的需要的栅-源电压也随之增加。如图 6-12 所示, 这使水平段电压更高。图 6-13 是改变 V_{DD} 的结果。 V_{DD} 的变化改变了 C_{iss} 必须被充到的电势差。充电量需要增大可以解释大电源电压下水平段变长的原因。

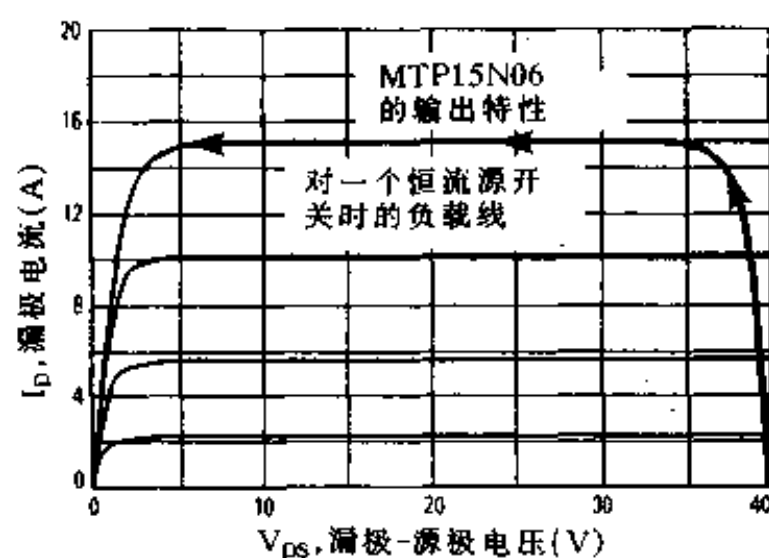


图 6-11 电流源通时产生的容性负载线

6.4 栅极充电参数的利用

有时人们只从形式上对栅极充电曲线感兴趣, 而不是真正地认为它很有用。工程师们往往不对该参数深究, 这只是因为使用栅极电量不能直接确定输入阻抗。尽管使用栅极充电曲线采取不同于传统的方法, 但并不难使用, 而且实在是一个有用的指标。

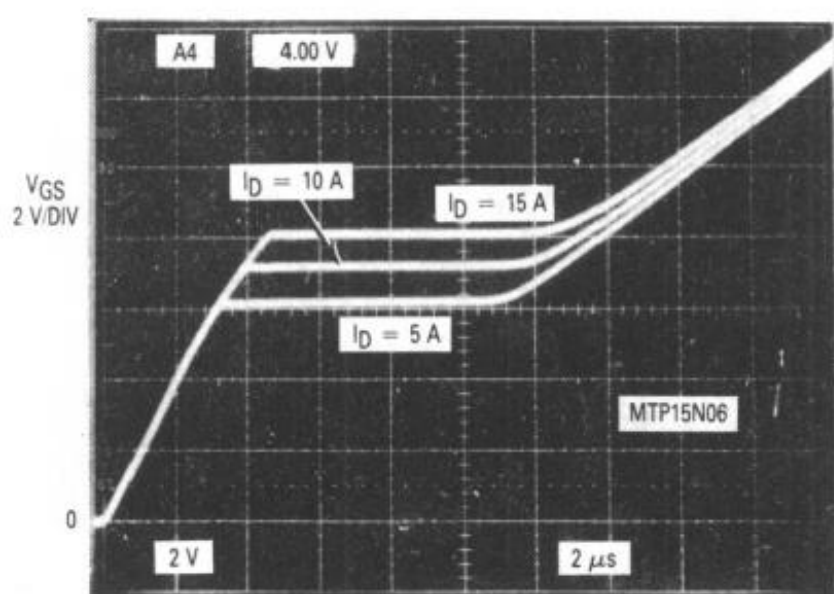


图 6-12 增加漏极电流抬高了水平段的高度

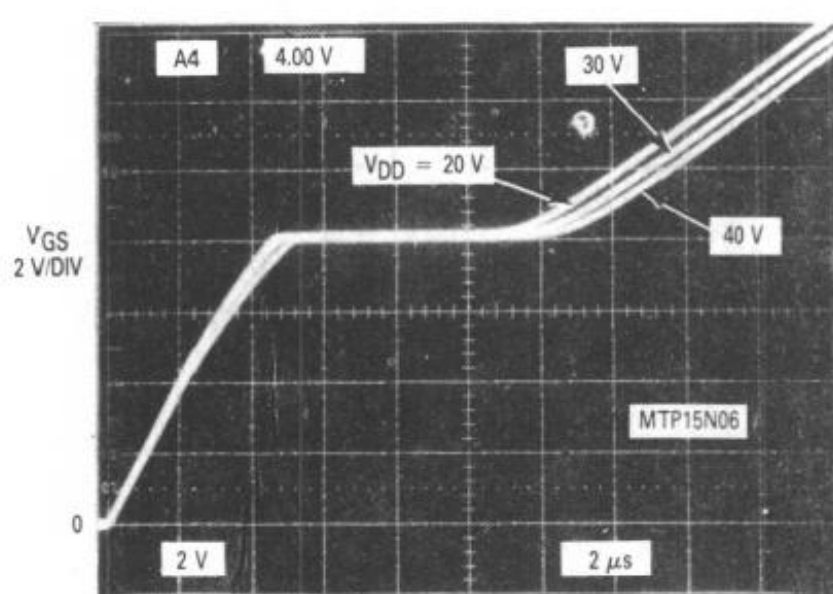


图 6-13 增加电源电压使水平段变长

当然，栅极充电参数的最直接应用是用来确定为完全导通一器件必须向栅极提供的电量。该电量可分三部分，每一部分对应开关一阶段的需要。第一段确定了导通延迟期间所需电量，第二段指明了使 V_{DS} 上升或下降所需的电量，第三段的电量与关断延迟有关。另外，不必要的高栅-源电压会造成附加电荷，该电荷造成的性能恶化也可从此曲线上清楚地看出。

一旦知道了电量，确定为达到预定开关速度所需的电流就只是一个基本的代数问题了 ($q=it$)。在图 6-8 中，在电压下降时间内提供的电荷为 $Q_2 - Q_1$ 或 $8nC$ 。因此，瞬态维持 $100ns$ 时所需的平均 I_G 为 $8nC/100ns$ ，或 $80mA$ 。

这种分析的主要限制是栅极驱动源很少是恒流源。大部分在电压源中串联一固定内阻来表征更准确。因此，设计者感兴趣的往往是在给定开关速度时所需的电阻值。

根据几个合理的假定，栅极电量的概念也可成功地用于本例中。这里有几个观念：①除对极快的开关速度 ($<50ns$)，无论栅极驱动类型如何，栅-源电压的上升在水平段停止。②漏-源电压在 V_{GS} 水平段期间变化。

当栅极电压在导通期间停止上升时，栅极驱动源阻抗上的电压为 $V_{GG} - V_{GS(水平段)}$ ， I_G 等于这一电压除以驱动源阻抗 (图 6-14c)，图 6-14b 显示在 V_{DS} 下降期间 I_G 几乎恒定。这就为使用栅极充电参数数据提供了条件。

例如，假定导通 MTP15N06E 期间所希望的 V_{DS} 下降时间为 $2\mu s$ ，这一时间和图 6-12 所示水平段期间所需的栅极电量 $8nC$ 确定了必需的栅极驱动电流为 $4mA$ ($8nC/2\mu s$)。负载为 $10A$ 时水平段 V_{GS} 为 $7.5V$ ，对于一个 $10V$ 栅极驱动源，其内阻上的电势差仅为 $2.5V$ 。这样栅极源阻抗为 620Ω ($=2.5V/4mA$)。如图 6-14 示波器波形所示，这种选择栅极驱动阻抗的方法相当准确。正如所料，栅极驱动阻抗除以 10，开关时间也以同样倍数减小。

即使在导通和关断时栅极驱动阻抗相同，也会使关断更加迅速 (图 6-14)，找出其中的原因也是有益的。答案很简单，由于内阻上的电压高，栅极电流增大。关断水平段期间的电流等于 $V_{GS(水平段)} - V_{GS(ohh)}$ 除以 R_G 。此时该值为 $(7.5V - 0V) \div 620\Omega$ ，约 $12mA$ ，而不是导通时的 $4mA$ 。电流与开关速度成正比，这是合理的。

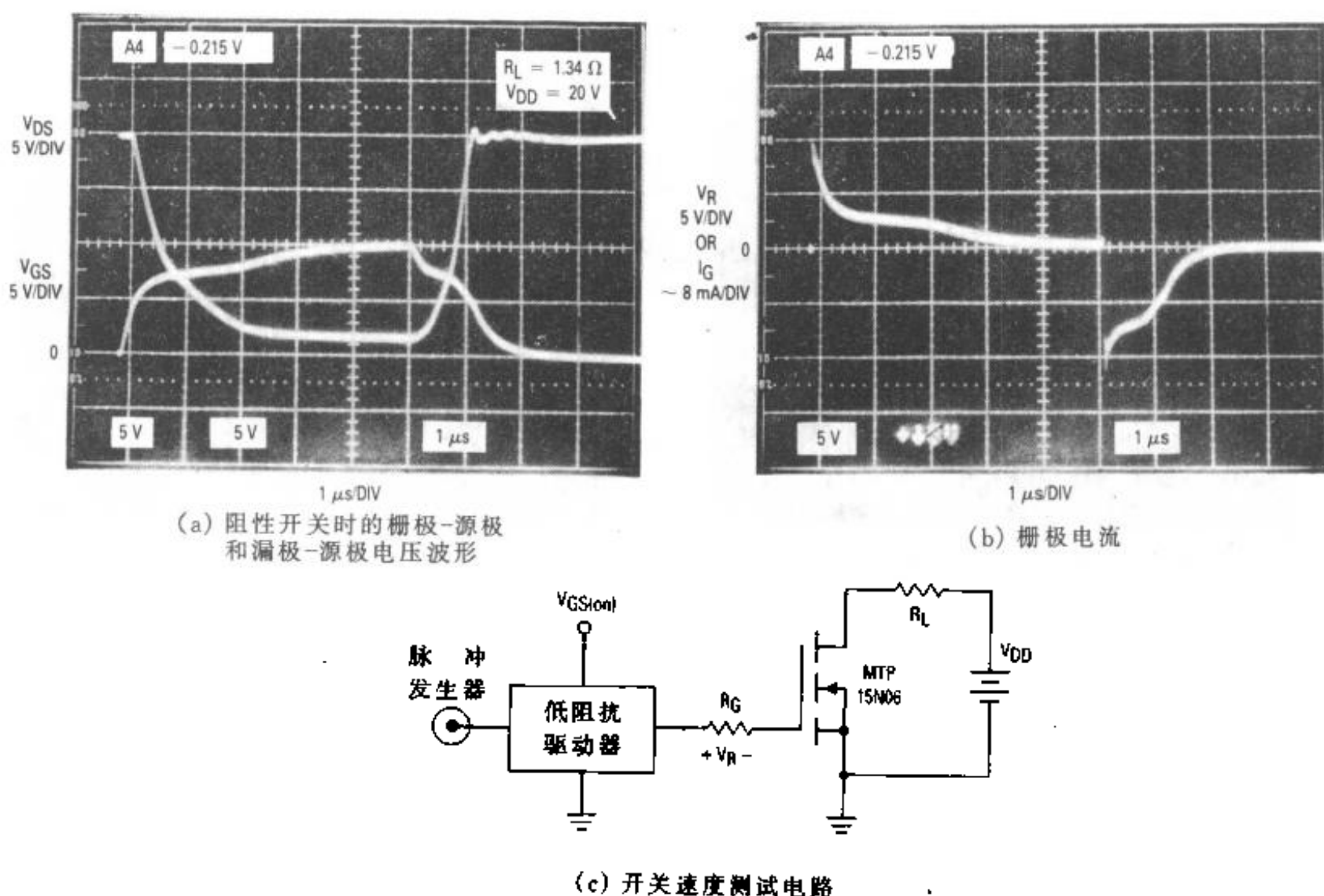


图 6-14 因为栅-源电压和栅极电流在 V_{DS} 下降期间相对恒定，所以栅极电量可用于估计预期开关速度所要求的栅极驱动源阻抗

栅极电量的概念还有一个主要的优点，它增强了对 MOSFET 开关行为的理解。以下三方面的例子证明了这一点。①理解了栅极电量对 MOSFET 的控制作用有助于预测栅极驱动阻抗对开关速度的影响。从理论上说，把栅极驱动源的阻抗减半应使充电率加倍，而使开关时间减半。这已被栅极驱动电流加倍所证实。②这些概念暴露出了只使用或指定电容-电压曲线上一点电容值的缺点，③它们还表明，在 V_{DS} 为 25V 时，虽然 C_{GS} 占输入电容的比重大，但在开关间隔的大部分时间中 C_{rss} 影响更大。

更有用的是，栅极电量曲线还提供了器件精确建模所需的数据。如前所示，MOSFET 的输入阻抗和开关行为可通过从栅极电量曲线的斜坡中选择 C_{iss} 和 C_{gs} 值来模拟。用这些值得出的结果要比用各电容在 V_{DS} 为 25V 时的值得出的结果有意义得多。

在诸如串联谐振大功率电源的应用中，使用更高开关频率的趋势增加了估计所需栅极电量和传输能量的重要性。随着工作频率的增加，MOSFET 的“高输入阻抗”势必将消耗大部分驱动电流。每周期对 C_{iss} （和 C_{oss} ）充

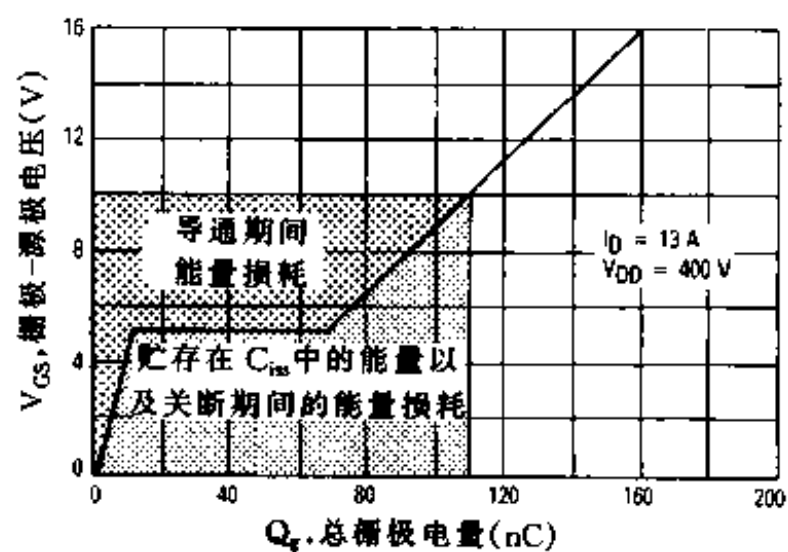


图 6-15 典型 MOSFET 栅极电量曲线给出了驱动 MOSFET 的栅极所耗能量的有关数据

放电所损耗的能量大得足以影响整体效率。除了其它更常见的用处之外,栅极电量曲线也有助于估计栅极消耗的能量。

大家所熟悉的公式: $E=1/2CV^2$ 和 $1/2QV$, 只能用于固定电容值。对随电压变化的电容, 如大功率 MOSFET 的 C_{iss} , 必须把 $V_{GS(obb)}$ 和 $V_{GS(on)}$ 间的栅极电压-栅极电量曲线合成起来以确定传输能量。这一能量在导通期间贮存于 C_{iss} , 而关断时, 栅极与源极被箝位, 这一能量通常就损失了。这一能量乘上开关频率就得到了相应的功率损耗。

例如, 计算贮存于一典型 MOSFET 输入电容中的能量。 V_{GG} 为 10V 时, 图 6-15 中曲线下的面积为 $0.625\mu J$ 。即使这一器件大量应用, 这一损耗一般可忽略, 在 1MHz 的开关频率下, 耗散能量也仅为 $0.625W$ 。但要注意, 如果栅极驱动电压 V_{GG} 为 16V, 那么损耗就上升到 $1.275\mu J$ 和 $1.275W$ 。

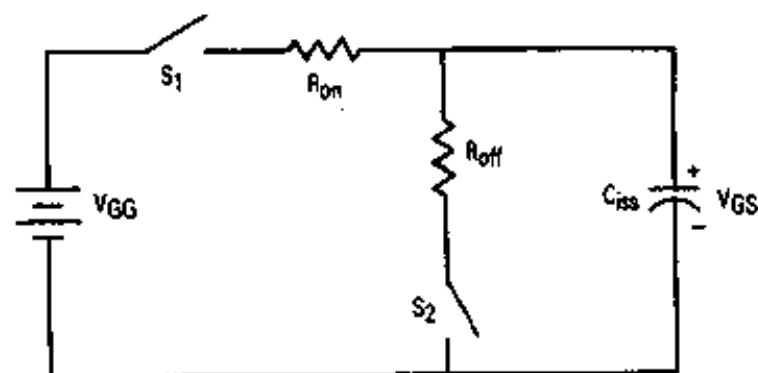


图 6-16 理想栅极驱动电路

分析驱动损耗时还应考虑传送所需栅极电量时栅极驱动源所消耗的能量。图 6-16 所示为一理想栅极驱动网络的等效电路, 其中 S_1 组成充电路径, S_2 控制放电。无论等效电阻值和充电率为多少, 接通期间传输、关断时耗散的能量都由 C_{iss} 和 $V_{GS(on)}$ 决定。同样, R_{on} 上耗散的能量也与 R_{on} 和栅极驱动电流无关。另外, 合成 $Q-V$ 曲线可算出能量, 但这里的恰当电压为 $V_{GG}-V_{GS}$, 这等效于计算栅极电量曲线和 $V_{GS}=V_{GG}$ 间的面积。

现在有关于栅极驱动损耗的问题都讨论过了。总损耗为 $V_{GS(on)}$ 乘以所需栅极电量。

6.5 开关时间的计算

在高频应用场合, 开关损耗往往比静态损耗更显著。要减少开关损耗就必须减少开关次数。当大功率 MOSFET 被用作开关时, 因为漏-栅电压大幅度摆动在 C_{iss} (漏-栅电容) 上而形成不可忽视的转移电流, 因此栅极不能看作一个简单的电容。总输入电容 C_{iss} 应被看作是随大功率 MOSFET 的工作范围而显著变化的。 C_{iss} 可被分段线性建模以获得开关次数的一次近似。

计算开关次数的一个更好方法是利用厂家的数据表给出的栅极电量数据。虽然大功率 MOSFET 通常被认为是压控器件, 但更准确地说它是电量控制的器件。大功率 MOSFET 保持一指定电流而要求的电量是相对恒定的, 即使其漏-栅电容 (C_{iss}) 随漏-栅电压急剧地变化。 C_{iss} 值可比工作值高 1000% 或更多。

当大功率 MOSFET 被电流驱动时 (见图 6-17), 其栅极电量将近似为分段线性 (如图 6-18 所示)。三个不同部分为导通延迟 (t_0 到 t_1), 上升时间 (t_1 到 t_2) 和超电量时间 (t_2 到 t_3)。在导通延迟的终点 (t_1) 大功率 MOSFET 开始导通, 但漏极电流仍非常小。在上升期间大功率 MOSFET 真正导通, 漏极电压几乎降为零。阻性开关上升时间 $t_{上升}$ 实际上测量的是漏极电压从其最高值的

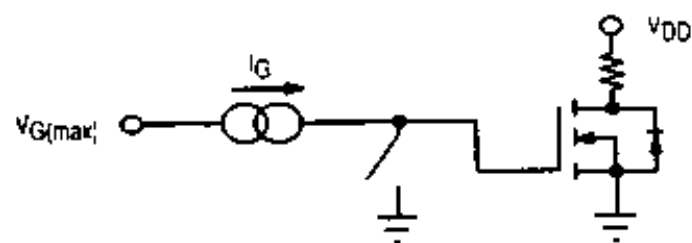


图 6-17 用恒流源驱动功率 MOSFET

90%降到10%所用的时间。它的“上升”指的是漏极电流上升,尽管通常测量的是电压。这一时间和 V_{GS} 停留于图 6-18 的水平段的时间是对应的。

在超电量时间(t_2 到 t_3)内 $R_{DS(on)}$ 继续减小。在关断延迟期间这一超电量必须转移,因此将栅极置于不必要的高压将增加总关断时间。

与双极型晶体管不同,大功率 MOSFET 是多数载流子器件。由于不需少数载流子注入,大功率 MOSFET 的关断和导通一样容易。在栅极驱动电流相等的条件下,上升时间等于下降时间。恒栅极电流条件下的关断曲线将与图 6-18 成镜像。要注意的是关断延迟不等于导通延迟,而等于导通超电量时间。

由于图 6-18 中栅极电流恒定且等于单位时间的电荷,其水平轴可标时间也可标电量。栅极电量数据一般是使用 1mA 电流源时测得的,也就是说 $1\mu s$ 内可提供 1nC (纳库) 电量。厂家的数据表通常包括栅极电量图 $V_{GS}-Q_g$, 其中 Q_g 的单位为 nC, 如图 6-19。尤其要注意的是上升时间内的 V_{GS} (也称水平段电压) 随 I_D 的增加而增加,导通延迟也相应增加。另外,上升时间内所需电量将随漏极电源电压而变化。这通常在栅极电量图上以超电量区的多条曲线表示,每条曲线都标有相应的 V_{DS} 。

要确定开关时间,首先用一电流源来驱动大功率 MOSFET,然后用图 6-19 这样的栅极电量图确定各区所需的电量,最后用下面的等式:

$$t = Q_g / I_G \quad (6-1)$$

首先确定导通延迟区间所需的电量 $Q_{d(on)}$, 在图 6-19 中从第一个转折点向水平轴作垂线。这是指定测试 I_D 的栅极电量。如果实际漏极电流与指定电流不同,可对 $Q_{d(on)}$ 进行线性

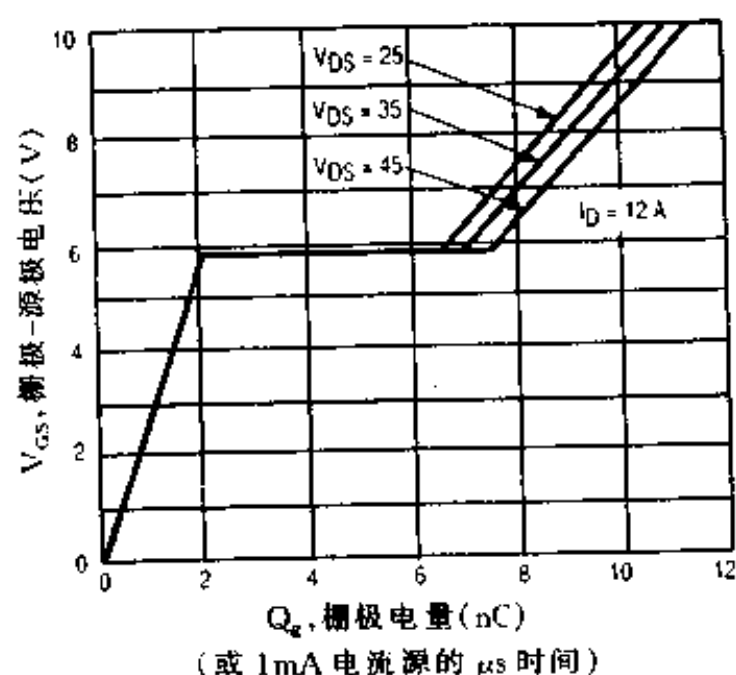


图 6-19 MTP3055E 的栅极电量图

当用一电压源串联一电阻(等效源)去驱动

大功率 MOSFET 时,计算稍复杂些。在上升和下降时间内由于以最大电流向栅-漏电容充电, V_{GS} 相对恒定。根据欧姆定律, I_G 因此也是恒定的。使用栅极电量图和式 (6-1) 可得

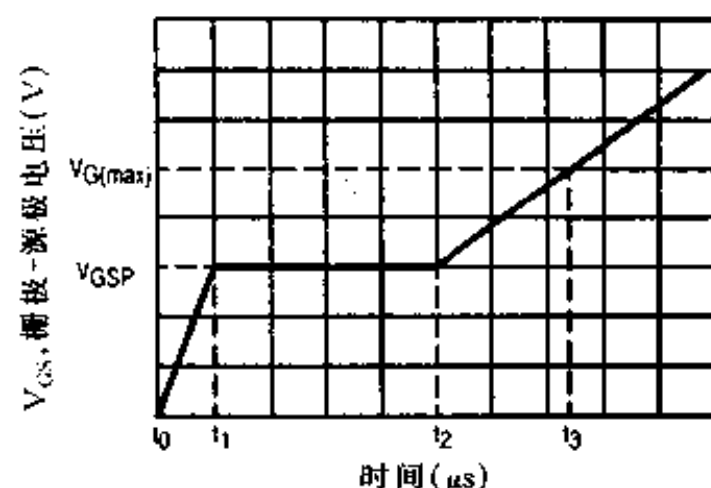


图 6-18 电流源导通功率 MOSFET 过程中的栅-源电压与时间的关系

换算以改善精度。然后用式 (6-1) 来计算导通延迟。下一步从栅极电量图的第一个转折点和水平段与期望值 V_{DS} 对应线段的交点间的长度算出上升时间所需的栅极电量 ($Q_{上升}$)。典型值有时作为 Q_{gd} 列出。这一值在上升和下降时间内均可应用。再下一步就是找出最大 V_{GS} 和期望 V_{DS} 对应线段的交点。该点对应的电量为总栅极电量 $Q_{g(总)}$ 。要确定关断延迟时所需电量 $Q_{d(off)}$ (和导通超电量), 可从 $Q_{g(总)}$ 中减去 $Q_{d(on)}$ 和 Q_{rise} 。通常指明最大总栅极电量 $Q_{g(max)}$ 以便在最差条件下进行设计, 这一指标一般都留有相当大的裕量。

到上升和下降时间。在导通期间串联电阻上的电压为有效源电压（一般是电源电压）减去栅-源水平段电压 V_{GSP} 。在断开期间该电阻上的电压为水平段电压减去有效退落电压（一般是地压）。因此上升和下降时间一般是不同的。据此，可得计算上升和下降时间的公式。

$$t_{rise} = \frac{Q_g}{I_G} = \frac{Q_{gd} R_{eff(on)}}{V_{SOURCE} - V_{GSP}} \quad (6-2)$$

下降时间：

$$t_{fall} = \frac{Q_g}{I_G} = \frac{Q_{gd} R_{eff(off)}}{V_{GSP} - V_{SINK}} \quad (6-3)$$

V_{GSP} 是功率 MOSFET 的栅-源水平段电压， V_{SOURCE} 是栅极驱动源的有效源电压， V_{SINK} 是栅极驱动源的有效退落电压，而 R_{eff} 则是栅极驱动源的有效内阻（输出电阻）。在关断期间 V_{SINK} 接近零伏，甚至为一负压。

在导通和断开延迟期间栅极电流不恒定，开关速度不能用栅极电量数据确定。串联电阻与栅极电容组成一简单 RC 网络，但电容随工作范围大幅度变化。要求出开关次数必须从图 6-20 那样的电容图中确定出

每个区的电容。在导通延迟期间 V_{DS} 接近其最高值，用 V_{DS} 值处的 C_{iss} 值（如图 6-20 中点 A）计算导通延迟。可用式（6-4）来近似计算导通延迟时间。

$$t_{d(on)} = R_{eff(on)} C_{iss(MIN)} I_n \left(\frac{V_{SOURCE}}{V_{SOURCE} - V_{GSP}} \right) \quad (6-4)$$

在关断延迟期间 V_{DS} 低， C_{ss} 将更大些。找到最低 V_{DS} 和最高 V_{GS} 处的 C_{ess} 值（如电容图中点 B）。接着用式（6-5）来近似计算关断延迟时间。

$$t_{d(off)} = R_{eff(off)} C_{iss(MAX)} I_n \left[\frac{V_{G(MAX)} - V_{SINK}}{V_{GSP} - V_{SINK}} \right] \quad (6-5)$$

$V_{G(MAX)}$ 是关断前的初始栅极电压（通常是电源电压）， $R_{eqg(off)}$ 是关断期间的有效串联电阻， V_{SINK} 是有效退落电压。如果 V_{SINK} 是地压，那么式（6-5）中就可略去 V_{SINK} 项了。

应当注意，栅极电量图和电容曲线是相关的。栅极电量中曲线坡度单位为伏特每纳库仑。电容的单位法拉等于库仑每伏特。

$$I(\text{库仑/秒}) = C \frac{dv}{dt} (\text{法拉} \cdot \frac{\text{伏特}}{\text{秒}})$$

据此得

$$\text{法拉} = \text{库仑/伏特}$$

因此，图 6-19 中斜率的倒数就是用纳法拉（1000pF）表示的输入电容。但这两张图都应被使用。当输入电容变化而栅极电流保持一定时（上升和下降时间），栅极电量图最有用。当输入电容一定而栅极电流变化时（延迟时间），电容曲线图比较有用。

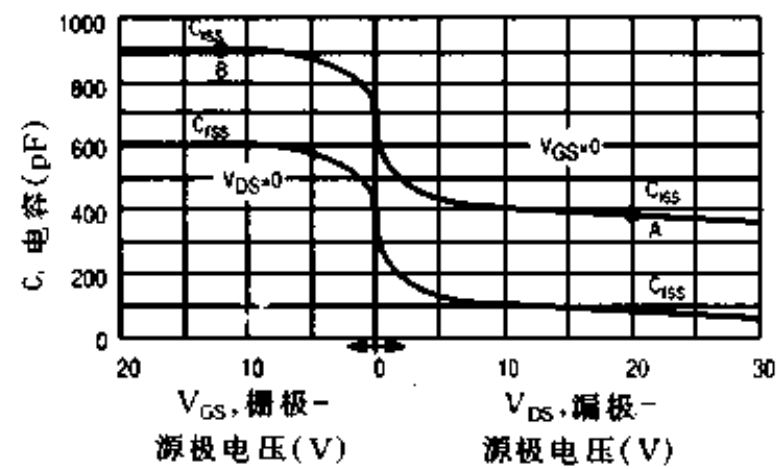


图 6-20 MTP3055E 的电容图

6.6 共源极开关

6.6.1 TTL 栅极驱动

可以使用 CMOS 器件或开集电极 TTL 器件来直接驱动 TMOS 功率晶体管。但获得这样的简化电路是以开关速度变慢为代价的。这是因为有寄生输入电容所要求的充电电流的影响, 以及驱动器件有限推拉能力的影响。

有推挽输出的 TTL 器件在不附加其它线路的情况下并不是一种可以接受的栅极驱动网络。可得到的输出电压为 3.5V, 这并不足以保证 MOSFET 进入阻性工作区。一个稍保险的方式是在 TTL 输出上使用一个负载电阻以便能利用整个 5V 供电, 但即使整个 5V 都加在栅极也不能保证能达到持续额定漏极电流一半的水平。

开集电极 TTL 器件, 如果加上一个连有 10~15V 独立电源的上拉电阻, 那么它就能保证栅极的快速断开, 并保证有足够大的电压使 MOSFET 完全导通 (图 6-21)。由于负载电阻的值必须考虑到去限制下面 TTL 晶体管输出功率损耗, 因而导通速度并不能这么快。当考虑到开关一个感性负载时的动态损耗时, 由于漏极电流和漏极-源极电压的相位关系, 栅极下降时间要比上升时间更重要。图 6-22 表示一种能提供快速导通的电路, 并可以减少 TTL 器件的损耗。

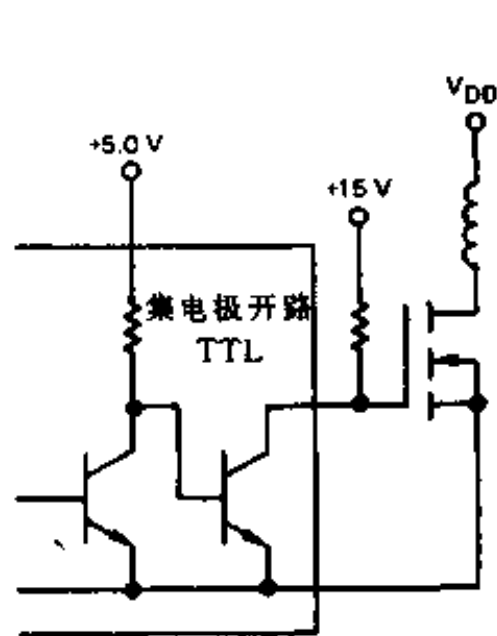


图 6-21 开集电极 TTL 对 MOSFET 的驱动

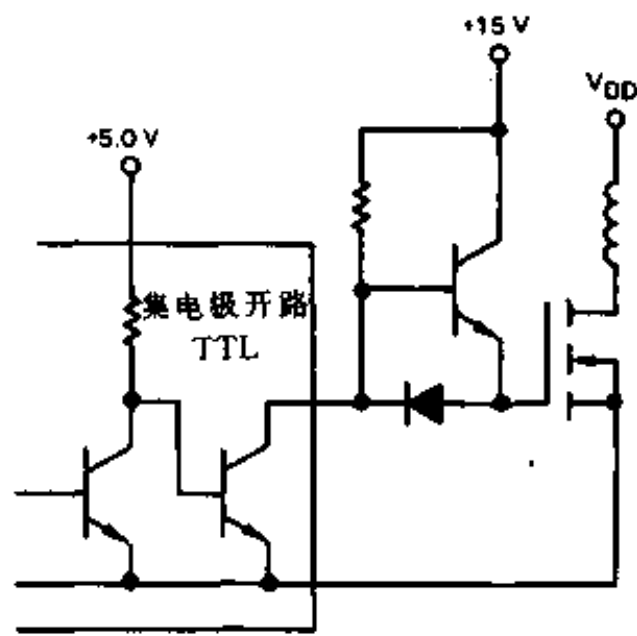


图 6-22 为快速导通和减小功率损耗的开集电极 TTL - TMOS 设置

当 TTL 输出级下面的晶体管导通时, 将 MOSFET 输入电容接到地并模仿双极型晶体管使之象一个饱和元件是不合适的。在低电平输出状态的 TTL 器件的灌电流能力受反偏晶体管的放大系数和可得到的基极电流的限制。而这些因素随生产线和 TTL 系列的不同而不同。表 6-1 表明了在不同的 TTL 系列的情况下电流推拉能力的情况。

虽然 TTL 的峰值灌电流能力可能为连续额定值的两倍, 但通过用一个外置晶体管来箝位栅-地电压仍可获得快速截止 (图 6-23)。在这种设置下, 外置的晶体管只做为射随器来使用。这样就不会出现饱和并且其连带的贮存时间并没有显著影响开关频率限制。

表 6-1 TTL 输出电流推拉能力

型号	输出驱动	
74LS00	0.4mA	8.0mA
7400	0.8mA	16mA
9000	0.8mA	16mA
74H00	1.0mA	20mA
74S00	1.0mA	20mA

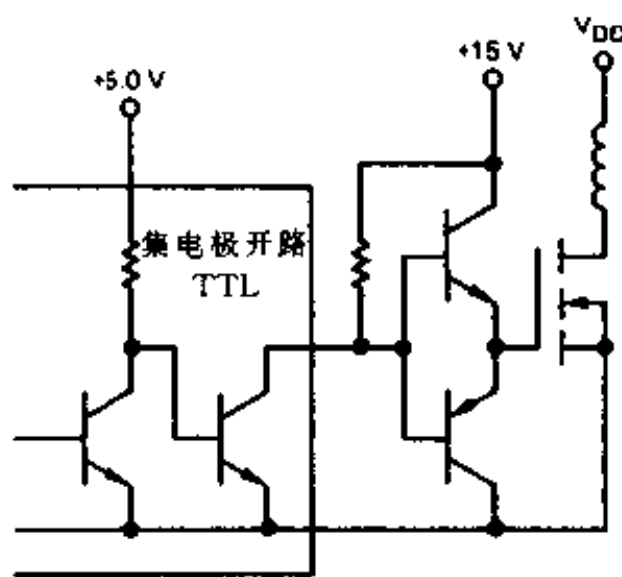


图 6-23 带有射随器的开集电极 TTL 驱动电路

6.6.2 对标准功率 MOSFET 的 CMOS 栅极驱动

标准功率 MOSFET 能够和标准 CMOS 器件直接相联，例如 MC14000 系列。这个系列使用了互补 N、P 沟道的场效应管作为输出级。虽然标准输出额定值在 $\pm 10\text{mA}$ 之内，缓冲输出额定在 $\pm 45\text{mA}$ 之内，但短路条件时的饱和电流仍然是相当大的。并且 CMOS 门电路也不允许长时间短路，当开关相对较大的容性负载时，它工作在安全的饱和区。在 12V 电源条件下，14049UB 反相缓冲器能够提供的典型拉电流为 30mA，灌电流为 120mA。如果输出电流不受限制，那么 CMOS 门输出很象电流源。如果输出电流限制在小于饱和电流，那么 CMOS 门电路输出象具有有限输出电阻的电压源。MC14000 系列的工作电压为 3V 到 18V。普通的 12V 到 15V 供电能很好地驱动功率 MOSFET。

如图 6-24，14049UB 能够直接和例如 MTP3055E 的标准功率 MOSFET 相连接。MTP3055E 在工业界十分流行，它是一个稳定的 12A、60V 的功率 MOSFET。由于栅极驱动电流并不受串联电阻的限制，因此栅极驱动电流等于 14049 的输出饱和电流即： $+30/-120\text{mA}$ 。使用方程 (6-1) 与栅极电量数据，我们可得到下列开关时间。

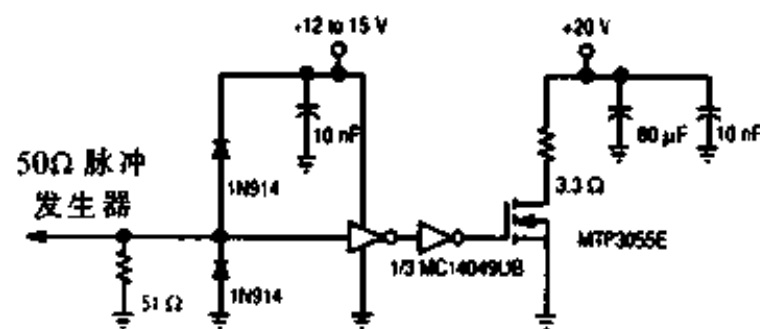


图 6-24 标准 CMOS 接口电路

$$t_{d(on)} = 2\text{nC}/30\text{mA} = 67\text{ns}$$

$$t_{rise} = 4\text{ns}/30\text{mA} = 133\text{ns}$$

$$t_{d(off)} = 6\text{nC}/120\text{mA} = 50\text{ns}$$

$$t_{fall} = 4\text{nC}/120\text{mA} = 33\text{ns}$$

开关时间的测量使用了图 6-24 的电路。实际显示波形见图 6-25，测得的开关时间见表 6-2。

考虑到电路速度很高以至电路寄生现象影响其运行，作为一阶近似上述计算值已相当精确。4049 的饱和电流将随器件的不同、 V_{DD} 电源电压的不同以及结温度的变化而不同。来自逻辑集成电路的直接驱动将提供最快的升降时间，但其变化会很大。

如图 6-26 所示，在 CMOS 缓冲输出和功率 MOSFET 栅极之间加一个电阻，这样就可以通过限制栅极驱动电流来控制开关时间。但增加栅极电阻也同时增加了功率 MOSFET

表 6-2 标准 CMOS 器件驱动 MTP3055E 的开关时间, $I_D = 6A$, 除非特别指明, 否则只用 1 门

驱动器	V_{CC} (V)	R_G (Ω)	$t_{d(on)}$ (ns)	t_{rise} (ns)	$t_{d(off)}$ (ns)	t_{fall} (ns)
4049UB	12	0	50	150	60	50
4049UB	12	220	60	300	200	150
4049UB	12	470	100	400	400	300
4049UB	15	0	40	100	70	40
4049UB	15	220	50	200	280	120
4049UB	15	470	75	330	500	420
4050B	12	0	50	150	60	50
4050B	12	220	60	300	200	150
4050B	12	470	100	400	400	300
4069UB	12	0	100	350	340	250
4069UB	12	220	115	500	380	370
4069UB	12	470	150	680	530	580
4069UB $\times 2$	12	0	70	260	170	130

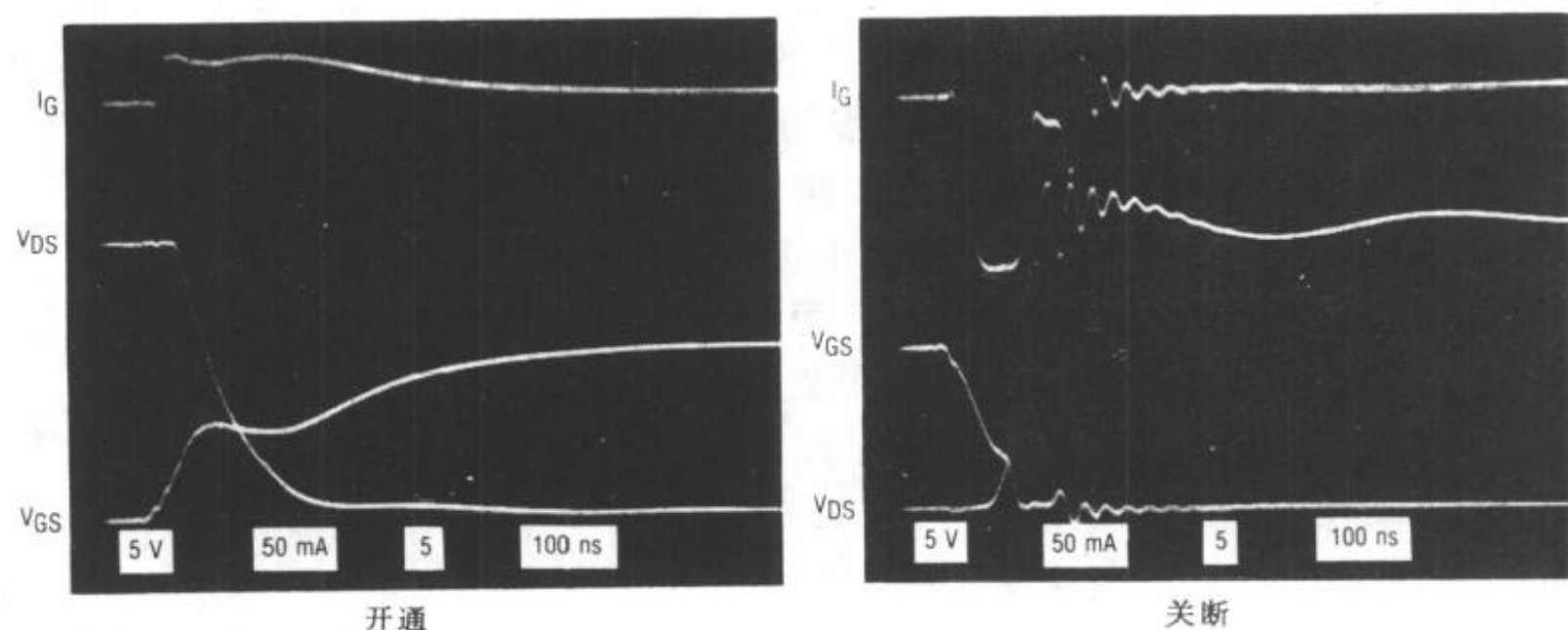


图 6-25 用 MC14049 驱动 MTP3055E 的显示波形

的噪声敏感度和意外的 dv/dt 导通。功率 MOSFET 的漏极电压的急剧变化将会在栅极产生一个电压, 这个电压就足以将器件导通。保持驱动电路的低阻抗将会减小或消灭这个现象。

为计算有一个栅极电阻情况下的开关时间, 并且用方程 (6-2)、(6-3) 来算上升和下降时间。

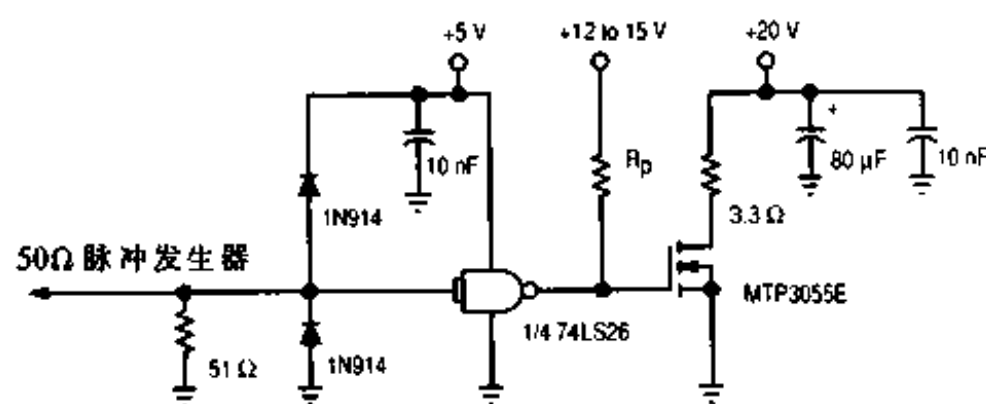


图 6-26 低功率肖特基接口电路

这时用方程 (6-4) 和 (6-5) 来算延迟时间。这里 $R_{\text{eff(on/off)}}$ 等于栅极电阻 R_g 加上 CMOS 缓冲区输出电阻 R_o 。4049 的输出电阻约为：导通时 200Ω ，截止时 50Ω 。令 V_{SOURCE} 等于 V_{DD} 且 V_{SINK} 等于零。对于几种不同的栅极电阻的相应开关时间总结于表 6-2。

MC1449UB 中的 UB 代表非缓冲的意思。这意味着它只包含单一的互补反相器。在图 6-24 中附加的门用于确保功率 MOSFET 的驱动器能被自驱动至 V_{DD} 。输入电压在很大程度上影响饱和电流值，因此进而影响到了开关时间。MC14050B 是有缓冲的非倒相缓冲器，这是因为它本身包含两个级联的反相器，这样它不能够使信号反相，并对软驱动条件不那么敏感。图 6-24 中输入部分的二极管的作用是使 V_{DD} 和输入对地的电压箝位。若有多余的电压加在 CMOS 的输入上，则会损坏其内部的静态保护二极管。超过供电电压 V_{DD} 的电压若加在 CMOS 输出级上将导致其自锁并损坏。当逻辑器件汲取较大电流时，切记要将逻辑器件隔离开来。

开集电极 TTL 门也能用于驱动标准功率 MOSFET。但大多数门输出级的设计电压为 5V。低功率肖特基 (LS) 门电路，如 74LS05 具有典型的 10~15V 的集电极-发射极击穿电压。这样对于 12~15V 电源来说它们就不太合适了。它们可以用在 8~10V 供电的场合或它们本身输出具有 8~10V 的齐纳箝位，但这样不利于器件的长期可靠性。

74LS26 是设计来同 15V 的逻辑电平接口的，并且其共发射极击穿试验电压大于 15V。如图 6-26 所示，这种 4 与非门能够用来驱动带有上拉电阻的功率 MOSFET。利用 $1.5\text{k}\Omega$ 的上拉电阻和 12V 的电源将把稳态灌电流限制到 8mA。保证 LS26 的额定输出低电平 V_{OL} 为 0.5V，这是有必要的。使用更小的负载电阻将会增加 LS26 的额定 V_{OL} 值，因此也就增加了在截止态的功率 MOSFET 的漏极-源极泄漏电流。

在导通期间，电流是由上拉电阻提供的。截止期间 LS26 的灌电流既包括栅极电流也包括上拉电流。LS 输出的下拉晶体管典型的灌电流大约为 30mA。运用方程 (6-2) 和 (6-3) 可计算导通时间，并且加上以下条件， $R_{\text{eff(on)}} = R_p$ ， $V_{\text{SOURCE}} = V_p$ ，其中 R_p 是上拉电阻， V_p 是上拉的电源电压。运用方程 (6-3) 和方程 (6-5) 可以计算截止时间，并且有 $R_{\text{eff(on)}} = R_p$ ， $V_{\text{SINK}} = V_p - I_{\text{SINK}} \cdot R_p$ (V_{SINK} 可能为负值)。 $R_{\text{eff(off)}}$ 和 V_{SINK} 的方程都是理想恒电流源对上拉电阻的代文字等效。当下拉晶体管近似等效为电流源时， V_{SINK} 方程才有效。在截止延迟时间和下降时间内，由于下拉晶体管的集电极-发射极电压超过了 $V_{\text{CE(sat)}}$ 并且基极驱动电流相对稳定，故下拉晶体管提供近似恒定的灌电流。

如图 6-26，LS26 同负载电阻 ($1.5\text{k}\Omega$) 可以被用来驱动 MTP3055E。图 6-27 给出了示波器波形。表 6-3 总结了开关时间。

这种设置提供了最小的上升和下降时间。但是由于 74LS26 的灌电流随温度、器件的不同而不同，故下降时间变化较大。串联一个栅极电阻可以用来减慢和控制截止。开关时间同样可以用方程 (6-2)、(6-5) 来计算。在栅极电阻较大的情形下，可以用如下近似：

$$R_{\text{eff(on)}} = R_p + R_g$$

$$V_{\text{SOURCE}} = V_p$$

表 6-3 74LS 驱动 MTP3055E 的开关时间

V_{CC} (V)	R_g (Ω)	R_p (Ω)	$t_{\text{d(on)}}$ (ns)	t_{rise} (ns)	$t_{\text{d(off)}}$ (ns)	t_{fall} (ns)
12	0	1500	200	850	240	175
15	0	1800	200	750	300	175
12	1500	1500	450	2000	1300	1450
12	3000	3000	930	3900	2500	2900

$$R_{\text{eff(off)}} + R_g$$

$$V_{\text{sink}} = 0.5\text{V}$$

对于几个不同的栅极电阻情形，其开关时间总结于表 6-3。

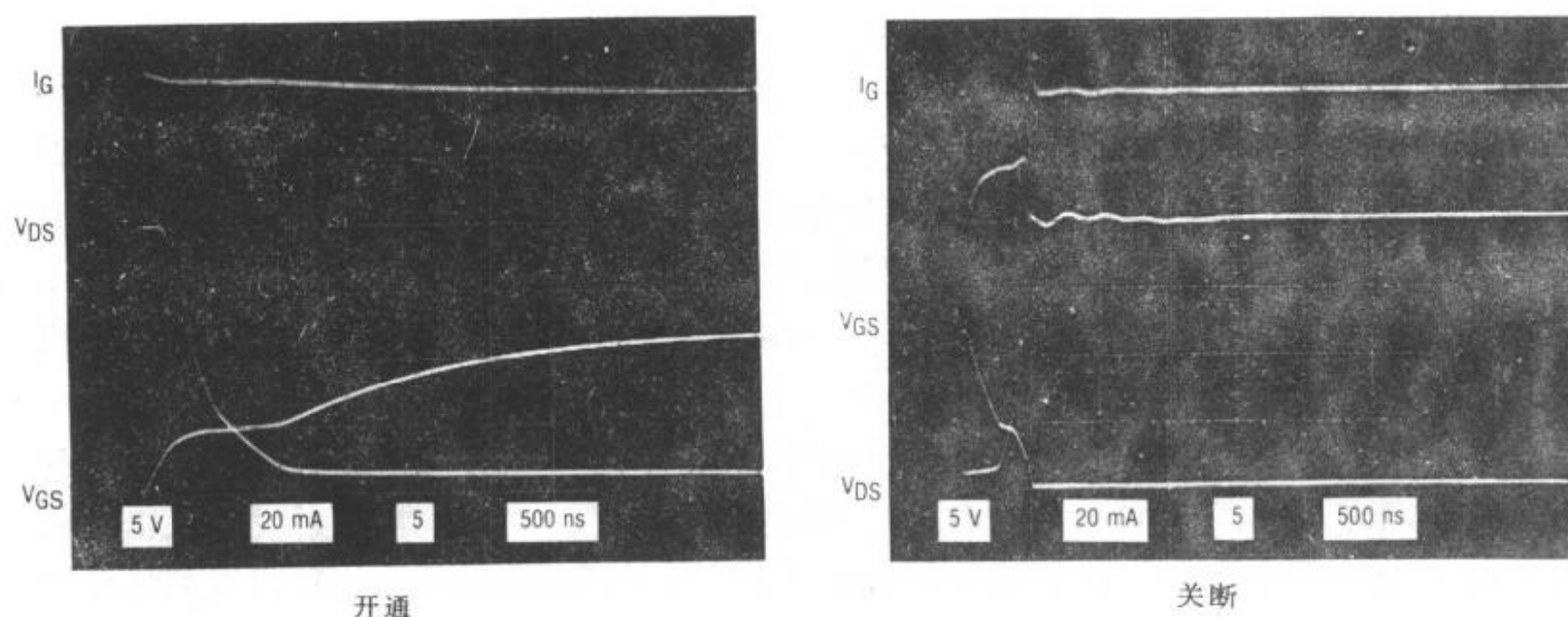


图 6-27 74LS26 驱动 MTP3055E 的示波器波形

6.6.3 用 CMOS 栅极驱动逻辑电平的功率 MOSFET

逻辑电平的功率 MOSFET 是设计用来方便地同 5V 逻辑器件相接口的。同常规对应器件相比，它们有更大的转移电导和较低的门限电压。更重要的是 $R_{\text{DS(on)}}$ 是在 $V_{\text{GS}} = 5\text{V}$ 时设定的。然而大多数 5V 逻辑系列都不具有 5V 高电平输出能力。快肖特基和低功耗肖特基逻辑有最小额定输出高电平 (V_{OH}) 为 2.7V。这就需要能达到 5V 的上拉电阻来驱动逻辑电平功率 MOSFET。高速 CMOS (HC) 有一个额定的 V_{OH} 值 4.95V，因此不需要上拉电阻。

图 6-28 画出了 HC 和 LS 逻辑器件的输出级。除了互补 MOSFET 被优化为 5V 运行之外，图 6-28 (a) 所示的 HC 输出级同标准 CMOS 输出级是完全一样的。在 HC 器件中都有附加的互补级起到缓冲作用。图 6-28 (b) 中的 LS 输出级用到了推拉输出。下拉晶体管有大约 500mA 的偏置电流，并且电流增益约为 60。这意味着最大灌电流为 30mA。当输出短路时，图中 110Ω 电阻能够限制正偏晶体管灌电流约为 30mA。

图 6-29 表明如何将逻辑电平 MOSFET 同 HC、LS、FAST 逻辑器件接口。请注意输入端和保护电路。这在驱动具有脉冲发生器的逻辑器件时是有必要的。最好用来自同一逻辑系列的器件来驱动逻辑电平功率 MOSFET。当 HC 器件 (或任何 CMOS 器件) 同板接插件相连时，应当用二极管来作静电保护。

图 6-30 表示了用图 6-29 所示电路的情况下，三种逻辑系列在驱动逻辑电平功率 MOSFET 时的

表 6-4 逻辑器件驱动逻辑电平的 MTP3055EL 的开关时间 (除非特别指明，否则 $I_D = 6\text{A}$ ，只用 1 门)

驱动器	R_p (Ω)	$t_d(\text{on})$ (ns)	t_{rise} (ns)	$t_d(\text{off})$ (ns)	t_{fall} (ns)	注
74HC04		25	120	85	75	
74LS04	560	45	450	120	130	
74F04	220	15	170	18	21	
74HC04		10	65	30	30	2 门
74HC04		10	125	35	45	12A 50°C

开关波形。测量的开关时间如表 6-4。

74HC048 反相器能直接和逻辑电平功率 MOSFET 相连。开关时间的计算同 CMOS 反相缓冲器是一样的。在 5V 电源的情况下, HC04 的电流推拉能力约为 50mA。

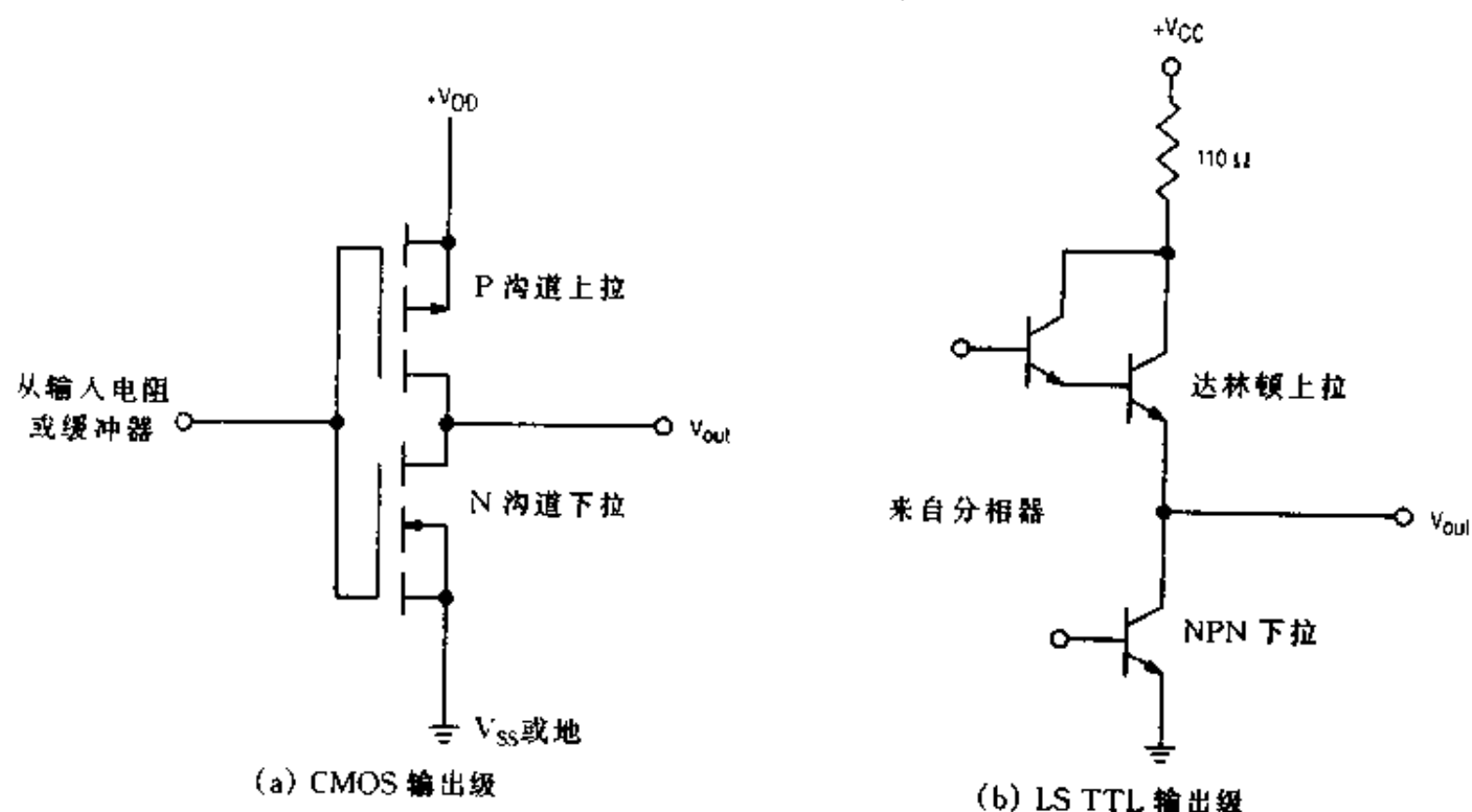


图 6-28 逻辑输出级

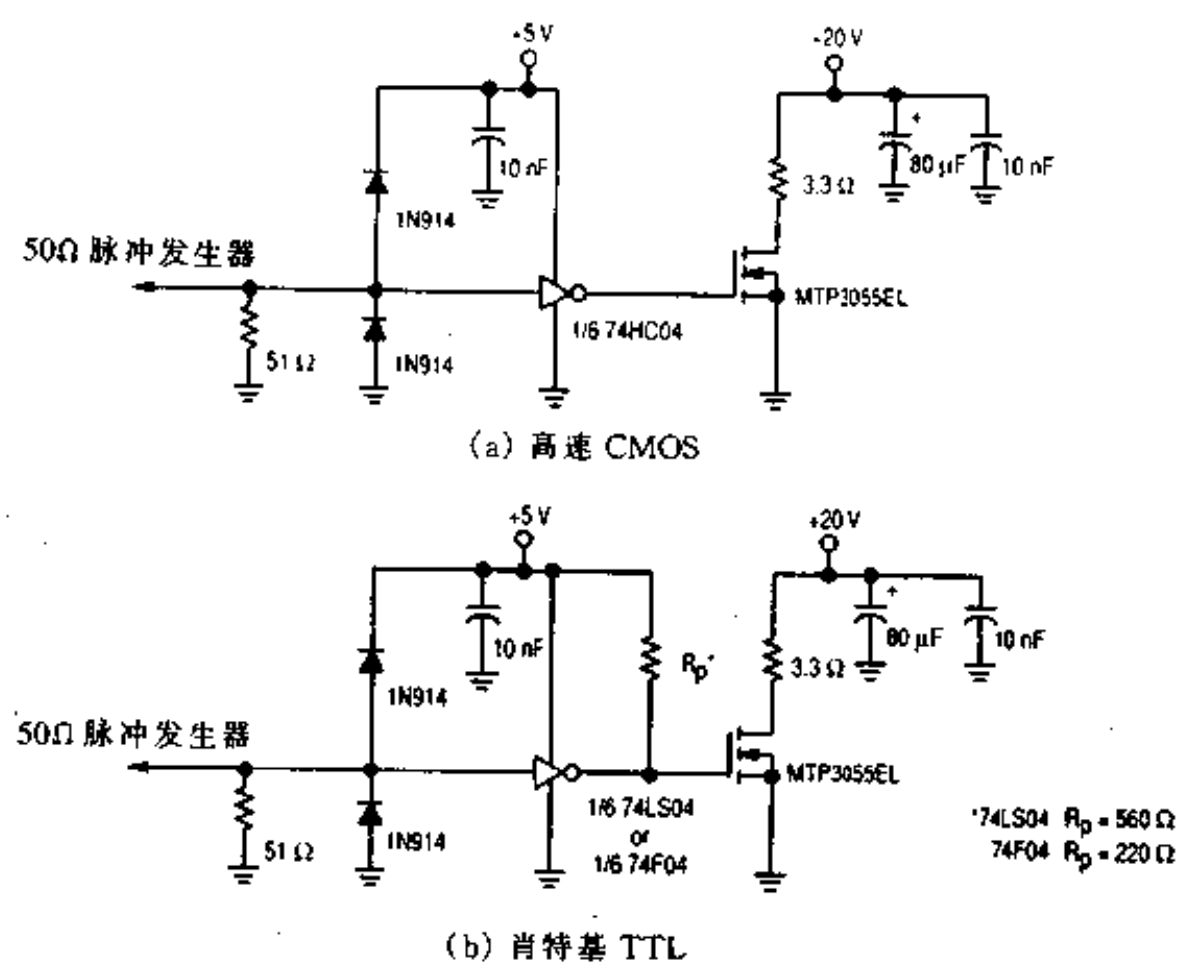


图 6-29 逻辑电平功率 MOSFET 接口电路

HC 系列工作电源为 2~6V。一个 HC 器件将驱动逻辑电平功率 MOSFET 的栅极到 V_{DD} 的 50mV 左右的范围内。但如果 V_{DD} 输入降到 5V 以下, 开关时间和 $R_{DS(on)}$ 将会急剧增加。 V_{DD} 减少 10% (至 4.5V) 将使上升时间增加 50%, 下降时间增加 15%, $R_{DS(on)}$ 将增加

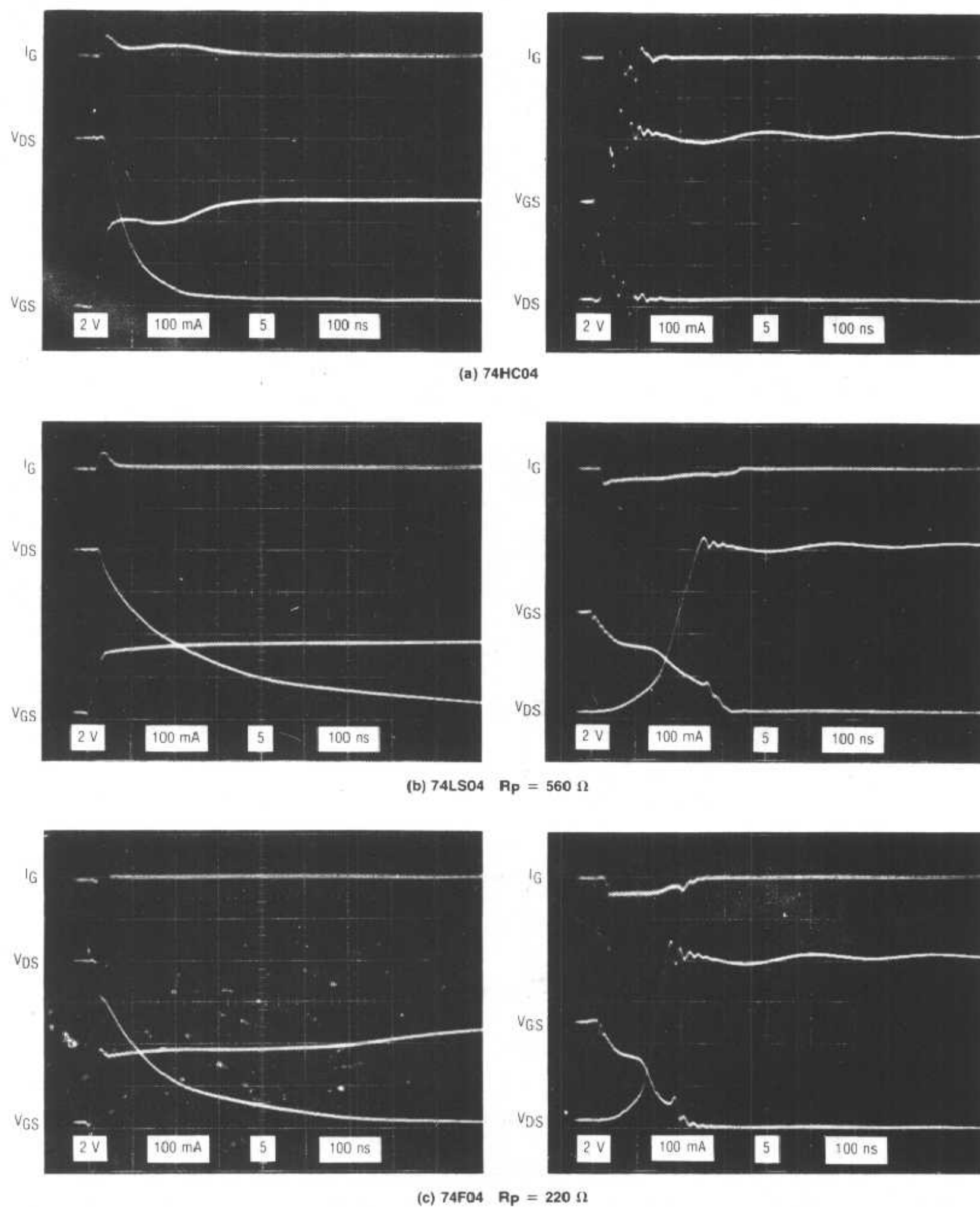


图 6-30 驱动 MTP3055EL 的逻辑器件

10%到100%或更多,这将取决于结温度和漏极电流的大小。如果低电压工作确实是可能发生的,为对付这种最坏情况,就应当将逻辑电平功率 MOSFET 加上散热装置。在厂家数据资料上,参见“导通区特性”、“ $R_{DS(on)}$, I_D ”、“ $R_{DS(on)}$, 温度”三条曲线。在低电压条件下,为获得期望的 $R_{DS(on)}$ 值,应当选择额定电流比预期负载电流大得多的器件。目前制造商正在设计 4V 的逻辑电平功率 MOSFET, $R_{DS(on)}$ 也会相应于 4V 而定。这些器件将会很容易同逻辑器件相接口,并可以在 4V 以下工作。但低门限电压会使它们对噪声和泄漏电流的增加更敏感。

图 6-29 中的 74LS04 必须有一个相应于 5V 的上拉电阻,至少为 560Ω ,这才能保证 0.5V 的逻辑低电平输出 (V_{OL})。在导通期栅极驱动电流是由上拉电阻和 LS04 内部的负载晶体管提供的。在截止期,LS04 的灌电流既包括栅极驱动电流,也包括负载电阻电流。较大的 R_p 值将会增加导通时间,减少截止时间。较小的 R_p 值会增加 LS04 的 V_{OL} 值,增加功率 MOSFET 的泄漏电流。逻辑电平功率 MOSFET 的开启电压过低会使标称的 V_{OL} 处于临界,且功率 MOSFET 的开启电压将随温度的增加而减少。因此,在预期最大的结温度情况下,逻辑器件的 V_{OL} 值应小于逻辑电平功率 MOSFET 的开启电压。基于这个原因,4V 的逻辑电平功率 MOSFET 同 TTL 器件将是不兼容的。

开关时间也能用方程 (6-2) 到方程 (6-5) 的驱动电路的代文宁等效来估计。在导通延迟期间,电流是由 74LS04 的达林顿上拉晶体管及外部上拉电阻来提供的。当 $V_{CE(sat)}$ 达 1.5V 时,达林顿管处于饱和状态。这样 74LS04 的输出电流被内部 110Ω 电阻限流。为计算导通延迟时间,可以利用方程 (6-4),且 $V_{source} = V_{cc} [1.5R_p / (R_p + 110\Omega)]$, $R_{eff(on)} = R_p$ 。

110Ω 。在上升期,近乎所有电流都是由上拉电阻提供的,这是由于 V_{CSP} 通常比 LS04 的 V_{OH} 值高。因此利用方程 (6-2) 及 $V_{source} = V_{cc}$, $R_{eff(on)} = R_p$ 可以估计上升时间。

在截止期,就如同图 6-26 中的开集电极 74LS26 一样,下拉的晶体管的灌电流既包括栅极电流也包括上拉电阻电流。为计算截止时间,可以利用方程 (6-3) 和 (6-5) 以及 $V_{sink} = V_{cc} - I_{sink}R_p$, $R_{eff(off)} = R_p$ 。下拉晶体管的最大灌电流典型值大约为 30mA。

74LS 系列的特定电压源 V_{cc} 范围为 4.75~5.25V。随电源电压的不同,上升时间将变化很大,而下降时间仅变化 5% 左右。当 V_{cc} 分别为 4.75V 和 5.25V 时,上升时间分别变化 80% 和 40%。原因是电压源既影响了上拉电阻电流,又影响了上拉晶体管电流。由于 LS 的电源工作范围小于 HC 逻辑器件的相应工作范围, R_{DS} 将变化不大,但仍在考虑之列。

高速 (FAST) 逻辑系列的推拉电流将大于相应的 LS 系列,74F04 拉电流约为 50mA,灌电流约为 200mA。至少 220Ω 的上拉电阻将保证逻辑器件的 0.5V 低电平输出,更大的 R_p 将增加导通时间,减少截止时间。开关时间的计算同 LS 系列。74F04 利用一个 35Ω 而不是 110Ω 的电阻来限制上拉达林顿输出电流。对 LS 系列的源电压考虑也同样适用于 FAST 系列。

对于图 6-29 中的电路可以使用串联栅极电阻来减慢和控制开关时间。对于大栅极电阻对应的开关时间 (HC, 200Ω 以上; LS $5k\Omega$ 以上; FAST $2k\Omega$ 以上) 可以利用方程 (6-2) 到方程 (6-5) 同 $R_{eff(on/off)} = R_g$ 来估算。当开关负载稍带感性时,截止期间的感性反冲会使漏极电压升至比负载电压还高。如果这个电压足够大,并有足够的能量,那么功率 MOSFET 将受到损坏。一个稳定的新系列功率 MOSFET 能够在这种情况下应付相当大的能量。你也会选择大的 R_g 值来减少电磁干扰。当需要点亮一个灯时,也应利用一个大电阻

来限制（打开开关时）电流激增。通过使用栅极电阻和（或）大的上拉电阻可以增加逻辑器件的长期有效性。栅极电阻能够减少大部分栅极驱动功率损失，而不是逻辑器件的功率损失，这样就减少了对输出逻辑器件的压力。由于更大的上拉电阻能够限制反偏晶体管的电流稳态，故可以减小能量损耗。但大栅极电阻增加了功率 MOSFET 对噪声及导通 dv/dt 的敏感度。

同一芯片上的逻辑门可以并联使用以增加开关速度。输出电流能力将随着使用门的数目的增加而增加。如果不使用栅极电阻，开关时间将随着使用门数目的减少而减少。如果使用一个栅极电阻，为减小开关时间，那么阻值应随门的数目而减小。并联逻辑不会改变总封装的功率损耗，这是由于输出电流增加了而开关时间减小了。当许多门同时使用时，开关时间会降低到一特定值，这一特定值本身是由负载和线路本身的杂散电感决定的。不同芯片的逻辑门或来自不同系列的逻辑门不应当并联，其原因是不同的传输延迟会引起额外的电流冲击，以至损坏器件。

可以用一个数字电路中剩余的门来驱动逻辑电平功率 MOSFET。但是驱动所用的大电流将引起供电噪声。这个噪声将会使同一芯片上的门产生逻辑错误。用大栅极电阻和对逻辑器件去耦来控制电流会减小电源噪声。当然驱动逻辑器件和功率 MOSFET 应当共地。这样可以避免由于大漏极电流引起的地漂移问题。如果分别用到逻辑地和模拟地，那么在功率 MOSFET 的电源处应连起来。

注意在电源方面，当电压加到漏极上时，功率 MOSFET 的栅极决不可以架空。这种情况会使元件导通，如果电流得不到控制，元件将会损坏。如果对负载和逻辑集成电路采用不同的电源，那么后者应当先打开而最后关闭。如果不能做到这一点，那么这时将电源撤去后，可以想像逻辑器件的输出将是怎样一种情况。当功率 MOSFET 的栅极为低电平时，图 6-29 中的 LS、FAST 的上拉电阻将使栅极电压变为 V_{cc} ，使其截止。但当电源撤掉后 HC 反相器的输出将会出现高阻状态。这使功率 MOSFET 的栅极悬空。可以用两个方法解决这个问题。一个是在电源或地上接一个大电阻或是用一个小信号二极管在电源下面箝位输出。过低的逻辑输出电压也会因缺乏栅极驱动使功率 MOSFET 失效。当功率 MOSFET 出现这个问题时，漏极电压通常是加到了栅极，这样会断开整个逻辑电路。一个栅极电阻将会在功率 MOSFET 失效时限制电流的值。

6.6.4 和微处理器接口

微处理器能够很方便地同功率 MOSFET 接口。图 6-29 所示的电路都可以作为微处理器和逻辑电平功率 MOSFET 之间的缓冲。如果使用标准功率 MOSFET，那么必须使用图 6-29 中的 'LS26 或一个电平转换器。MC14504B 8-电平转换器可以用于标准 CMOS 同 HC、LS、FAST 器件的接口。它能够用来直接驱动功率 MOSFET，或如图 6-24 那样加一个 MC14049B 作为缓冲以减少开关时间。MC14504B 有可选的 TTL/CMOS 电平输入以及标准 CMOS 输出。在使用 12V 电源的情况下，它的推拉电流约为 20mA。

在使用具有三态输出的总线驱动器和锁存器时应当特别小心。象驱动功率 MOSFET 用的 74LS240-74HC240，和 74LS373-74HC373。由于 LS 三态器件需要一个上拉电阻来驱动大功率 MOSFET 至 5V，因此当它输出禁止时使功率 MOSFET 处于导通状态。而 HC 三态器件处于输出禁止时会使功率 MOSFET 栅极悬空，这样有可能损坏器件。这样只有当

输出使能端接高,负逻辑输入使能端接低时,三态器件才能使用。HC 三态器件不需要上拉电阻来驱动逻辑电平功率 MOSFET,可以用一个下拉电阻引至地。注意,三态输出禁止高于电源电压或低于地。

当电路简化比较重要时,可以使用类似 68HC11 这样的单片处理器来直接驱动功率 MOSFET。这个芯片可以用于类似脉冲宽度调制,复杂的电机速控,以及控制桥式结构的多个功率 MOSFET。当处理器用于单片工作方式时,并行输出端口 B 的 8 个端子中任何一端都可以用于驱动逻辑电平功率 MOSFET。这时要使用一个较大的栅极串联电阻来减小芯片的功率损耗及噪声。这也意味着开关时间明显变慢。这种安排有可能造成因功率 MOSFET 的失效而给处理器带来损害。尽管当电源开关复位时 B 端口会全为零,但仍需要用 一个下拉电阻接地以保证电源断开时 MOSFET 也被断开。在某些应用场合,在给功率 MOSFET 加电源之前,有必要用软件对其栅极驱动进行初始化。

在 D 端口使用选通信号则可以使处理器 B 端口工作在选通状态。当 B 端口数据有效后,选通信号全变为高,这样就可以用在锁存的场合或用逻辑器件驱动功率 MOSFET。当被控器件须保持严格同步时,这种方式很有用。

当处理器用于扩展内存方式时,B 口和 C 口可以用作地址总线 and 数据总线。68HC24 的端口替换单元可以用软件透明方式来代替 B 端口。这样系统设计就可以使用 68HC11 和 68HC24 及扩展内存,而且最终产品将只用 68HC11。

6.6.5 其它栅极驱动

在某些情况下,脉冲变压器是驱动功率 MOSFET 栅极的有效手段。变压器提供桥式配置或控制一个接地负载的 N 沟道 MOSFET 所需的隔离。这类电路中最简单的一个例子就是表 6-5 中的第一个电路,各种电路中所讨论的上升、下降、延迟时间都被列在表中。

电路 1 中的二极管仅仅是用来限制出现在驱动级晶体管 Q1 上的回扫电压。在电源为 15V 情况下,选择变压比为 1:1 的变压器就可以给次级提供合适的电压。电路中一个潜在的问题是占空率影响了 V_{CS} 的值,这是由于次级通断期间的电压与时间乘积之和为零,如图 6-31 所示,增加占空率会降低栅源电压的最大值。例如,占空率增长到 33% 以上,在 15V 电源情况下,峰值栅极电压会降到 10V 以下,并且会逐渐降低到使器件不再工作在线性区。当然如果初级源电压设置为 20V,那么就可以增加最大可允许占空率。

除了上述(电压-秒)限制之外,电路 1 的变压器布局也存在最大最小脉宽限制。尤其在最小脉冲变压器中,若脉冲过宽,由于磁饱和的原因,会使电流在初级绕组中过流。另一方面,很短的脉冲也会导致出现两个问题。首先在小脉冲导通期间的一个有效时间段中,变压器泄漏电感会限制电流输出能力。另外脉冲宽度也应足够宽以允许磁化电流明显增加,这是由于贮存的能量(用磁化电感中的电流来定义)提供了 MOSFET 栅极的关断能力。为了减少由于脉宽变化而使 I_m 值变化引起的问题并且增强关断能力,可以使用图 6-32 中的电路。

对上述变压器栅极驱动电路的一个改进就是在箝位二极管上串联一个齐纳二极管(电路 2)。这样当 Q1 截止时,这个二极管就允许一个逆向电压附加在初级端上。当这个附加电压感应到次级上时,它就能提供更大的复位电压,使栅极更快地关断。自然,同电路 1 一样,它本质上存在占空率、脉冲宽度及频率限制。

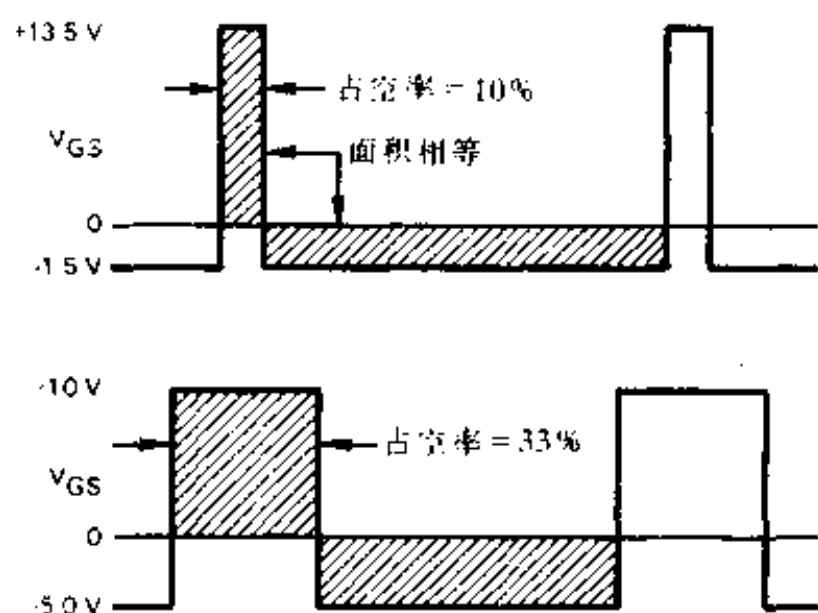


图 6-31 在脉冲变压器栅极驱动中
 V_{GS} 随占空率的变化

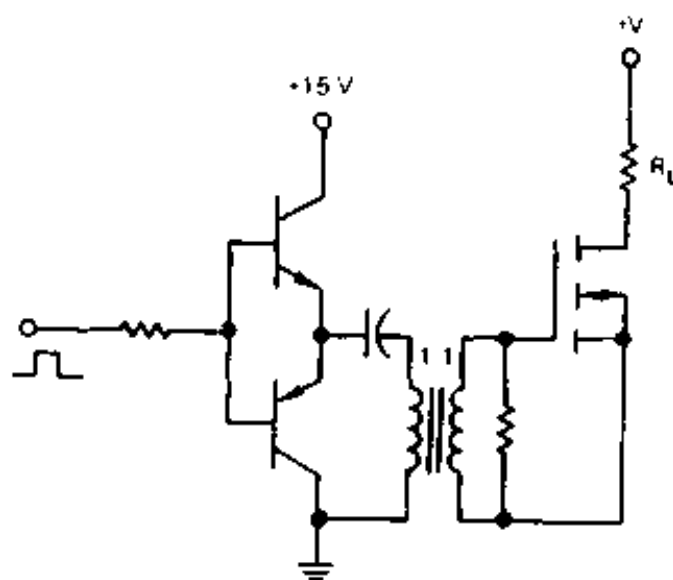


图 6-32 减小 I_m 随脉宽变化的电路

除了栅极电阻增大并且其中一个二极管并联之外，电路 3 同电路 1 是很相似的。这种配置会加速 MOSFET 的导通，相比之下却使关断变慢。当 MOSFET 的输入电容能够通过二极管快速充电时，那么它就应该通过两个阻值相对高的电阻放电。这样有助于减少感性回扫电压或者任何其它在快速关断时发生的不利情况。

在电路 4，另一种推拉式转换器用来驱动 MOSFET 的栅极。当 Q1 导通时，在下面的一个初级线圈上的 10V 电压将会在次级 N_2 上感应出同样的电势。由于 2:1 的降压比 ($N_1 + N_2/N_3$)，次级上这个电压就等于初级电压。截止时， N_2 的电势翻转并由 D1 箝位至 10V。这时， N_2 把电压感应到 N_1 ，虽然次级 N_2 上的电势极性翻转，但其值仍然是 10V。如果脉冲宽度足够宽以至于可以产生足够大的磁化电流，那么这种电路拉电流能力将是相当好的。

电路 5 与电路 6 是光耦合驱动电路。电路 5 是由光耦合输出产生一个低阻抗栅极驱动电路中最直接的方式之一。但这种电路的长开关延迟限制了有用的工作频率。这样的延迟在光耦合器件中是内在固有的，其值受到光晶体管输出负载阻抗的影响。在电路 6 中，阻抗变低了，栅极驱动截止延迟明显变短。除了电路 6 的复杂性之外，栅极驱动的双极型输出晶体管 Q2 应当在 MOSFET 关断的整个时间段内保持。如果效率是主要考虑因素的话，那么在低占空率工作期间，这两种驱动器能量损耗是比较临界的。

电路 7 和电路 8 同高性能栅极驱动是很相似的。双极型驱动器的电流如图 6-33 那样处于推挽工作状态。当输入脉冲正向传输时，触发了 MOSFET 的导通状态。Q1 导通时为 Q3 提供了所需的基极电流，并且 Q3 被 Baker 箝位以使其截止贮存时间最短。由于在 MOSFET 栅极和电源之间有低阻抗通路，故它们都具有非常好的导通时间。

当输入脉冲的下降沿被串联 R1 C1 微分后，出现截止，这样 Q2 导通。基极电流自由流进 Q4，箝位了栅极到地或一个负电压。箝位持续时间可以用调整 RC 网络的方法进行。在另一次脉冲输入之前，由于有 470Ω 的栅源电阻，MOSFET 将保持关断。

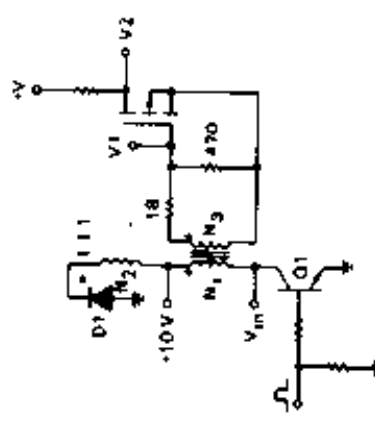
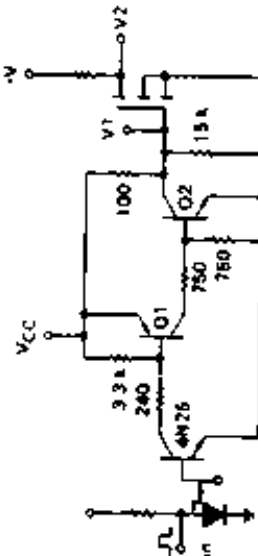
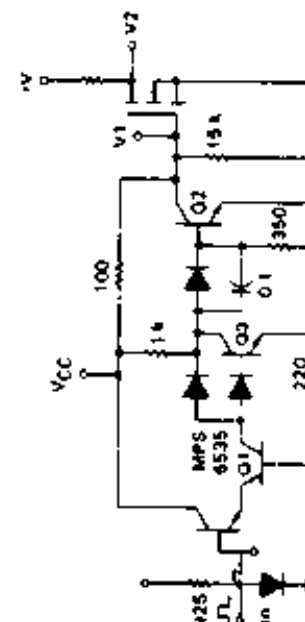
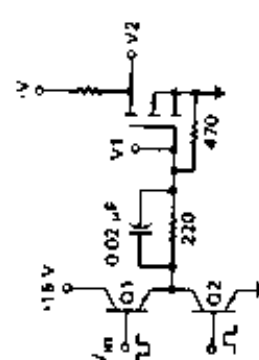
电路 9-12 都是用 TTL 器件同 TMOS 功率 MOSFET 接口的例子。电路 9 有一个 TTL 器件同 MTP12N10 非常简单的接口。TTL 器件选用的是开集电极、低功耗肖特基 8-反相器 SN74LS05。考虑到电路结构简单，导通速度较快，但为了防止当 TTL 输出为低时反相

表 6-5 不同 CMOS 栅极驱动的开关速度

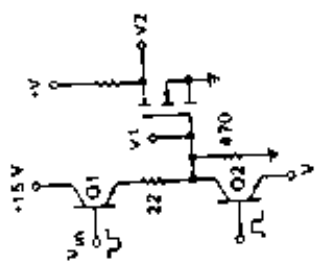
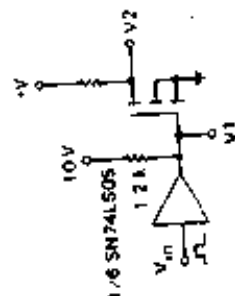
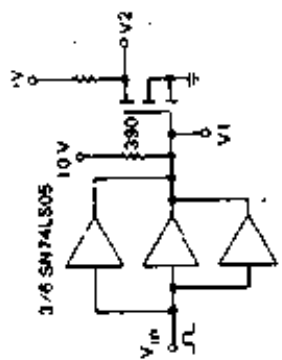
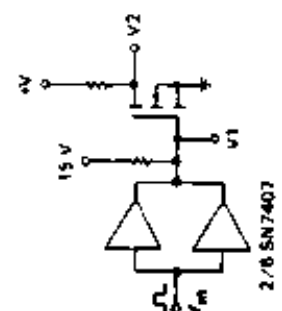
电路序号 和电路名	电路图	栅极开关时间 (ns)				漏极开关时间 (ns)			
		导通延迟 (V_{in} 对 V_1)	导通上升 时间	关断延迟 (V_{in} 对 V_1)	截止下降 时间	导通延迟 (V_{in} 对 V_1)	导通下降 时间	关断延迟 (V_{in} 对 V_1)	关断上升 时间
电路 1 简单脉冲变压器		15	85	35	230	25	25	185	20
电路 2 脉冲变压器/反 冲齐纳二极管		15	90	25	190	30	25	125	35
电路 3 脉冲变压器/ 升速二极管	附二极管 D1	30	95	220	1250	60	35	640	230
	无二极管 D1	50	1500	280	1100	220	340	660	230

* 数据采自第一代 TMCOS 器件,最近器件可能有变化。

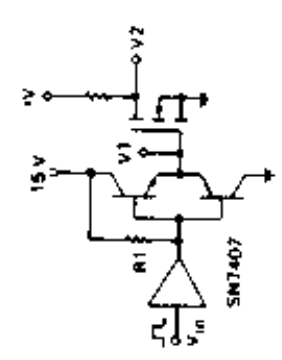
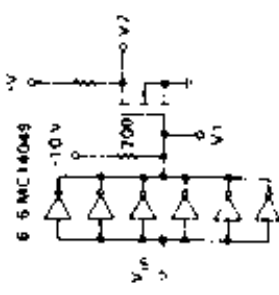
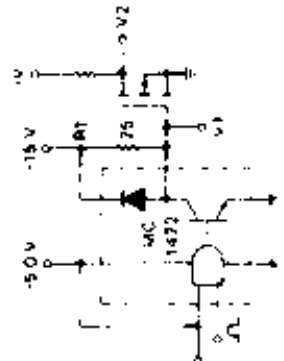
续表

电路序号 和电路名	电路图	槽极开关时间(ns)				漏极开关时间(ns)			
		导通延迟 (V_m 对 V_1)	导通上 升时间	关断延迟 (V_m 对 V_1)	截止下 降时间	导通延迟 (V_m 对 V_1)	导通下 降时间	关断延迟 (V_{io} 对 V_1)	关断上 升时间
电路 4 准推拉变压器 驱动		15	85	40	230	30	25	160	35
电路 5 标准光耦合电 路		3900	4600	1600	140	400	80	1750	20
电路 6 高 B.W 光耦合 电路		3700	420	450	120	3800	75	520	20
电路 7 高性能推拉电 路		20	60	25	30	30	20	45	15

续表

电路序号 和电路名	电路图	栅极开关时间(ns)				漏极开关时间(ns)			
		导通延迟 (V_{in} 对 V_1)	导通上 升时间	关断延迟 (V_{in} 对 V_1)	截止下 降时间	导通延迟 (V_m 对 V_1)	导通下 降时间	关断延迟 (V_m 对 V_1)	关断上 升时间
电路 8 高性能推拉电 路		20	60	45	70	40	25	85	15
电路 9 低功率肖特基 TTL		110	5000	60	600	480	1000	375	150
电路 10 并联低功率肖 特基 TTL		45	1800	30	210	180	310	140	50
电路 11 加上拉电阻的 并联 SN7407 缓冲器		25	710	30	140	60	130	30	

续表

电路序号 和电路名	电路图	栅极开关时间(ns)					漏极开关时间(ns)			
		导通延迟 (V_{in} 对 V_1)	导通上 升时间	关断延迟 (V_{in} 对 V_1)	截止下 降时间	导通延迟 (V_{in} 对 V_1)	导通下 降时间	关断延迟 (V_{in} 对 V_1)	关断上 升时间	
电路 12 驱动互补射随 器的 SN7407 缓冲器		30	140	20	20	50	20	40	10	
		60	430	20	20	110	40	40	10	
电路 13 并联 CMOS 反 相器 (MC14049UB)		30	920	20	130	100	160	90	30	
电路 14 双外围驱动器		370	100	170	80	280	50	230	15	
	* 变压器规格: 半导体铁氧体 3019P3CB $N_1=N_2=N_3=10$ 匝 # 19 三线绕组									

* 数据采自第一代 TMOS 器件,最近器件可能有变化。

器的功率损耗过大，而采用了阻值较大的 R1，因而导通速度就比较慢。在电路 10 中，采用了三个这样的缓冲器，将所有附加开关时间减少了三分之一。

在电路 11 中，又利用了一个有开集电极的 TTL 器件 SN7407，6 缓冲器中的两个并联工作并且只带一个负载电阻，再将 MOSFET 的栅极同高压 (30V) 输出晶体管的集电极相连。考虑到驱动电路如此简单，附加的开关时间还是相当小的。

就象前面谈到的那样，另一个 SN7407 的应用是用来驱动一个具体的互补射随缓冲器。降低上拉电阻 R1 的值就会在增加栅极截止功耗的前提下增加导通速度。

图 6-34 说的是 MTM12N10 由 CMOS MC14050CL 6 缓冲器来驱动。为获得最大灌电流与拉电流能力，所有 6 个缓冲器都并联使用。

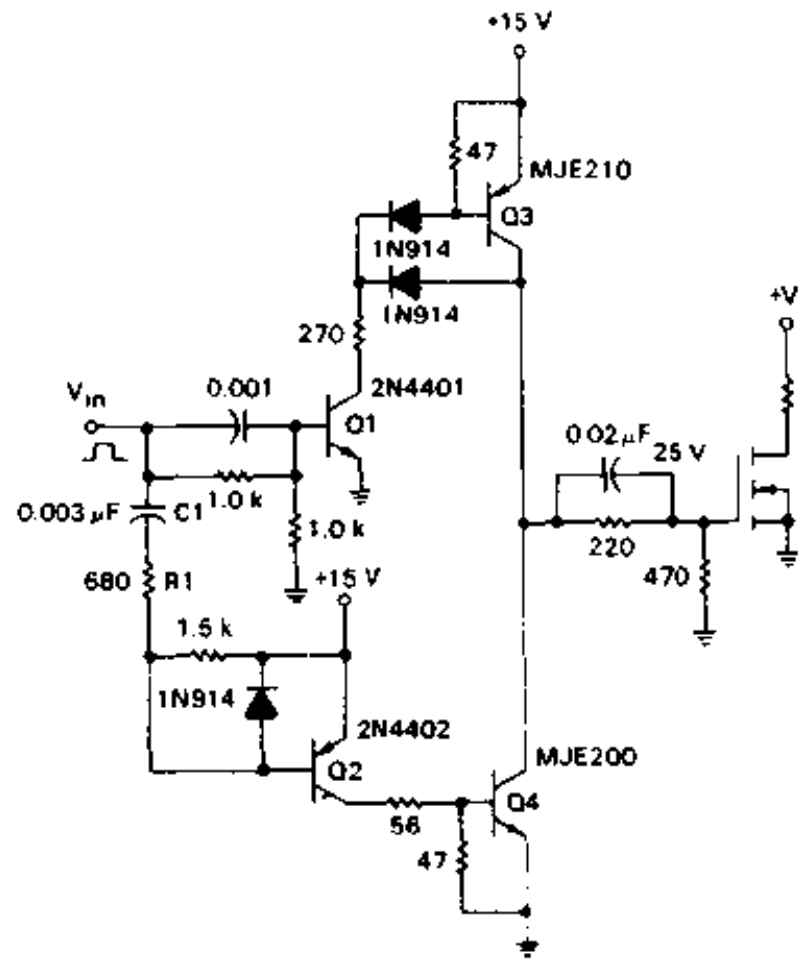


图 6-33 对电路 7、8 的推拉基极驱动

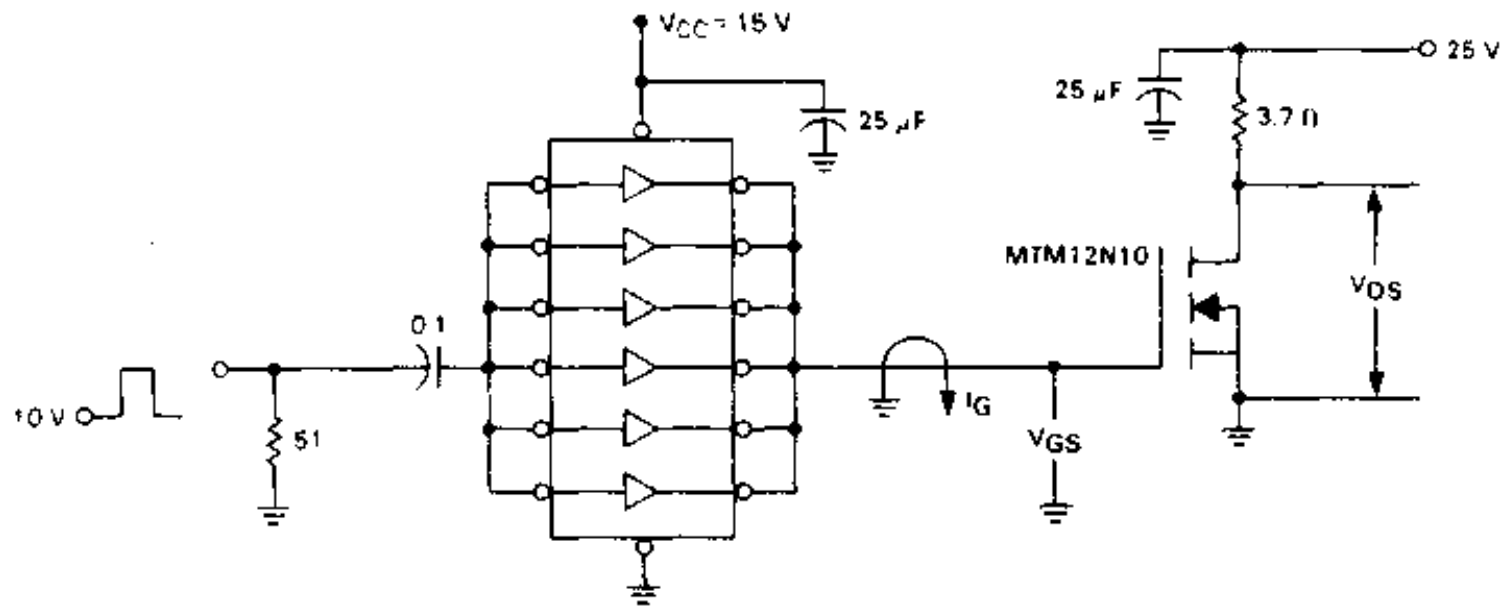


图 6-34 MC14050CL 六缓冲器用作功率 MOSFET 驱动电路

虽然其中的上拉电阻并不是非要不可（就象开集电极 TTL 器件），但它确实能够平衡 CMOS 缓冲器灌电流与拉电流能力。如果没有这个电阻，一般导通速度会更慢，但由于 CMOS 器件输出为低时不再需要从 R1 拉（漏）电流，则驱动电流效率更高。当以开关速度降低为代价，可以使用少于 6 个的并联转换器。图 6-35 是没有上拉电阻时的开关波形。在 6 个缓冲器并联的情况下，峰值电流 I_G 在导通期为 350mA，截止期为 900mA。

MC1450CL 并不比其它更精巧的驱动电路的速度更快，它提供了一种能和 CMOS、MHTL 直接接口的廉价单电源驱动电路。图 6-36 是 MTM12N10 被 MC14050CL 单缓冲器驱动的情况。注意时间刻度加倍是为了使 V_{GS} 能升到最高。栅极电流刻度缩小了四倍可以

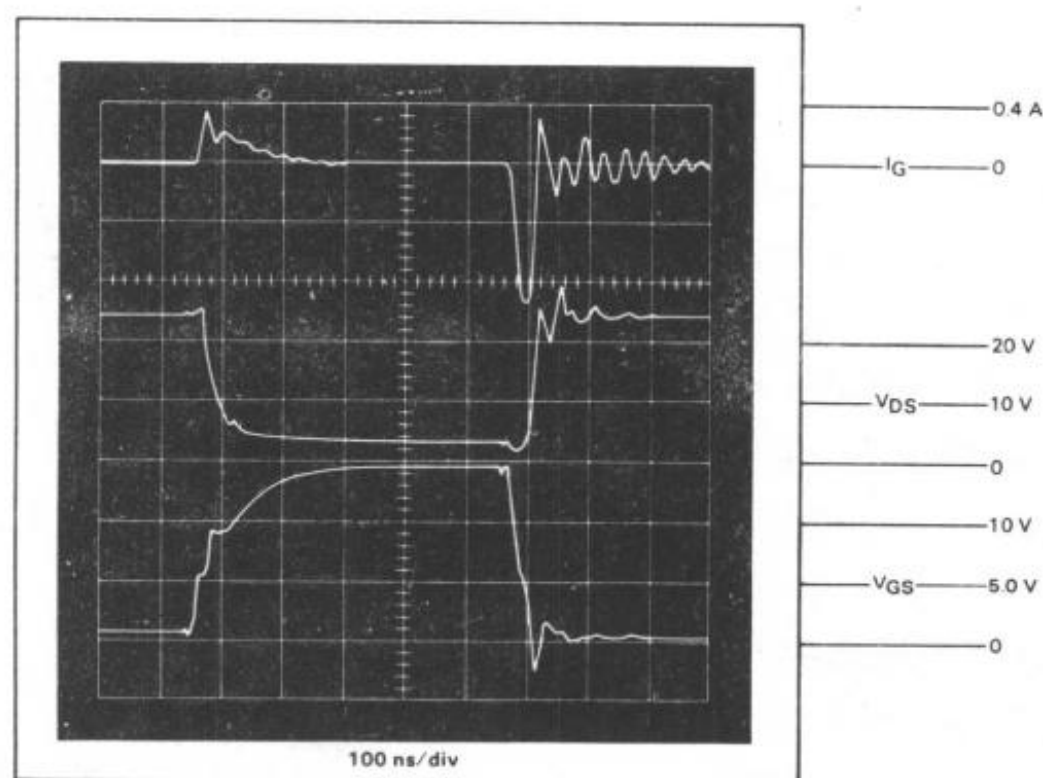


图 6-35 带 MC14050CL 六缓冲器的功率 MOSFET 开关波形
(6 缓冲器并联)

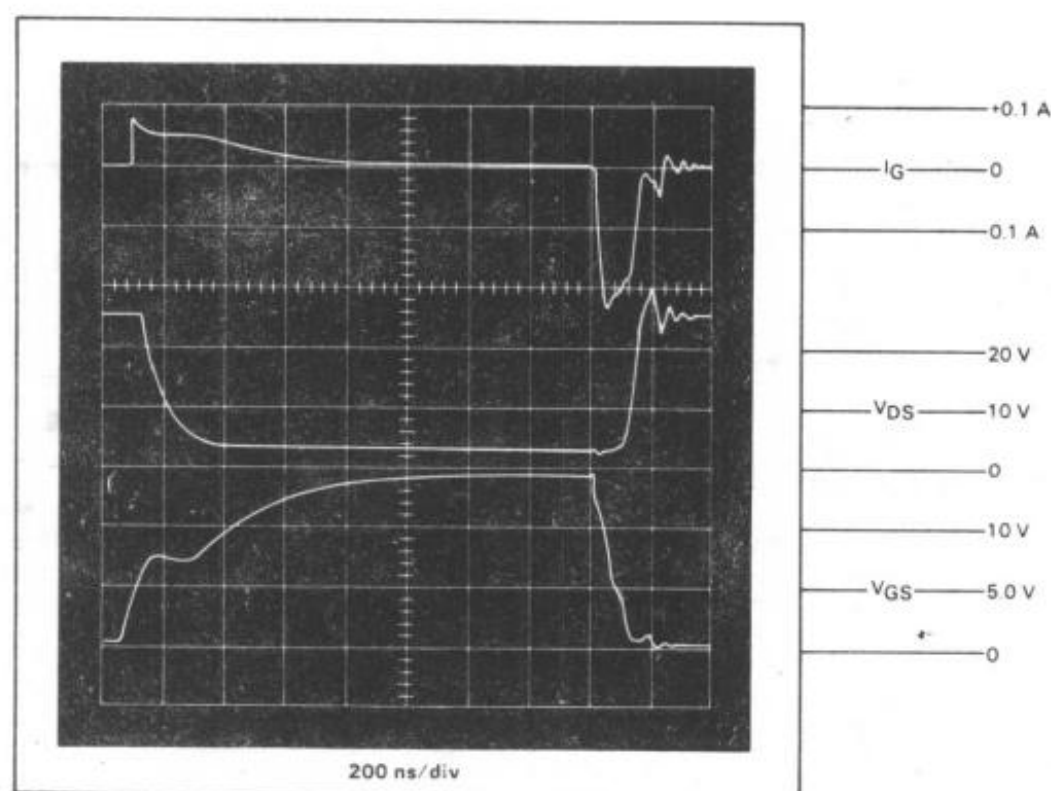


图 6-36 带 MC14050CL 六缓冲器的功率 MOSFET 开关波形 (单缓冲)

看到导通期峰值栅极电流为 70mA，截止期为 240mA。

许多集成电路原先是为其它应用服务的，但电路设计人员为寻找更高速、简洁、有效的 MOSFET 栅极驱动而采纳了它们。例如 MC1472，它是一个外围双驱动器，一般用来与逻辑 MOS 器件例如继电器、真空管、打印锤等高电流负载相接口的。因为两个输出晶体管的灌电流能力都是 300mA，当器件用于栅极驱动网络时，MOSFET 的关断时间很短。由于 R1 值很小，以至于在 MOSFET 输入电容充电期间它只是微弱地阻碍了电流，所以在电路 14 中导通时间也很短。这种推电流很大的优点又一次被一种能当 MC1472 输出为低时使

MOSFET 关断的电流所抵消。事实上,当上拉电阻为 25Ω , V_{CC1} 为 $15V$ 时,这时电流接近封装内的两个晶体管漏电流之和。

DS0026 时钟驱动器用来驱动具有高电容值的负载。其特点是:当容性负载等价于功率 MOSFET 的 C_{iss} 值时,其峰值输出电流为 $1.5A$,传输时间为 $30ns$ 。DS0026 的输入驱动电压同 54/74 系列兼容。有关传输时间、负载电容及功耗关系的更详细资料,见 DS0026 的数据手册。

图 6-37 是 DS0026 驱动 MTM12N10 的情景。为了说明 DS0026 能够输出高峰值栅极电流,在驱动输出和 MOSFET 的栅极之间没有电阻。应当记住,由于栅极电流的传输发生在纳秒级范围内,任何在栅极与驱动器之间的引线电感都会在电路产生 (L/R_g) 延迟。当要求开关时间很短时,应当使栅极与驱动级之间的距离尽可能短。

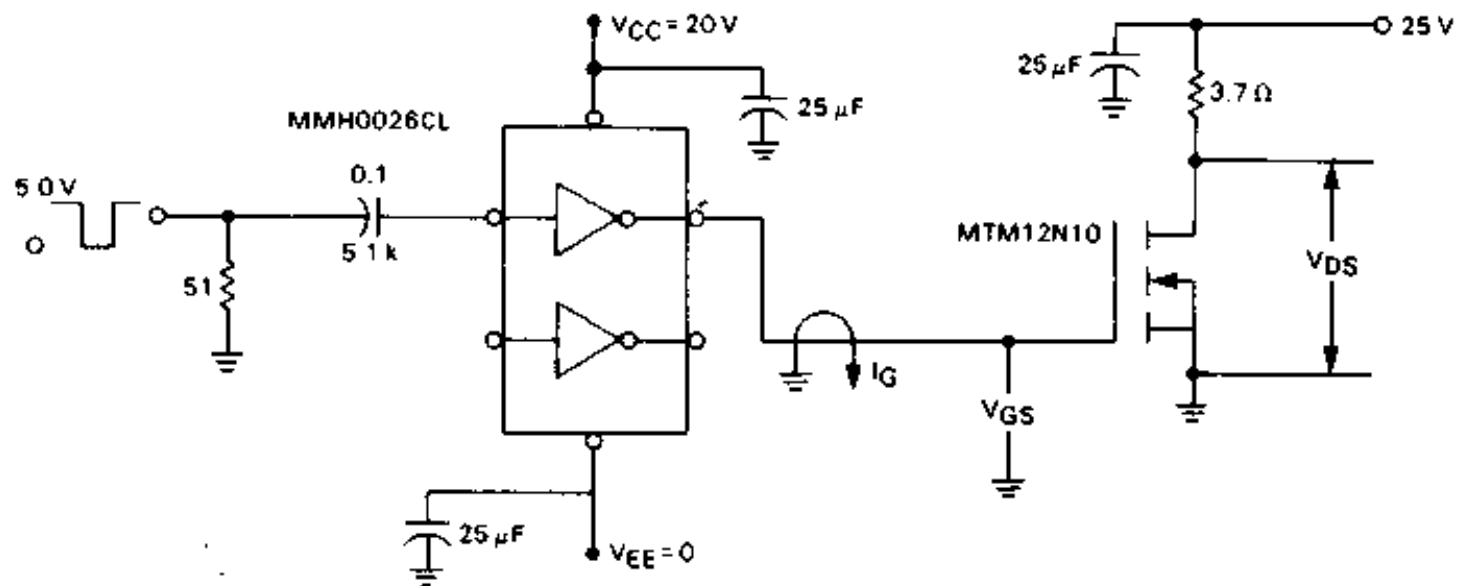


图 6-37 DS0026 时钟驱动器用作功率 MOSFET 驱动器

图 6-38 是 MTM12N10 的输入输出波形。最大漏极电流没有标出,是 $5.8A$ 。图 6-38 说明,在导通阶段,有 $1\sim 2A$ 的栅极电流毛刺,并在截止期间由于 C_{gd} 通过 3.7Ω 的负载电阻由 $25V$ 电源再次充电,故有 $1.5A$ 的反向电流脉冲。 V_{DS} 上升至 $25V$ 时的高压脉冲产生原因是 3.7Ω 负载电阻中的 $90nH$ 寄生电感形成的反冲。如果允许导通时间增加,这个漏极电压毛刺可以通过 MTM12N10 的栅极与 DS0026 之间插入一个合适值的电阻来抑制,当然插入电阻增加了时常数 $R_g C_{iss}$ 。

用其它集成电路来驱动功率 MOSFET 栅极的例子还有:MC1555 计时器,TL494 脉宽控制电路以及 MC75451 外围驱动器。由于功率 MOSFET 越来越多地被使用,故专为 MOSFET 设计的驱动电路还会出现。

6.6.6 高(电位)侧开关

在一些场合下,将负载同负母线相接是为了方便或者本身要求如此。这样,开关元件一般定位在正电源一侧,如图 6-39 所示。就象 PNP 和 NPN 双极型晶体管一样,P 沟道和 N 沟道功率 MOSFET 也能起这样的开关功能。下面对高电位侧开关的讨论集中在 P 沟道共源极结构,N 沟道源极跟随器上,如图 6-40 (a) 和 (b) 所示。所有引出的概念也适用于推挽电路或桥式设置中的上端开关。

图 6-40 (c) 说明,当 Q2 截止并事实上已在电路之外时,Q1 工作在源极跟随状态。

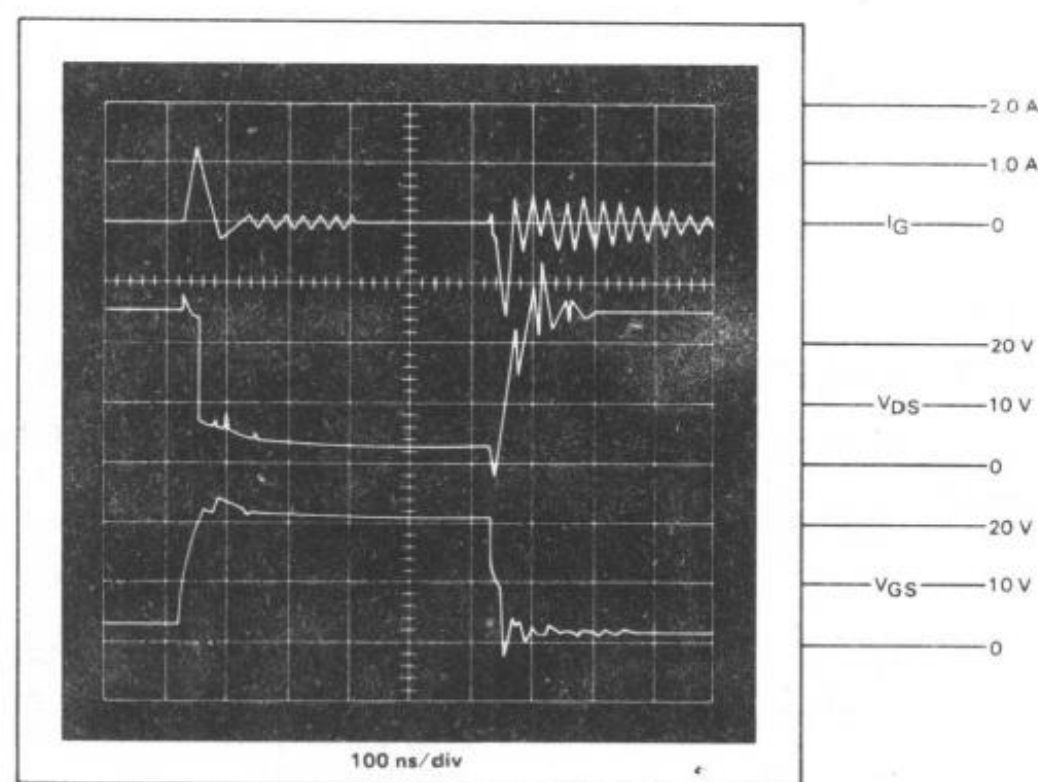


图 6-38 用 DS0026 时钟驱动器作驱动器时功率 MOSFET 的开关波形



图6-39 高电
位侧开关

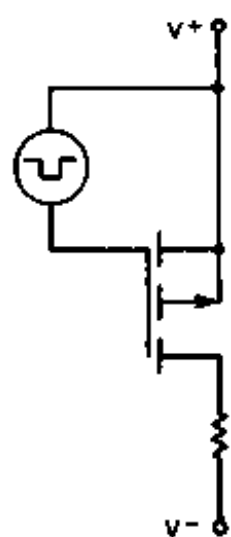


图6-40 (a) 在共源
极结构的 P-沟道

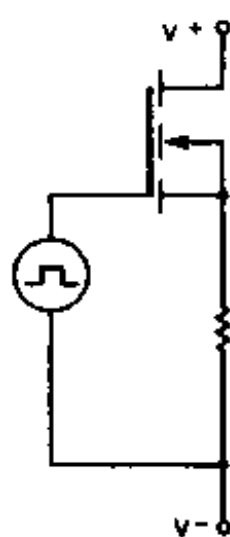


图6-40 (b) N 沟道作
为一个源极跟随器

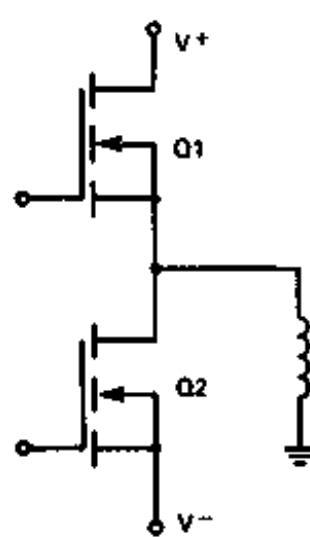


图6-40 (c) 推挽电路
需要高侧开关

6.6.7 P 沟道功率 MOSFET

为了与一些 N 沟道器件形成互补, Motorola 也生产了 P 沟道功率 MOSFET。因为 P 沟道器件的电流载流子是空穴, 而其迁移率要比 N 沟道器件的自由电子小, 这样在给定管芯尺寸和漏-源击穿电压的前提下, P 沟道 MOSFET 的 $R_{DS(on)}$ 总要大一些, 这就妨碍了互补器件的真正实现。例如, 如果要求导通电阻相等, 那么管芯尺寸不同就会导致那些取决于管芯面积的参数, 如: 电容, 脉冲电流率, 热电阻及安全工作区的差异。

具体应用中才会决定到底哪些参数如: 导通电阻, 漏-源击穿电压, 互导等应该更好的配合。表 6-6 比较了 MTP8P10 与其互补的 N 沟道器件相关电气参数。除了说明 MTP8N10 并不是 MTP8P10 的最佳互补器件之外, 表 6-6 还指出, P 沟道器件的管芯面积应当是 N 沟道器件的 2 倍, 才能在额定 V_{DS} 值相同的情况下达到导通电阻相等。

表 6-6 MTP8P10 与其互补 N 沟道器件参数比较

参 数 名 称		P 沟道	N 沟道			单位
		MTP8P10	MTP8N10	MTP12N10	MTP20N10	
漏极-源极电压 (最大)		100	100	100	100	V _{dc}
I _D	连续	8.0	8.0	12	20	A _{dc}
	脉冲	25	20	30	60	A _{dc}
最大功耗		75	75	75	75	W
门限电压		2.0~4.5	2.0~4.5	2.0~4.5	2.0~4.5	V _{dc}
导通电阻@I _D 2 (最大)		0.4	0.5	0.18	0.15	Ω
互导 (最小)		2.0	1.5	3.0	6.0	m Ω
输入电容 (最大)		1200	400	1200	1400	pF
输出电容 (最大)		600	350	500	1200	pF
反向转移电容 (最大)		180	150	250	400	pF
下降时间 (最大)		150	60	100	200	ns
上升时间 (最大)		150	120	150	450	ns
标称管心面积		1.0	0.45	0.66	1.0	—

* 数据取自第一代 TMOS 器件, 大多数现行器件的功耗有所差别。

就象 PNP 双极型晶体管那样, P 沟道功率 MOSFET 也能简化电路设置。例如, 用 P 沟道器件开关控制接地负载时获得的电路简化不仅仅是抵消了 P、N 沟道器件之间的价格差异。

在图 6-41 中, 源极接正电源, 漏极接负载。这样当 $V_{GS}=0$ 时, MOSFET 关断, 当 V_{GS} (负值) 以绝对值升高超过门限电压后导通。这样电流会自由地从源极流向漏极, 然后流向负载。这时仍旧要用以地为参考点的逻辑信号来控制栅极。一个电平转换器加上一个独立的射随缓冲器用来提供合适的逻辑电平。同时也为 MOSFET 提供快速开关。若要求开关速度稍慢, NPN-PNP 缓冲器可以省略。

6.6.8 N 沟道高电位开关

除了 P 沟道器件作为高电位开关, 另一种选择是用稍便宜一些的 N 沟道功率 MOSFET, 负载接在源极即源极跟随器。

由于源极跟随器没有电压增益, 所以在一定的负载电压情况下, 栅极电压就等于输出电压加上栅-源电压。同样为了有效地进行功率传输, 导通时的源极电压应当接近正电源电压 (被 $R_{DS(on)}$ 限制)。这样栅极电压应高于电源电压, 即: $V_G = V_{GS(on)} + V_S \approx V_{GS(on)} + V_{DD}$ 。对强栅极导通, V_{GS} 应大于 10V。因此, 12V 系统的栅极电压应当接近 22V。这种比 V_{DD} 供电还要高的栅极电压能够通过下列技术获得:

- (1) 采用比 V_{DD} 高 10V 的栅极独立供电。
- (2) 脉冲变压器。
- (3) 光隔离器。
- (4) 自举电路。
- (5) 倍压器。
- (6) 感性反冲。

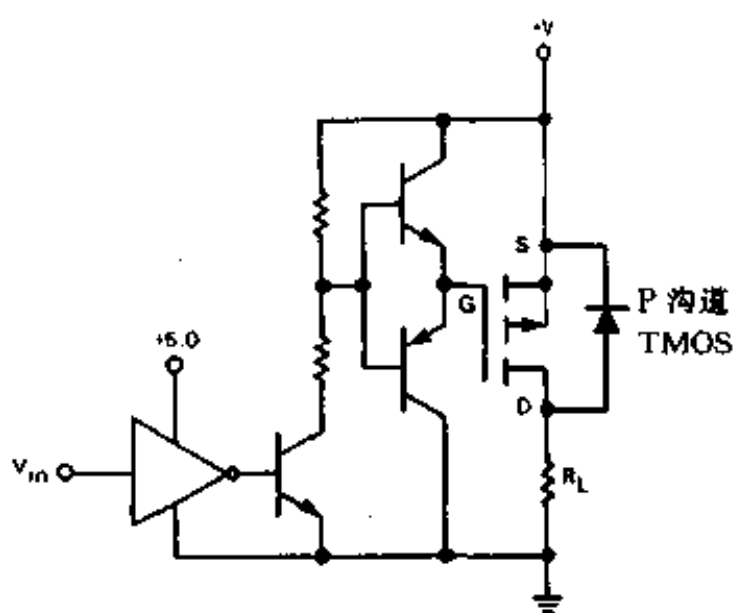


图 6-41 P 沟道 MOSFET 驱动一个接地负载所需的电平转换

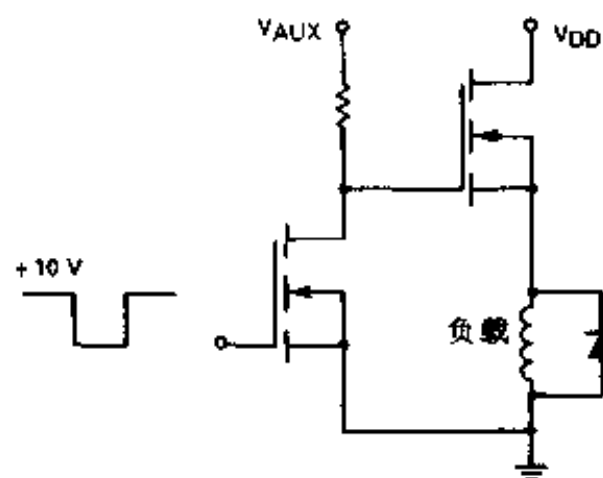


图 6-42 使用辅助电源的高电压侧开关

6.6.9 独立供电

用 N 沟道 MOSFET 实现高电位侧开关最直接的方法是用独立电源驱动其栅极(如图 6-42)。辅助电源电压应比 V_{DD} 高 10~20V 以激励其导通。一个明显的缺陷是电路需要用第二个电源, 尤其是因为其输出必须比普通高电压母线高。另一个考虑是由于反冲电压使栅-源结正偏, 故截止速度变慢, 除非采用一个二极管来箝位负载电感。

6.6.10 脉冲变压器

当 N 沟道 MOSFET 在桥式网络中作高电位元件或在其它网络中作高电位开关时, 脉冲变压器驱动是一种比较实际、较受欢迎的方法。如图 6-43 所示, 变压器驱动的好处在于

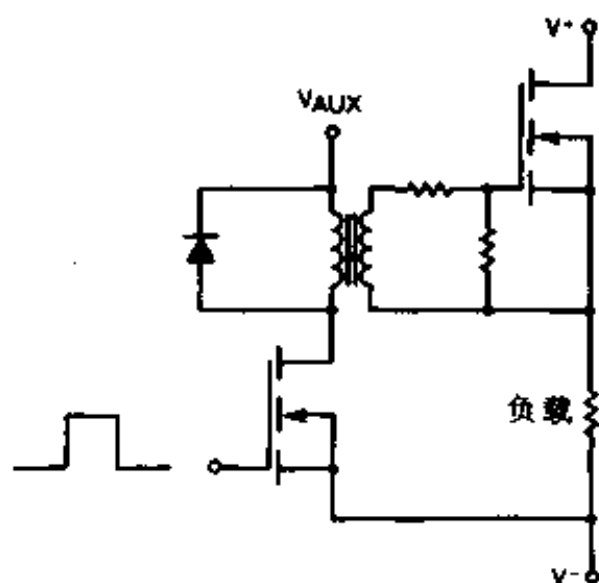


图 6-43 脉冲变压器驱动电路

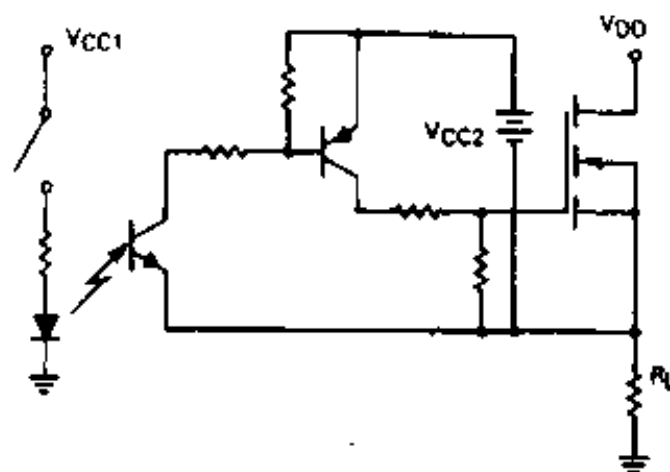


图 6-44 用光-隔离器驱动源极跟随器

栅极驱动信号很容易以 MOSFET 的源极作参考。电路 1 到电路 4 都具有共源极负载以及接正电源的漏极。对脉冲变压器栅极驱动设计的其它考虑也在上一节阐述了。

6.6.11 光隔离器

第三种驱动源极跟随器的方法是在光隔离器的协助下把 MOSFET 的源极作为栅极驱动信号的参考。图 6-44 就是这样一个例子。只要电源 V_{CC2} 和光隔离器的发射极保持以源极作参考, 那么负载就既可以共源极也可以共漏极。附加为光隔离器输出供电的电源应能够使栅极电压高于 V_{DD} 。这个电源要么与 V_{DD} 隔开, 要么采用自举技术从 V_{DD} 中产生。

6.6.12 自举电路

如果自举技术的局限性在某些应用中是无足轻重的, 或者能在某种程度上能够被克服, 那么自举技术简单明了的优点就可以使之成为方案之一。图 6-45 中的自举线路产生了所需的栅源信号。因为在 $C1$ 中存贮的有限电荷最终会被泄漏掉, 所以这种布局的主要问题就是负载不能无限期的保持打开状态。第二个问题就是因为 $C1$ 将被充电至系统电源电压, 接着这个电压将加到栅源两端, 所以这种电路不能用于开关高电压。幸好在需要接地负载的许多应用中, 例如自动化工业中, 电源电压是同这种自举方法相兼容的。

6.6.13 倍压器

如图 6-46 所示, 使用倍压器, 栅极电压可能升得比源极电压和电源电压高得多。使用二极管和电容的电压倍增器需要一个振荡器输入信号。通过使用四-2 输入或非门 MC14001 搭成的非稳态多谐振荡器就能简单而廉价地实现这种输入信号。门 $G1$ 和 $G2$ 形成多谐振荡器, 并联的门 $G3$ 和 $G4$ 作为驱动倍压网络的低输出阻抗缓冲。当这些门被加上同 MOSFET 高电位开关一样的电源 V_{DD} 时, 由于二极管 $D1 \sim D3$, 电容 $C1$ $C2$ 以及 FET 输入电容 C_{iss} 的倍压效应, 倍压器的输出 (输入到 FET 的栅极) 将达到 V_{DD} 的两倍。当然 V_{DD} 不能超过 CMOS 最大值 (+18V)。

如果随着将 V_{DD} 升高以期望达到更大的开关输出电压, 那么 CMOS 供电可以用齐纳箝位, 而且可以级联更多的二极管-电容网络来升高栅极电压。

如图所示的元件参数会使非稳态多谐振荡器的频率达到 350kHz。通过给门 $G3$ 、 $G4$ 的第二输入端加指定的控制信号, 这个信号开关能被选通为 ON 或 OFF。但由于 CMOS 集成电路输出功率低, 就使其开门速度低, 一般是几十个毫秒。这就使这种电路只能应用在低速开关场合中。关断时间实质上的改进可以通过使用一个输出电容 C_{oss} 来使箝位晶体管放电。

6.6.14 反冲转换器

图 6-47 是使用反冲转换器来实现使栅极电压超过电源电压的电路。反冲转换器中使用的开关是 MTD6N15, 一种功率 MOSFET, 它很容易由 100kHz 的 CMOS 非稳态多谐振

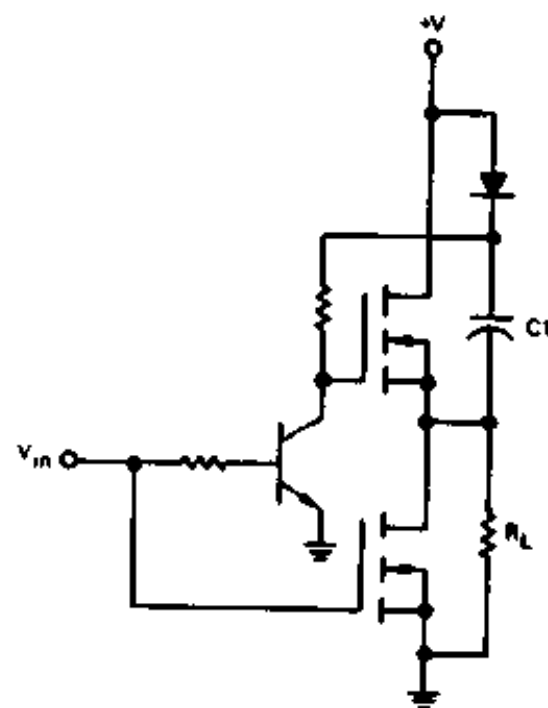


图 6-45 自举电路中用 N 沟道 TMOS 功率 MOSFET 驱动一个接地负载

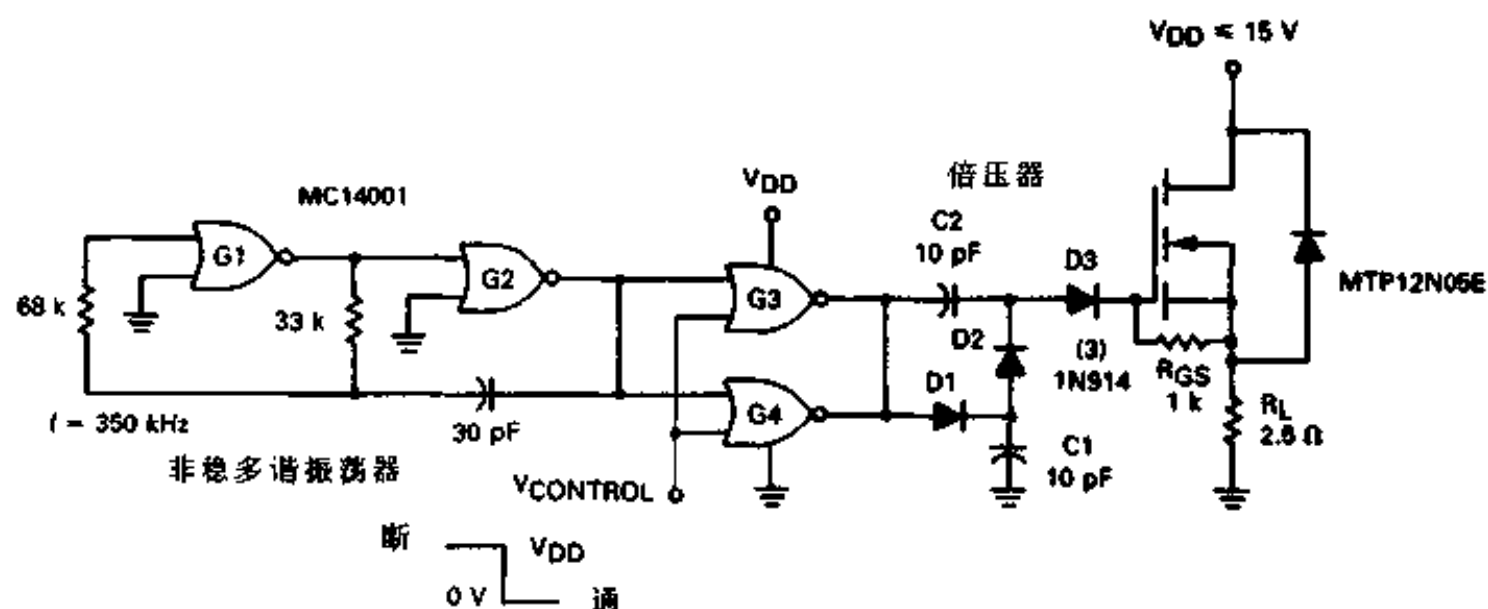


图 6-46 用倍压器驱动 N 沟道源极跟随器

荡器来驱动。这个电路使用了 MC14572 六反相器中的两个作为多谐振荡器，其余四个并联后作为 FET 的栅极驱动， C_{iss} 的充电峰值电流大约为 25mA。当 Q1 (MTD6N15) 导通时，漏电流激增至 0.8A，关断时，反冲电压达 60V。电感贮存的能量转至二极管-电阻-电容负载电路以提供功率 FET 开关 Q2 的偏置，栅源电压大约为 13V (栅地电压 28V)。当 Q1 导通时，串联的 15V 齐纳二极管这时堵塞 V_{DD} 使之不能达到 Q2 的栅极。

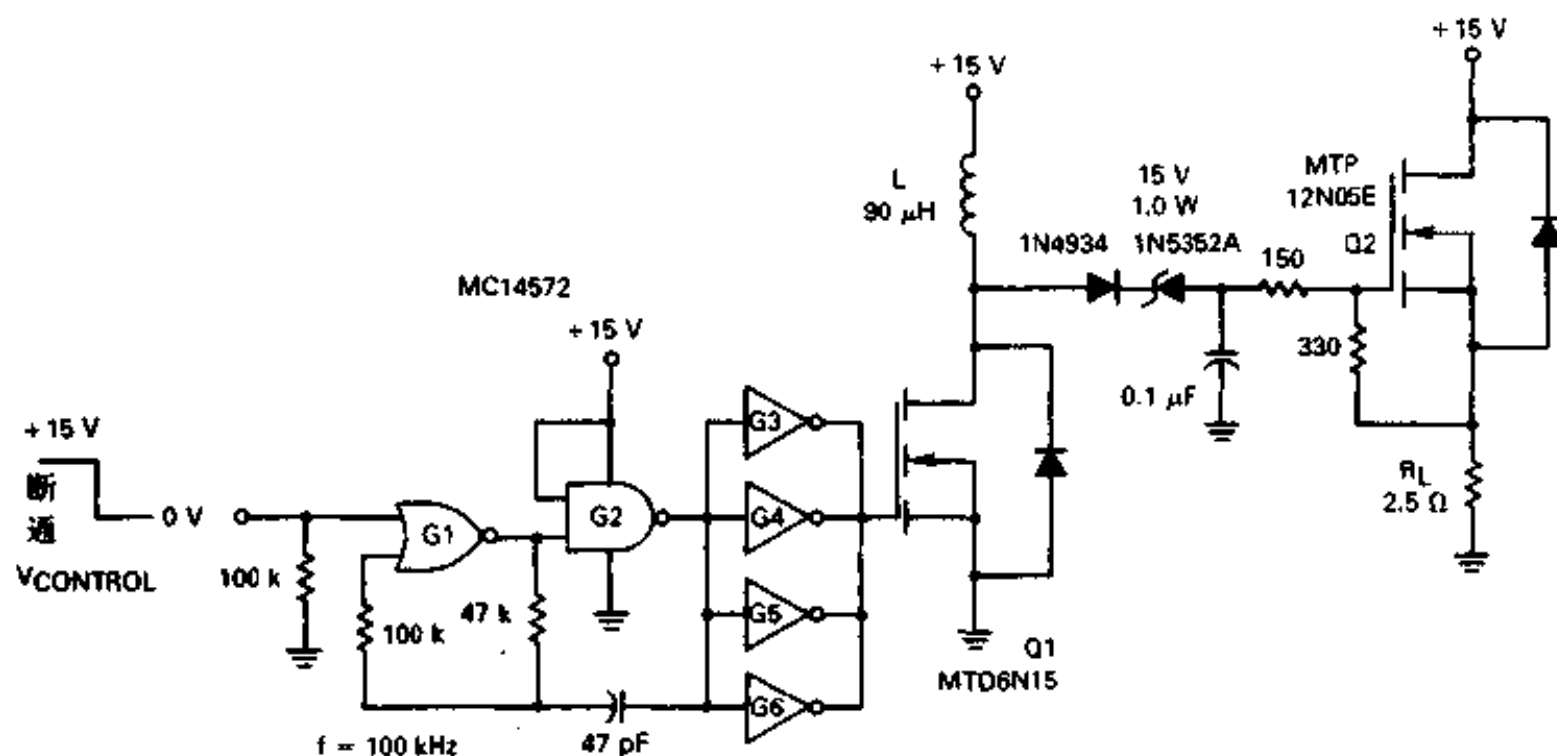


图 6-47 用反向转换器驱动 N 沟道源极跟随器

在这个栅极驱动下，Q2 的 V_{DS} 在有 6A 的负载时，大约为 0.5V， $R_{DS(on)}$ 为 0.08Ω。这就计算出大约有 97% 的电压转换 (94% 的功率转换)。

在以前讨论的源极跟随器栅极驱动电路中，功率开关的打开是用一个零逻辑电平输入到或非门 G1 的一个输入端上来实现的。但对这种电路来说，关断的开关速度快了很多，为 0.15ms。这是由于转换器栅极驱动功率输出相对高的缘故。

这种栅极驱动也能够用在推挽 (全桥或半桥) 电路中，其中高电位开关本质上也是源极跟随器。详细资料请看第九章“电机控制”。

第七章 功率 MOSFET 的并联

7.1 在开关应用中功率 MOSFET 的并联使用

在许多应用场合, 功率 MOSFET 最大的优点就是它们可以并联在一起以增加导通电流和开关功率容量。在所有 MOSFET 导通电流的模式下, 其器件电流分配是很重要的问题。这些模式有:

- (1) 静态条件下的完全“导通”。
- (2) 包括暂态(导通和关断)条件和脉冲条件下的开关应用。
- (3) 漏源二极管也传导电流时的应用。
- (4) 线性应用。

由于每种情况都需要不同的考虑, 所以在把 MOSFET 看成一种很容易并联使用的器件之前, 应当对每种情形进行独立讨论。下一节说明, MOSFET 在某些推荐的条件下得到满足的情况下, 在四种情形中都可以并联使用。

7.1.1 静态电流分配的设计考虑

尽管结温度的增加增大了静态导通电阻并增加了功率 MOSFET 的传导耗损, 但有些优点得明显归因于 $R_{DS(on)}$ 的正温度系数。如果芯片中某部分电流开始激增, 那么该区域的温度也增加, 进而使芯片这部分的 $R_{DS(on)}$ 值增加, 电流也会向管芯中温度较低、较不活跃的部分流动。这种特性可以用来解释器件一般在整个管芯工作表面有分享电流的倾向。在功率 MOSFET 的一般工作条件下, 均避免了电流过值或热点现象, 故没有必要降低器件额定值来防止二次击穿。

由于 $R_{DS(on)}$ 正温度系数的缘故, 对有关器件内均分电流的讨论很容易延伸到并联器件中。就象存在于单一芯片管芯工作区的 $R_{DS(on)}$ 值不平衡一样, 器件与器件之间的 $R_{DS(on)}$ 不平衡或失配会导致器件之间初始运载电流不平衡。结果引起的结温度增高使有最小 $R_{DS(on)}$ 值器件的静态导通电阻增大从而会减少该器件的漏极电流, 也会在并联器件中建立更均等的电流分配。

当明显观察到这种现象后, 对电流分配的影响程度被夸大了。在功率 MOSFET 器件中, 电流分配机制并不是简单地由高结温度引发的, 而是由不同 $R_{DS(on)}$ 值器件间不同的 T_j 值引起的。由于通常 $R_{DS(on)}$ 的热温度系数较小, 所以结温度的差异在获得很大程度的电流均分上还是有很大作用的。

由于最终的考虑是可靠性最好, 故重点就不应放在在 T_j 中获得较大的 δ 值以产生更大程度的电流分配。相反, 重点应放在降低最热器件的 T_j 值上。在不损害散热能力的前提下, 这是通过并联器件紧热耦合来实现的, 这就倾向于减少管壳和结的温差。在讨论这些概念之前, 应当先知道产品中 $R_{DS(on)}$ 值的各种差异范围。

除非器件的静态导通电阻完全相同，否则它们的漏电流总会有些不同。最糟的情形是将 $R_{DS(on)}$ 值相差最大的器件并联起来。为获得在同一类晶片之间 $R_{DS(on)}$ 值的变化范围的概念，以两类 MTP8N20 晶片为例加以说明。除了表 7-1 中关于 $R_{DS(on)}$ 的数据之外，还有一些以后要讨论到的对动态电流分配起重要作用的其它参数数据。由此可见必须为 $R_{DS(on)}$ 最差情况，失配 30% 作准备。

表 7-1 MTP8N20[®] 的两类晶片的 $R_{DS(on)}$ 、 g_{FS} 以及 $V_{GS(th)}$ 的变化情况

晶片类别	$R_{DS(on)}$		g_{FS}		$V_{GS(th)}$		样品数量
	最小	最大	最小	最大	最小	最大	
晶片类 1	0.231	0.297	3.704	4.878	2.300	4.080	100
晶片类 2	0.239	0.305	3.571	4.878	3.685	3.910	50

* 数据来自第一代 TMOS 器件，最新器件数据可能有偏差。

$R_{DS(on)}$ 值受漏电流值和结温度的影响。反过来， I_D 和 T_J 是功率损耗的函数，而功率损耗又取决于 $R_{DS(on)}$ 。散热质量和器件之间的热耦合也影响 I_D 和 T_J 。这样在给定 $R_{DS(on)}$ 失配的情况下，这种互相关关系就使得确定各器件之间分流程度的分析性尝试变得相当复杂。下面有一个迭代分析过程的例子可用来完成上述任务。 I_D 失配的估值在某种程度上取决于初始假设。

设计考虑包括以下几点：

- (1) 最高结温度 125°C。
- (2) 在最大功率耗损时，当 $T_A = 35^\circ\text{C}$ ，有足够的散热能力使管壳温度保持在 90°C。
- (3) 最差情形为 MTP8N20 的 $R_{DS(on)}$ 失配为 0.230Ω 到 0.400Ω， $I_D = 4.0\text{A}$ ， $T_J = 25^\circ\text{C}$ 。

在这些条件下，应先确定 I_D 、 P_D 和 T_J 的最大变化范围。首先 $R_{DS(on)}$ 的热系数 C_T 应根据静态导通电阻和漏极电流的关系曲线（图 7-1）得出。

$$C_{T(I_D=8.0A)} = \frac{\Delta R_{DS(on)}}{\Delta T} = \frac{R_{DS(on)}(T_J=100^\circ\text{C}) - R_{DS(on)}(T_J=25^\circ\text{C})}{100^\circ\text{C} - 25^\circ\text{C}}$$

$$= \frac{0.47 - 0.32}{75^\circ\text{C}} = 0.002\Omega/^\circ\text{C}$$

除了假设 C_T 不随温度和漏电流变化之外，同样假设器件之间的散热热耦合忽略不计。根据 MTP8N20 的最大结温度 ($T_J = 125^\circ\text{C}$)、管壳温度 ($T_c = 90^\circ\text{C}$) 以及结到外壳的热电阻 ($R_{\theta JC} = 1.67^\circ\text{C/W}$)，最大功率损耗和外壳环境热电阻很容易计算出来。

$$P_D = \frac{T_J - T_c}{R_{\theta JC}} = \frac{125^\circ\text{C} - 90^\circ\text{C}}{1.67^\circ\text{C/W}} = 20.96\text{W}$$

$$R_{\theta CA} = \frac{T_c - T_A}{P_D} = \frac{90 - 35^\circ\text{C}}{20.96\text{W}} = 2.62^\circ\text{C/W}$$

由于 $R_{DS(on)}$ 值最小的器件所耗损的能量最多，

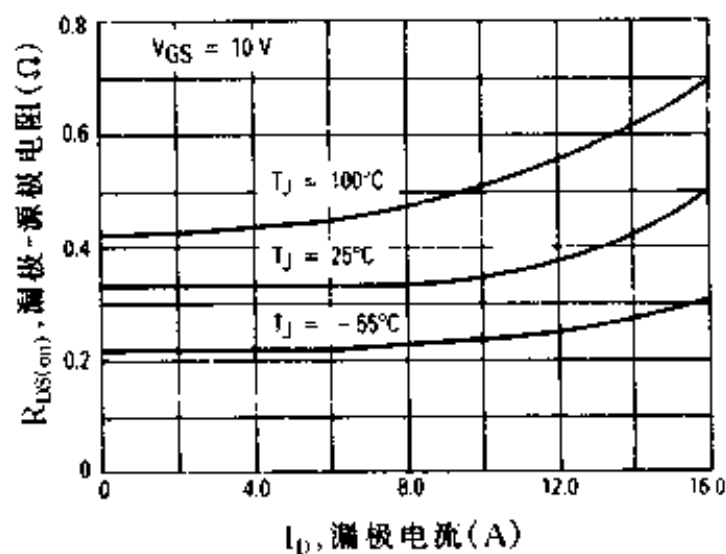


图 7-1 相对于漏电流的导通电阻
—— MTP8N20

故注意力先放在这类器件上。当 T_J 为 125°C 时，其 $R_{DS(on)}$ 、漏极电流和 V_{DS} 是：

$$\begin{aligned} R_{DS(on)|T_J=125^\circ\text{C}} &= R_{DS(on)|T_J=25^\circ\text{C}} + (T_J - 25^\circ\text{C}) \cdot C_T \\ &= 0.230 + (125 - 25) \times 0.002 \\ &= 0.430\Omega \end{aligned}$$

$$I_D = \sqrt{\frac{P_D}{R_{DS(on)}}} = \sqrt{\frac{20.96}{0.430}} = 6.98 \approx 7.0\text{A}$$

$$V_{DS} = I_D \cdot R_{DS(on)} = 7 \times 0.430 = 3.0\text{V}$$

在确定一个高阻器件同一个低阻器件并联的工作条件时，应当采用迭代法。方法是估计低温器件的结温度并以此计算此 T_J 条件下的 $R_{DS(on)}$ 、电流和功率散失以及新的结温度。计算一直进行，直到过程收敛至准确结果为止。

第一个迭代过程是：

$$T_J = 100^\circ\text{C};$$

$$\begin{aligned} R_{DS(on)|T_J=100^\circ\text{C}} &= R_{DS(on)|T_J=25^\circ\text{C}} + (T_J - 25^\circ\text{C}) \cdot C_T \\ &= 0.400 + (100 - 25)0.002 = 0.550\Omega \end{aligned}$$

$$P_D = \frac{V^2}{R_{DS(on)}} = \frac{3^2}{0.550} = 16.3\text{W}$$

$$\Delta T_{JC} = P_D \times R_{\theta JC} = 16.36 \times 1.67 = 27.33^\circ\text{C}$$

$$\Delta T_{CA} = P_D \times R_{\theta JA} = 16.36 \times 2.62 = 42.87^\circ\text{C}$$

$$T_J = \Delta T_{JC} + \Delta T_{CA} + T_A = 27.33 + 42.87 + 35 = 105.2^\circ\text{C}$$

再经过两次迭代后，算法收敛。结果列在表 7-2 同低阻器件进行比较。表中除列出可忽略不计的热耦合的管壳之外，还列出了理想的热耦合管壳环境以便进行比较。两个例子的折衷是在最热的器件 (119°C 对 125°C) 更高的结温下，热耦合几乎不能取得更大程度上的电流分享。由于 $T_{J(max)}$ 最直接影响稳定性，故鼓励使用紧热耦合。通过把并联芯片安装在同一散热片上，生产厂家实现了紧的热耦合。

表 7-2 失配 MTP8N20 的静态分流性能

参数名称	少量管壳热耦合		最佳管壳热耦合	
	$R_{DS(on)}$ 最小器件	$R_{DS(on)}$ 最大器件	$R_{DS(on)}$ 最小器件	$R_{DS(on)}$ 最大器件
$R_{DS(on)}@T_J=25^\circ\text{C} (\Omega)$	0.230	0.400	0.230	0.400
$I_D (\text{A})$	7.00	5.38	7.14	5.24
$P_D (\text{W})$	21.0	16.1	21.3	15.7
稳态 $T_J (^\circ\text{C})$	125	104	119	110
$R_{DS(on)}@稳态 T_J (\Omega)$	0.430	0.558	0.419	0.570

上述计算中很重要的一点是，稳态热电阻被用来计算结温度。在脉冲条件下， $R_{\theta JC}$ 变化很显著，从热响应曲线获得的瞬态热阻应参与计算。在开关瞬态期，没有足够的时间建立结温之间的差异，功率 MOSFET 不会以相同的方式来分享电流。

7.1.2 动态电流分配的设计考虑

“动态”这个概念在这里被推广了,使得不仅仅包括导通和关断期的电流,而且包括在窄脉冲和小占空率时的峰值电流。在这些条件下,没有足够大的有效值电流以引起结的产热差异,而这正是触发器件分享电流的倾向。既然支持静态电流分享观点的理论是基于因功率损耗和漏极电流不平衡引起的结温度差异,那么这种分析就不能支持动态条件下电流分享的概念。但是即使没有正温度系数带来的益处,在简单而有效的栅极驱动电路驱动下,功率 MOSFET 也能很正常地分流。

对于那些对并联 MOSFET 动态电流分配感兴趣的人来说,最关注的问题有如下几条,我们将逐条进行描述。

- ① 影响动态电流分配的器件参数。
- ② 不同类相关器件参数之间的不同点。
- ③ 取得电流安全分配所需的器件参数。
- ④ 开关速度对动态电流分配的影响。
- ⑤ 电路布局的要求及其影响。
- ⑥ 自激振荡的可能性。

1. 影响动态电流分配的器件参数

影响动态电流分配的器件参数有:互导(g_{FS}),栅-源开启电压($V_{GS(th)}$),输入电容,以及静态漏源导通电阻($R_{DS(on)}$)。但在导通期和关断期,最能精确决定并联 MOSFET 电流分配是否正常的器件参数是互导,即漏极电流和栅-源电压的关系。为在导通和关断期内获得最佳电流分配,理想状况是让具有完全相同互导曲线的器件的栅源电压同时升高(或降低)。这样的组合可以确保器件通过工作区状态转换时,器件不会因为电流不平衡而超载。图 7-2(a),7-2(b)和 7-2(c)显示了通过匹配的 g_{FS} 曲线可以获得近似完美的电流分配。在示波器显示的电流波形中,由于电流探针的影响导致波形有 20ns 的延迟。

既然对于每个器件都画出 g_{FS} 曲线是很费时间的,那么可以用一种比较简单的方法使并联 MOSFET 匹配是在某些漏极电流点上匹配 $V_{GS(th)}$ 或 g_{FS} 。许多文献都谈及匹配 $V_{GS(th)}$ 的重要性, $V_{GS(th)}$ 的定义是,能导致一个小的漏极电流(通常定义为 1.0mA)开始流动的最小栅极电压,但这并没有精确指出在更高的电流情形下, I_D 对 V_{GS} 的曲线形状。对于 1.0mA、门限变化范围为 2V 的器件通常不会(但却很有可能)有超过 100mA 的完全相同的互导曲线。相反,在 100 个 MTP8N20 中,器件虽然有最大的 g_{FS} 曲线差异,但开启电压差只差 4%。因此为获得最佳电流分配,理想的方法是使用有完全相同 g_{FS} 曲线形状的器件,比较开启电压不是最佳方法。

另外一个简单却更统一的方法是在栅极电压高于开启电压时,比较它们导通的最大漏极电流。例如图 7-2 中的四个器件,它们就有几乎完全相同的 g_{FS} 曲线,如图 7-3。虽然这和比较开启电压有些相似,但这个方法匹配的是与器件的实际应用有更密切关系的 g_{FS} 曲线上的点。

2. 不同类相关器件之间的参数差异

为了完全地分配动态电流,在对所需匹配的类型和程度做任何明确的结论之前,必须先了解不同类别器件相关参数的差异。为了这个目的,选取了两类 MTP8N20 集成块,样品

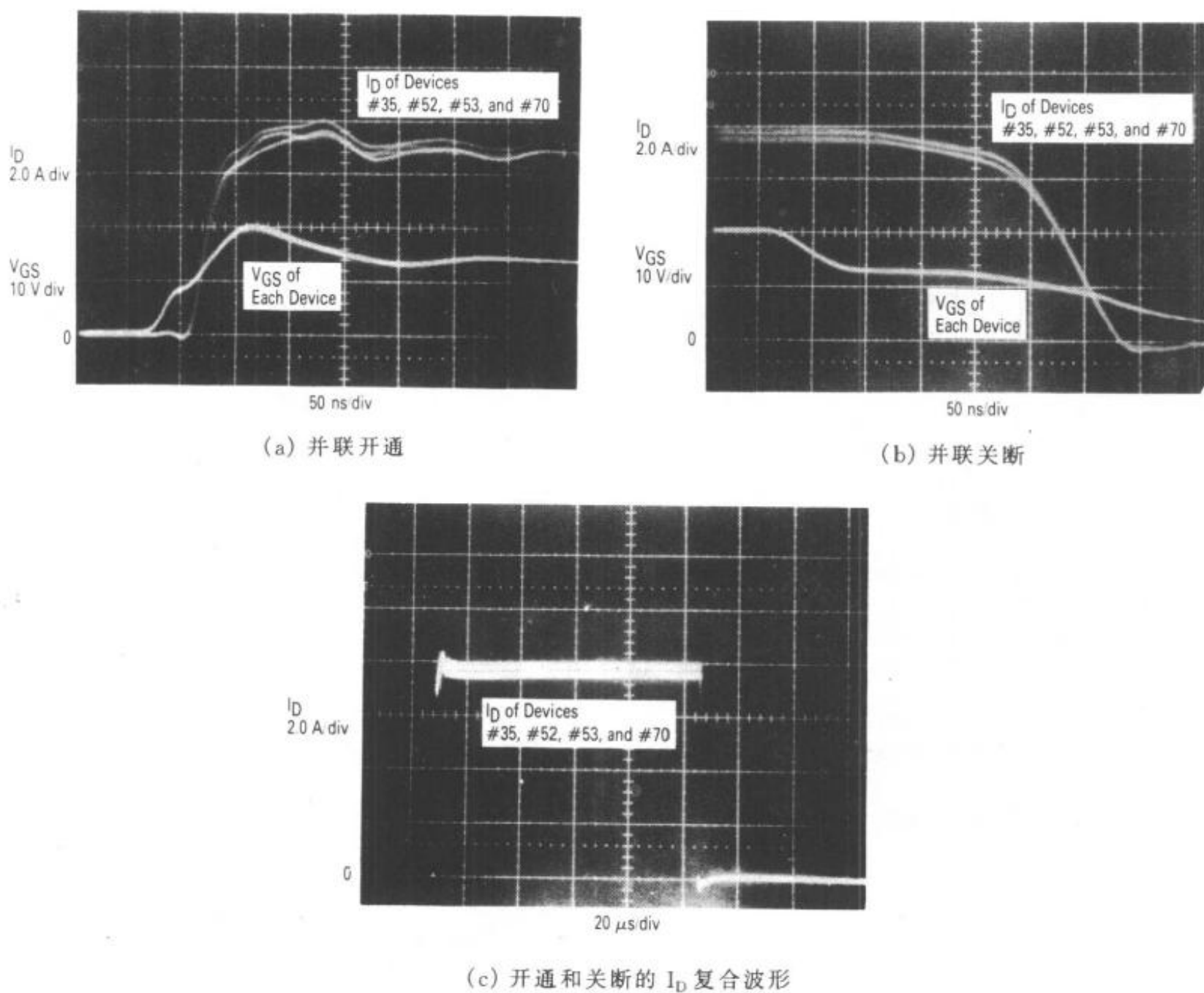


图 7-2 四个匹配的 MTP8N20 并联后 I_D 波形——电阻性负载（延迟 20ns 的漏电流波形）

数量分别是 100 个和 50 个。在表 1 中说明了其开启电压、互导、静态导通电阻的最大值和最小值。图 7-4 显示了类别 1 中 g_{FS} 曲线间的最大差异，类别 2 也有相似结果。

显然，在这些相关参数中，比预期的差异更大的可能性随着抽样类数目的增加而减小。在可得到的器件中为获得足够的抽样，用户应当用不同的日期码来标注器件，或者从不同的销售商手中获取芯片。

3. 为电流安全工作所需的匹配

在确定其可能的差异程度之后，器件的特点、匹配与不匹配的结果都能被观察到。用于确定的电路如图 7-5 所示。对电路进行的一些可能的修改包括给栅极加串联电阻以减慢导通和关断，加另外一个 MOSFET 来箝位栅极母线到地以观察快速关断的结果。

在讨论阻性开关时，既然用匹配互导曲线的方法已取得很好的效果，所以图 7-2 可作为比较的标准。应当尽可能小心地提供纯阻性负载。1.6Ω 的电阻负载是由几个 39Ω 和 62Ω 的石墨电阻在两个铜片之间并联而得到的。虽然漏极电路的负载电感很小，在快导通期间，时常数 L/R 可能是限制电流时间的因素，但却未限制 MOSFET 的开关速度。

最糟情况之一是将 g_{FS} 曲线失配最大的器件并联在一起。如图 7-4 中所示，在晶片类 1 中存在 g_{FS} 曲线差异最大的情况，说明其中一个器件将在其它三个器件导通之前，随着 V_{GS}

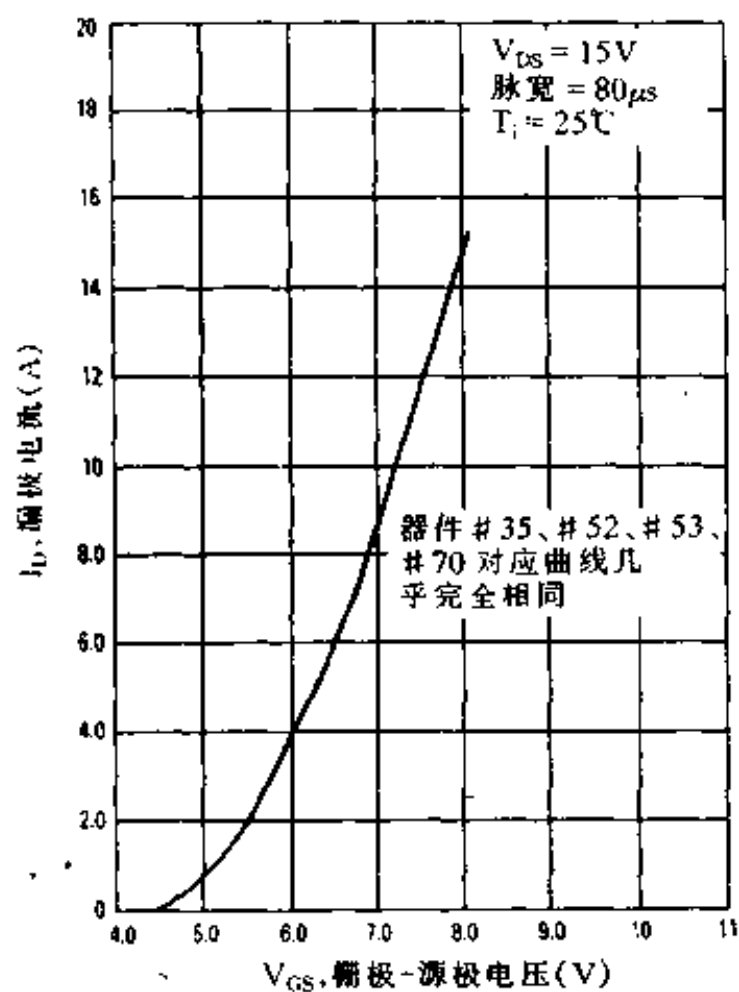


图 7-3 匹配的 MTP8N20 的互导曲线

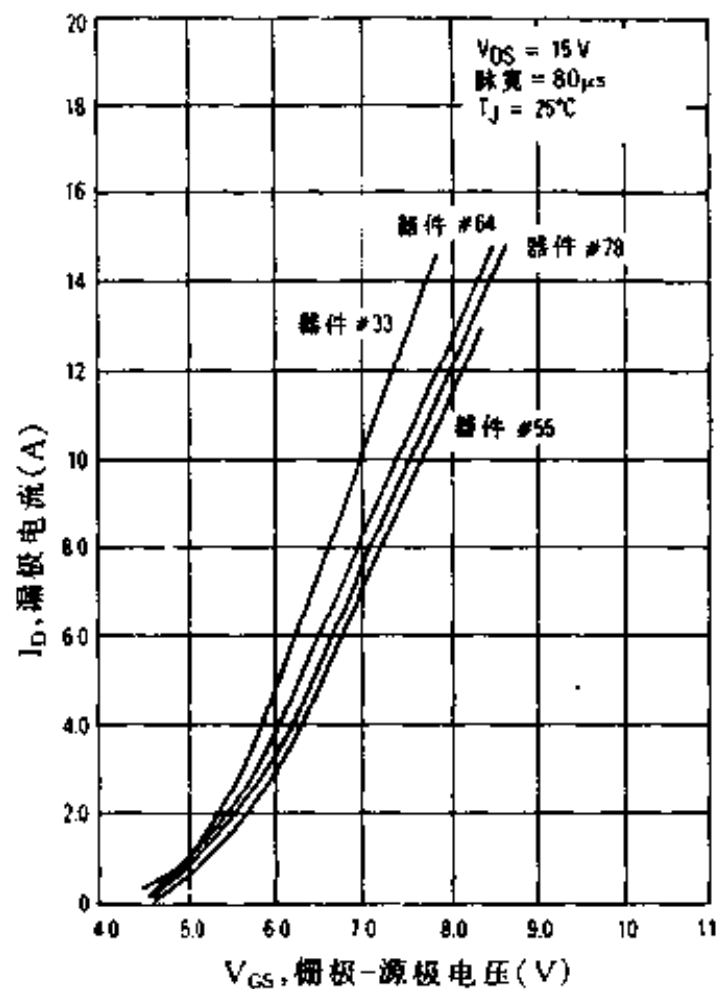


图 7-4 在第一组中差别最大的那些互导曲线

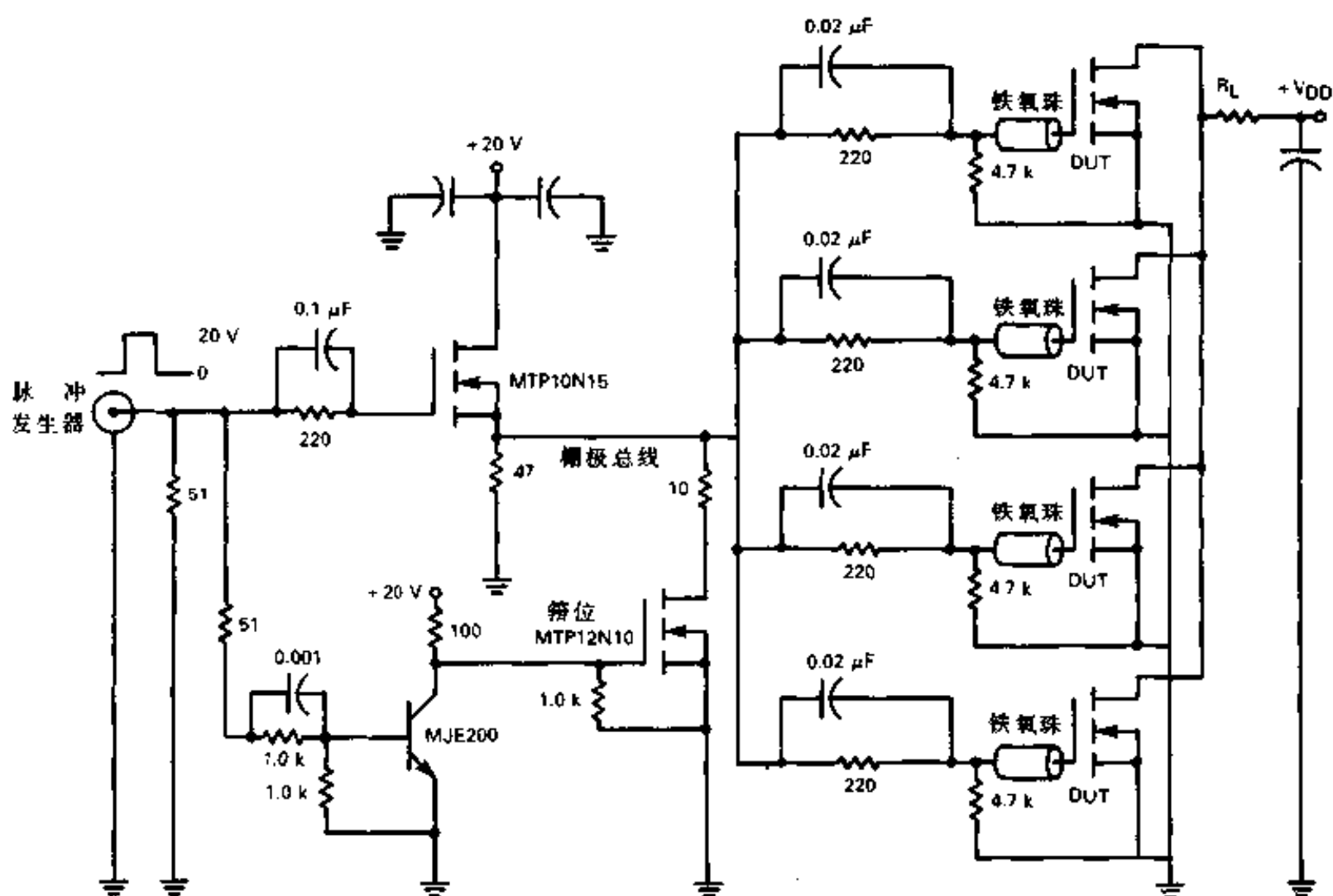
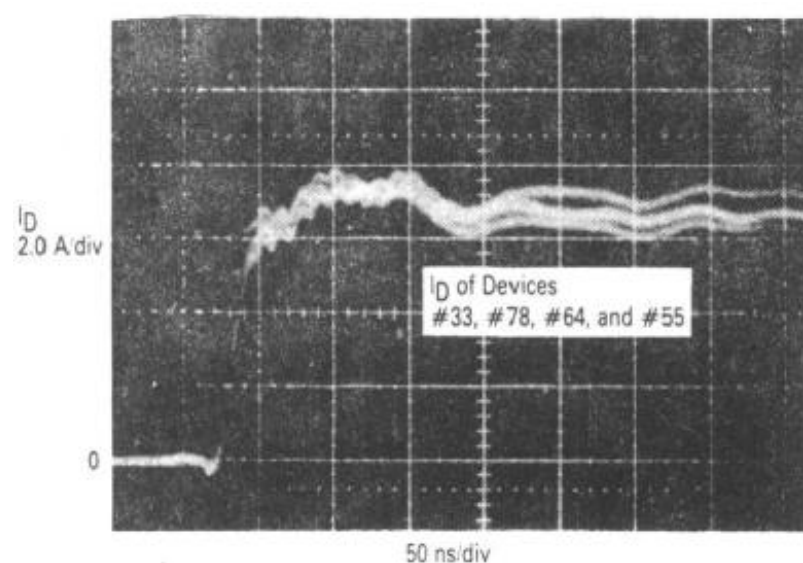
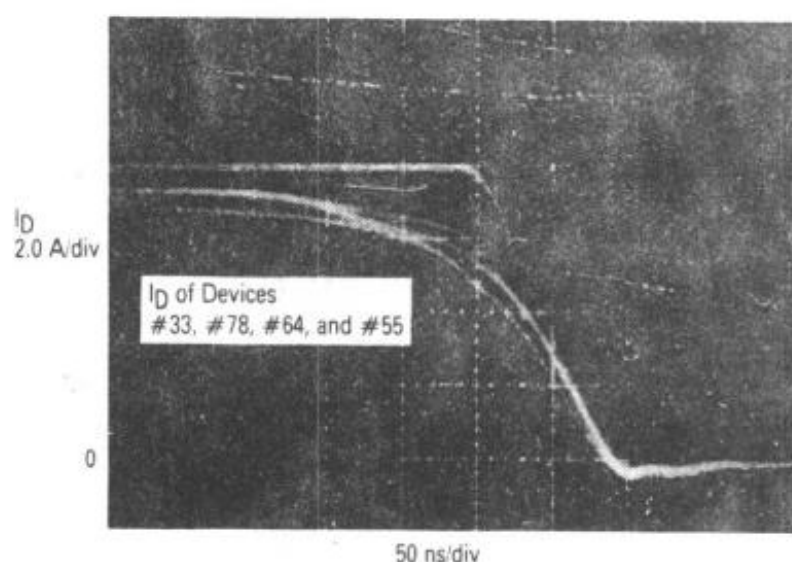


图 7-5 动态电流分配的测试电路

的上升最先导通。可以预测器件 #33 将首先导通,也有可能因电流过载而产生元件损伤。但是由于这些失配器件的 I_D 对 V_{GS} 曲线差异比较小,一般不会发生元件损伤。如图 7-6 所示,



(a) 并联开通

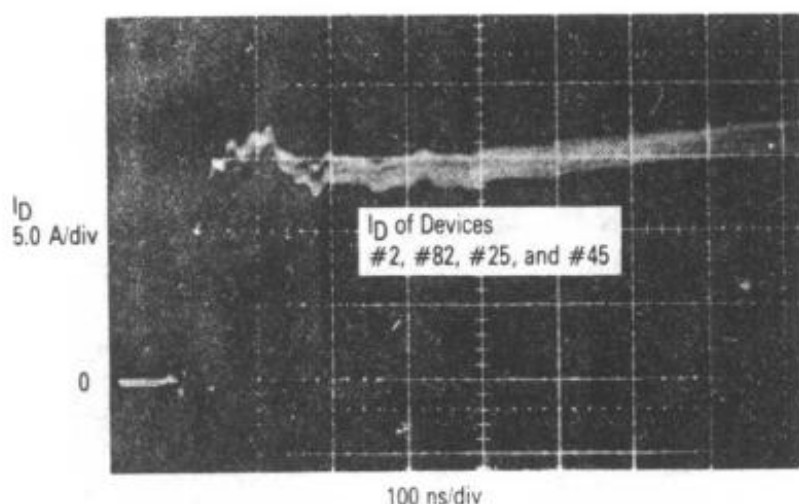


(b) 并联关断

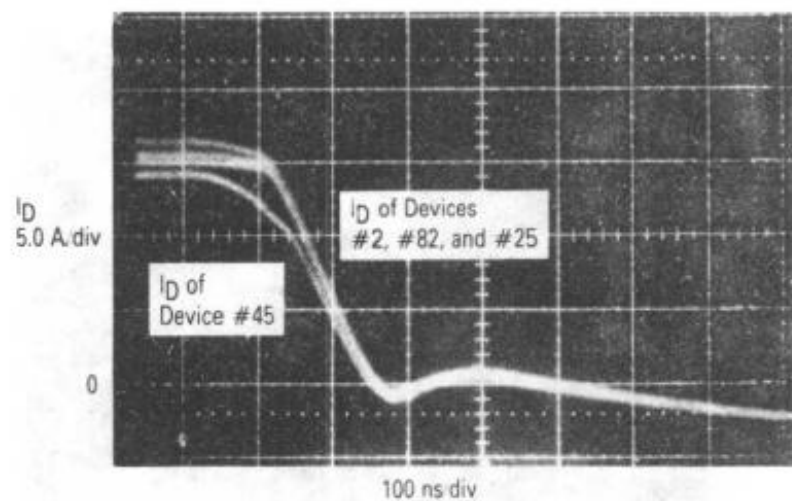
图 7-6 四个失配的 MTP8N20 并联时 I_D 波形——电阻性负载

这些失配元件在给定电路中并联工作并没有产生明显的可靠性威胁。

如图 7-7 所示, 匹配 1.0mA 开启电压不能保证产生象匹配 g_{FS} 曲线那样所得到的近似完美的结果。虽然其开启匹配在 2% 以内, 但 g_{FS} 曲线失配相当大 (图 7-8)。这会导致器件 #45 的关断比其它几个稍早。摄下来的波形说明这一组的功能是相当不错的。比较来说, 图 7-9、图 7-10 的器件 g_{FS} 曲线是相当相似的, 但截止时间则欠理想。



(a) 并联开通



(b) 并联关断

图 7-7 四个开启电压匹配的 MTP8N20 并联时单个 I_D 波形——电阻性负载

由于两类 MTP8N20 特性非常相似, 能想象到的最差失配也是找不到的。为了研究因参数间的差异而导致的结果, 使用一个 MTP12N10 加上三个与之比较匹配的 MTP8N20。MTP12N10 是一种同 MTP8N20 有相同管芯尺寸的 12A、100V 器件。表 7-3 和图 7-11 比较了参数的不同特征。这四个元件并联使用的结果如图 7-12 所示。

即使 MTP12N10 的互导曲线比 MTP8N20 的互导曲线上升更快, 但它却是最后一个导通的器件。这是由于米勒效应 C_{ms} (反向传输或栅-漏电容) 被器件增益有效的增大了。虽不存在彻底的“同时”, 但关断还是平滑的。当 MTP8N20 完全关断时, MTP12N10 刚进入工作区或者说是恒电流区。这时, 总负载电流已大幅度下降, 微小的不同步关断并没有对 MTP12N10 的开关速度造成威胁。

很明显, 对这种特定的应用, 即: 适中开关速度的阻性开关, 器件匹配增强了并联的工作性能, 但对安全工作而言却是不必要的。倘若有某种电路布局标准的话, 这个建议可

以推广到阻性和感性负载的快速和慢速开关上。

4. 开关速度对动态电流分配的影响

改变 MTP12N10 和三个 MTP8N20 的栅极驱动电路可能增加或者降低开关速度。去掉电路中四个 $0.02\mu\text{F}$ 的加速电容可以确定电流分配的好坏,这是因为对功率 MOSFET 来说,栅-源电压以相当慢的速度升降。另外由于器件 g_{fs} 曲线存在差异的缘故, MTP12N10 第一个导通,最后一个关断(图 7-13)。在开关速度比较慢时, $I_{\text{D}} \sim V_{\text{GS}}$ 曲线可以用来精确预测 I_{D} 波形。例如,当合成栅-源电压达 4.0V 时, MTP12N10 开始导通,但 MTP8N20 要 V_{GS} 达 4.5V 时才导通。既然 I_{D} 波形通过 g_{fs} 曲线同栅极电压的升降相联系并且在一条生产线上产品的 g_{fs} 曲线变化也不大,那么不匹配的 TMOS 功率 MOSFET 用作慢速开关时还是有一定安全保证的。

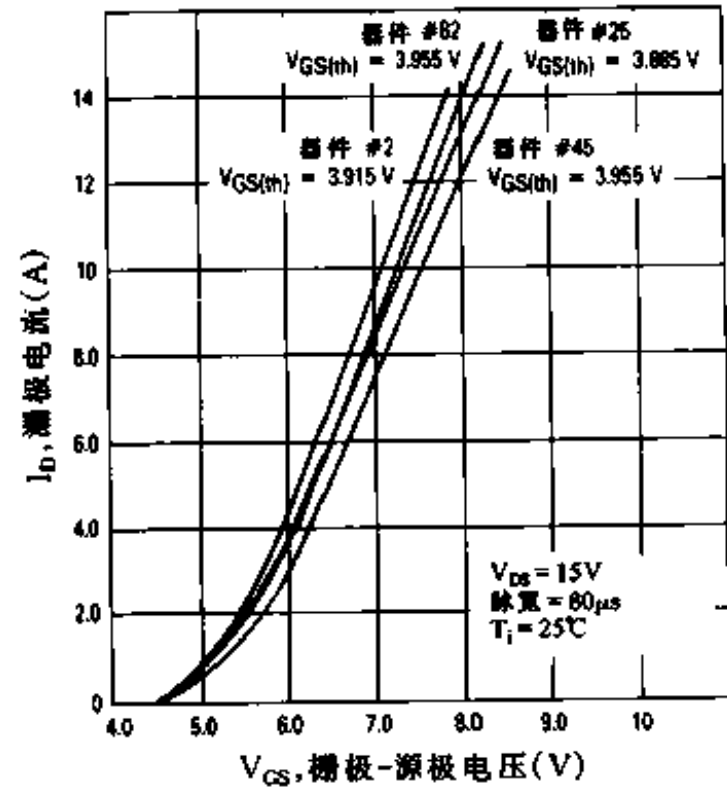


图 7-8 四个开启电压匹配的 MTP8N20 的互导特性曲线

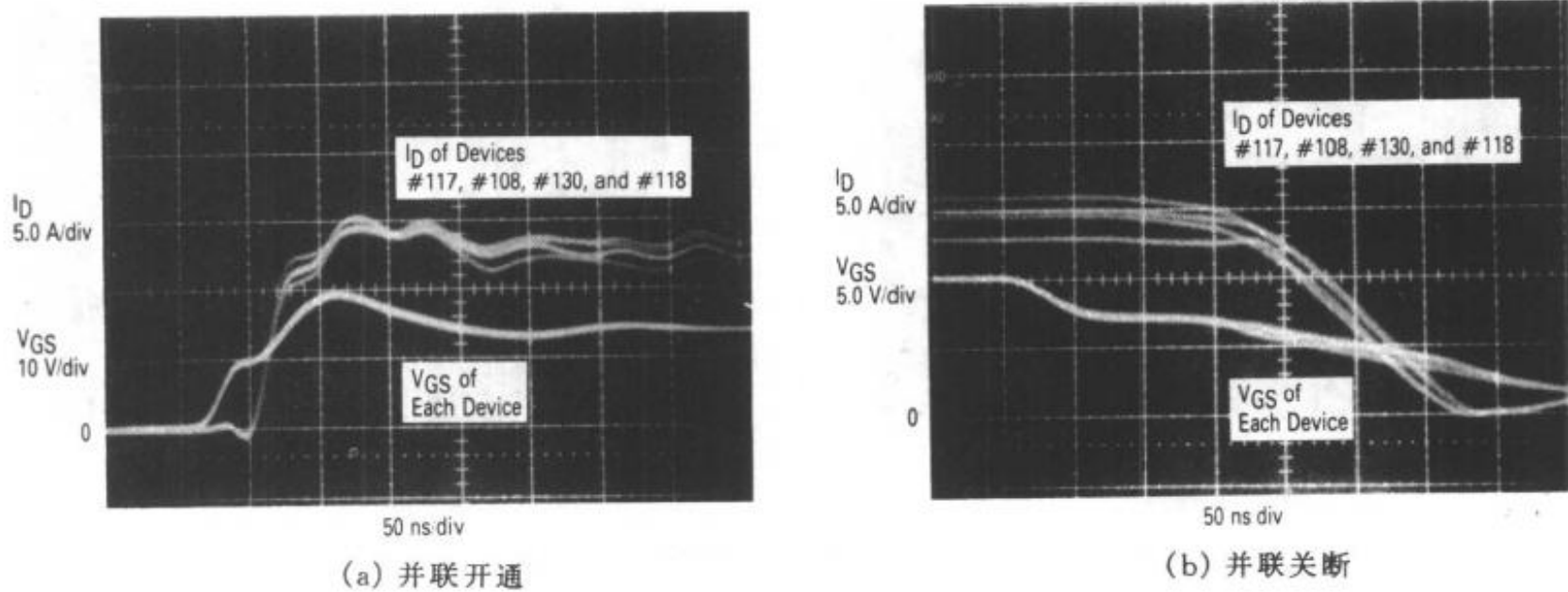


图 7-9 四个具有相同传导特性和不同开启电压的 MTP8N20 并联时的 I_{D} 波形

表 7-3 MTP12N10 与三只 MTP8N20 的参数比较

器件号	器件类型	$R_{\text{DS(on)}}$ $I_{\text{D}} = 4.0\text{A}$ (Ω)	$V_{\text{GS(th)}}$ $I_{\text{D}} = 1.0\text{mA}$ (V)	g_{fs} $I_{\text{D}} = 4.0\text{A}$ $V_{\text{GS}} = 15\text{V}$ (V)	C_{iss} (pF)	C_{iss} (pF)	C_{oss} (pF)
#122	MTP12N10	0.145	3.600	4.300	90	685	395
#52	MTP8N20	0.238	3.955	4.762	45	700	220
#53	MTP8N20	0.256	3.900	4.444	45	700	245
#70	MTP8N20	0.255	3.930	4.444	45	700	235

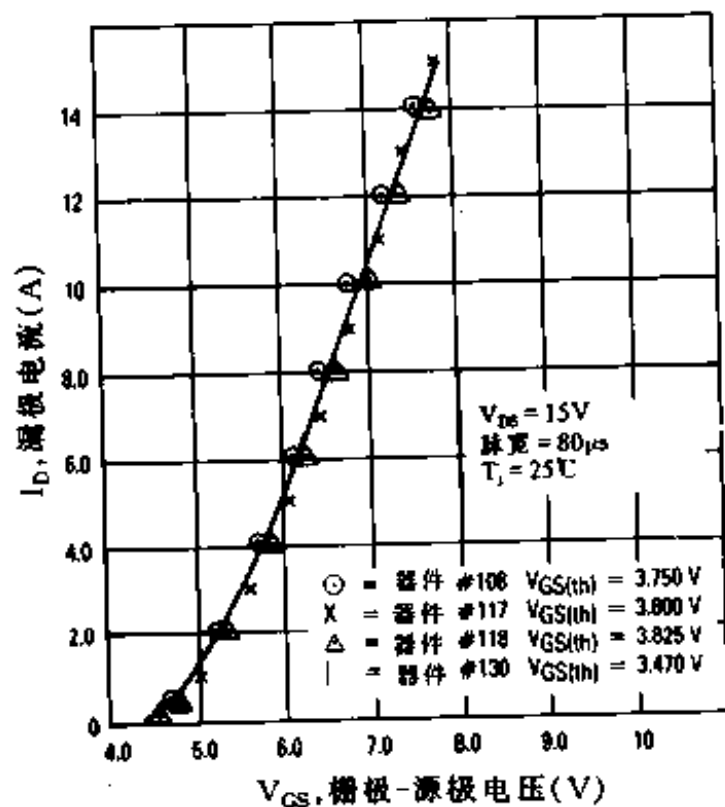


图 7-10 具有不同开启电压 $V_{GS(th)}$ 的 MTP8N20 的互导曲线

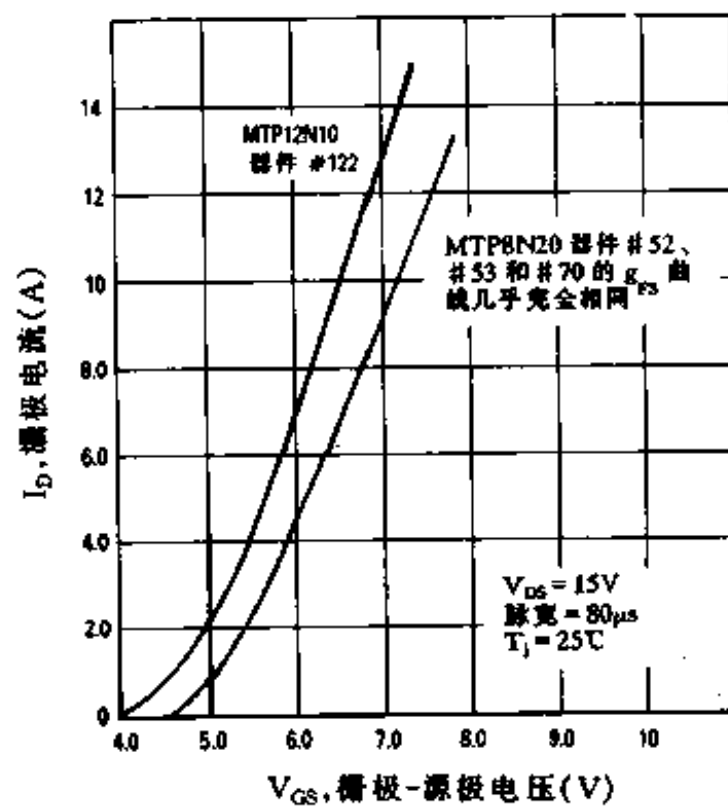
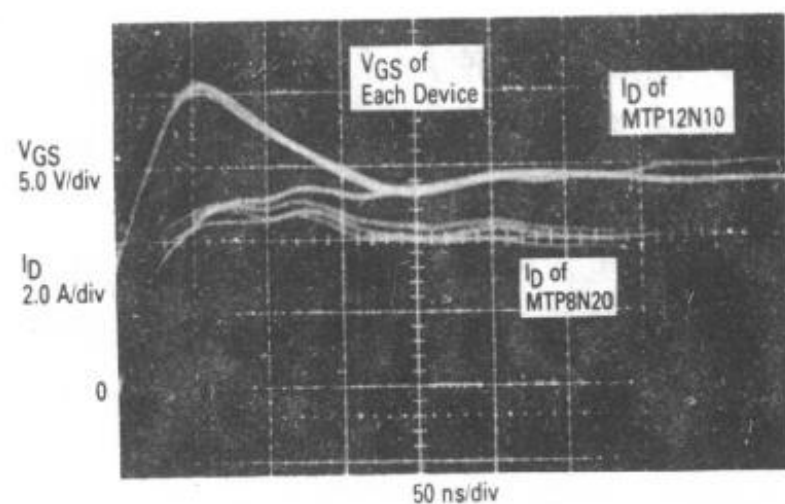
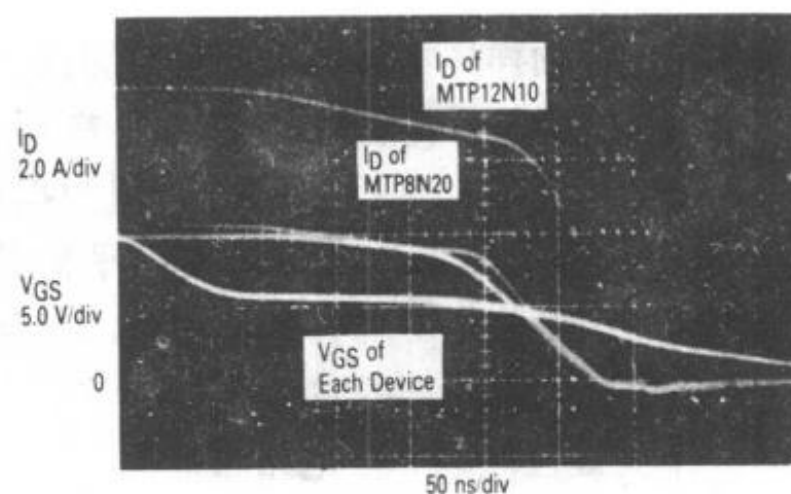


图 7-11 一个 MTP12N10 和三个 MTP8N20 的互导曲线

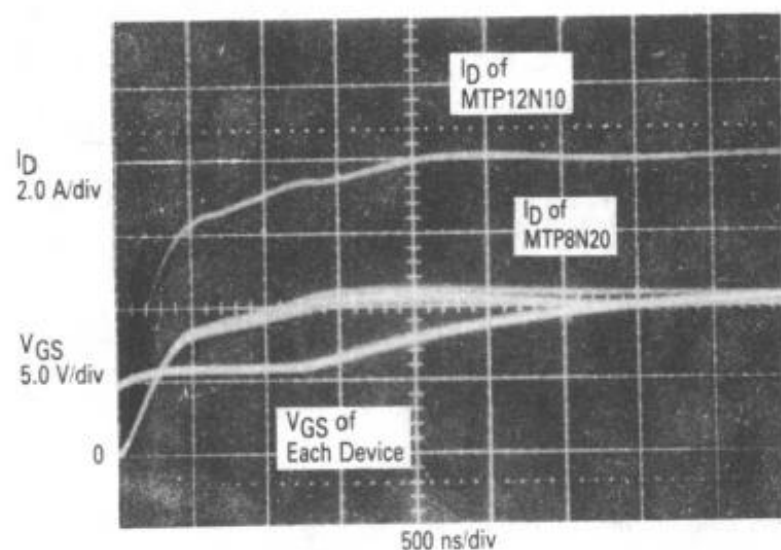


(a) 并联导通

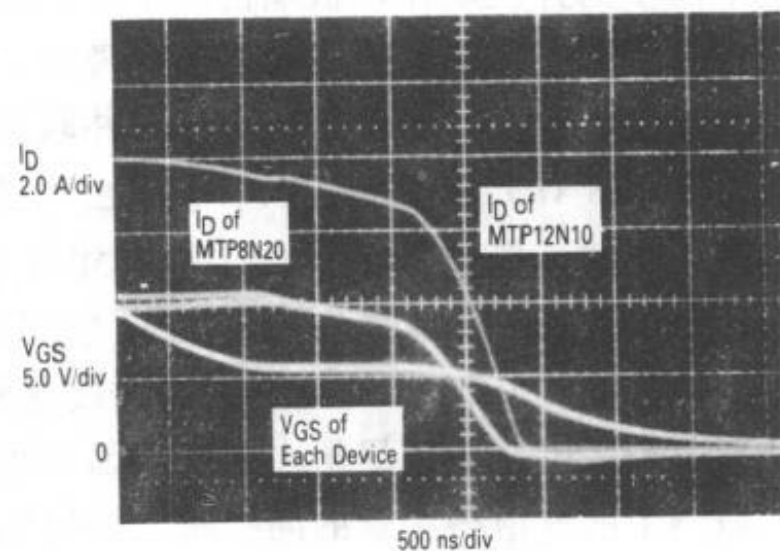


(b) 并联截止

图 7-12 一个 MTP12N10 与三个 MTP8N20 并联时 I_D 波形——电阻负载



(a) 并联开通



(b) 并联关断

图 7-13 一个 MTP12N10 和三个 MTP8N20 并联时 I_D 波形——电阻性负载——低速开关

为了判断高速关断的效果,再加一个 MOSFET 来箝位栅地电压。如图 7-14 所示,用这个方法得到的电流下降时间为 20ns。在高速开关条件下,由于有象封装源电感这样的封装引线寄生现象, V_{GS} 和 g_{FS} 曲线不能用来精确测定器件性能。但不匹配器件通过工作区快速开关时的性能还是相当不错的。尽管高速阻性开关并不可预测,但仍是比较安全的。

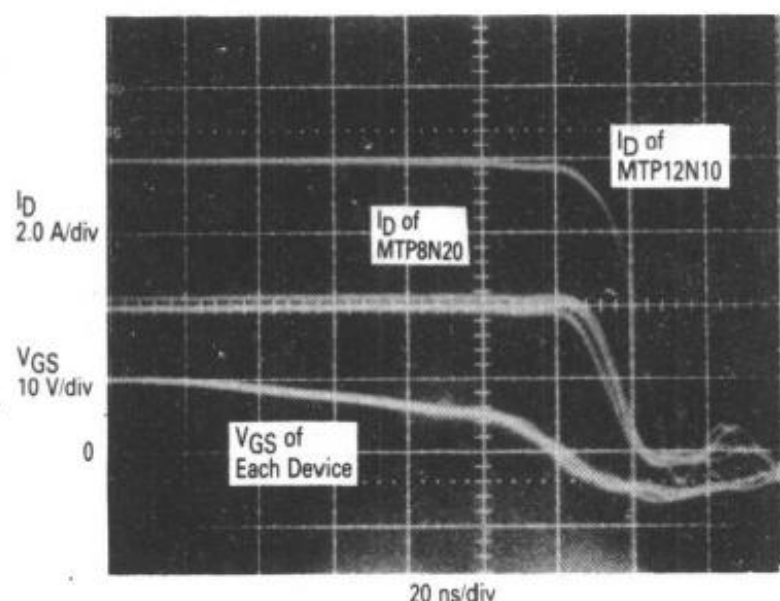


图 7-14 一个 MTP12N10 和三个 MTP8N20 并联时 I_D 波形——阻性负载——快速关断

用图 7-12、7-13、7-14 相比较可以得出,高速开关使电流分配性能更好。由于载流子高速通过器件的工作区,导通器件间开关速度的差异并不明显。在以下讨论中,寄生源电感也扮演了重要角色。

5. 感性负载情形下的动态电流分配

对这个问题的研究方法是将一个快速恢复二极管 (40A, 400V) 同一个 $135\mu\text{H}$ 的电感并联作负载。二极管的作用不仅仅是为了防止回扫电压对 MOSFET 的影响,而且也为了检验并联晶体管对导通二极管时所需的大峰值反向恢复电流的能力。性能标准同样是用匹配 g_{FS} 曲线来实现的,如图 7-15 所示。

为获得大量抽样样本以期出现感性测试中最糟的情形,又使用了 250 个晶片类别不详的 MTP8N20 以期获得 g_{FS} 曲线上最大的差异。图 7-16 显示了不匹配的互导曲线。图 7-17 是感性的快速与慢速的导通与关断。这组数据代表了在任何一组不匹配的 MTP8N20 中,在任何负载条件下可能出现的最大电流不平衡现象。由于电流明显不匹配,需要将电流额定值稍微降低一些以防止出现有害的情形。安全保障的关键是:①相关器件参数变化不能太大;②严格保证电路局部的对称性。

6. 一个关键性问题——电路布局

如果使用非对称性的布局,那么即使是完全匹配的 MOSFET 器件,其动态电流分配性能也是很差的。很明显,如果栅极驱动电路是不同的,那么不统一的栅源电压升降速度会引起不同步的开关动作,极端情况下还会损坏器件。当这些器件的开关速度增加时,设计者应该对构成寄生电路的因素作另外考虑。当接近功率 MOSFET 的最大开关速度时,即使在引线长度上有很小的变化也会影响并联开关的性能。不等的源极绕线电感是相当有害的。

图 7-18 (a) 与图 7-18 (b) 是由于源极绕线电感不平衡而造成的结果。器件和线路布局是匹配的,但一个 50nH (1.5 英寸的 22# 线作成 $1\sim 1/2$ 圈回路) 的源极引线电感附加在一个器件上。从照片上可以看出,任何源极引线或绕线电感都会破坏导通和关断速度。幸好,对于并联 MOSFET 良好工作的最重要因素都在电路设计者的考虑之中。电路中,尤其是高速开关电路应该尽量去掉寄生因素和不对称现象。

另一个明显值得注意的问题是,栅极驱动电路的输出阻抗应当是匹配的。否则不匹配的栅极驱动电路会导致输入电容异步充电和放电,这样就使器件以不同的速度,在不同的时刻开关。

7. 寄生源极电感的益处

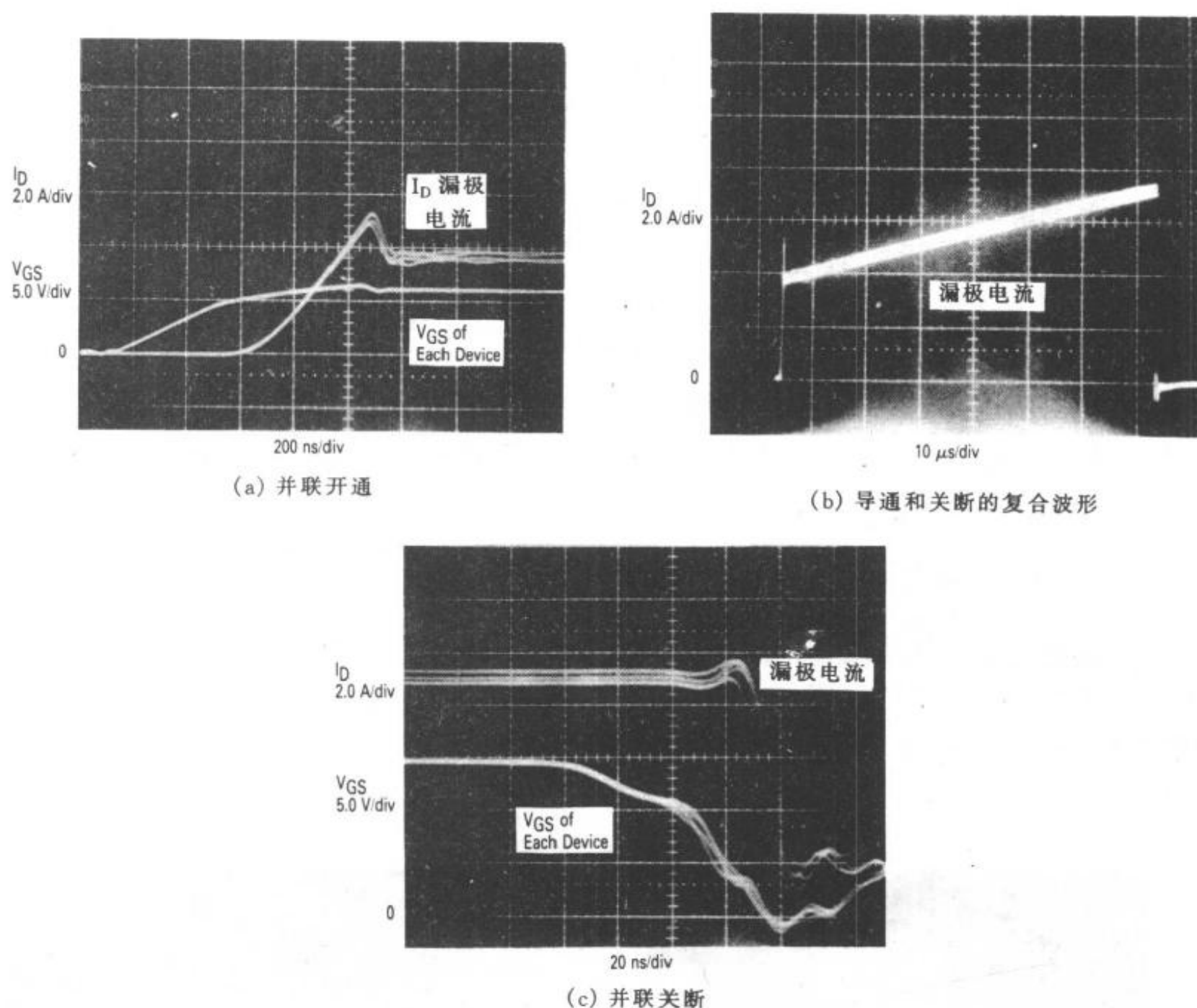


图 7-15 匹配的 MTP8N20 开关在感性负载时 I_D 波形
——器件为 #35 #52 #53 和 #70

倘若电路布局是对称的，尤其相对于源极绕线电感是对称的，那么更高速的开关确实有益于并联 MOSFET 的电流分配。在小于 100ns 的开关过渡期，源极封装电感（约 0.70nH）在决定漏极电流上升和下降波形方面起重要作用。下面的例子假设绕线电感忽略不计，只有源极封装电感起作用。这个例子的目的是说明封装电感的重要性，推而广之也关系到了通常更大一点的绕线电感的重要性。

假设有一个电流，有时间变化率为 8.0A/50ns 的快速关断。出现在寄生引线电感上的电压为 1.1 伏 ($V = L \cdot \frac{di}{dt} = 7.0\text{nH} \times 8.0\text{A}/50\text{ns}$)。这个电压一定加到了出现在栅源端揭示芯片电势的电压上。当器件通过饱和区进行开关动作时，如此大小的一个栅极电压差会使漏极电流的值产生明显差异。因此，在并联 MOSFET 的快速开关期间，相同的源极电感将使每个器件的漏电流升降速度一致。这样，在高速开关期间，就取得了源极镇流。

8. 防止电路自激振荡

在 MOSFET 的并联应用时，两个最重要的器件特征合并起来会引起一个问题。这就是高输入阻抗和高频响应将会在频率大于 100MHz 时出现寄生振荡。当所有栅极驱动共节点时，这个问题就会发生，如图 7-19 所示。在图 7-20 中，一个没有各自单独栅极电阻的高

Q 值网络将使器件在工作或通过饱和区开关转换时产生振荡。图中说明器件的互导、栅源寄生电容以及栅极和漏极的寄生电感都会影响电路的稳定性。

尽管这是潜在的严重问题,但很容易避免。通过使用有耗器件如电阻或铁氧体垫片来对每个器件的栅极去耦合,使电路的 Q 值明显下降,以至振荡不再会发生(请注意图 7-19 中画点的部分)。对最高开关速度来说,栅极去耦电阻的值在安全允许范围内应当尽量小,一般情况下 $10\sim 20\Omega$ 就足够了。

7.1.3 一个实际应用——感性负载

为了说明在感性负载这一典型的应用中,并联 MOSFET 的可行性,图 7-21 中四个 MTP8N20 并联于电路中。在占空率为 50%,

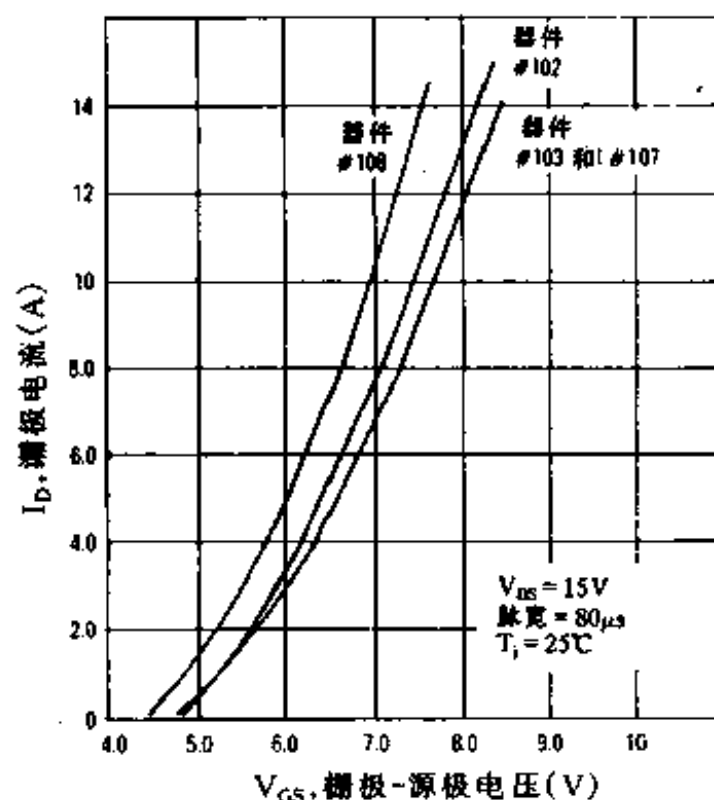
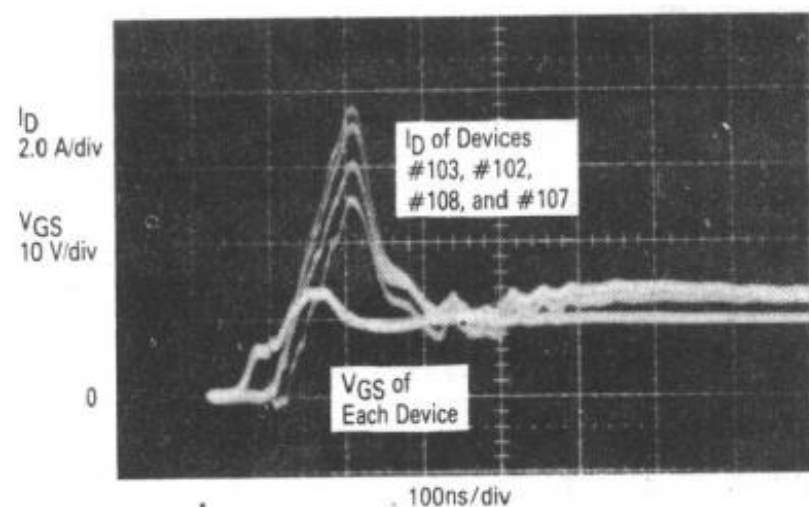
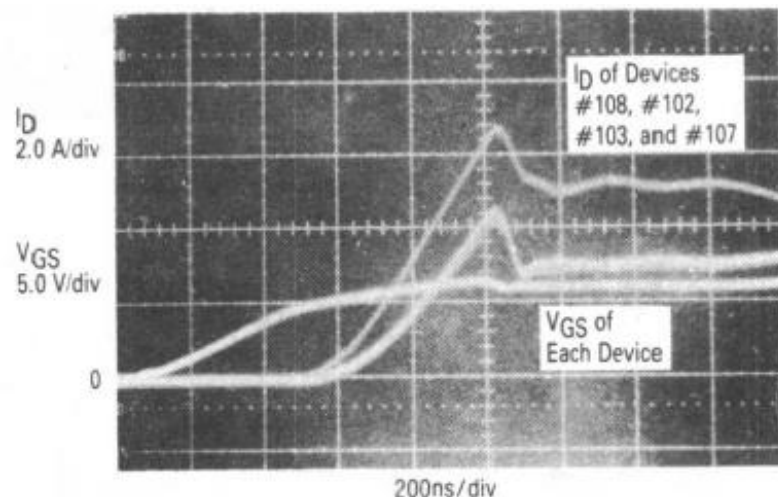


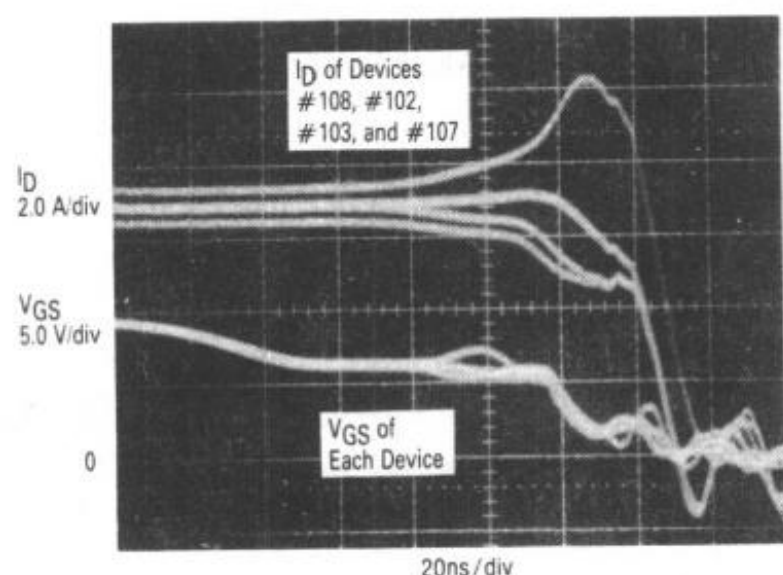
图 7-16 另外 250 个 MTP8N20 差别最大的互导曲线



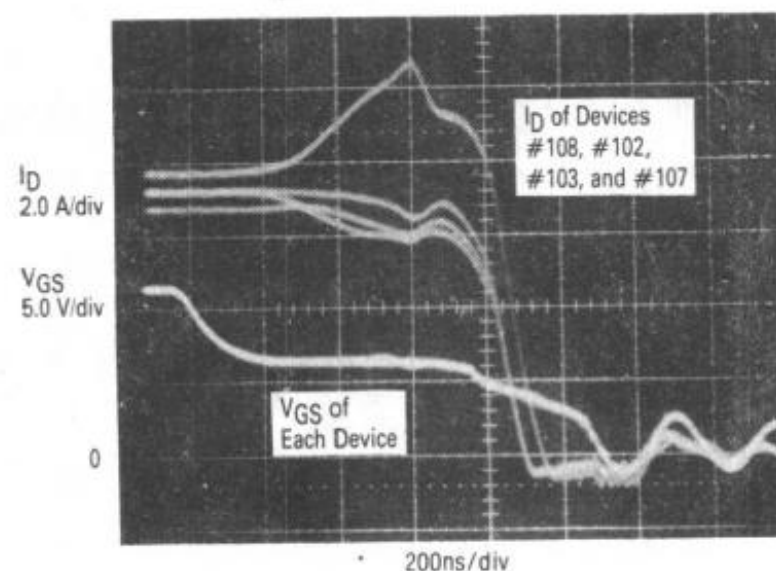
(a) 提供续流二极管的反向恢复电流的快速导通



(b) 提供续流二极管反向恢复电流的慢速导通

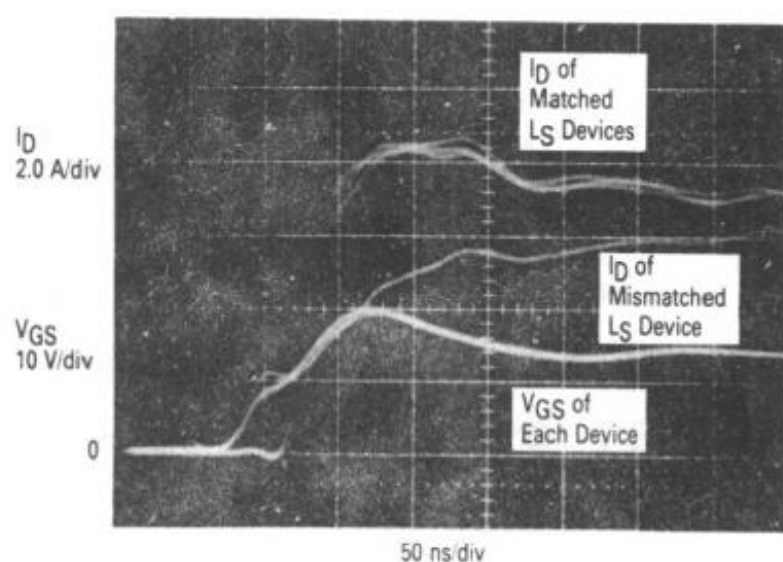


(c) 快速感性关断

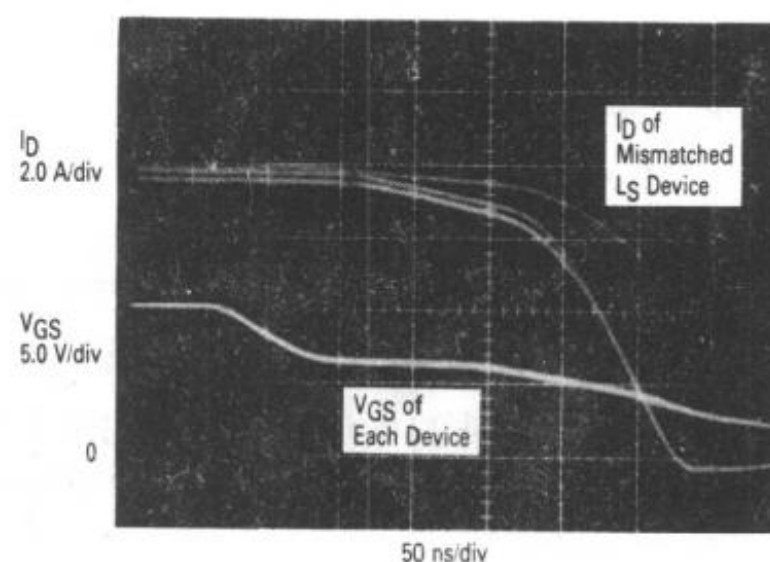


(d) 慢速感性关断

图 7-17 失配的 MTP8N20 开关在感性负载下的 I_D 波形



(a) 开通



(b) 关断

图 7-18 不对称的源极电感对并联的影响

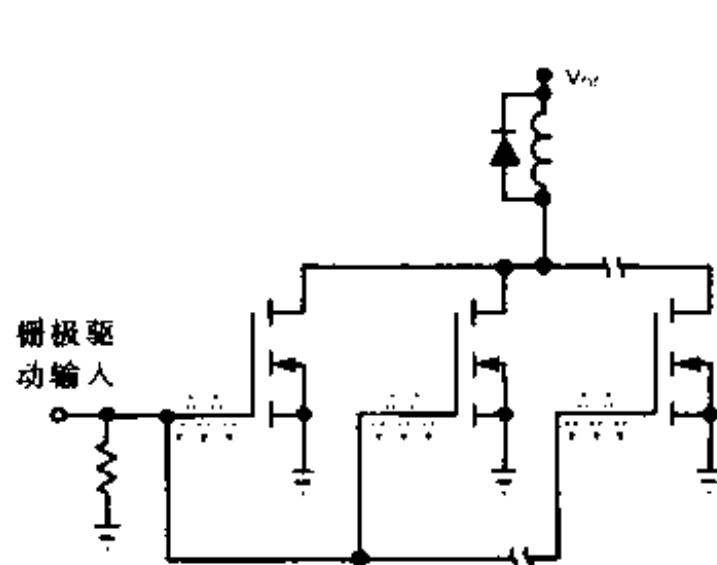


图 7-19 驱动并联 MOSFET 使用栅极解耦电阻方法

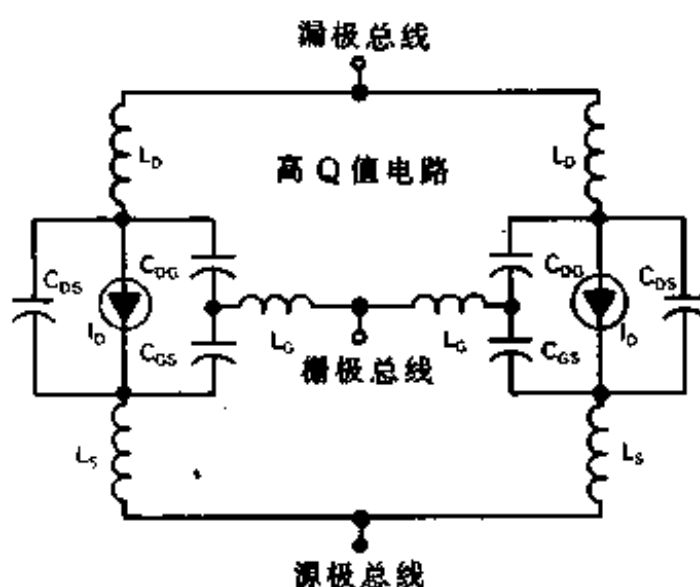


图 7-20 没有栅极解耦电阻的并联 MOSFET 的寄生高 Q 等效电路

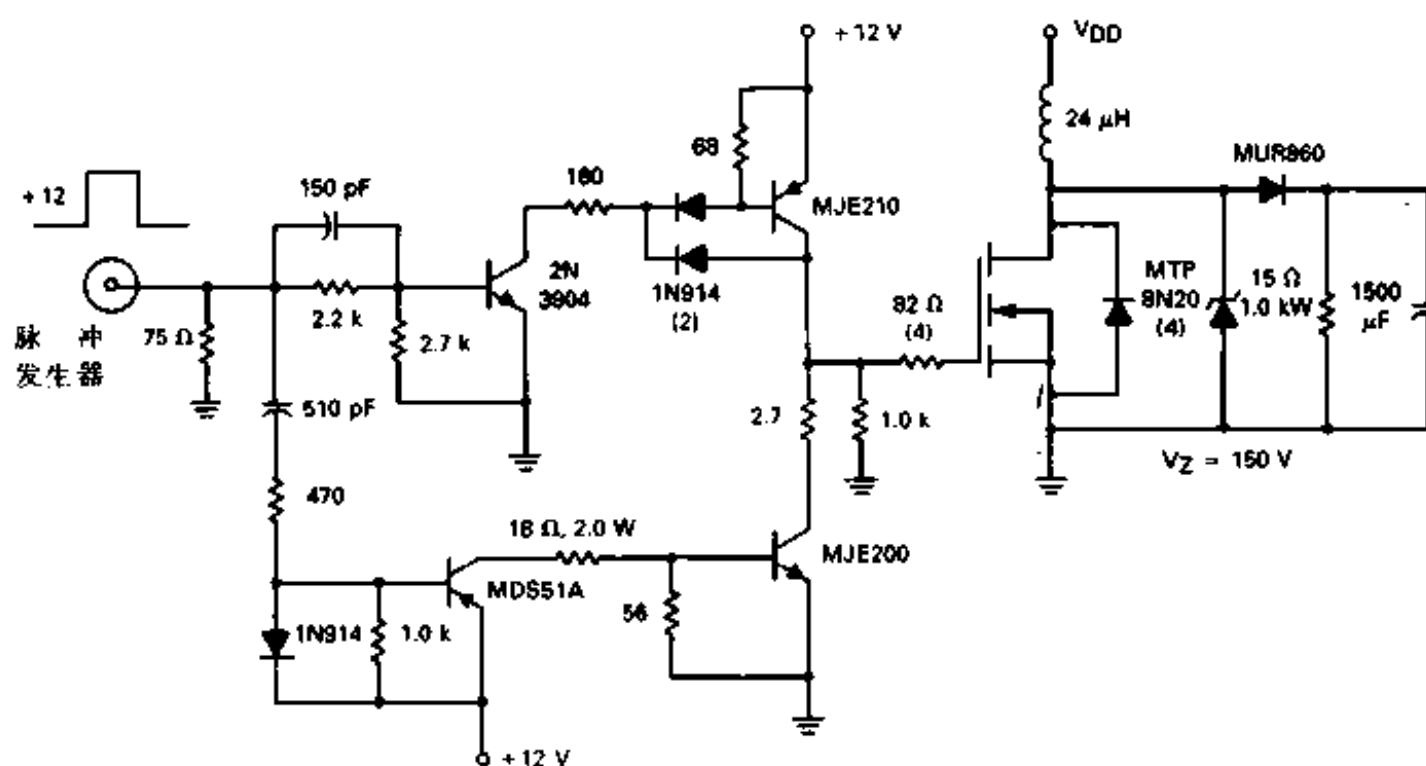


图 7-21 具有感性负载的电流分配测试电路

V_{DD} 为 44V 的情况下, MOSFET 对 RC 负载有 450W 的输出。为减小漏极-源极齐纳箝位产生的损失, 通过在每一个栅极上串联一个 82Ω 的电阻使得 MOSFET 的截止速度变慢。

同样, 重点是放在那些不匹配器件上。在这个例子中, 从最新设计的掩膜组件中选出 50 个样品, 测出其中静态导通电阻的最大差异 (0.255Ω 到 0.230Ω)。三个 $R_{DS(on)}$ 值最大的器件和一个 $R_{DS(on)}$ 值最小器件分在一组。 $R_{DS(on)}$ 小说明 g_{FS} 高, 所以这些器件的互导曲线是不匹配的。

四个器件的电流分配情况是在安全工作范围内的。就如同预料中的那样, $R_{DS(on)}$ 值最低的器件有最大的导通电流。为了明显起见, 在图 7-22 中, 只有 $R_{DS(on)}$ 值最大和最小的器件的电流。其它两个器件的电流几乎同器件 8# 完全一样。如图 7-23 所示, 器件 11#, $R_{DS(on)}$ 最小, 由于其不同于其它的 g_{FS} 曲线, 漏电流最大。

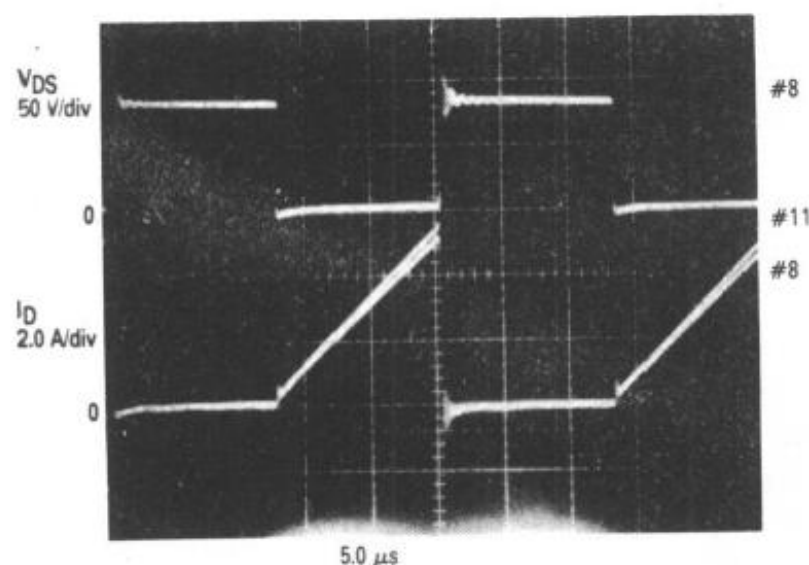


图 7-22 感性负载下具有低和高 $R_{DS(on)}$ 的器件

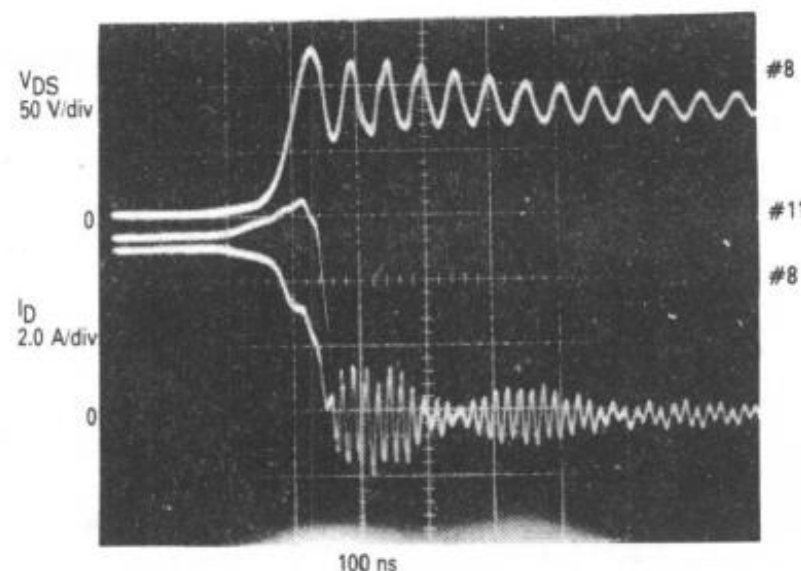


图 7-23 感性负载下低和高 $R_{DS(on)}$ 器件的 I_D 关断波形

每个器件上都分别装有散热装置, 以检测管壳温度, 可以发现任何热不平衡现象。由于 #11 器件的 $R_{DS(on)}$ 值较低, 理论上预测它的管壳温度将比其它的高。但由于器件工作频率相当高 (40kHz), 开关损耗方面的差异也会影响到温度比较。由于 $R_{DS(on)}$ 值上的差异, 或者是因为 g_{FS} 曲线形状的差异, 器件间的温差很小 (器件 #11 为 54.3°C , #8 是 52.3°C), 并且对器件性能的影响也是很小的, 这就是说, 对电流分配的影响程度也是很小的。

下面对并联功率 MOSFET 中有关静态电流分配和动态电流分配的研究和结论作一概要小结:

(1) 在静态电流分配时, $R_{DS(on)}$ 值的不匹配导致电流不匹配。采用一定的保护措施或采用匹配 $R_{DS(on)}$ 的方法都能确保安全操作。

(2) 对于静态电流分配而言, 导通和关断的波形在很大程度上是由器件的互导曲线决定的。如果在特定的应用场合, 匹配是有必要的, 那么通过比较 g_{FS} 曲线来选择器件是最精确的方法。另一个简便有效的替代方法是匹配 g_{FS} 曲线上的一个点, 并且器件将主要导通这一点所对应的漏极电流。

(3) 由于寄生源极电感的镇流作用, 在对称电路中增大开关速度会使并联器件的电流升降速度平衡。

(4) 电路布局相对于栅极驱动电路以及栅、漏、源极的寄生电感来说应当尽可能的对

称。

(5) 在各种应用中, 都应当采用铁氧体垫片或小电阻对栅极去耦合以消除寄生振荡。

7.1.4 漏-源二极管

在前面对并联功率 MOSFET 的讨论中, 虽然说明了当 FET 在开关应用和线性应用时, 器件参数匹配 (或不匹配) 对电流分配的影响, 但并没有说明当并联二极管用于箝位或其它各种应用时对这些二极管的影响。当二极管开关速度与应用相一致时, 这些二极管可以用在多 MOSFET 的应用场合 (见第十三章中对 D-S 二极管的讨论)。例如在半桥式电路中, 第一个 FET 的二极管保护了第二个 FET 的漏源结, 反过来第二个 FET 的二极管也保护了第一个 FET。无论电路配置怎样, 等效电路总可以将一个感性负载被箝位的电路化简。如图 7-24 所示, 其中漏源二极管有效地跨接在感性负载的两端。

当功率 MOSFET 并联应用于开关电路中时, 其内部二极管如何分配箝位电流的问题就产生了。为了说明这一点, 如图 7-25 所示, 三个 MOSFET 并列在电路中, 检测电路是 (完整的电路图见第十三章图 13-19) 占空率可控电路, 可以产生连续的负载电流, 这样被整流的二极管电流既说明了反向恢复时间 t_{rr} , 也说明了导通时间 t_{on} 。二极管的总电流、各二极管电流以及驱动器漏极电路都在监测之列。

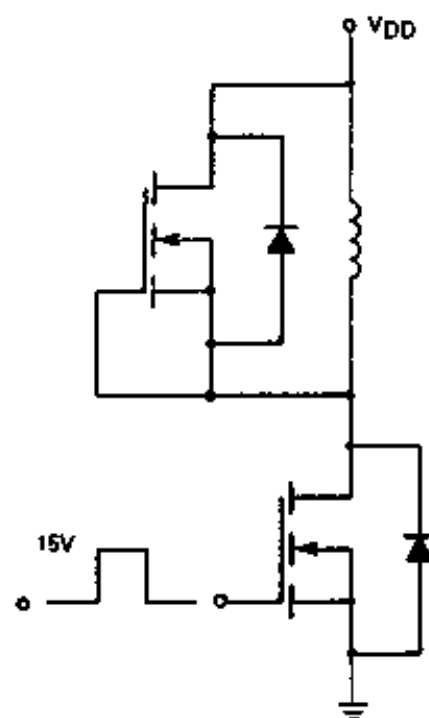


图 7-24 内部 D-S 二极管箝位一个电感负载

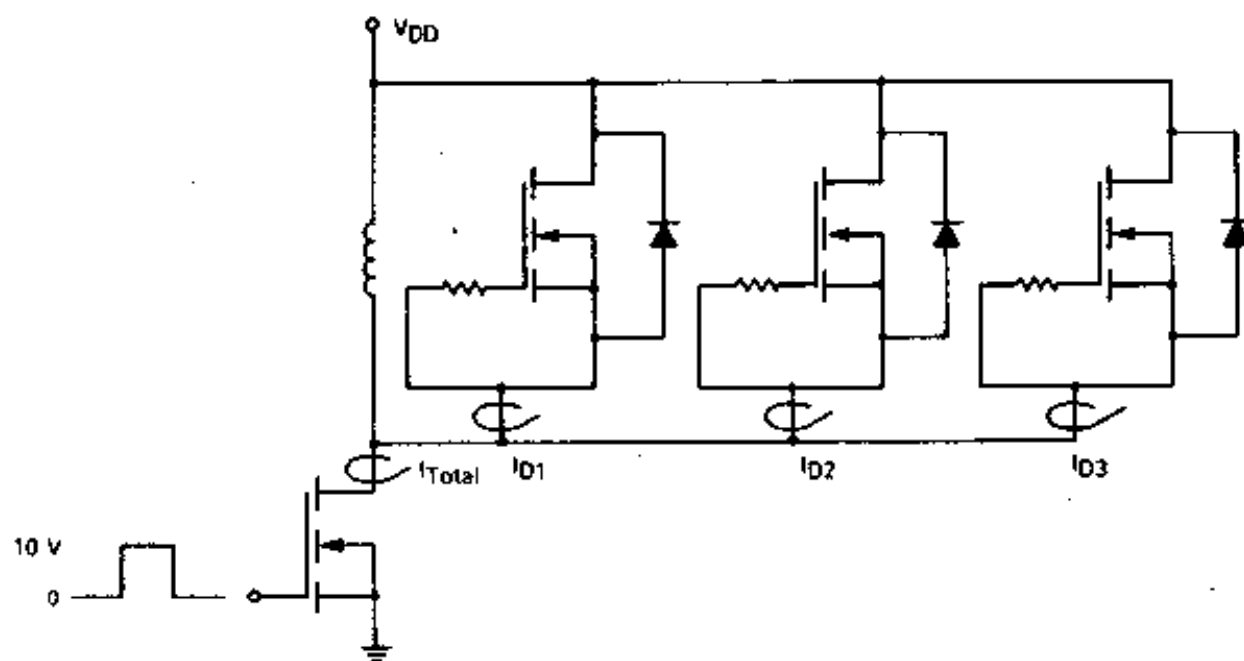


图 7-25 观察并联 D-S 二极管电流分配的测试电路

为了获得一个最糟的情景, 用能影响其并联性能的参数来挑选一个 MTM20N15 适中的样本 (20 件)。10A 条件下二极管的正偏导通电压是 1.05V 到 1.20V。 t_{rr} 的变化范围是 0.25 μ s。失配最厉害的器件被分在同一组并且用图 7-25 的电路来检测。

检测结果表明, 即使当器件 D-S 二极管导通电压的差异最大时, 器件的电流失配也很小。图 7-26 是三个并联二极管的电流波形以及预期中的中等失配情况。在图 7-26 中同样

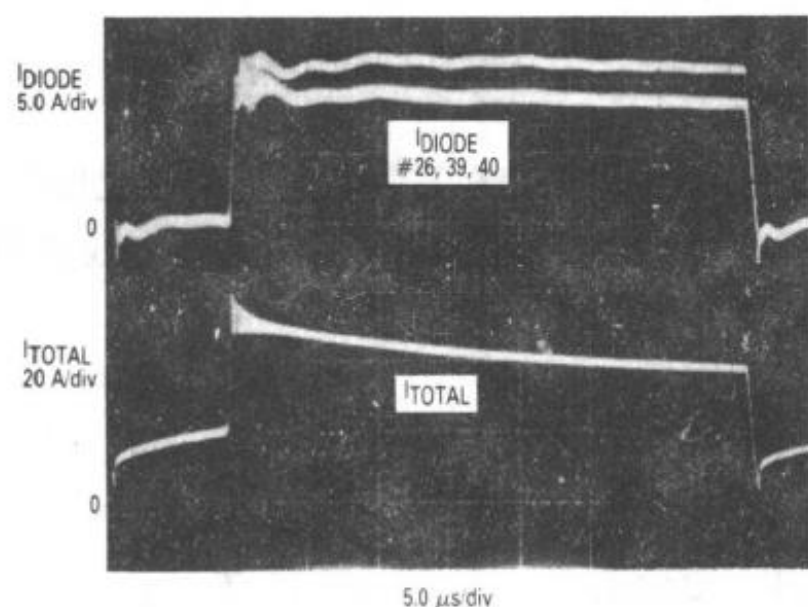


图 7-26 具有不同导通电压 D-S 二极管的三个 MTP8N15 漏-源二极管上的电流

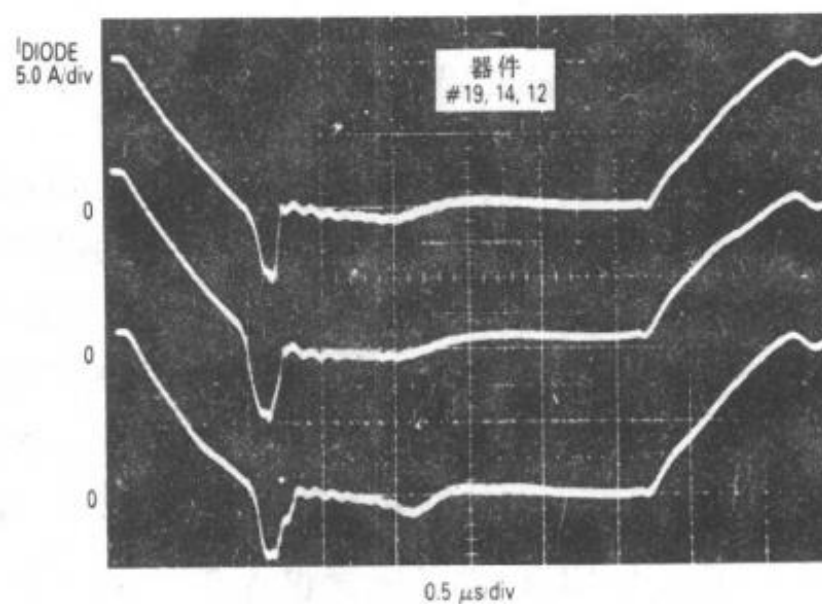


图 7-27 MTM15N20 失配时并联二极管导通和关断波形 (t_{rr})

还有总电流波形，由于变流器的饱和引起了一定程度的干扰。

图 7-27 是 t_{rr} 值相差最大的器件电流波形，而且尽管二极管是失配的，当负载电流在单向导通二极管和驱动晶体管之间转换时，同步导通、关断转换说明电流分配程度是相当好的。

7.2 线性应用的并联功率 MOSFET

功率 MOSFET 的高频开关性能是相当好的，因此它们非常适合许多情形的开关应用。但它们的另外一些不太显著的特点对那些线性系统的设计者来说也是具有吸引力的。由于 MOSFET 无二次击穿，故通常使用它们的原因是其内在的耐久性能。另一个有吸引力的特点是能够简化栅极驱动电路的高输入阻抗。另外在相当大的使用范围内跨导是近似线性的，并且在一定生产线上产品其跨导指标变化是很小的。尽管优点显著，在线性使用成功之前，有一个预测和稳定工作点的方法也是必要的。下面，先将一条生产线特征化来提取线性模式下同 Q 点相关的参数。然后在单器件工作下讨论源极电阻对工作点和小信号跨导的影响。最后将这些概念扩展到对电流分配格外关注的并联器件的情形。

7.2.1 器件特性对工作点稳定的重要性

当开发一个工作于线性模式的系统时，希望而且必须确定精确的系统静态工作点。输出特性、转移特性或跨导曲线是描述 TMOS 功率 MOSFET 工作于线性模式时的最相关特性，如图 7-28 和 7-29。虽然有典型曲线，但它们并未说明在一定生产线上工作点的可能变化情况。例如，在一个典型器件上，由转移特性曲线可知 4.0A 的漏极电流对应于 5.75V 的栅-源电压。然而这个栅压加到同一生产线上非典型器件上时，漏极电流的值会在 2.5A 到 4.5A 之间。

对器件参数进行匹配通常是保证 Q 点有最小变化的方法。这种尤其是使用开启电压的方法并不是最佳手段。栅极开启电压的定义是，当 MOSFET 导通很小的漏极电流时（通常

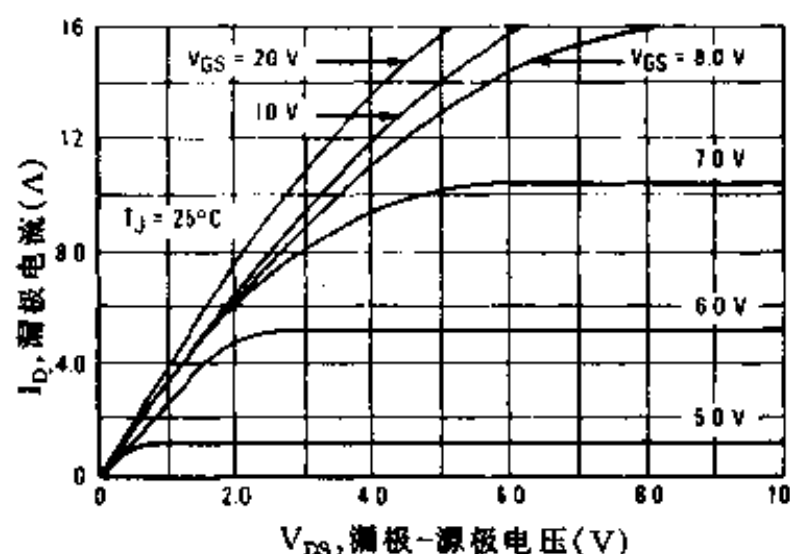


图 7-28 MTP8N20 的典型输出特性

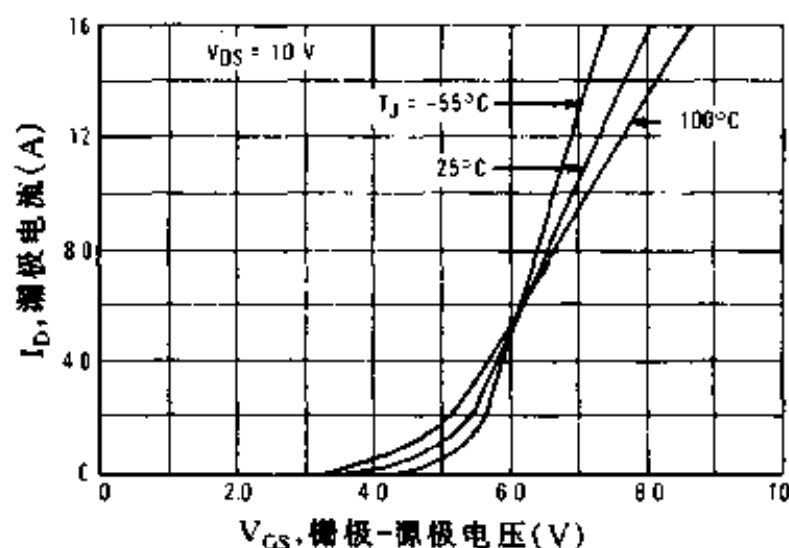


图 7-29 MTP8N20 的典型跨导曲线

为 1.0mA), 所需的最小的栅-源电压。就通常的转移特性曲线的量值来说, 1.0mA 太小并且不能确定地找出开启电压。一般并不难找到两个转移特性几乎完全相同的且开启电压相差达 2.0V 的器件。相反, 通常由于 g_{fs} 的失配, 开启电压匹配的器件在转移特性曲线上却有显著的差异。试图通过匹配跨导或导通电阻也不能保证转移特性曲线相似。如果需要器件筛选, 则最直接的方法是精确比较 $I_D \sim V_{GS}$ 曲线上的每一点。通常由于这种方法很不实际, 故可采取其它两种方法的任一种。匹配法的标准是特定栅极电压下的漏极电流。这个漏极电流是静态电流的典型值。返回去参考先前的例子。选择器件的标准是 V_{GS} 为 5.75V 时 I_D 的大小。另一种方法完全抛弃了器件筛选, 采取使用源极电阻的方法。这将在下一节讨论。

结温度是影响静态工作点的另一个重要因素。图 7-29 说明 MOSFET 的 g_{GS} 曲线可被分成两个区域。在 V_{GS} 为 6.1V 以下的区域中, I_D 随 T_J 的增加而增加。产生这种情况的原因是 $V_{GS(th)}$ 的负温度系数的影响超过了 $R_{DS(on)}$ 正温度系数的影响。随着 T_J 增加, 尽管 $R_{DS(on)}$ 增加, 但开启电压下降, I_D 增加。

在 V_{GS} 大于 6.1V 的区域, 温度对 $R_{DS(on)}$ 的影响决定了 I_D 的变化。即使 T_J 增加 $V_{GS(th)}$ 降低, $R_{DS(on)}$ 增大的影响力越来越大, 使得 I_D 下降。 I_D 的这种温变特性使得必需把 T_J 的影响考虑到 Q 点上去, 尤其在低漏极电流情况下, I_D 的变化百分比是很大的。

7.2.2 使用源极电阻来稳定 Q 点

通过使用源极电阻可以改善工作点的稳定性而不需要预先挑选器件。放置一个电阻会通过 V_{GS} 的减小而对栅极产生一个负反馈, V_{GS} 减小的值正比于 I_D 的值 (图 7-30)。表 7-4 中是在有源极电阻和没有源极电阻的条件下导出的小信号跨导和电压增益的式子。

确定源极电阻对功率 MOSFET 工作点的影响就象是做一个简单的几何练习。第一步是通过曲线绘制得到器件的跨导曲线。在不存在源极电阻的情况下 ($R_s = 0\Omega$), 一条贯穿 g_{FS} 曲线的垂直线将指出在给定 V_{GS} 情况下的漏电流值。例如, 在图 7-31 中的器件当 V_{GS} 为 4.7V 时, 漏极电流为 0.375A。

如果电路中包含源极电阻, 那么图象横座标就代表栅-地电压 (V_{GG})。 V_{GG} 和 I_D 的关系是由斜率为 $-1/R_s$, 通过一指定 V_{GG} 为 5.45V, 固定 Q 点的目的是使 I_D 保持在 0.375A。变化

栅-地电压所产生的影响可以根据需要画出通过栅压点的若干平行线来确定,而改变图象负载线的斜率也就改变了 R_s 的值。

为了使用加入源极电阻来改善 Q 点稳定性这一技术,应当得到在生产线上 g_{fs} 曲线变化最糟的情形。为了这一目的,在同一类别晶片中选出 350 只 MTP8N20 来检测其中跨导曲线的最大差异。图 7-32 是检测结果。实际上有了这些曲线,对 R_s 值的选定以及为所要求的工作点选定栅极电压(在一个确定允许的差异范围内)就相当容易了。

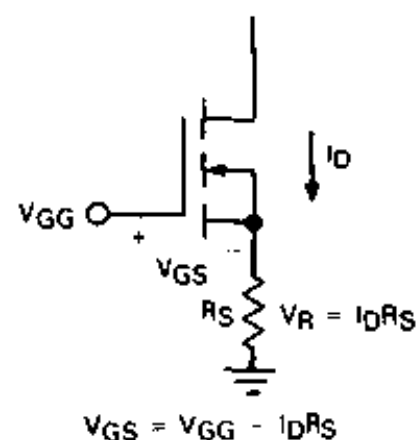


图 7-30 源极电阻为栅极提供负反馈

假设所需条件如下:

静态 $I_{DQ} = 0.4A$

0.4A 的 I_{DQ} 变化不超过 0.05A

$T_J = 100^\circ C$

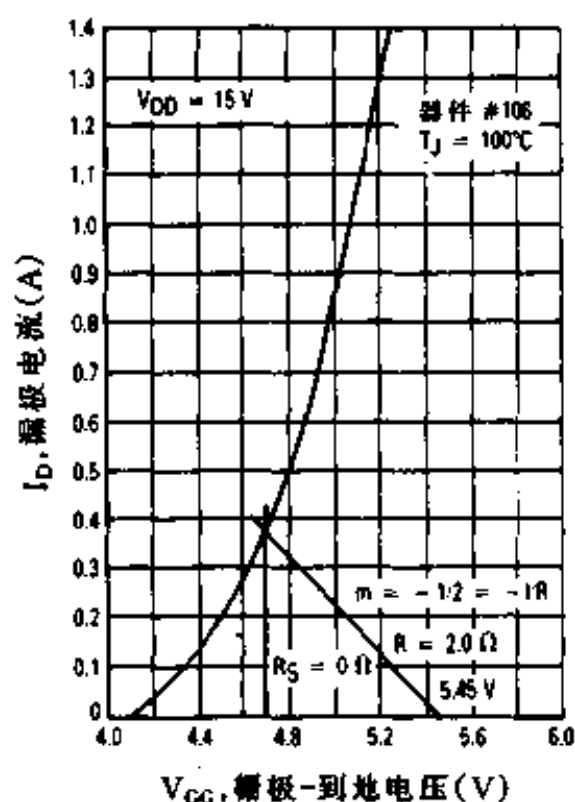


图 7-31 用图象法预测源极电阻对静态工作点的影响

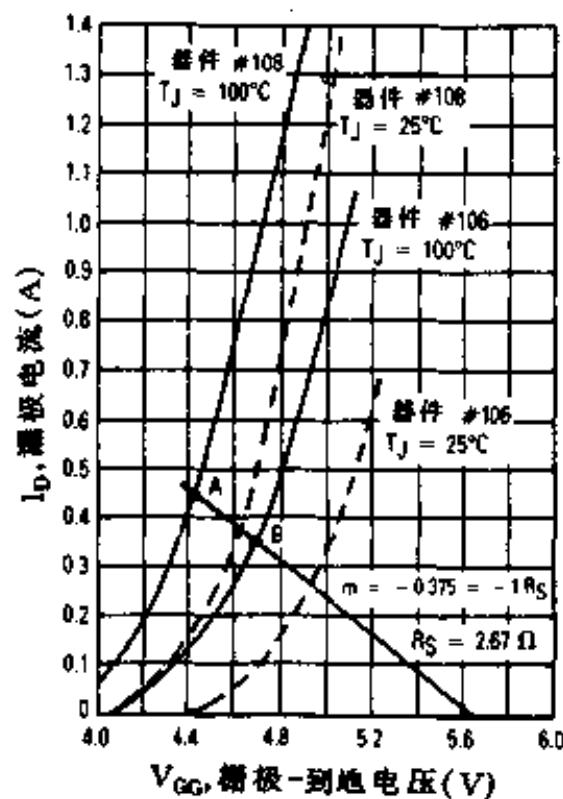


图 7-32 使用源极电阻稳定静态工作点

一条通过 A、B 两点的 R_s 负载线,它向下一直延长到代表栅极电压的轴上。用这条负载线既能得到所需的 R_s 电阻值又能得到静态栅极电压值。这张图也能说明栅电压在静态 V_{GG} 值附近摆动时的影响。图 7-32 中的虚线代表结温度达 $25^\circ C$ 时的传输特性。显然,如果器件结温度 T_J 有较大波动,那么传输曲线的变化足以影响到 R_s 值的选择。

7.2.3 线性模式下并联 MOSFET

在许多将 MOSFET 用在线性模式的实际应用中,要求负载上有大电压波动,并可以利用尽可能大的漏-源电压额定值。在大静态漏极电压条件下, I_{DQ} 应当相当小,以把 MOSFET 的功率损耗控制在一定范围内。

但是,在低 I_{DQ} 和高 V_{DSQ} 线性模式下并联并不象在开关应用中那么直接了当。既然在线

表 7-4 无源极电阻与只有单个源极电阻情况下的小信号互导与电压增益方程

项目名	无源极电阻	有一只源极电阻
小信号互导	$g_{FS} = \frac{\Delta I_D}{\Delta V_{GS}}$	$g_{FS} = \frac{\Delta I_D}{\Delta V_{GS}}$ $g_{FS} (\Delta V_{GS} - \Delta I_D R_S) = \Delta I_D$ $g_{FS} \Delta V_{GS} = \Delta I_D (1 + R_S g_{FS})$ $g_{FS} = \frac{\Delta I_D}{\Delta V_{GS}} = \frac{g_{FS}}{1 + R_S g_{FS}}$
小信号电压增益	$A_V = \frac{-\Delta V_{DS}}{\Delta V_{GS}} = \frac{-\Delta I_D R_L}{\Delta I_D / g_{FS}}$ $\therefore A_V = -g_{FS} R_L$	$A_V = -g_{FS} R_L = \frac{R_L g_{FS}}{1 + g_{FS} R_S}$ $\therefore A_V = \frac{-R_L}{1/g_{FS} + R_S}$
电 路		

注：带“'”号数字表示 MOSFET 与源电阻合并的有效值。

性模式并联应用中，这是最困难也是最平常的情况，所以将作以下讨论。

一个问题就是在低电流情况下， I_D 的潜在的失配占总负载电流的比例非常大。例如，一个器件当 V_{GS} 为 5.0V 时导通电流为 0.3A，但另一个器件在同样条件下会导通 1.25A。如果在线性模式下将这两个器件并联，第二个器件将会比第一个损耗更大的功率。不象 MOSFET 应用在开关时的情况，结温度的差异会使器件的导通电流相差更大。

正如先前解释的那样，在漏电流较低的情况时，其温变性是由 $V_{GS(th)}$ 的负温度系数所决定，而不是由 $R_{DS(on)}$ 的正温度系数决定。因此，散失功率最大的器件将升温，电流增大，进而散失功率更大。

尽管这种情况看上去很糟，即 g_{FS} 曲线较大差异会导致功率散失的更大差异，但是使用源极电阻会减小这种差异，进而极大地增加使用成功的机会。

用源极电阻对 g_{FS} 曲线有一定差异的器件进行工作点稳定也适用于 MOSFET 工作在线性模式，同样能够改善电流分配情况。如果器件 Q 点匹配得很好，那么由定义可知，并联器件将有相同的漏极电流以及相同的功率损耗。

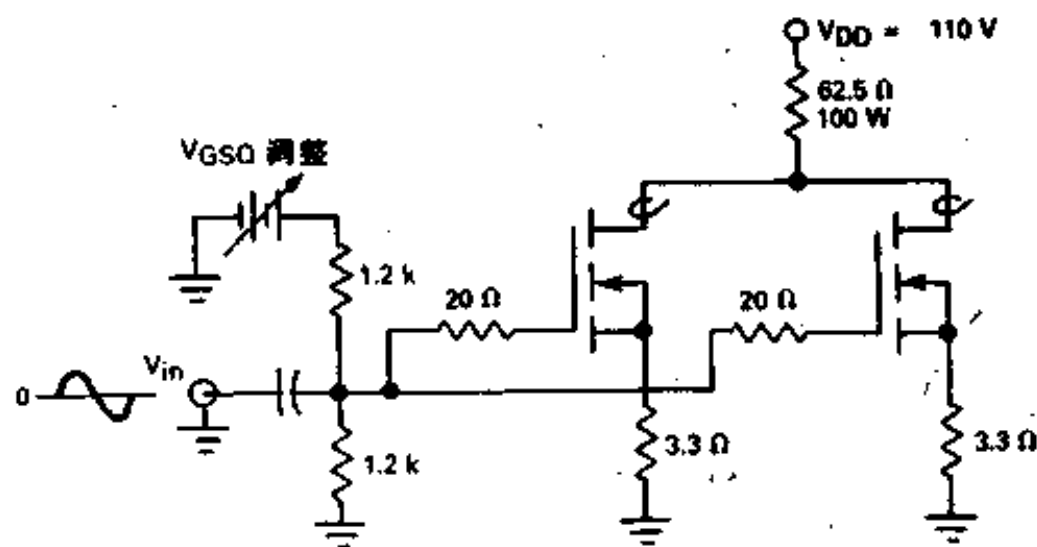


图 7-33 在线性模式下，并联 MOSFET 电流分配的检测电路

如图 7-33 所示, g_{FS} 曲线差异最大的器件并联在一个电路中。其中 3.3Ω 的源极电阻是在稳定 Q 点和降低系统增益之间的一个较好的折衷。 R_s 增大会导致效率更低。在有源极电阻和无源极电阻两种情况时, 表 7-5 列出了并联 MOSFET 的 g_{FS} 和小信号电压增益的式子。

表 7-5 在无源极电阻与只有单个源极电阻条件下两并联 MOSFET 的互导方程与电压增益方程

项目名	无源极电阻	有一只源极电阻
小信号互导	$\Delta I_{D1} = \frac{g_{FS1}}{\Delta V_{GS}} \Delta V_{GS}$ $\Delta I_{D2} = \frac{g_{FS2}}{\Delta V_{GS}} \Delta V_{GS}$ $\Delta I_{D1} + \Delta I_{D2} = \frac{g_{FS1} + g_{FS2}}{\Delta V_{GS}} \Delta V_{GS}$ $g_{FS1} + g_{FS2} = \frac{\Delta I_{D1} + \Delta I_{D2}}{\Delta V_{GS}}$ $\therefore g_{FST} = g_{FS1} + g_{FS2}$	$g_{FS1} (\Delta V_{FS1}) = \Delta I_{D1}, g_{FS2} (\Delta V_{GS2}) = \Delta I_{D2}$ $g_{FS1} (\Delta V_{GG} - \Delta I_{D1} R_s) + g_{FS2} (\Delta V_{GG} - \Delta I_{D2} R_s) = \Delta I_{D1} + \Delta I_{D2}$ $g_{FS1} (\Delta V_{GG}) + g_{FS2} (\Delta V_{GG}) = \Delta I_{D1} (1 + g_{FS1} R_s) + \Delta I_{D2} (1 + g_{FS2} R_s)$ $(g_{FS1} + g_{FS2}) (\Delta V_{GG}) = (\Delta I_{D1} + \Delta I_{D2}) (1 + \bar{g}_{FS} R_s),$ $\text{其中 } \bar{g}_{FS} = \frac{g_{FS1} + g_{FS2}}{2}$ $\therefore g'_{FST} = \frac{\Delta I_T}{\Delta V_{GG}} \approx \frac{g_{FS1} + g_{FS2}}{1 + \bar{g}_{FS} R_s}$
小信号电压增益	$A_v = \frac{-\Delta V_{DS}}{\Delta V_{GS}} = \frac{-\Delta I_{DT} R_L}{\Delta I_{DT} / g_{FST}}$ $\therefore A_v T = -g_{FST} R_L$	$A'_{vT} = -g'_{FST} R_L = \frac{-R_L (g_{FS1} + g_{FS2})}{1 + \bar{g}_{FS} R_s}$

注: 下标 “T” 并联 MOSFET 的总值。

带 “ $\bar{}$ ” 号的变量表示 MOSFET 与源电阻合并的有效值。

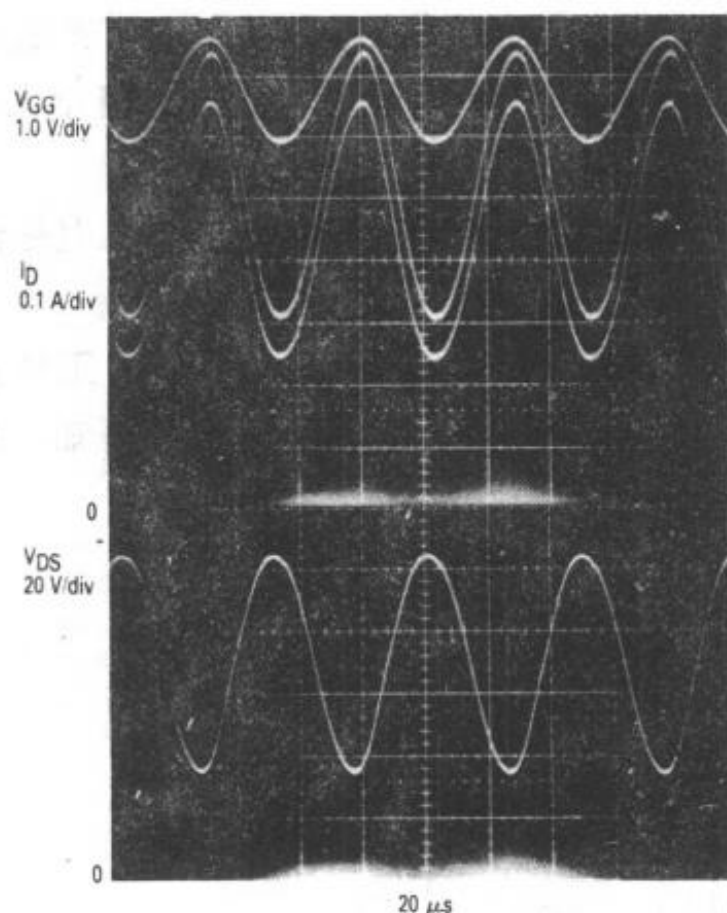


图 7-34 在线性模式下, MTP8N20 并联失配时的 V_{GG} 、 I_D 和 V_{DS} 波形。 $R_s = 3.3\Omega$

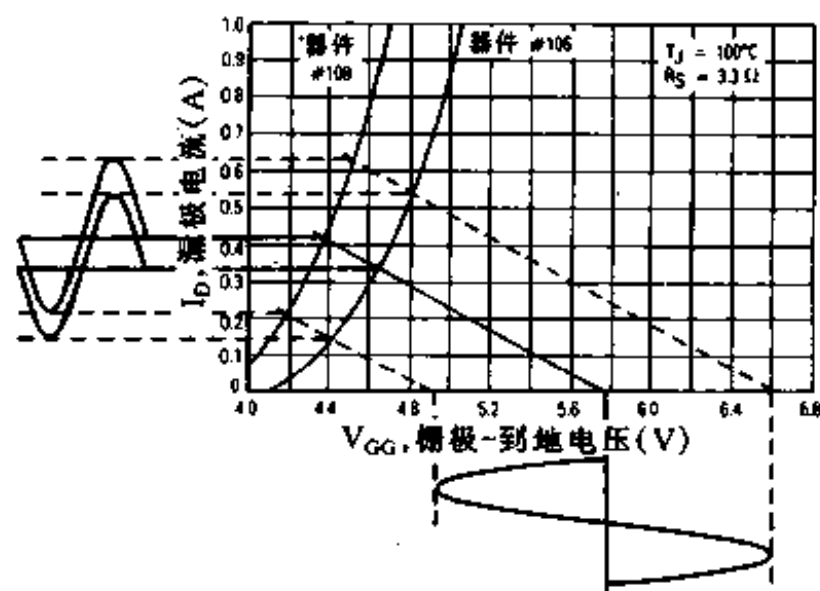


图 7-35 MTP8N18 失配时的传输特性和 R_s 负载线

图 7-34 是并联 g_{FS} 曲线失配最大的两个器件的结果。请注意, 是如何比较 g_{FS} 曲线 (图 7-35) 和即时栅极电压之间的关系来预测漏极电流的。同样还检测了管壳温度, 其差异并

不象想像中的那么大。只在两个温度点上出现(83 和 85℃)了器件电流最大并且温度更高的现象。也许很可能是因为散热装置稍有不同,期望中的 5~10℃ 的温度差并没有出现。将两个 MOSFET 安装在不同的散热片上也同样是为了模拟最糟的情况。一般推荐将器件安在同一散热装置上以达到紧热耦合的目的,这样便能减小 T_c 与 T_j 的差异,进而可以降低由温度引起的 g_{FS} 差异。

图 7-36 是器件匹配带来的益处。几乎完全相同的漏极电流是通过器件匹配得到的。方法是比较当 V_{GS} 为 4.7V、结温为 25℃ 时漏极电流的大小。漏电流较大时的轻微失配主要是由于 T_j 在 100℃ 的条件下, g_{FS} 曲线有小的差异。两器件管壳温度几乎是相同的。图 7-33 中 20Ω 的栅极电阻的作用相当重要。MOSFET 的高输入阻抗和高频率功能使得并联器件中可能出现自激振荡。插入一个与栅极并联的小电阻使这个问题得到缓和。原理是,它减小了由栅极

-漏极电感和 MOSFET 栅极-漏极电容组成的 LC 网络的 Q 值。为了安全工作, R_s 是很有必要的,其值取决于电路的寄生情况。在图 7-33 中,当串联栅极电阻为 10Ω 时电路会发生振荡,而其值选为 20Ω 时电路就稳定,增加 R_s 值会使电路更稳定。但代价是降低了带宽。

总而言之,稳定小信号 MOSFET 静态工作点的方法可以很容易地用在功率 MOSFET 的线性模式之中。在一条生产线产品中抽样,获得预期中的 g_{FS} 曲线最大差异情况之后,可以使用图象法来精确预测给定源极电阻和栅-地电压情况下的静态工作点。

由于 Q 点的微小差异限制了漏极电流可能的变化,所以可用同样方法取得成功的并联应用。唯一需要另加考虑的问题是通过单个栅极抑制电阻来限制潜在的自激振荡。

7.3 并联 MOSFET 的应用

7.3.1 快速、高电压、大电流开关中的并联功率 MOSFET

在许多应用场合,都需要极高速并能承受高电压大电流的半导体开关。尤其在器件检测方面要求开关器件的速度比被测器件的速度更高。功率 MOSFET 除了在大电流方面有一定限制之外,在这方面的性能还是相当好的。但不需采用分流镇流电阻,而采用并联的方法就可以增加电流负载力。这主要是由于漏-源导通电阻 $R_{DS(on)}$ 具有正温度系数特性。例如,当 FET 的跨导参数 g_{FS} 不匹配时,那么一开始 g_{FS} 参数最大的器件的漏极电流将最大。这时功率损耗也比较大 ($I_D^2 R_{DS(on)}$),这就导致温度上升, $R_{DS(on)}$ 增加,进而出现电流自限现象。这个过程自然会使每个器件的漏极电流平均化。

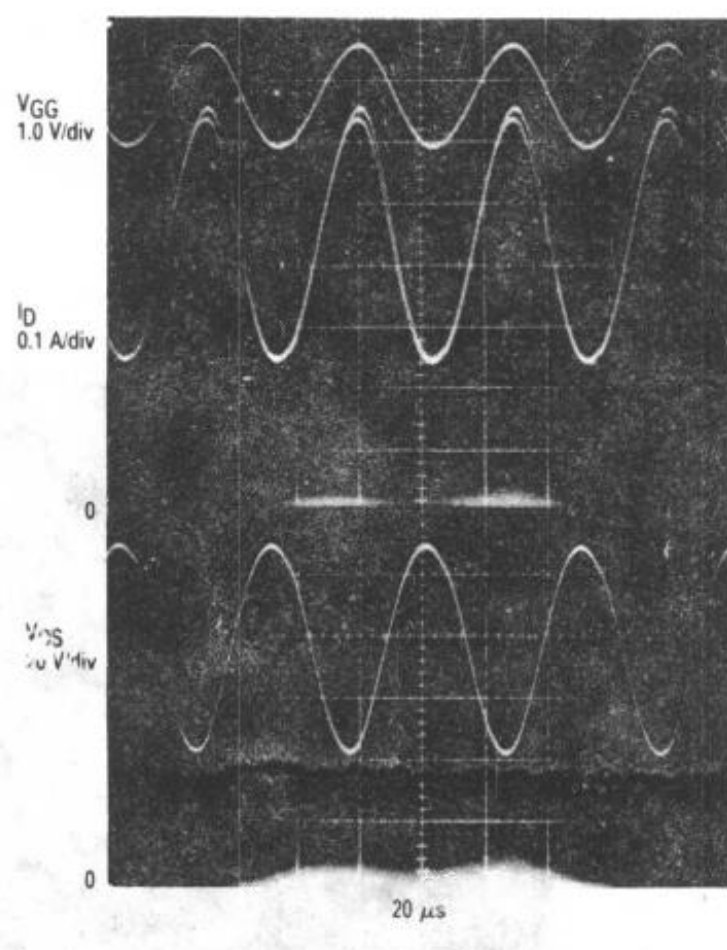


图 7-36 在线性模式下, MTP8N20 并联匹配时的 V_{GG} 、 I_D 和 V_{DS} 波形, $R_s = 3.3\Omega$

图 7-37 (b) 是一种产生高速脉冲的电路。为获得 150A 的系统峰值脉冲电流，输出功率开关采用 15 只 N 沟道 MOSFET 并联的方法。所使用的 FET 是不匹配的 TO-220, MTP5N40E ($2.7V < V_{GS(th)} < 3.9V$), 参数指标为: $V_{(BR)DSS}$ 阻塞能力为 400V, 连续漏电流额定值为 5.0A (10A 脉冲的), R_{DS} 最大为 1.0Ω 。TO-220 器件有助于电路布局与封装的有效性 [见图 7-37 (a)]。

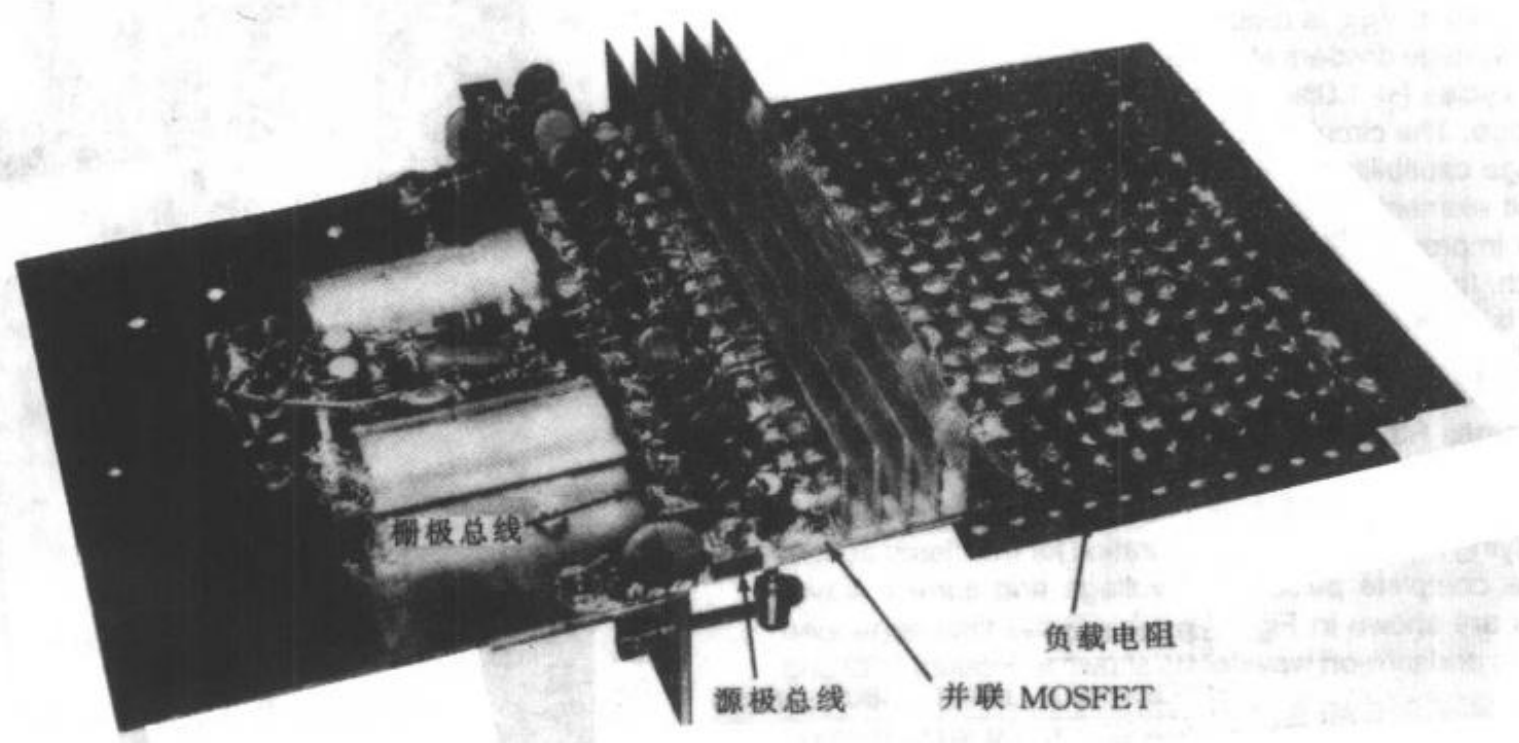


图 7-37 (a) 说明紧封装概念的开关面板布局

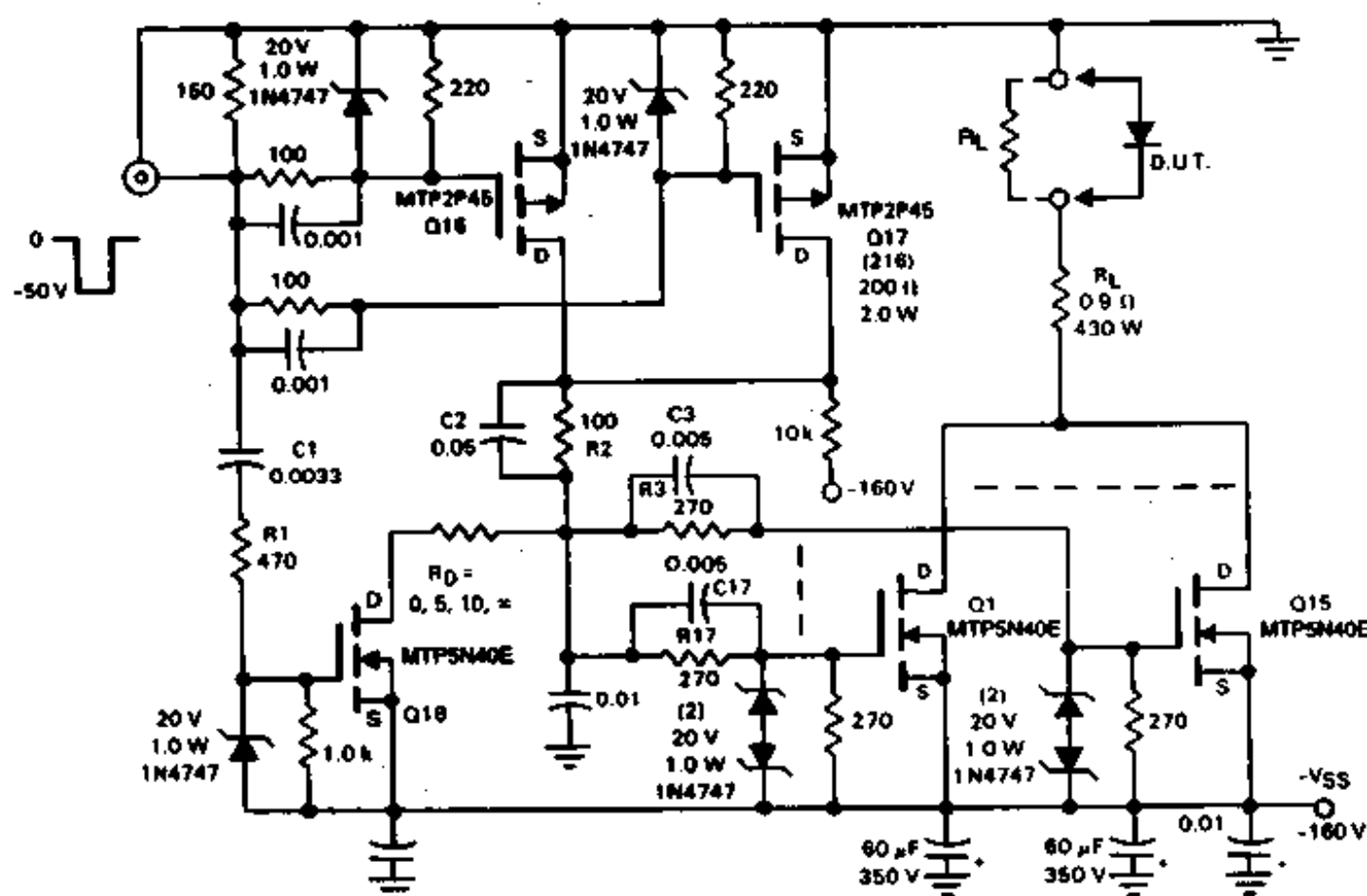


图 7-37 (b) 并联功率 MOSFET 组成 150A 的功率开关

为特定应用而进行的电路设计中要求被测器件 (DUT) 接地 (漏极电路), 因此, 开关器件的供电是由连在 FET 源极上的高压负电源 $-V_{SS}$ 提供的。这样应当采用电平转换器将以地为参考的脉冲输出转为这种负输出。为保证高速开关, 转换器必须具备为功率

MOSFET 输入电容 C_{iss} 和反向传输电容 C_{rss} 快速充电的电流驱动能力。为了达到这一目的，采用两只 P 沟道的 MTP2P45 作为并联在一起的串联开关。这两个 FET 的导通是由一个 50V、上升时间为 10ns 的脉冲发生器产生的负输入脉冲得来的。20V 齐纳二极管是为了保护栅-源结，并且为漏极电路的高速开关提供足够的栅极驱动。同 MTP2P45 漏极相连的是限流电阻 R_2 （同高速电容 C_2 相连），它为 15 个栅极电路提供信号输入（只画出电路 1 和 15）；并且每一个电路都包含一个直接耦合电阻，一个加速电容和起保护作用的几个齐纳二极管。齐纳二极管是在 $V_{gs} = 160V$ 时开始起作用的。当 V_{gs} 降至 40V 时，栅极驱动级的分压器会提供足够的驱动力。当占空率较小时（小于 1.0%），电阻消耗功率就相对小。电路能够在 FET 的阻塞电压范围内工作（400V），但无源电路元件都应相应增大。

为改进功率开关的关断时间，FET 的电容应当快速放电。其实现是通过 N 沟道 FET Q18 得到的。当该 FET 导通时，通过 C_3 和 R_3 的电压贮存效应为功率开关提供反向栅极电压。通过 C_1R_1 微分网络以及提供栅极驱动和箝位间隔的正向脉冲，FET Q18 随输入脉冲的后沿的到来而同时导通。

图 7-38 是完整的脉宽电压和电流的波形。图 7-39 和图 7-40 是拉长时间的导通和关断波形。

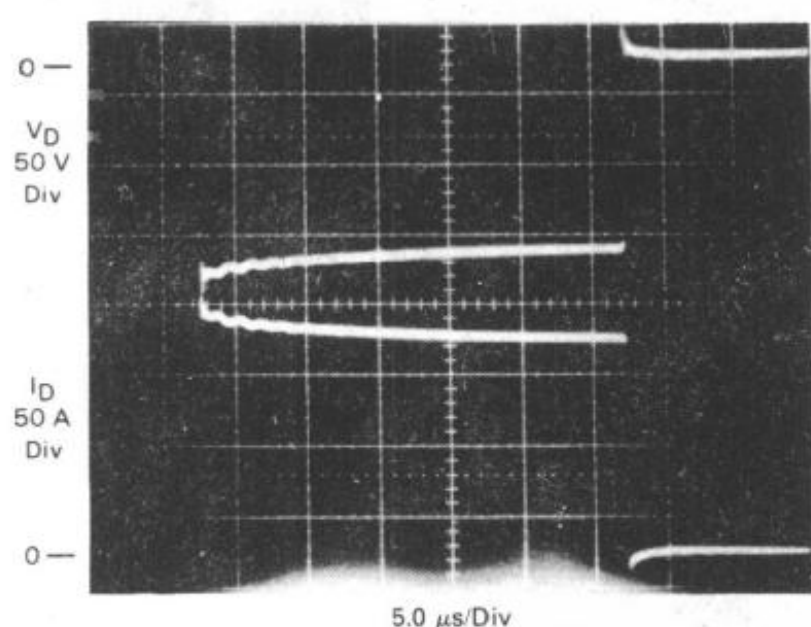


图 7-38 开关电压和电流

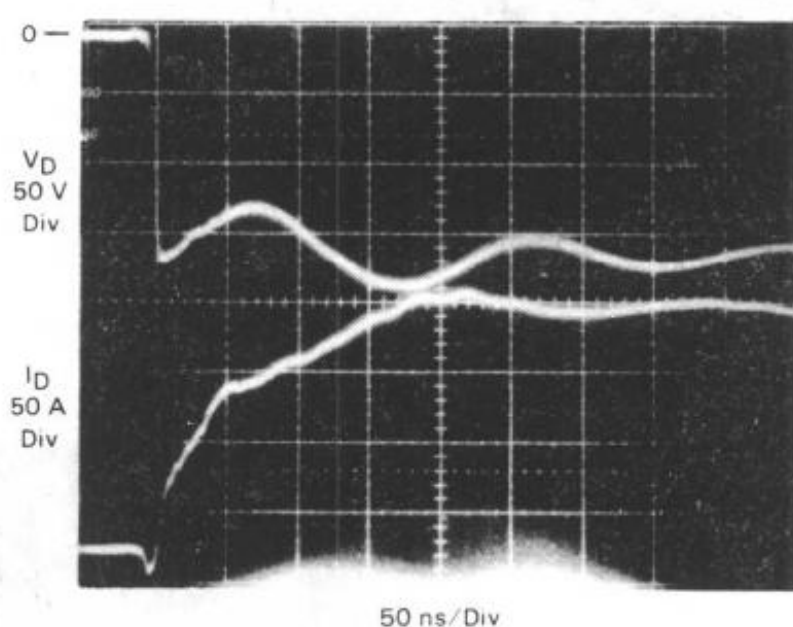


图 7-39 导通漏极电压和电流

在这些检测条件下 ($V_{gs} = 160V$, $R_1 = 0.39\Omega$)，当开关速度极高情况时，开关电压、电流约为 140V 和 150A，电压导通时间小于 10ns，由于电路中电感的限制，电流上升时间大约是 250ns。

如果没有 Q18 关断箝位电路，如图 7-41 (a) 所示，由于需要 FET 电容的放电时间，漏极电压（以及阻性负载的漏极电流）关断时间大约是 $1.0\mu s$ 。

如图 7-41 (b) 和 7-41 (c) 的照片所示，在有箝位的情况下，这个时间大大减少 ($0.2\mu s$)，其中电容放电限流电阻 R_D 分别是 5.0Ω 和 10Ω 。当该电阻阻值降低时，FET 的关断速度更快，但会因而受到更大的开关干扰（图 7-40 中 $R_D = 0$ ）。因此在某种程度上，关断特性应当视需要而定。

15 个 FET 的电路布局应当小心谨慎，尤其是栅-源驱动电路。它们是并排安装的，其栅极和源极分别接在两个并联的驱动总线上 [如图 7-37 (a)]。器件引线都应尽可能的短，

并且源极总线在许多点都应当是射频旁路的，以减少电抗效应。

用低电感获得高功率的阻性负载是一个问题。对一个 150A 的脉冲电流和一个 0.93Ω 的低电阻，峰值功率应当为 21kW。显然在这种应用中，工作期应当很短以避免负载电阻过热。这个电阻是由 216 个 200Ω 、2.0W 的金属氧化物电阻层叠并联而成的。这就形成 430W 的负载能力。因此，应当使工作期小于 1.0%，以确保工作在负载额定值以内，同时使示波器波形保持良好。

7.3.2 高速、互补功率 MOSFET 开关

当今许多半导体都需要能提供大脉冲

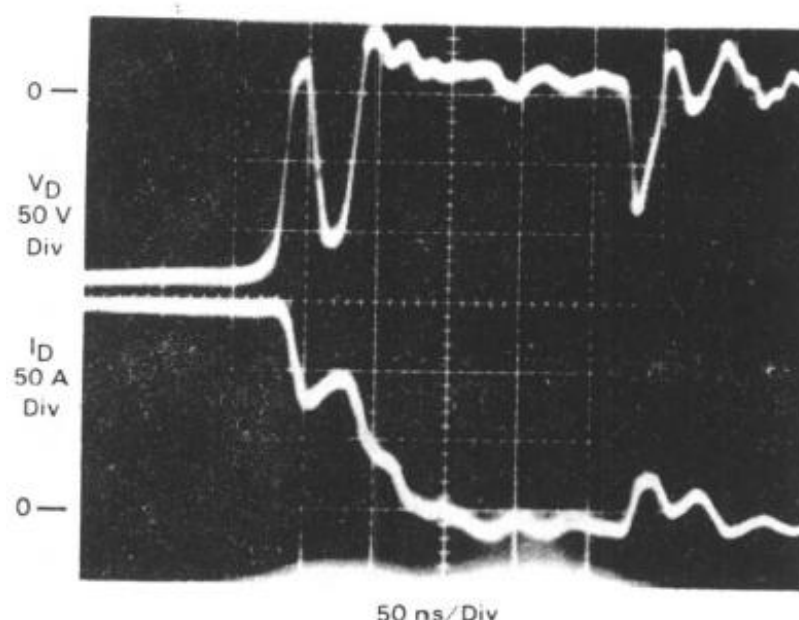


图 7-40 带箝位的关断， $R_D=0$

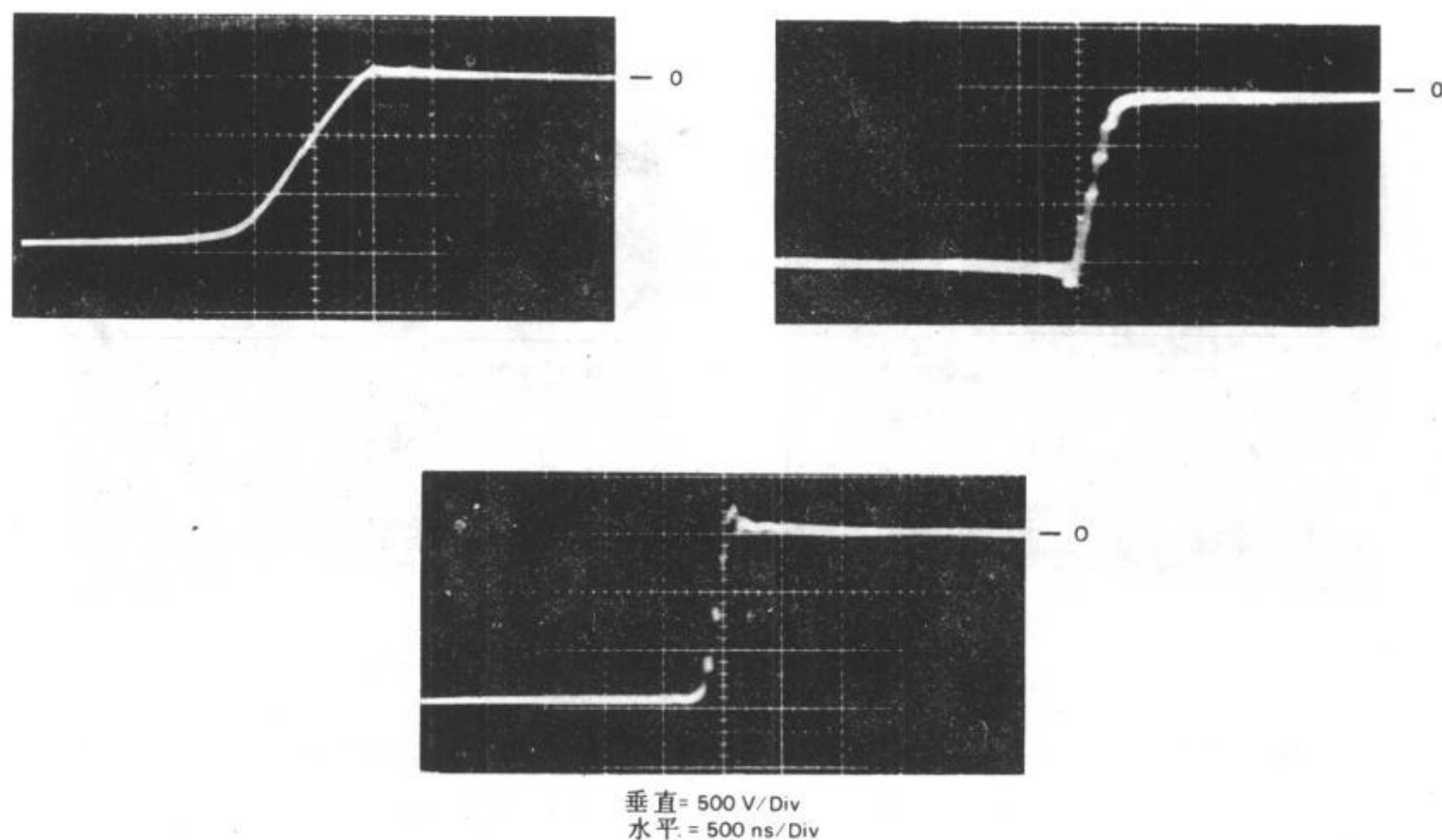


图 7-41 关断漏极电压

电流，高电压传输时的检测电路。

当今的实际电路，在电机控制和开关功率输出应用当中，当工作频率和输出功率增加时，整流器成了一个关键元件。在这些应用中，整流器的参数及其选择是很重要的。

由于互补功率 FET 具有高速开关的特点，如图 7-42 所示，正如它用在需要互补功率信号的一般场合一样，在测量高速恢复整流器正向和反向恢复时间时，它也是行之有效的。

电路设计人员对功率达林顿晶体管中的发射极-集电极二极管和功率 FET 中的源-漏二极管很感兴趣。整流器工作取决于许多条件，其中两个是正向电流截止率 (di/dt) 和二

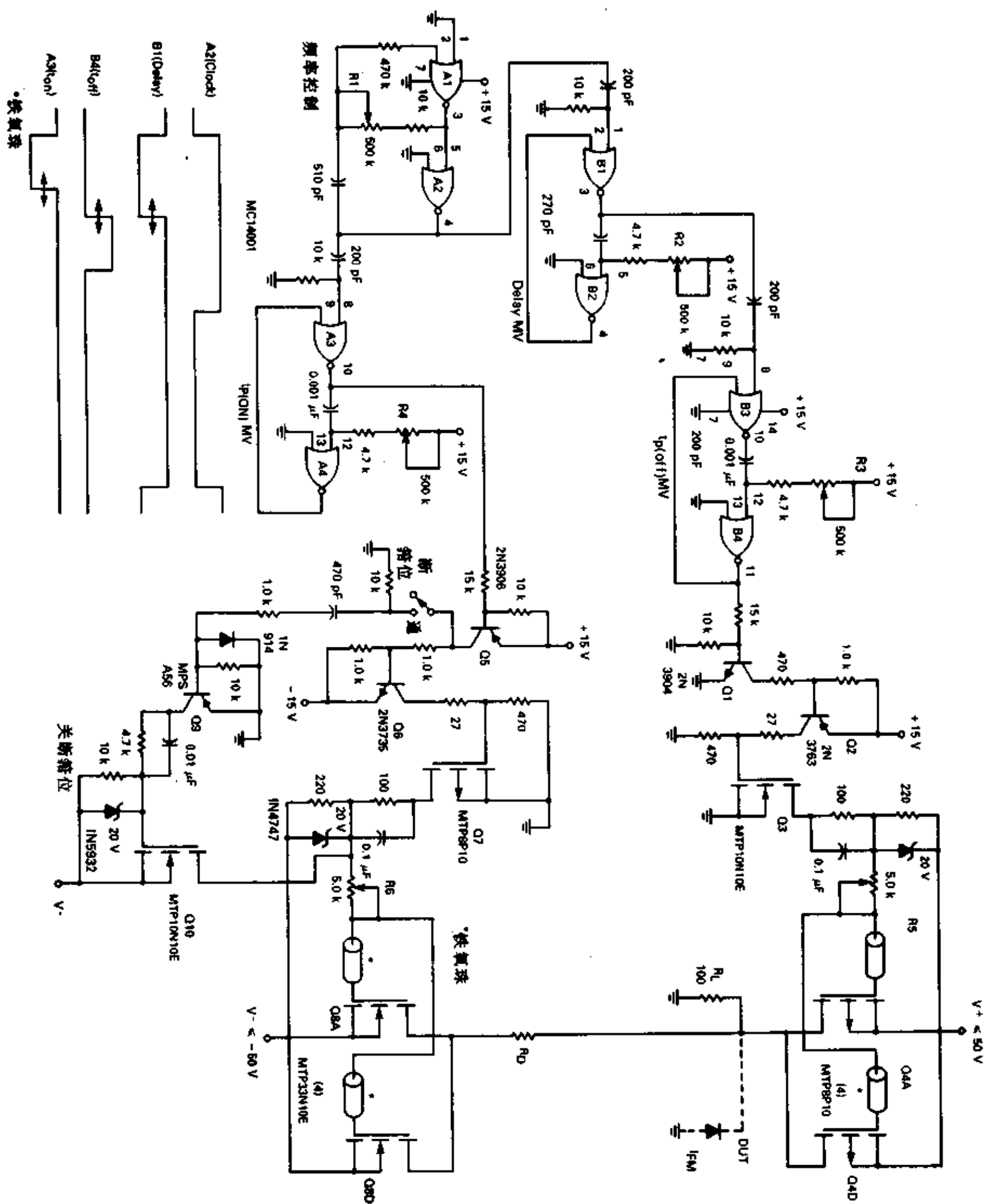


图 7-42 高速互补型功率 FET 开关

次阻塞电压的上升率 (dv/dt)。

在许多开关功率输出应用中, 需要设计死区时间以避免晶体管同时导通。尤其对一些功率 MOSFET, 死区时间间隔和阻塞电压变化率是很关键的。当上述条件都是很重要的时候, 有 dv/dt 调整和死区时间控制的互补开关有助于确定功率 FET 的性能。

1. 电路布局和工作

两个四-2 输入或非门 (MC14001) 用于脉冲产生和信号延迟。门 A1 和 A2 用于非稳态多谐振荡器 (MV), 记录延迟和 MV 的单稳脉宽。导通脉冲是双极型晶体管 Q5, Q6, 功率 FET Q7 以及 N 沟道输出开关 Q8。

P 沟道开关 (Q4) 的脉冲延迟和脉宽控制是通过驱动两个级联的双极型晶体管 Q1 和 Q2 以及功率 FET Q3 的门 B1、B2、B3 和 B4 而得到的。

晶体管 Q9 驱动功率 FET Q10, 同时通过栅极电容低阻抗通道放电, 使 Q8 快速截止实现一个可选的箝位。箝位间隔由 Q9 基极上的微分网络限定。

组成 FET Q4 和 Q8 的互补输出包括并联的 4 个 P 沟道器件 (MTP8P10) 和 4 个并联的 N 沟道器件 (MTP33N10E)。限流电阻 R_o 在 Q8 的漏极上, 但应当接在 Q4 和 Q8 两者的漏极上。外接负载可以是检测整流器, 也可以是任何其它需要测试其驱动特点的负载。例如, 高速可调的互补波形。由于导通电阻不同, Q8 的负向输出 (N 沟道) 电流开关能力为 100A, 而正向输出 (P 沟道) 电流开关能力仅为 50A。如果要求开关更高的电流, 可以另外附加并联器件。另外还可以采用具有高 V_{DSS} 额定值的功率 FET。

2. 输出波形

图 7-43(a) 和 7-43(b) 是开关输出的正向和负向波形, 正向电压延迟是 $2.0\mu s$ 。外接负载电阻大约为 $R_L = 2.0\Omega$, 加在上面的开关电压大约为 $\pm 42V$ 。

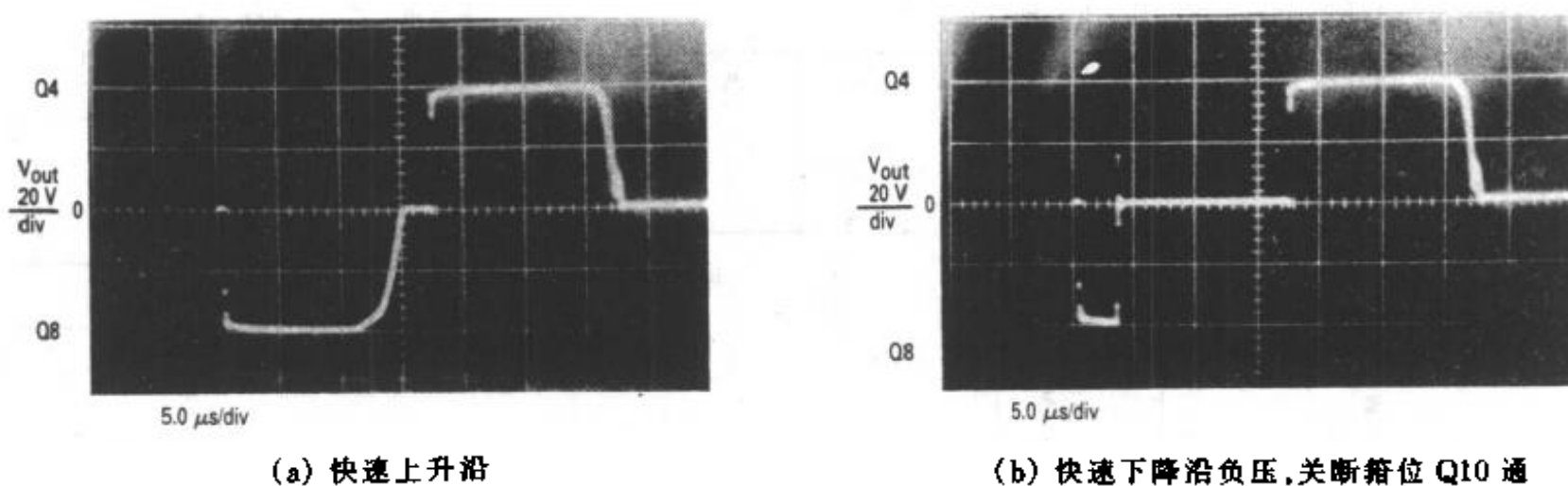


图 7-43 正反向开关输出电压, $R_L = 2.0\Omega$, Q8 漏极正负向电压大约为 42V

在图 7-43(a) 中, 正负向的开关电压前沿时间很短 (大约 10ns), 而后沿时间较长 (分别是 $3.0\mu s$ 和 $1.0\mu s$)。图 7-43(b) 是同样的开关电压, 但箝位晶体管 (Q10) 导通。这将使 Q8 栅极通过一个低阻抗通路放电, 并且加速了负向电压后沿的速度, 从 $3.0\mu s$ 变为大约 25ns。

在图 7-45 中, 负载用的是一个快速恢复整流器 MR821, 其中 $I_{FM} = 40A$, $di/dt = 300A/\mu s$, 阻塞电压变化率约为 $2500V/\mu s$ 。

对于正向开关电压, dv/dt 的调整是通过 R5 来实现的, 而负向开关电压则是通过 R6 来实现的。

图 7-44 中，正负向开关电压的转换时间为 $35\mu\text{s}$ 。此时箝位管导通，Q4 从 Q8 进行电流转向。

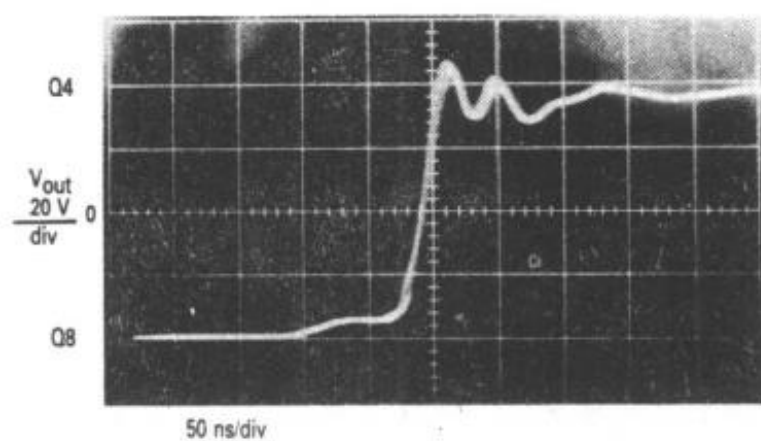


图 7-44 Q8 漏极的正负电压转换，关断箝位管 Q10 导通

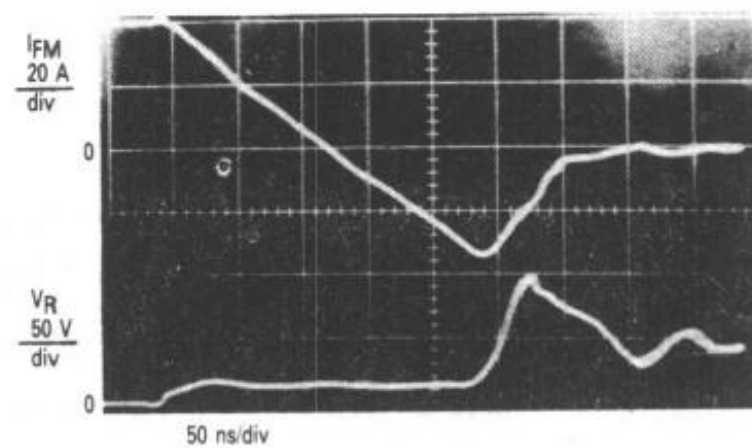


图 7-45 MR821 快速恢复整流器的反向恢复 (t_{rr})

第八章 大功率开关电源

目前,功率 MOSFET 正在越来越多地应用在大功率开关电源上。与双极型晶体管相比, MOSFET 具有许多优点,例如其开关速度是双极型晶体管的 5~10 倍,并且其驱动和应用都更方便。对于新设计者而言,可以把它作为一个逻辑开关器件。

功率 MOSFET 是电压驱动器件。也就是说,其导通性是由栅极电压决定的。MOSFET 可以直接用具有推挽输出能力、开关时间小于 100ns 的控制器组件来驱动。但驱动电路必须是很好的旁路电压源,其主要原因是 MOSFET 的栅极包含一个需要在 100ns 时间内充放电的电容。故驱动器应有至少 1.5A 的峰值供电流和吸电流能力。双极型推挽驱动器就可满足这种需求。MOSFET 驱动用的组件, MC34151 (反相)、MC34152 (非反相) 可提供 MOSFET 所需的驱动以满足当输入为逻辑电平值时进行高速开关动作。又如 MDC1000, 这种器件是 MOSFET 关断器件,它仅用于有源导通驱动器的情形,例如光隔离晶体管的输出。图 8-1 是一般驱动器的几个例子。

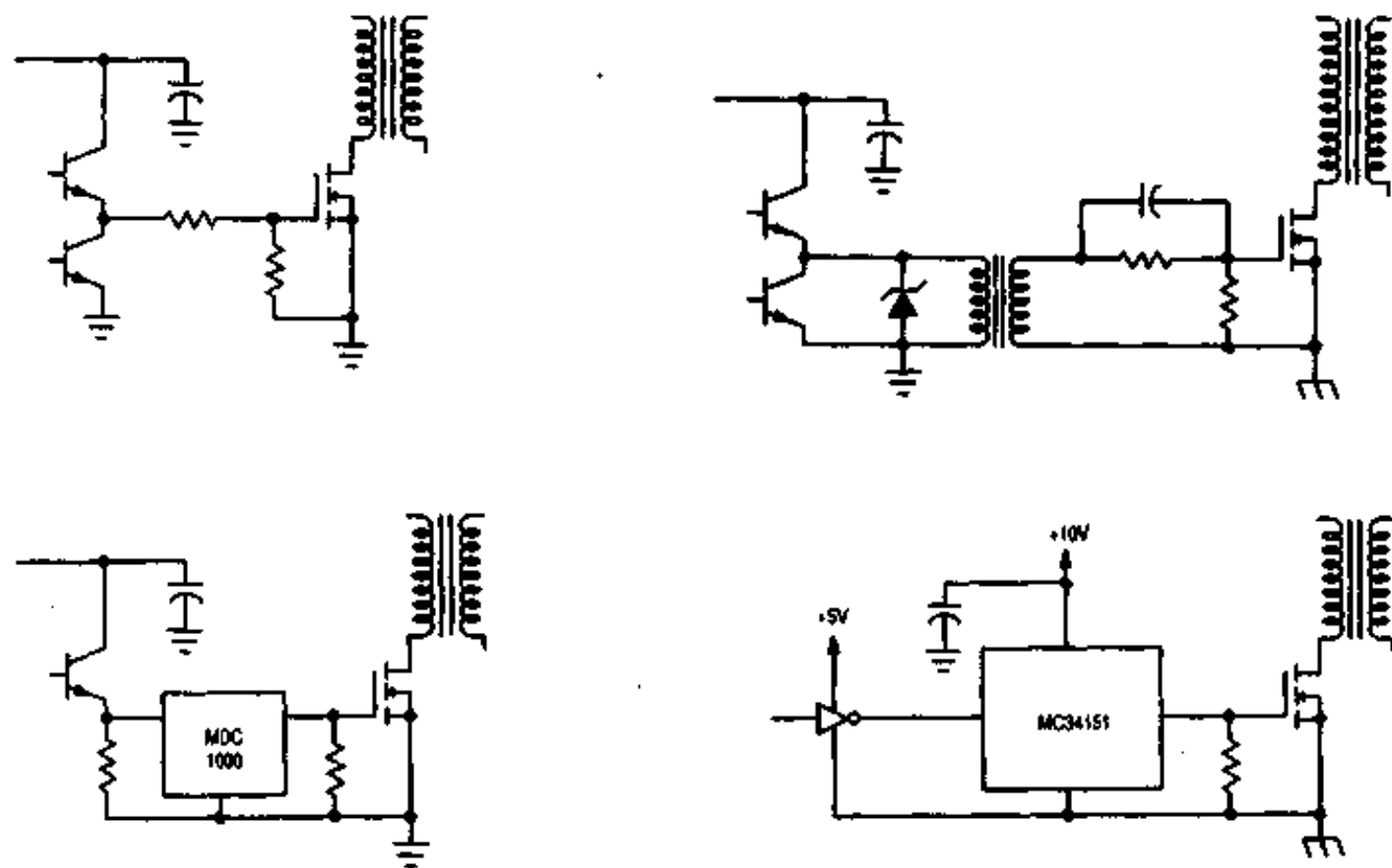


图 8-1 一般功率 MOSFET 驱动电路

8.1 100kHz 开关型功率电源

在工作频率为 100kHz 到 200kHz 范围内的反馈调节器中,功率 FET 是性能优良、投资划算的器件。

这里讨论的电路证明了这一点,这是一个有四路输出电压(即 $\pm 5.0\text{V}$ 和 $\pm 12\text{V}$)、功率为 60W、频率为 100kHz 的 FET 开关电源。其工作电源为交流 120V,效率 75%,总花费

大约为 35 美元。

这个高频设计方案中包括的特殊元件有：

- Motorola MTP5N40E 功率 FET。这个 5A、400V 的器件的导通电阻仅为一欧姆，并且可以用线性集成电路直接驱动。它的开关时间小于 50ns，并且有足够大的反偏安全工作区（RBSOA）以减少缓冲器的使用。
- PE63133 功率变压器。这是一个连续型的反馈变压器，它非常适合于工作在高频。由于箝位绕组与初级绕组交织在一起，所以不需齐纳管箝位。在负载和线路可变的条件下，辅助输出的调整在 10% 以内。
- Motorola MC34060 开关控制器 IC，光耦合器 4N27，线性调节器 MC1723。我们将这三个器件用在这个廉价的三片控制系统中。MC1723 是误差信号放大器，MC34060 是固定频率的脉宽调制器（PWM），4N27 将反馈信号从 MC1723 耦合到 MC34060。
- Motorola 的肖特基整流器 MBR1035（TO-220）用于整流 5V 的输出电压，其价格仅为 DO-4 的一半。使用 $\pm 12V$ 输出整流的 MUR805，即 TO-220 快速恢复整流器可节省同样的费用。
- Mepcol/Electra 3428 系列输出电容器。这些高频电解电容的特点是有效值（RMS）电流值高，幅射损耗（ESR）值低。在输出端仅有 50 到 70mV 的波纹（峰-峰值）。功率损耗小于 0.5W。

8.1.1 电路设计

大多数低功耗反馈设计的目标是减少组件数量（或尺寸）并且降低费用。图 8-2 是 60W、100kHz 的开关电源，它可满足上述需求。与工作频率为 20kHz 的相比，100kHz 的尺寸和费用都降低了大约 30%。同样，其中的 FET 可以直接由逻辑电路驱动（100 到 200mA），且开关效率仍然很高。这就降低了对驱动接口电路的要求。输出端尺寸减少了 50%，费用同时也降低了。这样最终形成了一个比较新的三片控制系统。以费用低廉的光耦合器替代价格昂贵但性能有限的驱动变压器。

FET 是反馈变压器的控制元件，它直接由线性集成电路 MC34060 来驱动。为控制电路

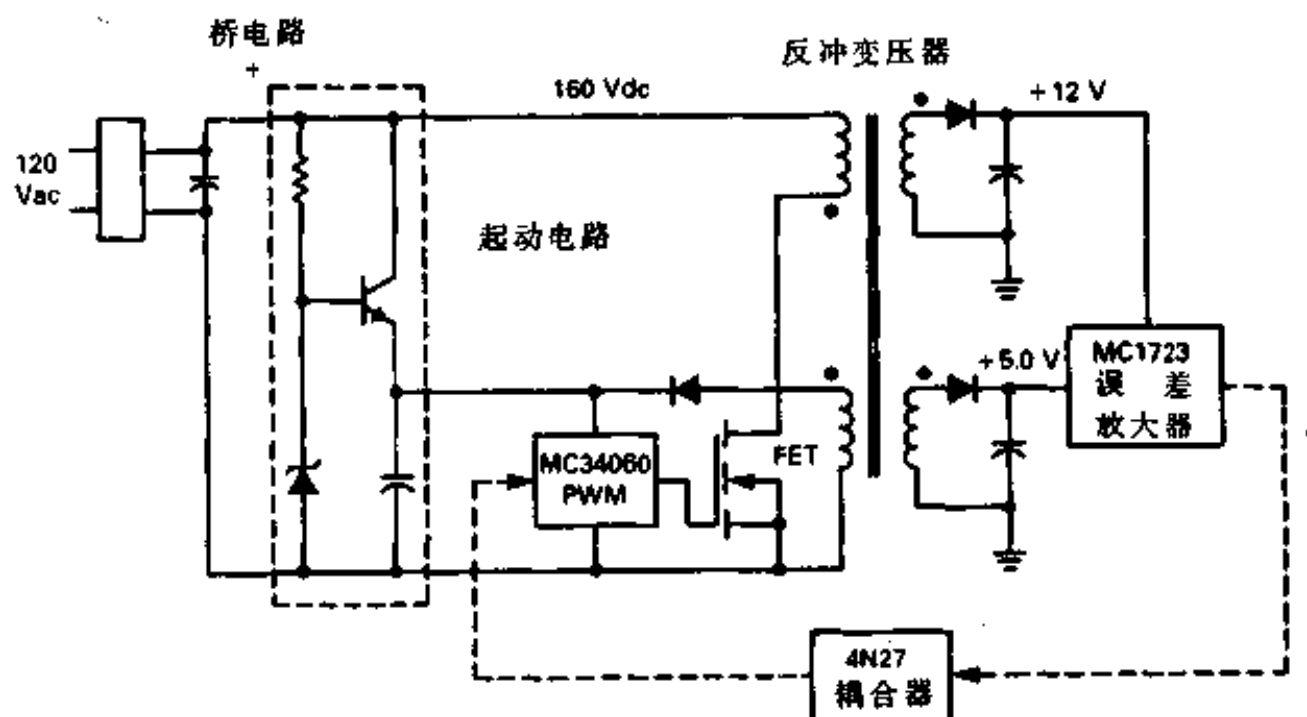


图 8-2 电压调节器方框图

初始化时供电的是一个相当标准的独立起动电路。与为单片控制电路供电的线圈式变压器相比其费用是比较低的。设计过程一般是：

- (1) 设计并测试功率级。
- (2) 加控制环并使之稳定。
- (3) 把直流功率转换成交流功率。

图 8-3 是以此获得的 FET 波形。FET 出色的开关速度在这里是可变的（小于 50ns），电流波形的减幅振荡是由于电流敏感支路和示波器探头的噪声拾取所致。

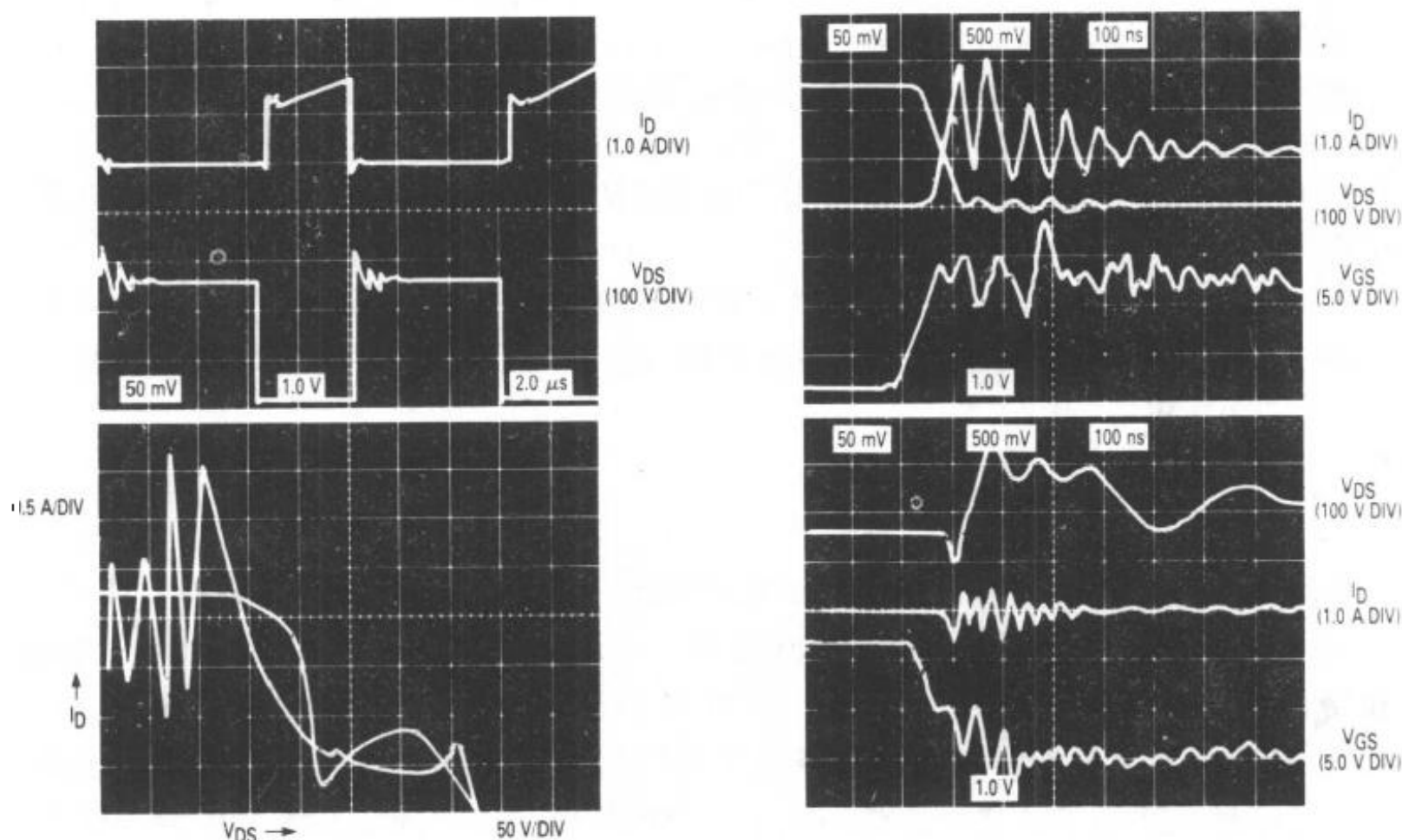


图 8-3 FET 波形——满负载，交流 120V

由于输入电容需要 60Hz 的能量存储，故它的尺寸并没有象输出端那样减小很多。这里用的噪声滤波器包括 PE 的螺线管和比较经济的 41GS 系列的钽质 M/E 电容。12V 输出整流器是 Motorola 超高速恢复整流器，它采用的是 TO-220 封装。由于采用将散热片安在导出板上以得到恰当的散热装置，故很适用于高电流情形（10~15A 峰-峰值）。

对于整流 5V 输出而言，MBR1035TO-220 肖特基整流器是最佳选择。它是对应型号 DO-4 的 1N6095 费用的一半。

这个调节器（包括控制电路）的整体效率为 75%。一般情况下，大多数损耗发生在功率转换器件，如表 8-1 所示。

如前所述，控制环路包含三个芯片。其功能框图见图 8-3。第一片是线性调节器 MC1732。在这里它用作误差放大器并提供 5V 参考电压。它由 +12V 输出线圈提供电源，从 5V 输出级得到反馈或控制信号。MC1732 用来驱动第二块芯片，即 4N27 光耦合器。该耦合器使初级线圈与次级线圈之间保持分离并将直流控制信号耦合到第三块芯片的输入端。MC34060 是第三块芯片，它完成对固定频率的脉冲宽度进行调制的作用，用于直接驱动连在初级线圈或能量存储线圈上的 FET 功率开关。

起关键调节作用的部分是 0 到 3V 的锯齿波振荡器和反馈比较器。当反馈信号从 0 上

表 8-1 效率数据

1. 输入功率				
V_{in}	I_{in}	P_{PRMS}	P_A	P_F
160V _{dc}	0.6A	96	96	100%
120V _{ac}	1.4A	170	95*	56%
* 使用 Clerk-Hess 瓦特表				
2. 输出功率				
线圈	5.0	-5.0	+12.0	-12.0
负载 (Ω)	1.0	10.0	8.0	8.0
电压	5.1	5.1	13.2	13.3
功率	2.5	2.6	21.5	22.0
3. 效率				
$E_{eff} = P_o/P_{in} = 72W/95W = 75\%$				
4. 损耗估值				
FET	4.0W			8.0W
肖特基管	4.0W			5.0W
变压管	2.0W			

升到 3V 的过程中, 反馈信号就会逐渐缩短来自比较器输出脉冲的导通时间。在起动过程中无反馈信号, 电阻分压网络控制第二个比较器即空载比较器, 以确保导通时间不超过 45%, 这个措施和软起动电容防止了起动期间的变压器饱和问题。如图 8-4 所示, 栅极电压的降低是通过附加一个便宜的 TO-92PNP 晶体管 (Q3) 来实现的。如图 8-5 所示的电路中, 加上一个 200V 的晶体管 (Q2) 和一个 12V 的齐纳二极管, MC34060 可以单独起动。在正常电压条件下, 它最终断开偏置该晶体管的 12V 辅助线圈。因为它和 FET 的栅极都只从系统吸收大约 20mA 的小电流, 所以双极型晶体管线路设计中通用的欠压禁止问题在这里可以省去, 当输入电压达到交流 40V 时, 该电流开始起作用并且安全流动。

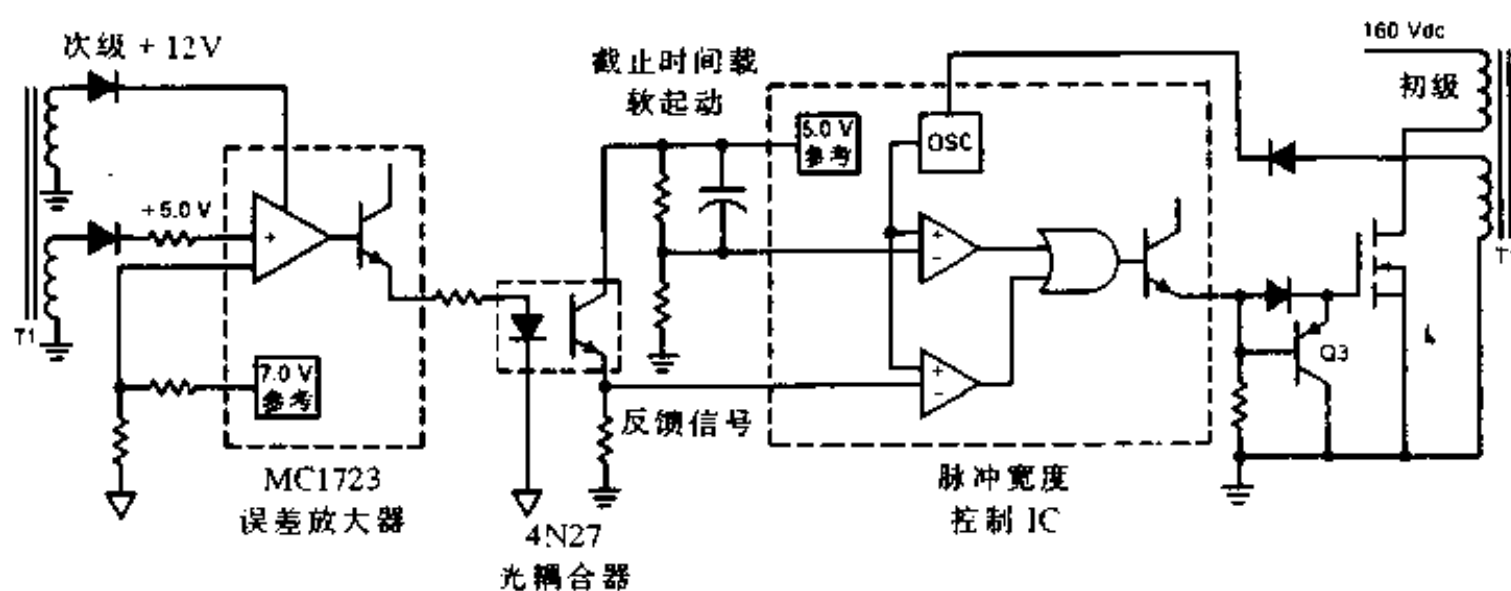


图 8-4 三片控制系统

这种 100kHz 开关的性能同其它多数开关很相似。无论 60Hz 还是 100kHz, 都比较容易将输出波动控制在 100mV 以下, 如表 8-2 所示。这里的系统调节性能良好, 可小于 0.1%, 但负载调整 (2.0%) 性能应当更好一些。通常紧密的电路布局和更高的环路增益能使之降低到 0.1% 到 0.5%。效率 (75%) 与交替调整 ($\pm 10\%$) 同样与其它多路输出开关电源设计相似。

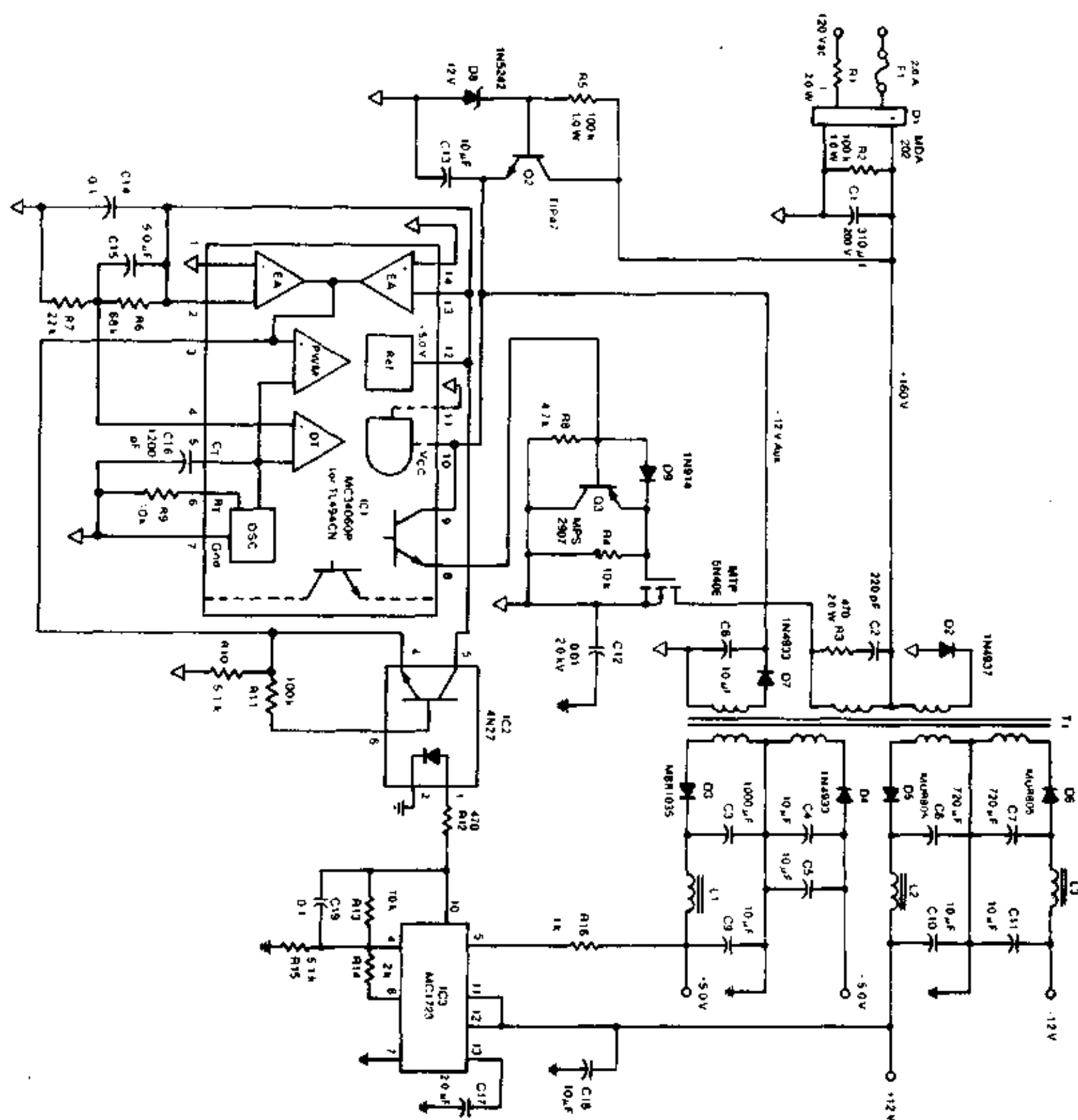


图 8-5 100kHz FET 调整器

表 8-2 输出数据

1. 波纹电压 (120V 交流, 满负载)				
线圈	+5.0	-5.0	+12	-12
100kHz 波纹 (峰-峰值)	60mV	300mV	70mV	50mV
60Hz 波纹 (峰-峰值)	20mV	50mV	70mV	60mV
噪声尖冲 (峰-峰值)	2.0V	2.0V	2.0V	2.0V
2. +5.0V 调整				
系统电压	100V _{ac}	100V _{ac}	130V _{ac}	130V _{ac}
负载	满负载	半负载*	满负载	半负载
电压	5.10	5.21	5.10	5.21

* 注: +5.0V 负载增加到 2.0Ω, -12V 负载去掉。

负载调整 = $\Delta V_o / V_o = 0.11 / 5.1 = 2.2\%$ 。

系统电压调整 = $\Delta V_o / V_o = 0.005 / 5.1 = 1.0\%$ 。

8.2 20kHz 开关

一种不太新奇的 20kHz 开关为 FET 与双极型晶体管之间的互换性提供了一个很好的例子。如图 8-6 所示, 这个 35W 电源原来是根据双极型输出晶体管 MJE13005 设计的。在这种条件下, 交迭时间和管壳温度上升是在 V_{in} 160V 直流、满负载输出的情况下测量的。

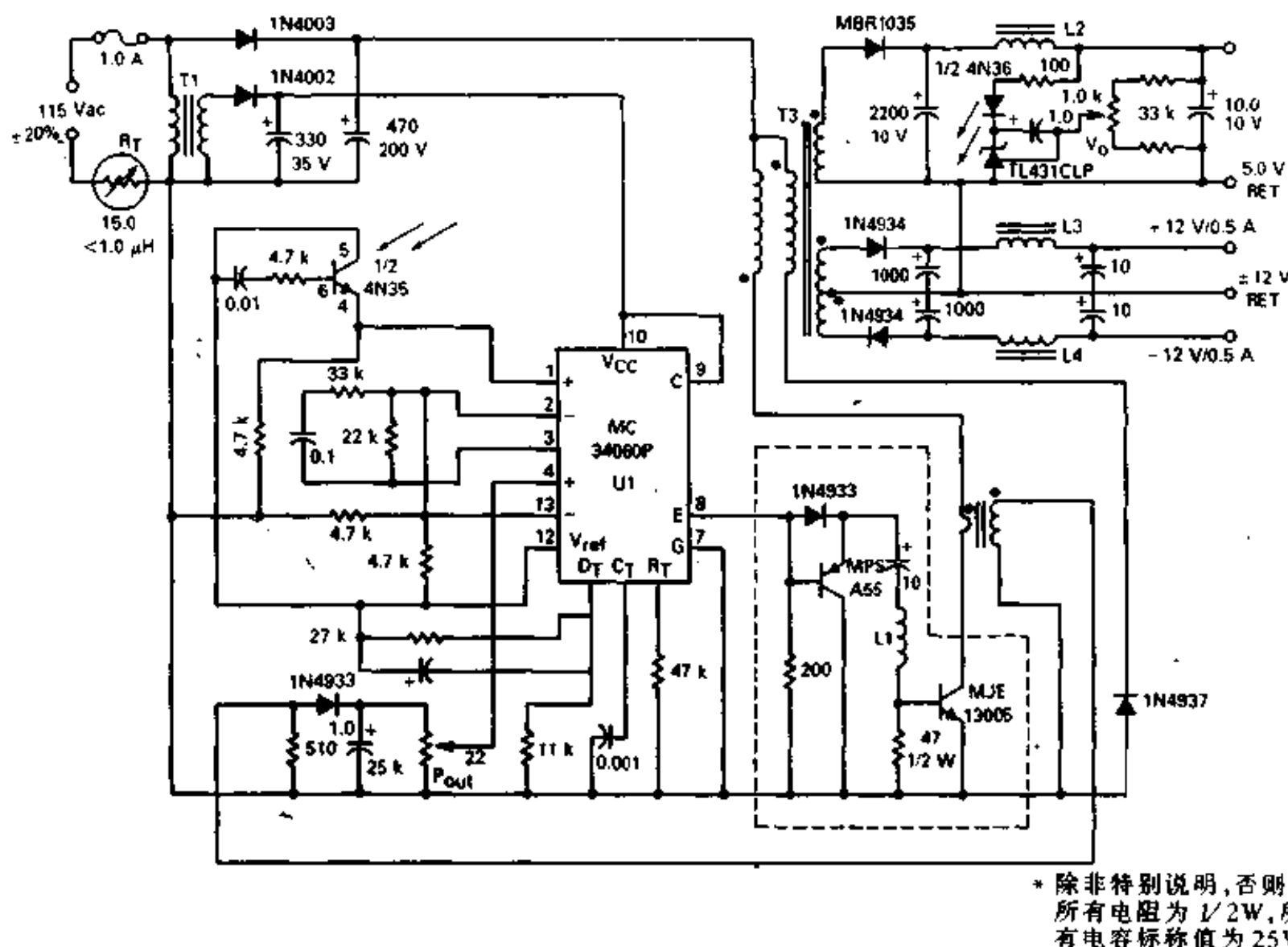


图 8-6 使用双极型开关的 20kHz 功率开关电源

图 8-8 是交迭波形。在满负载、管壳温度为 71°C 的情况下, MJE13005 在 $1\mu\text{s}$ 以内的交替时间内导通 (管壳温度上升 46°C), 同时它作为一个开关元件, 也是对其效率的一种较好的相对测量。

当用 FET, 即 MTP4N50E 代替双极型晶体管后, 如图 8-7 所示, 驱动电路就大大简化了。此时, MC34060 控制电路可以直接驱动 FET, 这就简化了双极型线路中所需的复杂基极驱动电路。最终结果是, 通过去掉五个元件, 改动一个电阻值, 就将双极型晶体管换成了 FET。这样 FET 的替换就减少了元件数目。

要使性能优异, FET 就是较好的选择。如图 8-9 所示, 交替时间不仅得到很大改进, 并且管壳升温仅为 18°C 。

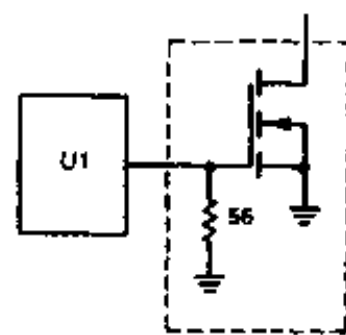


图 8-7 功率 MOSFET 的一种简化形式

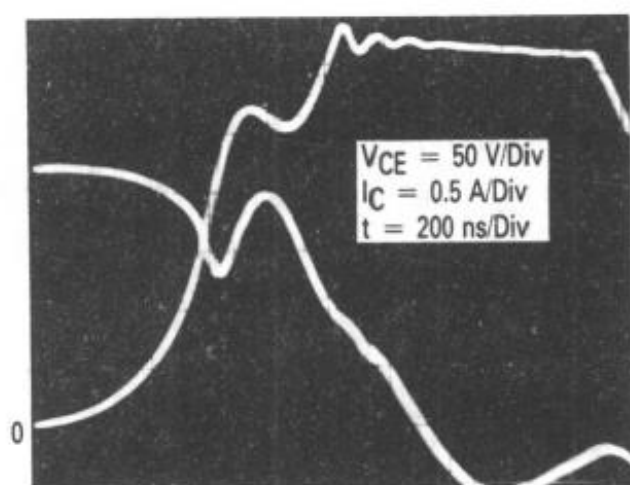


图 8-8 双极型晶体管交迭时间

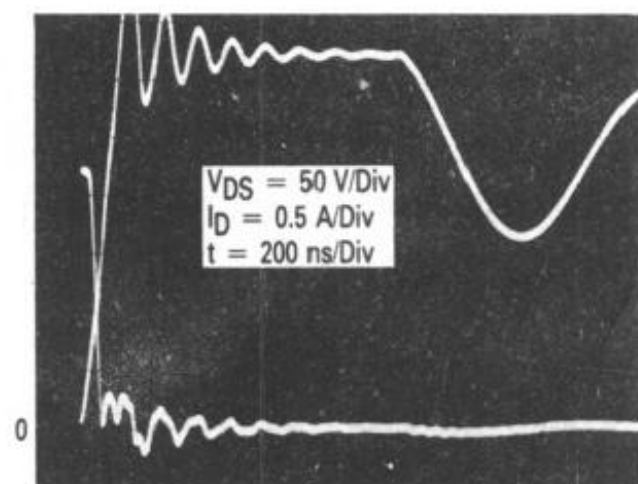


图 8-9 FET 交迭时间

8.3 高压回扫换流器

我们已经多次讨论过功率 MOSFET 性能优于双极型晶体管的各种特点，即高输入阻抗（低驱动功率），开关速度高，无二次击穿。如果将这两种元件用在同一应用场合，则前者的优点立刻可显示出来。例如 HV（高压）回扫换流器，开始用双极型晶体管设计，后来又用功率 MOSFET 重新设计。

图 8-10 (c) 是第一种方案，在脉宽调制回扫换流器中使用了开关模式的高压输出双极型晶体管 MJ8505。该晶体管的击穿电压标称值为： $V_{CED}800V$ ， $V_{CEV}1400V$ ，连续集电极电流为 10A。但最为重要的是，该器件有反偏安全工作区（RBSOA）曲线，如图 8-11 (a) 所示，这就要求当集电极峰值电流在 3.0~4.0A 范围内时，产生的峰值反馈电压约为 800V。

为获得 RBSOA 能力就需要一个大约为 -5.0V 的反偏电压 $V_{BE(off)}$ 。由于在高压晶体管中有一个 β 的折衷值 ($I_c=1.5A$ 时 $\beta_{min}=7.5$)，故可选择一个较低值的 β_F ($I_{BI}=1.5A$ 时，它约为 2.5) 以确保器件饱和。为产生平滑、单调且较快的箝位感性截止波形，建议采用二极管贝克 (Baker) 箝位网络 (D2~D4)。因此，需要一个包含有 I_{BI} 正偏基极电流电路（晶体管 Q1 和 Q2）和一个截止偏置电路（晶体管 Q3 和 Q4）的功率放大器将低电平 PWM 与 MJ8505 接口。本例中的 PWM (U1) 应有 20mA 的电流供吸能力，并为功率放大器提供 +5.0V 的脉冲。

但如果输出器件采用对等额定值的功率 MOSFET MTP4N8E，则可大大简化驱动电路，致使费用得以节省，可靠性得以增加。另外，MOSFET 的高速开关性能增加了系统效率。如以下所述，可取得更大的 RBSOA 或断开 SOA (MTP4N80E 与 MJ8505 之间的比较见图 8-11)。

脉宽调制器可以是 15V 供电的 IC 中的任何一种，其电流供吸能力应在 100mA 范围。在开关速度很快的条件下，驱动功率 MOSFET 的电流值是可以修改的，供电流为 FET 的输入电容 C_{iss} 充电，吸（漏）电流供高速截止电容放电。同样，脉宽调制器近似于 15V 的输出可确保 FET 正常导通。

这就是高压开关功率输出的第二种方法，脉宽调制器直接驱动 FET 栅极。当使用单 N

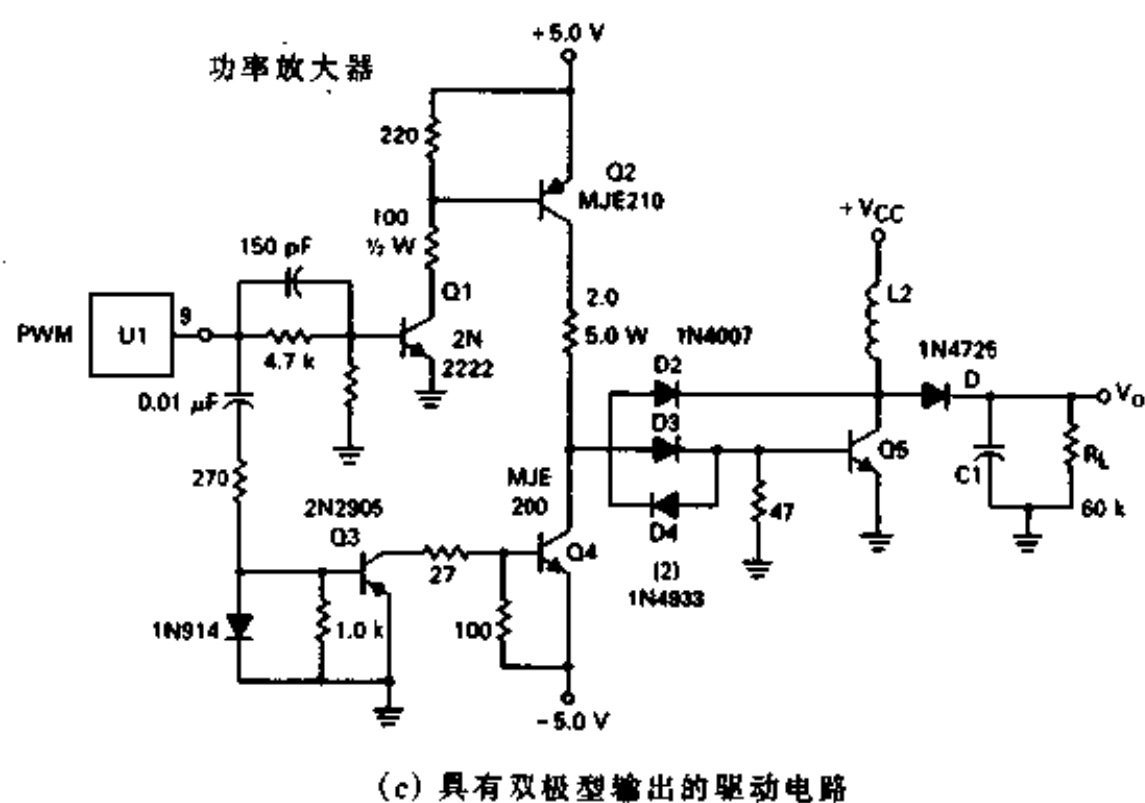
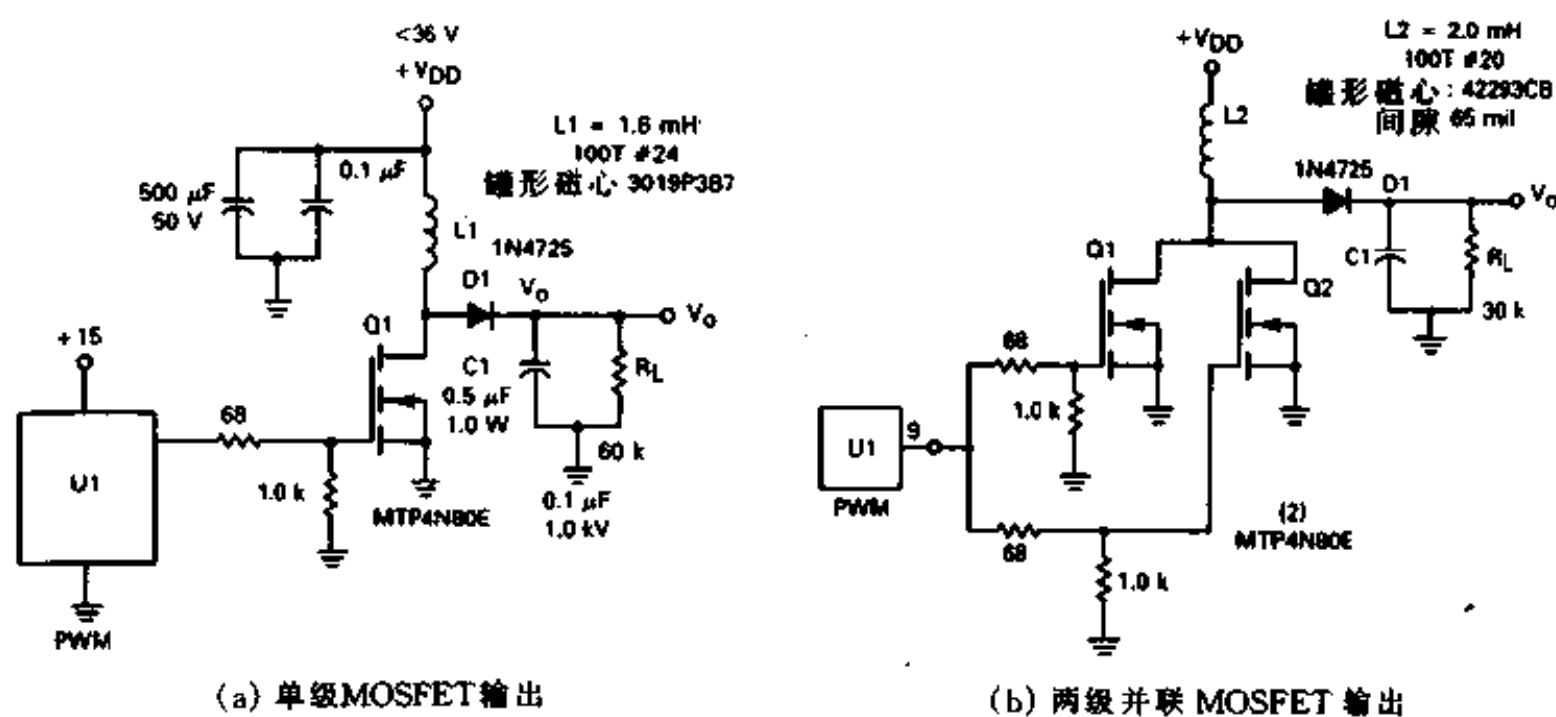


图 8-10 用功率 MOSFET 和双极型晶体管作输出的高压反馈换流器

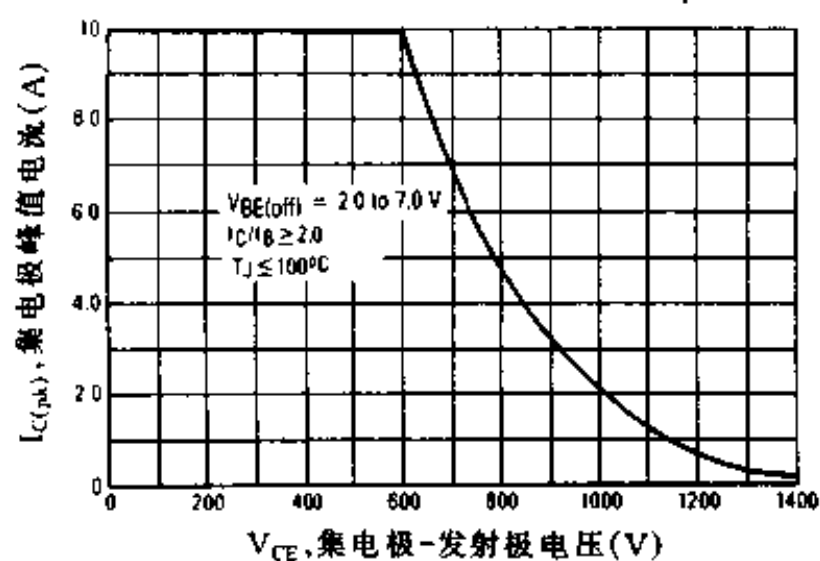


图 8-11 (a) RBSOA, 反向偏置
开关安全工作区

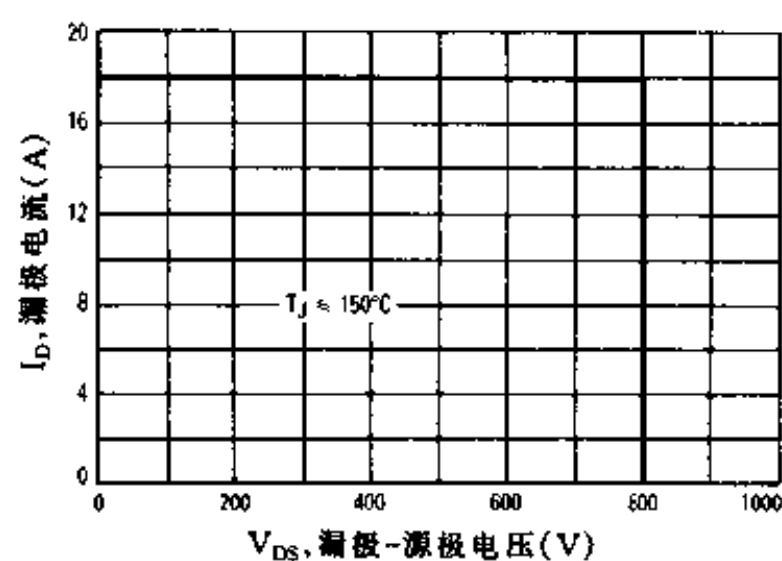


图 8-11 (b) 开关安全工作区
的最大标称值

沟道、高压 TMOS MTP4N80E 晶体管时 ($V_{(BR)DSS} = 800V$, $I_D = 4.0A$), 可取得峰值为 750V 的高压输出, 并且能驱动 $60k\Omega$ 的负载。在所示的开关频率以及负载电感 L1 的条件下, 峰值漏极电流大约为 2.5A (由于受电感磁场饱和的限制), 回扫电压大约是 750V。

漏极电流正好在 MTP4N80E 的电流额定值以内。但更令人感兴趣的是, 由于 FET 没有类似双极型晶体管那样的二次击穿限制, 所以它可以同时保持高电压和高电流。这样, 750V、2.5A 的负载正好在 SOA 范围之内。

为了产生更大的功率输出, 如图 8-10 (b) 所示, 可采用驱动两个并联的 MOSFET 的方法。使用更大的电感 L2, 该电路很容易在 $30k\Omega$ 负载上产生 800V 的输出电压。总漏极电流可达 3.5A。每一路的电流和其 $R_{DS(on)}$ 值成反比。例如: 若两个 5Ω 的导通电阻是匹配的, 则 I_D 的等值为 1.75A; 若两个导通电阻不匹配, 一个为 5.0Ω 而另一个为 8.0Ω , 则 I_D 分别为 2.1A 和 1.4A。当进一步降低负载阻抗, 且每个器件漏电流都处在规定指标情况下, 就能进一步增加功率输出, 如表 8-3 所示。

表 8-3

R_L	V_{DD}	V_O	总 I_D (峰值)	P_O
$50k\Omega$	28V	800V	3.6A	21.3W
$25k\Omega$	31V	800V	3.8A	25.6W
$21k\Omega$	34V	800V	4.2A	30.5W

最后, 为了在两类器件之间作直接比较, 应使负载和存贮能量的电感分别相同。由于对双极型晶体管的测试本来是在更大的电感值和 $30k\Omega$ 负载的条件下进行的, 所以当峰值集电极电流达 3.2A 时, 输出电压达

700V, 那么单片功率 MOSFET 也应在同样条件下进行测试。功率 MOSFET 不仅达到这个输出量级, 而且事实上已达到输出电压 800V, 电流 3.6A。为取得要求的贮能电感以及在这种应用中的功率输出, 开关频率约为 1.7kHz。即使在这样的低频条件下, 较大的静态损耗 [$V_{DS(on)} = R_{DS(on)} \cdot I_D = 8.0\Omega (\max) (3.2A) \approx 25V$] 并不对总器件损耗产生影响。

必须承认, 与同样管芯尺寸的双极型晶体管相比, 功率 MOSFET 价格更为昂贵。但当技术取得进一步进展后, FET 的价格会更具有竞争性。在本例中已经看到比起双极型晶体管, 单片功率 FET 电路更有效, 驱动电路更简单, 在提供了无二次击穿的矩形 SOA 曲线, 这就允许满 $V_{(BF)DSS}$, I_D 开关工作能力。

8.4 双晶体管电流型正向换流器

本节讨论一种 150W、150kHz 的双晶体管电流型正向换流器的设计。所强调的问题也正是设计者经常遇到的重要问题, 例如噪声控制, 反馈电路分析, 磁性设计等。本节包括改进后的整流器, 功率 MOSFET 光耦合器以及它们对开关模式功率输出设计的影响。

8.4.1 简介

目前对功率输出器件的改进集中在增加效率, 提高可靠性和减小尺寸上。因为降低系统损耗是对上述三个方面进行改进的一种方法, 所以这是一个较好的研究方向。当然还有其它各种方法, 例如改进整体设计, 使用效率更高的器件, 提高开关频率以减小贮能元件的尺寸, 使用现有器件中最可靠性的器件, 或者采用新的封装技术来减小体积, 例如, 采用表面安装器件等。

使用为开关功率电源而专门设计的元件是设计者想达到更高目标的另一手段。器件厂家通过调整元件生产以使应用问题得到最完美的解决。由于选择最合适器件是大功率电源设计者的主要任务之一,所以下面在讨论本节标题内容的同时也讨论一些新的元件。

这里描述的电源工作范围是,输入从交流 90V 到 132V 或 180V 到 264V (用跳线选择),输出为 5V, 30A,系统和负载稳定率为 0.2%,启动时间小于 50ms。根据给定工作条件,效率为 75~81%。

8.4.2 双晶体管电流型正向换流器的优点

与其它因素相比,要求达到的输出功率对电路布局选择的影响最大。单晶体管反馈换流器对于输出小于 150W 的独立换流器而言是最佳的。由于变压器本身(实际是一个耦合电感)是作为所有输出的输出滤波器的一部分,故它是很便宜的。产生辅助输出仅仅需要附加一个二极管,一个输出滤波电容,一个功率变压器上的次级线圈。但当功率大于 150W 时,在初级开关中的峰值电流开始会失去控制,尤其是对那些需要阻塞反馈换流器中典型存在的高电压的功率晶体管。

双晶体管正向换流器的主要优点是只需阻塞电源电压,它不象回扫或单晶体管正向换流器需要阻塞两倍或更多倍的电源电压。由于 MOSFET 的导通电阻随击穿电压的升高而呈指数升高,故对电压的要求从 1000V 降到 500V,对功率 MOSFET 尤其有益。

由于半桥式布局广泛应用于 150~500W 的正向换流器中,所以它和双晶体管换流器在性能上不相上下。半桥式布局的优点是它使用变压器铁芯在 B-H 曲线的第一和第三象限传输能量,而正向换流器仅使用第一象限。尽管有这些优点,设计者有时仍喜爱使用正向换流器,其原因是不象半桥式布局那样,正向换流器不需要次级中心抽头和额外的输出整流器。

准确地说,电流模式工作是普遍的控制方法。换流器控制中的两个状态变量是输出滤波电容两端的电压和输出滤波电感中的电流。电流型换流器使用两个状态变量来维持输出电压,而电压型换流器仅使用输出电压。其它信息提供了电流型换流器的下列性能优点:

- (1) 每周周期电流限制(它大大简化了超负荷和短路的保护)。
- (2) 良好的系统自调整(随着系统电压的降低,脉冲宽度自动增加)。
- (3) 改进了响应时间(内部电流环路能快速响应负载的变化)。
- (4) 更加稳定(尽管控制环路分析是相当复杂的)。

8.4.3 基本设计方程

决定了布局和工作模式之后,下一步就是确定换流器工作的最低直流总线电压。在低压时(交流 220V 的 80%)均方值线电压为 180V,峰值直流总线电压是 $1.41 \times 180V$ 即 254V。通常由于保护电压的原因将上述数字减少了 15%,又由于直流总线的波纹而再减少 10 到 20V。最终结果为 200V 左右。

下一步是确定功率晶体管电流的波形及大小。根据所需的输出功率,45%的可允许最大工作周期,最小直流总线电压以及预期 75%的效率,计算出满负载条件下初级的电流为:

$$I_p = \frac{P_{out}}{\delta_{max} \eta V_{in}} \quad \text{或} \quad I_p = \frac{150W}{(.045)(.75) \times 200V} = 2.22A$$

上面的数字代表了晶体管导通期间的平均电流。整周期内平均电流为最大工作周期的 2.22 倍 (A) 或 1.0 倍 (A)。电流波形决定了其均方根值以及输出晶体管的大小。

图 8-11 的波形说明当功率晶体管导通时,其电流同输出电感电流是一模一样的。不同点在于这些电流是用变压器匝数比度量的,当功率晶体管截止时其电流为零,并且功率晶体管在导通时次级并不出现磁化电流。

按照输出滤波电感中电流,换流器被分为连续模式与非连续模式两种。如果换流器工作在非连续模式,则每周期输出电感电流衰减为零,得出的功率晶体管的波形为三角波。由于峰值电流为两倍的平均电流 (2.22A) ($a=4.44\text{A}$),所以从三角波的计算公式中得出有效值为 1.72A。

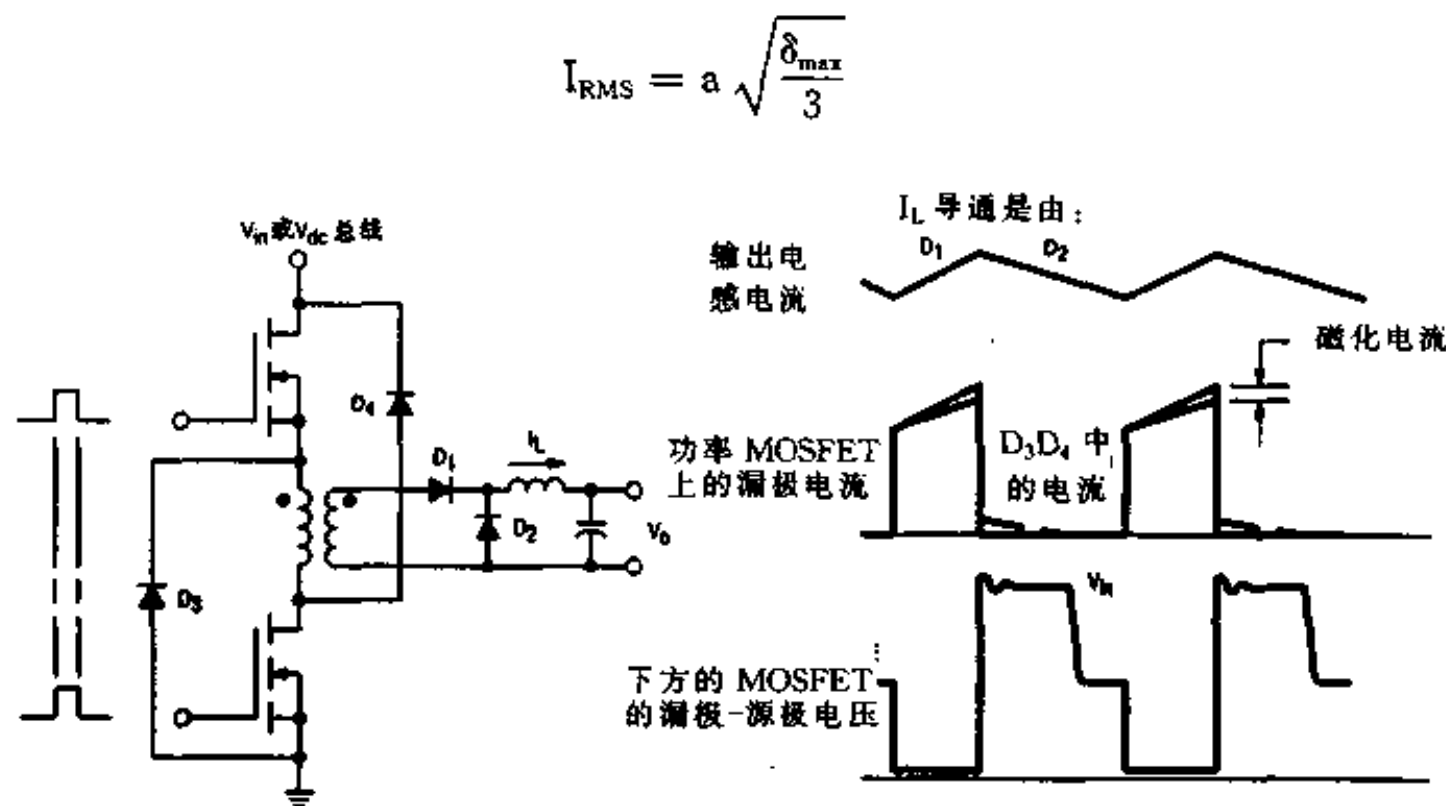


图 8-12 双晶体管正向换流器工作于连续导通模式的基本电路与工作原理

由图 8-12 知道,如果输入工作在连续模式,功率晶体管电流就是梯形的,并且峰值和有效值电流是输出滤波电感的函数。更大的线圈使电流波纹和有效热更低。降低电感电流波纹的另外一个益处是降低了对输出滤波电容的要求。但这种优点很容易被夸大。最后,关于负载上对输入阶跃变化的响应确定了输出电容的数量及尺寸。

将波纹电流降得较低的一个折衷方法是:利用电流模式中的控制电路敏感波纹并以此作为控制算法的一部分。波纹过小会使电路对噪声敏感,所以建议波纹的下限为满负载电流的 20%。由于潜在的噪声敏感性,选择敏感电流的方法就很重要。在本例中,由于廉价的低值电感电阻难以找到,所以在 MOSFET 的源极使用一个敏感电阻还是比较困难的。在大功率应用中抗噪声的方法有,用电流敏感变压器或电感上的电流敏感线圈来监测电感电流。

从下面梯形波的均方值公式中,我们可以算出满负载有效值电流。平均电流为 2.22A,波纹电流为 0.4A (得到的 6A 波纹电流被 1:15 的变压器匝数比除),则 I_{RMS} 为:

$$I_{\text{RMS}} = \delta_{\text{max}} \sqrt{\frac{a^2 + ab + b^2}{3}}$$

其中 $a=2.02$, $b=2.42\text{A}$ 。结果比以上计算的平均电流 1A 稍大一些。

以前的计算都忽略了磁化电流,它是按下式计算的:

$$I_{\text{mag}} = \frac{V_{\text{in}} t_{\text{on}}}{L_P}$$

在这种情况下确定功率晶体管尺寸时, I_{mag} 小到可以忽略不计。不过由于磁化电流不仅影响初级电流, 而且影响磁芯中的磁芯密度, 所以掌握 I_{mag} 的值是有帮助的。在本例中, 由于功率晶体管导通时间有限, 并且初级电感较大 (6.67mH), 所以磁化电流总小于 100mA。

从以上计算中, 我们可以确定功率晶体管的尺寸并估计导通损耗的大小。MTP4N50E 是较好的选择。这是一个在 25℃ 条件下, 导通电阻为 1.5Ω 的 4A、500V MOSFET。由于 100℃ 时的典型导通电阻为 1.8Ω, 所以预计每只晶体管的导通损耗约为 1.8W。

选择 MTP4N50E 还有另外一个原因。因其设计包含有两个特色, 来使它具有最小的漏-栅电容, 因为这种电容是影响开关速度的主要原因。一个特色是专门减小能延迟关断时间的那部分 C_{rss} 的值。通过减少从检测到过电流到快速使晶体管关断之间的迟延时间, 使逐周期地增加了在电流模式应用中限电流的效率。MTP4N50E 的截止时间大约要比一个具有相似电流电压额定值的标准功率 MOSFET 少 30%。第二个特色是减小了整体 C_{rss} , 这样也就减少了漏-源电压传输时间。

8.4.4 控制集成电路

控制集成电路的选择是非常重要的, 以至于值得花大量时间去选择最适合系统要求的这种电路。UC3844 (由摩托罗拉公司和其它制造商提供) 就是应用于中规模功率、独立的电流型换流器之中的良好匹配元件。其特点包括:

- (1) 电流型工作频率可达 500kHz。
- (2) 输出空载可调范围为 50~70%。
- (3) 为逐个周期限电流而闭锁脉宽调制器。
- (4) 带欠电压闭锁的内部修整参考点。
- (5) 单一高电流推挽输出。
- (6) 起动和工作电流低。
- (7) 8 脚双列直插式封装。

UC3844 的 16V 起动门限使其独立应用性能更好。除此之外, UC3844 和 UC3845 是完全一样的。图 8-13 是 UC3844 的详细方框图。在确定布局和操作模式之后, 设计功率变压器就是后面的一个主要步骤。

8.4.5 功率变压器的设计

对于功率变压器, 每一个设计工程师似乎都有自己独特的设计方法。需要考虑的因素包括, 磁芯和线圈损耗, 热阻抗, 需要达到的效率, 磁芯饱和, 物理尺寸, 输入输出隔离, 磁芯形状与尺寸, 绕线管线圈的面积和形状, 输出脚的数目与位置, 磁芯导磁率等, 当然还有费用。麦克斯韦尔、高斯、奥斯特、特斯拉这些单位增加了设计的复杂性。另一个复杂情况是有时应用信息不完整, 有时它又是基于厂商规范化其磁性元件后的特定方法。这里, 建议先根据系统工程需要和费用限制来选择磁芯和线圈系列, 然后再根据制造商的建议按功率标称值选择正确的磁芯尺寸。对最大磁通密度和磁芯损耗进行计算是检测厂商建议的一个必要的明智方法。

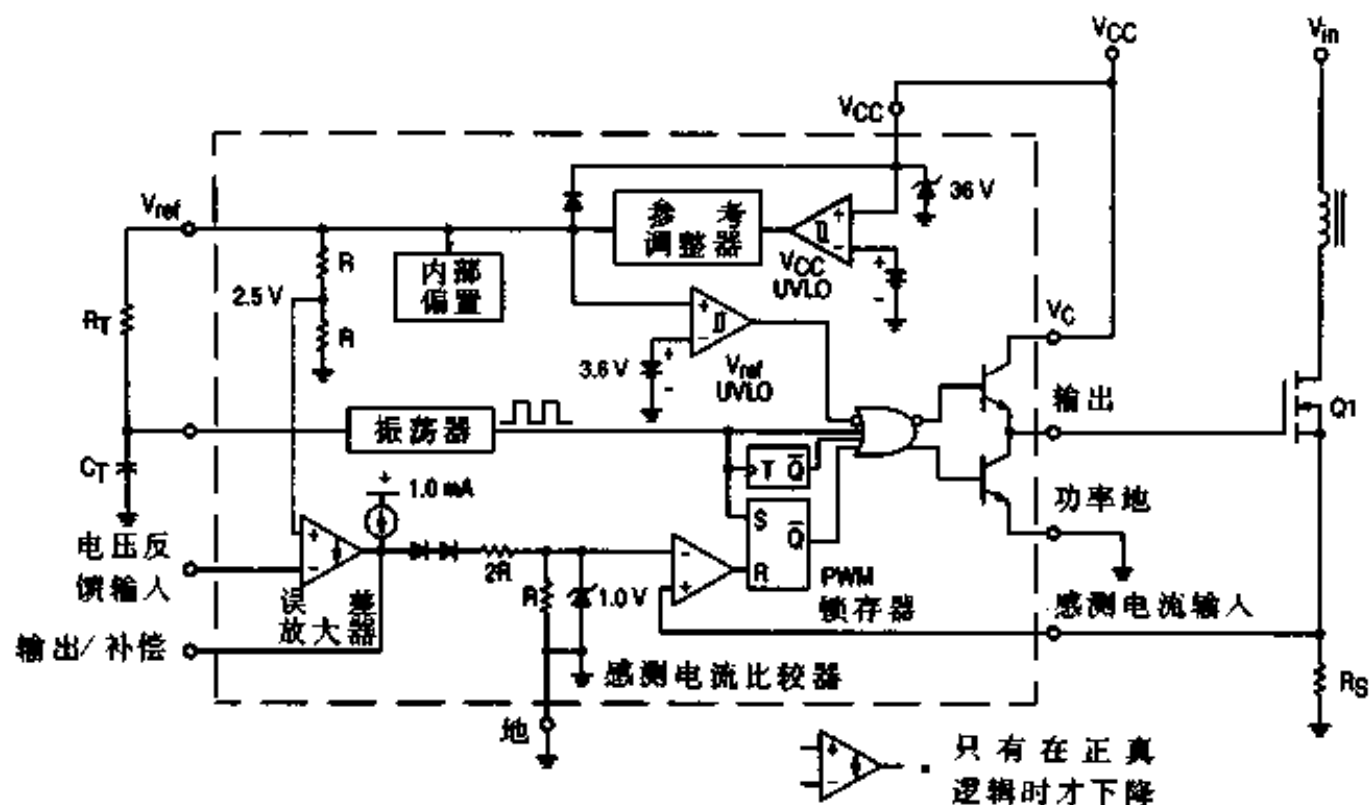


图 8-13 摩托罗拉公司的 UC3844 方框图

如采用一种间接的方法,特定的保持时间可能会影响对功率变压器磁性元件的选择。增加开关频率会减小各贮能元件的尺寸,但输入滤波电容除外。如果要求一个特定的长保持时间,那么就应使用大电容。它可能是换流器中最高的一个元件。这里所用的输入电容是 Nichicon 的 $820\mu\text{F}$ 、 200V 电容,其高度为 33mm 。由于很容易找到高度为 33mm 或小于 33mm 的磁性元件,所以在这类应用中限制磁性元件的尺寸也就减少了磁通面积。

PQ、ETD 和 EC 式的磁芯都是可选择对象。尽管 ETD 和 EC 磁芯都是比较流行的,但与 PQ 式磁芯相比,它们需要更大的磁通面积。PQ 绕线管也有合适的宽高比以获得 150W 输出的匝数和层数。PQ 磁芯的另一个优点是它两部分围住了线圈,从而减少了辐射噪声,因此可选择 PQ 式磁芯。

在正向换流器中变压器的功能是将能量直接从输入传到输出,它本身并不贮存能量,而是象回扫磁芯中的情形一样将它输出。因此,大多数功率晶体管导通时产生的磁通量都被次级所产生的磁通抵消了。因此,磁通量的不稳定性要比回扫磁芯小得多。同时磁饱和的危险也得到缓和,当保持隔离且使线圈和磁芯损耗较小时,确保输入输出耦合良好仍值得关注。由于开间隙的作用是贮存能量和减少磁芯饱和的机会,所以间隙也是不必要的。

所选的磁芯 [TDK PQ32-30 磁芯用 100kHz 材料 (PC40) 制成] 虽比厂商推荐的尺寸稍大,但非常适合应用的需要。绕线管的宽和高符合所要求的匝数。匝数少会增加磁化电流和磁通密度。

初次级匝数比的计算是在最低直流总线电压下计算的,在本例中是 200V 。计算所需的次级电压需要几个简单的步骤。MOSFET 导通时,在次级保持所需的输出电压为:

$$V_{\text{sec}} = V_{\text{diode}} + V_{\text{L(on)}} + V_{\text{out}}$$

其中 V_{sec} 是变压器的次级电压, V_{diode} 是输出整流器正向电压降, $V_{\text{L(on)}}$ 是功率晶体管导通时的电感电压, V_{out} 是 5V 输出电压。知道了电感的平均电压为零,我们就可以从 $V_{\text{L(off)}}$ 中得出 $V_{\text{L(on)}}$:

$$V_{L(on)} = \frac{V_{L(OH)}\delta_{off}}{\delta_{on}}$$

最大占空率为一周期的 45%， $V_{L(OH)} = V_{out} - V_{diode} = 5.0 - 0.5 = 4.5V$ ， $V_{L(on)}$ 等于 5.5V。 V_{sc} 等于 $0.5 + 5.5 + 5.0 = 11.0V$ ，匝数比为 $200 : 11 \approx 18$ 。根据磁芯的形状和线圈的面积，匝数比最好为 44 比 3 (14.67)，这样有助于在设计中增加辅助保护措施。为减小线圈的直流交流电阻，次级可用两层并联线圈分别缠绕，并且同初级线圈的两等分交织在一起。绕线管的截面如图 8-14 所示。

大多数功率变压器都有为控制集成电路提供电源电压的辅助线圈。如何产生这个电源取决于系统电路布局。因为回扫换流器的输出电感实质上是变压器的一部分，所以它的一个优点就是变压器次级的输出是在一被调电压下获得的，而且它不随输入总线电压的变化而变化。所有线圈根据其匝数比产生相应的输出电压。其特点

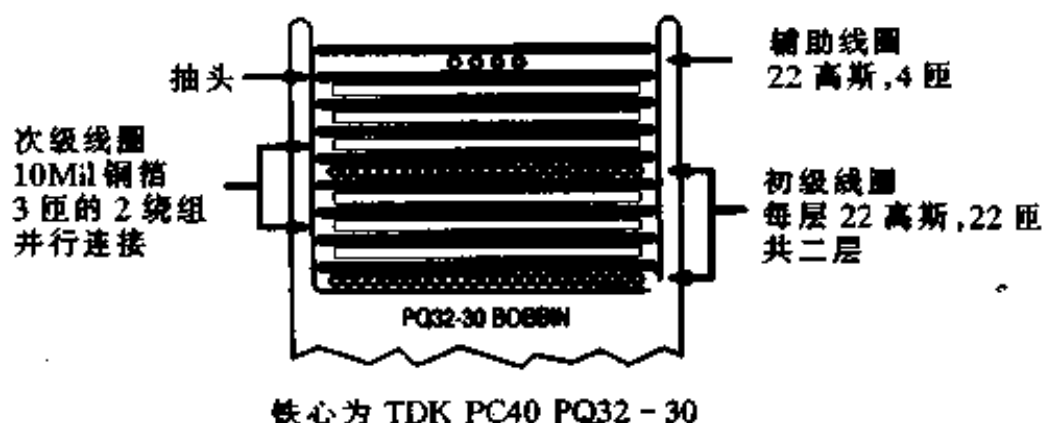


图 8-14 功率变压器的横截面

点就是回扫系统的辅助输入很容易获得。它们不需要附加滤波电感，而且所产生的电压正比于输出而又同输入无关。不幸的是，正向换流器没有这个特点。如果没有 LC 滤波器来滤掉信号中的交流成分，那么辅助电压就会随输入总线电压的变化而变化。因此，设计者不得不加一个辅助电感或者按照本文所说的方式调节辅助电压。

在这里，产生 IC 工作电压的方法是先用电容来箝位峰值辅助电压，然后调整这个电压。辅助线圈两端的电压与 200V 的总线电压相比是最低的。辅助线圈为四匝，则匝数比就是 44 : 4，即能产生 18V 的输出。考虑到二极管电压降和串联晶体管上的最小压降（图 8-15 中的 Q5），18V 是正确的。Q5 和 D17 可将 V_{cc} 调节到 14V。

8.4.6 输出电感

在设计输出电感时，最大的难点就是满负载条件下的 30A 平均电流。不仅要考虑线圈和磁芯的高温问题，而且更要考虑磁饱和问题。在功率变压器的例子中，线圈面积的大小严重影响到磁芯和绕线管的选择。在这种情形下，将大电流导出封装的能力是一个主要考虑因素。EC-35 绕线管的尺寸很适合应用，其管脚的位置留出了足够的空间使一侧容纳一个较宽的线圈引脚。

理想的电感波纹电流及电感电压显然有助于确定输出电感的尺寸。由于功率开关的最大关断时间 t_{off} 是电感必须维持所需波纹电流的最长时间，所以它是第三个控制因素。最大 t_{off} 在高电压时产生，其值为：

$$t_{off} = \frac{1 - \delta_{min}}{f_s}$$

其中

$$\delta_{min} = \delta_{max} = \frac{V_{in(min)}}{V_{in(max)}} = 0.45 \frac{2(\sqrt{2} \times 90)}{2(\sqrt{2} \times 132)} \approx 0.30$$

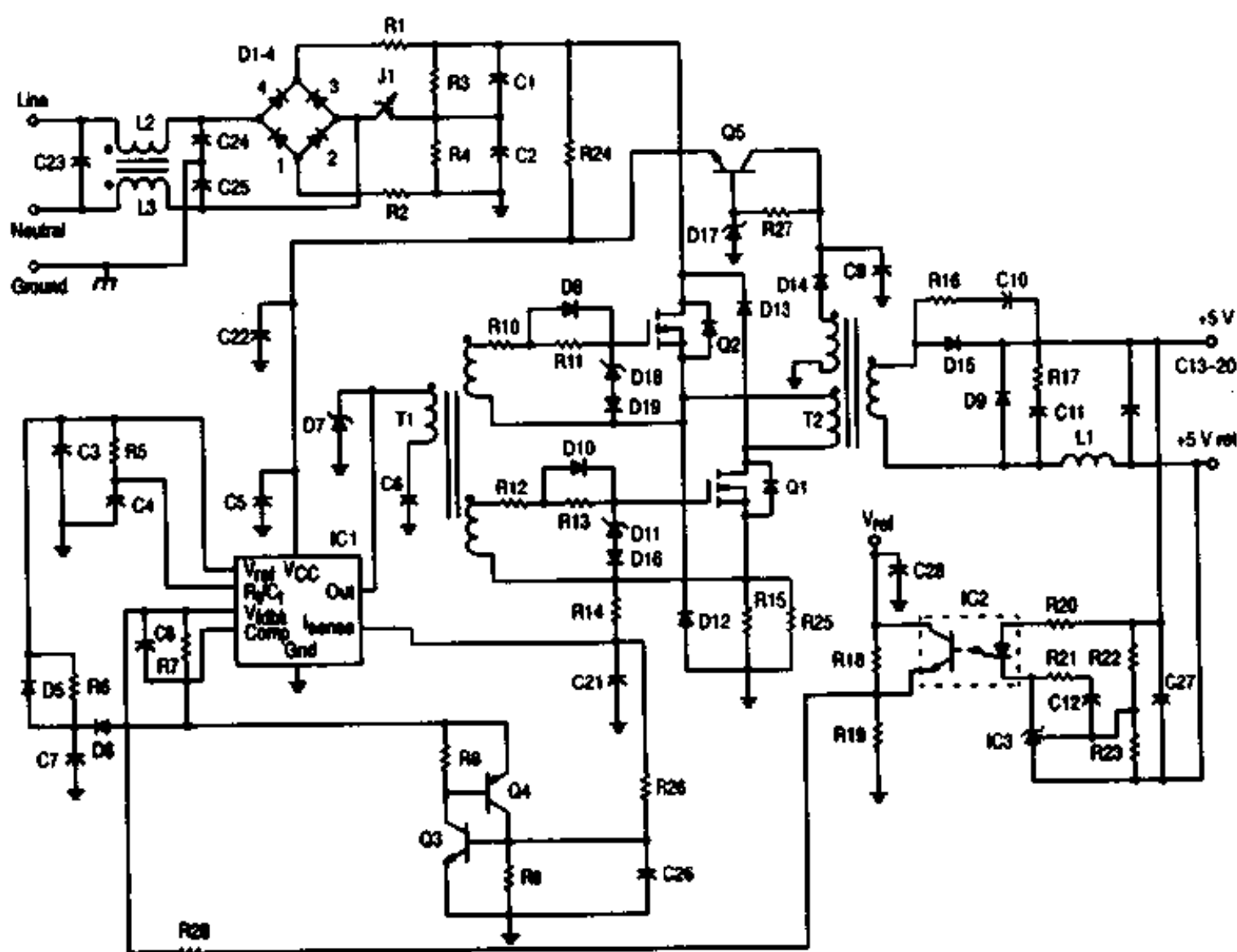


图 8-15 双晶体管电流模式正向换流器电路图

代入式中得 $t_{off} = 4.67\mu s$ 。滤波器输出电感值大约为：

$$L_{out} = \frac{(V_{out} + V_{diode})t_{off}}{\Delta I_{O(max)}} = 4.3\mu H$$

尽管最大标称电流仅为 30A，但当负载很重或短路时，起动期间线圈峰值电流可达 40A。由于电感波纹电流只占平均电流值的一小部分，故磁通变动也不大。磁芯工作区为 B-H 曲线右上角，在这一区域磁饱和和非磁损耗是最主要问题。

Philips 公司有关文献阐述了在 100℃ 条件下，3C81 材料（从前叫 3C8）的最大磁通密度为 3300G。所需的匝数为：

$$N = \frac{LI_{PK}}{BA_s} \times 10^8$$

其中 B 单位为高斯，A_s（磁芯有效横截面积）的单位为 cm²。代入得：

$$N = \frac{4.3\mu H \times 40A}{3300G \times 0.843cm^2} \times 10^8 = 5.95 \text{ 匝}$$

上式说明，对一给定电感来说，匝数随磁通密度的增加而减少。这样，需要给磁芯规定一个最小的匝数 N，以限制磁通密度不超过 B_{max}。许多保护边带允许使用 6 匝，这样，当电流约为 40A 时，电感趋于饱和。

如果输出电感饱和，初级电流会快速增加，这时换流器应当在每个周期的基础上限制其峰值电流。只看初级电流会得到一个错误的印象，即：是变压器饱和而不是电感饱和。所以在重新设计变压器或电感之前应当清楚确定是哪一个元件趋于饱和。

数据手册中提供的由 3C81 材料制成的 EC-35 磁芯曲线推荐了一个 60 密耳的缺口，它可以产生一个 $4.2\mu\text{H}$ 的线圈。双层 0.5 英寸、10 密耳的铜箔能承受高电流。连在线圈上呈直角的薄条形成一条外连线。第二条线是从绕线管在角度不变的情况下直接从中引出的“飞线”，这是主线圈的延伸线。

8.4.7 栅极驱动电路及变压器

如同其它磁性元件的情况一样，机械上的考虑会影响到栅极驱动变压器的选择。从理论上讲，控制集成电路能够直接驱动下面的晶体管，原因是它们拥有相同的参考点，实际上，用变压器既可驱动上面的晶体管，又可驱动下面的晶体管，由此可产生匹配的栅极驱动信号。用变压器驱动下面的晶体管的另一优点是，栅极信号不受串联在 MOSFET 源极上电感的干扰。因此，磁芯上共有三个线圈，一个初级线圈，两个次级线圈。这样，绕线管上至少应有六个接头。对这三个线圈的隔离而不是要求限制磁芯的容量，因而有减小变压器尺寸的可能。

由于总线电压可能达到近 380V（直流），所以初级与次级之间的隔离至少是 450V。要在层与层之间保持泄漏距离，在小磁芯中就应当禁止使用漆包线。聚四氟乙烯绝缘线在绕线管中所占的面积虽比漆包线大，但它大大简化了将线引出绕线管时所需的隔离。

由于 RM 式变压器有一个方形底座，并且能有效地使用空间，所以我们在这里选择 RM 式变压器，即使最小的 RM 式磁芯也有所需的六个脚。但要对比 RM6 Z-12 更小的磁芯进行组合是比较困难的。当然磁通密度随磁芯的减小而增加。

不像在半桥或全桥电路中的栅极驱动变压器。这个变压器是同时来导通两个 MOSFET。UC3844 直接来驱动初级，次级中的电阻限制了驱动电流和开关速度。

有许多方法可以使栅极驱动变压器磁芯恢复。其中之一是使用附加线圈，但这个方法使绕线管又增加了两个脚，从而限制了对绕线管的选择，同时也增加了制造过程的复杂性。另一可选方法见图 8-14，它使用一个同驱动 IC 串联的电容 C6，其作用是自动阻断初级直流电压的出现。平均电压去掉后，初级两端正负向电压-秒是相等的。因此，当换流器接近工作周期的 50% 时，正向偏移仅为低工作周期可能出现值的一半。

栅极驱动变压器总共有五个分层：两个在次级，一个在初级，其它两个在另外一个次级上。匝数比 $(24:11-1/2:24)$ 用来弥补高工作周期时 C6 两端的电压降。半匝是由于变压器每面的引脚数是奇数的缘故。

当工作周期和初级电压变化时，次级电压随之变化。在高电压和负载较轻的系统中，换流器处于最小工作周期，齐纳二极管将栅极电压限制在 18V。以往一直认为这个栅-源电压显得太高。近年来工艺过程改进而使工作更加可靠。Motorola 公司的高电压 MOSFET 的栅-源典型击穿电压范围是 80~90V。

二极管 D16 和 D194 的使用是确保栅极驱动变压器仅有一个容性负载。如果没有这两个二极管，MOSFET 截止期的驱动电流将会很高，同时也会增加 IC 工作电流。

8.4.8 降低噪声和改进布局

输出整流器的正向反向恢复以及功率晶体管的开关作用会引起电磁干扰、射频干扰以及发热。盲目提高开关速度以减小损耗可能产生严重的噪声，这同降低开关速度会增加热

干扰一样。幸好一些设计实践有助于设计者在不产生额外噪声的前提下增加开关速度。

良好的布局是控制噪声的基本方法。主要考虑的问题是寄生电容两端电压的快速变化以及寄生电感两端的电流快速变化。由于大值的 dv/dt 和 di/dt 分别出现在初级电路和次级电路中是很平常的, 所以首先应减少初级的寄生电容和次级中的寄生电感。

变压器次级与输出整流器的布局问题与其它电路布局相比应优先考虑。输出电容、整流器以及功率变压器次级应当尽可能采用紧封装。次级中唯一不受寄生电感影响的元件是电感本身。所有次级连线都应当尽量宽, 以便进一步减小电感和增加载流能力。采用并联焊缝会有所帮助, 但次级焊缝太宽往往会造成并联的困难。采用若干盎司的铜可增加载流能力, 但不会减小电感。

输出整流器也会出现高 dV/dt 值。一些肖特基管的 dV/dt 标称值达 $5000V/\mu s$ 或更高。高 dV/dt 值通常通过肖特基寄生散热电容向散热装置输出噪声, 但这个问题是可以避免的。输出滤波电感并非一定要接在输出整流器和 +5V 输出之间, 如图 8-14, 它也可以接在返回环路上。由于线圈仍然串接在并联的负载和输出电容上, 故电路工作保持不变。如此重组的一个优点是, 整流器的阴极不再处于电压快速波动的节点上, 并且发射到散热片上的噪声更少。将电感放在回路中时可采用一种折衷办法就是将变压器的次级从一个无噪声节点 (5V 输出点) 移到一个噪声节点, 因此, 它成了一个噪声源。

在初级一边, 由于管座电压中无交流成份, 故 MOSFET 没有多大噪声。低一级的功率晶体管并非完全无噪声, 其管座电压漂移在 50ns 到 100ns 之间大约为 320V。管座到散热片间的电容随绝缘体厚度增加而减小, 所以可以选择陶瓷绝缘体。

接地的原则虽很重要但不难掌握。基本原则是“让高电流远离逻辑地”。应当避免形成产生噪声的地环路, 故应采用单点或星形接地方式。在初级一边有两个高电流源, 一个是流过 MOSFET 和功率晶体管的电流, 它具有高 di/dt 值。另外一个是由于栅极驱动电流也可能很高, 故栅极驱动电路应当采用独立接地。这些电流都在功率晶体管的源极端交汇, 这样就使源极成为单点接地的最佳选择点。由于对电流流向缺乏控制, 而且大面积接地容易起天线的作用, 所以建议不要采用大面积接地。对于良好的电路布局来说, 双层面板是不可缺少的。

一旦将布局优化之后, 很少有降低噪声的可选择方案而且也难以实现。主要问题是在寄生电感中建立了电场, 并在寄生电容中贮存了电荷, 两者都涉及到能量的贮存。这部分能量或辐射到系统之外, 通过无损耗的缓冲器将其回收, 或者在系统中损耗掉 (很有可能在缓冲器或在开关中损耗掉)。最实际的两个方法是降低开关速度和增加缓冲器。

在高速开关设计中, 由于更多的寄生参数必须加以分析, 故使缓冲器设计更加复杂。被缓冲的整流器电压和峰值电流的上升时间以及散失的能量都是选择电阻 R16 和 R17 的条件。为使缓冲器电容 C10 和 C11 能建立电压上升时间, 其值应该大于 MBR2535CTL 的结电容。低电感碳质电阻使缓冲器在 di/dt 很高的情况下仍然有效。

还有另外一种布局方案, 但它和噪声无关。仅仅使用一个输出电容是不实际的, 这是由于本身就需要好几个电容来降低波纹并减小等值串联电阻 (ESR) 值。当电容温度从 $20^{\circ}C$ 升到 $85^{\circ}C$ 时, ESR 几乎减小两倍, 这样 ESR 值较小的电容或载高电流的电容将升温, 进而对总电流的分流会更大。使用星形连接来确保结构对称是一种很好的设想, 但这会引入多余的电感并增加输出电压波纹。最好的方法是使用少量较大的电容, 使电容紧密的安排, 并

采用含铜量高的多层线来减小寄生电阻,同时还要保持布局对称。在这种情况下,如果不使用少量的通风冷却,则电容管壳温度的分布是不均匀的。

8.4.9 控制环路

在大功率输出电路的设计中,反馈环路的设计是最后一个难点。电流模式控制虽然有许多优点,但从原理上很难理解。这并不是说它更难以实现,而实际上电路补偿更加容易,并且电路本身对于布线的设计错误更具有抵抗性。幸好由于已有人提出对各种不同类型换流器的补偿方案,故没有必要对草案进行彻底分析。下列步骤是为闭环反馈环路设计而制定的指导原则。

(1) 确定换流器类型并查找相应的参考文献。这些参考文献应介绍换流器系列,列出控制-输出转换特性中比较突出的零极点,并且同时能提供相应的补偿网络。参考文献1、3、5、6都作了较好的介绍(参考文献略)。

(2) 确定所有控制-输出传输特性的零极点频率。

(3) 确定控制-输出传输特性的直流增益。

(4) 绘出开环控制-输出传输特性的波特图。

(5) 绘出闭环传输特性的理想波特图。

(6) 确定补偿网络的增益以及零极点位置。该补偿网络能够取得所需的闭环响应。

对于这种工作于连续型的正向换流器,它的极点是有效负载电阻和输出滤波电容的函数。由于极点位置随负载变化而变化,所以最好画出最大负载和最小负载情形下的波特图。为了进行详细的分析,同样要求绘出高电压和低电压情况下的波特图。在这种情况下,输出电容为 $8800\mu\text{F}$,负载范围为 $0.83\sim 0.166\Omega$ ($5\sim 30\text{A}$),这就使转折点频率为 22Hz 和 108Hz 。第一个极点是:

$$f_{p1} = \frac{1}{2\pi R_L C_O}$$

由输出滤波电容及其等效串联电阻(ESR)确定的零点是控制-输出传输特性曲线上的第二个断点。Illinois 电容器厂家提供的特性指出了 ESR 是温度的重要函数,致使零点的位置取决于温度。对于 0.07Ω 的 ESR 和 $2200\mu\text{F}$ 的电容,下述公式可得出零点位于 1447Hz 处:

$$f_{z1} = \frac{1}{2\pi R_{\text{ESR}} C_O}$$

另一个极点位于 75kHz 处,即输出开关的 $1/2$ 频率处。在这个频率点上,环路增益十分小,以至在后面的分析中该极点可忽略掉。

下一个任务是估计控制到输出的增益。输入变量是电压 V_e 。它是 UC3844 误差放大器的输出。输出变量是换流器的输出电压 V_o 。由于 UC3844 中的阻性分配器,电流敏感比较器的反相输入端电压为 V_e 的三分之一。该电流敏感电阻给出了从电压到电流的转换:

$$\Delta V_e = 3R_s \Delta i_D$$

功率晶体管电流大约是电感波纹电流、被变压器匝数比除的输出电流以及磁化电流之和。它可用下述近似式表示:

$$i_D \approx \frac{I_o}{n} + i_{\text{on}} \left[\frac{V_L}{nL_o} + \frac{V_{\text{in}}}{L_{\text{mag}}} \right]$$

其中 I_o 是输出电流, n 是匝数比 (本例中 n 为 15), V_{in} 是直流总线电压。 L_o 为 $4.2\mu\text{H}$, 在高电压情况下 V_L 约为 19V, 它由下式得到:

$$V_L = V_s - V_D - V_o = \left[V_{in} \frac{n_s}{n_p} \right] - V_D - V_o$$

在满负载情况下, I_o 为 30A, 且

$$i_D = 2 + t_{on} \frac{19}{15(4.2 \times 10^{-6})} \frac{\text{A}}{\mu\text{s}} + t_{on} \frac{370}{6.67 \times 10^{-3}} \frac{\text{A}}{\mu\text{s}} \text{ 或}$$

$$i_D = 2 + t_{on} \left[300 \frac{\text{mA}}{\mu\text{s}} + 55 \frac{\text{mA}}{\mu\text{s}} \right]$$

根据上式, 我们可以建立漏极电流变化和相应导通时间的关系 ($\Delta i/\Delta t = 355\text{mA}/\mu\text{s}$)。然后再建立上述关系同输出电压变化的关系。输出电压同匝数比、输入电压以及导通时间的关系为:

$$V_o = \frac{V_{in} t_{on}}{nT}$$

将上述所有换算放在一起可得:

$$G_{ain} = \frac{V_o}{V_e} = \frac{V_{in}}{3R_{sn}T} \frac{d_{iD}}{d_{t_{on}}}$$

代入具体值, 得出的直流控制-输出增益为 11.2 或 21dB。

下一步骤是确定反馈电路的直流增益。在低频条件下, C12 起开路作用并使增益受到 TL431 的开环增益的限制, 在数据手册中, 该值为 54dB (500)。这个值是当特定阴极电阻为 230Ω 时所得到的电压增益。为确定使用其它电阻时的性能, 最好将 TL431 看成互导放大器。其电压增益转化为互导就是:

$$G_{TL431} = 500 = \frac{\Delta V_{cat}}{\Delta V_{ref}} = \frac{\Delta i_{cat} \times 230\Omega}{\Delta V_{ref}} \text{ 或}$$

$$\frac{\Delta i_{cat}}{\Delta V_{ref}} = \frac{500}{230} = 2.17\text{mhos}$$

另外, 影响直流增益的其它变量还有 R_{22} 与 R_{23} 的比值、MOC8102 的电流转换率 (CTR) 以及电阻 R_{19} 的阻值。从 V_o 到 R_{18}/R_{19} 的阻性分压, 增益为:

$$G = \frac{R_{23}}{R_{22} + R_{23}} (2.17\text{mhos}) (\text{CTR}) R_{19}$$

令 CRT 为 0.9, R_{22} 比 R_{23} 为 1:1, R_{19} 为 $1\text{k}\Omega$, 则得出的增益为 60dB。整个闭环增益达 81dB, 这就使换流器具有良好的负载调节能力。在前面的分析中, 都假设在高频和低频情况下, 将 TL431 视为互导放大器。在某些制造厂商的器件中情况并非完全如此。另一个启示是, 如在反馈环路上插入一个为测量环路增益的信号, 那么插入该信号是让 R_{20} 与 R_{22} 中的电流均流过该环路。

将双极点、单零点的补偿网络在 TL431 和 UC3844 误差放大器之间分开。将一个极点分到 UC3844 上有助于滤除在 TL431 和 IC 之间的噪声。控制-输出传输特性以及对换流器闭环响应的估值见图 8-16。

细心的读者可能会注意到, 在以上分析中有许多估计和假设。ESL 电容、噪声、电流敏感信号的低通滤波器、由功率晶体管关断延迟时间产生的时延和相移、温度对输出电容

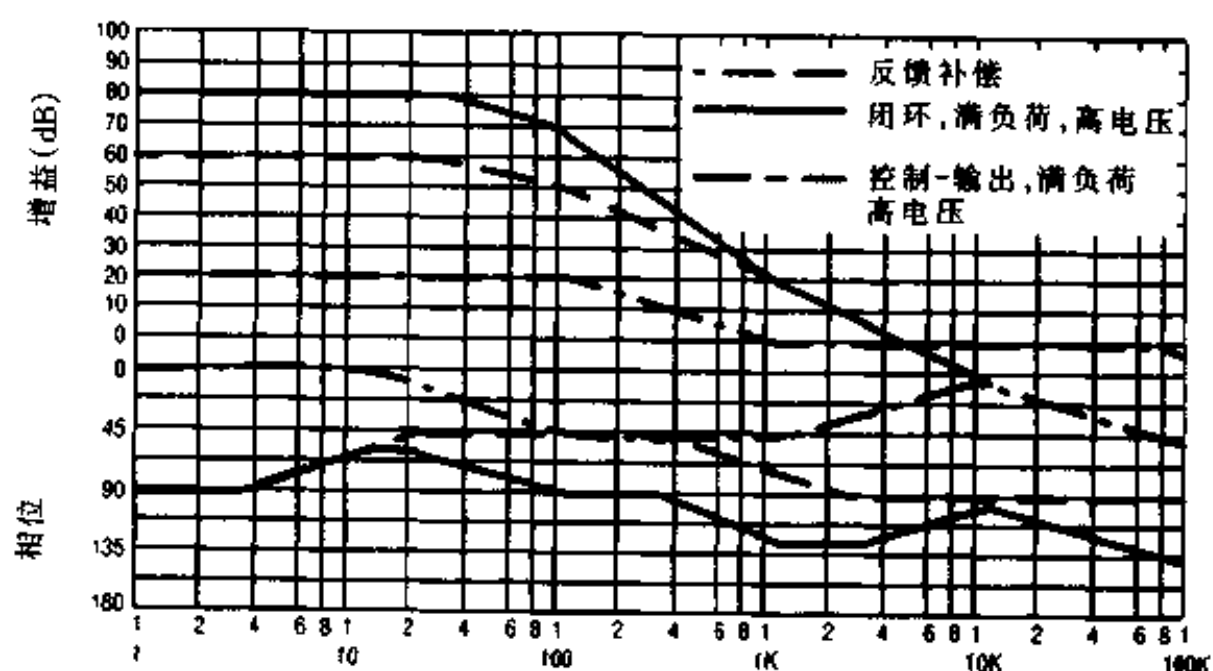


图 8-16 小信号环路增益的波特图

等效电阻的影响, 包括超量敏感和容性负载的负载特性、MOC8102 和 TL431 的频率响应, 以及器件容限都未作分析。这些影响在大多数情况下是次要的, 或者只在高频情况下才会出现。不过上述假设说明, 波特图仅仅是估计系统性能的一种最佳猜测。

还有另外两个使设计人员苦恼的问题。一个是光耦合器的电流转换率 (CTR) 变化范围较大, 另一个是发光二极管的输出逐渐减少。这两个问题都会使电流转换率发生变化, 进而使设计工作复杂化。MOC8101 到 MOC8104 形成了一个新的光耦合器系列, 这是专门为功率电源而设计的。其优点之一是

表 8-4 流行的光耦合器比较

	MOC8102	4N25
最小 CRT	0.73	0.20
典型 CTR	0.90	0.70
输出晶体管基极端	无端输出	有端输出

电流转换率分布较窄。表 8-4 对标称值的比较说明, 在换流器环路增益控制上 MOC8102 比广为流行的 4N25 具有更好的性能。

MOC8100 系列器件的另一个改进是采用低损耗发光二极管。最近以来, 工业界大范围的测试说明, 1000 小时之后 LED 的典型损耗值达 15~20%, 有些甚至高达 50%。进一步掌握了损耗的机理之后, Motorola 公司的设计人员研制出了更稳定的 LED, 目前这些改进型 LED 已经用到了所有光耦合器上。当 LED 输入电流为 50mA 时, 象 MOC8102 这类器件在 7500 小时之后的典型耗损值为 1%, 这样就使测试速度更快。设计 MOC8102 的最后一个改进就是其输出晶体管的基极引线留下未连接, 从而使检取噪声更小。

8.4.10 系统性能

这种电源是在典型的 5V 供电情况下运行的。它的变化范围是从 15A 输出电流的 81% 到规定最低工作电流 5A 的 73%。除了节省能源这一明显的优点之外, 由于提高了效率, 减小了散热片的尺寸, 从而有利于减小功率电源的体积。同时结温的降低使器件更加可靠。

提高效率的方法之一是使用更大的功率半导体。例如, 功率 MOSFET 可以用 MTP8N50E 来替换。这就使 MOSFET 的导通损耗减少一半, 并且比双 MOSFET 节省共 2W 的功率。如果栅极驱动电路不加以改动的话, 则开关损耗就会增加, 但对于 MTP4N50E

的现有电路而言,可采用加速栅极驱动等方法来维持开关速度和较低的开关损耗。

由于输出整流器两端的电压降是输出电压的 6~20%, 所以产生低输出电压的电源很难产生高效率。对于 5V 输出的电源, 输出整流器两端每 100mV 的电压降会使效率降低 2%。由于 MBR2535CTL 受其尺寸所限, 这种缺陷就较难克服, 因此当前的改进办法是加大封装和使用更多的器件。使用两只 MBR2535CTL 来替代可以把 V_f 的值从 0.42V 降到 0.33V, 这样又可节省近 3W 的功率。通过将器件并排安放在同一个散热片上可以使它们的管座 (以及硅片) 保持相似的温度, 这是一个维持并联肖特基电流分配的方法。

关于负载与在线电压的变化, V_o 在负载和输入线电压最大变化时将会产生 10mV 的差异。输出波纹的峰-峰值为 50mV, 附加高频尖冲峰-峰值为 150mV, 这是一种带单级输出滤波器的典型电源。产生高频尖冲的原因据信是由于输出滤波电感的寄生电容。过流关断是由 Q3 和 Q4 触发的, 并且取决于输入电压, 它发生在输出电流为 36A 到 39A 之间。

输出电流阶跃变化的响应为系统的稳定性及其高频输出阻抗提供了很好的说明, 这主要是由输出滤波电容的 ESR 所决定。图 8-17 说明了输出电流从 15A 到 20A 的阶跃变化的暂态响应。 V_o 中 40mV 的下沉说明电容 ESR 值为 $8\text{m}\Omega$, 输出恢复大约在 $400\mu\text{s}$ 之内。

保持时间是衡量交流电源中止后换流器能够将输出电压保持多久量度。如图 8-18 所示, 在正常输入电压和满负载条件下, 保持时间大约是 50ms。下面的方程给出了相关变量的关系:

$$t_{\text{hold up}} \times \frac{P_{\text{out}}}{\eta} = \frac{1}{2} C (V_{\text{initial}}^2 - V_{\text{dropout}}^2)$$

其高能量的存贮密度和较小的外形 (直径 35mm, 高 30mm) 构成了一对 200V, $820\mu\text{F}$ 的性能良好的输入滤波电解电容 (Nichicon 部件 #LLK20D821MHSC), 而 250V 的电容则要增加高度 5mm。

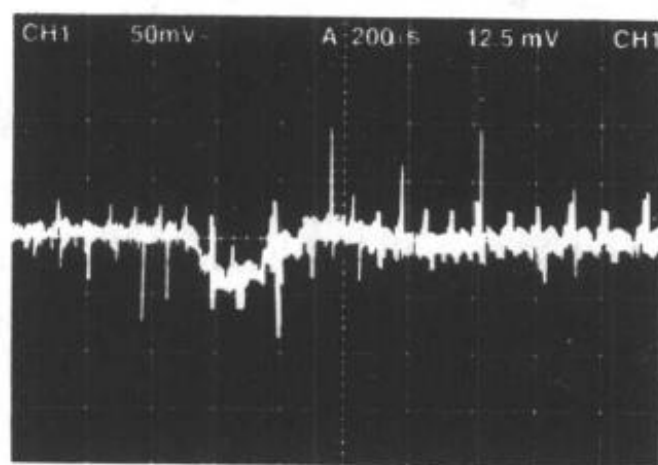


图 8-17 输出电流变化 5A 时 V_o 的阶跃变化 (50mV/DIV)

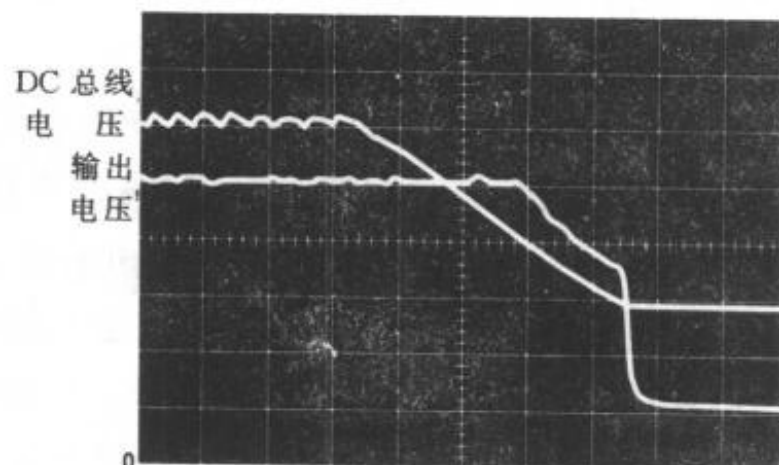


图 8-18 交流电中断后的输出电压 (1V/DIV) 和直流总线电压 (50V/DIV)

8.5 功率因数修正

目前当使用交流电供电时, 功率输入使用容性输入滤波器。由此产生的一个缺陷是交流电被整流, 从而导致了在交流电压峰值期有电流峰值, 如图 8-19 所示。峰值电流典型值

为输入平均电流的 3~5 倍。这就引起了线圈中多余的电压降以及三相传输系统的不平衡问题。此外，交流电的潜在能量没有得到充分利用。

当前的任务就是增加交流整流器导通角，使产生波形更象正弦波并且与电压波形尽可能同相。采用这种方法后，从交流电源中得到最大的实际功率，如图 8-20。

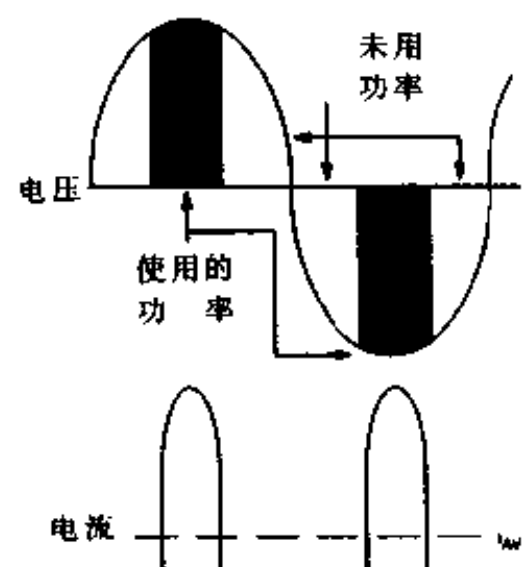
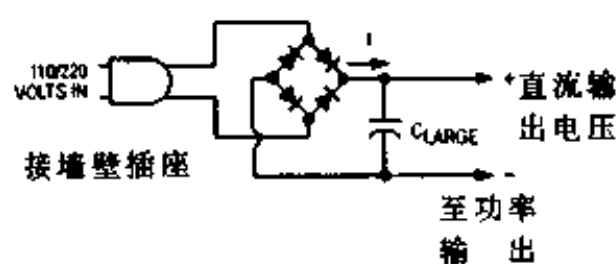


图 8-19 容性输入滤波器的波形

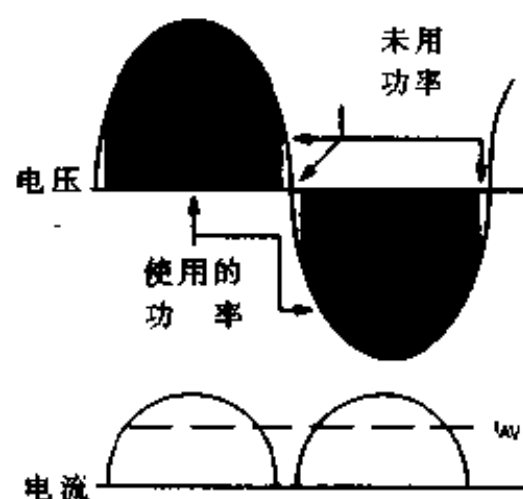
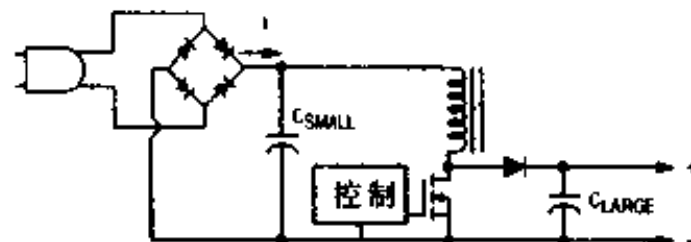


图 8-20 功率因数修正后的输入

实现这一点的通行方法是在功率输入之前加入一个增压转换器。增压型电源显示了所有开关功率电源布局中最大输入动态范围。降至 30V 的输入电压可以在输出端被增压到 370V (比最大交流峰值工作电压高)。图 8-21 是增压功率因数修正电路。体积较大的输入滤波电容这时放在增压转换器输出端上。紧跟在 50/60Hz 整流桥后面的是输入电容，目前它的值小于 $1\mu\text{F}$ 。这就给功率因数修正电路 (PFC) 送去了一个波纹很大的输入电压波形，并且增压转换器直接从馈电线上获取功率。

表 8-5 功率因数控制器检测数据

交 流 输 入								直 流 输 出				
			谐波失真%									
V_{rms}	P_{in}	PF	THD	2	3	5	7	$V_{o(p-p)}$	V_o	I_D	P_o	η (%)
90	187.5	-0.998	2.0	0.10	0.98	0.90	0.78	8.0	400.7	0.436	174.7	93.2
120	184.6	-0.997	1.8	0.09	1.3	1.3	0.93	8.0	400.7	0.436	174.7	94.6
138	183.6	-0.996	2.3	0.05	1.6	1.5	1.0	8.0	400.7	0.436	174.7	95.2
180	181.0	-0.995	4.3	0.16	2.5	2.0	1.2	8.0	400.6	0.436	174.7	96.5
240	179.3	-0.993	6.0	0.08	3.7	2.7	1.4	8.0	400.6	0.436	174.7	97.4
268	178.6	-0.992	6.7	0.16	2.8	3.7	1.7	8.0	400.6	0.436	174.7	97.8

在功率因数修正级中半导体电路有一些特殊要求。首先由于 50/60Hz 整流器将输出高速电流脉冲，故要求整流器本身是超高速的。如果增压转换器工作于连续状态，则增压输出整流器必须是超高速的。功率开关必须清除二极管反向恢复电荷。在非连续状态 ($P_{in} <$

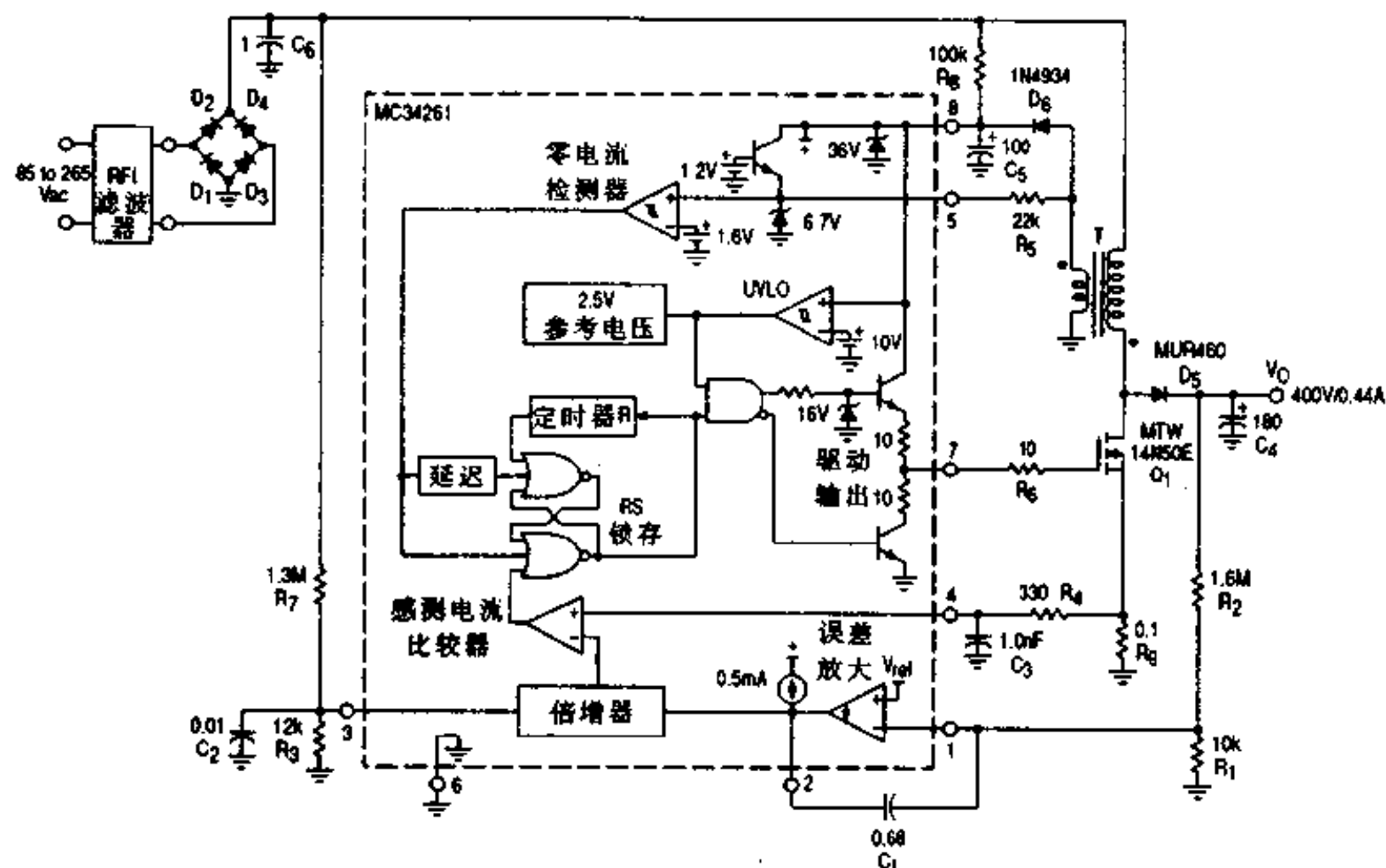


图 8-21 175W 通用输入功率因数控制器

200W) 下, 由于在功率开关导通之前没有电流流过二极管, 所以这时的输出整流器不必是超高速的。

输入电流波形是代理商所要求的。MC34261 中有一个内部乘法器使输入电流波形同输入电压波形一致。为完成此任务所需的所有电路都包含在 MC34261 中, 从而使外围元件配置最少。

图 8-21 是一个 175W 的通用输入功率因数控制器, 它的工作范围是交流输入 85~265V。

8.6 半导体器件的初选

在设计大功率开关输出电路之前, 可利用表 8-6 对半导体器件进行合理的选择。每类布局都反映了其自身独特的电压和电流条件, 这些条件都能合理的预测到。这显然可使设计人员能够在设计周期的早期充满信心地选择最合适的大功率半导体器件。早期取得这类样品将可避免延长设计周期。表 8-6 所概括每项定义参数都应视为最小值。象额定击穿电压这样的参数应当考虑到因输入产生的尖冲而留出一定裕量。

表 8-6 功率半导体重要参数估计

电路布局	双极型功率开关		MOSFET 功率开关		整流元件	
	V_{CEO}	I_C	V_{DSS}	I_D	V_R	I_F
补偿	V_{in}	I_{out}	V_{in}	I_{out}	V_{in}	I_{out}
增压	V_{out}	$\frac{2 \cdot 0P_{out}}{V_{in(min)}}$	V_{out}	$\frac{2 \cdot 0P_{out}}{V_{in(min)}}$	V_{out}	I_{out}

续表

电路布局	双极型功率开关		MOSFET 功率开关		整流元件	
	V_{CEO}	I_C	V_{DS}	I_D	V_R	I_F
补偿/增压	$V_{in} - V_{out}$	$\frac{2 \cdot 0P_{out}}{V_{in(min)}}$	$V_{in} - V_{out}$	$\frac{2 \cdot 0P_{out}}{V_{in(min)}}$	$V_{in} - V_{out}$	I_{out}
回 扫	$1.7V_{in(max)}$	$\frac{2 \cdot 0P_{out}}{V_{in(min)}}$	$1.5V_{in(max)}$	$\frac{2 \cdot 0P_{out}}{V_{in(min)}}$	$10V_{out}$	I_{out}
单晶体管正偏	$2 \cdot 0V_{in}$	$\frac{1 \cdot 5P_{out}}{V_{in(min)}}$	$2 \cdot 0V_{in}$	$\frac{1 \cdot 5P_{out}}{V_{in(min)}}$	$3 \cdot 0V_{out}$	I_{out}
推-挽电路	$2 \cdot 0V_{in}$	$\frac{1 \cdot 2P_{out}}{V_{in(min)}}$	$2 \cdot 0V_{in}$	$\frac{1 \cdot 2P_{out}}{V_{in(min)}}$	$2 \cdot 0V_{out}$	I_{out}
半桥电路	V_{in}	$\frac{2 \cdot 0P_{out}}{V_{in(min)}}$	V_{in}	$\frac{2 \cdot 0P_{out}}{V_{in(min)}}$	$2 \cdot 0V_{out}$	I_{out}
全桥电路	V_{in}	$\frac{1 \cdot 2P_{out}}{V_{in(min)}}$	V_{in}	$\frac{1 \cdot 2P_{out}}{V_{in(min)}}$	$2 \cdot 0V_{out}$	I_{out}

第九章 电机控制

在电机驱动应用中,人们对功率 MOSFET 器件很感兴趣。其优缺点同开关电源应用中所讨论的一样,但用在电机驱动中有更多的特点。尽管在脱机多功率驱动中 FET 并不和双极型达林顿管匹配,但对于小功率电机驱动以及工作在小于 100V 总线以外的驱动,它是性能优异的一种选择。

本章中共有三个例子,包括步进电机驱动,高效率 H 桥,单晶体管的脉宽调制电机速控。

9.1 在步进电机控制中使用功率 MOSFET

步进电机广泛地应用于电-机定位系统。其应用范围包括打印机、磁带驱动器、软盘驱动器、数控机床以及其它数控定位系统。步进电机控制器的任务是产生旋转程序电流,该电流在外部器件的指令下在电机励磁绕组中流动。

TMOS 功率 MOSFET 和 CMOS 逻辑器件的使用简化了驱动电路并有相当大的控制灵活性。本章描述了多种步进电机控制电路,包括效率 88.0% 的开关驱动。而且对步进电机的逻辑时序、功率要求和动态特性也简单地进行了研究。

9.1.1 驱动技术

1. 步进电机特性

首先我们应对步进电机有一个基本概念。永磁式步进电机由一系列径向放置在转子轴上的永磁体组成,它们由连接在静止外壳的电磁体所包围。给电磁体加合适极性的电压能够使之产生一个磁场,这就使电机磁体产生一个与之对齐的扭矩。图 9-1 是一个步进电机的简化示意图。首先, A 极和 B 极都被激励成北极,这样转子的南极端就被吸引指向上方。反转 A 极的极性就使转子相对于其最终位置顺时针旋转 90° ,这叫作一个整步长。如果 A 极并不是反转而是将其极性切断,那么转子只能顺时针旋转 45° 与 B 极产生的磁场对齐,这叫作一个半步长。如果电极的数量更多,那么步进电机的步长增量角就会更小。极性反转的实现是通过反转绕组中的电流流向或者轮流使用中心抽头绕组的各个部分。

图 9-2 是一个中心抽头步进电机和控制开关示意方框图,其中还包括感性箝位二极管、限流电阻和电源。例如,将开关 1 接通,开关 2 切断就使 A 极处于一种极性;将开关 1 切断,开关 2 接通就使 A 处于与之相反的极性。

通过对开关 1~4 进行控制,就可以产生合适的步进用磁极性序列。箝位二极管的作用是防止当开关切断时电感绕组两端的电压急剧增高而使开关损坏。图 9-3 是所需的全步长和半步长开关序列。如果将图 9-3 的序列颠倒,则电机转子的转向就会反转。

高速步进要求电机绕组中的电流变化率很高。由于电流变化率 (di/dt) 是电流电压的函数,所以系统中需要高电源电压。电机厂家的产品规格限定了绕组线圈中的平均电流。

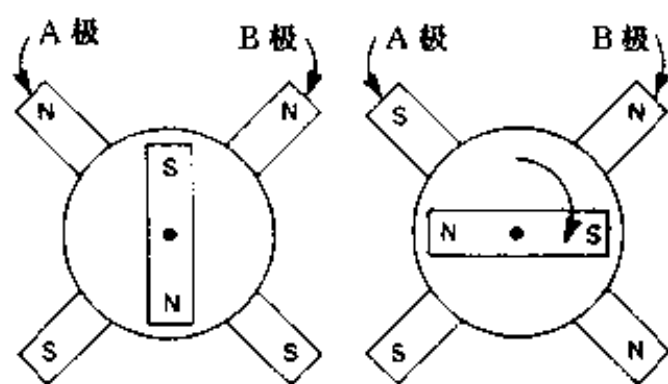


图 9-1 简化了的步进电机

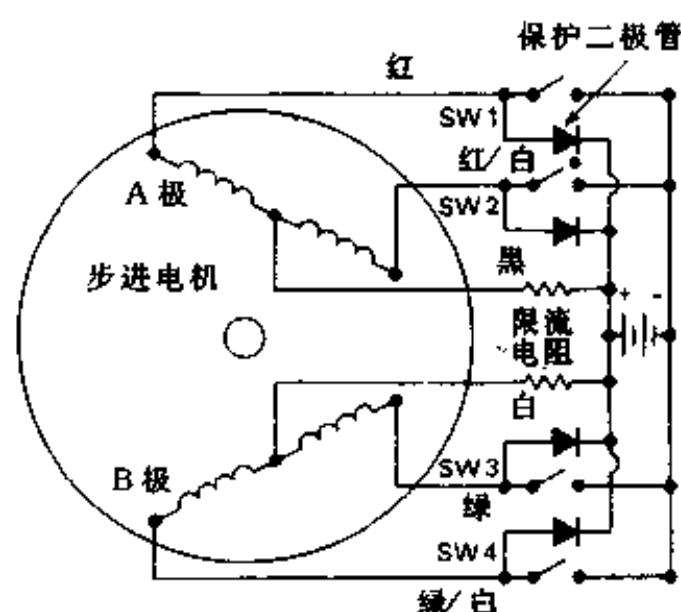


图 9-2 简化了的步进电机及其控制方框图^①

例如, Superior Electric's SLO-SYN 型 M093-FC07 的电流标称值是 3.5A/每个绕组,电阻标称值是 1.23Ω/每个绕组,电感标称值是 7.94mH/每个绕组。推荐使用的电源电压为 24V。6.5Ω100W 的绕组电阻对每个绕组电流进行限流。这样,得到直流为 3.0A 时常数 L/R 为 1.0ms。更高的电源电压和更大的限流电阻会减小 L/R 时常数,并增加可达到的步进速度。

由于转子转动惯量、所需力矩以及绕组线圈电流的因素,电机不允许产生振荡,包括:振动、错步和(或)接近谐振步进频率的故障。通过调整线圈电流、内部力矩负荷或采用机械阻尼,可以使上述情况缓解或消除。

2. 全步进中心抽头电机驱动

图 9-4 是一个全步进中心抽头步进电机控制器,它使用一只 CMOS 四位可预置移位寄存器来驱动 4 只 N 沟道 TMOS 功率 FET。观察图 9-3 中的全步进序列,说明不同栅极信号序列除了相移不同之外,其余是相同的。因此,所需的两个导通期加两个截止期的控制序列就预置在 4 位移位寄存器中,如图 9-4 是 MC14194。所需的移相是通过选取适当的移位寄存器输出而得到的。

顺时针步进是通过右移 CM14194 实现的,同样左移可以产生逆时针步进。控制信号包括 S0 和 S1 以及一个时钟控制信号。打开电源后,MC14194 所需的预置信号是通过将 S0、S1 都置 1,再加上一个输入时钟信号前沿,这就使逻辑进入一个已知状态。控制功能如图 9-4 中的控制表,每次步进都发生在时钟信号前沿。二极管 1~4 防止感性截止反冲使 TMOS 功率 FET 发生雪崩击穿。电阻 R3 提供一个反向电压在截止期间快速拦截绕组线圈电流。R3 的另一个作用是使电压尖冲限制在 TMOS 源-漏电压额定值之内。TMOS 功率

整步进序列

STEP	SW1	SW2	SW3	SW4
1	OFF	ON	OFF	ON
2	OFF	ON	ON	OFF
3	ON	OFF	ON	OFF
4	ON	OFF	OFF	ON
1	OFF	ON	OFF	ON

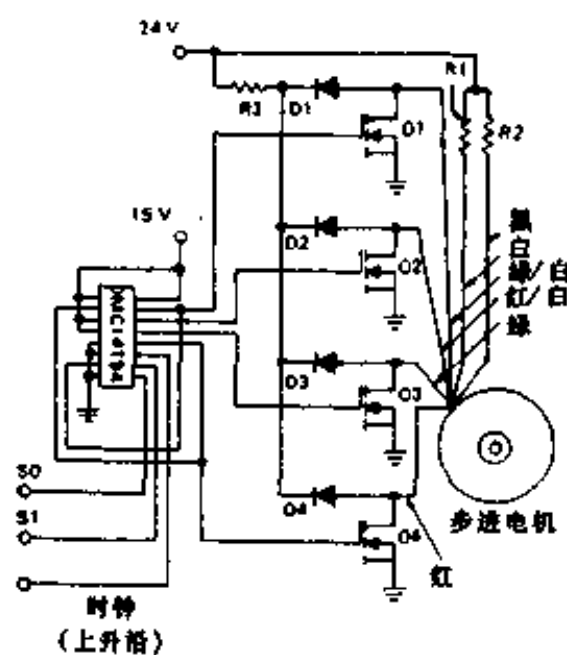
半步进序列

STEP	SW1	SW2	SW3	SW4
1	OFF	ON	OFF	ON
2	OFF	ON	OFF	OFF
3	OFF	ON	ON	OFF
4	OFF	OFF	ON	OFF
5	ON	OFF	ON	OFF
6	ON	OFF	OFF	OFF
7	ON	OFF	OFF	ON
8	OFF	OFF	OFF	ON
1	OFF	ON	OFF	ON

图 9-3 步进序列^②

注: ①颜色代表 Superior Electric SLO-SYN 型直流步进电机。

②从电机铭牌上可以看到顺时针旋转方向。



控制信号

S0, S1	结果
0, 0	保持
0, 1	右移
1, 0	左移
1, 1	预置

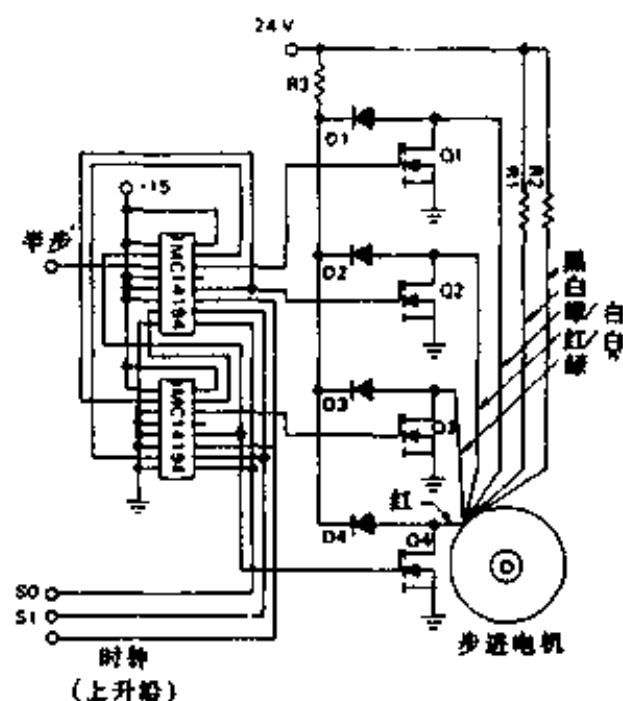
逻辑电平为标准 15V, CMOS

MC14194 为标准 16 脚双列直插式

部件:

1. 示例电机为 Superior Electric 公司的 M093-FC07
2. 二极管 D1-D4, 1N4002
3. R3, 10Ω 10W
4. R1, R2, 6.5Ω 100W
5. 集成电路 MC14194 (CMOS)
6. Q1-Q4, MTP12N10E

图 9-4 中心抽头的步进电机驱动



控制信号

S0, S1	结果
0, 0	保持
0, 1	右移
1, 0	左移
1, 1	预置

部件:

1. 示例电机为 Superior Electric 公司的 M093-FC07
2. 二极管 D1-D4, 1N4002 或等效类
3. R3, 10Ω 10W
4. R1, R2, 6.5Ω 100W
5. 集成电路 MC14194 (需要时 2 个)
6. Q1-Q4, MTP12N10E

图 9-5 中心抽头步进电机的整步或半步

FET 速度极高, 二极管的导通延迟不会很短, 以至于不能防止源-漏雪崩击穿。电机绕组线圈两端连接一个小电容 (0.01μ 到 0.1μF) 可以有效地降低 dv/dt 以防击雪崩击穿现象。电阻 R1 和 R2 的作用是对电机绕组电流限流。

3. 全步进或半步进中心抽头驱动

图 9-5 是全步进或半步进电机控制器。象全步进序列一样, 半步进栅极控制信号是相同的, 但彼此相移则不同。同样, 3 个导通期随即 5 个截止期模式通过时钟信号前沿预置在由两片 MC14194 组成的 8 位移位寄存器中。将半步长控制线预置为高可以产生全步控制序列。如前面一样, 让寄存器右移或左移可以控制转子轴的旋转方向。每两个独立于步进序列的时钟上升脉冲执行一个整步长。二极管 D1~D4 和电阻 R3 组成了 TMOS 功率 FET 的过电压保护。电阻 R1 和电阻 R2 是对绕组线圈进行限流。

4. 推挽驱动

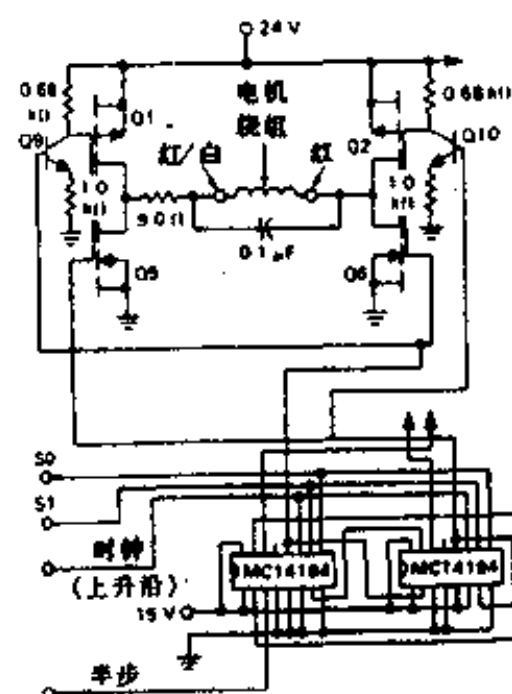
图 9-6 是一个 24V 电机电源、15V 逻辑电源电压供电的非中心抽头步进电机的互补推挽驱动。图 9-6 包括两个驱动线圈之一和一个完整的控制逻辑电路。完整的驱动电路包括 4 个 N 沟道 TMOS 功率 FET 和 4 个 P 沟道 TMOS 功率 FET, 它们的电路结构为每一

绕组有两个推-挽驱动。(M093-FC07 中心抽头引线是悬空的, 全绕组线圈电感为 $31.76\mu\text{H}$, 全绕组电阻为 2.46Ω , 每个绕组的额定电流为 2.0A)。

相移信号是通过前面所说的移位寄存器实现的。图 9-6 的电路提供整步进序列和半步进序列, 在预置期内由时钟信号将其送至移位寄存器中(全步长控制电路仅使用了 CMOS 移位寄存器的 4 位)。N 沟道 FET 的栅极信号是直接来自 CMOS 寄存器。P 沟道 FET 的栅极信号是通过 Q9 和 Q10 传递过来的。

必须用足够大的电容接在桥式 FET 的源极间来限制 P 沟道栅-源电压暂态, 使其频率低于集电极电阻和 P 沟道栅极电容的通过频率。在开关暂态期, 在互补对中的两个 FET 可能同时导通。这样会使电源通过 FET 互补对短路接地。为了避免超过峰值漏极电流额定值, P 沟道 FET 的栅极驱动电压应限制在 10V 以内。

TMOS 功率 FET 具有内部的源-漏二极管结构。图 9-6 中的电路使用这些二极管将关断暂态电流从地到电源之间短路掉, 这样使 FET 得到保护以防止通过其互补对的二极管来提升截止能量。但是源-漏二极管需要大约 300ns 的导通时间。一个 $0.1\mu\text{F}$ 的电容安在每个线圈两端可以降低线圈的 dv/dt 值以允许二极管在不使 FET 雪崩击穿的前提下导通。线圈绕组的限流是通过一个 9.0Ω 、 5.0W 的电阻实现的。



控制信号

S0, S1	结果
0, 0	保持
0, 1	右移
1, 0	左移
1, 1	预置

部件:

1. $2 \times \text{MC14194}$ (CMOS)
2. Q1-Q4, $4 \times \text{MTP8P10}$ (TMOS 功率 FET)
3. Q5-Q8, $4 \times \text{MTP12N10E}$ (TMOS 功率 FET)
4. Q9-Q12, $4 \times \text{MPS8099}$ (NPN 小信号)
5. $2 \times 9\Omega$ 50W 电阻
6. $4 \times 0.68\text{ k}\Omega$ $1/4\text{W}$ 电阻
7. $4 \times 1.0\text{ k}\Omega$ $1/4\text{W}$ 电阻

示例电机 Superior Electric SLO-SYN 型

M093-F007

图 9-6 无中心抽头步进电机

9.1.2 开关电流限制

在图 9-6 中采用的是阻性限流。每个绕组线圈上的电流为 2.0A 。这样 24V 的电源吸收 4A 的电流产生功率为 96W , 但只有该功率的 25% 传到电机。很明显, 需要某种形式的开关限流。图 9-7 是一个简单的开关限流的例子。

从零电流开始, 使所要求的电流从左到右通过电机绕组线圈。令参考电压 V_{ref} 为 0.2V 。设 $R_H \gg R_{ref}$, 比较器正端输入大约是 0.2V 。无电流流过时, 取样电阻上无电压, 比较器输出为高, 这使得可用 C1 输入端和 C2 输入端来驱动 P 沟道功率 FET。为产生从左到右电流流动, 适当的 C1 和 C2 输入应当是 $1, 0$ 。这使左上方的 P 沟道和右下方的 N 沟道将整个功率输入加到电机绕组上。电流 I_1 随着 $di/dt = V/L$ 的增加而增加。在 I_1 增加到 2.0A 时, 右下方 0.1 取样电阻上的电压将是 0.2V , 右下方的比较器输出将在一个很短的滤波器延迟后变低关闭左上方 P 沟道 FET。电机绕组上的电流开始在 I_2 电流通道上衰减。

当比较器输出变低时, 它将其正输入参考降低到大约 70mV。I₂ 电流一直衰减, 直到 0.1 取样电阻上的电压下降到确定的滞后值以下。在这一点上, 比较器输出变高将使左上方的 P 沟道 FET 导通并通过 I₁ 电流通路给电机绕组加电。绕组电流在 C1 和 C2 的控制下增加到参考电压值并在参考值附近以一个由 R_H、R_{ref} 和逻辑电源电压确定的电平上进行振荡。振荡频率由滞后值、电流通路阻抗及 V/L 确定。

图 9-7 的电路图中在 I₂ 电流通路上在比较器的负输入端加一个负电压。如果端电流不超过几个微安的话, 这对比较器无害。

图 9-8 是完整的逻辑电路和两个驱动绕组之中的一个, 其电机是推挽步进电机并采用开关限流。图 9-9 是完整电路相应的元件表。图 9-8 电路中专门用的 P 沟道 TMOS 功率 FET, 限定连续电流为 8.0A, 电机的功率电源电压为 70V。这样控制器就可以给每个绕组提供 560W 的功率。改变 R_H、R_{ref} 和取样电阻的值, 则可以表示驱动与本例不同的电机。为了使用低滞后的高电压电源来驱动低电感值电机, 那么在开关反馈环路中就应使用速度更高的元件。

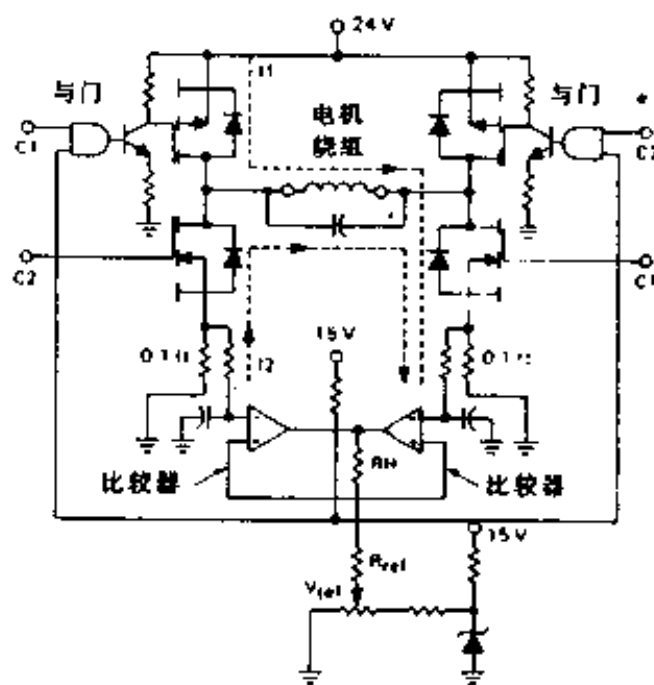
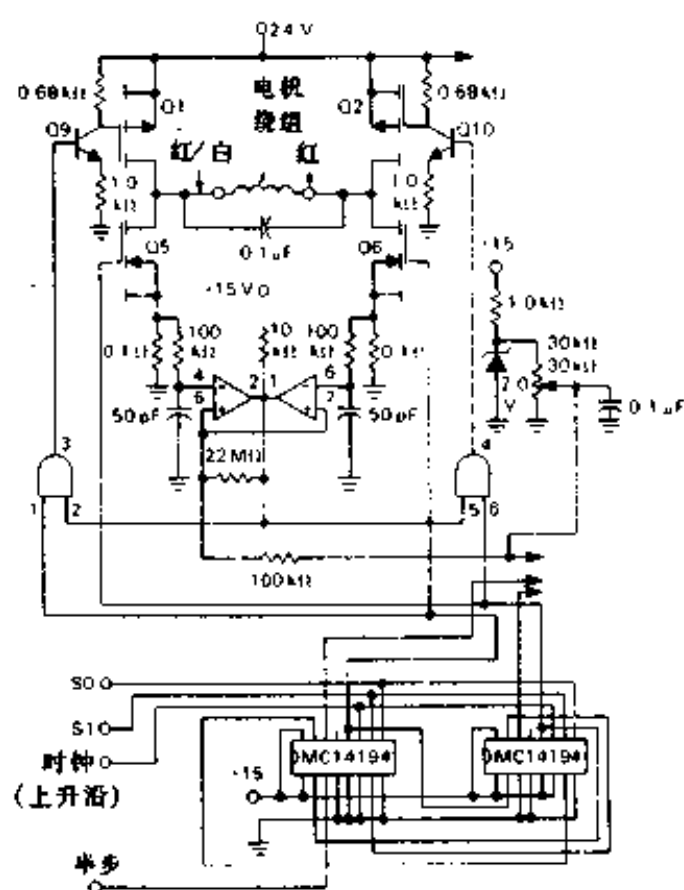


图 9-7 比较器开关限流



控制信号

S0, S1	结果
0, 0	保持
0, 1	右移
1, 0	左移
1, 1	预置

图 9-8 对无中心抽头的步进电机的半步进, 全步进开关限流驱动

集成电路

1. 2×MC14194B, CMOS 4 位移位寄存器

2. 1×MC14081B, CMOS Quad AND 门

3. 1×LM339N, 象限比较器

TMOS 功率 FET

1. Q1-Q4, 4×MTP8P10, P 沟道功率 FET

2. Q5-Q8, 4×MTP12N10E, N 沟道功率 FET

晶体管

1. Q9-Q12, 4×MPS8099, NPN 小信号晶体管

电阻

1. 4×0.1Ω 2.0W

2. 4×680Ω 1/4W

3. 5×1.0kΩ 1/4W

4. 2×10kΩ 1/4W

5. 1×30kΩ 1/4W

6. 1×30kΩ 可调, 1/4W

7. 6×100kΩ 1/4W

8. 2×22MΩ 1/8W

齐纳二极管

1. 1×1N, 2V 参考值

电容

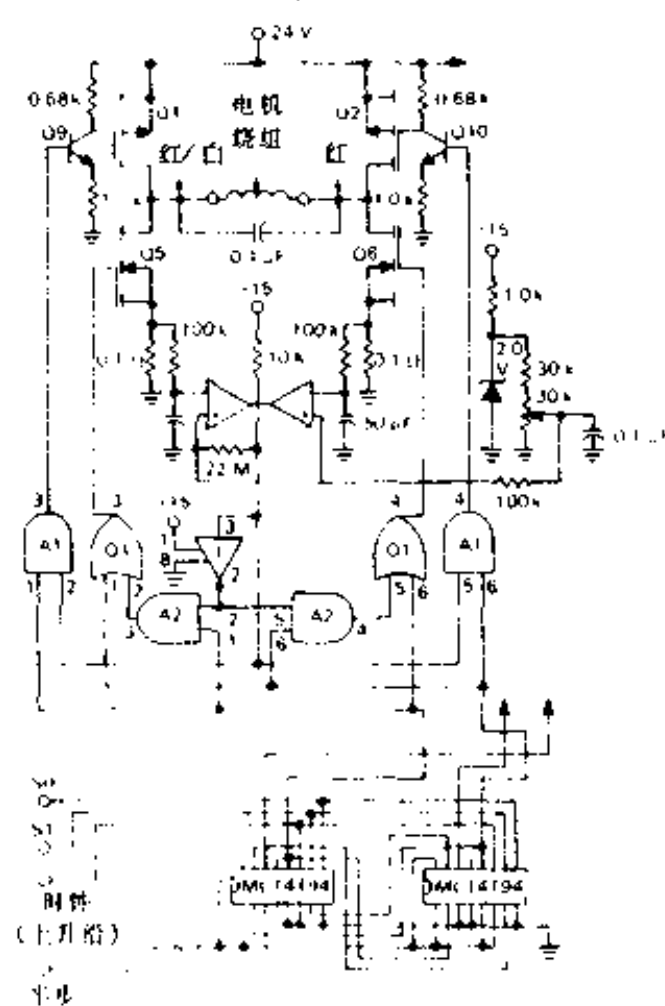
1. 3×0.1μF 100V

2. 4×50nF 50V

图 9-9 图 9-8 的部件表

9.1.3 使用同步整流

图 9-8 中的电路为维持每绕组 2.0A 的电流就需要功率 26.4W, 其中 78.8% 传到 M093-FC07 上。计算表明, 消耗控制电路功率 50% 以上的是在 I_2 环流期间的 S-D 二极管上 (图 9-7)。但这可以通过将下方的 N 沟道功率 FET 用作同步整流器的方法来将这个损耗减小。为同步整流所需的附加逻辑电路是三个 CMOS 集成电路。图 9-10 是完整的逻辑电路加两个所需驱动绕组中的一个驱动绕组。本质上看, 当与 N 沟道互补的 P 沟道 FET 由比较器截止时, N 沟道 FET 是导通的, 或当 N 沟道控制信号为高时, 它也是导通的。图 9-10 电路在 2.0V/每绕组条件下效率为 88.4%。



S0, S1	结果
0, 0	保持
0, 1	右移
1, 0	左移
1, 1	预置

除图 9-8 的元件外,

1×MC14049UB,

1×MC14081B,

1×MC14071B

图 9-10 有同步整流的半步长、全步长开关限流驱动

9.1.4 进一步改善的可能性

在应用中对电流波形进行整形是必要的。假如要求产生一个大步进力矩随即一个小保持力矩, 那么根据这个要求的电流波形就加到比较器正输入端。考虑到比较器滞后小并在电路电流响应速度快的条件下, 电机电流基本上按照比较器参考值变化。电路的 di/dt 响应受 $V_{\text{motor supply}}/L_{\text{motor}}$ 限制。在串联电阻上的压降相对于电源电压只占很小比例。如果在不加反向电源电压的条件下允许电流衰减的话, 那么其衰减时间就由环路时常数 $L_{\text{motor}}/R_{\text{decay}}$ 所确定。

总之, 图 9-8 的开关电路比起图 9-5 中效率为 25.0% 的阻性限流电路来说, 在 2.0A 绕组电流时电流响应速度更高, 其效率为 79.0%。在图 9-8 中加 3 个 CMOS 集成电路可以使效率达 88.0%, 该电路在图 9-10 中。图 9-8 和图 9-10 电路设计中使用了 TMOS 功率 FET 和 CMOS 逻辑器件, 就使电路拥有高效率和在很大程度上控制灵活的特点, 而且无

冗余器件，电路也不是很复杂。

9.2 H 桥性能比较

对于低压 H 桥，功率 MOSFET 是性能优异的候选器件。在本例中，MOSFET 将同其它两种较流行的器件相比较，它们是双极型离散器件和双极型达林顿管。电路也是为这三种功率输出器件而设计的。对于每种输出器件，其电路都进行了优化设计。

9.2.1 普通“H”开关设计考虑

- 脉宽调制直流电机，2.0A 运行，15A 停止/起动。
- 总线保护 12V，最大峰值 32V，标称值 14V。
- “H”开关输入要求最大电流泄漏能力为 2.0mA。
- 驱动级分离（为同其它设计方案相比较）。
- 最高环境温度为 100℃，最高结温度为 150℃。
- 现用的功率输出器件使用最大数据表的极限参数来计算对驱动需要以及正向“导通”电压。并选择管芯尺寸近似相等的三种类型的功率输出器件。

9.2.2 分离双极型“H”开关

之所以选 TIP35 和 TIP36 这两种功率晶体管，是因为它们费用低廉并且电流导通能力强。这种器件高电流增益的特性导致有 1.5A 的基极驱动电流来开关 15A 的负载电流。如果用高电流 h_{fe} 指标进行器件筛选，则基极驱动会减少 30%。但对这种设计比较，只有具备正规详细数据资料的现用标准器件才在考虑之中。

双极型“H”开关设计方案要求采用中等尺寸的驱动晶体管以及基极驱动电路中的大功率降压电阻。同时也要求有一个缓冲级。控制总线连接在一个中心断开的开关 (SPDT) 上。在实际应用中，这个开关应当是一个逻辑阵列或一个微控制器输出网络。用背对背的齐纳整流器提供有保护作用的抗反电动势电压箝位。达林顿器件和 TMOS 器件由于内部有箝位二极管，故在许多应用场合不需要齐纳二极管。三种输出器件都要求具备电容电阻缓冲网络。

正如性能表中指出的，由于双极型设计方案需要很大的基极驱动，故它并不实际。在三种情形中，在很宽裕量条件下它的效率是最低的。大多数情形 FET 或达林顿管是更好的选择。

9.2.3 分离达林顿“H”开关

这里选择 Motorola MJ4030 和 MJ4033 功率 TO-204 (TO-3) 作为 H 桥电路的达林顿器件设计方案。如图所示，功率驱动要求相对双极型设计方案而言大大降低了。这里的折衷是，正向导通电压上升以至于对这种特定的电机在起动和停止期间并不在其指定的端电压范围内。同时，比起双极型器件，它要求更大的散热装置。达林顿设计方案并不提供内部箝位二极管。

在高电压低电流负载控制电路中，达林顿“H”开关设计性能最好。其达林顿管处在高饱和状态功率损失不显著。

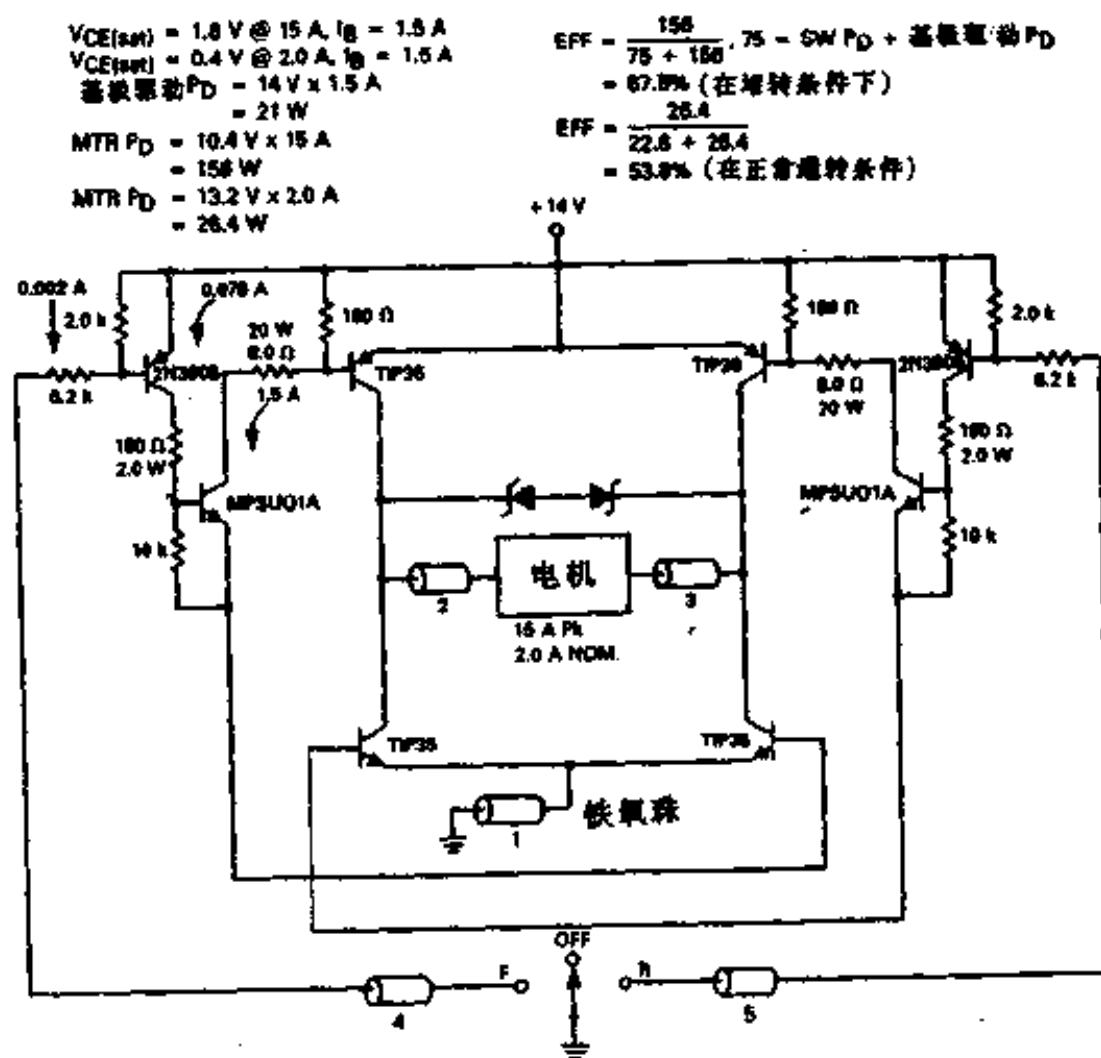


图 9-11 双极型“H”开关控制电路

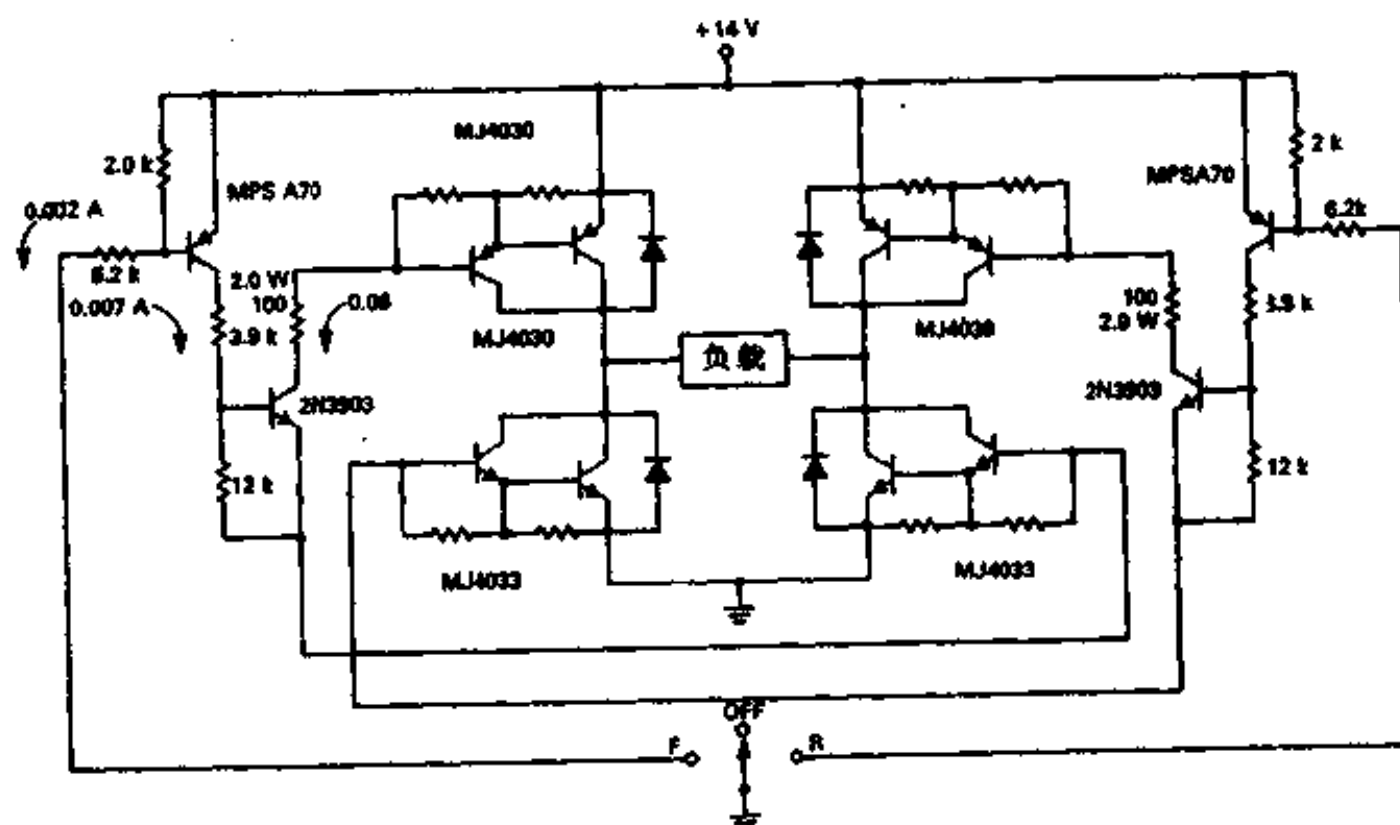


图 9-12 “H”开关的达林顿电路

9.2.4 功率 MOSFET 的“H”开关

这里选用的器件是 MTP5N05E 功率 FET。由于在某种程度上其管芯尺寸比双极型器件和达林顿器件小,因此在传导损失计算中作了一些调整。为达到这里列举的数字, $V_{DS(on)}$ 的测量值根据管芯面积比例而规范化了。通过图表比较说明,显示 MOSFET 设计方案优于达林顿和双极型设计方案。唯一的设计缺点是要求 34V 的偏置电源。对于这种直流控制,这个电源仅仅只要输出大约 $200\mu A$ 的电流,因此只要利用 MOSFET 栅极和电压倍压网络,这个电源可以从单电压提升电路中获得。

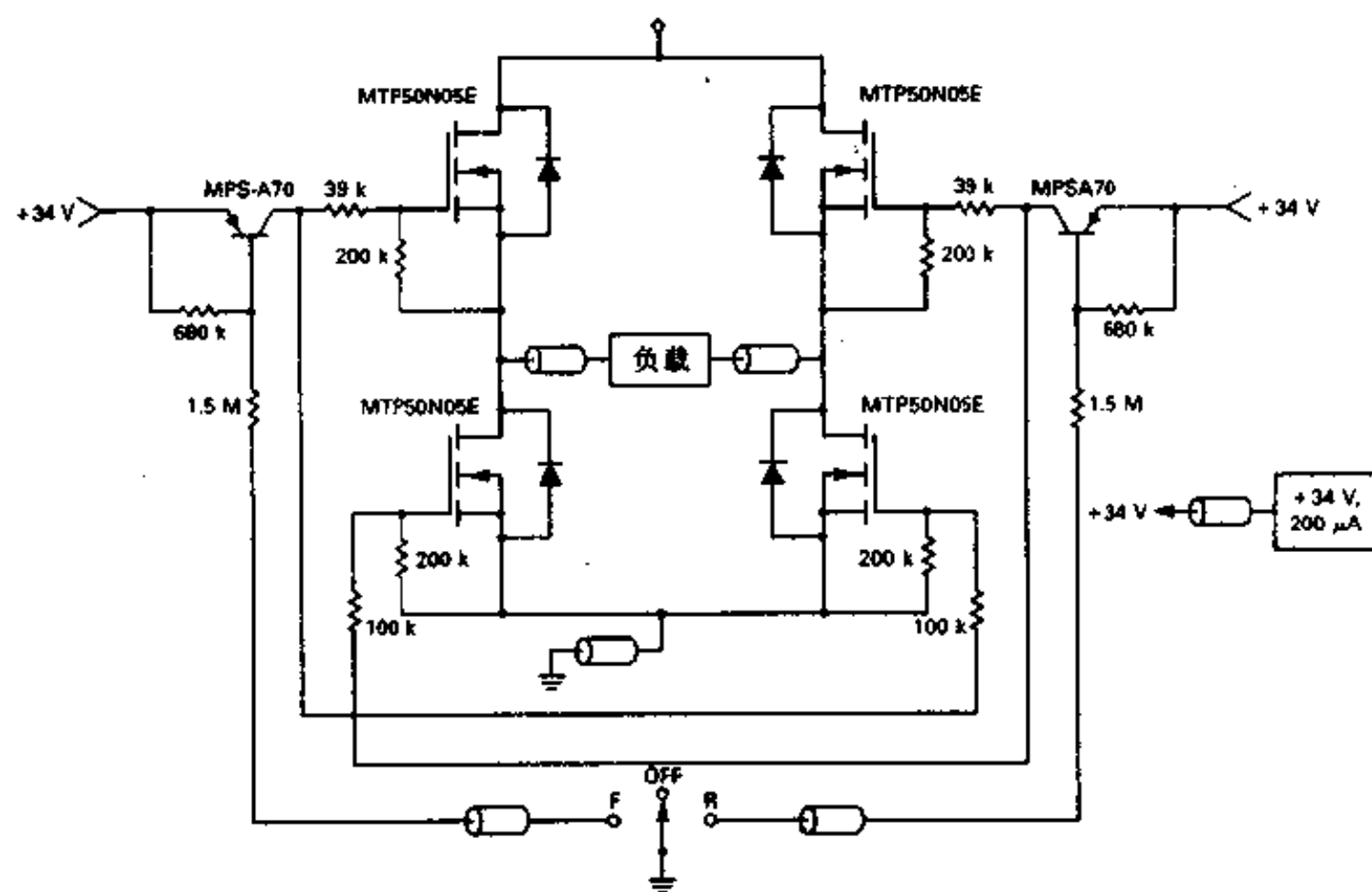


图 9-13 功率 TMOS 电路的“H”开关

9.3 小功率电机双向控制

在图 9-14 (b) 电路中使用功率 MOSFET, 就可以只使用双极型器件基极驱动功率的一小部分来进行对小功率电机的双向驱动。并且, 通过感应出电机的反电动势和延迟驱动电压反向速率, 使电路能够减小电机反转时的峰值电流。这个特点就允许使用比瞬时反转方式时使用的 MOSFET 电流还要小的 MOSFET。

图 9-14 (a) 是一个基本 H 开关, 为了双向控制, 它反转了电机的供电电压。在图 9-14 (b) 的电路中, 两对 N 沟道 MOSFET 作为顺时针和逆时针开关。一个由 CMOS 六反相器和小信号 MOSFET 组成的回扫型 dc/dc 转换器用来驱动 FET 开关。3-反相振荡器的工作频率为 240kHz; 三个保持反相器的平均输出值跟踪电源输入, 以确保即使当输入电源电压低到 6.0V 时栅极偏置电压也是充足的。

达林顿晶体管感应出电机的反电动势(当电机的反电动势出现时,对于 20V 缓冲齐纳二极管成为正向偏置),并将反驱动信号分流到地直到反电动势消失。晶体管一直保持栅极

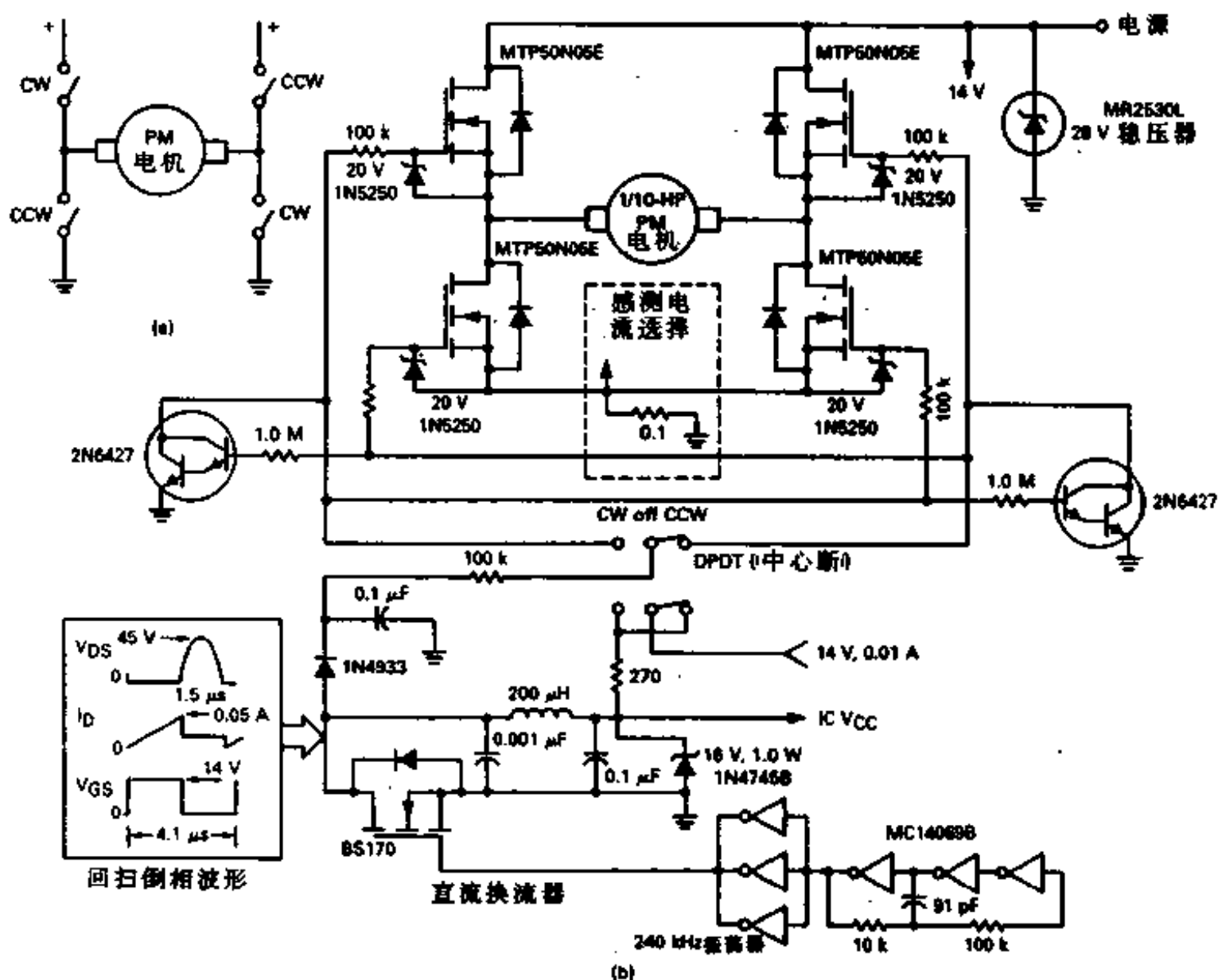


图 9-14 用功率 MOSFET H 桥电路来有效地驱动小功率电机。同双极型晶体管驱动相比，它的功率散失较小，并且它通过采用延迟反向电压直到电机缓慢停下的方法就允许使用低电流 MOSFET

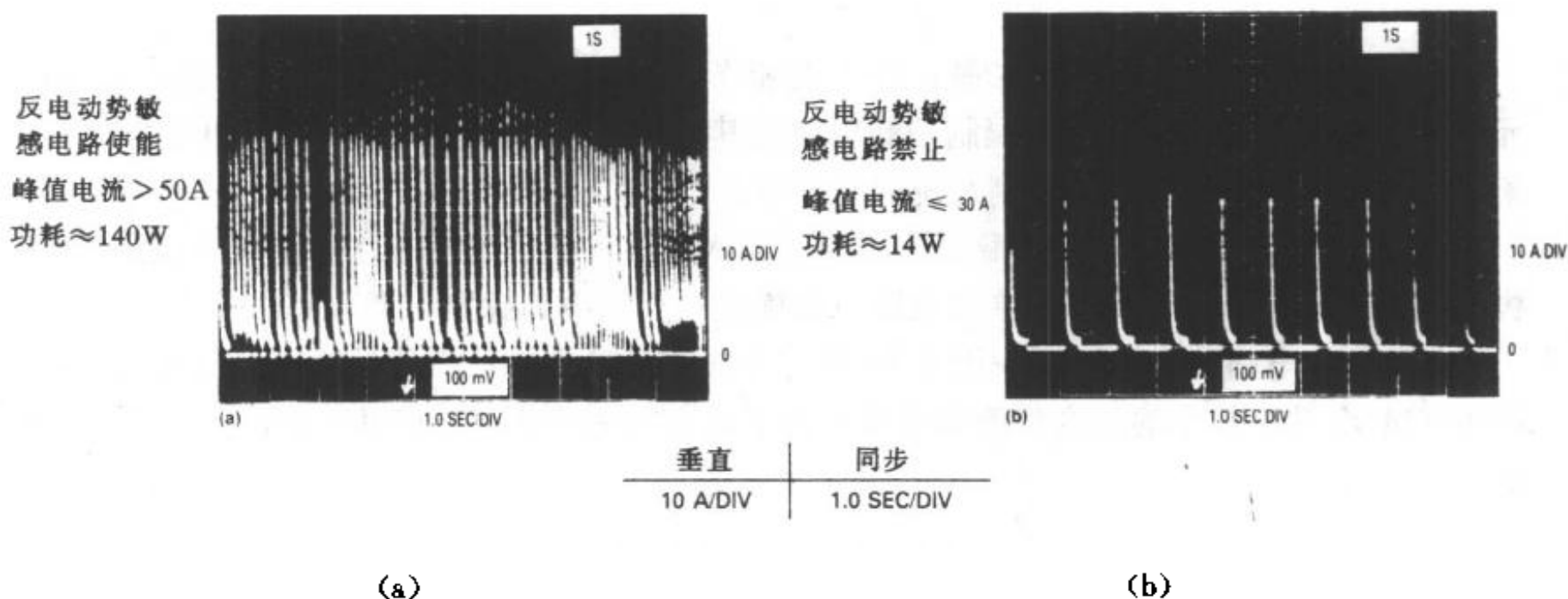


图 9-15 用手动转换开关在最大正向到反向的转换过程中的“H”开关峰值电流比较

驱动总线为低电压直到反电动势降到基极-发射极门限电压以下为止。这个过程使电路处于等待状态，直到加反向电压之前电机几乎停止旋转为止。如果需要响应速度更高，当把 $1.0\text{M}\Omega$ 的偏置电阻接到地时，达林顿晶体管可以去掉——但这个变化需要更大电流的

MOSFET, 其原因是随后产生很高的反向峰值电流。图 9-15 (a) 与 9-15 (b) 显示了有与无反电动势敏感特征时峰值电流的巨大差别。(a) 中无敏感电路, 电流超过 50A, 这样 MOSFET 的损耗大约是 80W。(b) 中有敏感电路, 电流减少到约 30A, MOSFET 的损耗大约为 7W。当电源电压大于 16V 时, 16V 齐纳二极管将输入电压限制在回扫转换器中, 暂态阻尼器保护 MOSFET 以防止电源尖冲超过 28V。

在这个设计方案中, MOSFET 需要散热装置来保持其结温度在最差条件下也小于 150°C (例如当使用 10V 电源, 环境温度 100°C 或失速电机中)。作为一种选择, 可以加入一个敏感电路, 当检测到失速状态后让功率 FET 断开。

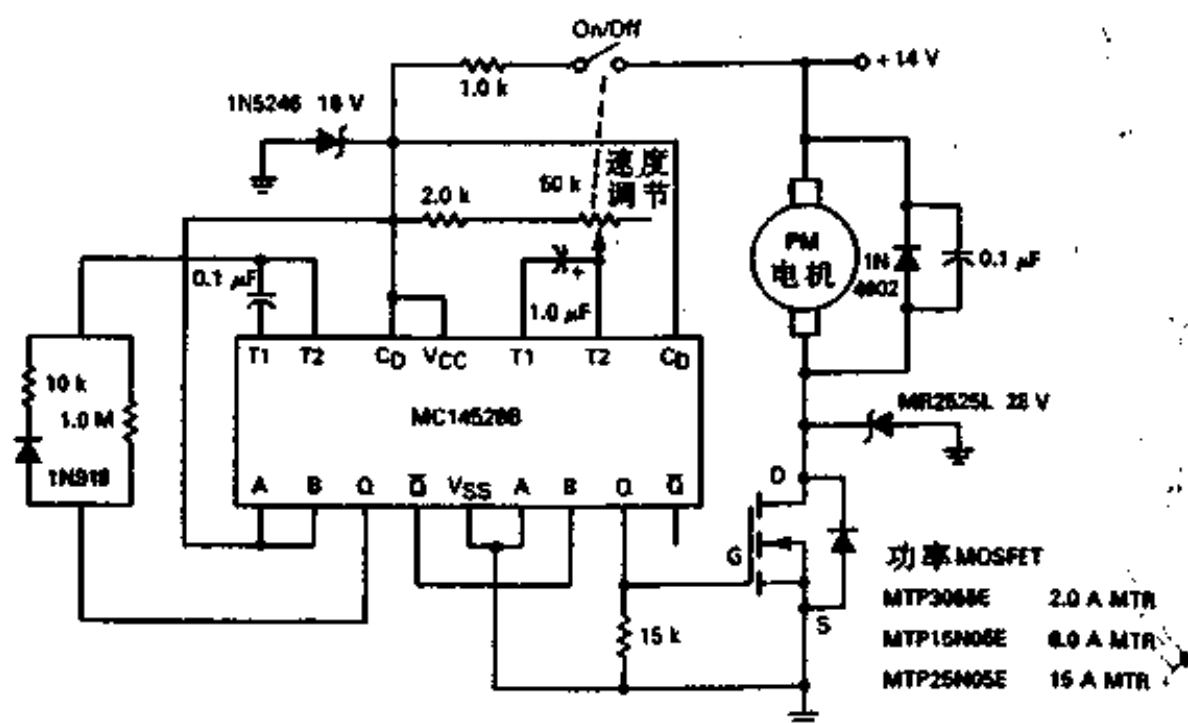


图 9-16 功率 MOSFET 的电机速控电路

9.4 电机脉宽调速

对于简化永磁电机的速度控制, FET 有相当多的优点。如图 9-10 中的电路以最少的元件数组成了一个有效的脉宽调制控制电路。其重要特征是功率 FET 直接由 CMOS 控制集成电路驱动。其结果是使控制系统的元件数目最少。

本控制系统基于一个双-单稳态多谐振荡器 MC14528B。单稳态之一接成不稳定模式, 构成脉冲产生器。另一个作为单稳电路, 在确定的周期中其脉宽可调节而决定电机速度。

图 9-16 电路除了简单这一优点外, 另一个显著之处是其可靠的低功率漏极。CMOS 控制和 TMOS 功率技术的结合使静态漏极电流很低, 在使用电池的应用场合, 这正是所需要的。

9.5 无刷电机控制器的三器件方案

从前, 那些希望利用无刷直流电机独一无二优点的电机控制设计师们都面临一个难题。没有一种控制集成电路能够响应来自霍尔效应传感器的信号, 更不用说执行所有辅助功能, 象正反向选择、过流切断、欠压锁定、超温中断等等。用分离元件来完成这些功能是一个

办法，但通常电路板面积过大，尤其当控制部分需放在电机壳内时，这个问题就很突出。

另一个问题是已知功率晶体管性能不够。功率双极型管不能直接由控制集成电路驱动，达林顿管导通电压又太高。既然功率 MOSFET 容易驱动，费用低廉，效率又高，那么看上去是最理想的选择了。但是设计者有时为它不能经受电机脉宽调制控制器中一般的压力而为难。

9.5.1 功率级

将目前采用的三种新器件、一个功率组件、两个线性集成电路结合在一起由于能克服半导体的局限性而形成了一种简单而高性能的系统。功率组件是一只封装在 12 脚功率器件中的三相桥集成电路 MPM3003 (图 9-17)。位于上方的 3 个晶体管是 0.28Ω 沟道功率 MOSFET，位于下方的 3 个晶体管是 0.15Ω 的 N 沟道功率 MOSFET。所有 6 个器件的漏-源电压额定值为 60V。

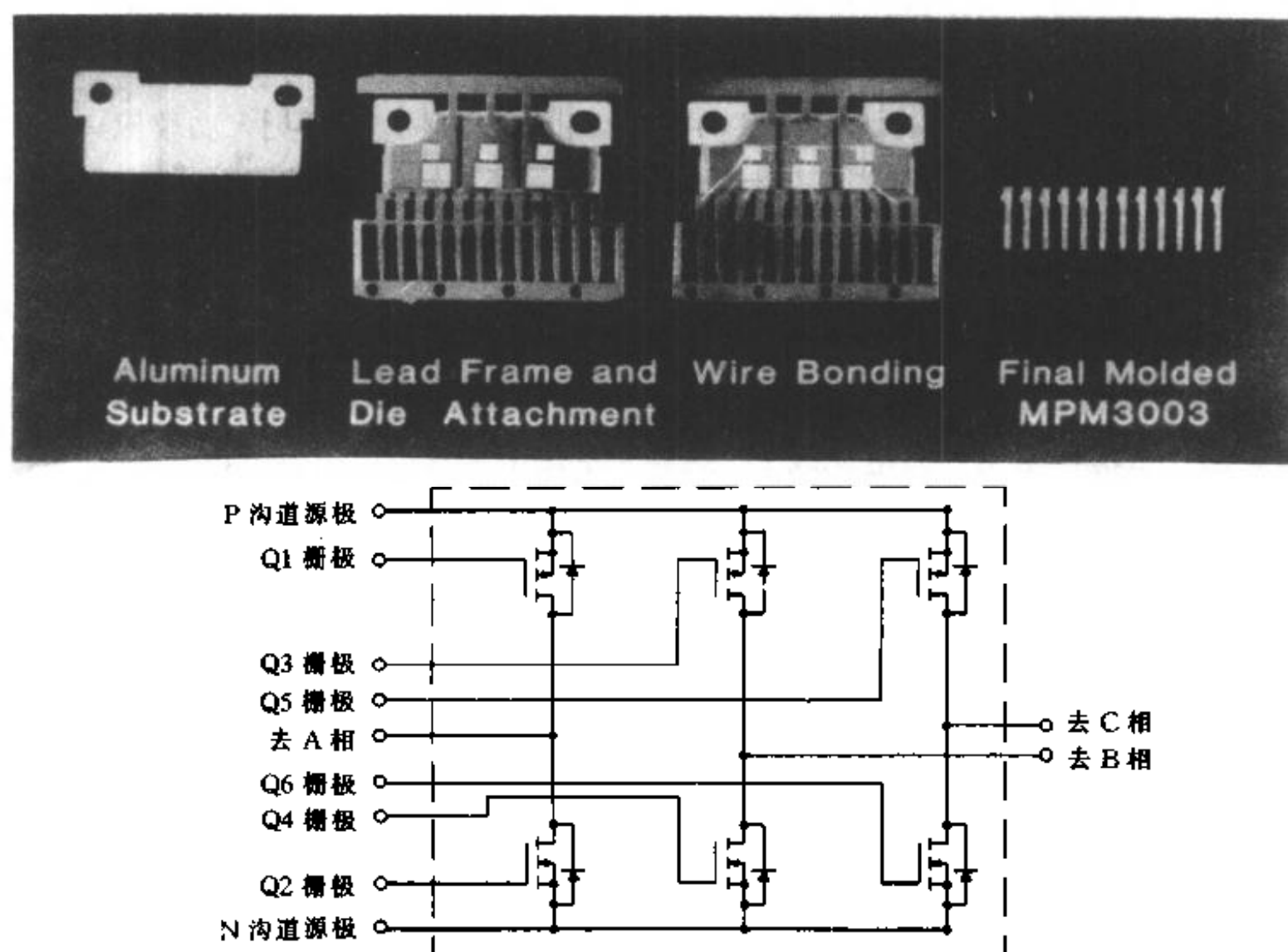


图 9-17 MPM3003 结构框图，这是一个三相桥电路，
非常适合于驱动小型无刷直流电机

这里有三个特点使新型 MOSFET 比其前期器件更具耐久性。首先 MOSFET 内部源漏二极管在整流期间，新型器件能够抵抗更大的压力。第一代 MOSFET 当其二极管被迫需要反向恢复时，有时会受损伤。第二，新型器件对短暂的漏源过压暂态引起的失效不太敏感。第三，MPM3003 中 MOSFET 栅-源最小绝缘击穿电压为 40V，而不是工业标准中的 20V。绝缘击穿电压增大不仅增强了对静电放电和预料不到的栅-源电压尖冲的承受力，而且也延长了在各种工作电压条件下栅极氧化物的寿命。

此外，MPM3003 还具有尺寸小和独立封装的优点。和安装 6 只 TO-220 相比，安装

MPM3003 更加简单并且只需要一半的面积。如图 9-17 所示,组合封装开始首先是将晶片焊接到镀镍的铜引线框架上,这个工艺已在生产 TO-220 的过程中知道。框架作为散热器,有助于降低热阻抗。在分开安装时,铝底座要由绝缘体环氧树脂所覆盖。为了便于将引线框架连接到铝底座上,将环氧树脂层上的铜片蚀刻为晶片形成小岛。合模之前,将铝底座同铜片连接起来。这种结构使热阻抗较低并且避免了陶瓷绝缘材料易碎和昂贵的缺点。

9.5.2 核心部件

系统的核心部分是由 Motorola 公司的 MC33035 和一个辅助器件 MC33039 组成。它们是能够大大简化无刷电机控制系统的设计并能缩小电路板面积以减少元件数目的新型集成电路实例。其它额外的益处是缩短了设计时间,提高了系统性能。

MC33035 是一个 24 脚的线性集成电路,它可以充当无刷直流电机控制系统的控制核心。MC33035 的主要任务是解释来自霍尔效应传感器的信号并产生同电机进行信号交换所使用的逻辑。这个交互的逻辑在内部送给 6 个输出驱动器,这 6 个输出驱动器包括 3 个用来驱动桥电路上脚的集电极开路 NPN 晶体管,以及 3 个作控制器件用的推挽驱动器。开集电极输出漏电流能力为 50mA,加上一些辅助电路,这就既可以控制更大功率应用场合中的 N 沟道 MOSFET,也可以在加简单接口电路的情况下控制 P 沟道 MOSFET。既然另外 3 个推挽输出的推挽电流能力达 100mA,所以它们可以直接驱动功率 MOSFET。

9.5.3 故障处理

MC33035 能够诊断和处理很多故障。通常过流的诊断方法是将后 3 个晶体管的源极连在一起并通过敏流电阻引到负电源线上。这样,正比于负载电流的感应电压送到 MC33035 上的比较器中。比较器接一个 RS 触发器。触发器的使用是一旦发现过流,确保驱动器输出将功率晶体管截止。如果没有内部的触发器,过流保护环路就会在比较器门限附近快速的开和关,这样引起功率晶体管额外发热。

除了过流处理之外,MC33035 还提供了欠压堵塞处理,它能够在以下三个条件中任何一个发生时中止对输出晶体管的驱动。第一个是集成电路工作电压不足。第二个是功率 MOSFET 的栅极驱动电压太低。第三个是当 MC33035 不能维持板上 6.25V 参考电压时,输出驱动器将功率晶体管截止。温度过高或一些非正常的霍尔效应信号都会引起断路。

无论何时出错,一个漏电流能力达 16mA 的 NPN 型晶体管会将错误输出脚置为低。错误输出脚的潜在用处包括:使出问题的微处理器处于待命状态,点亮一个 LED,实现慢启动以限制电机的起动电流,或在问题刚出现或一个固定延迟之后将系统锁死。

9.5.4 控制特征

MC33035 电路包含了闭环速控所要求的所有元件,但只有一个除外。缺少的这唯一的一个元件就是能够监视电机每分钟转数并产生一个正比于电机转速信号的元件。这个功能在传统上属于转速测量的功能范畴。一旦有了电机速度信号,MC33035 的高性能误差信号放大器及其内部振荡器就形成了控制环路的最后一个环节。

MC33035 中振荡器工作频率是由外部 RC 电路设定的。每一周期,电容 C_T (图 9-18) 通过电阻 R_T 由参考输出点充电,然后又立刻通过外部晶体管放电。图 9-19 说明了产

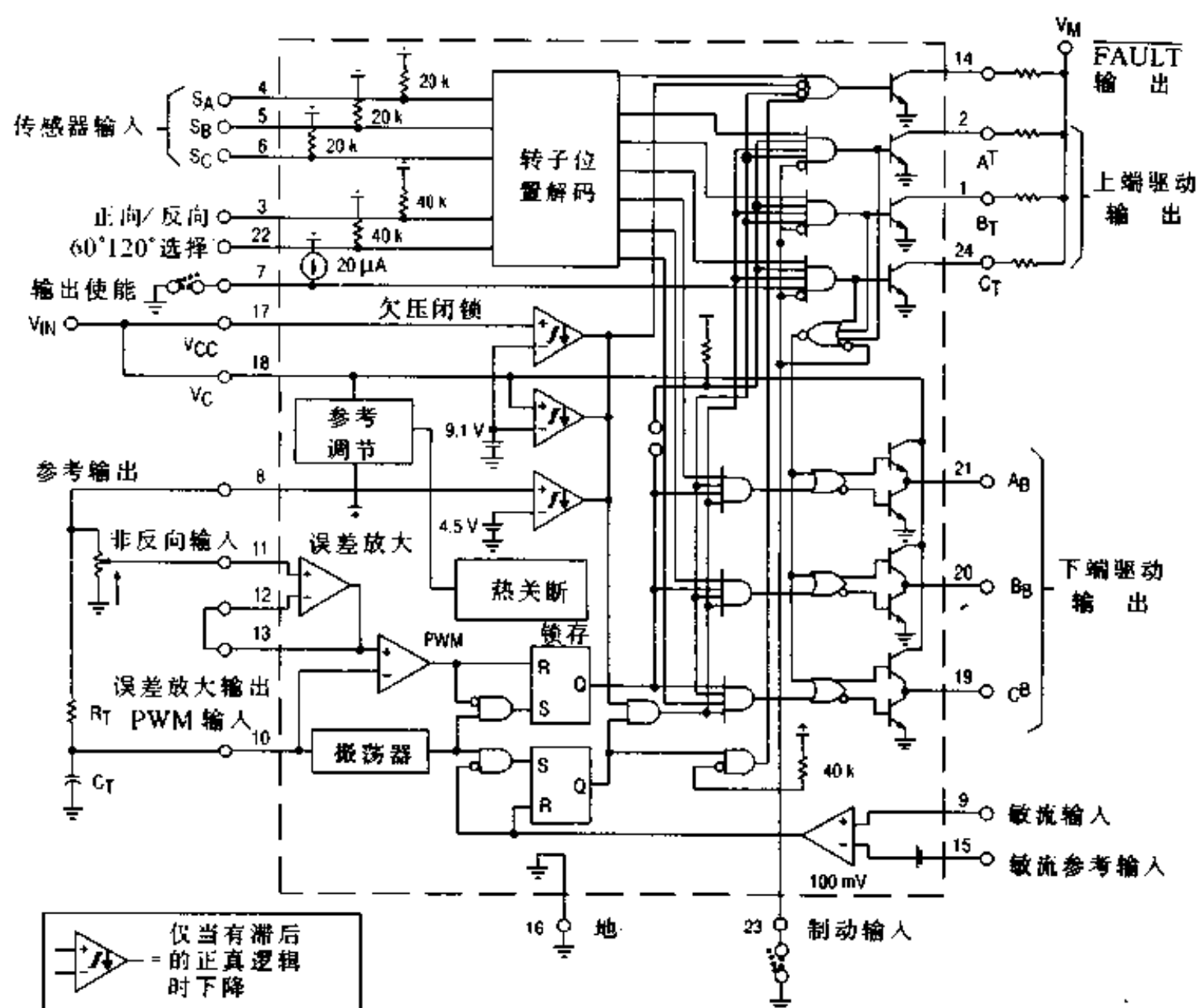


图 9-18 MC33035 的典型方框图

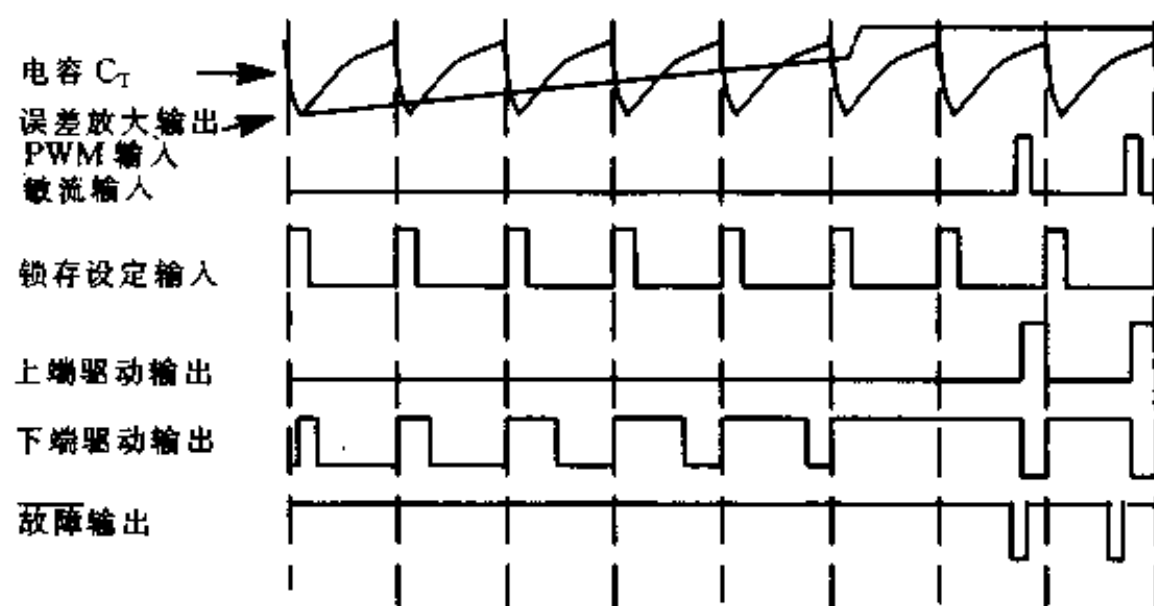


图 9-19 MC33035 的脉宽调制器信号时序图

生的锯齿波是如何影响输出脉冲宽度的。

由于 MC33035 能和各种各样的霍尔效应传感器配合及大多数普通无刷电机绕组良好的共同工作, 所以它具有很大的灵活性。基于 MC33035 的系统能很容易地改制成驱动 Δ 形或星形连接的有 60 度或 120 度霍尔传感间隙的电机。

辅助集成电路 MC33039 是一个转速计的低成本并能节省空间的替代件。无论是霍尔传

传感器的正变化或负变化, MC33039 都能产生一个固定脉宽的脉冲。这个输出信号只要通过滤波就可以获得正比于电机转速的一个电压。以 MC33035/39 为基础的系统设计应当首先设计系统计时部分, 而这一部分原本在 MC33039 中。

9.5.5 元件组合

图 9-20 是 MC33039 的计时信号框图, 图 9-21 是它的方框图。MC33039 计时元件的选择是基于所需的最大电机转速。对于这里应用的电机 (Pittmon, ELCOM5112), 由于转子上的永磁体有两对磁性, 故相应于每个机械转动角度都有 2 个电角度与之对应。这样每转一圈, 霍尔效应传感器都会产生 2 个脉冲, 3 个传感器就会产生 6 个脉冲。MC33039 上升边下降边都产生脉冲, 故共产生 12 个脉冲。

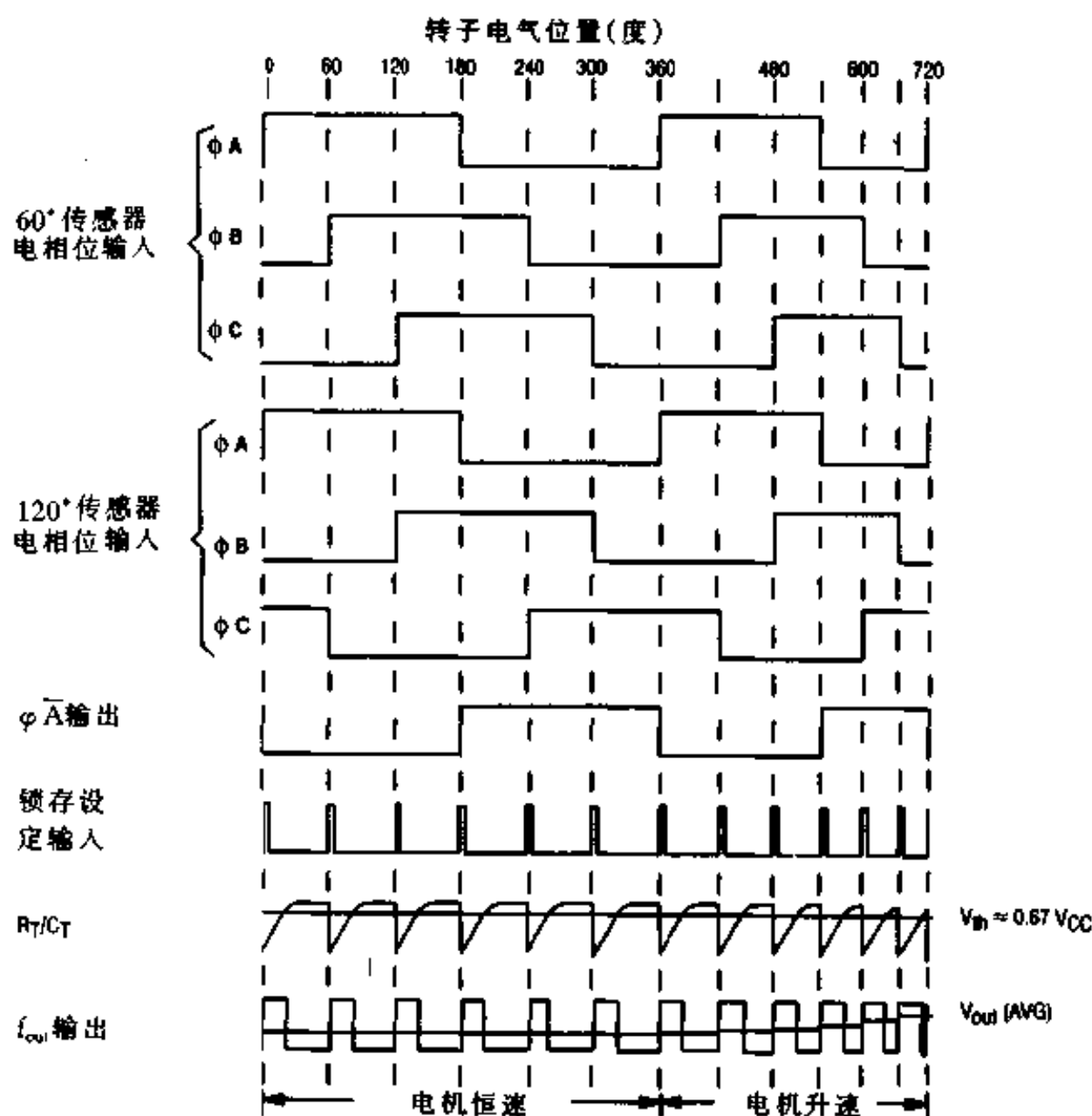


图 9-20 典型的三相六步电机的信号时序图

对于给定的最大电机转速, 输出脉冲宽度也有一个最大限制值。如果我们假设最大转速为每分钟 5000 转, 每秒大约 83 转的话, 那么 MC33039 每秒会产生 12×80 , 大约 1000 个脉冲。频率为 1kHz 说明脉冲宽度小于 1ms。图 9-22 中是从 MC33039 的数据资料中选出来的, 从这张图可以确定 C1 和 R1 的值分别为 22nF 和 43k Ω , 这样脉冲宽度为 950 μ s。为了确定脉宽调制器系统频率, 请参照 MC33035 的数据资料。资料说明, 将 R2 和 C2 分别确定为 5.1k Ω 和 0.01 μ F 就使脉宽调制器的标称频率为 24kHz, 超过了听觉范围。

不论是 MC33035 误差放大器的输入和输出都可以采用不同的控制方法。对于开环控制，可以把一个正比于所需转速的参考信号送到误差放大器的非反相输入端，将其反相输入端连到输出端，误差放大器就配置成增益为 1 的电压增益跟随器。然后，误差放大器的输出跟振荡器的输出比较而获得正比于所需电机转速的脉宽调制信号，除非控制环节由于过流或出错产生过载。

对于闭环控制器，一个方法是利用低通滤波器对 MC33039 的输出进行滤波以产生一个正比于电机转速的电压，然后将这个信号送到 MC33035 比较器的反相输入端。正比于所需电机转速的信号加到非反向输入端。

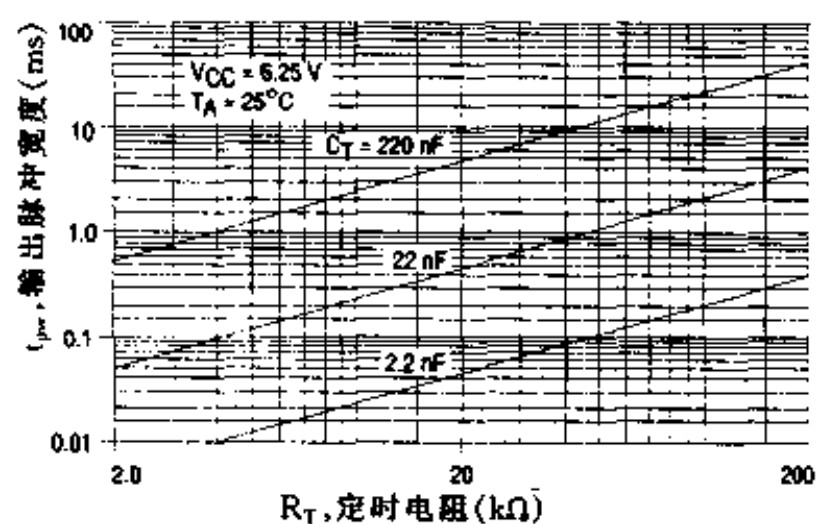


图 9-22 输出脉冲宽度对定时电阻的关系曲线

但如果输入信号要求更低的转速时，占空率就会降低到零，电机自然会达到所需的低速。因此，由于 MC33035 没有提供动态电机制动装置来控制突然减速，所以它最适合应用于摩擦很大的负载或不需要进行突然减速控制的场合。图 9-23 是闭环无刷电机控制系统的电原理图。图 9-27 是完整的无刷电机控制的结构示意图。

9.5.6 N 沟道器件的栅极驱动电路

系统电压如何影响给 MC33035 供电并产生为 N 沟道功率 MOSFET 提供栅极驱动电源。这里我们只关心两个可能的供电电压，12V（范围是 9~16V），24V（范围是 18~30V）。由于 MC33035 有一个 40V 的额定值，故它可以直接由系统电源电压供电，不过要求电源没有大的电压暂态值。除了电解电容之外，推荐在集成块附近再加一个小滤波电容（0.1μF）用来降低直流总线上的尖冲。

由于集成电路中降低了功率耗损，MC33035 允许驱动三个更低电源供电的输出晶体

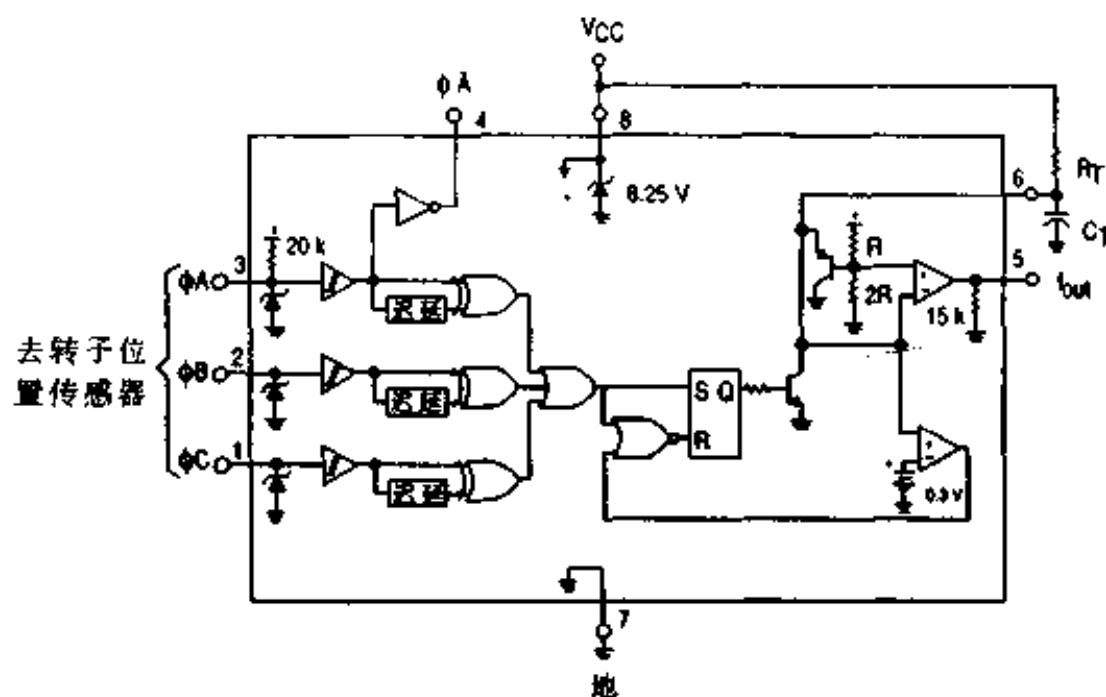


图 9-21 MC33039 的代表性框图

输入电阻 R3 与反馈电阻 R4 之比是控制增益。在这种设计方法中，低通滤波和误差信号的产生合用了反馈电容 C3。

理想情况下，积分器/误差放大器在电机处于低速条件下应能产生无波纹的输出。但为了达到这一点，在低转速条件下就降低了系统响应时间。元件值应当根据转子与负载的转动惯量与摩擦进行调整。在这里特定的应用场合，1MΩ 和 0.1μF（t=100ms）的值就达到较好的动态响应和稳定性。

当电机转速降到比所需速度低时，MC33035 就会延长输出脉冲宽度来驱动晶

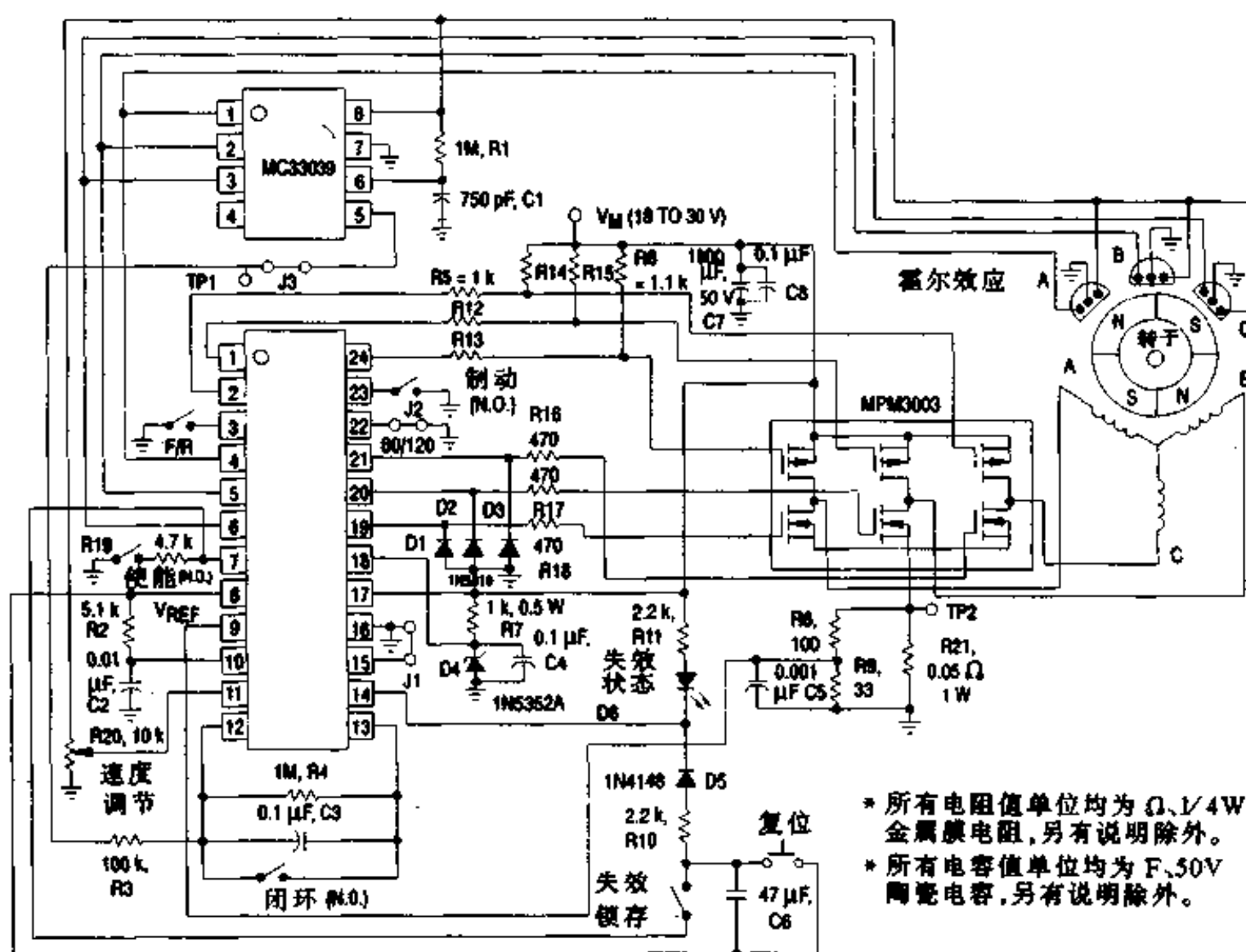


图 9-23 24V 无刷电机驱动 (120 度传感器调相)

管, 该电源是独立于 MC33035 的电源。由于在本系统中功率晶体管采用的是 MOSFET, 唯一要求的驱动电流是对每个 MOSFET 的栅-源、漏-栅电容的充电放电。下方的 N 沟道器件栅极大约需要 150nC 的电荷才能达到栅-源电压 15V。在脉宽调制器频率在 24kHz 条件下, 所有 3 个 N 沟道器件的平均驱动电流仅为 0.36mA。由于对 3 个 P 沟道 MOSFET 进行充电的电流是直接来自直流总线, 所以当确定栅极驱动总线电压阻抗时, 并不包含这部分电荷。

尽管 MOSFET 的平均驱动电流很小, 但对输入电容的充电峰值电流却很高。因此, 滤波电容 C4 实质上提供了整个导通电流, 而电容通过电阻 R7 来重新充电。当电源为 24V 系统电压降到规定的最低值时 (18V), 降压电阻上的压降仅为 3V。使用 1kΩ 的电阻可以提供足够的电容充电电流, 并为齐纳二极管提供至少 1mA 的电流以确保有良好的调节功能。在高电压情形下, 电阻上的电压为 15V, 电流为 15mA, 功率损耗约为 1/4W。因此, 采用 1/2W 的电阻就足够了。对于齐纳二极管, 这也是一个较好的功率标称值。对于 12V 电源, 由于降压电阻两端的电压更小, 所以只需要 1/4W 的器件就可以了。

电容 C4 应当在其电压没有明显下降的情况下的单一周期内能提供整个栅极电荷。对于电量 15nC, 可允许最大电压降 0.5V, 电容应当是 0.03μF。这样, 一个 0.1μF 的电容为这些 N 沟道 MOSFET 充电就足够了。由于实质上 MOSFET 在导通后并不吸收驱动电流, 所以输出占空率并没有明显影响驱动需求。只有开关频率与电量影响到了平均电流。

如果电阻 R7 足够小以至随时都可以满足栅极驱动需求的话, 那么滤波电容 C4 就可以

去掉。那时在齐纳二极管和串联电阻中化费更大的损耗，它可能要求器件有更大的功率额定值。

对栅极驱动还应有其它两个考虑因素。首先，集成电路将 MOSFET 看成是串联在一个寄生电感上的电容。大多数寄生电感存在于敏流电阻中。如果开关速度很高，栅极驱动环路中的暂态跳变和瞬时扰动是很平常的。栅极驱动电路中低于地 0.7V 以上的电压尖冲会使 MC33035 的衬底正向偏置。如果衬底电流超过 50mA，就需要使用 3 个肖特基二极管将驱动输出同地相连。

如果下面 3 个器件的栅极驱动阻抗太低，也会发生问题。如果在集成块与 MOSFET 之间有很小或几乎没有电阻，那么在栅极电压转换时栅极驱动环路会引起瞬时跳变。这个跳变会被 MOSFET 放大并在漏极引起不可接受的高电平噪声。问题的解决方法是通过插入一个串联栅极电阻来减小电路的 Q 值。所需的最小 Q 值取决于电路的寄生情况，所以这就很难给出一个推荐值。但通常用来减少开关损耗的电阻要远大于用来限制振荡的电阻。在本电路中，小于 62Ω 的栅极驱动电阻就会引起振荡。

为避免 N 沟道器件高速导通另外还有一个原因。当下面一个器件导通时，在相同半桥上脚的 P 沟道器件的漏-源二极管有导通电流。反向恢复引起的变化被下面的二极管开关清除了。如果导通速度很高，大反向恢复电流与快速漏源电压的变化会引起电磁感应。

9.5.7 P 沟道器件的栅极驱动电流

对于标准 MOSFET，要求但并不是绝对必须用 10V 电压驱动栅极。但当漏极电流降低时，用来为导通这个电流的栅极电压也降低了。根据器件的传输特性与要求的负载电流，栅极电压在 7V 到 8V 范围内就可以了。在 24V 系统中有足够大的电压来驱动栅极，这样 R5、R6 的大小就应当确保甚至当电源电压降到 18V 时，P 沟道器件仍有 10V 的栅极驱动电压。

R5、R12 与 R13 的使用是对 P 沟道器件输入电容充电并因此控制导通速度。类似地，R6、R14 与 R15 的使用是控制关断速度。降低分压器中每一个电阻的值以保持所需的 10V 栅极驱动，并且在增加电阻中电流与功率损耗的代价下减小栅极驱动阻抗。

一个 P 沟道器件驱动电路设计中常犯的错误是，既然 P 沟道器件开关频率是电机的转换频率（远低于脉宽调制器频率），那么就不需要对 N 沟道器件要求有低阻抗栅极驱动。通常遗漏的是无论何时漏源电压改变（由于桥下脚 N 沟道器件的转换频率高于 20kHz），居于桥上脚的栅极驱动都必须为 P 沟道器件的栅漏电容充放电。如何栅极驱动并不充分，P 沟道器件会短暂导通引起过流而急剧加大开关损耗。高电压无刷电机控制系统由于 V_{DS} 偏移很大，尤其易于出现栅极驱动问题。

避免过流很简单。首先减慢 N 沟道器件的导通速度以限制 dv/dt ，其次保持尤其是在截止期 P 沟道有低的栅极驱动阻抗，在 P 沟道器件的栅源极两端加一个电容（在本例中 0.01 μ F 就很合适）是实现一个栅极驱动存储电荷装置以当 C_{ds} 要求位移电流时保持栅极断开的简单方法。

当使用 12V 电源时，通过将电源电压全部加在 MOSFET 栅源两端使它导通。下拉电阻短路是由 R5、R12 和 R13 组成的。既然没有其它串联电阻来限制栅极电流，导通速度将远大于截止速度。

9.5.8 过流感应

MC33035 有一个用于检测多余负载电流的比较器。一个来自所有 N 沟道器件源极共用的电流敏感电阻的信号被送到 9 脚。内部断开门限设定为 100mV。假如要求更大的断开电压,允许在 MC33035 的 15 脚接一个附加的偏移电压。在这种设计方案中,一只 1W 0.05Ω 的电阻 R21 用于感应电流,而感应电压通过电阻来分压。如图 9-23,分压器电阻值为 R8 100Ω, R9 33Ω,设置断开电流为 8A。

在比较器输入端放一个小电容 (C5) 是防止噪声或象二极管反向恢复尖冲电流将过流比较器断开的好方法。很容易看到网络的直流增益是由阻性分压器设定的,但时常数却不是一眼即明。阻性分压网络与电容传递函数是:

$$\frac{V_o}{V_i} = \frac{\frac{R_9}{R_8 + R_9}}{1 + \frac{C_5 R_8 R_9}{R_8 + R_9}}$$

其中 V_i 是电流敏感电阻两端的电压, V_o 是比较器输入端上的电压。

因此,时常数等于 R8 与 R9 并联再乘以 C。这样 τ 为 2.4μs (24 乘以 0.1μF)。功率 MOSFET 素以能抵抗高冲击电流而著称,尤其当冲击电流持续时间小于 10μs 时。因此,2.4μs 的时常数就给出了足够的保护措施。

比较图 9-24 (a) 与 (b) 可以明显看到过流保持的优点。在图 9-24 (a) 中,并没有用电流反馈,起动峰值电流达到 16A,而在图 9-24 (b) 中电流限制在 8A 以内。

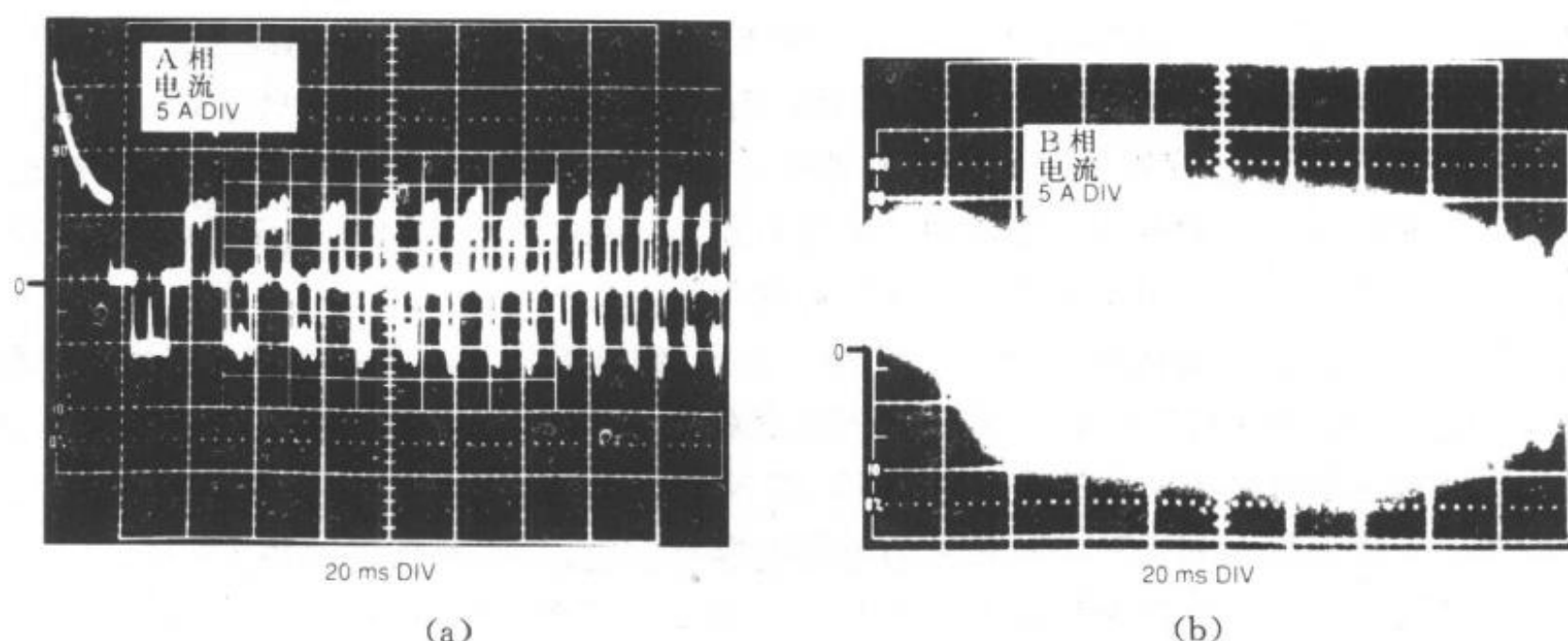


图 9-24 无过流保持 (a) 和有过流保持 (b) 的电机起动电流

当需要电机突然改变旋转方向时,另一个潜在的有压力的工作条件出现了。如果不使用过流传感,那么电流就只受绕组电阻和功率 MOSFET 的导通电压来限制了。

第三个会引起大电流的工作方式是制动模式。在制动信号应用中,下面三个晶体管都导通使电机绕组短路。由于电流通过三个 N 沟道器件在绕组之间流动并未出现在感应电阻上,所以 MC33035 就不会检测到制动模式中的大电流。因此,如果使用制动, MOSFET 必须能处理大电流。

如图 9-25 所示,电流峰值达 35A 并且其持续时间很长时将引起人们对功率晶体管的

— 150 —

可靠性的关注。在制动期，峰值电流是功率晶体管、绕组电阻与电机反电动势的函数。电流衰减所需的时间取决于电机转速、电机绕组电阻、负载的摩擦性和电机转动惯量。照片说明，绕组间电流跳动一直持续到贮存在转动转子中的能量被损耗因素消耗尽为止。

9.5.9 故障指示器与过流闭锁

在四种故障条件下的任何一种，第 14 脚错误输出都为低。使用 LED 作为错误指示是一种方便的交互方法。为保持 LED 中大约为 1mA 的电流，R11 在 24V 电源系统中为 2.2k Ω ，在 12V 电源系统中为 1k Ω 。

检测到故障之后，通常需要禁止输出晶体管进一步产生脉冲。通过将错误输出脚连到使能端脚 7 可以达到上述目的。加上 C6 可以有一个闭锁延迟，时常数 R10C6 就固定了系统闭锁的延迟。

图 9-26 所示元件及其数值在下一小节中列出。

图 9-27 是图 9-23 示意图所示的 24V 无刷电机控制电路的照片。

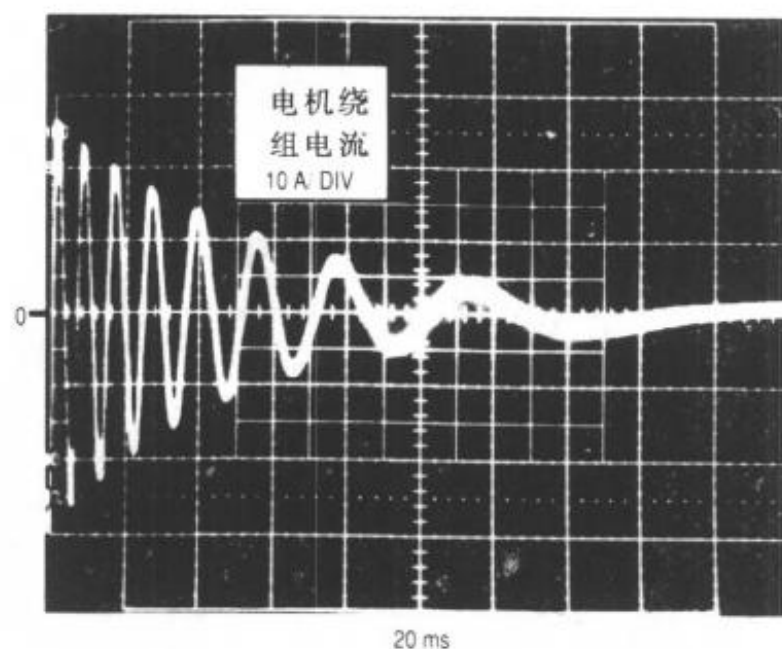


图 9-25 制动信号的应用导致很大的故障电流

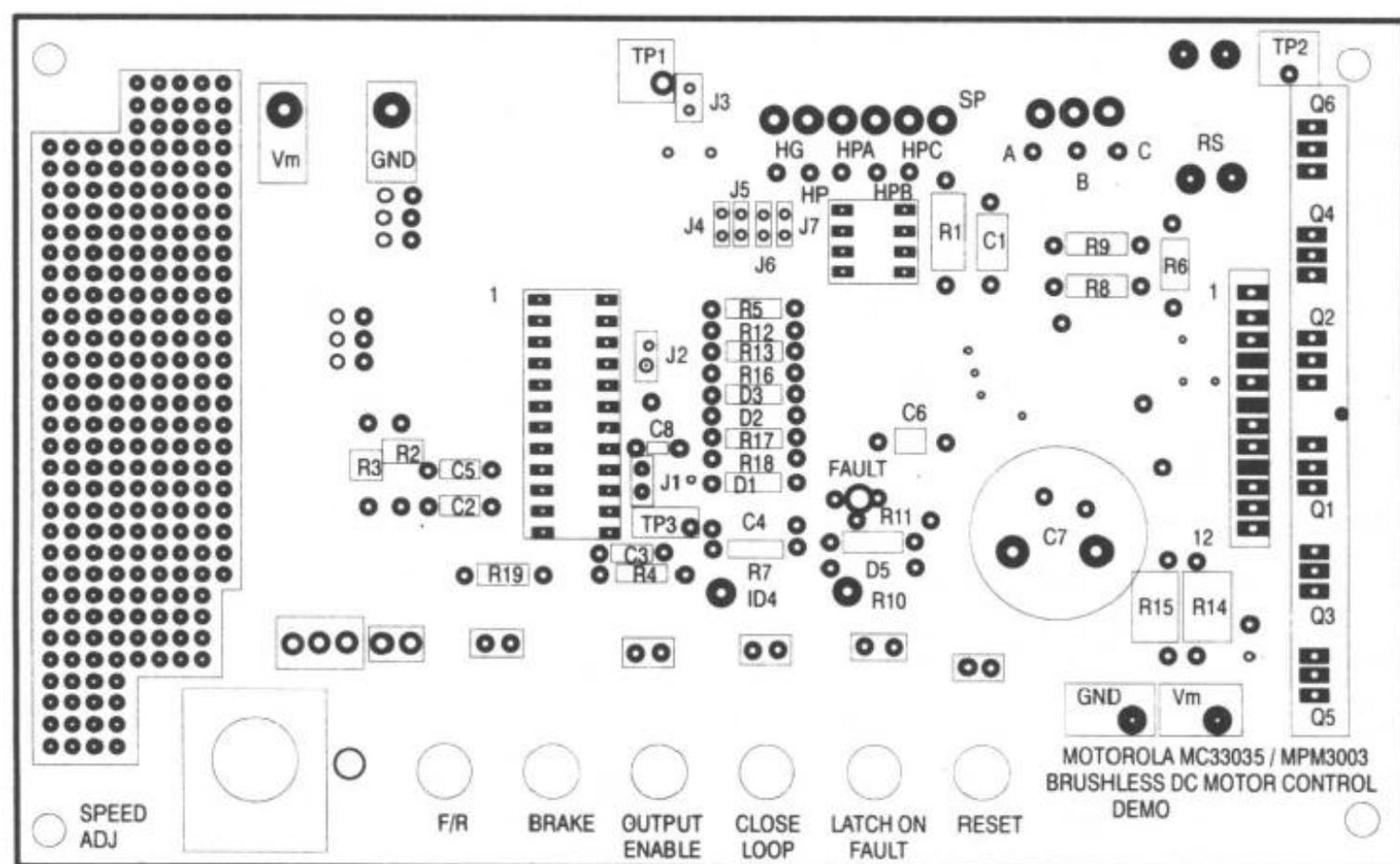


图 9-26 三相无刷电机控制电路的丝网印刷电路板图

9.5.10 无刷电机控制器元件表

1. 晶体管与集成电路

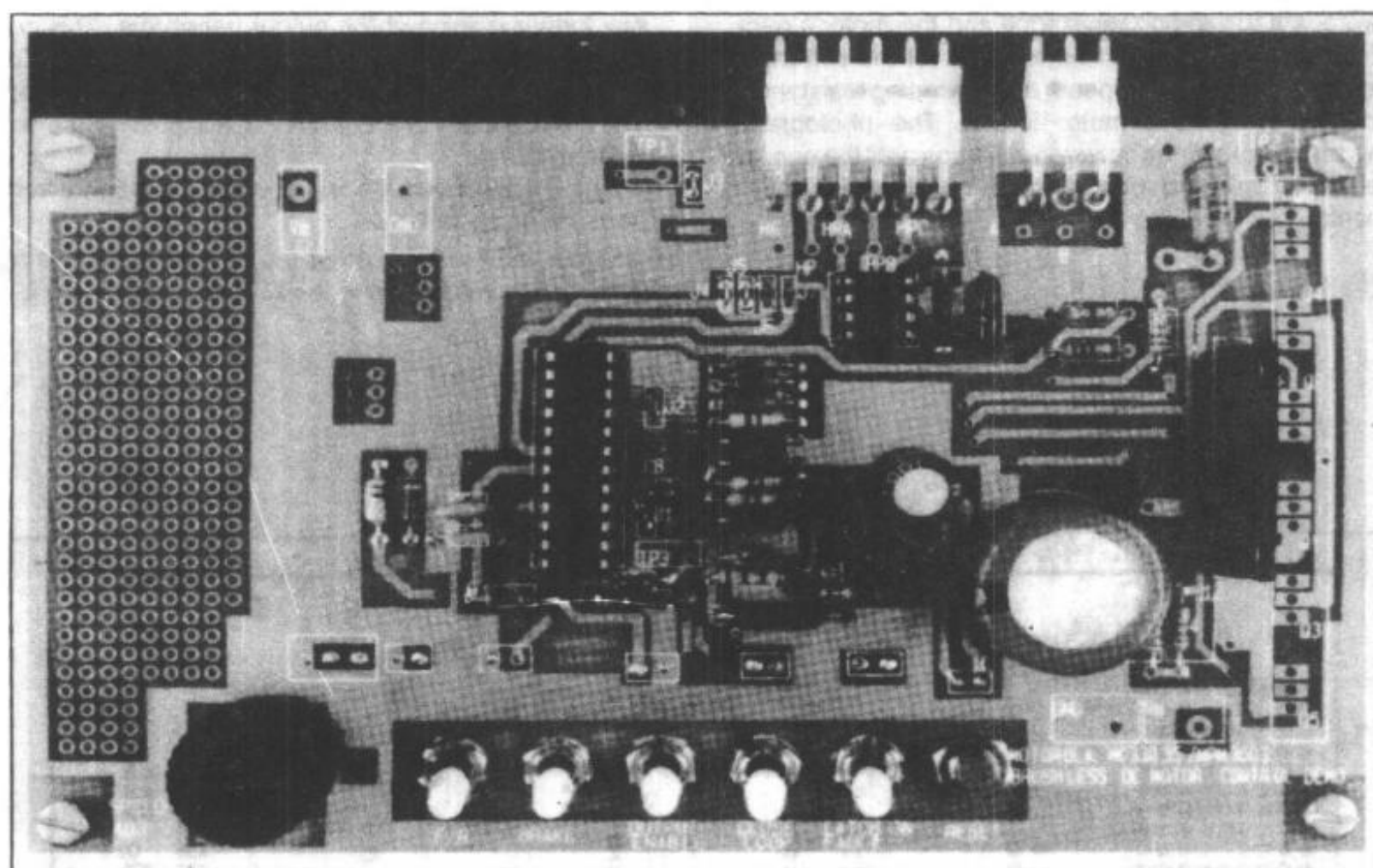


图 9-27 采用了 MC33035、MC33039、MPM3003 的无刷电机控制器

MPM3003 MC33035 MC33039

2. 电容器 (μF , 50V, 除非另外说明)

序号	C1	C2	C3	C4	C5	C6	C7	C8
电容值	22nF	0.01 μF	0.1 μF	0.1 μF	0.001 μF	47 μF ^①	1000 μF ^②	0.1 μF

3. 二极管

序号	D1	D2	D3	D4	D5	D6
型号	1N5819	1N5819	1N5819	1N5338A	1N4148	红色 LED

5 只 SPDT 开关

1 只按钮开关

霍尔效应元件的 3 脚连接器

4. 电阻器 (Ω , 1/4W, 除非另外指明, 否则就是金属膜电阻)

序号	R1	R2	R3	R4	R5	R6	R7
阻值	43k Ω	5.1k Ω	100k Ω	1M Ω	1k Ω	1.1k Ω	1k Ω , 0.5W
序号	R8	R9	R10	R11	R12	R13	R14
阻值	100 Ω	33k Ω	2.2k Ω	2.2k Ω	1k Ω	1k Ω	1.1k Ω
序号	R15	R16	R17	R18	R19	R20	R21
阻值	1.1k Ω	470 Ω	470 Ω	470 Ω	4.7k Ω	10kPot	0.05 Ω 低电感 1W

传感器 (一种 1 只)

电机 6 脚连接器 (一种 1 只)

注: ① 钽电容或 50V 电解电容。

② 支持部件 # 80D102P050HASDS 或 # 673D108H050JJ9CS。

9.6 一马力脱线无刷永磁体电机驱动

9.6.1 简介

无刷永磁体电机 (BPM), 也被称为无刷直流电机, 使用 MOSFET 反相器在低压变速应用中是相当普遍的, 例如磁盘驱动器。高电压脱线应用场合同样利用了相同的 MOSFET 驱动 BPM 电机技术, 而且高电压 MOSFET 已经出现一段时间了。真正的问题一直是设计可靠、低成本的高电源侧驱动器, 并理解阶跃二极管和功率控制板 (PCB) 布局产生的更微妙的结果。成本较低的线性集成电路如 MC33035 能够提供高效的变速控制。本节将阐述一个一马力脱线 BPM 电机驱动板的设计, 其中使用了光隔离器, 为电平平移专用的 MOSFET 关断集成电路。同时也讨论了开关时间的选择, 脉宽调制损耗, 二极管反向恢复的影响, MOSFET 寄生现象的影响以及电路布局原则。

9.6.2 无刷永磁体电机

无刷永磁体电机同有刷直流电机相比具有相同的基本工作原理和扭转速度特性。BPM 电机象一个内外反了的有刷直流电机。其永磁体在转子上而磁场绕组在定子上。这样, 任务就转换成了采用霍尔效应传感器的电子控制来确定转子的位置。而转速的调节是通过用脉宽调制改变有效直流连接电压而实现的。使用成本较低电子元件就可以实现这个简单的速控方法。

对于 BPM 电机速控来说, TMOS 功率 MOSFET 是很理想的开关元件。功率 MOSFET 能应用于高频开关场合。由于 MOSFET 导通电阻 $R_{DS(on)}$ 的缘故, 传导损耗对于低电压器件来说很小, 对于大于 500V 的器件来说也合乎情理。功率 MOSFET 的片内二极管可以方便地当一般二极管使用。近来 MOSFET 耐久性的进展使其二极管能够抵抗由于被迫换向而产生的巨大压力。在被迫转向时 E-FET 的标称能量说明它能抗击很大的 di/dt , 并且进行非箝位感性开关 (UIS) 时能够散去相当一部分雪崩能量。

有关 MOSFET 二极管反向恢复显而易见的问题已经作了很多讨论。许多工程人员认为这些二极管速度太“慢”, 不能用在 20kHz 脉宽调制的应用场合。这通常是不正确的。与功率 MOSFET 相关联的反向恢复时间与分离的快速整流元件的反向恢复时间相比是相当的。由于超高速整流器与快速恢复 MOSFET (辐射式或重金属掺杂式) 的反向恢复时间更短, 这些器件的高速恢复能力使其很难用于实际电路中。

9.6.3 强迫二极管反向恢复效应

在脉宽调制控制电路的工作与效率方面最重要的考虑是二极管的反向恢复。不幸的是, 功率 MOSFET 的反向恢复特性经常被误解。对反向恢复时间 t_{rr} 传统的测量方法并不能完整地解释器件的所有重要恢复特性。

一个典型的反向恢复波形见图 9-28 所示。传统上将反向恢复时间 t_{rr} 定义为二极管电流达零的那一点到电流恢复至反向恢复峰值电流 $I_{RM(rec)}$ 10% 那一点之间的时间间隔。这并没有给出足够的信息来完整地解释波形。一个较好的定义整流器反向恢复时间的方法是如图 9-28 所示将反向恢复时间分成两个不同的时间段 t_a 与 t_b 。 t_a 是正偏电流与所加的 di/dt 的函数。分配给这一段的电量为 Q_a ，即曲线阴影面积所示。反向恢复波形的 t_b 部分仍没有得到很好的理解。测出的 t_b 时间值随开关特性、电路寄生情况、负载电感及所加反向电压的变化而有很大变化。一个相对柔度 (softness) 的定义是 t_b 与 t_a 的比值。普通功能的整流器柔度约为 1.0，高速整流器的柔度约为 0.5，超高速整流器大约为 0.2。

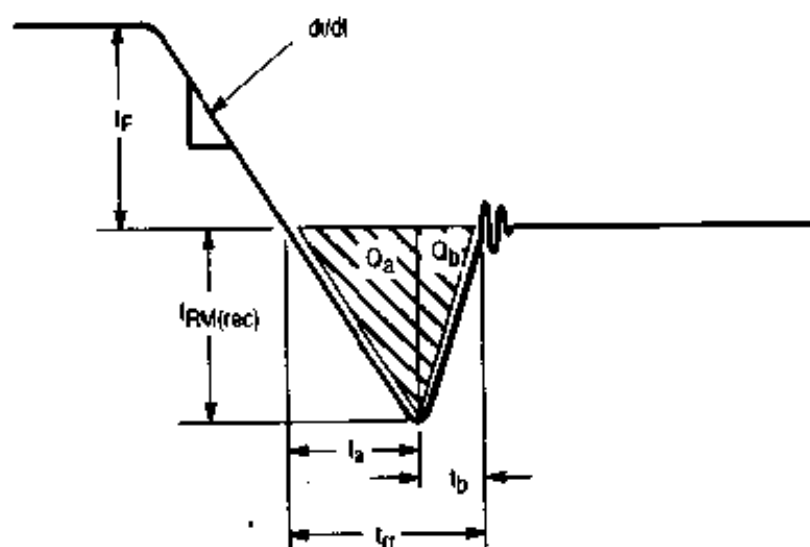


图 9-28 反向恢复波形

由于电路绕线电感的影响，实际电路只能承受一定的 di/dt 。超高速整流器与快速恢复 MOSFET 都有极快的恢复特性。这说明为维持电路可接受的性能必须将 di/dt 降低。因此，同那些具有相同贮存电荷的柔和器件相比，作为使用高速恢复器件的一个间接结果就是使脉宽调制损耗增大。同高速整流元件相比，功率 MOSFET 通常有相同数量的存贮电荷，但它们突变性更强。在作脉宽调制器的 MOSFET 上并联一只普通整流元件会减少功率 MOSFET 的阶跃性并允许更高的 di/dt 值，因而脉宽调制损失更低，尤其对 500V 器件更是如此。

9.6.4 脉宽调制 (PWM) 开关速度

图 9-29 是连续模式下箝位感性开关的导通波形。可以看出电流波形事实上是二极管反向恢复波形的颠倒。漏电压在电流达到其峰值时才开始降低。除非是因为绕线电感导致

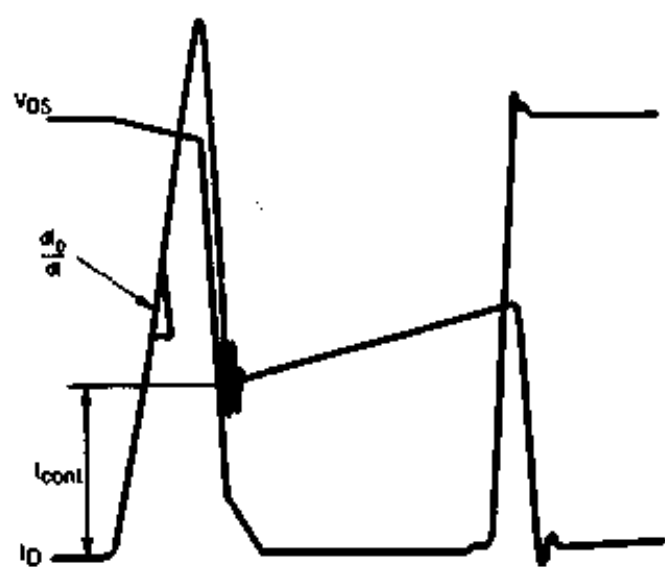


图 9-29 连续模式箝位感性开关的电压电流波形

一个较小的下降。导通 di/dt 由功率 MOSFET 和栅极电阻控制。在 MOSFET 导通期，栅极电阻 R_g 与输入电容 C_{iss} 形成一个 RC 时常数。这意味着栅源电压将象方程 (9-1) 所示的那样增加。按惯例，下面列出的所有方程式中电容的单位是法，电感的单位是亨。

$$V_{GS} = V_{CC}[1 - e^{(-t/R_g C_{iss})}] \quad (9-1)$$

注意到由于漏源电压并没有显著变化，所以漏栅电容并没有影响到导通。将方程 (9-1) 两边微分并按 g_{FS} 互导的定义，方程右边定为 dI_D/dt ：

$$\frac{dI_D}{dt} = V_{CC} \frac{g_{FS}}{R_g C_{iss}} e^{(-t/R_g C_{iss})} \quad (9-2)$$

这样 di/dt 同样随时间变化。事实上， g_{FS} 直接

随栅极电压的变化而变化,但在大多数近似使用中典型的 g_{FS} 值是在 $1/2$ 电流额定值处的值。这两个方程 di/dt 的单位是 A/s ,但通常 di/dt 所用的单位是 $A/\mu s$ ($10^6 A/s$),同样 dv/dt 单位为 $V/\mu s$ ($10^6 V/s$)。

由于平直电压 $V_{GS(plate)}$ 与栅极电荷曲线的平直部分相对应,所以它随电流变化的程度不大,这样我们采用通常为 $6\sim 8V$ 的近似平直电压来算出导通时间和导通 di/dt 。解方程 (9-1) 和 (9-2) 求导通时间和导通 di/dt ,为方程 (9-3) 与 (9-4)。

$$t_{on} \approx R_G C_{iss} \ln \left(\frac{V_{CC}}{V_{CC} - V_{GS(plate)}} \right) \quad (9-3)$$

$$\frac{dI_D}{dt} \approx \frac{g_{FS}}{R_G C_{iss}} (V_{CC} - V_{GS(plate)}) \quad (9-4)$$

到目前为止我们一直忽略源极电感。而源极电感产生一个值为 $L_S dI_D/dt$ 的电压,它能够削弱实际的栅源电压并使开关速度降低。方程 (9-5) 中包含了源极电感的效应。

$$\frac{dI_D}{dt} \approx \frac{(V_{CC} - V_{GS(plate)})}{\frac{R_G C_{iss}}{g_{FS}} + L_S} \quad (9-5)$$

源极电感的影响是相当显著的。它有限制 dI_D/dt 并使之线性化的作用。可以看到当电阻值很小时,事实上源极电感决定了 di/dt 的大小。方程 (9-5) 中使用的源极电感通常包括连线电感,所有 PCB 板引线电感,感应电阻电感以及任何在驱动栅极地路径与电机电流通路交汇处的杂散电感。典型 MOSFET 的 L_S 值为 $5\sim 15nH$,而总的绕线电感典型值为 $20\sim 100nH$ 。

di/dt 的最大值必须在功率 MOSFET 的转换安全工作区 (CSOA) 以内。这意味着必须使用相称的能量器件。根据特定器件,大多数 E-FET 的 CSOA 限在这类电路中通常大于实际的 di/dt 值。通常做法是将峰值电流限制在器件的额定脉冲电流之内。这样做会将最大 di/dt 限制在下列值之内。

$$\frac{dI_D}{dt}_{max} \approx \frac{(I_{DM} - I_{cont})^2}{2Q_A} \quad (9-6)$$

由安全工作区曲线可知,功率 MOSFET 的脉冲电流额定值通常基于 $10\mu s$ 的脉冲。既然反向恢复电流的峰值持续时间小于 $1\mu s$,这个规定一般不用。实际上,大多数 MOSFET 没有足够大的增益在栅极为 $10V$ 条件下超过 I_{DM} 限。由于器件已处于饱和区,即使 MOSFET 有足够大的增益,也不会引起问题。在 di/dt 很高的情况下,MOSFET 吸收的能量实际上很低,这将在以后阐述。

在设计初期一个有实际意义的建议是选择 $25\sim 100A/\mu s$ 的低 di/dt 值,然后根据方程 (9-5) 选择一个合适的电阻。驱动电路工作以后,应当降低这个电阻的值直到噪声变明显或 MOSFET 接近其 CSOA 界限为止。

9.6.5 脉宽调制损耗

二极管电荷清除或脉宽调制损耗可以用在连续模式下感性开关导通期内的电压电流波形积分来近似。导通期间的能量损失同导通时间、恢复时间及贮存电荷多少有关:

$$E_{on} \approx \left[\frac{1}{2} (V_{bus} I_{cont} t_{on}) + (V_{bus} I_{cont} t_r) + (V_{bus} Q_A) + \frac{1}{4} (V_{bus} Q_b) \right] \quad (9-7)$$

其中 V_{bus} 是电源电压, I_{cont} 为负载上流过的连续电流, t_{on} 是导通时间。把能量损耗用导通 di/dt 与二极管存贮电量来表示可以更好地理解这个损耗。二极管 t_a 、 Q_a 以及 di/dt 的关系如下:

$$t_a = \sqrt{\frac{2Q_a}{\frac{dI_D}{dt}}} \quad (9-8)$$

用这个方程与方程 (9-7) 中的 di/dt 近似常数可以导出导通损耗的另一个方程。

$$E_{\text{on}} \approx \left[\frac{1}{2} \left(\frac{I_{\text{cont}}^2}{\frac{dI_D}{dt}} \right) + \frac{I_{\text{cont}} \sqrt{2Q_a}}{\sqrt{\frac{dI_D}{dt}}} + Q_a + \frac{1}{4} Q_b \right] V_{\text{bus}} \quad (9-9)$$

方程 (9-9) 说明, 为了减少脉宽调制损耗, 存贮电荷电量应当最小, 导通 di/dt 应当尽可能大。并且, t_b 时间段内的功率损耗是脉宽调制损耗中的较小因素。这样我们可以牺牲 t_b 来增加 di/dt 。

为计算脉宽调制损耗, 功率 MOSFET 的存贮电量可以用忽略波形中的 t_b 段来近似, 并假设 Q_a 值为如下:

$$Q_a = \frac{t_n^2 \frac{dI_D}{dt} \text{tested}}{2} \quad (9-10)$$

9.6.6 MOSFET 寄生现象的影响

图 9-30 详细地画出了功率 MOSFET 的寄生成份。在二极管阶跃期, 源极电感与漏栅电容对开关电压电流波形有很大影响, 这些影响并不那么容易理解。

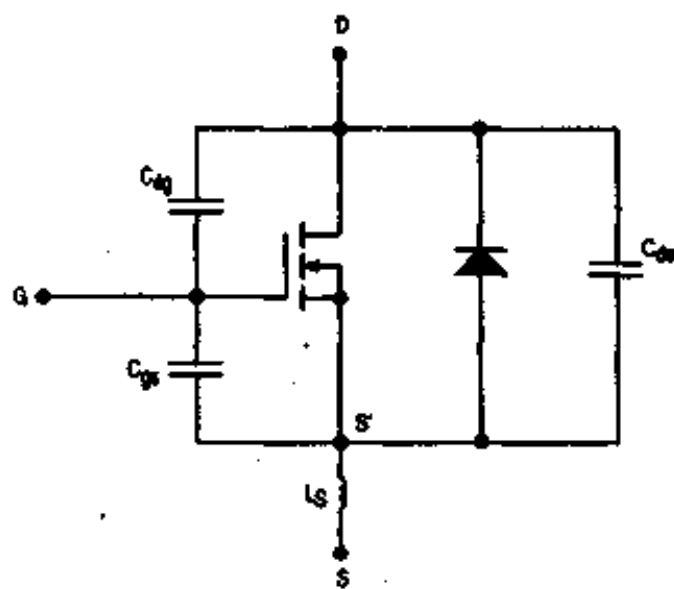


图 9-30 功率 MOSFET 的寄生成份

正如我们已经看到的, 源极电感影响到了功率 MOSFET 的导通性能。在感性负载导通波形的 t_b 段, 电流的急剧减小引起了值很高的负 di/dt , 这就在源极电感 L_s 上产生了一个负电压。假设 di/dt 为一常数, 源极电感两端的电压近似为:

$$V_{S'S} \approx -L_s \frac{I_{\text{RM(rec)}}}{t_b} \quad (9-11)$$

而管芯上的源极金属 S' 端电压被这个源极电感电压拉下, 通过栅源电容栅极也被拉下。在 t_b 时间段内, 这就明显表现为栅源电压的反向尖冲。这个附加电压同时也加在串联栅极电阻上, 于是增加了栅极电流致使电压下降时间减少。当 di/dt 很高时, 例如大于 $200\text{A}/\mu\text{s}$, 栅极电压很可能被拉成

负值。这尤其可能出现在大电流 MOSFET 和 IGBT 中。

同样在 t_b 时间段内, 漏极电压的急剧下降通过漏栅电容耦合, 将电流从栅极拉走, 这样 MOSFET 的栅极就缺乏电荷。被拉走的栅极电流如方程 (9-12) 所示:

$$I_{G2} = -C_{dg} \frac{dV_{DS}}{dt} \quad (9-12)$$

这样,高 dv/dt 实际上能通过栅漏电容将 MOSFET 关断。这尤其可能出现在高压 MOSFET 与 IGBT 中。源极电感与栅漏电容结合起来会引起超过 100MHz 的高频振荡。振荡会导致严重的电磁干扰,甚至由于过高的栅电压或 di/dt 使器件遭到损伤。谨慎地进行电路布局并使用阶跃性低的整流元件可以限制导通 di/dt 的值,进而减小振荡的可能性。

栅漏电容同样对 MOSFET 有一个显著的影响,使 MOSFET 经历强迫反向恢复。当一个 MOSFET 的内部二极管电荷被清除后,我们希望 MOSFET 保持完全截止。可是,在反向恢复波形的 t_b 段期间,漏源极两端的 dv/dt 产生了正电源流向 MOSFET 的栅极电阻。这样使栅源极产生一个正电压而使器件导通,产生电流。在实际应用中,这个电流看上去会使反向恢复电流更大,恢复时间比预期的更长。这个电流可以从反向恢复电流中鉴别出来,因为在非连续工作状态中它也出现。

9.6.7 电路布局原则

当对电机的脉宽调制驱动电路板进行电路布局时,有三个需要记住的重要原则。

- (1) 使“非耦合”半桥环路电感最小。
- (2) 不论何时应防止电机电流进入栅极驱动通路。
- (3) 将背对背齐纳二极管直接安在每一个功率 MOSFET 的栅源极两端来对栅极电压箝位。

第一个原则说明,输出级晶体管布局应当使每一级的上、下晶体管尽可能紧凑。同样,高频去耦电容也应当尽可能紧凑地安在每一个半桥电路的两端,以使对 PCB 引线和感应电阻去除附加的电感。应当使用镀金属聚丙烯的低值等效串联电感(ESA)或镀金属聚酯电容为感性开关提供必要的高值 di/dt 。由于 di/dt 增加有可能超过器件允许范围,所以在现存电路中增加一个电容应当格外小心。能量额定器件、合适的栅极电阻以及小环路电感的组合将产生预料中的高速开关。

第二个原则意味着在功率 MOSFET 的源极上应当将栅极驱动电路直接接地。例如在能量管理系列这样更大的功率器件中,都有一个独立的源极开尔芬(Kelvin)端以使封装电感最小。在 PCB 上使用三端器件,最好将栅极驱动电路的地接在功率 MOSFET 的源极焊片上。无论是在高端驱动还是在低端驱动,这都是很重要的。当采用一只普通集成电路驱动所有三个低端器件时,不可能将单个集成电路在三个不同的地方接地,在这种情形下,就应该通过一个高频去耦电容将集成电路驱动器接地,而高频电容是在所有三级源极交汇处。某些线性集成电路象 MC33034 有单独的对所有三级都很普遍的驱动回路,这就允许去掉感应电阻电感以得到更好的导通特性。但仍需使用箝位二极管,目的是栅极驱动回路不可能被下拉到集成电路地以下。

使用一个齐纳箝位二极管是有必要的,其作用是限制栅极电压并保护器件。建议使用背对背齐纳管,因为这样不可能去掉所有源极电感。源极电感的作用以前已经讨论过了。在二极管阶跃期,单齐纳管会正偏引起振荡或超突发性恢复。这些齐纳二极管应当同功率 MOSFET 靠近安装。或许更重要的是应采用一个 Kelvin 源极端或独立的源极焊片引线将箝位管直接同栅源极相连。这将在源极通道上除去任何与电路有关的电感以有效地防止 MOSFET 遭受大栅极电压的损坏。 di/dt 处于很好控制下的低速开关不需要背对背齐纳二极管。但当使用单个齐纳管时应当十分小心。注意在不严格控制的 t_b 时间段内,200A/ μs 的

di/dt 会在 50nH 电感上产生 10V 电压，这就足以超过平直电压并使单齐纳管正偏。

9.6.8 光隔离驱动电路

一个独立的 BPM 电机驱动电路完整示意图见图 9-31 到图 9-33，图 9-34 是该驱动电路电路板的照片。该驱动电路的设计顺序应当是输出级、控制部分、电源部分和前端部分，是由后向前的。

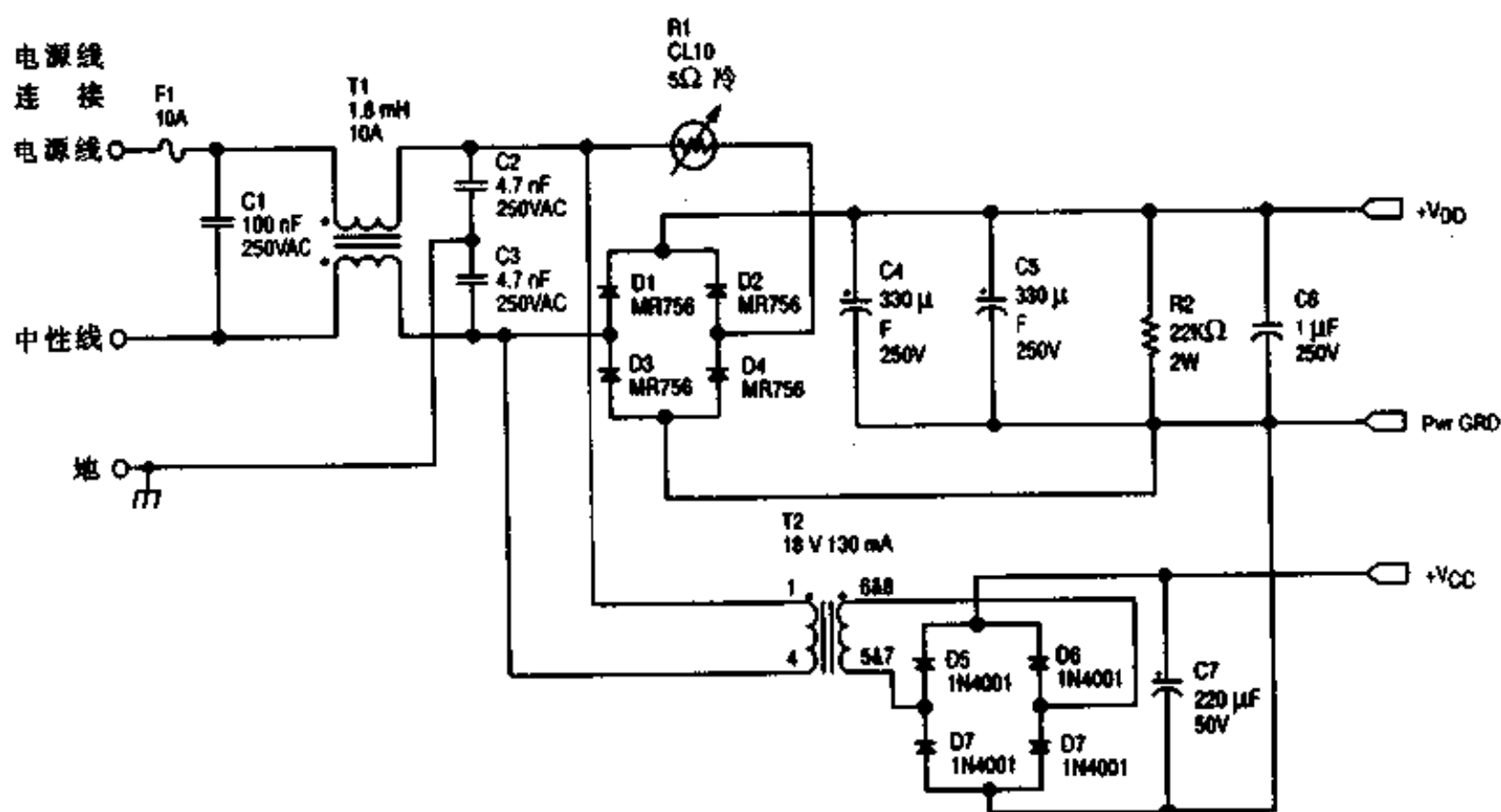


图 9-31 前端部分

在这个 BMP 电机驱动电路所选用的 MOSFET 是 MTW23N25E，这是一个 23A、250V TO-247 封装的器件。直接采用整流 115V 交流电源的独立应用至少需要 250V 的 MOSFET。115V 交流的整流输出标称直流电压为 163V。20% 的高压条件产生最大直流连接电压 195V，使 200VFET 对电压暂态没有余量。这些电压暂态可能出现在箝位感性负载的截止期。应当根据导通损耗、开关损耗、二极管清除损耗来估计 MOSFET 的容量。这些器件容量都足以使电机功率达 1hp。

这里使用了两个特殊的器件使高电位侧驱动电路大大简化。这两个器件是新一代光隔离器 MOC8102 和专为 MOSFET 栅极关断设计的 MDC1000A。电平转换由光隔离器完成。MOC8102 的特点是电流转换率受到很好的控制，超稳定 LED 有效地避免了长时间功率输出的能量衰减问题。第一个栅极驱动的升压由传统自举电路提供。当顶部 MOSFET 关断，其源极被底部 MOSFET 下拉接近于地时，自举电容会通过自举二极管和限流电阻充电。当晶体管反转，导通电流是由自举电容提供的。自举电容大小的选择依据是能为电机最低速情形提供充足的电量。

同光隔离 LED 串联的电阻将电流限制在 20mA 左右。当 LED 导通时，约 20mA 的电流流过光晶体管并通过 MDC1000A MOS 关断器件（MTO）以及串联栅极电阻将顶部 MOSFET 导通。因此 LED 串联电阻间接地决定了顶端导通时间。

MDC1000A 为功率 MOSFET 提供了齐纳箝位和关断电流。当其内部二极管由电流源

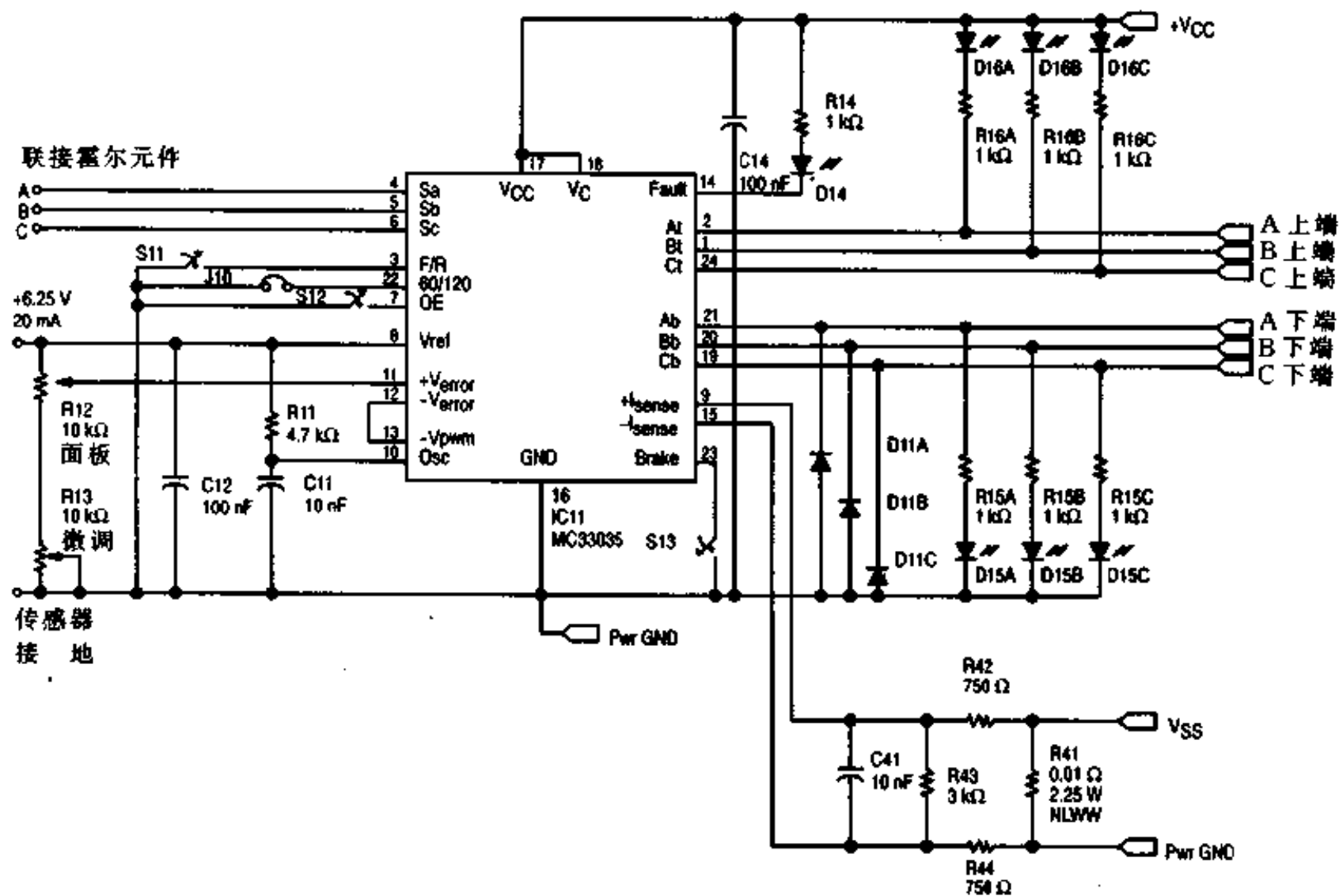


图 9-32 控制部分

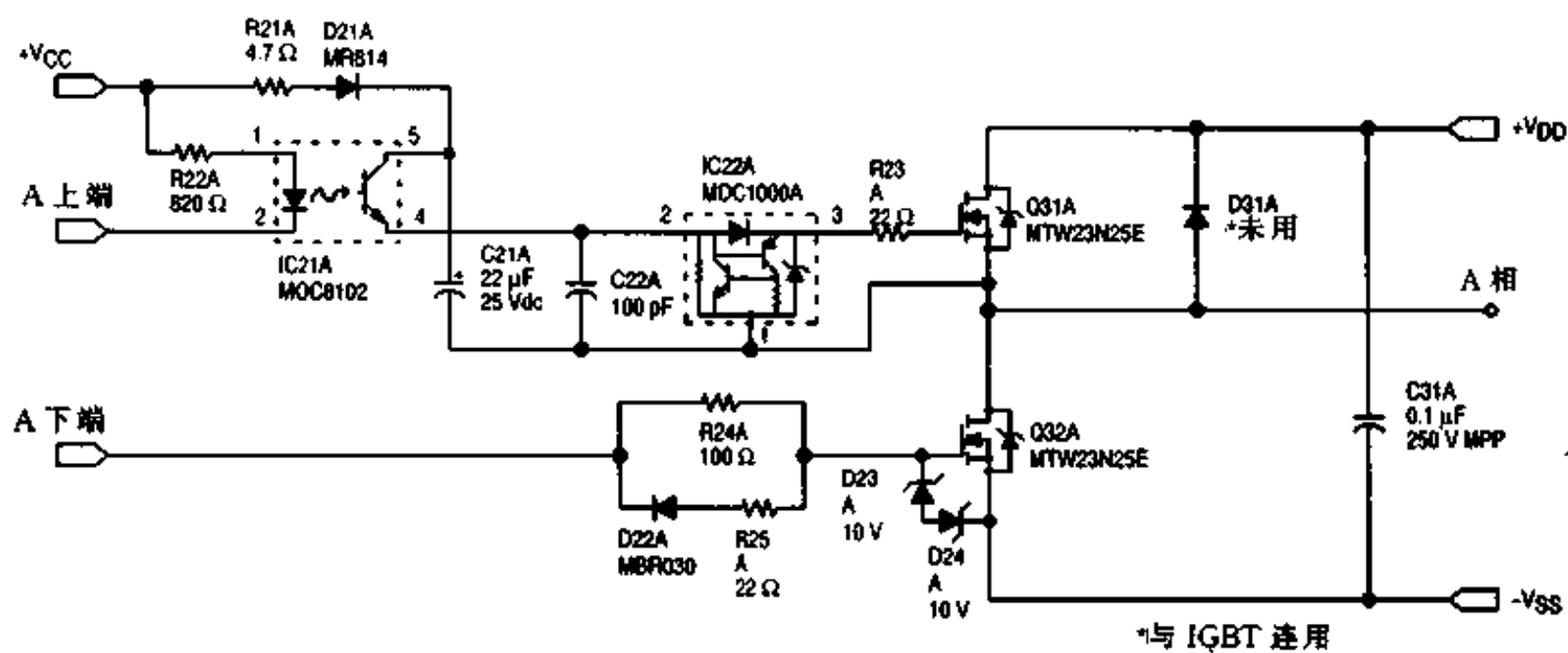


图 9-33 对输出级调相 (B, C 相位完全相同)

驱动时, 它可以方便地使 MOSFET 导通。齐纳二极管将栅源电压箝位在 10V。当电流源断开时, 可控硅整流器将 MOSFET 栅极下拉接近于源极。串联栅极电阻决定了关断时间并从 MDC1000A 上卸去功率时消耗了存贮在 MOSFET 栅极的大部分能量。选择该电阻时应尽可能小, 其目的是使由于通过漏栅电容的耦合而加在器件上的 dv/dt 而使之导通的可能性

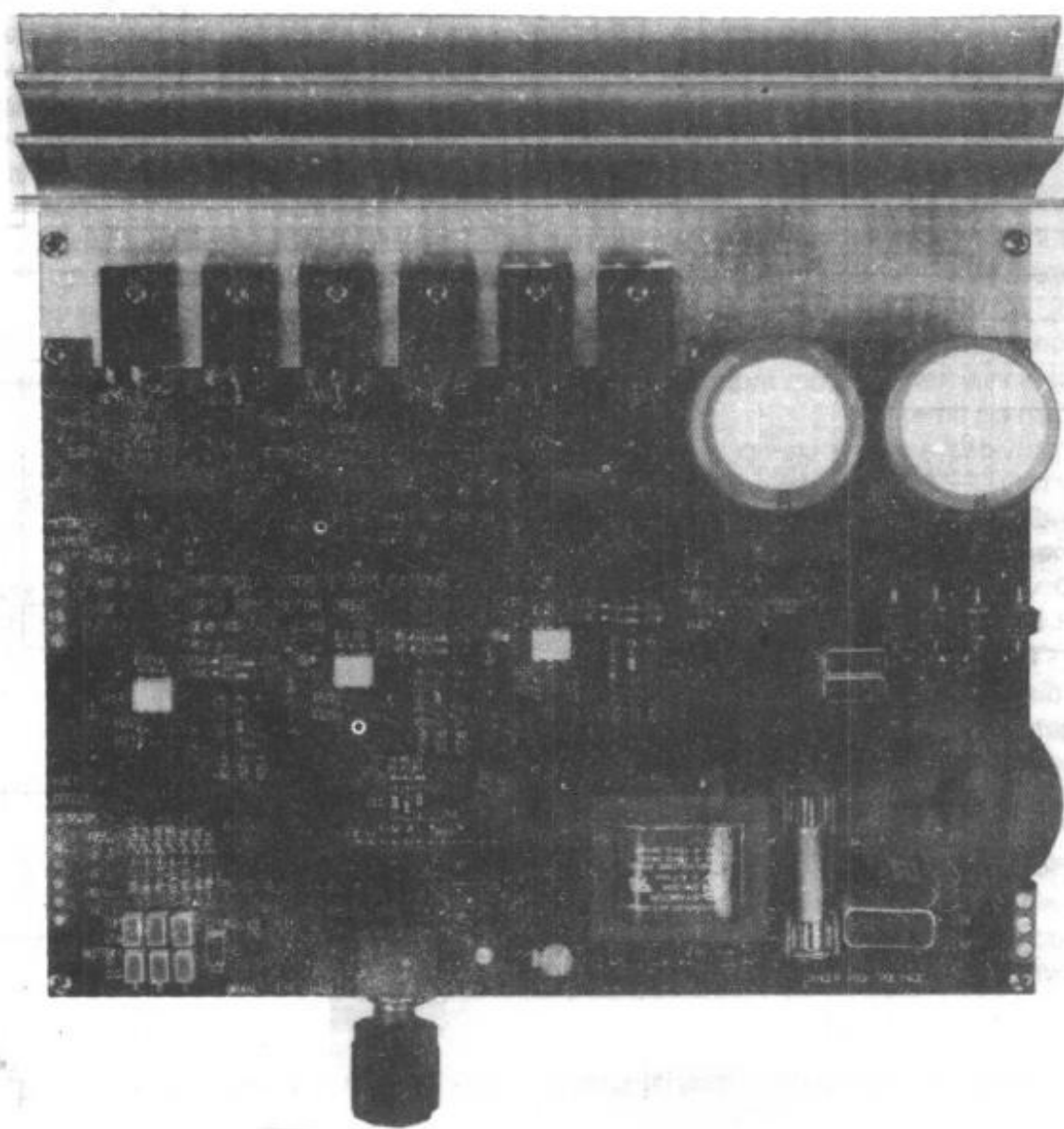


图 9-34 无刷直流电机驱动电路的电路板

最小。

低端一侧功率 MOSFET 直接由控制集成电路驱动。附加的二极管和电阻在更大的栅极电阻确定了导通时间和导通 di/dt 时能提供更短的关断时间。为实现高速开关和低功率损耗，这些电阻都采用了最小值。考虑到电磁干扰，开关速度就不应过高。图 9-35 是连续模式下箝位感性开关的示波器波形图。其中使用了这些 MOSFET 以及挑选后的电阻。漏电流峰值大约为 40A，总反向恢复时间为 300ns，连续电流为 10A。

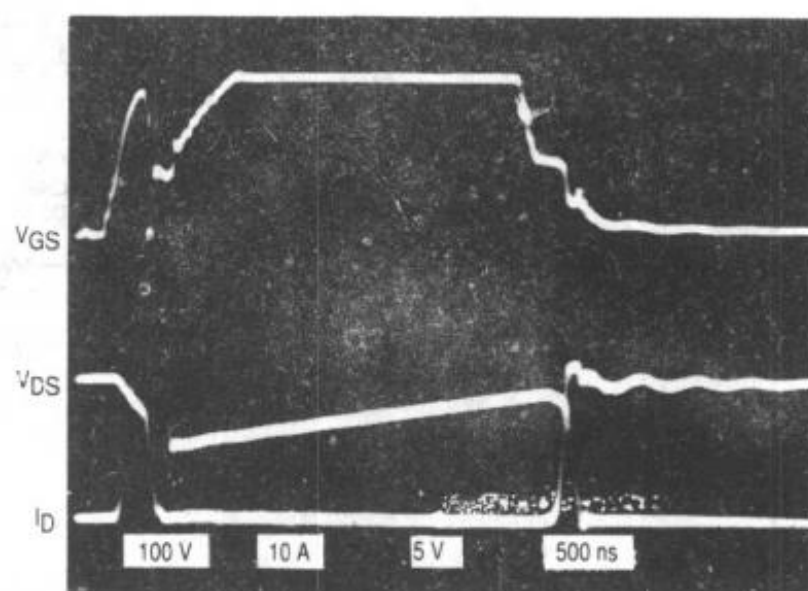


图 9-35 无刷直流电机驱动电压电流波形

MC33035 无刷直流电机控制器提供了所有完成开环系统的必要功能：霍尔效应解码、脉宽调制控制、大电流低端侧栅极驱动以及故障检测。这是一个功能很全的集成电路，同时它也能用于 60°和 120°BPM 电机以及有刷直流电机。同样可得到一个价格稍低的 20 脚产品 MC33033，它没有制动输入、非反相电流敏感误差放大输入、故障输出以及独立的驱动输出 VC 电源脚。可以把闭环无刷电机适配

器集成电路 MC33039 加在 MC33033、MC33034 或者 MC33035 上形成完整的闭环系统。

一个低电感的感应电阻用来提供过流和短路检测。一个阻性分压网络使电流限制在 15A 左右,并用一只 10nF 的电容实现差分模式的低通滤波器。这个电压同样送进 MC33035 的敏流放大器中。栅极箝位齐纳管连接在所有 6 个器件上有 10 μ s 的时常数,这就提供充分的保护以防止过大的停机电流和大多数线间短路故障。为了使过流检测电路正常工作,低噪声布线绝对必要。功率计测试表明在 1 1/2hp 时过流比较器会自动断开。功率 MOSFET 还可以经受起动过渡期的两相短路以及在运行阶段由改锥引起的反复短路。

MC33035 提供故障输出但并不锁死。为了全面保护驱动电路,可以加入锁死电路与复位电路。欠压保持可以提供足够的低压保护。对功率 MOSFET 和电机使用热过载都会产生可靠的容错系统。

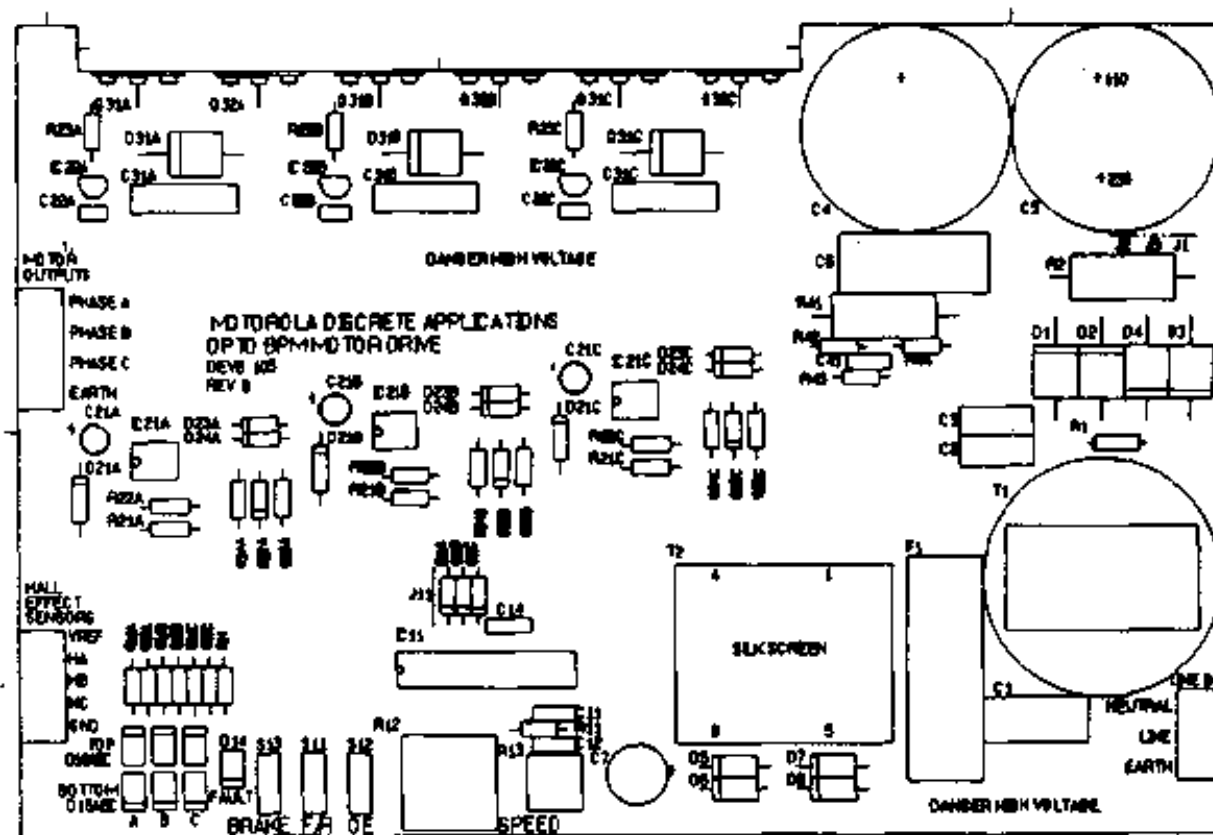


图 9-36 印刷电路板丝网布局图

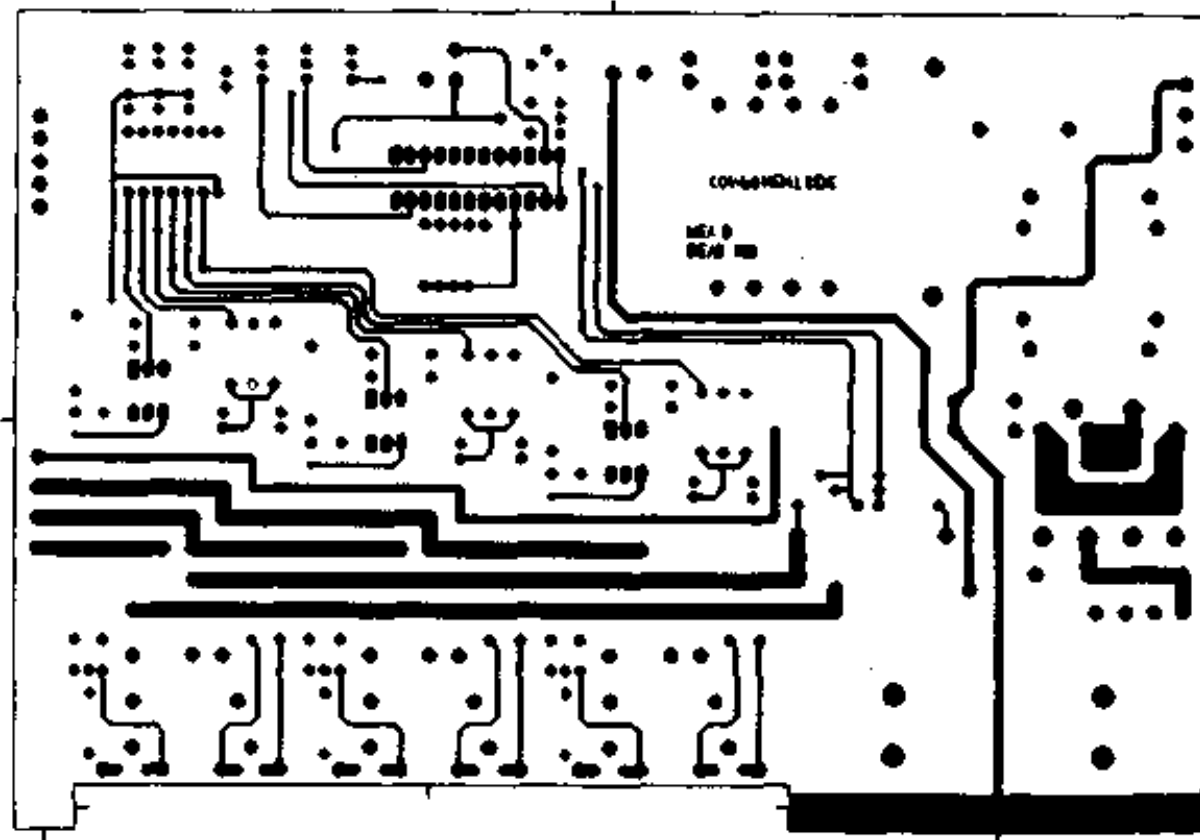


图 9-37 元件面

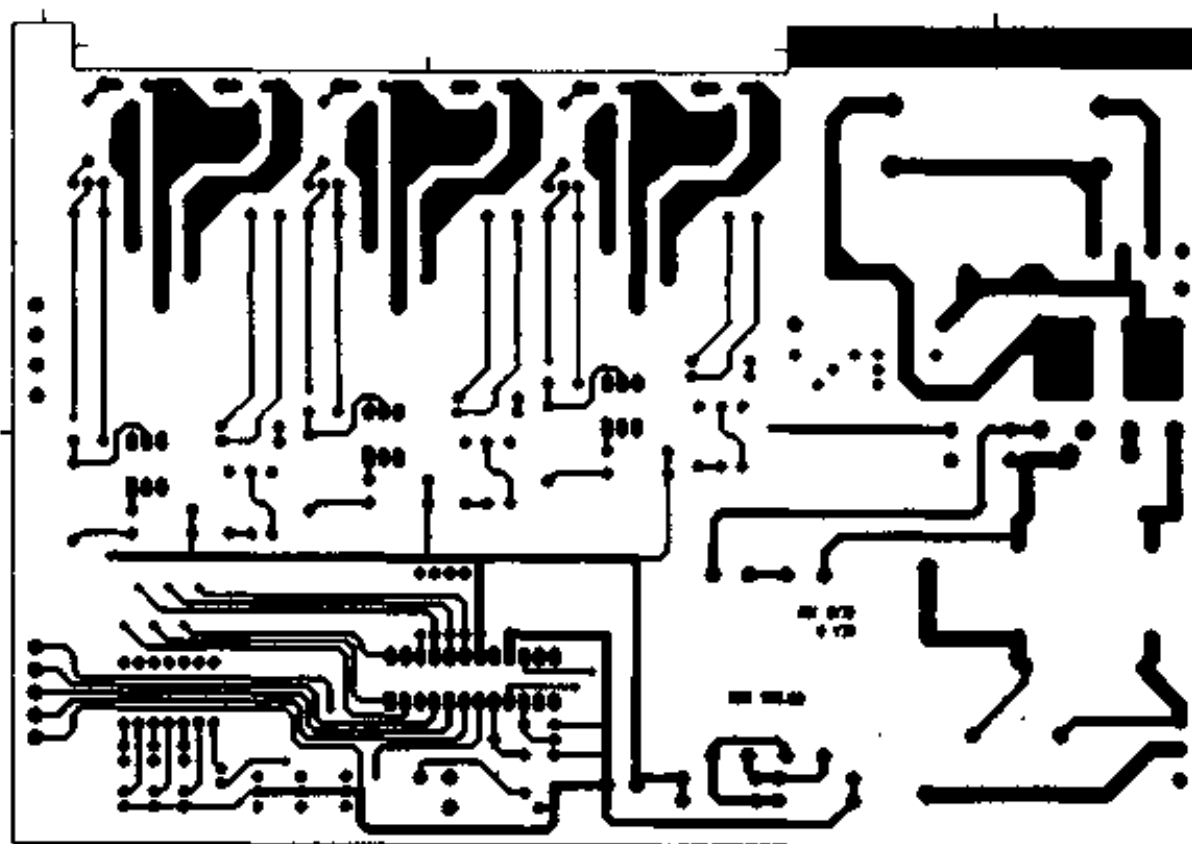


图 9-38 焊盘面

表 9-1

元 件 名	数量	说 明	额定值	容量值	制造商	部件号	结构
C21A,C21B,C21C	3	22 μ F 电解电容	25VDC				铝壳
C7	1	220 μ 电解电路	50V				铝壳
C4,C5	2	330 μ F 电解电容	250V		Sprague	80D	铝壳
C2,C3	2	4.7nF AC 电容器	250VAC		Rifa	PME289MA	
C1	1	100nF AC 电容器	250VAC		Rifa	PME285MB	
C31A,C31B,C31C	3	0.1 μ F 电容器	250V	5%	Wima	MKP 10	云母
C6	1	1 μ F 电容器	250V	10%	Wima	MKP 4	云母
C11,C41	2	10nF 电容器	50V	10%			陶瓷
C12,C14	2	100nF 电容器	50V	10%			陶瓷
C22A,C22B,C22C	3	100pF 电容器	50V	10%			陶瓷
电源线连接器	1	3 脚连接器	0.200 英寸		Phoenix	1729131	
电机输出	1	4 脚连接器	0.200 英寸		Phoenix	1729144	
霍尔开关连接器	1	5 脚连接器	0.150 英寸		Phoenix	1727049	
D5,D6,D7,D8	4	50V 二极管	1A		Motorola	1N4001	
D1,D2,D3,D4	4	600V 二极管	6A		Motorola	MR756	
D21A,D21B,D21C	3	600V 二极管			Motorola	MR816	
D31A,D31B,D31C	3	二极管				未用	
D11A,D11B,D11C, D22A,D22B,D22C	6	30V 肖特基	1/2A		Motorola	MBR030	
F1	1	10A 保险丝					
D15A,D15B,D15C, D16A,D16B,D16C	6	绿 LED			GI	MV54124A	
D14	1	红 LED			GI	MV57124A	

续表

元 件 名	数量	说 明	额定值	容量值	制造商	部件号	结构
1C11	1	控制 IC			Motorola	MC33035	
1C22A, 1C22B, 1C22C	3	MTO			Motorola	MDC1000A	
Q31A, Q31B, Q31C, Q32A, Q32B, Q32C	6	N - ch 功率 MOSFET			Motorola	MTW23N25E	
1C21A, 1C21B, 1C21C	3	光耦合器			Motorola	MOC8102	
R12	1	10k Ω 电位计			Bourns	81A1AB28A15	
R13	1	10k Ω 电位计	trimpot		Bourns	3386P1 103	
R41	1	0.01 Ω 电阻	2.25W	5%	Mills	MRP-2-NI	NLWW
R14, R15A, R15B, R15C, R16A, R16B, R16C	7	1k Ω 电阻	1/4W	5%			
R43	1	3k Ω 电阻	1/4W	5%			
R11	1	4.7k Ω 电阻	1/4W	5%			
R21A, R21B, R21C	3	4.7 Ω 电阻	1/4W	10%			
R2	1	22k Ω 电阻	2W	5%			
R23A, R23B, R23C, R25A, R25B, R25C	6	22 Ω 电阻	1/4W	5%			
R24A, R24B, R24C	3	100 Ω 电阻	1/4W	5%			
R42, R44	2	750 Ω 电阻	1/4W	5%			
R22A, R22B, R22C	3	820 Ω 电阻	1/4W	5%			
S11, S12, S13	3	SPDT 开关	submin		NKK	#SS 12SDP2	
R1	1	5 Ω 冷热敏电阻			Keystone	CL10	
T1	1	1.8mH 变压器	10A		Pulse Eng.	PE-96188	
T2	1	18V 变压器	130mA		Stancor	SW336	
D23A, D23B, D23C, D24A, D24B, D24C	6	10V 齐纳管			Motorola	1N4697	

9.6.9 结论

无刷永磁体电机和功率 MOSFET 在交流 110V 和 230V 供电时能提供超过 1hp 的变速驱动 (VSD)。这包括了多数一般用户和商业上变速电机的大部分功能。为了设计这样的 BPM 电机驱动, 应该对与脉宽调制电路、二极管反向恢复特征及 MOSFET 寄生现象有关的问题有一定了解。

最近出现的高速 IGBT 技术会提供高效 BPM 电机驱动以及交流感应电机驱动, 而电机工作条件超过交流 230V, 输出为 1~5hp。但功率 MOSFET 和 MOSFET/IGBT 联合使用仍会在小功率电机中继续使用, 尤其是应用在 110V 交流。驱动电路的进展会进一步降低 VSD 的价格, 增强 VSD 的性能与可靠性, 同时 MOS 与整流技术的进一步进展会更大程度地改善噪声性能与效率。

9.7 小功率电机与微处理器接口

9.7.1 简介

在小功率电机控制系统中,功率信号是由 MOSFET 加入的,但控制信号本身却是由微处理器或数字信号处理器产生的。近年来的许多技术进步使得在电机驱动应用中微处理器和功率 MOSFET 更加容易使用。但两者间的接口却一直是很重要的问题。对于 1/4hp 以下电机,假设需要双向速控,接口通常是在 5V 逻辑电路与互补 P 沟道/N 沟道 MOSFET 桥之间。为了用数字系统更好地驱动这些互补 H 桥,需要考虑到许多因素。它们包括二极管阶跃、地漂移、噪声抑制、废弃无用输入。这里将描述一块与这些问题及设计考虑有关的实验电路板。

9.7.2 实验电路板简述

这里简要介绍关于使用编号为 DEVB103 的实验电路板所需的信息。对于设计思路将在“设计思路”这一节中讨论。

1. 功能

设计如图 9-39 所示的实验电路板是为了在微处理器与小功率电机之间提供一个直接的接口。它接受 4 个控制互补 H 桥输出的逻辑输入,即输入端为逻辑 1 则打开相应的功率晶体管。这种类型的设置用到脉宽调制系统中来,其中的脉宽调制 (PWM) 信号由微处理器、数字信号处理器或其它数字系统产生。该电路板用于驱动小功率电刷式直流电机是很合适的,用两块板还可以驱动步进电机。除了能控制电机之外,在 CS₊ 和 CS₋ 两个端上还提供了敏流反馈。

2. 电气特征

在描述实验电路板工作情况中将包含这些电气特征(见表 9-2)。它们并不是一般情况下的硬性规定,而是仅作为工作参考用。

表 9-2 电气特征

特 性	符号	最小值	典型值	最大值	单位
电源电压	B ₊	10.8		60	V
电机峰值电流	I _{PK}			12	A
电机恒向电流	I _c			3*	A
输入电流@V _{in} =5V	I _{in}		500		μA
逻辑 1 的最小输入电压	V _{IH}		2.7		V
逻辑 0 的最大输入电压	V _{IL}		2.0		V
静态电流	I _{CC}		20		mA
感应电压	V _{SENSE}		75		mV/A
功率损耗	P _D			6	W

* 若 MPM3002 用散热片还可以控制更高的电流。

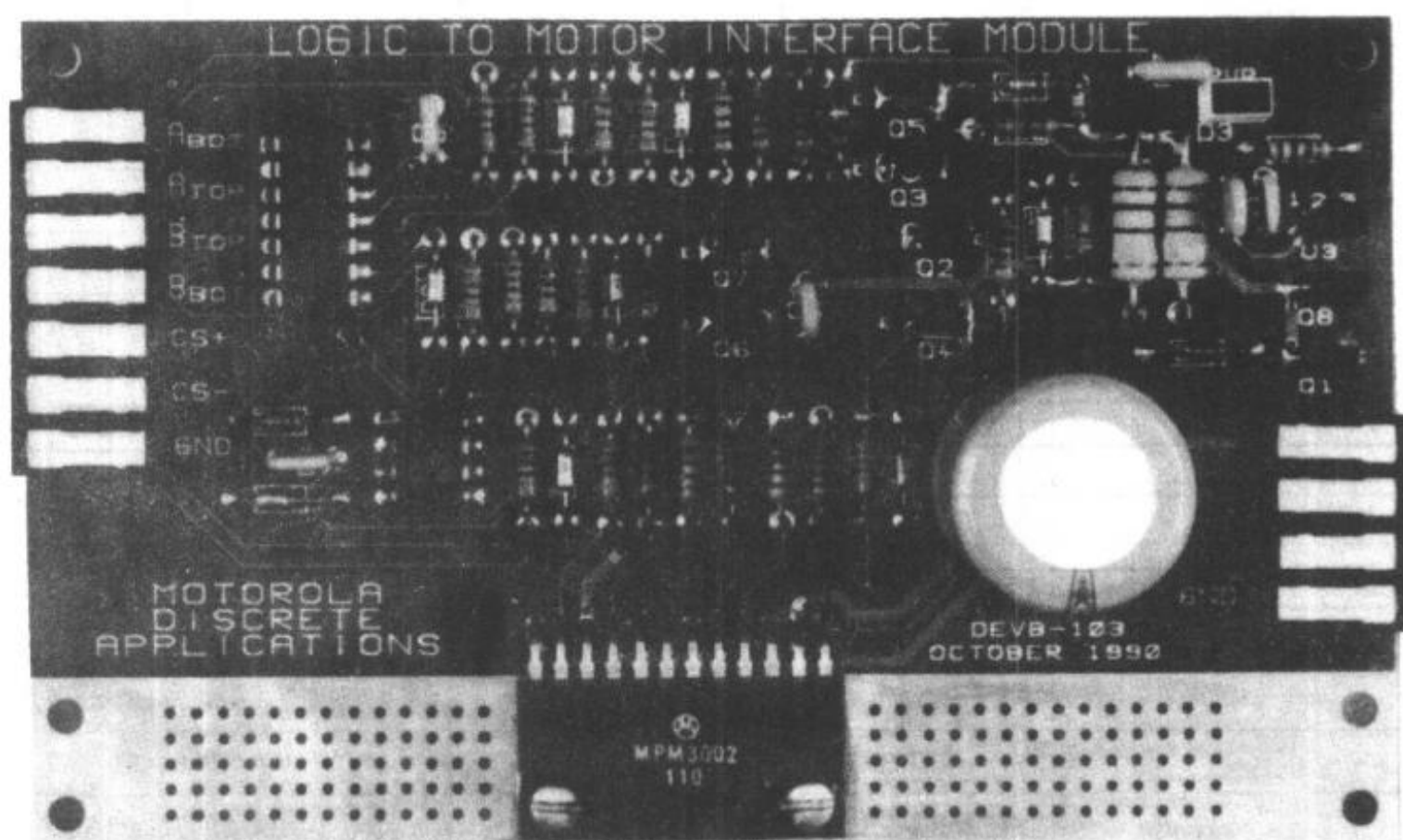


图 9-39 DEVB103—逻辑电路与电机的接口模型

下面有关功耗与最大电流数值都假设环境温度为 25℃，空气是静止的，并且无附加散热装置。在 MPM3002 上插入一片散热装置并且/或者在板上提供空气对流将明显地增加功耗和连续电流额定值。当 MPM3002 输出桥外壳保持 25℃时，它是一个 8A 连续电流、62.5W 的器件。

3. 特征内容

下面的示意图（图 9-40）、丝网布局图（图 9-41）以及元部件表（表 9-3）描述了电路板电气特征内容。电路逐脚地详细说明见下面一节。

表 9-3 元部件表

元件名	数量	说明	额定值	制造厂家	元件号
C1	1	390μF 电解电容		Sprague	80D391(P100HA2)
C2,C3,C4,C5,C6,C7	6	1μF 陶瓷电容			
D1,D2,D11,D12	4	肖特基整流器	0.5A, 30V	Motorola	MBR030
D3	1	LED(红)		GI	MV57124A
D4	1	14V 齐纳二极管		Motorola	1N5244A
D5,D6	2	12V 齐纳二极管		Motorola	1N5242B
D7,D8,D9,D10	4	4.7V 齐纳二极管		Motorola	1N5230A
Q1,Q8	2	NPN 晶体管	80V	Motorola	MPSW06
Q2,Q7	2	PNP 晶体管	80V	Motorola	MPSA56
Q3,Q4,Q5,Q6	4	NPN 晶体管	80V	Motorola	MPSA06
Q10,Q11,Q12,Q14	1	互补 H 桥	100V	Motorola	MPM3002

续表

元件名	数量	说明	额定值	制造厂家	元件号
R1,R4	2	470Ω 电阻			
R2,R6,R10,R11,R17,R19	5	220Ω 电阻			
R3,R26	2	5.1kΩ 电阻	1W		
R5,R12,R13,R14,R15	5	1kΩ 电阻			
R7,R20	2	5.6kΩ 电阻			
R8,R18	2	100Ω 电阻			
R9	1	3.9kΩ 电阻			
R16,R21	2	2kΩ 电阻			
R22,R23,R24,R25	4	10kΩ 电阻			
R27	1	120Ω 电阻			
U1	1	四个 2 输入			MC74HC00
U2	1	TMOS 驱动器			MC34151
U3	1	电压调整器			MC78L05ACP

注：①所有电阻均为 1/4W，容差为 5%，另有说明除外。

②所有电容均为 100V，容差为 10%，另有说明除外。

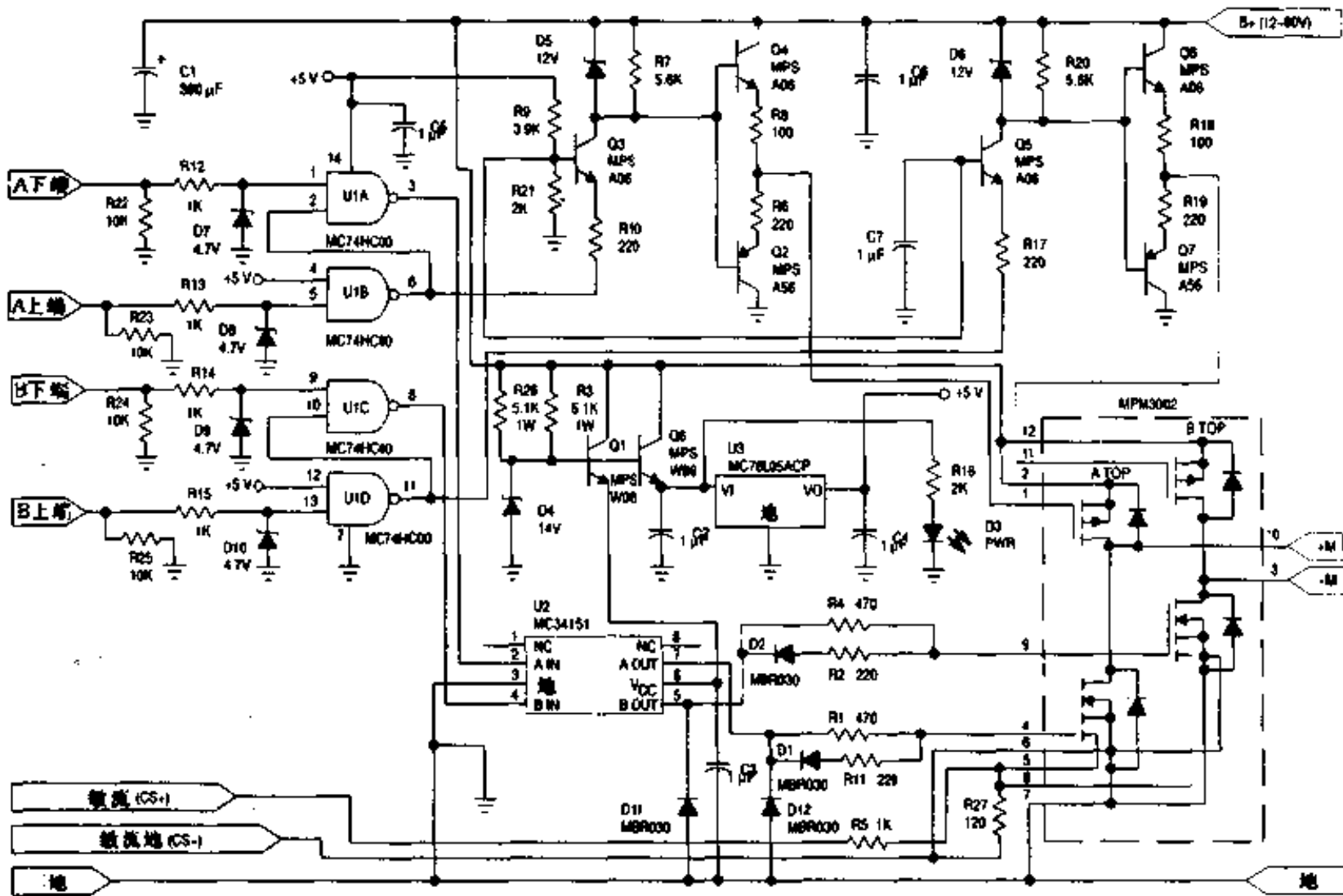


图 9-40 逻辑电路与电机接口

4. 引出端说明

(1) 输入部分

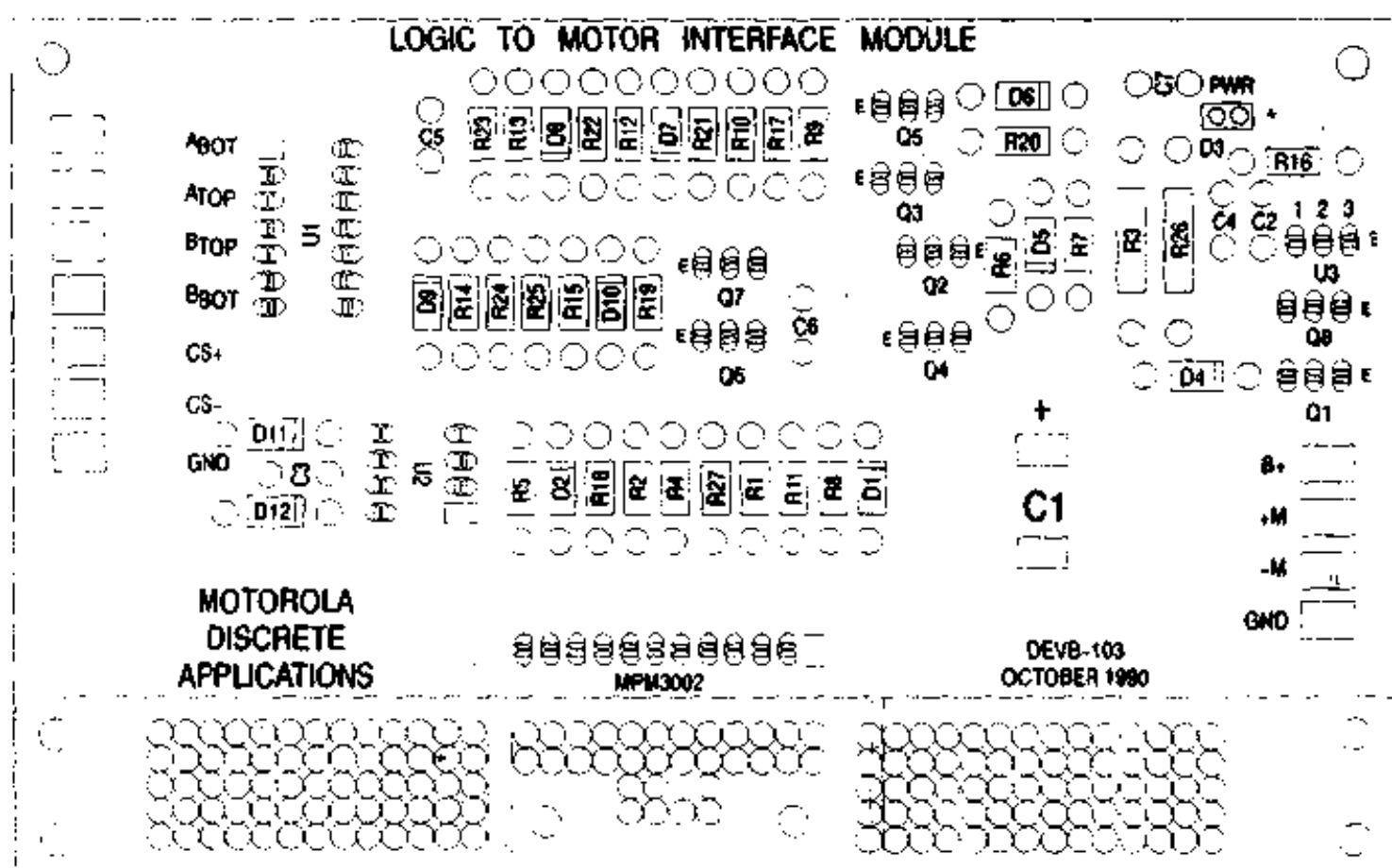


图 9-41 丝网布局图

输入端 ATOP、ABOT、BTOP、BBOT 都是逻辑输入。辑逻辑 1 将使该输入对应的输出晶体管打开，例如，在 ATOP 出现逻辑 1 将使输出晶体管 ATOP 导通。逻辑电平是标准的 CMOS 电平。由于每个输入都由 10kΩ 电阻下拉，故输入电流更高，典型值为 500μA。因此，在缺少任何一个输入的情况下，输出的所有功率晶体管都是关断的。

如果由于疏忽而对桥同一边的底端输入和顶端输入都加了逻辑 1，即 ATOP 和 ABOT，那么底端输入被锁定，只有顶端输出晶体管导通。锁定作用除了保护桥以防破坏之外，它还为微处理器作电刷式电机驱动提供了有用的特征。具有加到上半桥输入逻辑的端会保护下半桥输出。因此，单 PWM 信号能用来驱动两个底端输入。

(2) CS₊

CS₊ 是一个敏流输出电压。它的产生是通过将镜像输出从两只 N 沟道下半桥敏感器件连到 120Ω 敏感电阻上。在正常条件下，此电压反映电机电流大小，转换因子为 75mV/A。由于只是测量了下半桥电流，这个输出并不能检测 M⁺ 或 M⁻ 与地的短路。P 沟道二极管的反向恢复电流也测量了。这样通常需要一些滤波同限流电路配合工作。

(3) CS₋

CS₋ 是为 CS₊ 返回的地。它是通过将 Kelvin 端连接到 N 沟道敏感器件的源极而得到的。使用这个地作为参考与使用功率地作参考相比，可为限流电路获得更大的敏感精确度。

(4) GND

这里有两个地连接：电路板左侧一个，右侧一个。在它们连到板上其它地方之前，都首先直接与 N 沟道敏感 FET 源极相连。右边一侧的地是作为功率回路的。

(5) B₊

B₊ 是电机的功率源输入端。它是唯一的电源输入。输入电压范围是直流 10.8~60V。

(6) 电机输出

电机输出端 M_+ 与 M_- 加有下标,其目的是说明当 ATOP 与 BBOT 加逻辑 1 时在 M_+ 与 M_- 两端将出现正电压。这个电压可以用来驱动分马力电刷直流电机或步进电机的某一相。

9.7.3 应用举例

图 9-42 是一个基于微处理器 MC68HC11E9 的应用实例,该图是系统连接图。该图说明微处理器与电机的接口是多么简单明了。微处理器只提供了 3 个输出,而接口电路的输入输出仅仅是 B_+ 、地和连接电机的 M_+ 与 M_- 。在图 9-42 外围不再需要任何辅助功率源或外围元件来完成这个接口。这个驱动布局是 2 对 1/4 圆弧电刷,来自端口 PA6 的 PWM 信号送入 A 和 B 的底端输入端。信号由 PB0 端口与 PB1 端口控制方向,它们都连至顶端输入端。PWM 信号是由 68HC11 的计时器产生的,它能对较大范围内的模拟或数字输入作出响应。速度控制是通过 PWM 信号的工作周期实现的,转向由静态端口 PR0 与 PR1 确定。

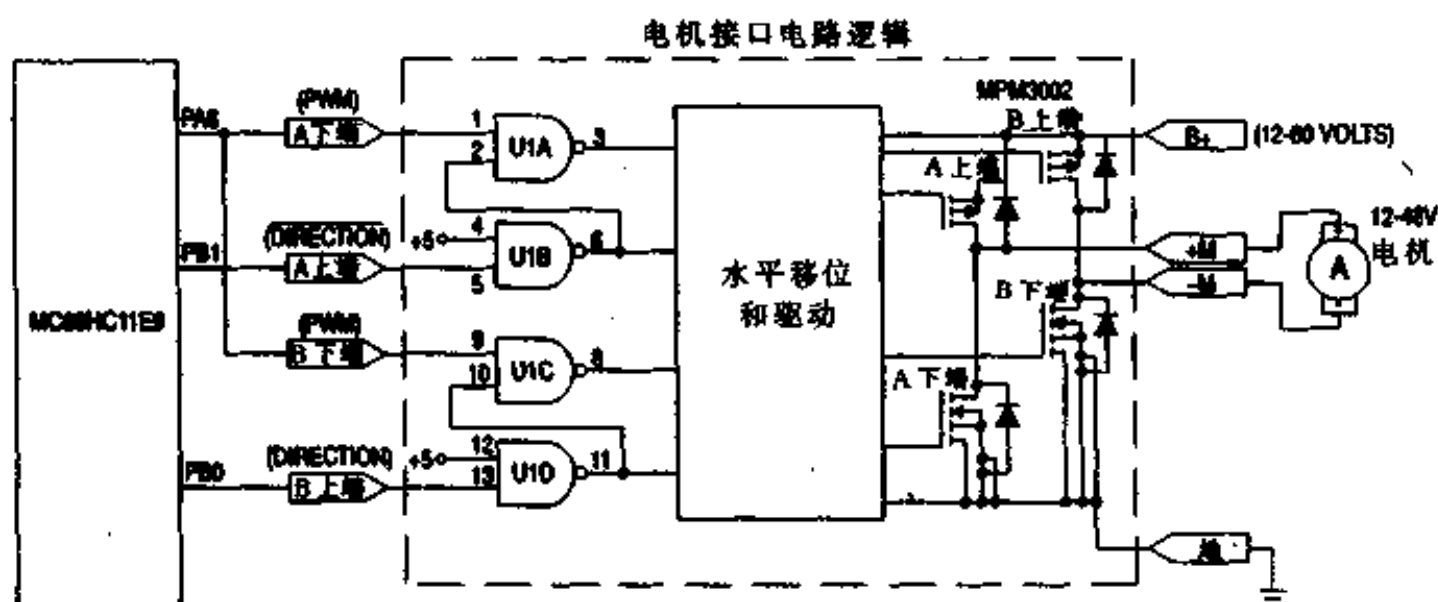


图 9-42 应用实例

9.7.4 设计思路

如图 9-43 是微处理器与电机接口的准方框图。现在让我们把注意力放在输入与非门上。这些门的功能是防止同一桥臂上两个晶体管同时导通。如图所示,加在顶端输入端的逻辑 1 将上半桥的 P 沟道功率晶体管导通,加在底端输入端的逻辑 1 将下半桥的 N 沟道功率晶体管导通。如果两种输入端上都加逻辑 1,通过将底输入端锁定,仅打开 P 沟道功率晶体管就可以避免对桥电路的破坏。这种特殊的手段同时也带来了另一个重要特点,既然当顶输入端加逻辑 1 时,底端输入锁定,那么在全桥中,两个底端输入就可以连在单个 PWM 信号线上。在这种情形下,一个顶输入成为逻辑 1 并将底半部分的 PWM 信号锁定。在另一面,顶端输入是逻辑 0, PWM 信号驱动底端半部分的 N 沟道开关。由于这样比起产生双向控制的 PWM 信号而言,只需花费更少的代码和内存就可以产生一个 PWM 信号加上两个静态方向位,因此这对微处理接口而言是很重要的。

9.7.5 动态考虑

接口设计中最大的挑战是处理动态问题。在小功率电机驱动中,最重要的是直通电流、

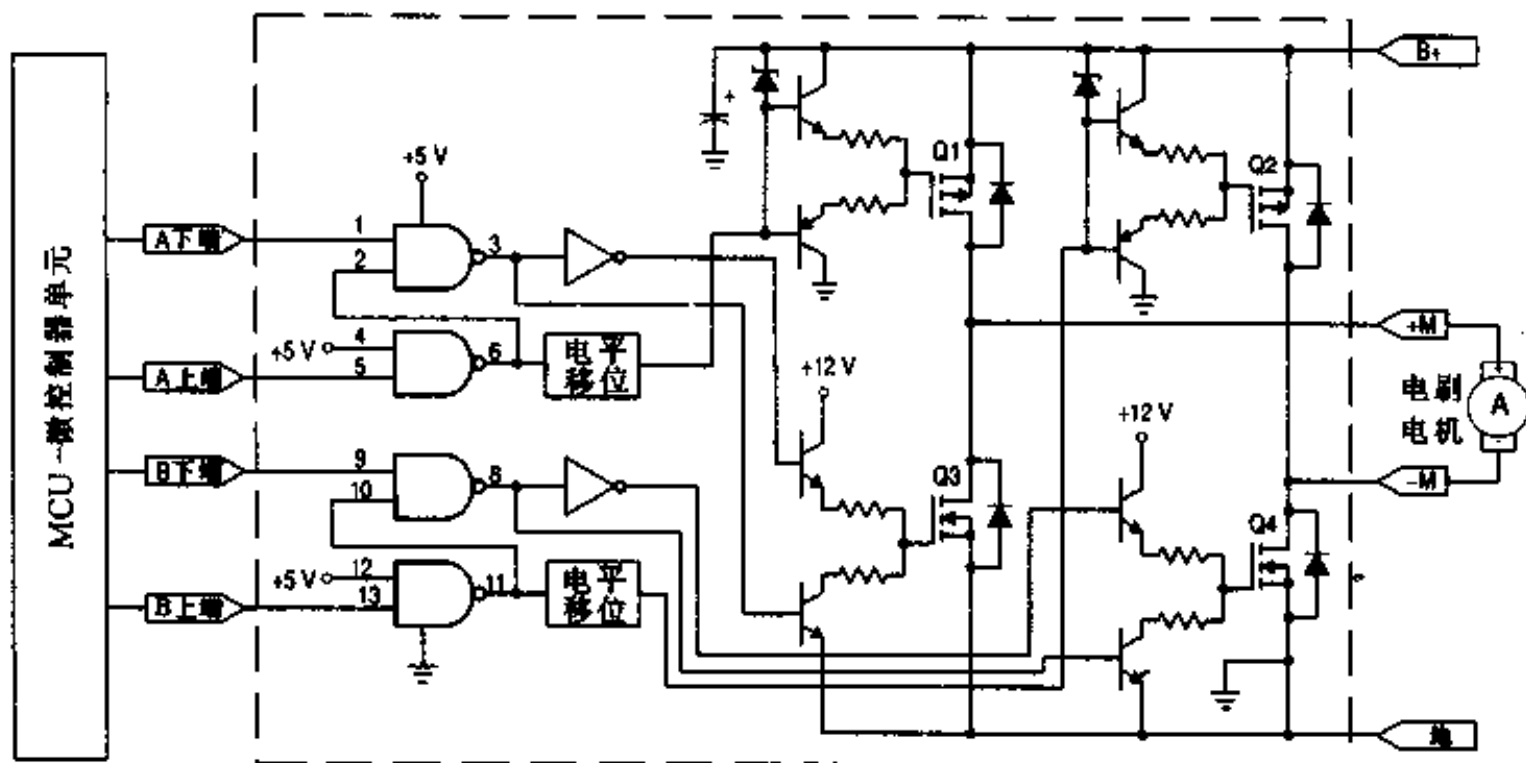


图 9-43 方框图

二极管阶跃、地端反冲以及噪声产生。以下几节按序就此进行讨论。

1. 直通电流

该电流包含两种成份。最明显的是自由二极管的反向恢复电流。再一次参照图 9-43, 假设 Q1 导通, Q2、Q3 截止, Q4 是脉宽调制的。当 Q4 导通时, 电流从正极干线流过 Q1, 然后通过 Q2 的自由二极管返回干线。当 Q4 再一次导通时, 反向恢复电流将从 Q2 的自由二极管拉出。这个电流明显是从 B₊ 流到地将电机旁路的直通电流。当 4 个晶体管中任何一个在桥电路中被脉宽调制与其自由二极管相反时, 这种现象就会发生, 并且这时 PWM 频率与电机电感足够大, 以致于电机电流在关断期间不会衰减到零。

除了反向恢复电流之外, 另外还有一个电流被称为 PWM 中断 (standoff) 电流, 它是通过开关交换时产生的。当桥电路中一个晶体管导通时, 其相对的晶体管的漏极被快速拉到地。这样加在漏极上的 dv/dt 会引起一个流过栅极到漏极电容的电流, 对栅极来说看上去是输入电流。这个电流通过栅极驱动的关断态阻抗返回源极。通过驱动阻抗乘以 dv/dt 电流而产生的电压可以将栅极正偏。如果该电压超过了这个断态晶体管的导通门限, 那么这个误导通就产生直通电流。图 9-44 的简化电路显示了这一点。

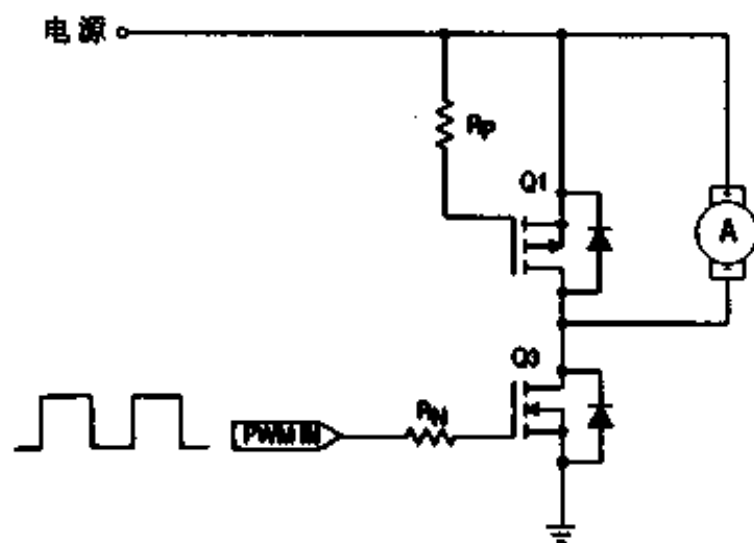


图 9-44 简化了的半桥

在该图中, 如果下方的晶体管是脉宽调制的, 则 dv/dt 就加到了有释放电阻 R_p 的上方晶体管上。如果 R_p 是有源开关并且可以近似为零, 那么上方晶体管栅极保持为上方干线电压, 这时不存在 PWM 中断电流。但如果 R_p 有几百欧, 那么当此晶体管导通时, 其栅极会被下拉到足够低以允许误导通出现。当这种情况发生时, PWM 中断电流会从电源干线流到地, 使电机旁路。它有可能比二极管反向恢复电流大好几倍, 并占总直通电流的较大部分。

2. 二极管阶跃

认为由误导通引起的直通电流都是不好的那就错了。就象其它情况一样，值过大是我们明确不需要的，但存在大于零的一个最佳点。原因是 MOSFET 的漏源二极管本质上是阶跃的。没有误导通的作用，二极管阶跃会在直通电流中产生过大的 di/dt 。通过小心地允许一小部分误导通电流流动，二极管的柔性度会增加，结果使 EMI 特征明显改善。

为了表明这一点，让我们首先看图 9-45，其中 R_p 为零欧。图中直通电流完全是反向恢复电流。注意到即使导通转换很慢，反向恢复的阶跃仍很厉害，从图中很大的反向 di/dt 以及由此产生的尖跳可以看出这一点。在图 9-46 中， R_p 增加到 470Ω 。可以注意到电流和时间标度有了 2:1 的变化，很明显是由于误导通产生了大量的附加直通电流。同样，尽管误导通直流电流很大，它仍具有柔和度并且是过阻尼的。这个柔和度表明了设计策略。这个策略就是通过有意设计出足够大的误导通电流使反向阶跃恢复特征柔性化以取得性能上的总体平衡。事实上这个方法达到了良好的效果，使之成为这里所述电路的基础。

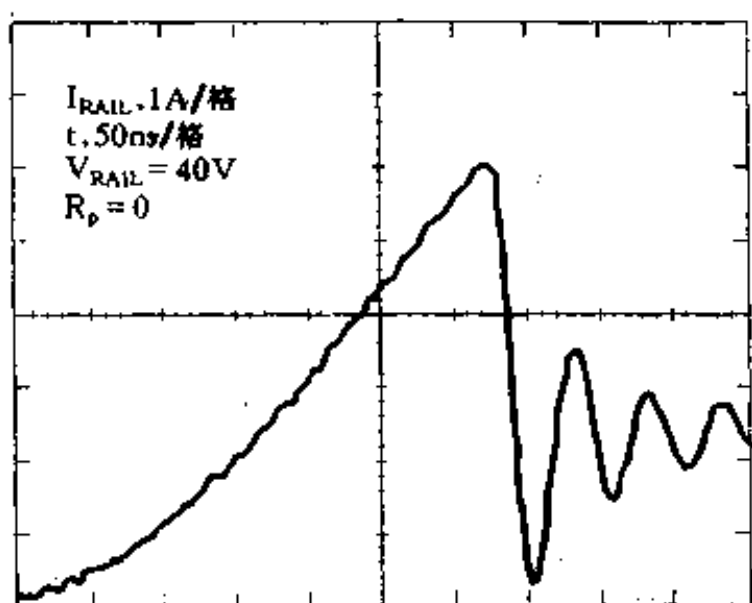


图 9-45 二极管阶跃

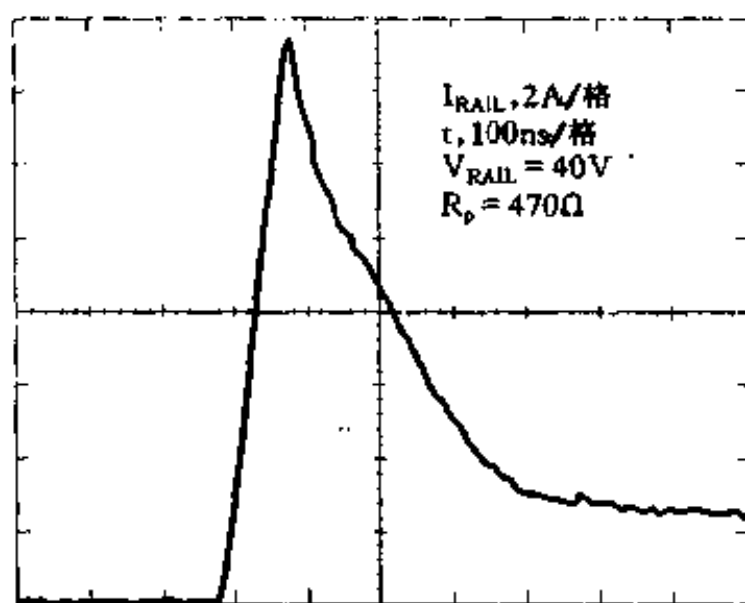


图 9-46 PWM 中断电流

3. 地端反冲

即使有以上所描述的方法，在有 20kHz 或更高频率的 PWM 信号电机驱动中的 di/dt 仍会相当大以致有可能产生讨厌的寄生地电压。如图 9-47，这里我们将寄生地电感画成实际元件 LP1 和 LP2。任何由 FET 开关产生的 di/dt 都会在这些电感上产生电压。尤其关注的是 LP1 上产生的负电压。假设电机电流通过二极管是任意的，那么当 FET 导通时，流过 LP1 与 LP2 的 di/dt 是正向的。LP1 上的电压与栅极驱动电压相反，并且当 di/dt 值很大时，该电压会限制开关速度。在小功率电机驱动中这并不是问题。但当二极管恢复时，改变方向的 di/dt 会在 LP1 和 LP2 上产生负电压。LP1 上的负电压会引起严重问题，因为它通过 FET 的栅源电容可以耦合到栅极驱动集成电路上。由于电容两端的电压不会即刻改变，所以 LP1 上产生的负尖冲会很快地耦合到集成电路上。由于大多数集成电路采用了结隔离，所以任何值大

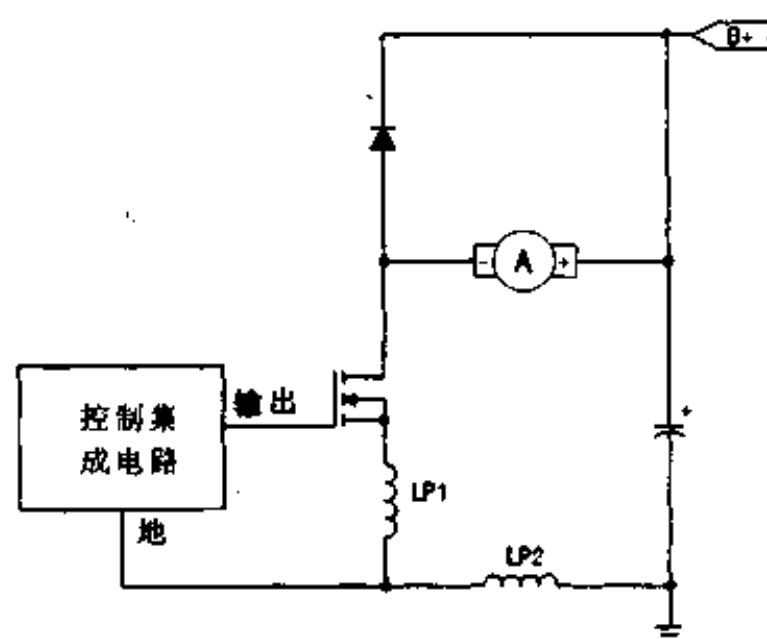


图 9-47 地端反冲

于二极管压降的负向尖冲都很可能使结隔离区正偏,这样会产生不可知的后果。当然这种后果是一个不可接受的设计参数。现在让我们定量地讨论一下这个问题。假设 LP1 为 10nH,并以图 9-45 来估计 di/dt 。图上波形说明在 20ns 间有 5.5A 的负向偏移。这样 di/dt 为 $-275A/\mu s$,在 10nH 的电感上能产生 2.75V 的负峰值电压。该电压大大超过了二极管电压降。可行的解决办法是将集成电路输出箝位,限制 LP1 的值,或使 di/dt 最小。

4. 噪声

在任何脉宽调制系统中,在开关损耗与噪声之间都有一个折衷。这种类型的系统设计按照常规应包括能对给定应用场合做最佳权衡的开关时间选择。除了有外部规格外,还有与电机驱动有关的限制。开关噪声影响控制电路。如果不在某种程度上加以限制的话,布局就相当复杂了。因此这里要说明,尤其是对于需一次通过的设计方案,不应把交换时间规定得远低于 100ns。

9.7.6 电路分解

前面描述的设计方法将有目的使用的 PWM 中断电流,称之为误导通补充。其目的就是为将反向恢复特性柔化化而用误导通电流来补充反向恢复电流。当有足够大的误导通电流加到临界阻尼的反向恢复暂变中时,这种方法非常有效。这个方法在很大程度上减小了由很陡的栅极截止造成的 di/dt 的最大值,并且也明显减小了由栅源上拉电阻产生的直通电荷。作为一个例子见图 9-48。与图 9-45 中的 275A/S 欠阻尼阶跃相比,本图波形临界阻尼反向恢复的 di/dt 值为 $110A/\mu s$,直流电荷为 $0.8\mu C$ 。与图 9-46 中通过上拉电阻获得 $2.9\mu C$ 相比就很有利,而且误导通电流更大。

临界阻尼既取决于截止晶体管的栅源端阻抗,也取决于将其对立的晶体管导通的栅极阻抗。如果能得到合适的比率,那么在相当大的开关速度范围内都获得临界阻尼。除非噪声是特别关注的因素或脉宽调制频率少于 10kHz,否则一般取得临界阻尼的栅极驱动阻抗的最低值将是最佳点。图 9-48 的波形就是据此最优化而得到的。假如使用 MPM3002 输出桥来取得图中所示的波形,那么 N 沟道栅极驱动所需的阻抗为 470Ω ,P 沟道为 130Ω 。

为了把 130Ω 电阻接到上方的晶体管上,有必要打开栅源端。图 9-49 中的电路就能很好地完成这个功能。当输入级栅极的输出为低时,使用 Q3 建立一个电流源。这个电路将把 R7 的电势从正干线上下拉不超过 12V 的齐纳电压。Q3 导通时,Q2 的基极保持为齐纳电压,这将把 Q1 的栅极电压下拉一个低 V_{BE} 的齐纳电压,Q1 被偏置。当与非门输出为 1 时,流过 Q3 的电流中止,这时 R7 为 Q4 基极提供电流,通过 R8 将 Q1 导通。由 $R7/\beta$ 以串联形式给栅极驱动阻抗增加了 30Ω ,所以选择 R8 为 100Ω 。由于 Q2、Q3、Q4 的集电极-发射极额定击穿电压 80V,因此干线电压 60V 作以上安排不会出现问题。为了让电路能工作于 12V 电压,可以采用电平转换电路以提供最小

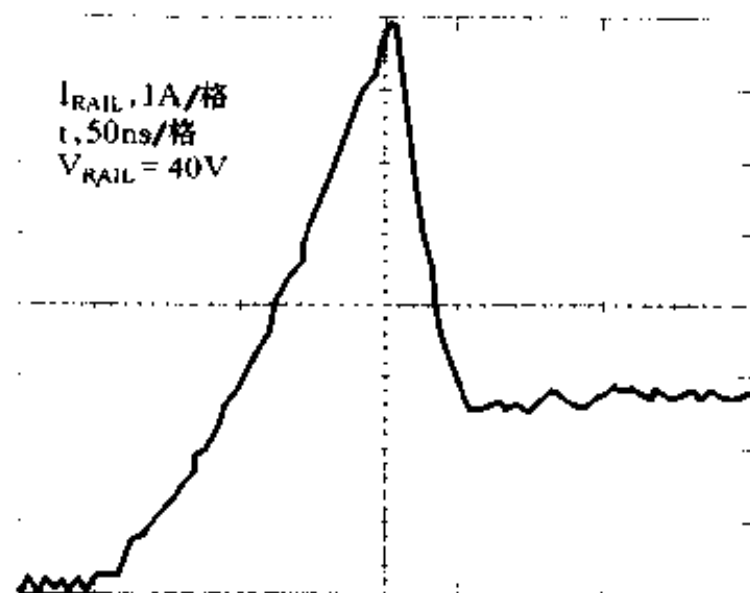


图 9-48 临界阻尼反向恢复

饱和电压。Q3 的基极电压设定为大约 1.7V，这就使其集电极工作电压达到大约 1.1V。使 Q2 的基极-发射极电压增加 0.7V，这样加到 Q1 的栅源电压在 12V 干线电压条件下就是 $12V - 1.8V = 10.2V$ ，这和 P 沟道 MOSFET 的驱动需求是一致的。

为达到临界阻尼的反向恢复，有必要将以较慢速度进行脉宽调制的晶体管导通。通过选择合适的栅极电阻可以实现这一点。但在关断期对于开关损耗与噪声的最佳平衡而言，这样的栅极电阻就过大了。因此，就需要能提供高导通阻抗低关断阻抗的栅极驱动网络。一个好方法是将关断期的 di/dt 与反向恢复期产生的 di/dt 相匹配。图 9-50 就是一个能实现这个目的简单网络。可以看出，导通栅极电阻要比关断栅极电阻大很多。

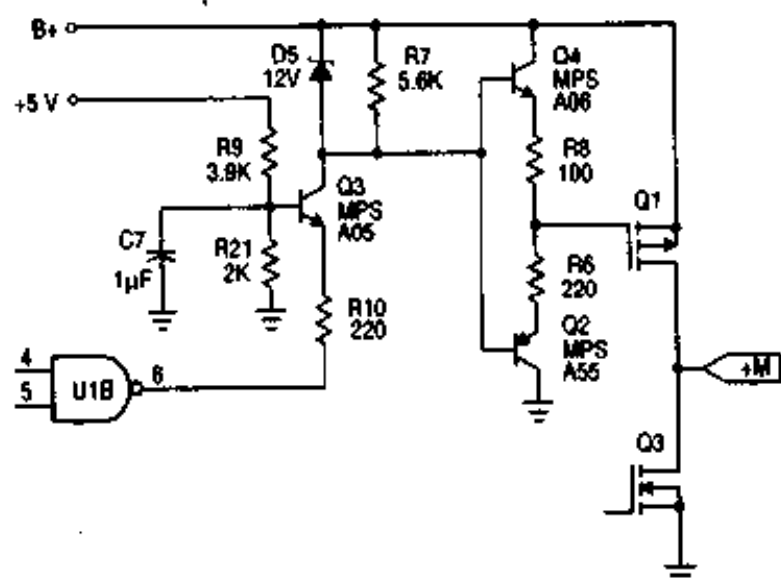


图 9-49 P 沟道驱动电路

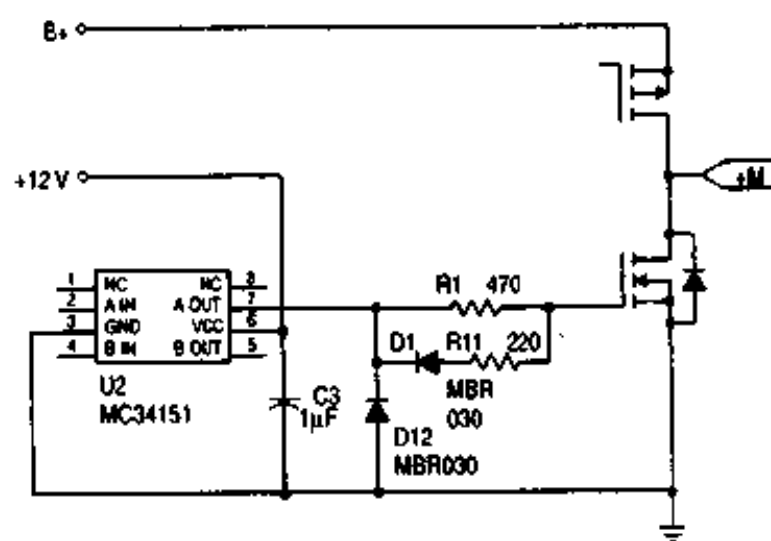


图 9-50 N 沟道驱动电路

图 9-50 的电路除了能提供导通与关断相应的不同阻抗之外，在集成驱动电路与地之间有一个肖特基二极管。这个二极管的使用将可能使集成电路隔离区正偏的反向电压尖峰裕位。当 PWM 频率达 10kHz 时，这个技术极有利于降低会增加开关损耗的 di/dt ，此外还有利于使用更昂贵的射频功率晶体管来减小源极电感。此电路的布局也很重要。D12 的负极、集成电路的地以及所有其它信号的地都应连在一起，然后在功率晶体管的源极处将其一并连在功率地上。

将图 9-49 与图 9-50 中所用的技术合起来就是图 9-40 中的微处理器与电机的接口电路。这个电路非常适合于电压为 12~48V、峰值电流为 5A 的电机，而 PWM 频率可达 25kHz。干线电压的下限大约为 11V，上限为 60V。输入可以采用任何与 CMOS 兼容的逻辑器件，尤其是微处理器和数字信号处理器。

9.7.7 结论

以上是典型的功率控制线路，其中动态问题是真正的设计难点。微处理器与小功率直流电机的接口也不例外。关键的动态问题是直通电流、二极管阶跃、地端反冲与开关噪声。相应的解决办法包括：采用独立于栅极驱动电路的导通阻抗与关断阻抗；为栅极驱动而作的临界阻尼反向恢复优化；采用地端反冲保护二极管以及进行谨慎的电路布局。

在输入一侧，接口不需要微处理器输出多于一个的 PWM 信号，在同一相不允许底端输入与顶端输入同为逻辑 1 而损坏功率晶体管，以上这些是很重要的。这些要求用交叉耦合的与非门配置可以得到实现。

9.8 模拟输入与小功率电机之间的接口

9.8.1 引言

在许多类型的系统中都需要用模拟信号去控制电机速度。这时控制和反馈信号由模拟电路产生,因而很明显地要用到模拟接口。不仅如此,有时甚至在数字系统中也会用到模拟接口。例如,当用于电机速控的脉冲宽度调制信号(PWM)频率大于20kHz时,对于许多通用的微型计算机来说,要直接产生控制信号就不那么容易了。因为此时为了生成静态速度控制位或更低频率的PWM信号,需要更少的编码、更少的内存和(或)更少的处理时间。从花费上来说,将微型计算机输入信号中的任何一个变成模拟信号并采用模拟输入的电机驱动电路,要比直接用能生成20kHz+PWM信号的昂贵微型计算机要经济得多。

近年来,在把模拟输入信号转换成脉冲宽度调制驱动信号以及在电机驱动电路中更广泛地运用功率MOSFET方面均取得了许多进展。其中最突出的是在信号处理电路与功率输出部分的接口上。试看一个低于1/4hp力的电机,假定在两个方向上都需要速度控制,那么通常接口是位于控制IC与互补的P沟道/N沟道MOSFET桥式电路之间。为了更好地对互补H桥电路进行驱动,需要考虑一些因素的影响,包括二极管阶跃、地端反冲以及噪声抑制。本节阐述了一个能够解决以上问题的实验电路板及其设计思路。

9.8.2 实验电路板简介

下面提供的是使用实验电路板DEVB118所需的信息,有关设计思路放在后面“设计思路”一节中讨论。

1. 功能

图9-51是一块设计用来在模拟信号与小功率电机之间充当直接接口的实验电路板。它接受一个0~5V的速度控制输入去对互补的H型电桥输出进行脉冲宽度调制,并且当 $V_{in}=0$ 时,电机速度设定为0。 $V_{in}=5V$ 时,设定为100%。若正向/反向输入端信号为逻辑1,则它对电机输出+M端的信号进行脉宽调制并且将负干线电压连接到-M端。如果信号是逻辑0,那么连接方式相反,从而电机电源的极性连接和电机的旋转方向都会改变。这种电路组态适用于模拟系统、带滤波的PWM输出的数字系统和带D/A转换器接口的数字系统。在数字系统中运用模拟技术,其优点是使微机的PWM频率免受电机脉冲宽度调制频率的影响。这里介绍的这种电路适合于驱动额定输入电压范围为12~48V,而且功率在1/4hp力以下的小功率电刷式直流电机。

2. 电气特征

为了更好地描述电路板工作情况,表9-4列出它的一些电气参数。这些数据并不是我们通常所说的性能,只是作为读者了解电路板工作过程的一个参考。

表中所列功率消耗的上限值是假定环境温度为25℃,且没有空气流动的影响和额外的热量散失。在MPM3002上插一块散热片和/或提供一条空气通道将大大增加功率损耗。通过限流电路把电路板的最大电流限制在4A。要改变电流极限也很容易,只要改变图中标阻值为24Ω的电阻R10的值,就可获得更高或更低的电流极限点。峰值电流与R10之间存

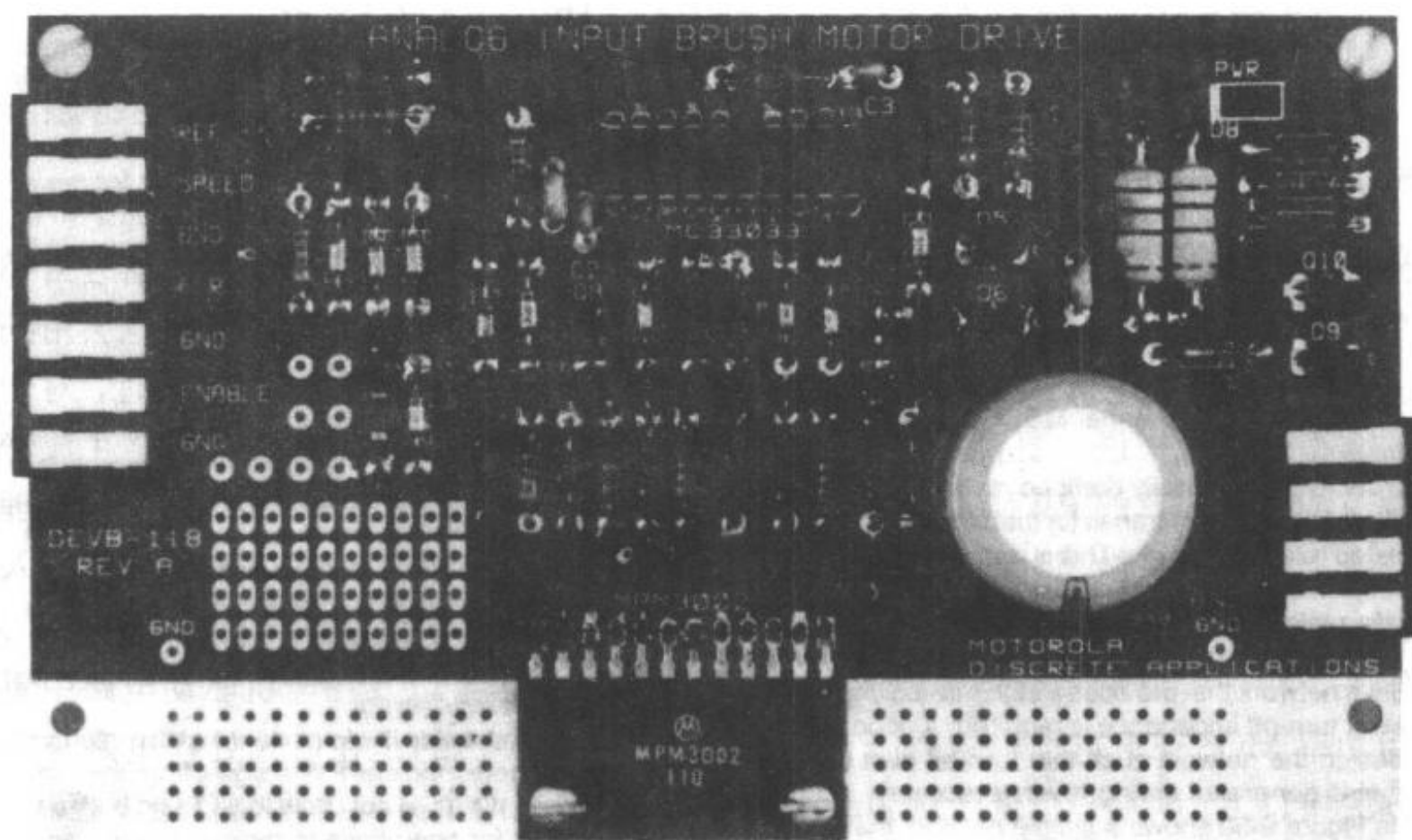


图 9-51 模拟输入电机驱动电路

在线性关系，表达式为 $I_{pk} = 0.71 [R10 + 112] / R10$ 。

表 9-4 电气参数

特 性	符号	最小值	典型值	最大值	单位
电源电压	B+	10.8		60	V
电机峰值电流	I_{PK}			12	A
电机连续电流	I_C			3*	A
速度输入电流, $V_{in} = 5V$	I_{in}		500		μA
逻辑 1, 使能和正向/反向	V_{IN}		2.2		V
逻辑 0, 使能和正向/反向	V_{IL}		1.7		V
静态电流	I_{CC}		35		mA
0%PWM 阈值	$V_{TH} (LOW)$		1.5		V
100%PWM 阈值	$V_{TH} (HIGH)$		4.1		V
基本电压	V_{REF}		6.2		V
PWM 频率	F_{PWM}		28		kHz
功率损耗	P_{DISS}			6	W

* 对 MPM3002 加散热片还可以控制更高的电流。

如果把限流点设置到高达 12A, 就可使电机的启动电流达到峰值, 这种情况与 MPM3002 的额定值是不矛盾的。但假如限流值更高而又没有采取其它的散热措施, 那么在失速条件下, 功率晶体管将损坏得更快。图中所给的 MPM3002 输出电桥, 当其表面温度保持在 25℃时, 其中通过的连续电流是 8A, 功率消耗为 62.5W。

3. 内容

电路板的具体内容分别见图 9-52 的简图、图 9-53 的丝网印制板图以及与此两图对应的表 9-5 的元件表。下面一节我们将对电路中的引出端进行说明。

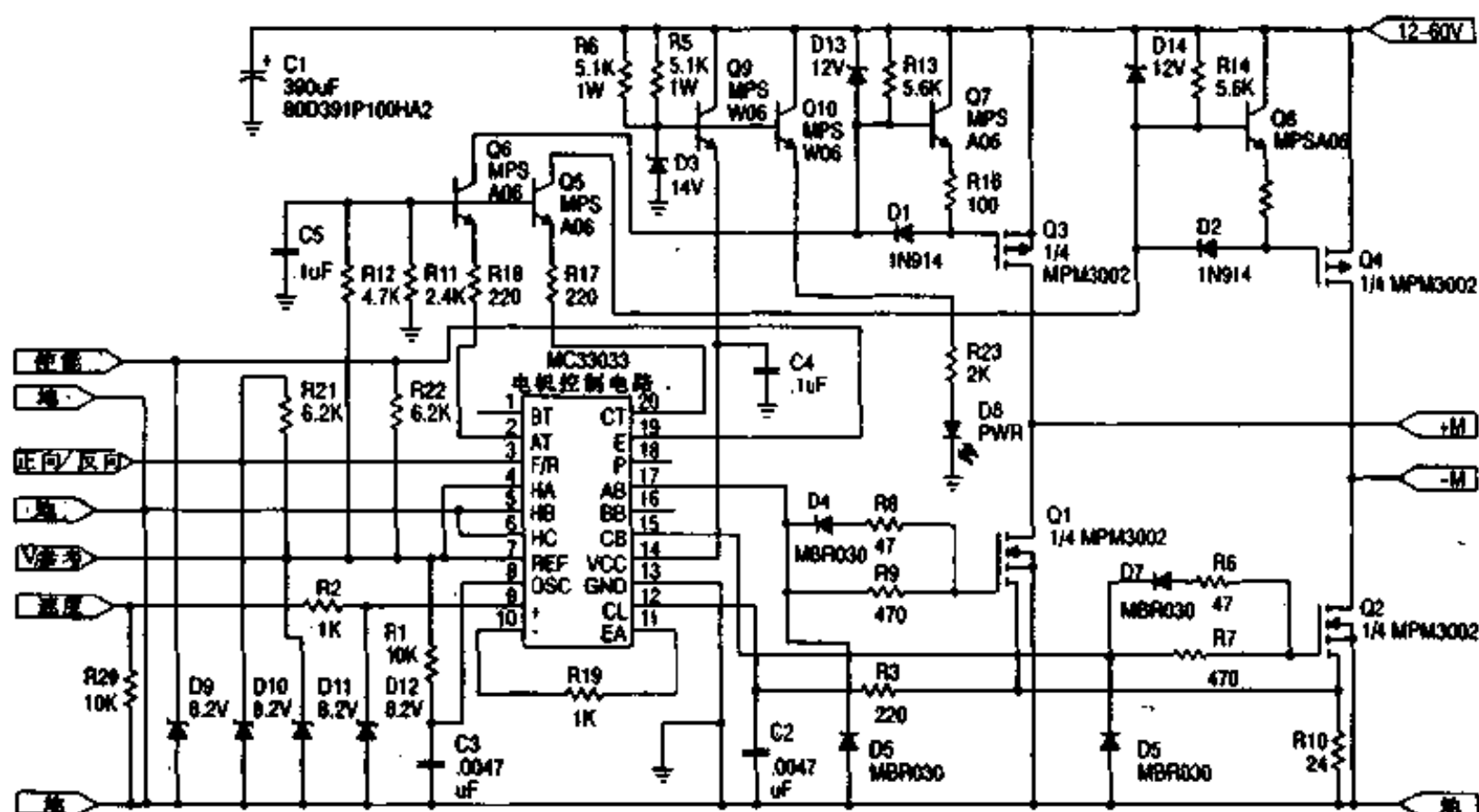


图 9-52 模拟输入电刷式电机驱动电路

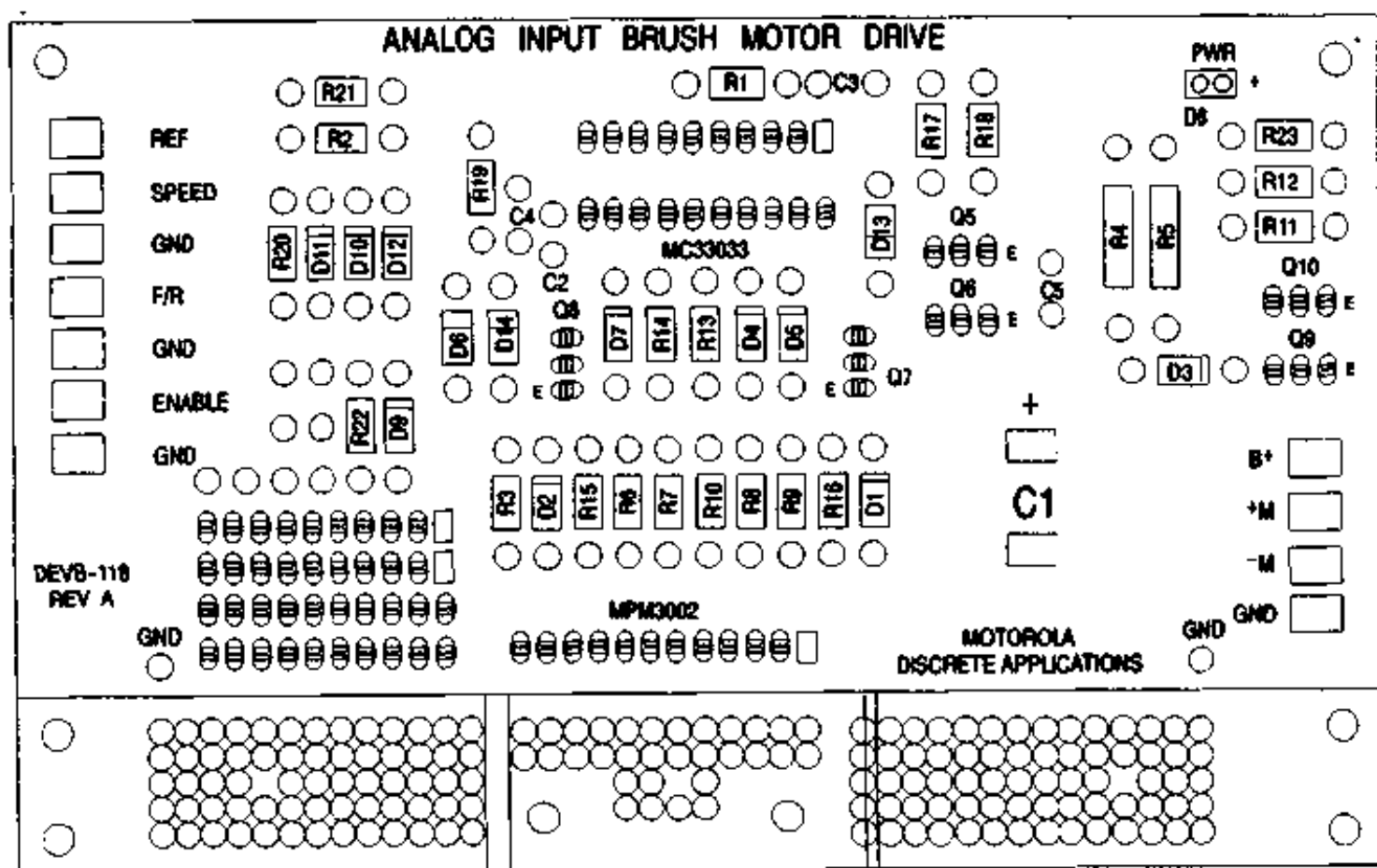


图 9-53 丝网印制电路图

4. 引出端说明

(1) SPEED

SPEED 控制输入端是一个接受 0~5V 模拟信号的模拟输入端。为了确保电机在输入电压 V_{in} 接近零时停转, 而当 V_{in} 为 5V 的最坏情况时, 电机达到满速, 我们将静区设置在 0~5V 输入电压范围的高端和低端。在 V_{in} 逐步接近 1.5V 之前, 输出一直保持断开状态。 V_{in} 达到 1.5V 之后, 脉冲宽度将线性增加, 直到 4.1V 时占空度达 100%。用一只 10k Ω 电阻对 SPEED 输入端进行预加载可使电机在没有输入时保持为停转状态。

(2) ENABLE

表 9-5 模拟输入电刷式电机驱动电路元件表

元件名	数量	说明	额定值	厂家	元件号
C1	1	390 μ F 电解电容	100V	Sprague	80D391P100HA2
C2,C3	2	0.0047 μ F 电容			
C4,C5	2	0.01 μ F 电容			
R6,R8	2	47 Ω 电阻			
R10	1	24 Ω 电阻			
R11	1	2.4k Ω 电阻			
R12	1	4.7k Ω 电阻			
R15,R16	2	100 Ω 电阻			
R3,R17,R18	3	220 Ω 电阻			
R1,R20	2	10k Ω 电阻			
R21,R22	2	6.2k Ω 电阻			
R23	1	2k Ω 电阻			
R2,R19	2	1k Ω 电阻			
R7,R9	2	470 Ω 电阻			
R4,R5	2	5.1k Ω 电阻			
R13,R14	2	5.6k Ω 电阻	1W		
D1,D2	2	通用整流器			1N914
D3	1	14V 齐纳二极管		Motorola	1N5244A
D4,D5,D6,D7	1	30V 肖特基整流器		Motorola	MBR030
D8	1	红 LED		GI	MV57124A
D9,D10,D11,D12	4	8.2V 齐纳二极管		Motorola	1N5237A
D13,D14	1	12V 齐纳二极管		Motorola	1N5242B
Q1,Q2,Q3,Q4	1	功率 MOSFET H 桥	80V	Motorola	MPM3002
Q5,Q6,Q7,Q8	4	NPN 晶体管	80V	Motorola	MPSA06
Q9,Q10	1	NPN 晶体管	80V	Motorola	MPSW06
U1	1	控制		Motorola	MC33033P

注: ①所有电阻为 1/4W, 容差为 5%, 另有说明除外。

②所有电容为 100V, 容差为 10%, 另有说明除外。

ENABLE 输入端由一个 6.2V 的逻辑 1 进行预偏置, 因而, 除非此输入端被一外部信号作用而接地, 否则电路板都会正常启动。有源接地会产生大约 1mA 的电流, 如果把这个点接到 +5V 上, 就可以维持有效的逻辑 1 电平, 但是, 这样做必须要求外部电路具有从 6.2V 偏置电源中吸收约 200 μ A 电流的能力。

(3) F/R

F/R 是电机正向/反向控制端。与 ENABLE 一样, F/R 输入端也通过一个 6.2V 的逻辑 1 进行预偏置, 这种情况下逻辑 1 信号使输出桥电路定位, 结果是使电机的 +M 端受到脉宽调制, 而 -M 端接到 B+ 端上。若信号为逻辑 0, 则上述过程中的极性反相。另外, 与 ENABLE 相同, 输入向外部开关电路提供大约 1mA 的电流。

(4) REF

REF 输出是一个 6.2V 的参考电压端。它接上电位器可有助于进行速度控制。如果电位器接在 REF 端与地之间，且其滑动头与 SPEED 输入端相连，那么不需任何板外元件就能控制电机速度。该端的负载电流不应超过 1mA。

(5) GND

电路板上有 4 个接地端，其中 3 个在板左侧，1 个在右侧。左侧的均为信号接地端。上面两个用作信号返回，下面的一个直接和 N 沟道 SENSEFET 的源极相连。板右侧的接地端是用来作能量返回用的。此外板上还有两个标着“GND”的焊接点，地线可以焊接在这些地方。

(6) 电机输出

电机输出端的标号为 +M 和 -M。在 FWD/REV 端用一个逻辑 0 信号便可从 1M 端到 +M 端施加一正电压。

9.8.3 应用举例

图 9-54 所举的例子说明了模拟输入是怎样通过接口送入微型计算机的。图中的 Micro to Analog Interface 模块将低频的 PWM 信号变换成一个与占空度成正比的直流值。另外此模块还能把 0% 和 100% PWM 门限信号分别转换成 0.3V 和 4.4V。假设微型计算机有 5V 的额定输出值，那么以上两种门限值将分别变成 6% 和 88% 的输入占空度。把逻辑 1 写入 PB0 口可以改变方向。电路中用一只 BS170 小信号 MOSFET 在 PB0 口与 F/R 输入端之间进行耦合，它在没有有效的下拉情况下能使 PB0 口与出现在 F/R 输入端的 6.2V 逻辑 1 信号隔离。

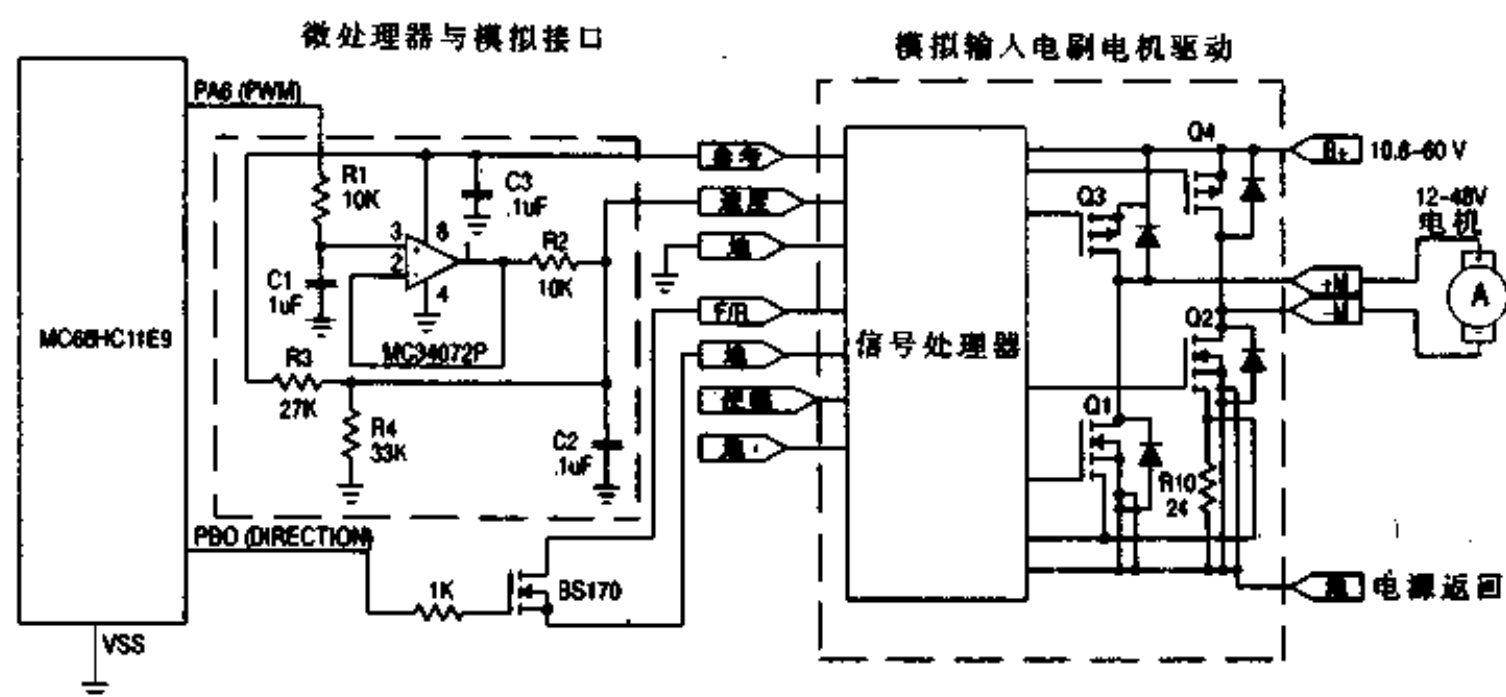


图 9-54 应用举例

模拟输入使 PA6 输出口产生一个较低频率的 PWM 信号去对电机进行超声脉冲宽度调制。在我们所举的这个电路中，输入频率的理想值是 2kHz，此时电机被脉冲宽度调制在 28kHz。这种电路组态使带有内部低频 PWM 信号发生器的微机的应用更方便。

9.8.4 设计思路

首先对于小功率电机驱动电路的设计,例如这里要阐述的,看起来好象相当直接了当。大多数模拟信号处理与驱动信号处理都由 MC33033 完成。底部半桥 N 沟道器件的驱动直接由同一片 MC33033 提供,而对上面 P 沟道器件的驱动仅仅是一个将高阻抗栅极下拉到地的问题。但实际上在寻求高效率的设计方案中,有许多需要仔细考虑且对动态性能会产生微妙影响的问题。这里将讨论这些动态问题以寻求这些问题的解决方法。

1. 12V 系统

在电机驱动电路设计中遇到的一些动态问题可以通过一个 12V 电机驱动电路来说明。当总线电压有动态影响时,它就是一个最重要的设计参数。在 12V 系统中,接口设计做到了尽可能的简单。总线电压直接与栅极驱动电压兼容并且如图 9-55 所示的这种简单电路非常有效。在这个电路中,N 沟道 MOSFET 直接通过串联栅极电路由控制 IC 驱动。不使用串联栅极电阻,而采用直接连接的方法使开关速度高达约 10ns,而采用串联栅极电阻可以使开关速度下降到一个较为合理的值 100ns。在上半桥电路中,当 MC33033 中的一个开集电极输出将一个 P 沟道晶体管栅极电压下拉到地时,该晶体管导通。关断是由一个把 P 沟道晶体管栅极上拉到 12V 干线电压的 470 Ω 电阻提供的。

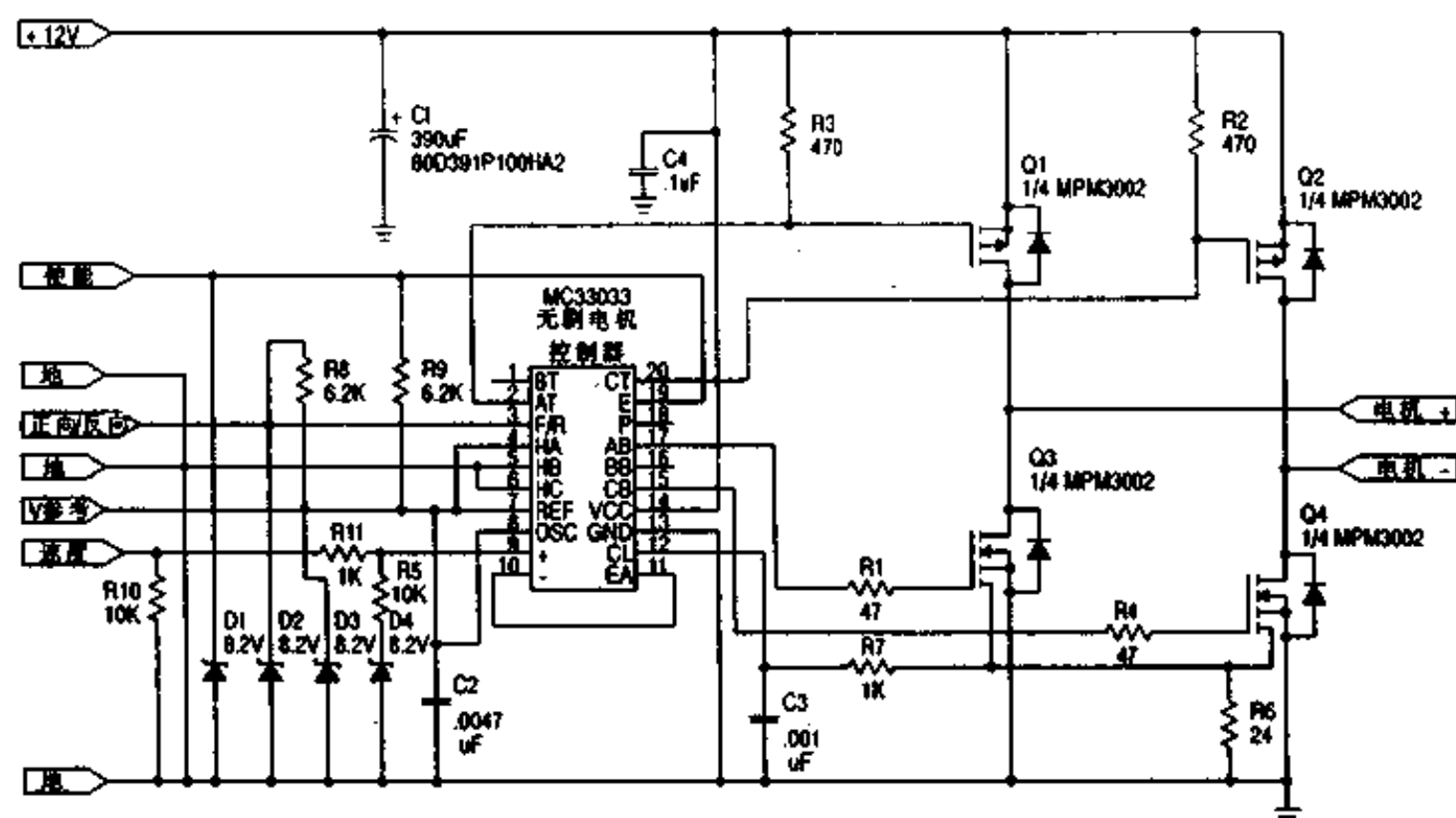


图 9-55 12V 电刷式电机驱动电路

尽管这个电路简单而且效率高,但这种简化是由动态性能作交换而得到的。最明显的一个折衷就是直通电流。P 沟道晶体管的 470 Ω 截止电阻的数值就相当高,以致于当对应下半桥晶体管处于脉冲调制状态时不能使上半桥晶体管完全导通。结果直通电流就是 12~15V 干线电压的一个合理折衷。图 9-56 显示了当图 9-55 电路工作于 12V 电压时的直通电流。该波形上升沿的尖冲就是直通电流,平坦部分是电机的脉冲宽度调制电流。可以注意到,尽管尖冲的值相对很大,但存在时间很短(小于 200ns),故没有二极管阶跃的证据。

2. 更高的电压

在更高的电压条件下, 直通电流会急剧增加。在 40V 干线电压条件下使用相同的栅极驱动阻抗时产生的波形如图 9-57 所示。在这种情形下, 超过 5 倍的电量通过大于 3 倍的干线电压释放, 折衷有了相当大的改变。一般说来, 当干线电压超过 15V 就应当用电路设计来控制直流电流。而且对二极管阶跃, 地端反冲以及 EMI 问题需要给予更多的关注。让我们首先单个研究每个动态因素, 然后考察电路技术以找到相应的解决办法。

3. 直通电流

直通电流有两种成份。最明显的就是 P 沟道 MOSFET 内部自由二极管的反向恢复电流。

当其对应的另一半桥电路晶体管关断时, 电机电流将流过此二极管。当其对应晶体管导通时, 反向恢复电流又从 P 沟道自由二极管中吸出。这个电流是从正极干线流到地, 将电机旁路的直通电流。参照图 9-55, 当 Q2 导通且 Q3 相对 Q1 二极管被脉宽调制或 Q1 导通且 Q4 相对 Q2 的二极管被脉宽调制时, 会发生这种情况。

除了一般会想到的反向恢复电流之外, 还有一个由开关晶体管转换产生并可以被称为 PWM 中断电流的电流。当下方晶体管导通时, P 沟道晶体管的漏极电压会很快拉到地。加在漏极上的 dv/dt 会引起一个流过栅极到漏极电容的电流, 在栅极可看成是输入电流。这个电流通过栅极驱动阻抗 (如图 9-55 所示为 470Ω) 返回正极干线。通过驱动阻抗乘 dv/dt 的电流, 它将栅极正偏置。如果这个电压超过了 P 沟道晶体管的导通门限, 上方晶体管的误导通将引起一部分直通电流。在图 9-56 中确实存在这种情形, 在图 9-57 中更是如此。

4. 二极管阶跃

那种认为误导通产生的电流是不必要的就不正确了。它也是那种过大才不必要的情形之一, 但这中间有一个大于零的最佳点。其原因就是二极管阶跃。MOSFET 的漏源二极管本质上就是阶跃的。如果没有误导通的一部分因素, 二极管阶跃就会在直通电流中产生不必要的高 di/dt 。通过谨慎地让一小部分误导通电流流动, 二极管恢复就会柔和化。其结果是 EMI 特性的明显改善。

有一个实例见图 9-58, 其中 Q1 的栅极和源极已经短路。图中的直通电流完全是反向恢复电流。注意到即使是在慢导通情形下, 反向恢复仍然是很严重的, 通过很大的反向 di/dt 以及由此产生瞬变可以看到这一点。再次看图 9-57, 明显由误导通产生的附加直通电流降低了阶跃性。因此性能特点整体平衡的关键是有足够大的误导通电流来降低反向恢复特征的阶跃性。

5. 地端反冲

即使有以上描述的方法, 在脉冲宽度调制频率为 20kHz 或更高的电机驱动中的 di/dt 仍有可能产生足够大以致产生讨厌的寄生地电压。见图 9-58, 我们可以看到寄生地电感画成了实际元件 LP1 与 LP2。任何 FET 开关动作产生的 di/dt 都会在这两个电感上产生电压。尤其值得关注的是 LP1 上产生的反向电压。假设当 FET 导通时, 电机电流是自由流过

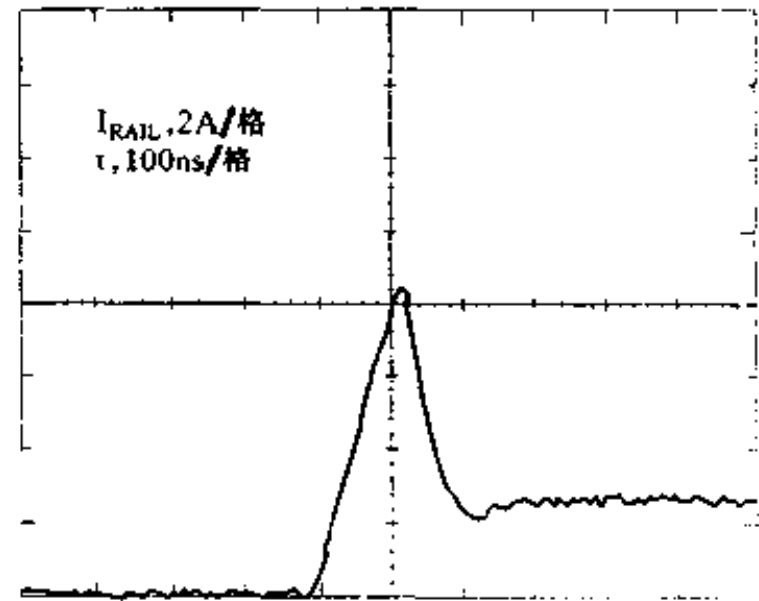


图 9-56 12V 系统的直通电流

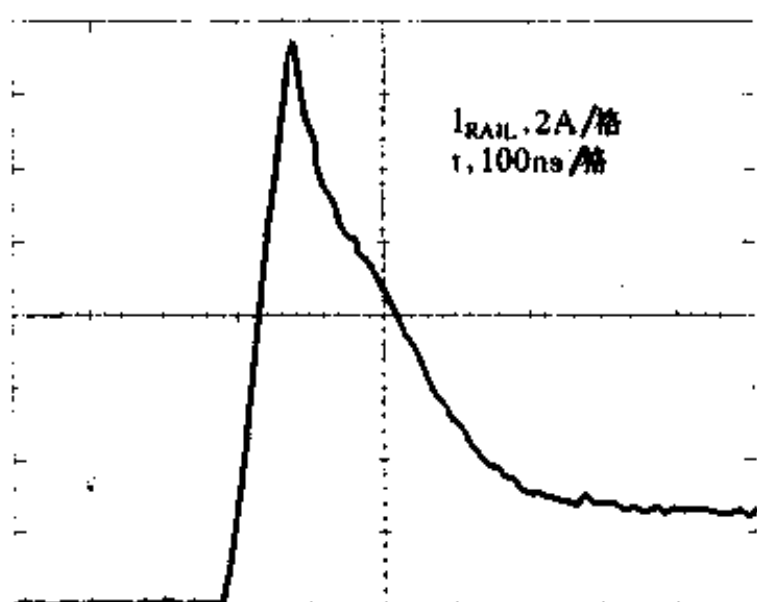


图 9-57 40V 直通电流

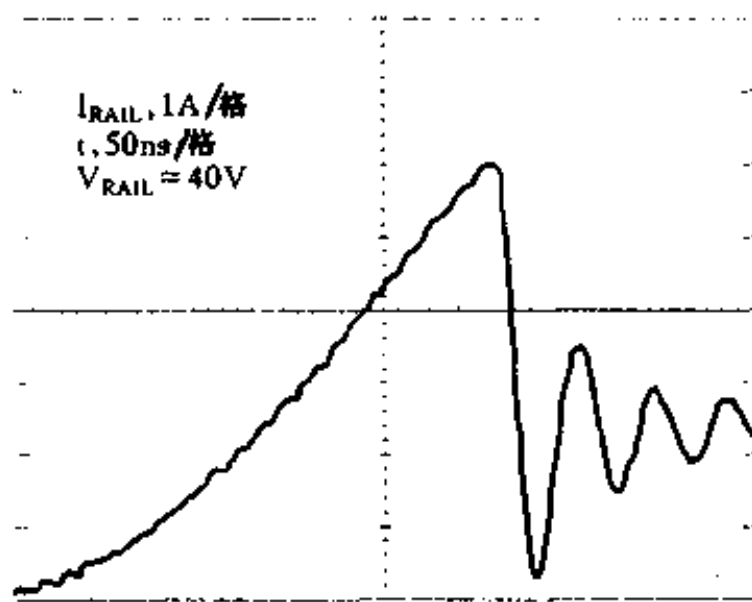


图 9-58 二极管阶跃

二极管的，那么将有一个正 di/dt 流过 LP1 与 LP2。这样 LP1 上的电压与栅极驱动电压相反，很大的 di/dt 就会限制开关速度。在小功率电机驱动电路中这并不是个问题。但当二极管恢复时， di/dt 改变方向会在 LP1 与 LP2 上产生负电压。LP1 上的负电压会引起严重的问题，因为它能通过 FET 的栅源电容耦合到控制 IC 上。由于电压并不会在电容上即刻改变，LP1 上的反向尖冲会立刻耦合到 IC 上。由于大多数控制 IC 都采用了结隔离，任何大于二极管压降的反向尖冲都影响隔离区使之正偏，这样就会产生不可知的作用。当然这是不可接受的设计参数。为了定量地描述这个问题，我们假设 LP1 为 $10\mu\text{H}$ ，并且通过图 9-58 对 di/dt 进行估值。图中波形说明，20ns 内产生了 5.5A 的反向偏离。这样 di/dt 为 $-275\text{A}/\mu\text{s}$ ，加在 $10\mu\text{H}$ 电感上产生的反向峰值电压为 2.75V，远大于二极管压降。可能的解决方法包括将 IC 输出箝位，限制 LP1 的值或使 di/dt 最小。

6. 噪声

在任何脉冲宽度调制系统中，在开关损耗和噪声之间都有折衷。这种类型系统的设计按照常规应包括对开关时间的选择以便在给定应用场合有一个最佳点。除了外部规定外，这里有与电机驱动有关的特定限制。开关噪声影响到控制 IC。不在一定程度上限制它会使电路布局复杂化。因此这里建议，尤其对于一次通过的设计所选择的转换时间不应远低于 100ns。

9.8.5 电路分解

一个涉及直通电流和二极管阶跃的设计方法就是误导通补充。这个办法是为了降低反向恢复的阶跃性而用误导通电流来补充反向恢复电流。当正好有足够大的误导通电流加在临界反向恢复暂态上时，这个方法最有效。这个方法有效地降低了由陡峭的栅极截止产生的 di/dt 的最大值，并且也有效地降低了由栅源上拉电阻产生的直通电量。作为一个实例见图 9-60。与图 9-58 中欠阻尼的 $275\text{A}/\mu\text{s}$ 相比，此波形中的临界阻尼反向恢复转换在 di/dt 为 $110\text{A}/\mu\text{s}$ 。直通电量为 $0.8\mu\text{C}$ ，与图 9-57 中通过上拉电阻获得的 $2.9\mu\text{C}$ 相比是很有利的。

临界阻尼既取决于 P 沟道晶体管的栅极到源极端的阻抗，又取决于用于将下半部分桥电路晶体管导通的栅极驱动电阻。如果能保持合适的比率，临界阻尼能在很大速度范围内获得，除非噪声是严重的关注因素或者脉冲宽度调制频率小于 10kHz，临界阻尼的最佳点一

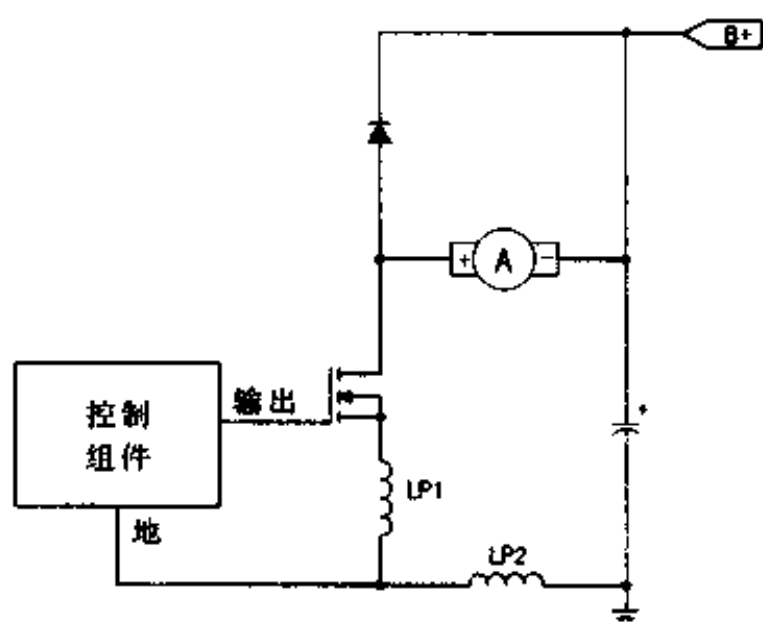


图 9-59 反向栅极电压

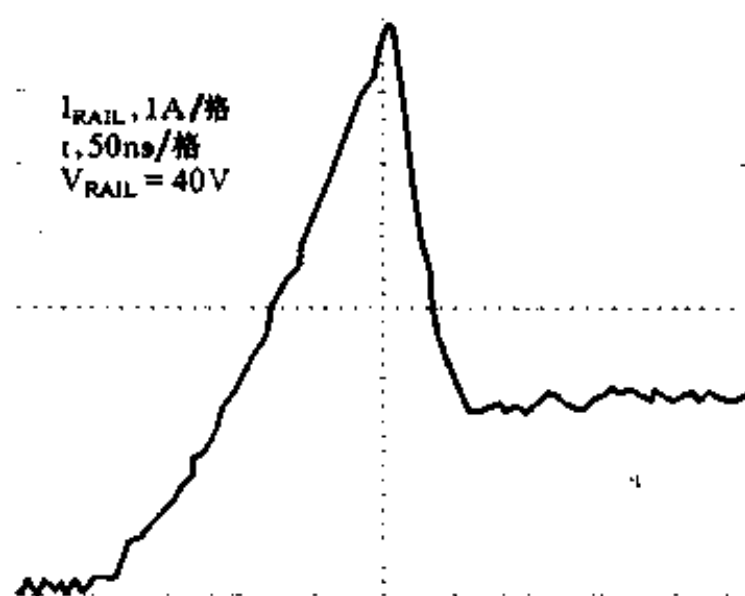


图 9-60 临界阻尼反向恢复

一般在栅极驱动阻抗的最低值获得。图 9-60 的波形就是通过这类优化而得到的。N 沟道栅极驱动所需的阻抗为 470Ω ，P 沟道端为 130Ω 。

为了把 130Ω 电阻接在上方晶体管，有必要在栅源端用有源开关。图 9-61 所示的实例电路是为此目的而设计的。当控制 IC 输出为低时，Q5 的作用就是建立一个电流源。显然这个电流的使用是将 R3 电势从正极干线上下拉不超过 12V 的齐纳电压。Q5 导通时，D1 正偏，Q1 导通。当 MC33033 的开集电极输出关闭时，流过 Q5 的电流中止，R3 为 Q7 提供基极电流，Q7 通过 Q1 的栅极到源极将 R12 电流换向。由于 $R3/\beta$ 折合成与 R12 串联就使栅极驱动阻抗增加了 30Ω ，所以选择 R12 为 100Ω （共 130Ω ）。由于 Q5 的 BV_{CED} 额定值为 80V，在 60V 干线电压上这样做仍不会有问题。但由于 Q5 基极驱动电压为 6.2V，可用的干线电压下限约为 16.5V。为了能够运行 12V 电机，有必要将参考分压成 1.5V 或 2V，然后把这个电压加到 Q5 上。

为了得到临界阻尼恢复，有必要用相对慢的速度将下方的半桥导通。这很容易通过选择一个合适的电阻来完成。但在关断时，这个栅极电阻对开关损耗与噪声之间的最佳平衡点来说又太大了。因此就需要一个栅极驱动网络，它既能提供高导通阻抗又能提供低截止阻抗。一个好方法是设计一个关断 di/dt 与反向恢复期的 di/dt 相匹配的网络。图 9-62 是一个能完成这项功能的简单网络。显然导通栅极电阻远比关断的栅极电阻大。

图 9-62 电路除了能提供不同的导通、关断电阻外，在 IC 输出端到地之间还有一个肖特基二极管。它的使用是将那些会使 IC 隔离区正偏的反向电压尖冲箝位。当脉冲宽度调制频率大于 10kHz 时，这项技术通常对减小那些使开关损耗增加的 di/dt 非常有利，同时对使用昂贵的射频功率晶体管减小源极电感也很有利。电路布局也很重要。D5 的正极、IC 的地以及所有信号的地都应连在一起，然后用一根连线将其连到功率晶体管源极的功率地上。

将图 9-61 与图 9-62 的技术给合在一起就是图 9-52 中的实验电路板。这个模拟输入的电机驱动适合于 12~48V 电机，它的电流限制为 4A，脉冲宽度调制频率为 28kHz。电机转速是由加在输入端的 0~5V 信号控制的。PWM 输出是 $V_{in}=0\sim1.5V$ 时为 0%， $V_{in}=1.5V$ 到 4.1V 线性对应，大于 4.1V 为 100%。转向的改变是通过给 FWD/REV 加逻辑 0 实现的。同时还提供两个其它的控制功能。将 ENABLE 接地会关闭电机，采用分压器使用

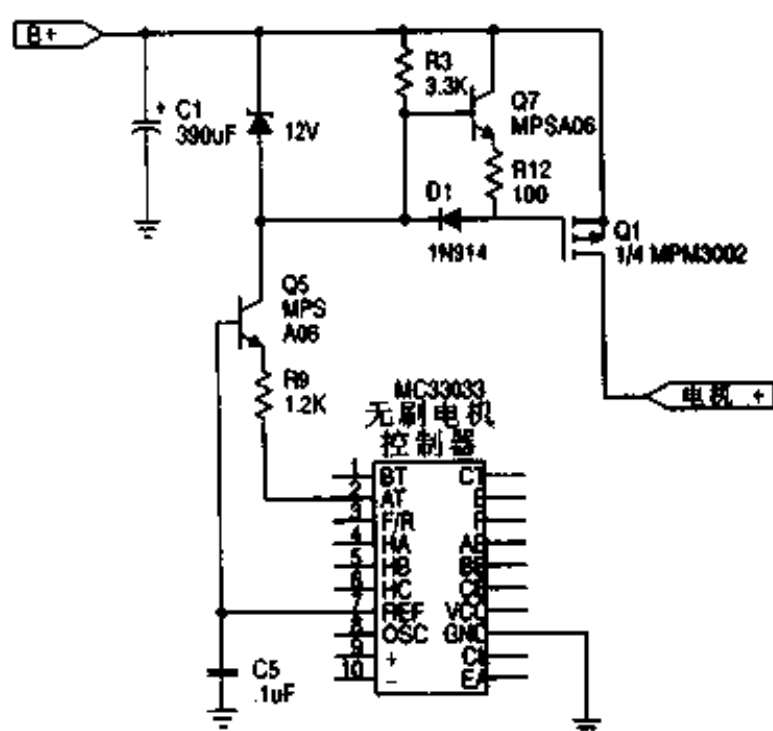


图 9-61 栅极驱动电路的上半桥

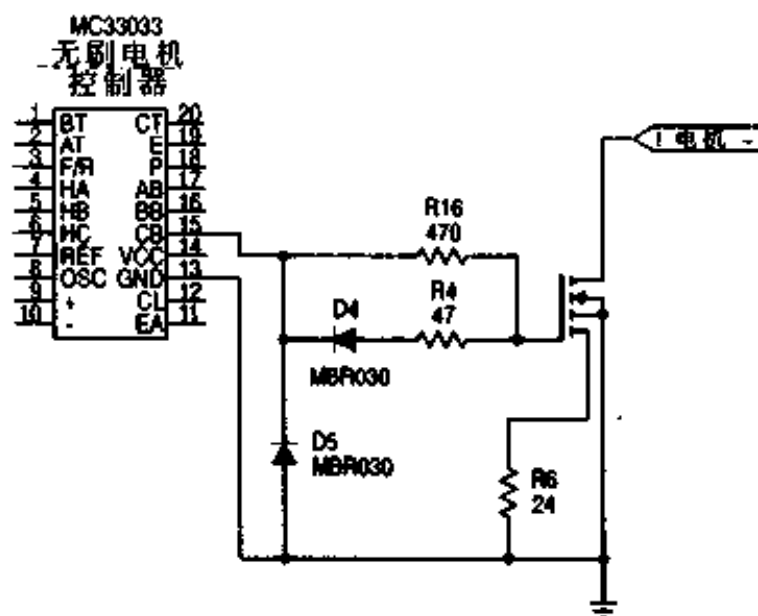


图 9-62 栅极驱动电路的下半桥

MC33033 的参考端能极大地方便电机速控。Q3、Q4 的反向恢复是临界阻尼的，允许干线电位高达 60V。干线电压下限约为 10.8V。为允许能工作在这个电压，已经仔细地应用了电平转换以提供最小的饱和电压。加在 Q5 和 Q6 基极的电压约为 1.7V，这就允许它们的集电极的工作电压低到约 1.1V。加上二极管 D1、D2 的电压降 0.7V，Q3、Q4 上的额定栅源电压为 $12V - 1.8V = 10.2V$ (干线电压 12V)，这与 P 沟道 MOSFET 的驱动需求相一致。

9.8.6 结论

无论输入是模拟量还是数字量，电机驱动电路设计中真正的挑战是与开关功率晶体管有关的动态问题。对于使用互补 MOSFET H 桥的小功率直流电机驱动电路来说，主要问题就是直通电流、二极管阶跃、地端反冲以及开关噪声。对 12V 的电机很容易解决这些问题，但高压电机中就需要给予更多的关注。要找到对临界反向恢复、地端反冲保护二极管以及谨慎布局等方面的最优栅极驱动。

第十章 水平扫描电路

在高分辨率显示器扫描电路中,采用功率 MOSFET 会比采用双极型晶体管获得更好的效果。从提高可靠性和缩短开关时间的角度看,在水平输出电路中采用 MOSFET 也会带来很大的好处。

采用 MOSFET 时的驱动电路也比前面讲的电源开关电路简单。在大多数情况下,可以免去基极驱动变压器和 di/dt 整形电路。

可靠性问题有点复杂且与 SOA (安全工作区) 特性有关。一般的作法是设计成在回扫脉冲转变期间使电压超过双极型晶体管的集电极-发射极 (额定) 击穿电压。如果在回扫期间基极-发射极电压维持负值,这样做是容许的。但是,如果在回扫期间出现一个正噪声脉冲,那么,当集电极-发射极电压超过 $V_{CEO(SUS)}$ 时,双极型基极-发射极结可能会变成正向偏置。这就超出了双极型晶体管的安全工作区,很可能使管子遭致破坏。MOSFET 则能很容易地应付这种情况,因为它们的 FBSOA 能力延伸到超过峰值回扫电压。因此, MOSFET 水平输出的高可靠性是与在驱动电路中出现噪声的概率直接相关的。

速度也是一个重要的问题,在 30kHz 的扫描速率下, $1.0\mu s$ 的双极型累积时间延迟为水平扫描周期的 3%,或者说在由 1024 行组成的一屏中损失了 30 行数据。不仅如此,双极型累积时间不是一个固定的常数,而是随器件和温度而改变。可以加上一个水平锁相环以补偿水平输出级的累积时间延迟。因此,也可以对视频数据时间进行并合以为内部水平时间延迟留有余地。

基于这些考虑,在高的扫描频率下有效使用双极型晶体管要求有一个基极驱动电路,选择累积时间变化最小的双极型器件和一个精确的锁相环电路以补偿饱和时间延迟。功率 MOSFET 则可以从一个 CMOS IC 得到激励,不需要对关键参数进行筛选,显示出最小的断开延迟,且不需要用一个锁相环电路来改正由器件引入的定时误差。

10.1 设计例子

不久以前, MOSFET 还不能承受电压大于 500V 时的大电流。最近的技术进展已把这一极限推到 1000V 以上,额定电流也相应提高。因此,现在可以把功率 MOSFET 用于要求电源电压为 12V 到 75V 的计算机的 CRT 显示系统。

标准的光栅扫描系统可用在这一设计中。也就是说,水平偏转线圈和回扫变压器都是由一个输出器件接通和断开的。必须指出,功率 MOSFET 的开关速度可以达到 120kHz 的扫描速率,但由于其它器件的限制, CRT 阳极高压网络的性能在如此高的频率下是勉强够格,甚至 30kHz 的扫描频率就已经把高压整流器和有关部件推到极限。

设计思想示于图 10-1 的方框图中。水平驱动信号可由一个自激同步时钟振荡器或一个外部计算机逻辑提供,最安全的方法是使用一个自激同步振荡器以确保水平频率处在安全极限内。有几种包含有鉴相器、振荡器和预激励器的水平处理器线性集成电路。其中包

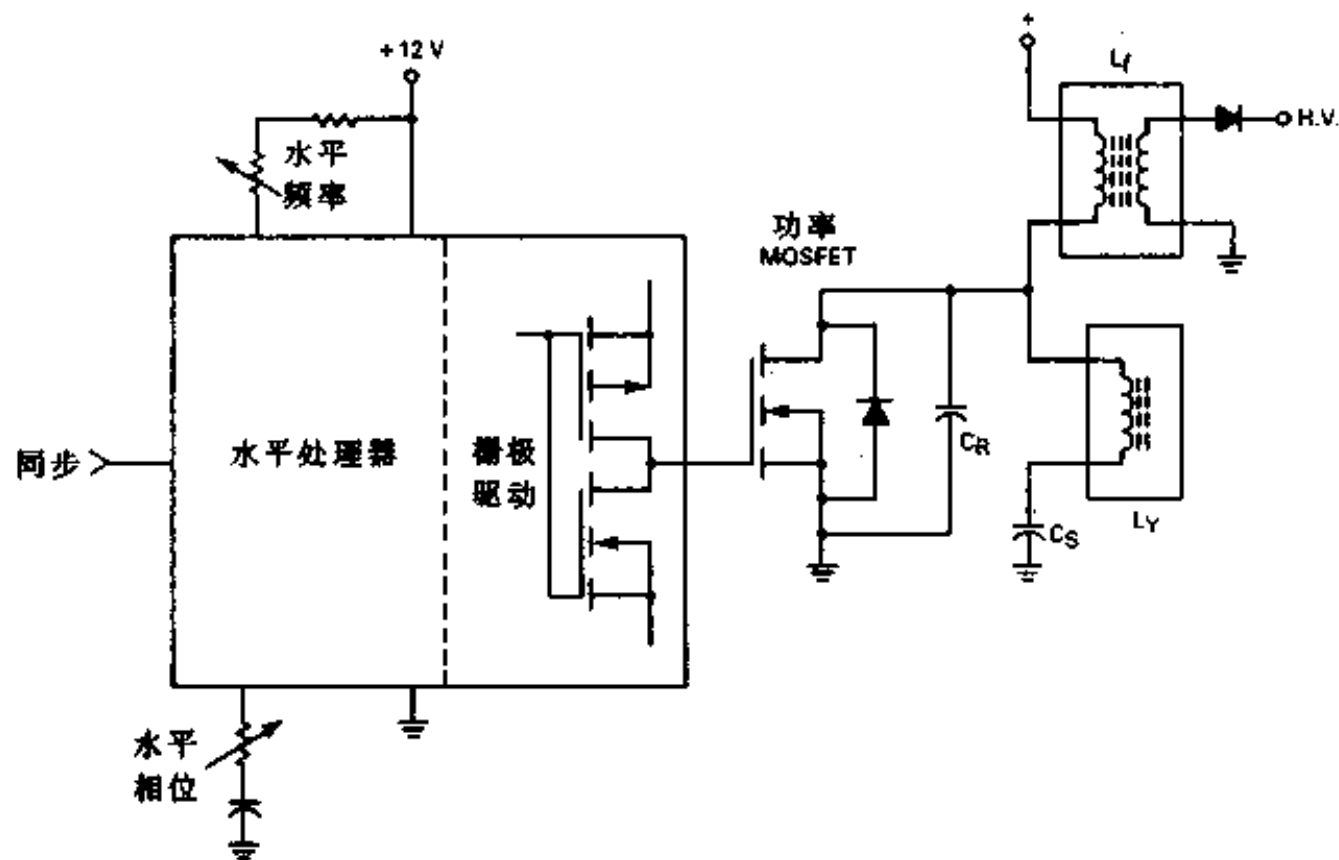


图 10-1 功率 MOSFET 水平输出系统

括 SGS TDA1180 和 Motorola MC1391。这些器件中的任何一种器件目前都不是被设计成直接驱动一个 MOSFET 功率单元的。因而需要某种形式的接口或缓冲电路。图 10-2 示出了三种功率 MOSFET 驱动电路。这些电路在我们所描述的水平偏转系统中能很好地工作。

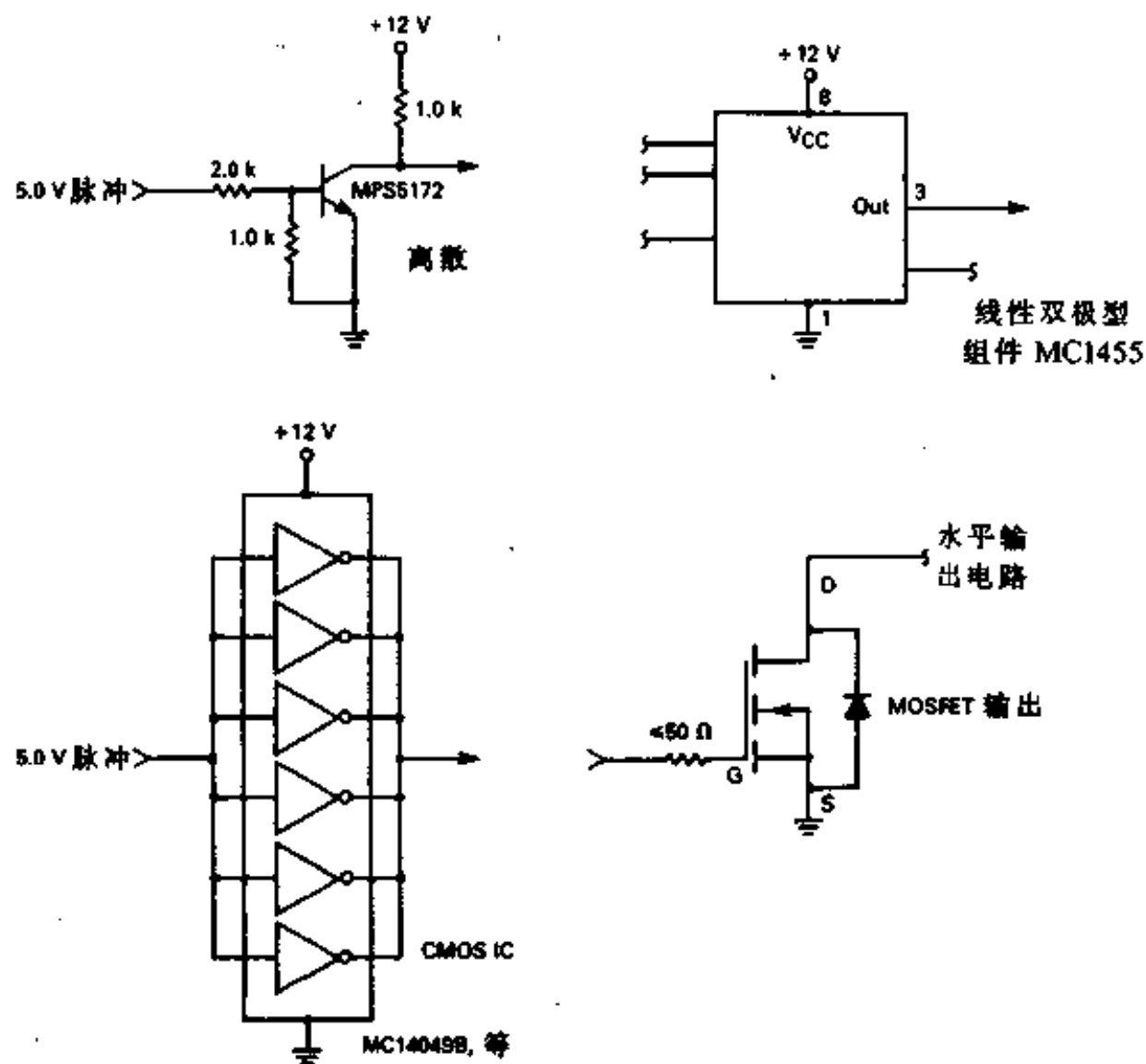


图 10-2 MOSFET 激励电路

10.2 电路描述

图 10-3 的设计方案省去了激励变压器、激励晶体管和在双极型晶体管电路中通常要有的无源元件。一个 MLM311 比较电路用来对输入正同步脉冲进行倒相和电平移动。比较电路的输出交流耦合到 MC1391 水平处理器。水平处理器由一个相位比较电路和具有周期可调的电压控制振荡器组成。MC1391 的相位比较电路连接到经过调节的输入水平同步脉冲和 MC1391 内部振荡器的输出上。一个误差信号电压加在振荡器定时控制电压上以锁定外部同步脉冲和振荡器。MC1391 振荡器输出的工作周期被设置成使功率 MOSFET 的栅极在 63% 的时间里是接通的。

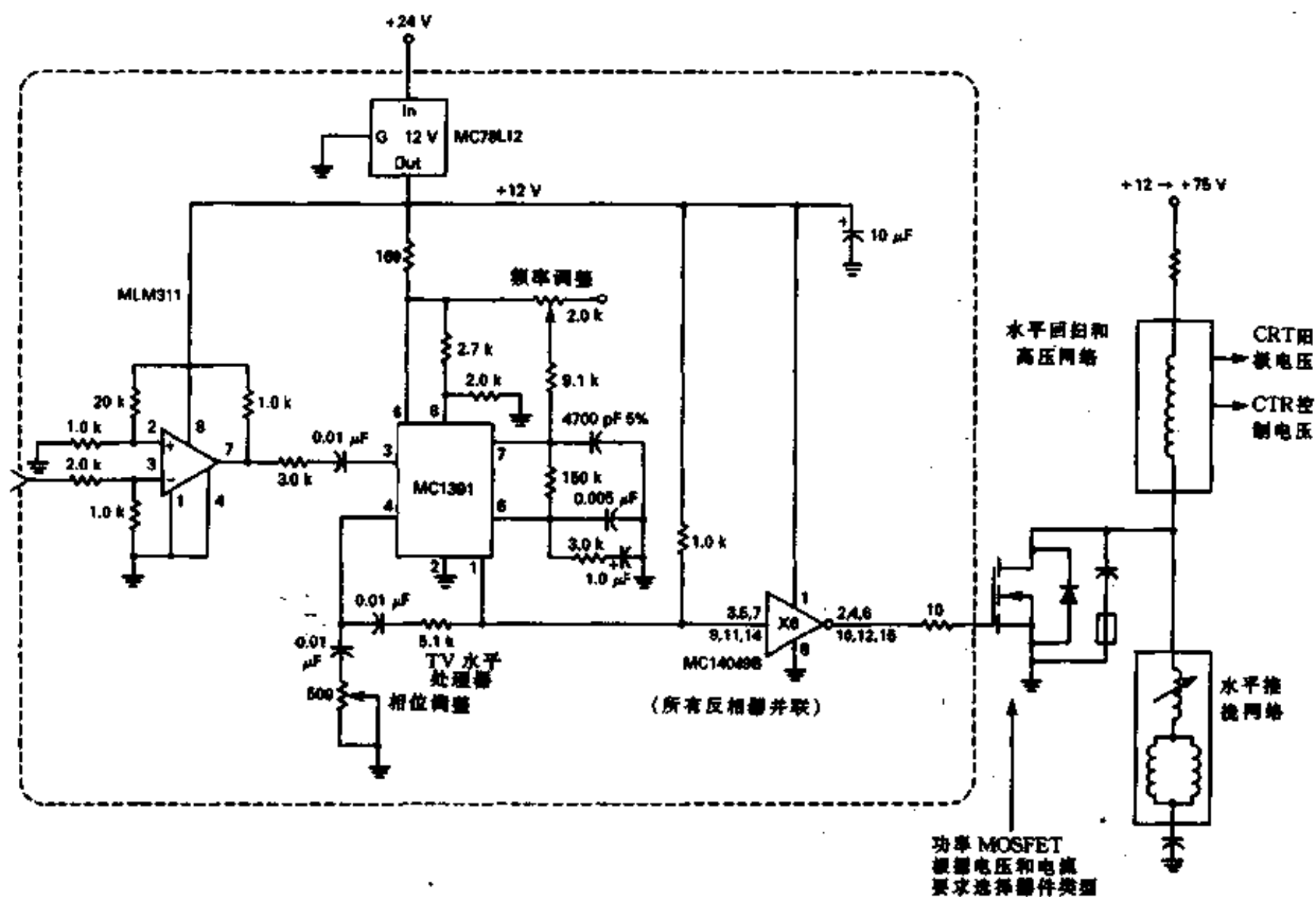


图 10-3 功率 MOSFET 水平扫描电路

驱动这种水平扫描输出电路的功率 MOSFET 的基本要求是确保足够的栅极开通电压和足够低的快速断开转变阻抗。由于 MOSFET 有很高的栅极输入阻抗，对栅极电压的要求可以在功率损失很小的情况下容易地得到满足。断开转变要求功率 MOSFET 1000pF 的内部栅极电容快速放电。这可借助一个把所有栅极平行连接的一个单六反向组件来实现的。前面已经提到，也可以用其它的器件来驱动 MOSFET。选择 CMOS 反相器的目的是表明 CMOS 技术足以用来驱动 MOSFET。

上面所描述的系统具有很好的性能。功率 MOSFET 的栅极驱动电压在峰值回扫漏电

压脉冲期间被有意识地受到脉冲调制以促成由于击穿这样的异常所产生的破坏性瞬变。

只要总的功率消耗不超过功率场效应晶体管安全工作区额定值的界限,就可以在不发生严重破坏的情况下产生一个受控的漏-源电流。图 10-4 表示伴随回扫脉冲测试的波形。由于 MOSFET 是一种高输入阻抗器件,所以必须确保在回扫期间功率 MOS 栅极为低阻抗。为了避免电压峰值造成栅极雪崩,栅极电压不能变为负值。栅极承受不了任何可测量得到的电流强度的雪崩条件。由于用于这一设计的功率 MOSFET 器件显示出至少 2.0V 的开启电压,故负栅极驱动是不重要的。

在图 10-5 中,对双极型和 MOSFET 设计的主要的水平输出电路波形模式进行了对比。注意在 MOSFET 设计中水平输出激励功率有很大的下降且积累时间不够。

10.3 快速强电流 MOSFET 驱动器

当必须从低电压电源产生强电流、快速过渡脉冲时,推挽 MOSFET 驱动电路显得很出众。这种电路由于采用了 MOSFET 器件,因而避免了由于使用双极型器件而造成的许多问题。

供应用于 PWM 的高速晶体管和强电流晶体管已经促成了对强电流、快速驱动电路的需要。要求 20~35A 的反向基极电流以便进行快速断开和能够用小至 5.0V 的断开电压来驱动的晶体管是普遍需要的。双极型器件的开关时间为毫微秒级,但当由低压集电极供电电源驱动时,电流强度被限制在 5.0 到 10A 之间。随着电流强度的增大,这种晶体管要求用功率晶体管作驱动器,因而当由低电压电源驱动时,要牺牲开关速度。

但是第三种解决办法——并联快速小电流晶体管——提出了两个问题:电流共享和物理布置。

图 10-6 中的 MOSFET 驱动器电路使用两个分别具有正的极性和负的极性的 N 沟道器件。快速转换是可

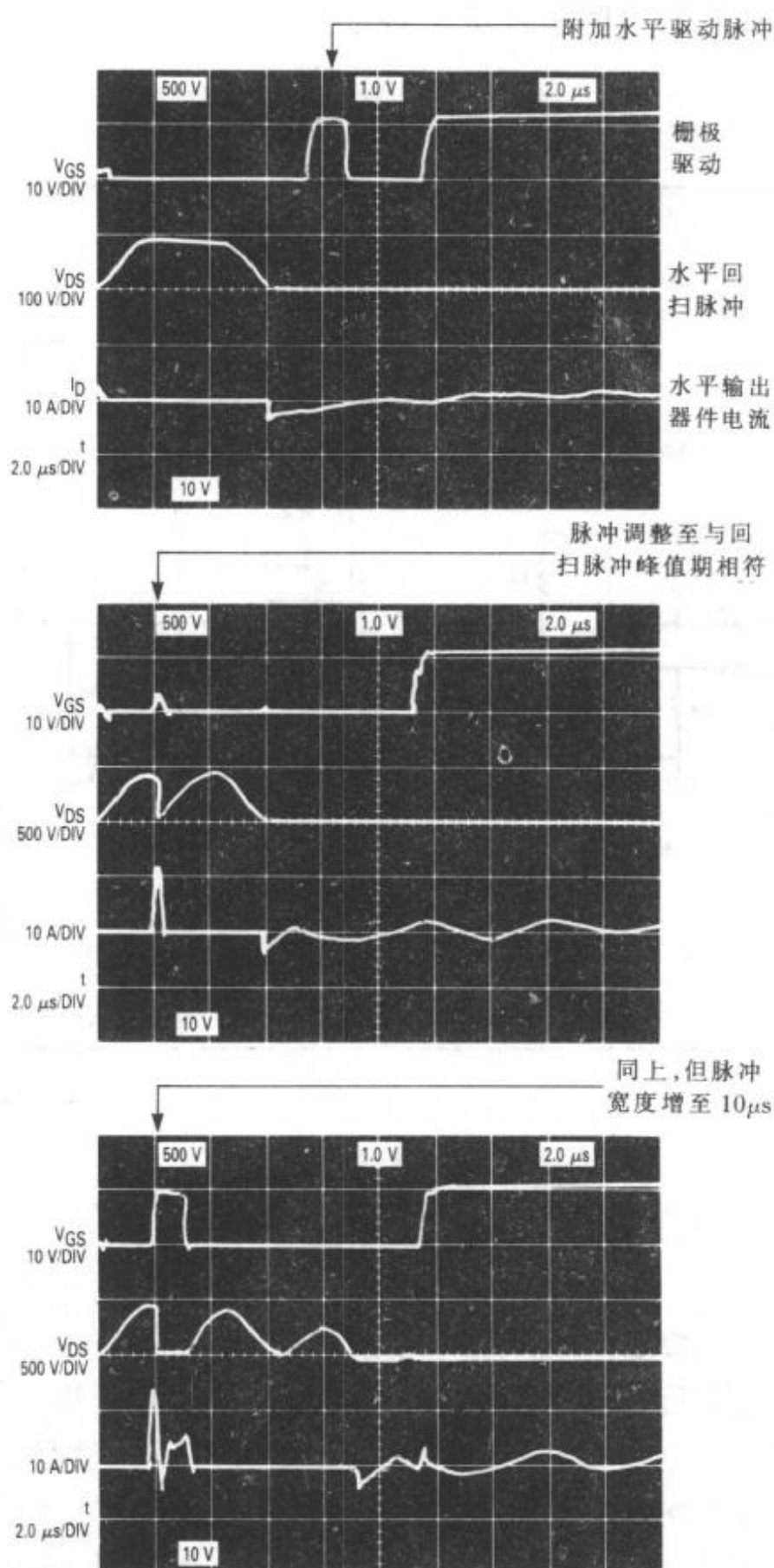
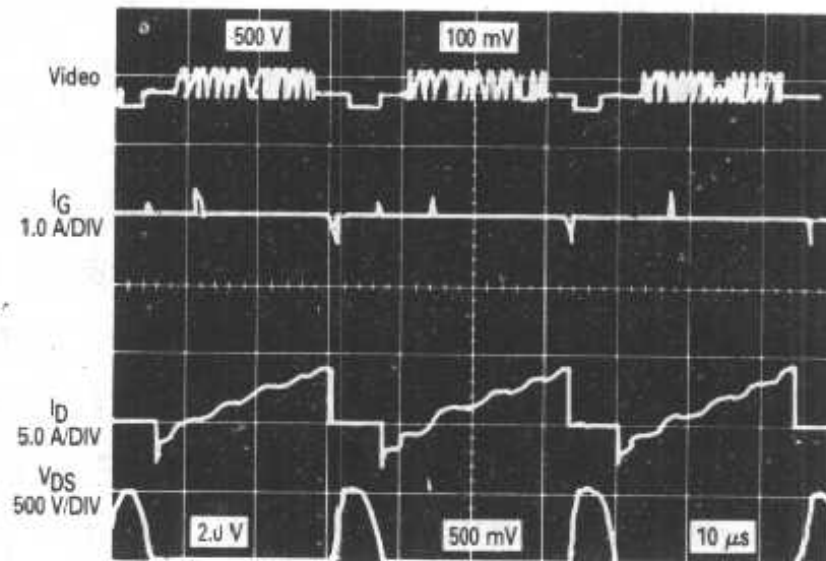
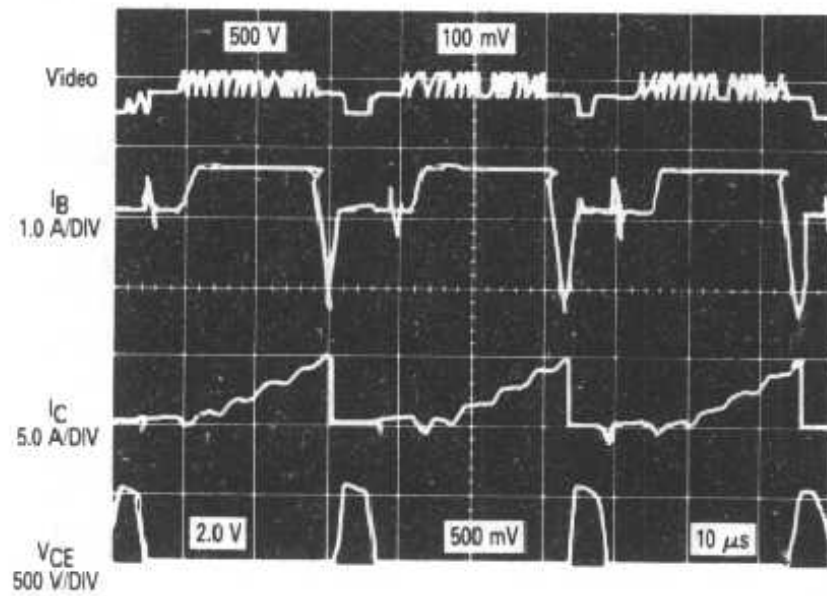


图 10-4 水平偏转回扫脉冲测试波形

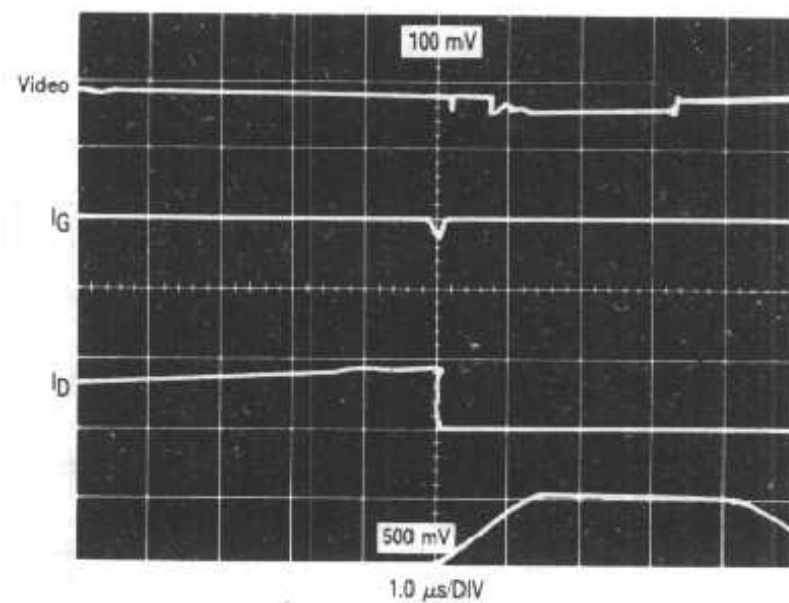
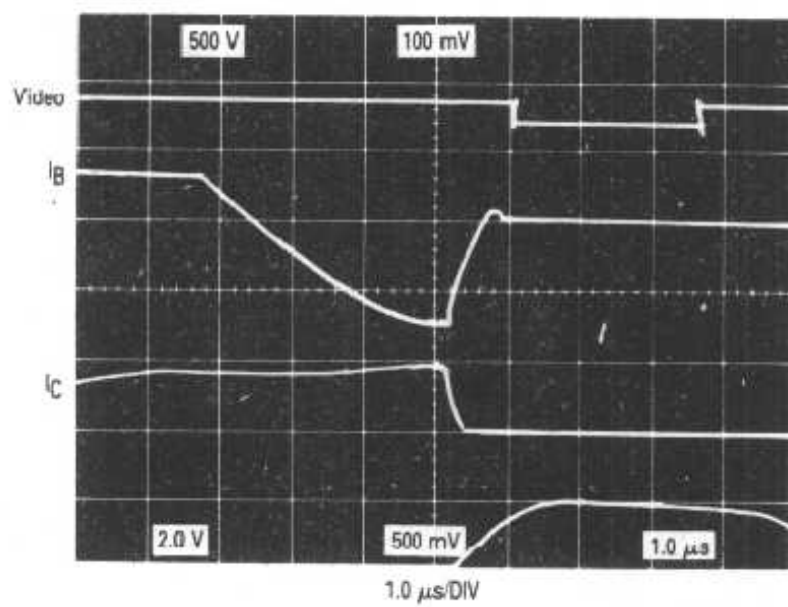
双极型
 $t_{off} \approx 3.5 \mu s$

versus

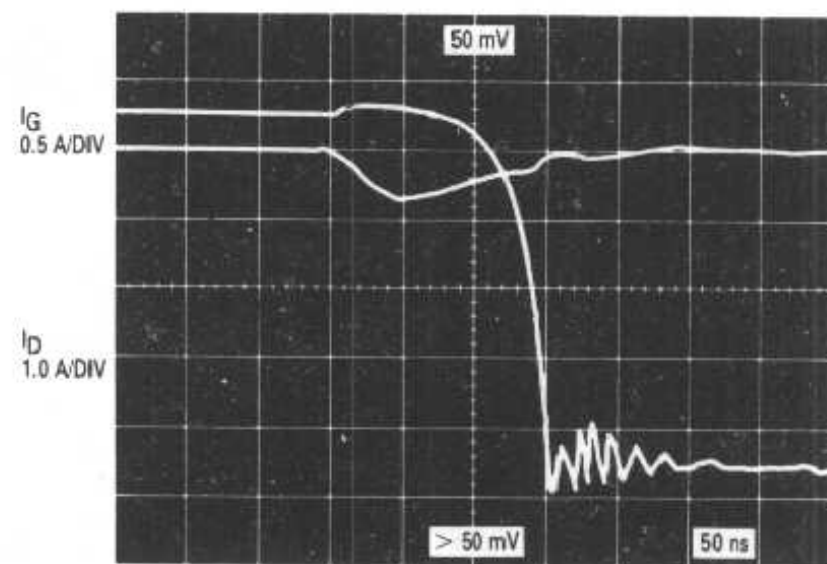
MOSFET
 $t_{off} \approx 155 ns$



10 μs /DIV
 完整波形



时间轴拉长



MOSFET 电流坐标拉长了的关断波形

图 10-5 双极型与 MOSFET 波形比较

能的，即使是当使用一个低电压源时也是如此。电路在脉冲之间返回 0V。当驱动带有基极偏置电阻和加速二极管的大功率达林顿晶体管时，这是一个很重要的特点，否则在断开期间会产生过热。

尺寸小、结构简单、附件少和容易操作使得这种驱动电路在可变频率开关模式电源和逆变器中特别有用。

在工作时，把从脉冲发生器来的单极性负脉冲加到输入端。宽度在 $5.0\mu\text{s}$ 到 3.0ms 之间变化的脉冲接通正极性输出的 PNP 预驱动晶体管 Q2。

与 Q2 的漏极引线 and 电源串联的电阻 R_b 设定了正驱动电平。所选的电阻必须能够提供使驱动电路 10V 以上的电压和所需要的电流。

在经过要求的正输出电流接通时间之后，脉冲发生器返回零值。然后，RC 微分网络在 MOSFET Q3 的栅极施加一个正电压，而 MOSFET Q3 供给负极性输出。可以改变输出值以延长负驱动的持续时间。负电压大约维持 $10\mu\text{s}$ ，然后返回零值并结束一个循环。

若将 R_b 短路并把正的和负的电压加在器件的栅极，则在该电路中可使用场效应晶体管。对受控栅极阻抗驱动来说，可把电阻与栅极串联。类似地，把一个电阻与双极型晶体管的基极串联，则可得到一个受控的基极电流驱动。

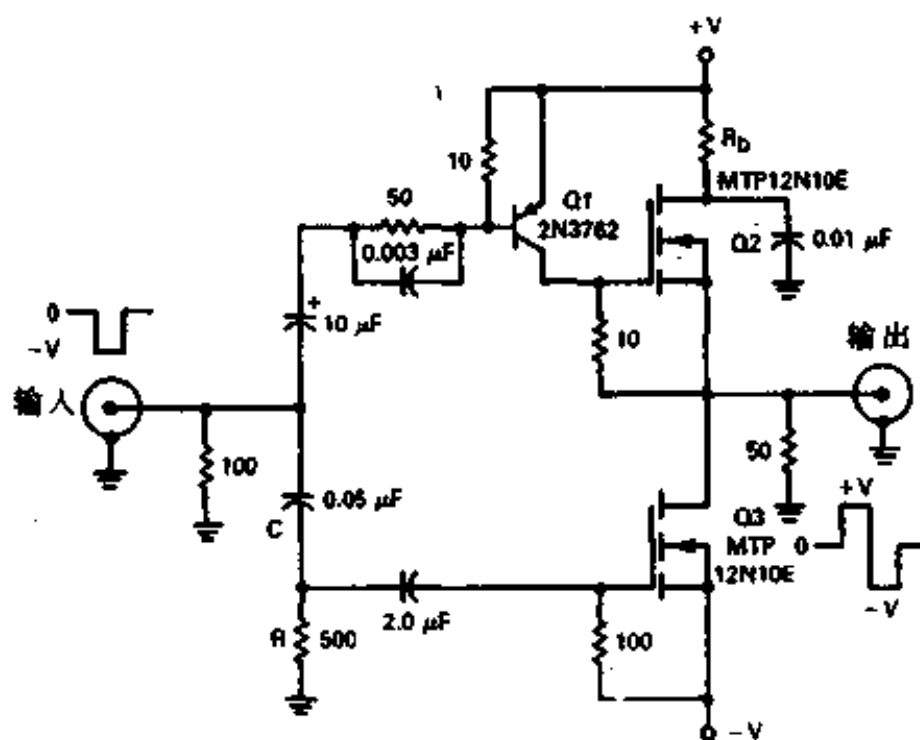


图 10-6 MOSFET 驱动器电路

第十一章 电流敏感的功率 MOSFET

11.1 敏感器件 (SENSEFET) 产品

电流敏感的功率 MOSFET 提供了一种非常有效地测量功率调节电路中负载电流的方法。这些器件把负载电流分解成功率分量和检测分量。这就使得可以用信号电平电阻来进行采样。由于采用这种方法可以得到比采用其它方法更高的效率且成本又低, 所以, 了解如何使用 SENSEFET 产品是一个重要的设计任务。

要习惯这些器件相对来说并不完全是很容易的。它们从概念上说很简单, 但却具有独特的特性和微妙的性质。下面我们就来讨论这一问题并从描述 SENSEFET 的工作原理来开始这一讨论。

11.1.1 工作原理

SENSEFET 的工作原理是以在集成电路中普遍使用的匹配器件原理为基础的。与集成电路晶体管一样, 功率 MOSFET 中的源极是易于匹配的。因此, 如果在数千个源极中有几个源极连接到一个分开的管脚上, 就得到一个检测支路导通电阻同功率支路导通电阻的比值。那么, 当一个 SENSEFET 器件被通电导通后, 电流在两个电阻上与阻值成反比地分流, 从而可得到检测电流与源电流的比值。

分开的源极连接被称为原源极的镜象。SENSEFET 产品一般被设计成使镜电流与源电流之间的比值保持在 $1:1000$ 这一数量级上。它看上去象是两个具有共同的栅极和漏极连接但源极引线分离的并联的场效应晶体管。这一配置如图 11-1 所示。这两个器件的相对尺寸决定了电流如何在源接线端和镜接线端之间进行分配。源电流和镜电流的比值由电流镜率 n 确定。这一比率定义为当源接线端子和镜接线端子维持在同一电压时源电流和镜电流的比值。由于 n 保持在 $1000:1$ 这一数量级上, 所以负载电流近似地等于源电流, 这就是说, 电流镜率也描述了负载电流和检测电流的比值。

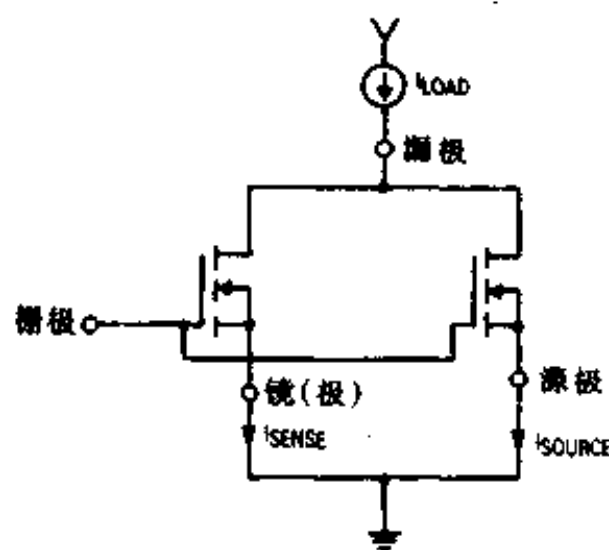


图 11-1 SENSEFET 等效电路

当一个信号电平电阻被接到镜接线端子与源接线端子之间时, 负载电流的一部分 (这一部分占总负载电流的比例是已知的) 就被采样, 但却没有发生插入功率检测电阻时所必然产生的插入损失。由于这一原因, 用 SENSEFET 器件测量负载电流的方法被称为“无损电流检测”。只要检测电阻小于镜支路导通电阻 $R_{DM(m)}$ 的 10% , 被抽样的电流就近似地等于负载电流除以电流镜率, 即 I_{LOAD}/n 。实际上, 在如此低的检测电阻上所形成的检测电压通常不足以驱动限流电路。因此, 通常采用大阻值的检测电阻 R_{SENSE} 。这些阻值大的检测电

阻显然会对镜支路的总电阻产生影响，并因而改变电流镜率。下面讨论如何把这一特性模型化以及如何计算检测参数。

11.1.2 计算检测电阻

利用如图 11-2 (a) 所示的模型，很容易计算出检测电压和检测电阻。在这一模型中， $R_{DS(on)}$ 被分成本体分量和工作分量。漏极体电阻对整个器件来说是公用的并用 R_b 来表示。 $R_{DS(on)}$ 的工作分量由功率支路的 $R_{a(on)}$ 和镜支路的 $R_{DM(on)}$ 来表示。 R_{SENSE} 是外部检测电阻。

如果 R_{SENSE} 是开路，则在镜接线端出现的最大电压是 $V_{DS(on)} \times R_{a(on)} / (R_{a(on)} + R_b)$ 。换句话说，镜接线端子并没有检测到全部的漏-源电压而是仅仅检测到由 $R_{a(on)} / (R_{a(on)} + R_b)$ 表示的漏-源电压的一部分。这一比式被称作镜从属比率 K_{MC} 。 $R_{a(on)}$ 和 R_b 的值是通过测量镜从属比率，再用镜从属比率乘 $R_{DS(on)}$ 来求出 $R_{a(on)}$ 。 R_b 可通过从 $R_{DS(on)}$ 中减去 $R_{a(on)}$ 来得到。有了这些值，就可以通过把 $R_{a(on)}$ 乘以电流镜率 n 来确定 $R_{DM(on)}$ 的值。

给定该模型的内部电阻值，就可以从简单的电阻分配方程计算出测试电压、测试电阻和漏极电流。这些方程如下：

感测方程

- (1) $V_{SENSE} = I_D \cdot R_{a(on)} \cdot R_{SENSE} / (R_{SENSE} + R_{DM(on)})$
- (2) $R_{SENSE} = V_{SENSE} \cdot R_{DM(on)} / (I_D \cdot R_{a(on)} - V_{SENSE})$
- (3) $I_D = V_{SENSE} (R_{SENSE} + R_{DM(on)}) / (R_{a(on)} \cdot R_{SENSE})$

用这些方程所得到的结果与测量值非常吻合。以 MTP10N10M 为例，计算值和测量值列于表 11-1。它们是在漏极电流为 5A， $R_{a(on)} = 116m\Omega$ ， $R_b = 44m\Omega$ ， $R_{DM(on)} = 209\Omega$ 的情况下得出的。

表 11-1 检测电阻的计算值和测量值

R_{SENSE} Ω	计算的 R_{SENSE} mV	测量的 R_{SENSE} mV	Δ %
20	51	50	2
47	106	105	1
100	179	185	-3
200	284	290	-2
1k	480	480	0

由于所有的实际值都是在一个示波器上测量的，所以表中所显示出来的差异都在测量精度之内。在静态条件下，图 11-2 中的模型能很好地工作。

在如图 11-2 (b) 所示的典型应用中，当 V_{SENSE} 等于比较电路的参考电压 V_{ref} 时，产生一个电流跳闸。因此，用 V_{ref} 来代替这些方程中的 R_{SENSE} 所得出的 I_D 和 R_{SENSE} 组合能产生一个限流信号。

由于下面将要说明的原因，一般来说，选取的 R_{SENSE} 值最好不超过 $R_{DM(on)}$ 。如表 11-1 中的值所表明的，这一制约所产生的检测电压在 MTP10N10M 的正常工作条件下为 250mV 数量级。尽管对大部分应用来说，这已经足够了，但工作电流小和镜从属比率低可导致与产生可用的检测电压值有关的问题。在要求检测电压值较高的场合，可采用如图 11

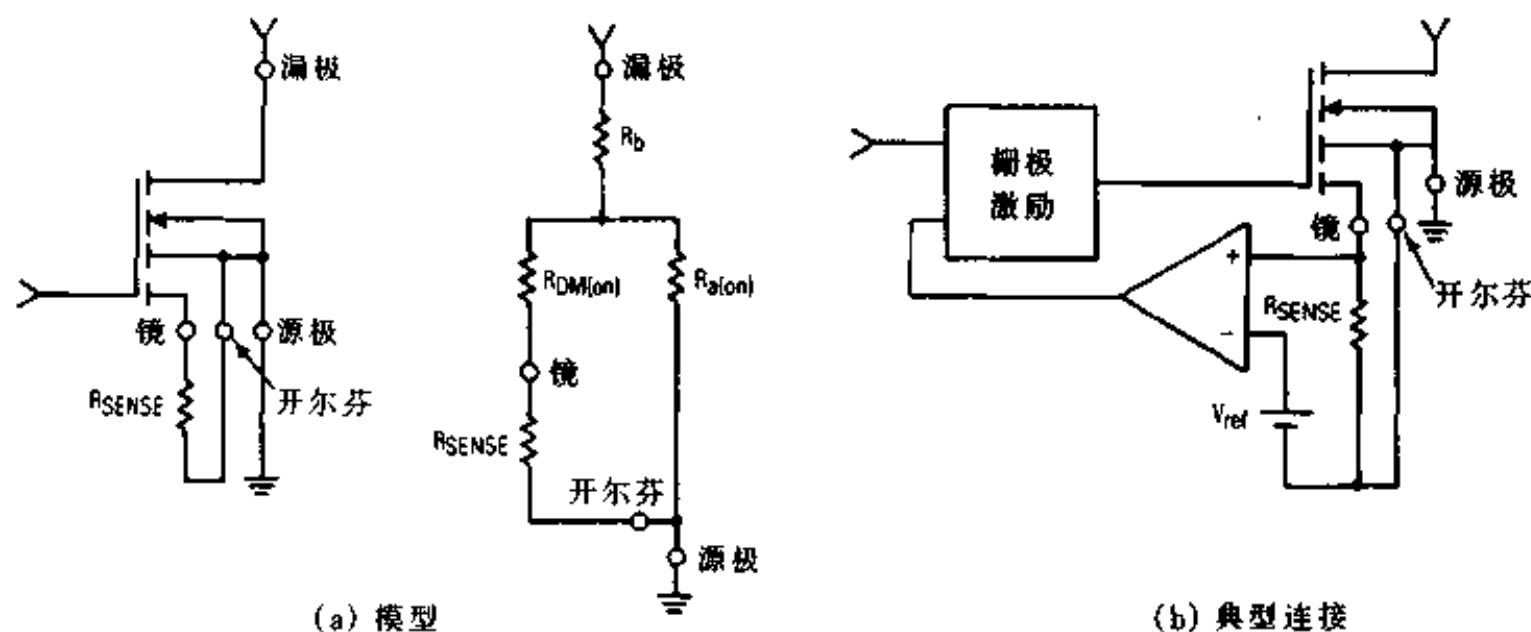


图 11-2 模型和典型连接

- 3 所示的方法。在这一电路中，SENSEFET 被维持在与其源极相同的电位上，且运算放大器 OA1 产生一个负的输出电压，该输出电压等于检测电流乘以反馈电阻 R_f 。这种类型的虚拟接地电路的感测方程如下：

虚拟接地电路感测方程

$$(4) V_{\text{SENSE}} = -I_D \cdot n \cdot R_f$$

$$(5) R_f = V_{\text{SENSE}} / I_D \cdot n$$

$$(6) I_D = - (V_{\text{SENSE}} / R_f) n$$

这些方程假设运算放大器的输入偏置电流和输入偏置电压都为零。使用现在的某些新型的运算放大器时这一假设是非常正确的。例如，对一个 MC34081 来说，输入偏置电流和输入偏置电压在室温下的值分别小于 1nA 和 1mV 。

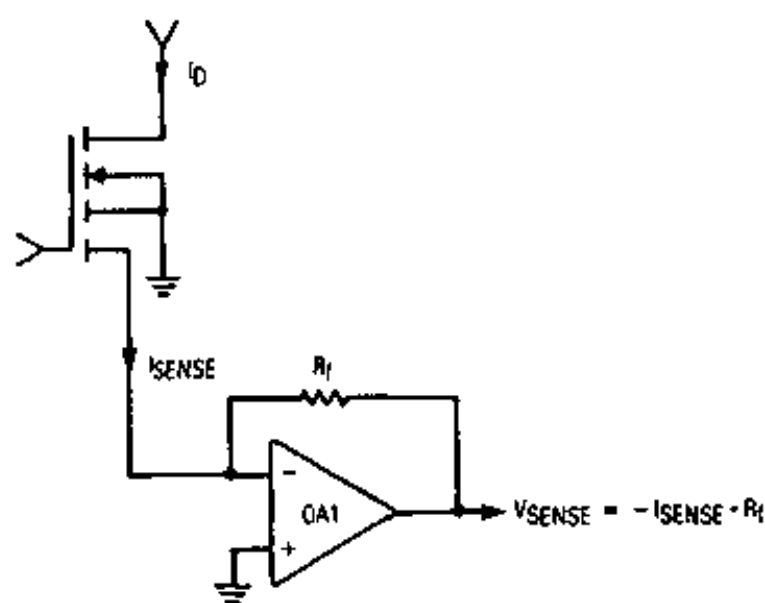


图 11-3 虚拟接地感测

尽管虚拟感测可以提高信号电平，但要求一个负极性的供电电源并产生一个负的输出信号，而这两种情况都可能是不好的。克服这些困难的一个方法如图 11-4 所示。一个双运算放大器用来把检测电流转换成一个负的输出电压，然后把这一负电压进行倒相以产生正的输出。负电源电压是用一个简单便宜的 555 电荷泵供给的。该电路的工作频率为 60kHz ，它把栅极驱动电源转换到一个负的电平上，这部分电路能够吸收大约 50mA 。对该电路来说，感测方程 (4) 和 (6) 中的负号可以去掉。

11.1.3 精确度

功率 MOSFET 把电流在匹配单元中进行分配的准确度是比较高的。假设源接线端子和镜接线端子维持在相同的电位，则准确度只与电流镜率有关。这一参数在 25°C 时与正常值的偏差只有 $\pm 1\%$ ，温度变化时偏差量也不会超过 $\pm 3\%$ 。

当 SENSEFET 器件用于虚拟接地感测电路时，准确度是比较明确的。电流镜允许偏差、感测电阻允许偏差和运算放大器偏置一起产生一个随温度变化而变化的感测电压的幅度不超过 $\pm 5\%$ 。

当使用一个由镜到地的感测电阻时，情况会变得更加有趣。测量精度不是从一个单块

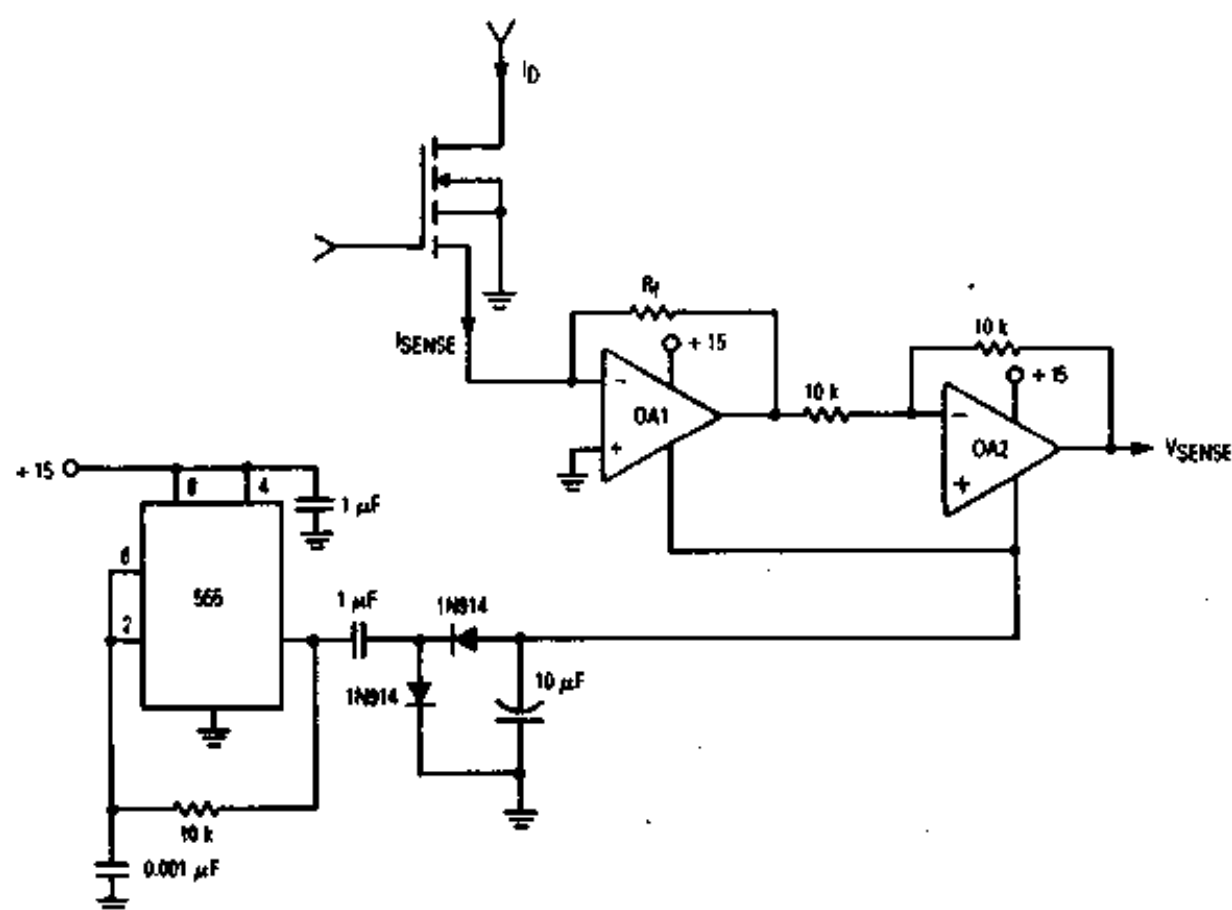


图 11-4 正输出虚拟接地感测电路

器件中的匹配导通电阻导出的，容许偏差既与内部比率有关，也与内部导通电阻与一个外部 R_{SENSE} 的比率有关。因此，在这种结构中，单元之间的差异和温度稳定性是设计时必须首先考虑的。

参看图 11-2，感测模型提供了一个所涉及到的问题的图解性的说明。让我们先假设 R_{SENSE} 等于零。在这一条件下，无论 $R_{\text{a(on)}}$ 发生多大的偏离，都会引起 $R_{\text{DM(on)}}$ 发生同样百分率的偏离。因此，即使当 $R_{\text{a(on)}}$ 发生非常大的变化时， $R_{\text{a(on)}}$ 和 $R_{\text{DM(on)}}$ 之间的比率仍几乎保持不变。由于这一比率没有变化，感测电流与漏极电流的比值也没有变化，从而使测量精度比较好。在另一种极端情况下，即 R_{SENSE} 为开路时，镜电压与比率没有关系。镜接线端子检测在 $R_{\text{a(on)}}$ 两端的电压降； $V_{\text{SENSE}} = I_{\text{D}} \times R_{\text{a(on)}}$ 。因此，测量的准确性直接取决于 $R_{\text{a(on)}}$ 的值。由于不同器件的 $R_{\text{a(on)}}$ 的值可能有 30% 的偏差，同一个器件的 $R_{\text{a(on)}}$ 的值又可能随温度发生 100% 的偏移，所以采用这种方法所获得的测量值是不准确的。在这两种极端状态之间， R_{SENSE} 的选择归结为在信号电平和精度之间进行权衡。从经验来看，在 R_{SENSE} 的值小于 $R_{\text{DM(on)}}$ 时可获得比较好的性能。但当 R_{SENSE} 的值大于 $R_{\text{DM(on)}}$ 时，测量的准确性更加取决于 $R_{\text{a(on)}}$ 的绝时值而不是 ($R_{\text{a(on)}}$ 和 $R_{\text{DM(on)}}$ 之间的) 比率，因而当 R_{SENSE} 进一步增大时，性能迅速下降。图 11-5 表示温度的稳定性与规范化的 R_{SENSE} 的关系。在这个图中， R_{SENSE} 相对于 $R_{\text{DM(on)}}$ 规范化，使得值 1 对应于 $R_{\text{SENSE}} = R_{\text{DM(on)}}$ 。注意温度稳定性在 R_{SENSE} 小于 $R_{\text{DM(on)}}$ 时是相当好的，但当 R_{SENSE} 的值继续增大时迅速变坏。

图 11-6 给出了单元之间的偏差对 R_{SENSE} 的变化曲线。当 R_{SENSE} 的值小于 $R_{\text{DM(on)}}$ 时，性能在限流电路所要求的容许偏差之内，但当 R_{SENSE} 继续增大时，单元之间的测量稳定性也迅速地变坏。

11.1.4 Kelvin 源极连接

为了获得 SENSEFET 器件所能达到的最高测量精度，必须在源极采用 Kelvin 连接，否

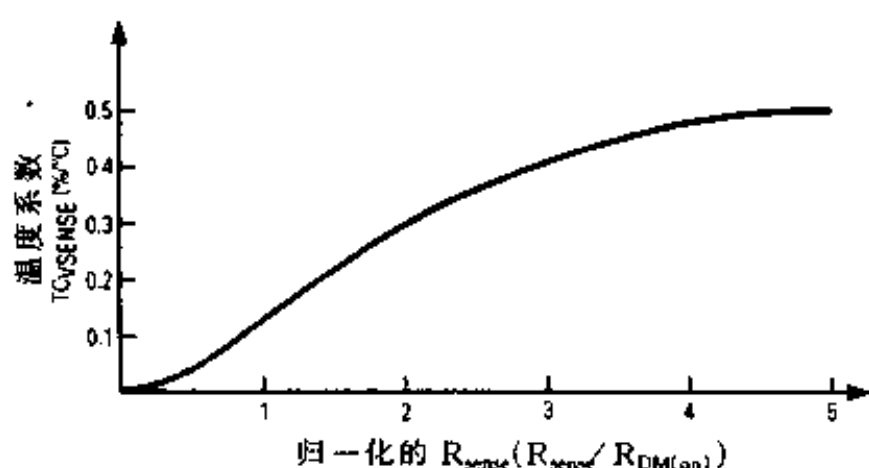


图 11-5 温度稳定性

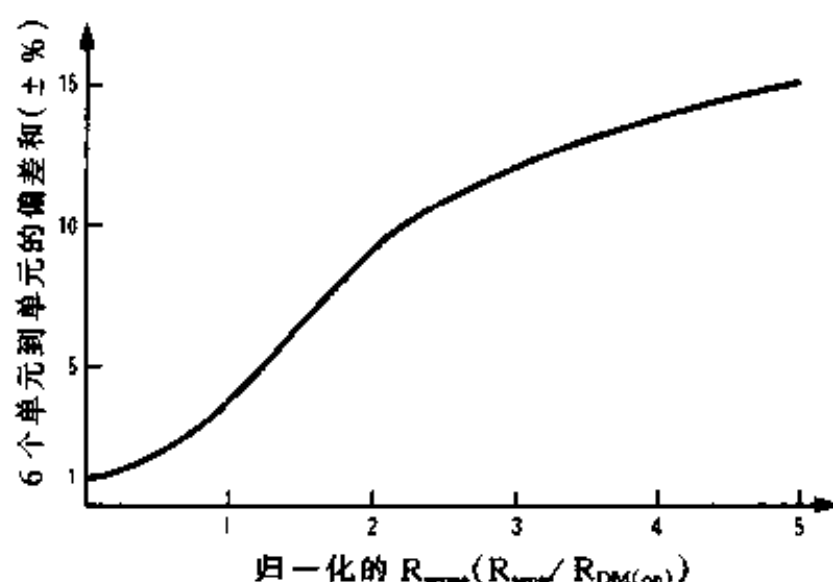


图 11-6 单元之间的偏差

则由接地连接中的负载电流所造成的电压降将加在感测电压上并引入误差。接地阻抗的作用如图 11-7 所示, 其中 R_{GROUND} 被加在图 11-2 所表示的模型中。流过 R_{GROUND} 的负载电流产生一个电压降, 该电压降出现在 R_{GROUND} 与 $R_{\text{ds(on)}}$ 组成的串联电路上。在图 11-7 (a) 中, 这一电压直接加在开路栅电压上, 并对测量结果产生影响。在图 11-7 (b) 中, Kelvin 连接通过把 R_{SENSE} 直接与器件的源极金属喷镀连接起来而排除了寄生接地电压。

测量的准确性基本上是器件额定值和电路结构的函数。如 MTP10N10M 和 MTP10N25M 这样的 $R_{\text{ds(on)}}$ 超过 $100\text{M}\Omega$ 的器件, 当受从一个 TO-220 器件的源极金属喷镀到一个焊接的 PC 电路板连接所形成的大约 $10\text{M}\Omega$ 的寄生电阻的影响时, 其阻值变化不会超过 10%。因此, 对这些器件来说, Kelvin 回路只能造成很微小的变化。但是, 对如 MTP40N06M 这样的大电流器件来说, 同样的 $10\text{M}\Omega$ 的寄生电阻可能引入相当大的误差。对这种器件来说, $10\text{M}\Omega$ 的寄生电阻与 $17\text{M}\Omega$ 的 $R_{\text{ds(on)}}$ 的相比差别不是很大, 因而使用一个 Kelvin 回路可以免除有可能产生的相当大的误差。

虽然 SENSEFET Kelvin 回路的主要目的是改善测量的准确性, 但在高频情况下也有重要的应用。如图 11-8 所示, 栅极驱动接地可以连接到 Kelvin 引线而不是连接到 PC 电路板的接地板。这一连接把寄生源极电感 L_s 旁路, 该电感是由源极导线连接和源极管脚造成的。因此, Kelvin 连接使得可以在大电流情况下进行快速开关。在大电流情况下源极电感成为一个重要的限制因素。

为了说明这个问题, 让我们假设一个传统的 TO-220 MOSFET 是这样连接的: 栅极驱动回路中的唯一源极电感是 8nH 的导线连接和引线电感。在开关转换期间在该电感上的电压降 ($V=L_s dI_s/dt$) 的方向是与栅极激励电压相反的。只要该电压的大小不会使栅极过激励, 就不会对开关时间产生多大的影响。但是, 当这一电压大到能显著地反抗栅极激励时, 就会限制开关速度。

由于 MOSFET 栅极可被驱动的速度基本上与漏极电流无关, 所以开关速度也与漏极电流无关, 而 dI_s/dt 随漏极电流的增大而增大。但是, 在漏极电流的临界值时, $L_s(dI_s/dt)$ 变得相当大以致于与栅极偏置显著地相互干扰。在这一点上, 当寄生的反向电压使栅极的偏置量减小栅极过激励电压太小时, 就会使开关速度显著降低。对 TO-220 MOSFET 来说, 这一界限在 10 和 20A 之间时变得很显著, 此时转换时间由 10A 时的 10ns 上升到 20A 及其以上时的几十个毫微秒。

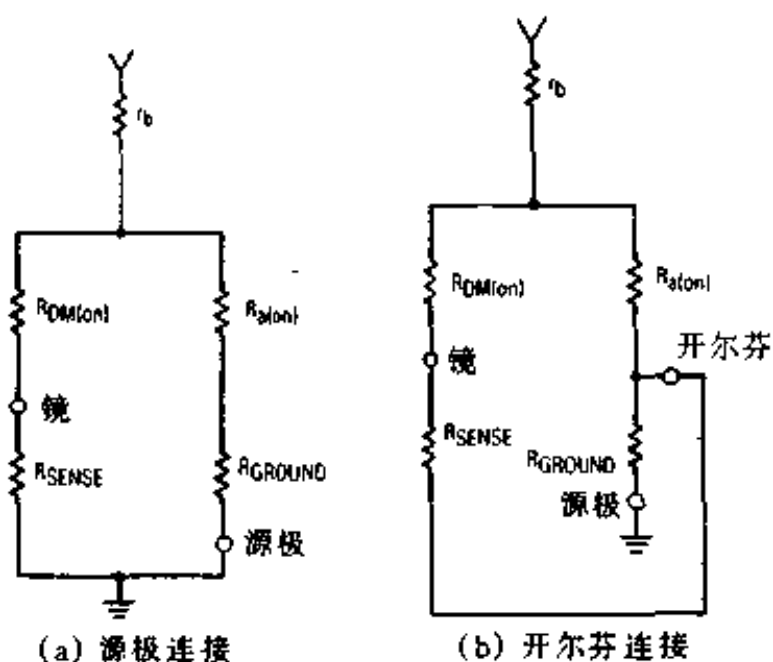


图 11-7 接地阻抗

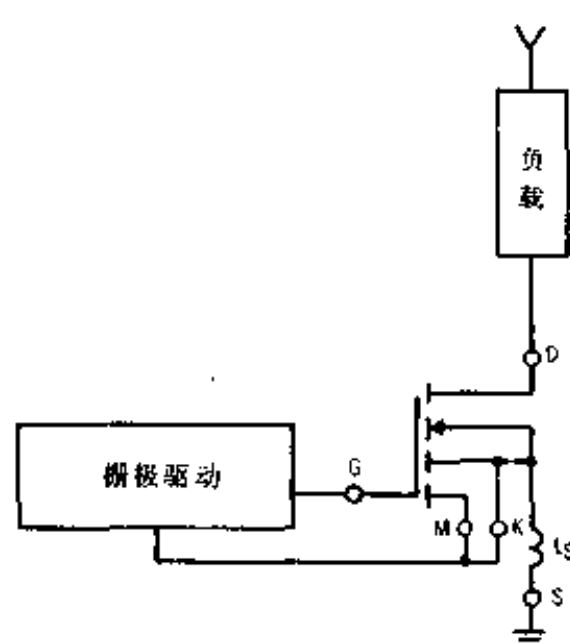


图 11-8 高速栅极激励

如果用 SENSEFET 器件取代传统的 MOSFET 并使用了图 11-8 的 Kelvin 栅极激励回路，则寄生电压发生在栅极驱动回路之外，从而影响很小。表 11-2 对具有 Kelvin 栅极驱动回路的 MTP10N25M 和具有源栅驱动回路的 MTP10N25M 的开关时间进行对比。在这两种情况下，测试器件所开关的是一个感性负载，是由一个高速 MC33152 驱动器驱动的并且是用一个 Pearson4028 型高速电流互感器测量的。

表 11-2 高速性能（下降时间）

高 速 性 能		
漏极电流 (A)	Kelvin 回路降落时间 (ns)	源极回路降落时间 (ns)
5	6	6
10	6	7
15	6	9
20	7	27
25	9	28
30	10	44

从表中数据可以立即看出，SENSEFET 器件在大电流时性能优越，但在电流小于 10A 时对性能没有什么影响。

11.1.5 噪声抑制

在开关速度很高时，接通和断开时的噪声尖峰是 SENSEFET 电路设计中必须首先考虑的问题之一。这些噪声尖峰持续时间很短，与产生它们的开关转换持续时间差不多长，但其值可以是被测量的感测电压值的好几倍。它们是由于寄生电容中的电流和高的感测增益而产生的。

一般来说，断开时所产生的噪声通常不会造成多大的问题，这是因为足以造成限流的大的噪声尖峰在断开时不起作用。但接通时情况完全不同。在接通时经常见到的噪声尖峰能很容易地产生与正确的电路工作状态相互干扰的错误跳闸。幸运的是滤波是比较容易的。

由于噪声的持续时间很短,采用一个简单的单极 RC 滤波器就能取得很好的效果。使用一个运算放大器来代替比较电路来监测感测电压也能取得很好的效果。运算放大器的滑离特性提供了一个单极滤波器可以消除短的单极噪声尖峰。当然,这两种方法都使限流回路的速度降低,这在某些应用中是不希望有的。在这些例子中,可以采用数字消隐来使限流比较电路在接通期间的一段固定长的时间里处于截止状态。

无论采用什么样的电路技术来限制噪声,当在或接近其最快开关速度的情况下使用 SENSEFET 器件时,线路工艺是至关重要的。必须采用印刷电路板结构,且必须十分小心使接地电流远离电流敏感回路。采用小的接地平面、功率回路和感测回路的接地分开以及功率部件采用单点接地都有助于获得好的效果。还必须记住的是,辐射噪声与馈线噪声一样,也会造成许多问题。有鉴于此,必须把功率接地(这是一个辐射表面)做得尽可能的小,并把感测电压滤波器置于尽可能地靠近它们所馈电的限流电路。

11.2 非正常条件下的感测电压

对正常的稳定工作状态来说,感测电压是利用容易计算出来的电阻比率来确定的。但是,常常出现一些涉及非正常条件下的感测电压的问题。在雪崩状态下工作,在非常小的电流下工作,逆向电流和漏极-源极二极管的反向恢复是我们在这里将要加以讨论的问题。

11.2.1 雪崩

最新一代的功率 MOSFET 能够承受相当大的雪崩应力。漏-源二极管已被漏-源齐纳瞬变抑制器所取代。因此,电感回扫电压可直接用 MOSFET 进行箝位。SENSEFET 产品也可以用于这种方式,从而导致有关雪崩期间的感测电压问题。

图 11-9 中的简化模型提供了一个分析基础。假设它有一个感测单元, n 个功率单元和一个可忽略的体漏极电阻。在雪崩时,各个单元看起来象并联的齐纳管,每一个具有一个小的串联阻抗 R_s 。尽管各个单元的 R_s 可能是很好地匹配的,但大家知道, epi 的厚度和击穿电压沿半导体晶片的表面是变化的。在功率晶体管基片上,从一点到另一点 epi 厚度的变化可超过百分之一。因此,当 R_s 两端的平均电压为几十到几百毫微伏时,图 11-9 中的齐纳电压可能超过一伏特。在这些条件下,由于 I_{SENSE} 对感测单元的相对击穿电压的依赖关系比对被测电流的依赖关系大,所以感测电压是无法确定的。因此,功率 SENSEFET 产品将象功率 MOSFET 器件一样能够经受住雪崩,但将丧失提供有意义的电流感测读数的能力。

11.2.2 甚低漏极电流

在正常工作电流的情况下,测量电路中的偏置电压通常是可以忽略的。但是,在漏极电流小于额定输出电流的 1% 时,偏置电压对电流敏感测量的影响就比较大了。图 11-10 中的简化模型可以阐明这个问题。例如,假设器件是一个 $R_{s(\text{on})}$ 为 $170\text{M}\Omega$, $R_{\text{DM}(\text{on})}$ 为 145Ω 的 MTP10N25M,在流经 $R_{s(\text{on})}$ 的电流为 1A 且在测量放大器中的偏置电压为零时,加在 $R_{\text{DM}(\text{on})}$ 两端的电压是 170mV,所产生的感测电流为 I_{SENSE} 。如果测量放大器的偏置电压是 1mV,则 $R_{\text{DM}(\text{on})}$ 两端的电压改变 1mV。感测电流的变化是 $1/170$,这是小于 1% 的。现在假设 I_D 是 10mA。在这种情况下,在 $R_{s(\text{on})}$ 两端形成的电压只有 1.7mV。这样,1mV 的偏移使测量值

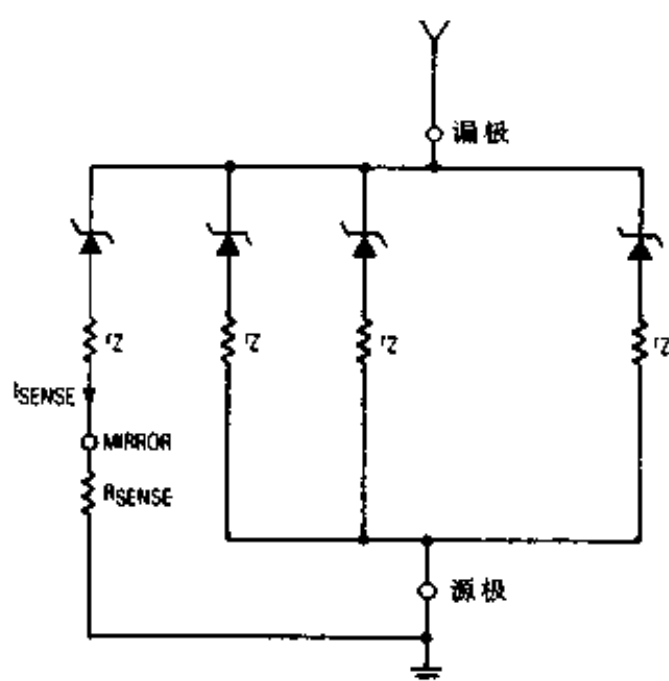


图 11-9 雪崩模型

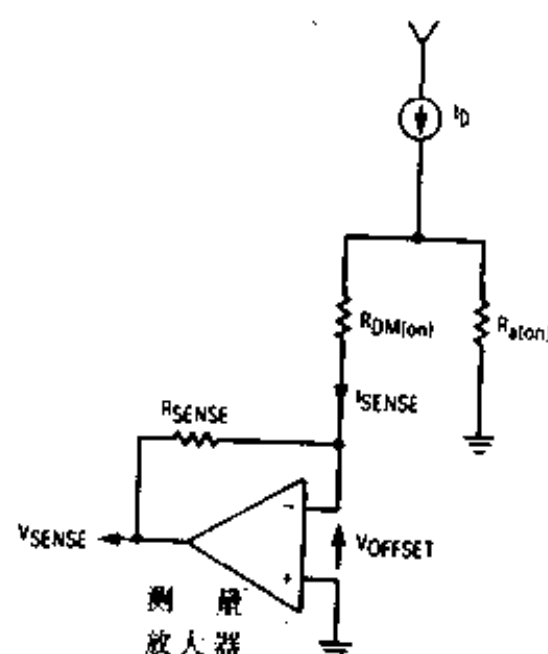


图 11-10 小漏极电流

改变 $1/1.7$ ，这就将对测量结果产生重大影响。一般来说，在非常小的电流下，测量放大器输入偏置特性会严重影响测量的电流镜率，并造成大大偏离实际工作电流下的观测值。

11.2.3 反向恢复

当把这些器件用在桥式电路中时，漏-源二极管中的电流可能成为电路运行的一个重要组成部分。如果该二极管被一个相反的半桥迅速地断开，则产生一个相当大的感测电压。例如，假设电感性负载电流自由流过如图 11-11 所示的一个 SENSEFET 的漏-源二极管，然后把 S1 迅速关闭。如图中的波形所显示的，当取消漏-源二极管的外加电压时，会产生一个相当大的 V_{SENSE} 尖峰。其大小取决于 S1 闭合的速度、被换向的电流的大小以及 R_{SENSE} 的值。其持续时间是漏-源二极管的反向恢复时间的函数。

V_{SENSE} 尖峰值是设计时需要考虑的一个重要问题，因为该尖峰值既大又是一个正的信号。为了说明该问题的大小，考虑一个在 100ns 内交换 2A 的 MTP10N25M。在 $R_{SENSE} = 100\Omega$ 时，反向恢复尖峰脉冲的幅度为 400mV。由于在 2A 下的正向感测电压只有 140mV，因而有可能在不太大的电流下使限流电路发生误跳闸。

幸运的是尖峰脉冲的持续时间非常短，只存在于电流在漏-源二极管被换向的那一段时间里。因此，只需用一个单臂 RC 滤波器就能把尖峰脉冲的峰值电压降低到可接受的水平。也可在反向恢复转换发生期间对限流电路进行数字消隐。

11.2.4 反向电流

当电流流过漏-源二极管时，阳极电流在源极和镜极之间的分配类似于前馈工作模式下的情况。但是，反向工作的等效电路有很大的不同。如图 11-12 所示，电流感测既取决于源极和镜极单元电阻的比率，也取决于从源极到漏极以及从镜极到漏极的二极管的阻值。只要 R_{SENSE} 等于零或用一个运算放大器有效地保持在零值，感测比率就取决于 R_{mb} 和 R_{sb} 的比率和匹配的二极管压降。由于 R_{mb} 对 R_{sb} 的比率就是 $R_{DM(on)}$ 对 $R_{S(on)}$ 的比率，正向和反向感测比率是匹配的并等于电流镜率 n 。

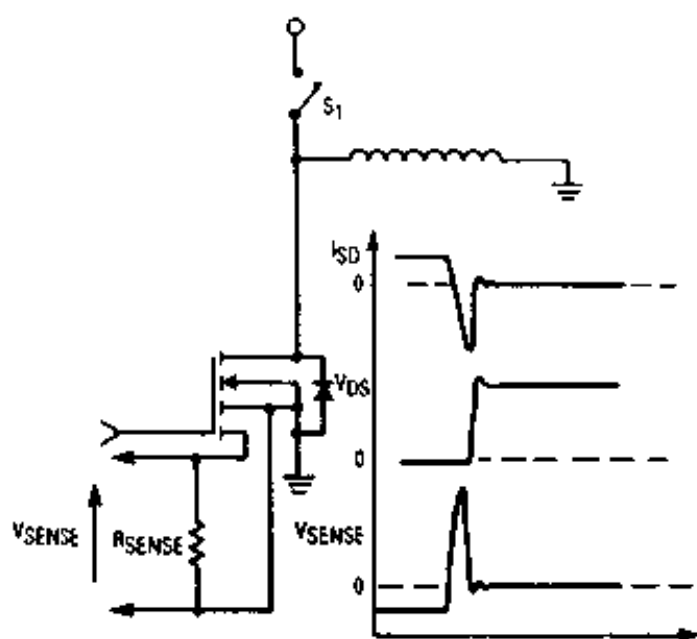


图 11-11 反向恢复

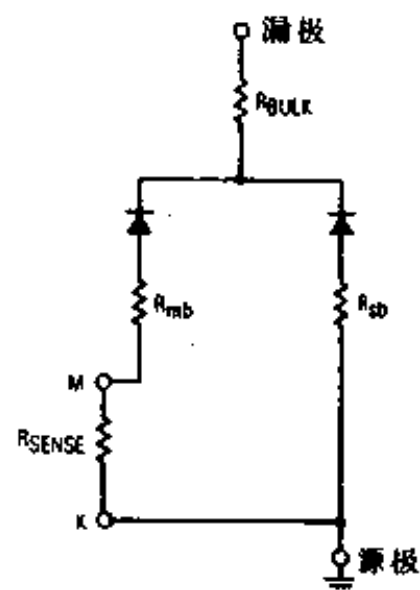


图 11-12 反向电流

当加上一个非零的 R_{SENSE} 时, 则从正向工作模式发生很大的偏离。在感测支路增加电阻不能给出同样的线性可预测的结果, 因为反向模式下的结电阻值是受少数载流子流所控制的。这些电阻对电流密度有很大的依赖关系且在大电流值下其值会降低。因此, 内部电阻和一个固定的外部 R_{SENSE} 的关系具有相当大的非线性。其结果是, 如果采用一个虚拟接地运算放大器的话, 测量可以精确到百分之几, 而当实际的感测电阻从镜极连接到 Kelvin 电桥的话, 对反向电流的表示则是很不准确的。

11.3 SENSEFET 兼容集成电路

由于功率 MOSFET 在许多应用中都是由集成电路驱动的, 功率 MOSFET 与集成电路的兼容性是一个非常重要的问题。一般来说, 要使 PWM 集成电路与 SENSEFET 器件兼容, 限流比较电路必须具有 100 到 125mV 的灵敏度。许多新近研制的集成电路或者能够满足这一要求, 或者是特地为与该产品配套而开发的。这些产品有:

器件	说明	应用
MC33152	SENSEFET 驱动器	微处理器接口
MC33034	电动机控制器	无电刷直流电动机
MC34129	电流型控制器	单晶体管 SMPS
SG3526	电源控制器	推挽 SMPS

所有这些器件在所提供的输出电压下能很好地工作。它们也都能在非常高的开关速度下驱动 SENSEFET 产品。因此, 在使用这些电路时采用好的 PC 板线路工艺是非常重要的。此外, 使用串联栅极电阻来降低开关速度对于模拟板试验和调试是很有帮助的。

图 11-13 和 11-14 给出了如何使用 SENSEFET 产品的两个例子。图 11-13 描述了一个隔离的 12V 到 5V 的电流型供电电源, 它可以很好地说明 MC34129 和 MTP10N10M 如何一起工作。

让我们从振荡器看起, 根据工作频率和空载时间选取 R_T 和 C_T 。在 R_T 选为 13K, C_T 选为 1500pC 的情况下, 工作频率为 28kHz, 比最大工作频率的 50% 稍小一点。扫描电压是由

件下, R1 和 R2 把上限跳闸点设定在 470mV, 而峰值电流被限制在大约 2.8A。

让我们再来看图 11-14 中的无电刷电动机驱动。图中示出了 MC33034 无电刷电动机控制器和 MTP40N06M 是如何连接的。在该图中, 6 个功率 MOSFET 被连接成一个三相电桥结构来驱动一个电动机。上边的器件为用在 AR194 中所详细描述过的自举技术驱动的 28Ω 的 N 沟道场效应晶体管。为了形成下半部电桥, 由 MC33034 直接驱动三个 MTP40N06M。由于在同一时刻这三个器件中只有一个器件是接通的, 所以三个镜接线端子连接在一个感测电阻 R_{SENSE} 上。一个单臂 RC 滤波器被插在 R_{SENSE} 和 MC33034 的限流比较电路之间以消除在 R_{SENSE} 上出现的噪声尖峰脉冲。

MC33034 的电流极限阈值是 100mV。因此, 一个想要的电流极限值所要求的 R_{SENSE} 值可由方程 (11-2) 计算出来。

$$R_{SENSE} = 0.1V \cdot R_{DM(on)} / (I_{Limit} \cdot R_{s(on)} - 0.1V) \quad (11-2)$$

把 MTP40N06M 的 $R_{s(on)}$ 和 $R_{DM(on)}$ 代入上式, 可得:

$$R_{SENSE} = 0.1V \cdot 16\Omega / (I_{Limit} \cdot 0.017\Omega - 0.1V) \quad (11-3)$$

例如, 为了获得一个 40A 的电流极限值, 根据上式计算出的 R_{SENSE} 值为 2.7Ω。由于该电阻可以是一个标准的 1/4W 电阻, 所以最好使用一个与接地回路串联的 2.5mΩ 的 4W 电阻。

11.4 用于高频的 SENSEFET 产品

尽管电流敏感功率 MOSFET 主要是想用于无损耗电流感测, 但对于高频应用来说, 它们也有很吸引人的特性。特别是其封装很适合于高频电路, 因为对器件的源极金属化提供了一个 Kelvin 连接。如图 11-15 所示, 栅极接地驱动可被连接到 Kelvin 管脚而不是一个 PC 电路板接地板。该连接把与源极导线连接和源极管脚有关的寄生源极电感 L_s 旁路。因此, Kelvin 连接使得能够在大电流 (此时源极电感成为一个重要限制因素) 条件下使用快的开关速度。

为了能够说明这个问题, 让我们假设一个传统的 TO-220 MOSFET 是这样连接的: 在其栅极驱动回路中的唯一源电感是 8nH 的导线引线电感。在开关转换期间, 在该电感上的电压降 ($V = L_s \cdot dI_s/dt$) 是反抗栅极激励电压的。只要这一电压的幅值小于栅极过激励电压, 就不会对开关时间产生什么影响。但是, 当这一电压大到足以显著地反抗栅极激励时, 就会对开关速度起限制作用。对 TO-220 MOSFET 来说, 当电流在 10 到 20A 之间时这一限制会变得非常显著。当电流为 10A 时, 开关时间可以很容易地维持在 10ns 以下, 而当电流达到 20A 及其以上时, 开关时间可能上升到几十个毫微秒。

如果用一个 SENSEFET 器件取代传统的 MOSFET, 并使用一个 Kelvin 栅极驱动回路, 则寄生电压 ($V = L_s \cdot dI_s/dt$) 发生在栅极驱动跨路之外, 因而影响很小。表 11-3 对具有栅极驱动回路和具有原来的栅极驱动回路的 MTP10N25M 的开关时间进行了比较。在两种

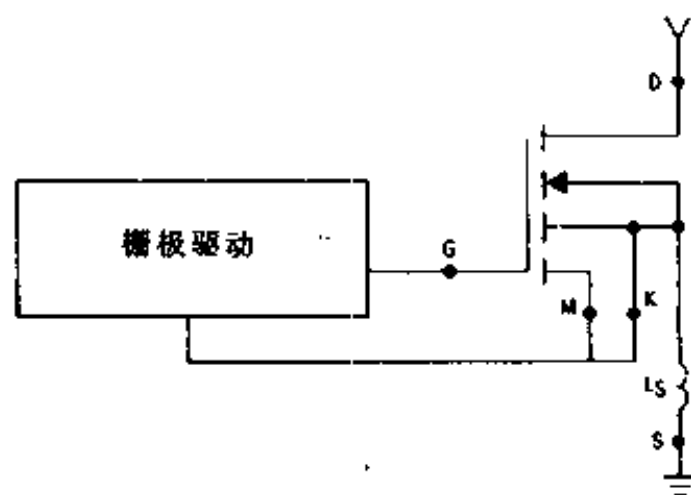


图 11-15

情况下，测试器件都是接通和断开一个感性负载，都由一个高速 CM33152 驱动器驱动，且都是用一个 Pearson4028 型高速电流变换器测量的。

表 11-3.

高 速 性 能		
漏极电流 (A)	Kelvin 回路降落时间 (ns)	源极回路降落时间 (ns)
5	6	6
10	6	7
15	6	9
20	7	27
25	9	28
30	10	44

11.5 结 论

SENSEFET 产品是原理上很简单的器件。它可以代替功率感测电阻和磁性元件来感测负载电流。当使用这些器件时，计算稳定状态下的感测电阻和感测电压是比较简单的。设计包含这些器件电路时要熟悉这些器件的特性和处理比较小的感测电压的方法。Kelvin 连接可被用来获得比传统的 3 引线封装的类似器件更快的开关速度。当它们被用来进行速率和无损耗电流感测时，需要熟悉电流敏感功率 MOSFET。基于 SENSEFET 设计的电路可以在元件少且小的情况下很有效地工作。

第十二章 功率 MOSFET 和其它半导体 功率开关的相对效率

对一种功率开关（半导体的或是机械式的）的主要要求是它能向负载传递最大的能量。对各种半导体功率开关相对效率的比较，我们将在阻性负载、感性负载和直流电机这三种不同的开关负载下进行讨论。

造成系统损耗的因素有四点：由于导通器件时所需的输入电流和/或电压而引起的输入或驱动功率损耗；当器件处于导通状态时所产生的饱和或静态损耗；当器件被导通和断开时由于转换时间而造成的开关或动态损耗；以及由于漏电流和电源电压的乘积而产生的断开损耗。一般来说，断开损耗很小，因为最新的半导体器件的漏电流很小，在计算系统损耗时可以忽略不计。

不同的半导体器件的输入功率损耗相差很大。例如，一个高电压开关晶体管的电流增益可能会比较低，从而需要比较大的基极输入电流才能将其充分导通。而一个 MOSFET 的静态输入阻抗很高，只要很小的输入功率就可使其导通。

图 12-1 给出输出功率损耗的情况。可以发现取决于开关频率和开关时间的开关损耗占系统总损耗的大部分。因此，应用于高频时，由于开关损耗居支配地位，所以应该使用快速开关器件。与此相反，在低的开关频率应用中，低的或饱和损耗就显得比较重要了。

功率 MOSFET 被认为是非常快速的开关器件，但它们是否在所有或大多数开关应用场合中都比双极型器件更加有效呢？回答是这要视情况而定。效率是损耗的一个测度，在开关型电路中，不论是导通还是断开，其损耗主要都由开关损耗和饱和损耗组成。由于开关损耗是开关频率的函数，而饱和损耗比较稳定，所以，随着开关频率的变化，哪一种损耗居于支配地位亦会发生变化。因此，在低频应用中，具有低饱和或导通电压的器件，正如通过对器件外壳温度的测试所显示的那样，损耗较小。而在高频应用中，开关频率越高，损耗越少，这适用于所有类型的半导体器件，包括功率 MOSFET、双极型晶体管、复合晶体管（达林顿管）、GTO（门极关断）、SCR 硅可控整流器件或 IGBT（一种标准的硅可控整流器也可与整流电路一起使用，然而，由于需要附加电路和随之而来的费用增加，故在此不作讨论）。

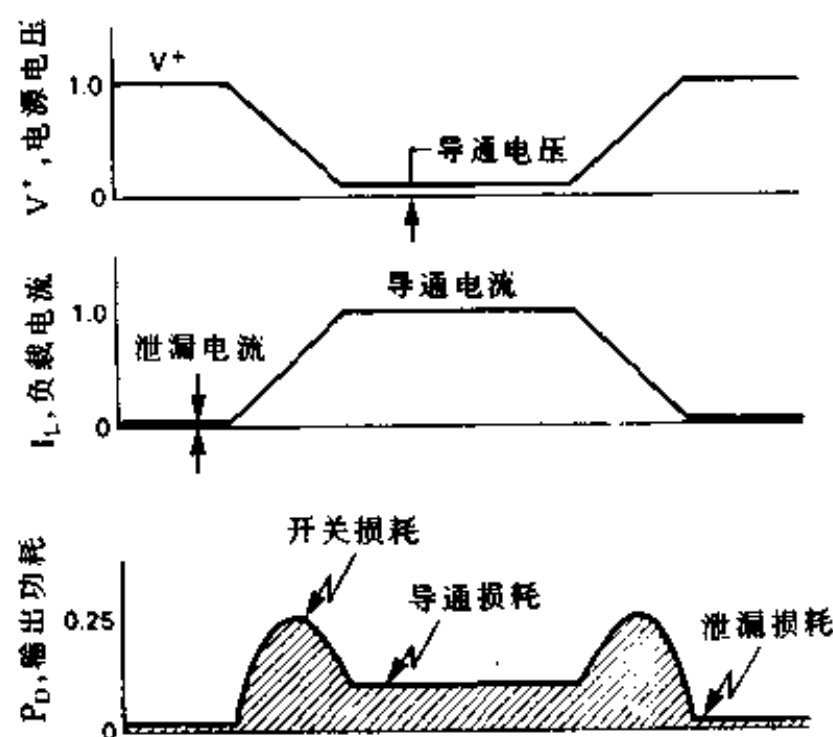


图 12-1 阻性负载时的标准开关波形

高电压器件温度测试

——功率 MOSFET 与双向开关型 I、II 器件进行比较

测试器件的相对效率，即测试器件总损耗的一个简单方法是测量器件外壳的温度。这是通过把一个热电偶附着在一个 TO-204 (TO-3) 安装法兰上或 TO-220 塑料管壳的安装翼片上实现的。首先对三个高压开关晶体管的开关效率进行比较：2N6545，是最先为开关使用的一批晶体管中的一种被称为开关型 I (SM I)；MJ16004，是一种 (新型的) 最新式的开关型晶体管 (SM II)，它是为高频使用而设计的；以及半导体功率 MOSFET MTM5N40。所有这些器件的半导体底座大小差不多，有相近的额定标称值 (见表 12-1)。所有器件是用几乎完全同样的负载进行测试的，并采用同一测试电路进行驱动，只是正向输入电流 (I_{B1}) 和输入电阻对具体的被测器件单独定标的。反向电流或截止电流来自同一输入箝位晶体管开关，该电流 (I_{B2}) 的幅值取决于被测器件 (DUT) 所存贮的电荷。

表 12-1 DUT 的技术条件 (特性)

参 数	SM I 2N6545	SM II MJ16004	MOSFET MTM5N40
尺寸大小 (面积)	160×160mil (25600mil ²)	157×175mil (24649mil ²)	142×142mil (20164mil ²)
I_c, I_b	8.0A	5.0A	5.0A
V_{CEO}, V_{DSS}	400V	450V	400V
V_{CE} (饱和) (最大) V_{DS} (饱和) (最大)	1.5V@5.0A	2.5V@3.0A	2.5V@2.5A $R_{DS(on),max}=1.0\Omega$
V_{CE} (饱和) (标称) V_{DS} (饱和) (标称)	0.3V	0.3V	2.2V@0.9A
h_{FE} (最小) g_{fs} (最小)	7.0@5.0A	7.0@5.0A	2.0mΩ@ 2.5A

由于对导通和断开的输入驱动可以选择在最佳开关速度，所以那些被选择的驱动电压值通常可在数据表中查到，即对于 2N6545 和 MJ16004 增益分别为 5.0 和 7.0，截止偏压分别为 -5.0V 和 -2.0V，对于 MTM5N40，栅极驱动电压大于 10V。

由于频率改变阻性负载电流可以保持在 2.5A 的一个恒值上，所以可以测试温度上升与频率的关系 (即比值)。考虑到实际的负载通常都是感性的，由于矩形负载线电感的关断开关损耗大于导通开关损耗，所以在单一频率 (75kHz) 处，也进行了电感的测试。由于双极型器件和 MOSFET 器件的导通电压和关断时间不同，所以负载电感值必须略有不同，以达到相同的集电极 (漏极) 尖峰电流。在 75kHz 处的测试得出，当 V_{CC} 和 V_{DD} 为 +16V 时，电感值分别为 32μH 和 27μH，突跳峰值电流大约为 3.0A。

温度上升测试电路 (图 12-2) 是由一个计时时钟和三相计数器组成的，它依次驱动三个相应的开关电路，因此，每个被测管子在工作周期的 33% 时间内被驱动。而在高频时，具

有较长存贮时间的被测器件在较长的工作周期内被有效地供给电压。因而具有较大的饱和损耗，从而成为器件温度上升的原因之一。例如，在 150kHz 频率时 ($6.7\mu\text{s}$ 的周期)，33% 直流驱动导通时间大约为 $2.2\mu\text{s}$ ，当存贮时间仅为 $1.0\mu\text{s}$ 时，它将引起大约 48% 的导通时间功率的损耗。

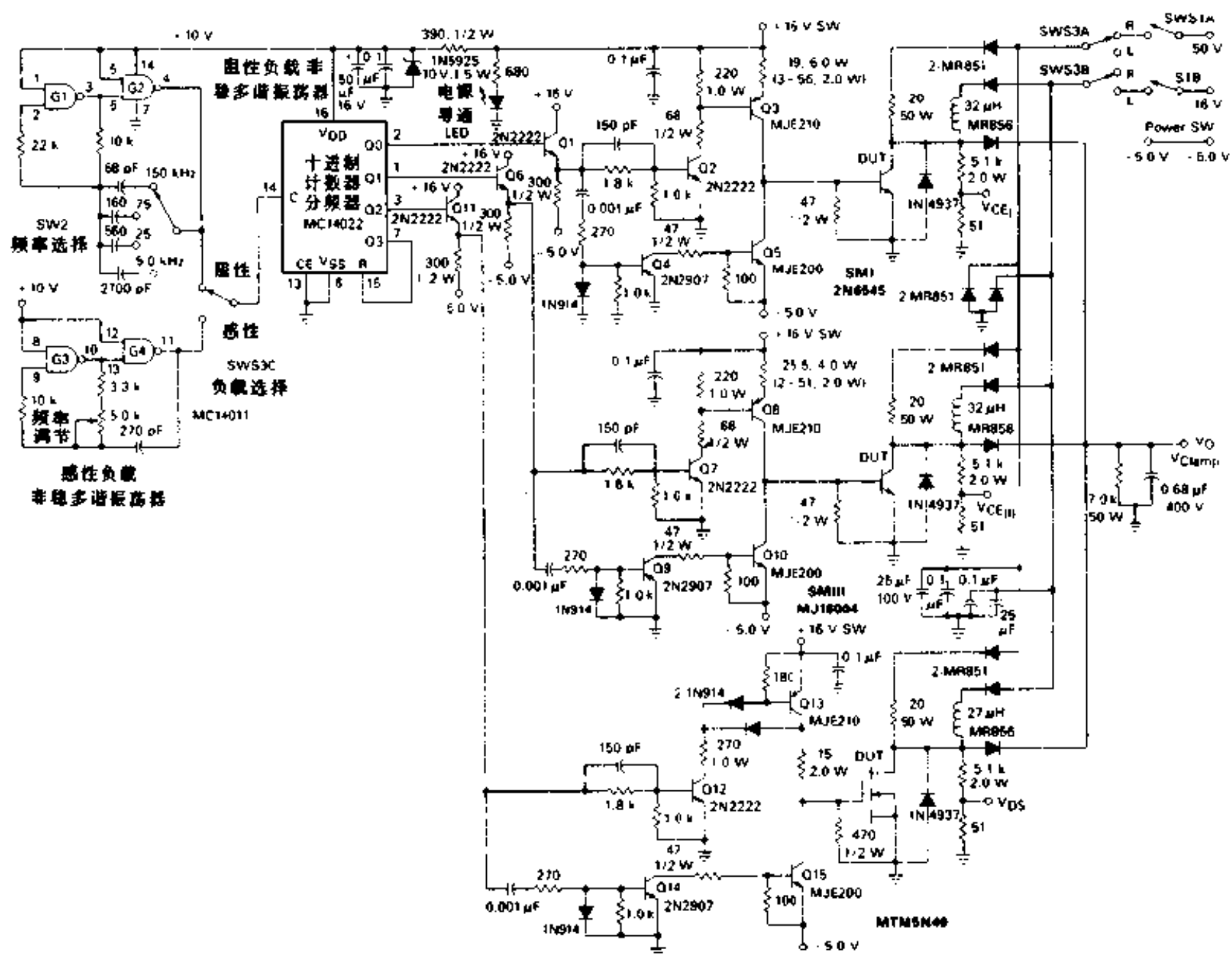


图 12-2 开关型 I、II 和功率 MOSFET 的温度上升测试线路图

测试系统的计时时钟是用两个 CMOS 门构成。RC 非稳态多谐振荡器，一个阻性负载，另一个为感性负载。由开关控制时基电容器，对于阻性负载，可将频率调至 5.0、25、75 和 150kHz。对感性负载，时钟电路可将频率调在 75kHz 的固定频率上。这些 MV（多谐振荡器）的时钟电路的输出加到八进制计时分配器 MC14022。而 MC14022 连接成三相环形计数器，各自与射极跟随器相联，其正向输出控制三个完全等同的驱动器。

通过导通 NPN 晶体管 Q2 和 Q7 及跟随着的 PNP 管 Q3 和 Q8，双极型晶体管建立起正向偏置电流。为减小存贮时间，将 Q3 和 Q8 接成恒流源，以对 2N6545 ($\beta_F=5.0$, $I_{B1}=600\text{mA}$) 和 MJ16004 ($\beta_F=7.0$, $I_{B1}=430\text{mA}$) 提供峰值为 3.0A 的感性负载电流的基极电流。通过导通 PNP 型晶体管 Q13 (Baker 被箝位到最小 t_s) 功率 MOSFET 就可产生大约达 15V 正向栅极电压，15Ω 的限流电阻器提供低的源极阻抗以对 MOSFET 输入电容 C_{iss} 进行快速充电 (从而起到开关作用)。

为了快速使 DUT 截止，反向偏置电压 $V_{BE(off)}$ 或 $V_{GS(off)}$ 可以通过对 Q4、Q9 和 Q14 的偏

置电路中的阻容网络对输入脉冲进行微分而求得。由此产生的负向脉冲与输入脉冲的后沿是一致的，因此使随后相应的 PNP 晶体管 Q3、Q8 和 Q13 导通大约 $3.0\mu\text{s}$ 。然后这些晶体管去导通 NPN 晶体管 Q5、Q10 和 Q15，它们的射极接负电压，因此，反向偏压及由此而产生的反向偏流（对于双极管为 I_{B2} ）紧跟着导通脉冲立即被提供给 DUT $3.0\mu\text{s}$ 。反向偏压可以改变来限定它对开关速度、功率损耗和外壳温度上升的影响。对于以下所述的温度测试，偏置电压分别调到 -2.0V 和 -5.0V ，设想的最佳值被列在各自的数据表格中。

有些是电感线绕电阻的阻性负载，它们在导通时开关电流上升时间由 L/R 时间常数（图 12-3）所限定，而与输入驱动电压无关。然而，关断电压和电流开关时间受截止偏压影响（图 12-4）。所以，在最佳偏置电压时，开关损耗及产生的外壳温度可减至最小。这一点可从表示在两个截止偏压时的温度随频率而上升的图 12-5 中的各曲线图中明显看出来。当开关损耗起主导作用的情况下，在较高频率处，应用最佳偏压时，所有三个器件都显示出较低的外壳温度（ $1.0\sim 3.0^\circ\text{C}$ ）。

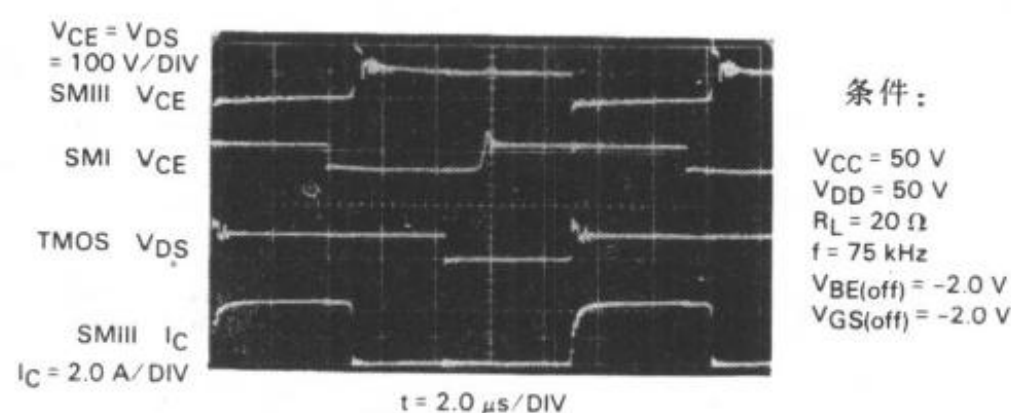


图 12-3 在 75kHz 时的 DUT 的阻性负载开关波形

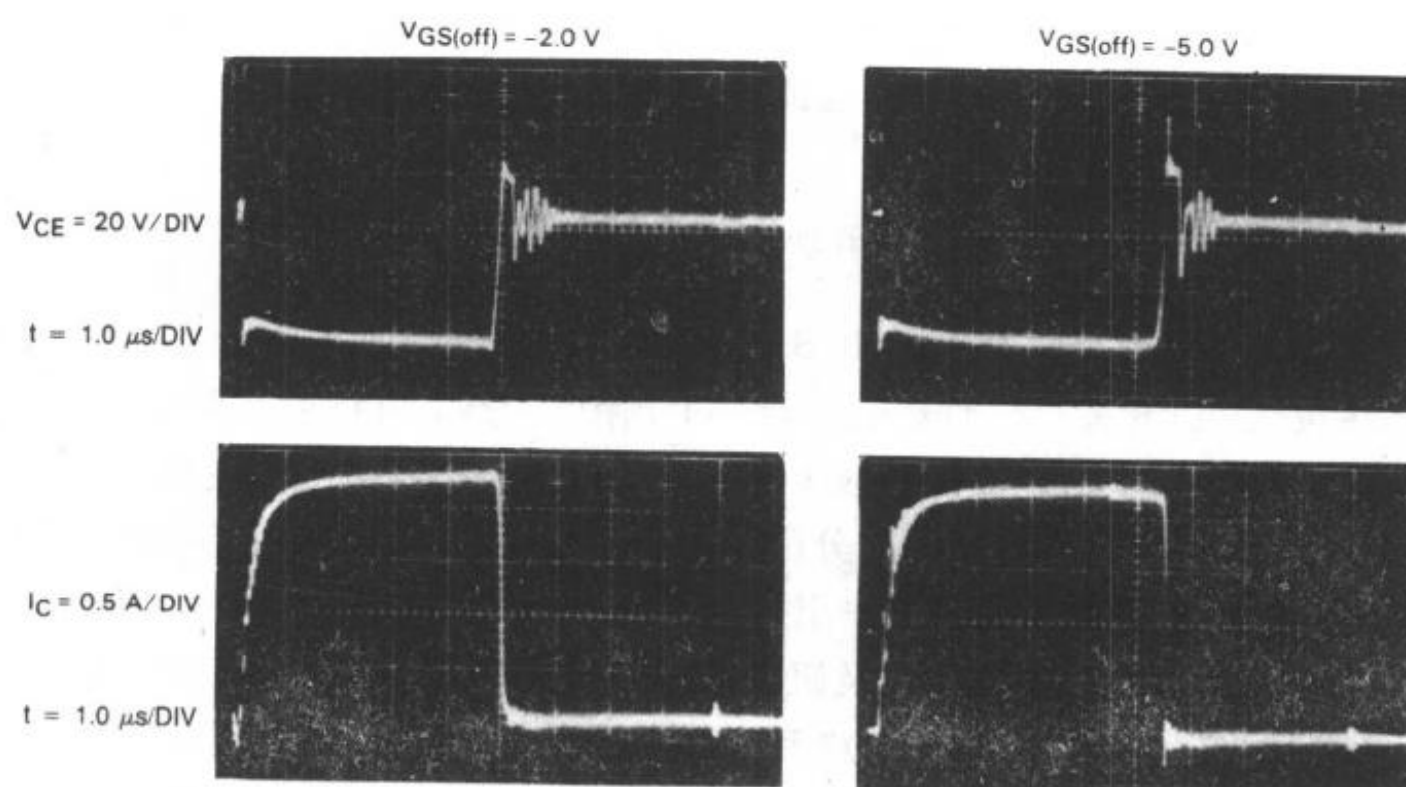


图 12-4 两个截止偏压时的开关型 ■ MJ16004 的阻性负载开关波形

在较高截止偏压时，功率 MOSFET 在工作期间也比较冷，这是因为当箝位到一个更大的负电压时，充电的输入电容 C_{iss} 更快放电的缘故。因此，开关关断速度被改进。

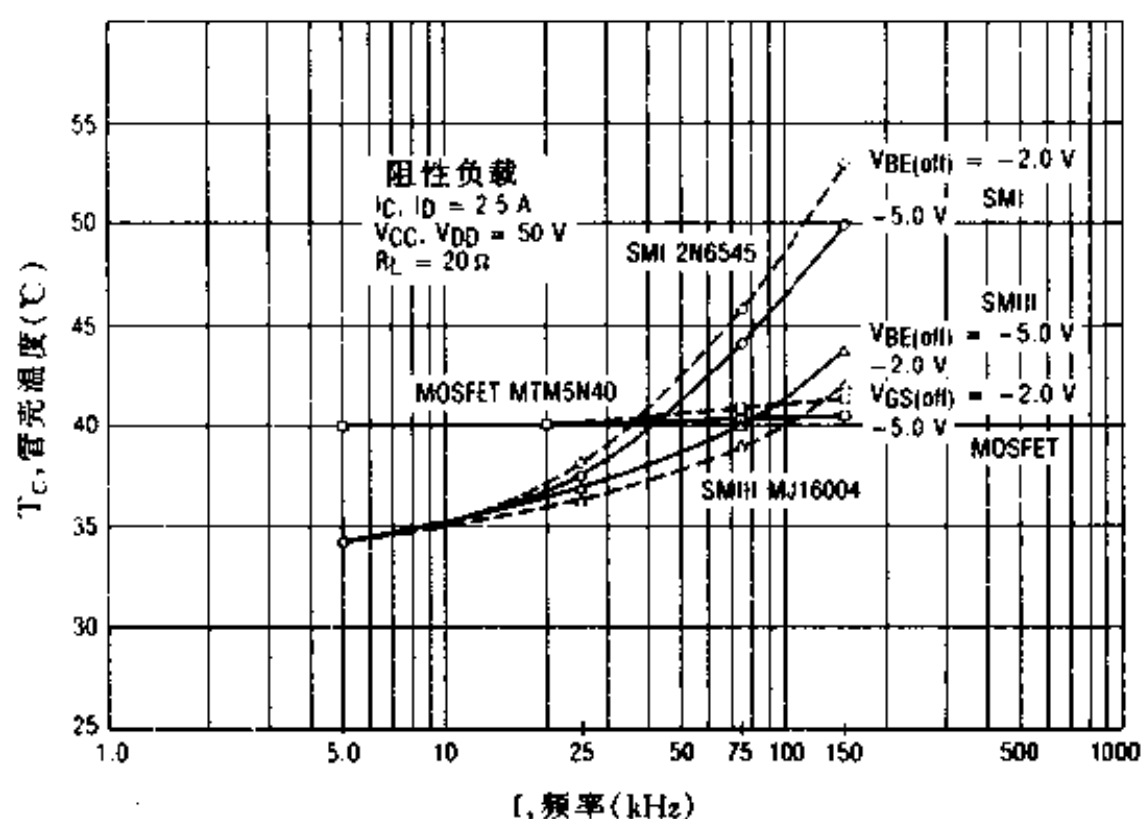


图 12-5 开关典型温度升高与频率的关系曲线

在低频时，导通损耗占主要成分的两个 2N6545 (SM I) 和 MJ16004 (SM II) 都具有与 $V_{CE(sat)}$ 成正比的温度上升值，二者大约是 2.5A 时为管压降 0.3V。功率 MOS 晶体管在 2.5A 电流时大约有 2.2V 的导通电压降，因此具有大约 0.9Ω (最大为 1.0Ω) 典型值。从而引起较高的外壳温度。当频率增加时，非常快的开关 MOSFET 产生一点点 (额外的) 附加的开关损耗，因而产生一个相对恒定的外壳温度。

最初生产的 SM I 晶体管，由于其相对低的开关速度 (管子为 20kHz 的应用而设计) 而显示出预定的随频率增加而增加的温度上升值。对比之下，开关型 II 晶体管 MJ16004 是为其工作在一个较高频率范围上设计的，具有改善了的反偏安全可靠的工作范围，该管显示出低得多的外壳温度上升。事实上，工作在频率可高达 75~100kHz 的范围上与功率 MOSFET 管比起来温度更低。

图中所示温度上升曲线是根据典型的器件而得到的。尽管在有些情况下，由于器件加工中的微小区别，温度测试再现性和精度上的稍微不同，截止偏压的影响也不是那么明显，所以对大约 10 套器件进行测试而得出相似的测试结果，但特别地对温度的小的差别却是被确定出来了。

虽然这些曲线显示出一定的温度，但温度上升的幅度也只是相对值，因为很明显，它是所选择的散热片的大小和效率的一个函数。基于这一考虑，对于较高温差测量需要提高外壳温度时，应选择小的散热片。其次，散热片 (DUT 用小的，阻性和感性负载的用大的) 彼此隔热以减小相互间的热耦合作用。DUT 散热片装在陶瓷支座上，负载散热片装在塑料垫圈上以减小热量传导到机壳，进而传到每个器件上去)。

当已知所用的散热片的热电阻 (R_{OSA}) 和外壳温度与热电阻之间的关系 ($P_D = T_C - T_A / R_{OCS} + R_{OSA}$) 时，图 12-5 中的垂直温度轴也可以用功率损耗 (P_D) 标定。然而，对研究相对效率来说，测量器件外壳温度就可以了。

对于箝位电感负载，最大开关损耗一般出现在管子的截止期内，这是由于矩形负载线，

使得管子同时受到大电流、高电压的作用。

图中所表明的这些电感负载模拟一个回扫开关调节器，使 DUT 将导通期内存贮在电感中的能量在其截止期间经过各自的箝位二极管传输到阻容负载上去。通过合理选择该负载，所引起的箝位电压可调到大约 $250V_{dc}$ 。实际上的集-射峰值电压 V_{CEM} 可能超过此值，这取决于集电极电流下降时间 t_{fi} 与箝位二极管正向恢复时间线路布置的合理程度。对于这个电压尖峰，超过电源箝位电压 $100V$ 是很平常的。

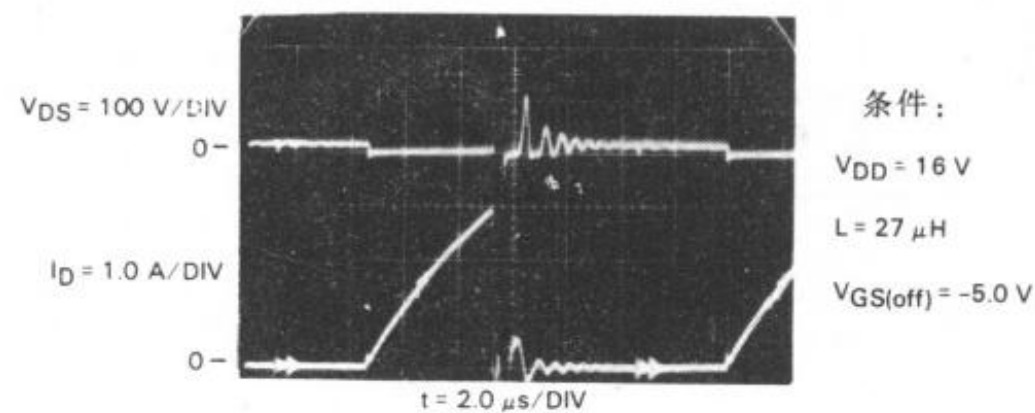


图 12-6 MTM5N40 的箝位电感负载开关波形

图 12-7 照片表明了 2N6545 当变换其偏置电压时对开关速度及效率的影响的一个例子。注意在不同偏压时的 t_s 、 t_{fi} 、 V_{CEM} 和集-射电压上升时间 t_{rv} 的不同。在大约 $-5.0V$ 的最佳偏压时，管子关断最快，能量损耗较小，引起一个低的外壳温度。这对其它两个 DUT 也是如此情况。

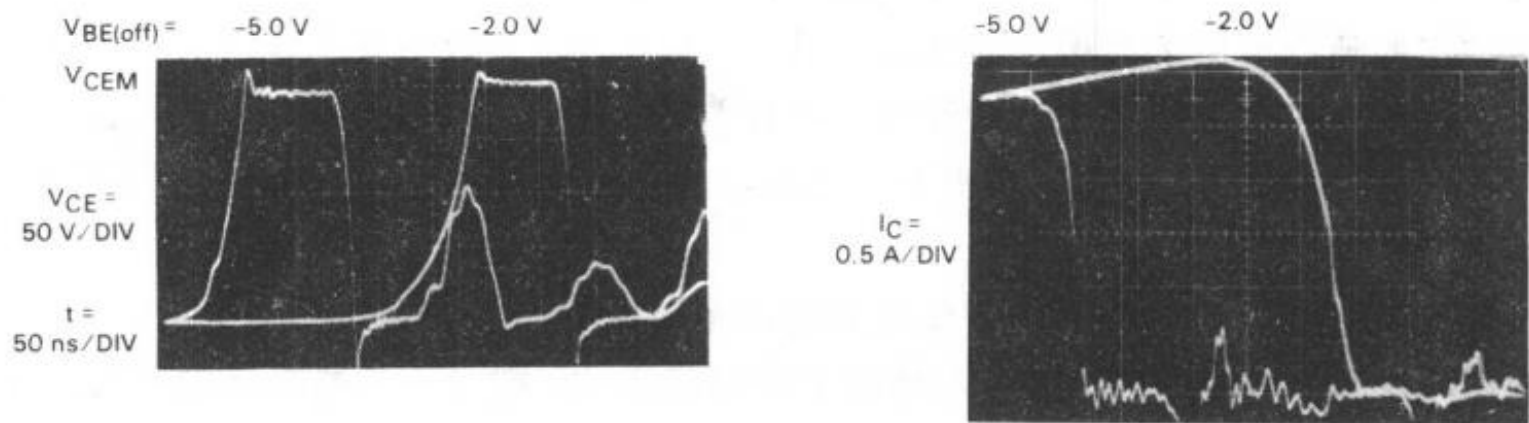


图 12-7 开关型 2N6545 在两个截止偏压时的箝位电感负载断开（截止）时间

虽然不存在与 FET 相关联的“存贮时间”，但存在着由于器件充电电容而引起的一个截止延迟时间 $t_{d(off)}$ 。

图 12-8 中的三张照片表明当截止偏压分别为 $0V$ 、 $-2.0V$ 和 $-5.0V$ 时的截止时间。正如前面所述，较大的截止偏压引起最短的截止时间。

表 12-2 列出了在电感负载情况下，对三个 DUT 的平均温度上升的测量数据，该组数据表明了截止偏压对器件效率的影响。

在 $75kHz$ 处，对电感负载和电阻负载的测试结果直接逐点比较是不能进行的，这是因为各自的负载电流及引起的功率损耗是不一样的。然而，对它们的趋势可以进行比较，即，

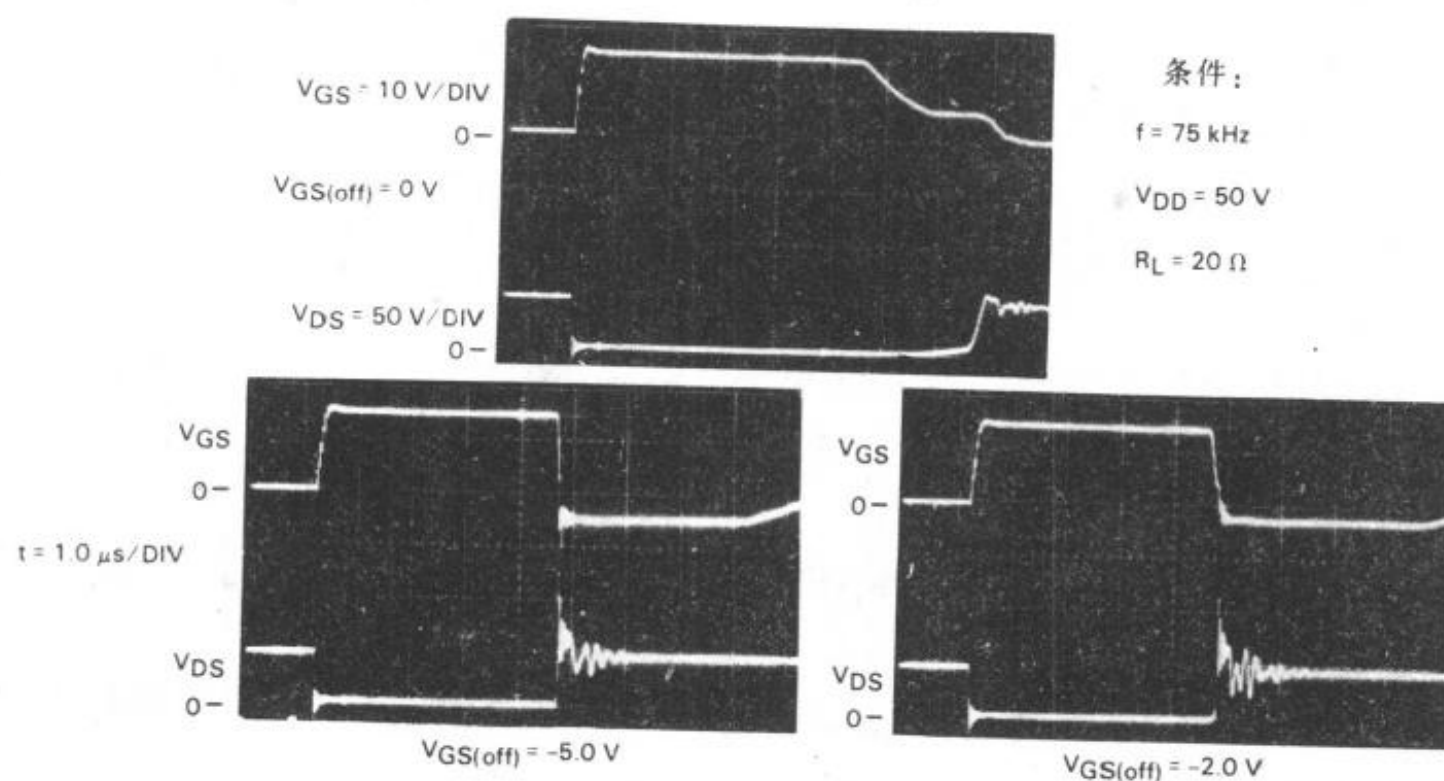


图 12-8 阻性负载情况下, MTM5N40 截止时间内截止偏压 $V_{GS(off)}$ 的影响

对于电感负载的测试表明,在最佳截止偏压与另一个电压测试之间会产生较大的温差值,对于 SM I, 该温差高达约 15°C 。相比之下,对电阻负载进行测试表明,温差只有几度。这是由于断开时间的改变对电感负载产生的能量压力影响大于对电阻负载的影响。

此外上述工作的双极型晶体管器件,即 2N6545 和 MJ16004 的 β_F 分别约为 5.0 和 7.0, 还可以进行一个简单的测试,用相反的 β_F , 即对 2N6545 和 MJ16004 分别用 7.0 和 5.0 进行工作。尽管由于不同的偏压驱动引起了双极管动态饱和特性的微小的变化,然而对关断时间(甚至用截止置偏),功率损耗的变化即使有的话也是很小的。在对可重复性进行测试中,总的外壳温度大致一样,因此,建议没多大必要保持一个确定的 β_F 值。

表 12-2 一个电感负载的温度上升

截止偏压	外壳温度		
	SM I	SM II	MOSFET
-2.0V	58 $^{\circ}\text{C}$	34 $^{\circ}\text{C}$	42 $^{\circ}\text{C}$
-5.0V	43 $^{\circ}\text{C}$	39 $^{\circ}\text{C}$	38 $^{\circ}\text{C}$

通过以上这些测试结果和对阻性负载温度曲线和开关波形照片的分析研究,可总结出以下关于所测器件开关效率的结论:

- 温度上升的数据结论是器件总损耗包括输入激励损耗的一个度量。
- MOSFET 的很高开关速度和需要低的驱动功率以及比较简单的驱动电路使得 MOSFET 成为引人注目的高频器件。
- 在大约 100kHz 以上频率内,功率 MOSFET 与所生产的开关型双极晶体管相比较则效率更高。
- 当 MOSFET 有足够的反偏时,与双极管的 t_r 相比, MOSFET 具有更低的 $t_{d(off)}$, 因此,它允许有更高的工作频率。
- 在低频时,导通损耗(静态损耗)占主要成份,因此,双极管与早先生产的功率 MOSFET 比较起来效率更高。Motorola 公司的技术优势已经把功率 MOSFET 的导通电阻 $R_{DS(on)}$ 做得非常小,以致使这些器件与双极管比起来不相上下。

• 在 75kHz 处, 当截止偏压为 -5.0V 时, 开关型 ■ MJ16004 优于功率 MOSFET MTM5N40, 并且在 -2.0V (对 MOSFET 为 -5.0V) 的最佳偏置下通常工作在冷却状态。虽然在本章内容中没有作出说明, 但 SM I 和 SM ■ 的安全工作没有 MOSFET 那样大。

• 对于实际上的电感负载, 关断损耗起主导作用, 没有足够大的截止偏压对 SM I 会由于更低的关断速度, 引起较高的外壳温度上升 (例如, 在 75kHz 与 $V_{BE(off)} = -5.0\text{V}$ 、 $T_c = 43^\circ\text{C}$ 比较起来, $V_{BE(off)} = -2.0\text{V}$ 时, $T_c = 58^\circ\text{C}$)。

• 对于双极型器件和 FET, 最佳截止偏压将减小关断时间及由此所产生的开关损耗, 但不一定减小存贮时间, (例如, 对 SM ■ 在截止偏压分别为 -2.0V 和 -5.0V 时出现的 $t_{f(min)}$ 和 $t_{s(min)}$)。

• 在最佳截止偏压情况下, SM ■ 的 t_f 近似于非常快的 MOSFET 的 t_f 值, 可是, 其驱动功率却是很高的。

• 当开关型 12N6545 具有足够的大约 -5.0V 的截止偏压 (或仅向偏置电流) 时, 它可以同等地工作在 75kHz。

• 当不采用反馈技术对存贮时间进行补偿时, 由于增大的导通损耗, 在高频率时存贮时间就会影响效率。

• 双极型管的特别有效率的 β_F 对于效率问题也不是关键性的, 这是因为导通时间取决于负载, 当 β_F 被改变时, 截止偏压趋向于减小存贮时间影响。然而, 在导通期间, 过大的过激励能够引起 I_c 后部上升, 这就会导致大的温度升高。

第十三章 特性与测量

13.1 功率 MOSFET 的正偏安全工作区 (FBSOA) 测试

功率 MOSFET 实质上不会有二次击穿, 至少从二次击穿是为双极型晶体管定义的这一点来说是如此。如果二次击穿定义为总的允许功率消耗随漏-源电压的增加而减小, 则功率 MOSFET 确实显示了一种二次击穿特性。但是, 该现象发生在超过器件额定值的功率水平。从测量的安全区可输出功率来说, 功率场效应晶体管在低压时比在压力接近 $V_{(BR)DSS}$ 时显示了更高的功率耗散能力。

在场效应晶体管中造成显著的二次击穿现象类似于双极型二极管的二次击穿现象: 漏-源电压的增大使耗尽区变宽, 从而使可用于传导电流的硅区域减小。在场效应晶体管中, 高的电压在某种程度上缩小了竖直沟道, 减小了传导电流的总面积和最大功率耗散能力。与双极型晶体管不同, 这里没有伴随电流限制的再生作用, 因此不会发生二次击穿。一般来说, 当器件在其电压和电流额定值范围内工作时, 只须考虑热额定值。

为保证功率 MOSFET 在 FBSOA 曲线 (基于热阻的直流功率的理论轨迹) 的热限制部分不表现出任何缺陷, 被测器件 (DUT) 在超过曲线的范围时要受能量的水平的制约。象在断开开关 SOA 的情况下一样, 采用一个非破坏性的测试仪具有许多优点, 可以使得能够用一个 DUT 生成一个完整的曲线。

采用一个非破坏性的装置的重要优点是它可以给出单个的器件的发展趋向, 并从该趋向得出实际的失效机理的线索或暗示。例如, 在高电压、小电流时 SOA 斜率的增大往往预示由于负电阻效应而发生的破坏。

非破坏性装置在大功率供电的情况下也比较安全。如果用一个破坏性测试仪把一个器件短路, 就没有任何东西能限制电流的增大, 直到器件因发热过度而断路为止。这个非破坏器件能断开电源和使能量在电路中无损害的耗散。

13.1.1 基本理论

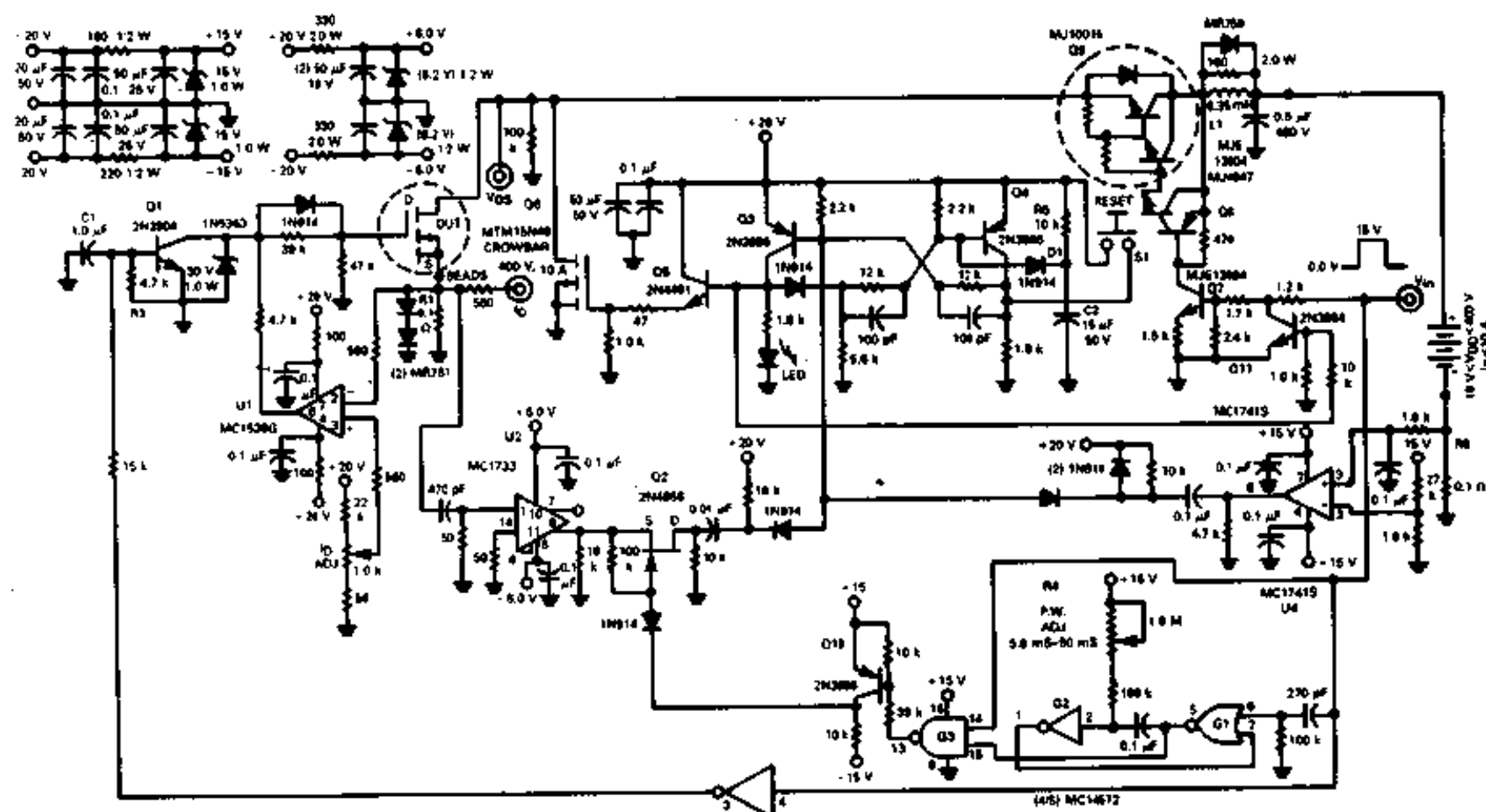
当一个功率 MOSFET 刚刚工作在其安全工作区 (SOA) 之外时, 漏极电流 I_D 将随着器件的击穿而突然迅速增大。除非散发的能量能被迅速地移开, 否则器件将遭到破坏。非破坏装置的基本思想是感测这一电流骤增并尽快地使能量从被测器件转移。装置能在 100ns 内产生反应且通常能保持器件不致破坏。

13.1.2 电路说明

电路发挥三个主要功能。首先, 为了向被测器件提供规定的能量, 它控制需要的漏-源

① 本章的数据是根据第一代产品得出的。由现在的新器件所得出的数据可能与这些数据不尽一致, 但本章新给出的结论和建议仍然是适用的。

N 沟道电路示于图 13-1。(P 沟道电路与 N 沟道电路实质上是相同的,只是电源供给、逻辑输出和互补晶体管要反相。)受控的漏极电流通过围绕其栅-源极的反馈回路加到连接于功率 MOSFET 的公共源极上,而运算放大器 U1 是误差放大器。该回路将强制源极电压(在漏极电流敏感电阻 R1 两端建立起来的)等于加在 U1 的非倒相输入上的参考电压。栅-源电压将自动地选取产生需要的漏极电流所需要的电压值。因此,通过 I_D 调节控制来改变参考电压的值,即可选取符合规定的、精确的漏极电流值。



漏-源电压是通过一个限流电感 $L1$ 和一个串联的达林顿 NPN 开关 $Q9$ 加到被测器件上的（以减小短路电流）。因此，漏极电压近似地等于 V_{DD} 电源电压（忽略 $Q9$ 的 $V_{CE(sat)}$ ）。

一个快速视频放大器 U2 也在监视被测器件的源极,看是否有电流尖峰信号。该放大器被连接成能产生一个带宽为 40MHz 的 200 倍的电压增益,能够很快地检测出破坏性的电流尖峰并将其放大到能触发一个快速分离 RS 触发器。

— 210 —

和输入脉冲触发单稳态多谐振荡器 G1 和 G2 控制的。因此，通过改变脉冲宽度调节电阻 R4，可以把开关漏极电流的前 5.0 到 50ms 消隐掉以防止电路的误触发。

一个“真正的”触发脉冲将接通其输出由 NPN 晶体管 Q5 所缓冲的触发器 PNP 晶体管 Q3。然后正扫信号将接通消弧功率 MOSFET Q6，从而迅速把能量从被测器件分流。Q3 的高电平触发输出也将使发光二极管接通——表示发生一次消弧——并通过接通晶体管 Q11 箝制住输入脉冲发生器。因此，达林顿晶体管 Q9 也是断开的。为了保护由于传输延迟而将导通大约 $30\mu\text{s}$ 的消弧场效应晶体管和 Q9，限流电感 L1 要与功率回路串联。

系统可通过按压按钮 S1 而复位，从而使触发器处于正确的状态。Q4 基极电路中的电阻 R5、电容器 C2 和二极管 D1 网络保证当每一次加上功率时触发器处于正确的状态。

该电路还具有过电流保护。 V_{DD} 电源的返回母线上的另一个电流敏感电阻 R6 监视输入电流，并将在感测到大于 10A 的电流时触发触发器。这是通过比较器 U4 和与其伴随的脉冲引导电路实现的。

示于图 13-2 的 P 沟道结构与 N 沟道结构几乎完全相同，只是它包含有自己的脉冲发生器且其供电电源和晶体管是反相的。脉冲发生器使用一个四心导线、两个输入异或门以产生所要求的非稳态多谐振荡仪 (A1 和 A2) 来向跟随的单稳态多谐振荡器 (A3 和 A4) 提供时钟脉冲。

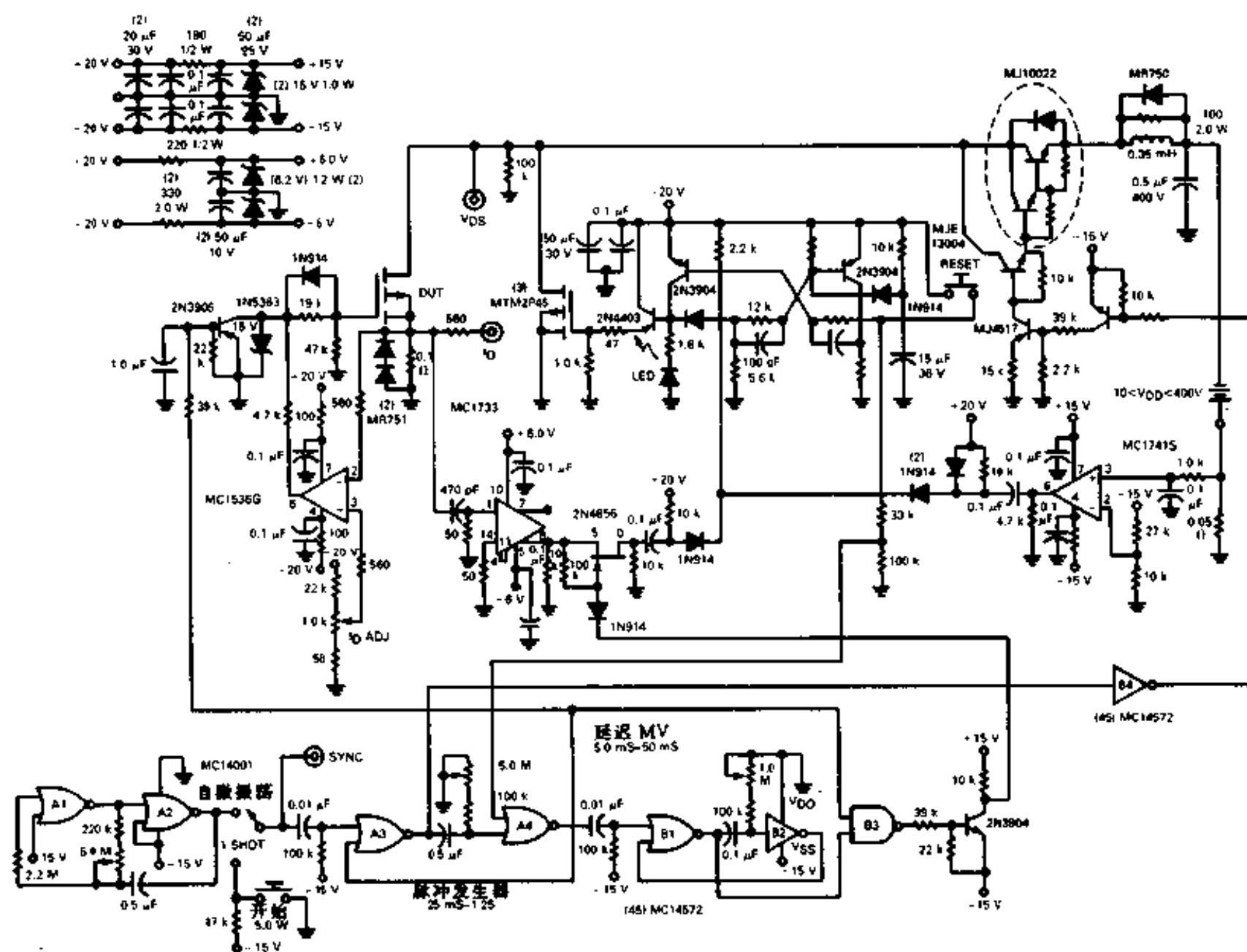


图 13-2 P 沟道功率 MOSFET 非破坏 FBSOA 测试仪

13.1.3 测试机理

使用正向偏置安全工作区 (FBSOA) 测试装置的目的是保证器件的工作仅受根据测量的 $R_{\theta JC}$ 值规定的额定功率的限制, 而不受寄生的双极型晶体管的二次击穿或任何其它现象的限制。

为了确定当装置急剧短路时器件是否真正地面临失效的危险, 使 V_{DS} 保持不变并逐渐增大 I_D 的值直到装置急剧短路为止。然后使急剧短路停止, 器件又开始产生脉冲。

通常只使用一秒钟的脉冲, 但对其它的脉冲持续时间也在进行研究。在每次脉冲之间要留有足够的时间以使冷却。一个 2 秒的脉冲不会显著改变 FBSOA 曲线。在一个 0.1 秒的脉冲期间器件能处理 20% 多的功率且 FBSOA 曲线的斜率维持不变 (图 13-3)。

该测试说明, 引起急剧短路的机理是与能量 (时间) 有关的, 即在某种程度上跟踪器件的热响应。因此, 装置急剧短路时的结温度对所有脉冲宽度来说是大体相同的。

仔细地进行测试, 即缓慢地增加能量水平, 可以保证被测器件的多次急剧短路。一个 N 沟道器件经过 30 次急剧短路后 $R_{DS(on)}$ 、漏电流或漏-源击穿电压性能并未有显著下降。

当被测器件激活消弧电路时, 使用大的鳍片和空气冷却的散热片的 TO-220MTP5N20 ($R_{\theta JC} = 1.67^\circ\text{C/W}$) 的管壳温度当被测器件激活消弧电路时上升到大约 120°C 。这样所施加的 150W 功率产生一个大约 370°C 的计算结温度。初看起来, Motorola 公司产品的额定功率有一定的安全裕量。由于额定曲线假设 25°C 的壳体温度而测量的曲线是由较高的壳体温度导出的, 所以实际的 FBSOA 防护带要更大一些。但是, 为了保证可靠性, 用户必须在规定的热极限曲线之内使用功率 MOSFET。

13.1.4 沿整个曲线的部分测试结果

许多 N 沟道曲线当画在双对数坐标纸上时非常接近一条直线 (图 13-3, 13-4)。在同一个产品系列中, 各器件的斜率非常相似且总比恒定功率耗散曲线的 -1.0 的斜率要陡。一个产品系列和另一个产品系列的曲线也非常接近, 所测试的 8 个产品系列的斜率的变化大约在 $-1.2 \sim -1.5$ 。

有的文献指出, 在电压较高安全工作区 (SOA) 曲线较陡, 这是由于负电阻现象造成的。当在漏结发生雪崩击穿时会发生这一现象, 因为漏极半导体结区击穿会使 I_D 增大。由于基片的电阻是有限的, I_D 的增大使基片中的电势增大。如果 I_D 和基片电阻足够大, 则源极半导体结会变成正向偏置, 从而加强雪崩倍增的强度。具有短沟道的 N 沟道器件对这一现象非常敏感, 但可通过减小基片电阻或增大沟道长度来缓解这一问题。对 SOA 的这一负电阻效应示于图 13-5。其用意是比较斜率而不是比较等效的底座尺寸的功率处理能力。

测试表明, Motorola 的功率 MOSFET 不受负电阻效应的影响, 即使它们使用非常短的沟道来减小导通电阻。这是由于在源极接点下扩散的附加的 P 插头所致。当器件进入雪崩击穿时, 如图 13-6 (b) 所示, 最佳雪崩电流路径是从 N 基片穿过 P+ 插头并进入源极。这使源极半导体结的正向压降变小或低于导通电压。该雪崩电流很可能是当装置激活消弧电路时 FBSOA 测试仪检测到的电流浪涌。

在更高的功率水平下, 电流可能如图 13-6 (c) 所示, 这会提高 P 区的电压。源极半导体结两端的正向电压降可能上升到导通电压之上, 从而形成负电阻现象。这就造成一个

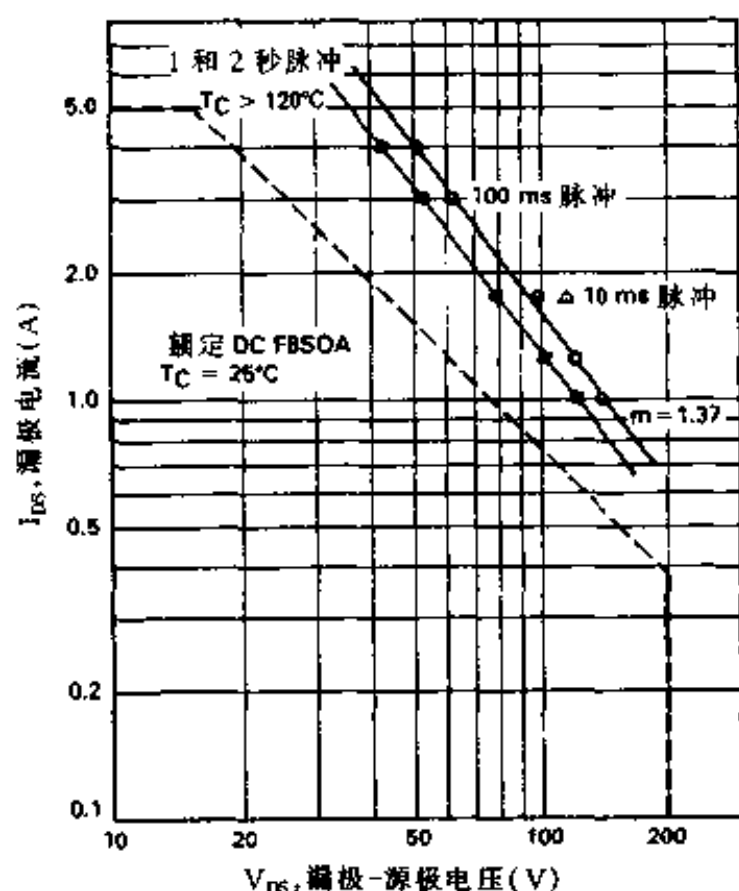


图 13-3 MTM5N20 的 DC FBSOA

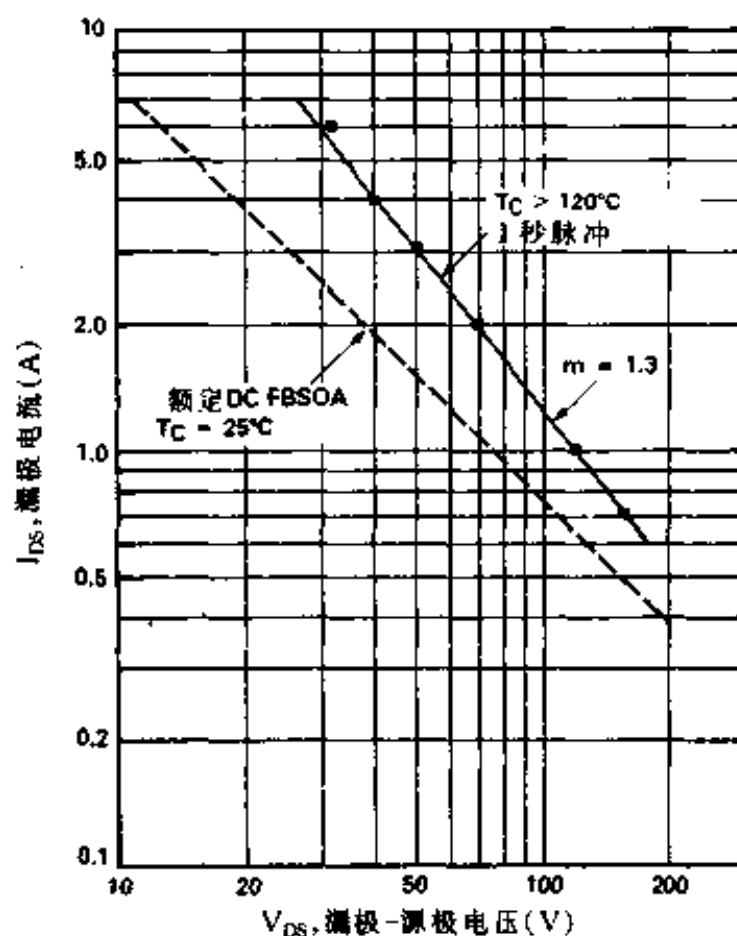


图 13-4 对 MTP7N20 进行的
直流 FBSOA 测试

正反馈机制，因为源极现在把电子注入基片从而使雪崩加剧，并有效地使寄生晶体管导通。这样一个雪崩注入很可能使器件遭到破坏。

“为什么经验的 FBSOA 斜率从恒定功率的 -1.0 斜率偏离？”以及“SOA 曲线斜率有什么重要意义？”这两个问题仍然没有得到回答。由于双极型晶体管的热阻随在恒定功率水平下电流的增加而减小，人们认为对功率 MOSFET 来说也是如此，而这可使 SOA 斜率变陡。如果 $R_{\theta JC}$ 随电压的增大（电流减小）而增大，则器件就不可能在曲线的高电压、小电流端散发那样大的功率。

为了对这一问题进行研究，在功率恒定、 I_D 和 V_{DS} ($V_{DS1}I_{D1} = V_{DS2}I_{D2}$) 变化的情况

下对 DUT 进行了多次热阻测量。开始时采用的是用开关技术测量寄生漏极到源极二极管上的电压降的热阻装置。该方法的内在测量误差会掩盖 $R_{\theta JC}$ 随 I_D 变化的任何规律。

用红外测量辐射计测量器件结温要更加准确一些。该仪器读取位于基片最热部分的中心部位的底座区的平均温度。然后，在保持 P_D 不变的情况下改变 I_D 和 V_{DS} 的值。如图 13-7 所示，象双极型晶体管一样，在 P_D 恒定的情况下， $R_{\theta JC}$ 确实随 I_D 的增大而减小。但 $R_{\theta JC}$ 10.0% 的变化不足以解释能量处理能力 ($m=1.4$) 大约为 30.0% 的变化。尽管 $R_{\theta JC}$ 发生变

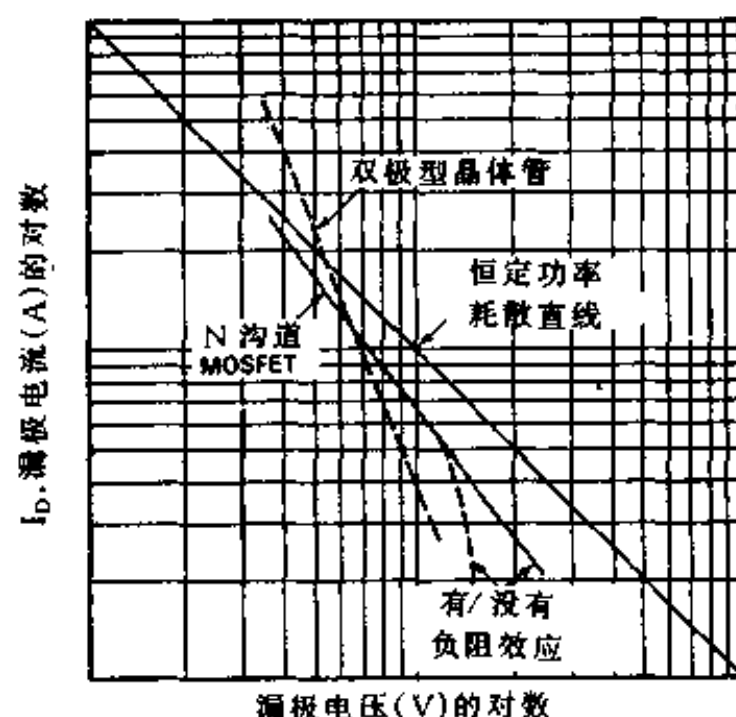


图 13-5 典型的 FBSOA 斜率的比较

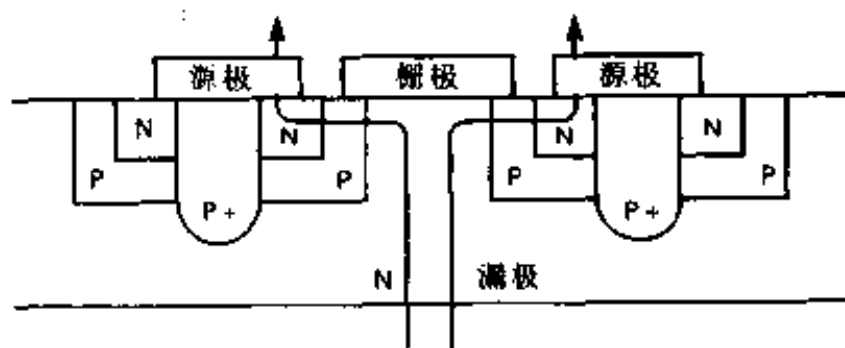


图 13-6 (a) TMOS 功率 MOSFET 中的典型电流流动

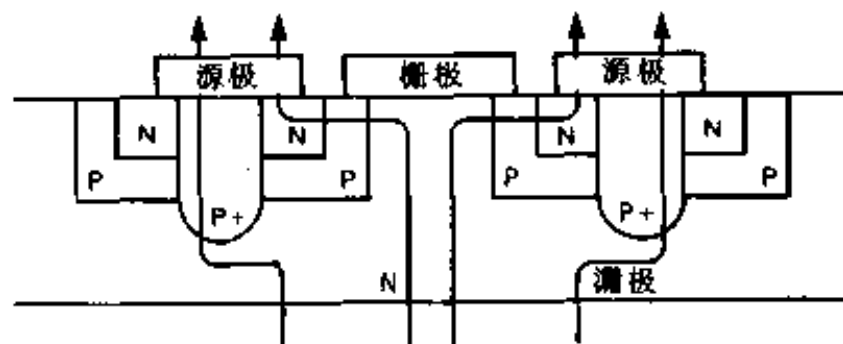


图 13-6 (b) 雪崩期间的电流

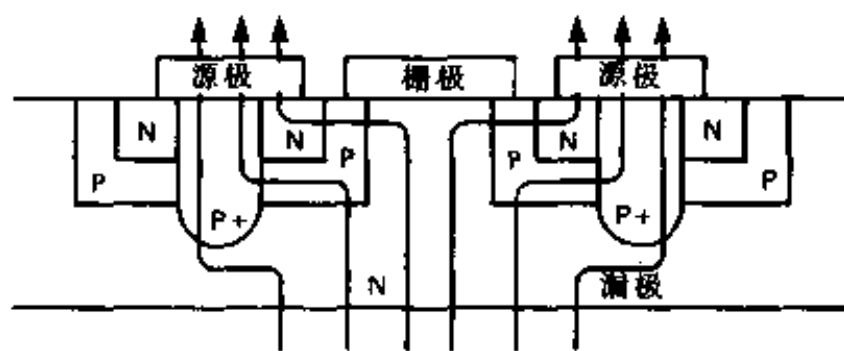


图 13-6 (c) 负电阻坍塌期间的电流

化并使 FBSOA 斜率变陡，但在这些测试条件下其作用是有限的。

从 FBSOA 测试装置所得到的曲线的斜率是结温度、 V_{DS} 、 I_D 和各种热阻的函数。由于结温上升得如此之高，故器件可能进入雪崩击穿。如曲线所显示的，这与 V_{DS} 有很强的依赖关系。失效时这一温度超过 $T_{J(max)}$ 额定值，这就说明为什么用户不能在超过分布的 SOA 曲线的情況下使用这些器件。

由于功率 MOSFET 和双极型晶体管在工作条件改变时会改变其热阻值，所以需要公布 SOA 曲线作一些改变。曲线的热限制部分现在是根据在单一的工作条件下的一个热阻读数得出的。如果这是一个最坏情况下的读数（在小电流、高电压情况下得出的），就可能把曲线的大电流、小电压部分的额定值定得太低。相反，如果读数是从曲线的大电流端得到的，就会导致在曲线的小电流端把器件的额定值定得过高。为了确定 $R_{\theta JC}$ 的变化是否大到足以要改变制造厂商得出公布的 SOA 曲线，还需要做进一步的研究。

从非破坏 FBSOA 测试仪精确导出的斜率大于负 1 的重要意义在于：一个譬如说 75W 的简单功率限制可能是不合适的，因为在有些情况下这会把器件的额定值定得过高，而在另外一些情况下（功率水平相同，但电压小、电流大）又会把同一个器件的额定值定得过

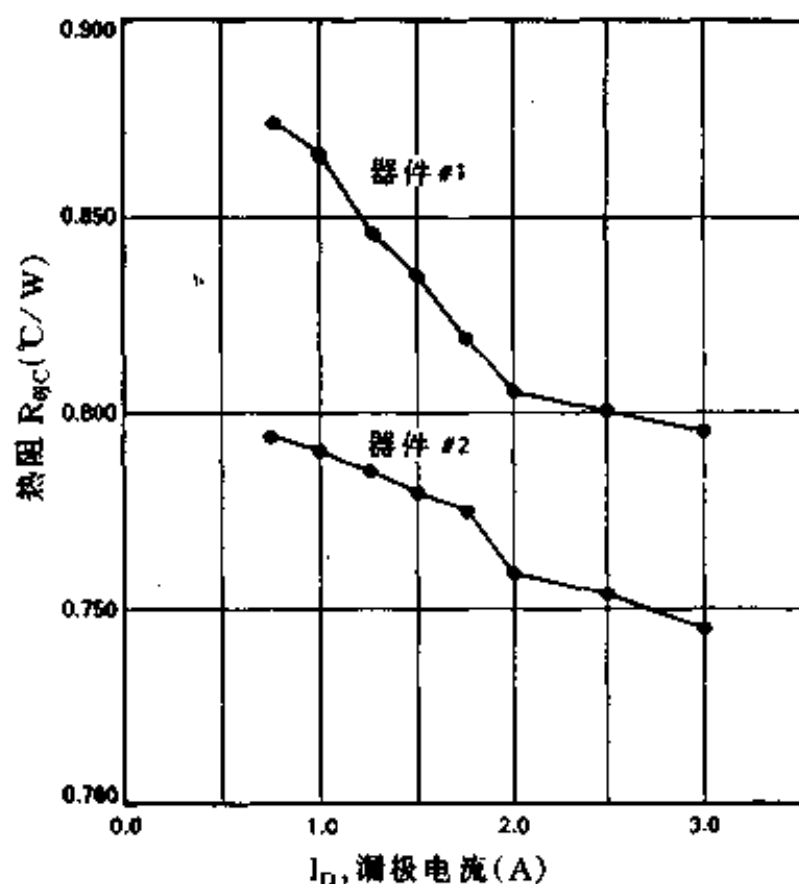


图 13-7 在 $P_D = 50W$ 时，MTM12N10 的热阻与漏极电流的关系

低。Motorola 公司把 $R_{\theta JC}$ 的额定值定得比较保守以保证在所有偏置条件下都能可靠地工作。

13.2 开关安全工作区 (SSOA)

13.2.1 功率 MOSFET 的断开开关 SOA

功率 MOSFET 优于双极型晶体管的优点之一是其优越的反偏压安全工作区 (RBSOA) 性能。功率 MOSFET RBSOA 曲线一般来说在 $I_{D(max)}$ 和 $V_{(BR)DSS}$ 是“正好合适的”(图 13-8), 这说明性能仅受最大电压和最大脉冲电流额定值的限制。换句话说, MOSFET 一般来说并不受反偏压安全工作区的限制。但对这一规则是有例外的。本手册第四章已经指出漏-源电压的迅速变化会限制 MOSFET 的 RBSOA (断开开关 SOA) 能力, 这是由于向 C_{rss} 电容的注入电流会无意中使 MOSFET 偏置。

许多实际功率负载是感性负载, 这可能在断开期间对功率开关器件造成过大的应力。由于感性负载线的特性, 开关器件(不管它是一个功率 MOSFET 还是一个双极型晶体管)可同时经受大电流和大电压的作用。

根据开关是松开的 [图 13-9 (a)] 或是用一个箝位电路加以保护的 [图 13-9 (b)] 将

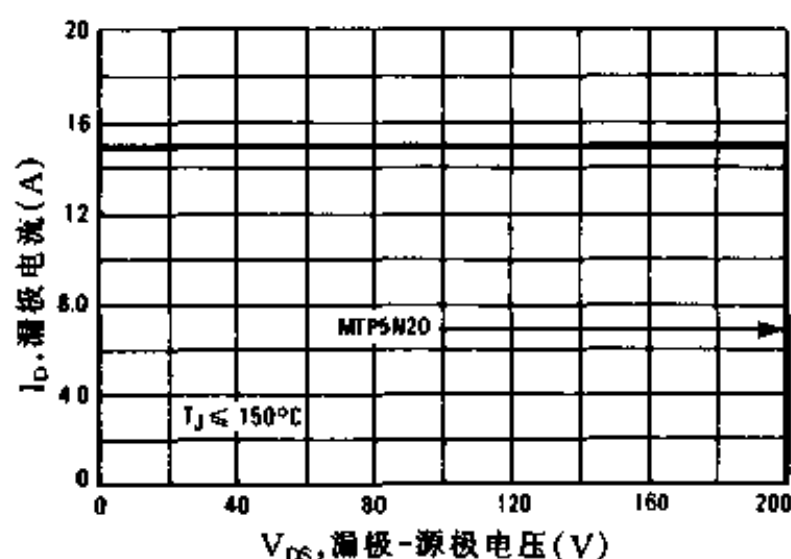


图 13-8 最大额定开关安全工作区

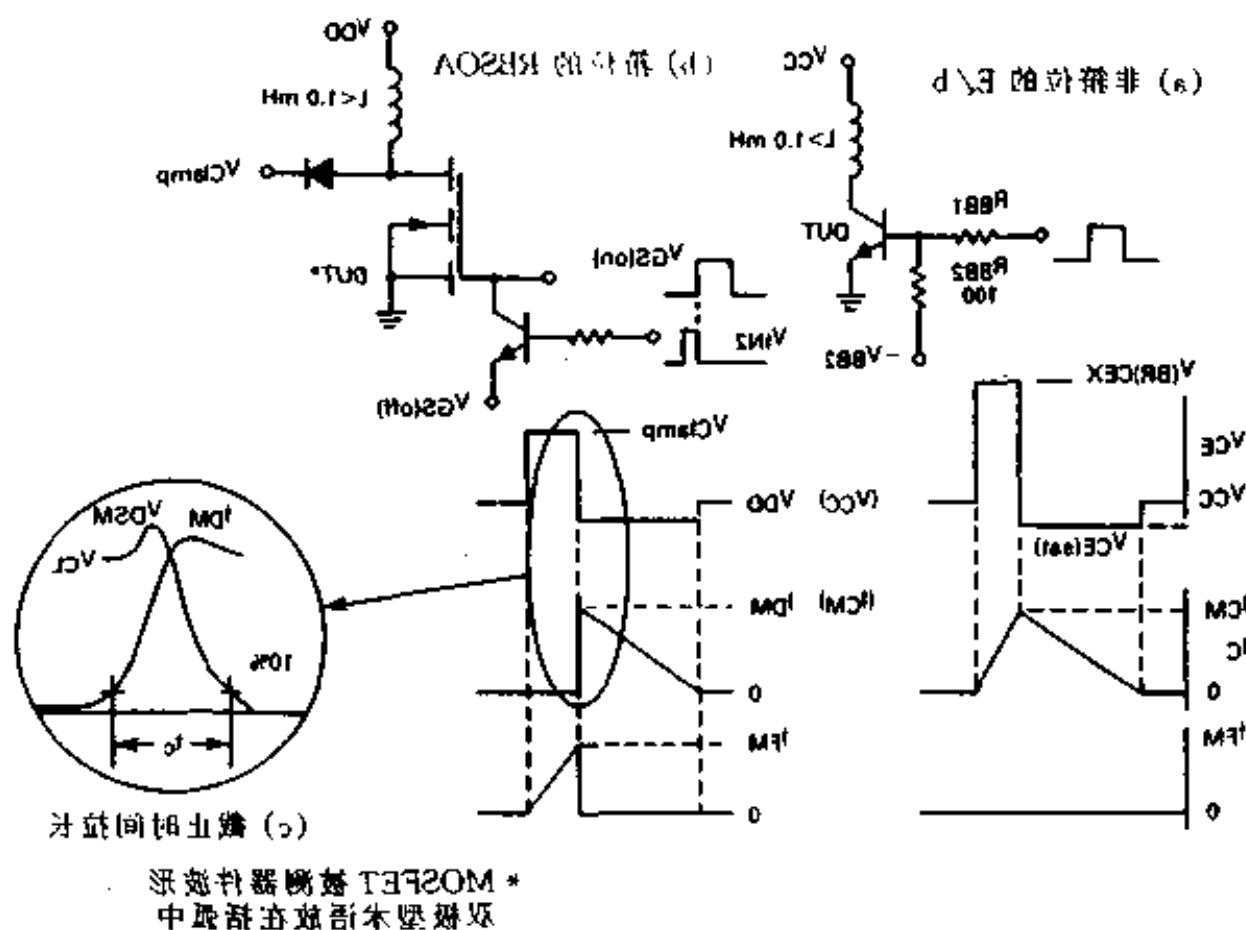


图 13-9 感性负载开关

决定电感断开期间的两个能量限制：二次击穿能量 ($E_{s/b}$) 和 RBSOA。

13.2.2 二次击穿能量 ($E_{s/b}$)

功率晶体管起初是用一个非箝位感性负载来表示其特性的 [图 13-9 (a)]。被测器件 (DUT) 一般为一个低电压的结实的晶体管, 通过一个以反向偏置电压 V_{BB2} 为终端的电阻性网络向其基极施加一个正脉冲来使之导通。集电极电流然后以一个由在集电极电路中比较大的电感的时间常数所确定的速度爬升。当被测器件断开时, 存贮在电感中的能量 ($E = \frac{1}{2} LI_{CM}^2$) 必须在晶体管中耗散掉, 这是因为在电流减小时没有一个外部电路来“抓住”这一能量。在断开的同时, 由于电感冲击, 集电极-发射极电压上升 ($V = L di/dt$)。如果存贮的能量足够大且晶体管的断开时间足够快, 该电压将回扫到器件的击穿电压 ($V_{(BR)CEX}$), 造成晶体管发生雪崩现象。因此, 晶体管必须通过把其击穿电压保持到集电极电流下降到零和电感放电时为止来散逸掉由于非箝位工作而产生的能量。器件能保持的最大能量被称为二次击穿能量 ($E_{s/b}$) 是通过增大集电极电流直到器件失效为止来确定的。由于晶体管必须吸收比较大的电感能量, 且一般来说不能保持其规定的最大电流值, 所以该电流通常小于额定工作电流。理论和实践证明, 大部分低电压晶体管由于电流拥挤在反偏压增大时 $E_{s/b}$ 是下降的。

非箝位的感性负载以一种类似的方式使功率 MOSFET 处于一种应力状态。下降的漏极电流将造成回扫电压使 MOSFET 的漏极-源极发生雪崩。

与该 $E_{s/b}$ 额定值有关的问题是导出的能量仅与该电感有关且与其 Q (质量因子, 即串联电阻) 有很强的依赖关系。不仅如此, 规定的达到 $E_{s/b}$ 的电感一般来说是相当大的, 有 10mH 或更大, 且不代表在开关模式应用中所见到的真实世界电感值。最后, 也是最重要的是大多数应用场合都使用某种形式的箝位电路来防止漏极电压击穿。因此, 大多数高电压晶体管规定有一个箝位感性负载。

13.2.3 反向偏置安全工作区 (RBSOA)

一个更精确也是更明确的电感性关断额定是箝位电感性关断额定反向偏压安全工作区 (RBSOA)。在图 13-9 (b) 所示的简化测试电路中, 被测器件是放在一个现实世界箝位条件之下。所需要的电感只要大到足以保证回扫时间大于漏极电流下降时间, 一般导致电感在 100 μ H 到 1.0mH 之间。这些值也更精确地代表了在开关应用中所碰到的漏电感。

为使器件处于关断时的最大应力的作用之下, 电感必须是高 Q 的以保证峰值漏极电流峰值 I_{DM} 和回扫电压 V_{DSM} 同时提供给被测器件, 如图 13-9 所示, 这就导致关断负载线接近于一个长方形。在这些条件下, I_D 将在 V_{DS} 使箝位二极管正向偏置时开始下降。此时, 存贮的电感能量 (电流) 将被传递经外部的二极管电路。

为了确定器件的 RBSOA 能力, I_{DM} 被置为一个典型的工作电流并增大箝位电压的值直到晶体管进入二次击穿。然后测试其它的电流值直到建立起一个完整的 RBSOA 曲线。这些二次击穿点与关断期间在器件中耗散的能量有关, 特别是与交迭时间 t_c 有关 [图 13-9 (c)], 并代表了在感性开关应用中所碰到的能量 (而非箝位 $E_{s/b}$ 模式的小 I_{DM} 则不是这样)。该例子中的反偏压是由从 N 沟道 MOSFET 的栅极到一个负电压或地的晶体管箝位电路提

供的。

13.2.4 开关安全工作区 (SSOA)

开关安全工作区是在功率 MOSFET 导通和关断时的广义的安全工作区界限。关断开关安全工作区相当于双极型器件的反偏压安全工作区, 因之将用来描述这一特性。

确定关断开关安全工作区的简单方法是箝位电感性关断电路。这是通过调整输入脉冲宽度 (t_{pw}) 或漏极供电电压 V_{DD} 来把漏极电流置为指定值 ($I_D \leq V_{DD} t_{pw} / L$) 而实现的。然后逐渐增大箝位供电电压直到两个条件之一出现为止。如果规定的 I_D 小于 I_{DM} 额定值, 则可增大箝位电压直到器件发生雪崩并开始耗散电感的能量为止。由于在这一点 MOSFET 在一个 $E_{s,b}$ 模式下工作, 故可能发生破坏。

在漏极电流大于 I_{DM} 时, 器件在其额定值范围之外工作, 而 MOSFET 则可能在箝位电压小于 $V_{(BR)DSS}$ 时失效。总而言之, MOSFET 的开关安全工作区曲线保证失效轨迹在 $I_{DM} - V_{(BR)DSS}$ 边界之外。示于图 13-8 的开关安全工作区曲线可适用于开关时间小于 $1\mu s$ 的器件的导通和断开。

通常使用一个非破坏性装置以保证失效点在关断安全工作区范围之外。这就要求对许多器件进行测试且器件的趋向是难于确定的。由于通常只使用一个被测器件来生成一个完整的关断开关安全工作区曲线, 使用非破坏性装置可使确定开关安全工作区额定值的工作大大简化。

13.2.5 N 沟道非破坏关断开关安全工作区测试装置

为了使被测器件免遭通常为破坏性的二次击穿能量的破坏, 必须把存贮的感性能量迅速地从晶体管转移到一个外部的消弧电路。美国国家标准局研究设计了一种测试装置, 该装置能在高达 50A 的情况下紧急短路和在高达 1000V 的情况下进行消隐。10A 的消弧传输延迟大约为 70ns, 而电流上升时间大约为 40ns。消弧电路的触发是通过在器件进入二次击穿时检测崩塌的漏-源电压的快速变化速率实现的。使用这一测试装置时, 可仅用一个被测器件来形成一个完整的安全工作区曲线。因此, 被测器件必须承受得住多达 30 到 40 次急剧短路 (二次击穿) 以便来建立该曲线。并非所有器件都能经受如此多的急剧短路而不退化或失效, 但大部分器件能做到这一点, 从而使得能够生成一个比较简单的明确的曲线。退化是用测试后漏极漏电流 I_{DSS} 是否有比较大的变化来度量的。漏电流变化比较大时, 以后再测试时将显示出器件关断安全工作区能力的下降。

非破坏安全工作区测试装置的主要组成如图 13-10 的方框图所示。在这些方框中, 最重要的是由 $V_{GS(on)}$ 和 $V_{GS(off)}$ 晶体管开关组成的驱动电路、检测器消弧电路和在发生急剧短路时能够被禁止的脉冲发生器。其次是 V_{DD} 开关和一个大于 10% 工作循环锁闭电路。同时还需要一个外部连接的电感器, 其电感值大约为 $200\mu H$ 。

参看图 13-10, 电路的工作过程如下: 一个输入脉冲 V_{in} 加在控制 $V_{GS(on)}$ 、 $V_{GS(off)}$ 和 V_{DL} 三个开关的驱动电路的输入端。 $V_{GS(on)}$ 开关提供正的接通栅极电压和电流。当加上正的栅极电压时, 漏极供电也被接通。为保证系统正常工作, 在去掉输入脉冲后, 漏极供电将维持几个微秒 (这是由于驱动晶体管存贮时间所致)。在这一接通期间, 集电极电流上升, 到断开时, 漏极电压回扫。当回扫电压达到箝位电压时, 电感器电流被传送到箝位电路。当存

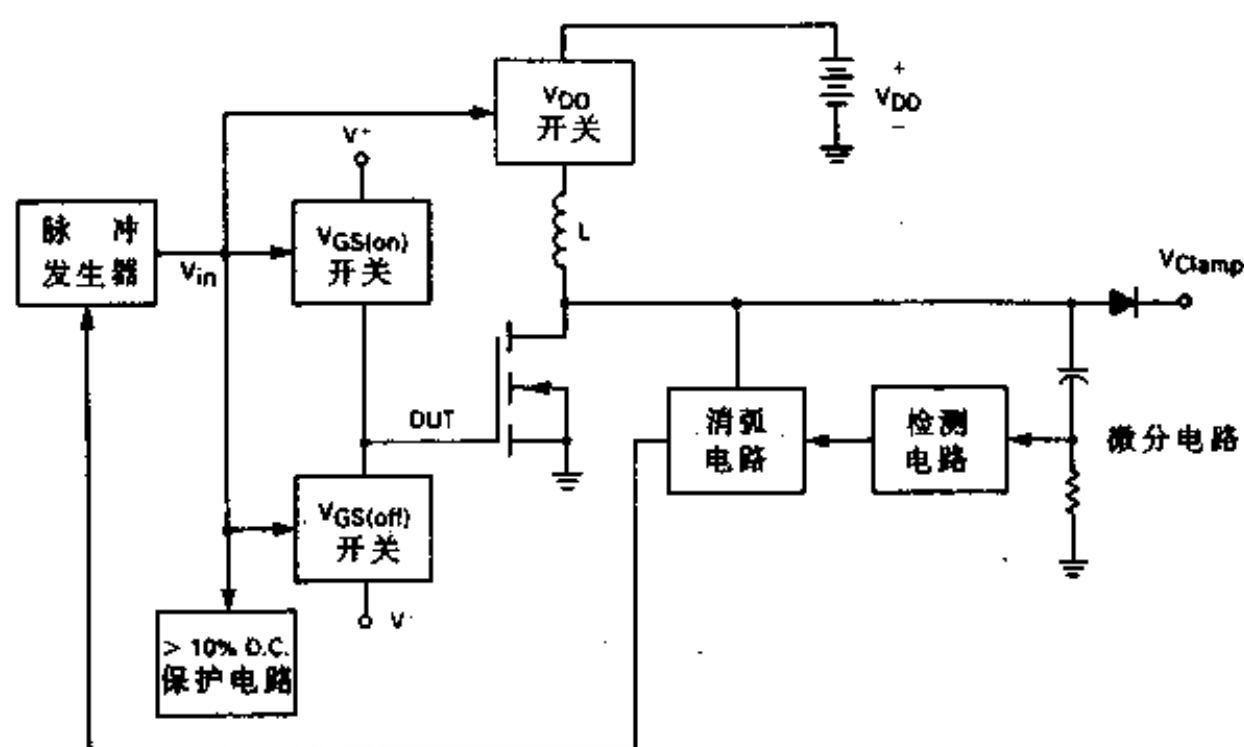


图 13-10 N 沟道非破坏关断开关安全工作区测试装置方框图

贮在电感器中的能量完全释放时，漏极电压将以比较慢的速率下降。

但是，如果在这一开关时间把过多的能量施加在被测器件上，则场效应晶体管可能会进入二次击穿。此时漏极电压快速下降，很可能在小于 10ns 的时间里下降到零。当发生这一情况时，低 RC 时间常数微分电路检测到这一快速下降波形——与通常的慢速下降波形不同——并产生一个触发消弧电路的负脉冲。消弧电路急剧短路，被测器件中的电流迅速导入消弧电路，使晶体管解除关断能量压力。脉冲发生器也被截止，从而防止在系统复位前再施加任何脉冲。

13.2.6 驱动电路

安全工作区测试装置的驱动电路示于图 13-11，它由前面已经提到的三个开关组成。一个达林顿晶体管 Q1 被用来缓冲从驱动电路来的由 CMOS 导出的 15V 的输入脉冲。

正的栅极电压是通过用正输入脉冲使 NPN 晶体管 Q2 导通来产生的。这一阶段向 PNP 贝克（Baker）箝位结构晶体管 Q3 提供驱动，后者的输出馈送给被测器件的栅极并使其导通。

反偏压是通过用 R1C1 网络对输入脉冲进行微分导出的。所产生的负脉冲与输入脉冲的下降边重合并使 PNP 晶体管 Q4 和后面的 NPN 晶体管 Q5 导通。这一截止偏置电压脉冲是由 R1C1 建立的，且对图中所选取的各种量值而言，该电压脉冲的宽度约为 10μs。

由于这两个脉冲的下降边重合（再加上通过那两个对应开关的传输延迟大致相等），所以在 $V_{GS(on)}$ 和 $V_{GS(off)}$ 之间的过渡时间对某些被测器件和工作条件来说可比较短（小于 200ns）。

漏极开关被用作一个安全器件，如果被测器件漏电或短路，就把电流从电感引走。该电路使用两个串联的贝克箝位单片达林顿管（NPNQ6 和 PNPQ7）去达到装置的 50A 的输出能力。贝克箝位二极管（D3、D4 和 D5、D6）使该开关在被测器件关断之后的存贮时间减小到最低限度。

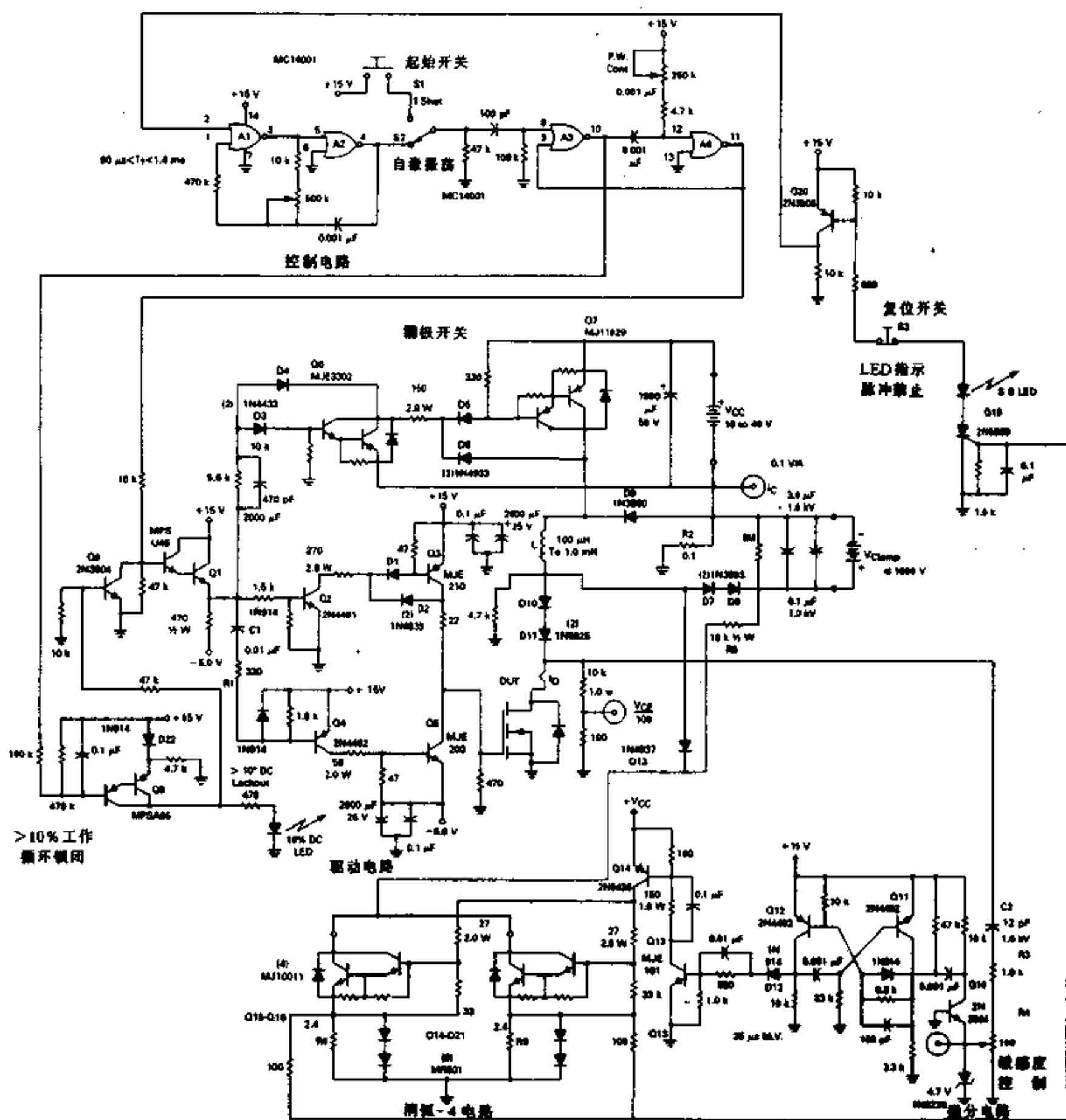


图 13-11 N 沟道功率 MOSFET 非破坏关断开关安全工作区测试仪, 100V, 50A

一旦被测器件关断, 电容器存贮的能量就通过两个箝位二极管 (D7 和 D8) 耗散, 箝位供电和滤波网络以及 Q7 箝位二极管 D9。被测器件的漏极电路中的二极管 D10 和 D11 用来防止反向漏极电流的流动, 并保证急剧放电饱和电压比寄生晶体管二次击穿电压低, 从而转移走漏极电流。

漏极电流可用图示的电流回路加以监测。此外, 电流敏感电阻 R2 可以用来监测 I_D , 但在设计时必须十分小心。在设计任何高速、大电流的开关时, 都必须采用好的射频 (RF) 技术。

13.2.7 监测/消弧电路

如前面已经提到的,一个RC微分电路被用来区分正常 V_{DS} 下降时间和二次击穿下降时间,所使用的元件为1.0kV的电容器C2,固定电阻R3和敏感度控制电阻R4。

该网络的输出脉冲原本是作用于一个作为消弧电路的一个25A的硅可控整流器上。但是,大约600ns的导通时间对于保护被测器件来说是太长了。所需要的是一个快速闭锁消弧电路。这是通过把一个共基极连接的NPN晶体管Q10用作一个电平检测—脉冲放大器触发一个由PNP晶体管Q11和Q12组成的分离单稳态多谐振荡器(MV)来实现的。这一25 μ s的多谐振荡器使电感器存储的能量有足够的时间进行耗散,然后驱动直接耦合NPN晶体管Q13和后面的PNP晶体管Q14,使其达到能使消弧电路导通的功率电平。二极管D12被用来阻塞 V_{DD} 线上的噪声脉冲,以免错误地触发单稳态多谐振荡器。

消弧电路由4个平行的MJ10011单稳态达林顿晶体管(Q15~Q18)组成。为水平偏转电路设计的这种晶体管所提供的阻塞电压开关速度很好地权衡了几个不同的被测器件的需要。通过全部使用快速、宽带晶体管,在 I_c 为10A时测得的传输延迟和上升时间分别为70ns和40ns。

二极管D13和电阻R5防止可能的高 dv/dt 回扫电压错误地使消弧电路导通。

在相应的达林顿发射极电路中的电阻器—二极管网络(R6~9, D14~21)对二次击穿发光二极管指示电路来说既是一个镇流电压削波电路,也是一个消弧指示源。

13.2.8 脉冲发生器

非破坏关断安全工作区测试装置的定时功能是由一个四—2输入的或非门MC14001产生的。这些门被构造成为一个不稳定的多谐振荡器(门A1和A2),来充当脉冲宽度发生器的单稳态多谐振荡器(门A3和A4)的时钟。

控制电路产生自激振荡脉冲,其工作期必须维持在10%以下(由驱动电路电阻器功率额定值所限制)。也可以通过把开关S2置于一次性工作位置和按压起始开关S1来产生一次性工作,从而向脉冲宽度单稳态多谐振荡器提供一个触发脉冲。

13.2.9 完整的N沟道非破坏安全工作区系统

图13-11中的完整的N沟道非破坏关断开关测试仪是以前还没有描述过的另外两种电路。它们是:

- (1) 大于10%工作期锁定电路。
- (2) 发光二极管指示器/脉冲禁止电路。

10%工作期电路用小信号PNP达林顿MPSA65(Q8)的基极电路中的一个RC网络来使输入脉冲序列成为一个整体。所得到的直流基极电压与从一个1N914二极管(D20)导出的发射极参考电压进行比较。在工作期大于大约15~20%时,达林顿晶体管将导通,使发光二极管指示器发光并使MPSU45射极跟随器(Q1)输入两端的NPN 2N3904(Q9)晶体管箝位导通。这就有效地限制了工作期和在驱动电路中耗散的功率。

当消弧电路激发时,发光二极管指示器/脉冲禁止电路启动。控制信号是从达林顿消弧晶体管的发射极导出的并馈送到二次击穿硅可控整流器(Q19)的栅极并使其导通。放置在

该硅可控整流器阳极电路中的是串联二次击穿发光二极管、复位开关 (S3) 和 2N3906 脉冲禁止晶体管 (Q20) 的基极偏置电阻。禁止电阻也将导通, 使非稳态的多谐振荡器 (A1) 的输入为高电平, 从而使脉冲序列阻塞。通过打开 (按下) 通常是关闭的按钮复位开关可使硅可控整流电路接通。

13.3 作为开关使用的功率 MOSFET 的漏-源二极管的特性

当用一个半导体开关关断一个感性负载时, 必须采取一些措施来抑制、限制或箝制所产生的感应冲击, 使其不超过开关的击穿电压。通常采用如齐纳二极管、RC 网络和箝位二极管等各种类型的稳压器和缓冲器电路。存贮在电感器中的能量从关断的晶体管中转移出来并在缓冲 (减振) 电路中安全地散逸掉, 从而保护了晶体管开关。

为保护单个功率 MOSFET 开关, 缓冲电路可并联于负载或 MOSFET 的两端。一个齐纳二极管或 RC 缓冲电路能保护功率 MOSFET 的漏-源极, 但是跨接在这两个电极之间的一个简单的箝位二极管却做不到这一点, 因为只有当其超过反向消隐电压时它才能进入工作状态。但是, 通常用于多个晶体管构成的电路中, 如开关调节电路、逆变器和电动机控制电路中, 在半导体开关上通常要并联一个箝位二极管 (图 13-12)。该二极管并不保护各自的场效应晶体管, 而是保护互补的场效应晶体管。做为一个例子, 在图 13-12 (c) 所示的推挽电路结构中, 二极管 D2 保护 Q1, 而二极管 D1 保护 Q2。

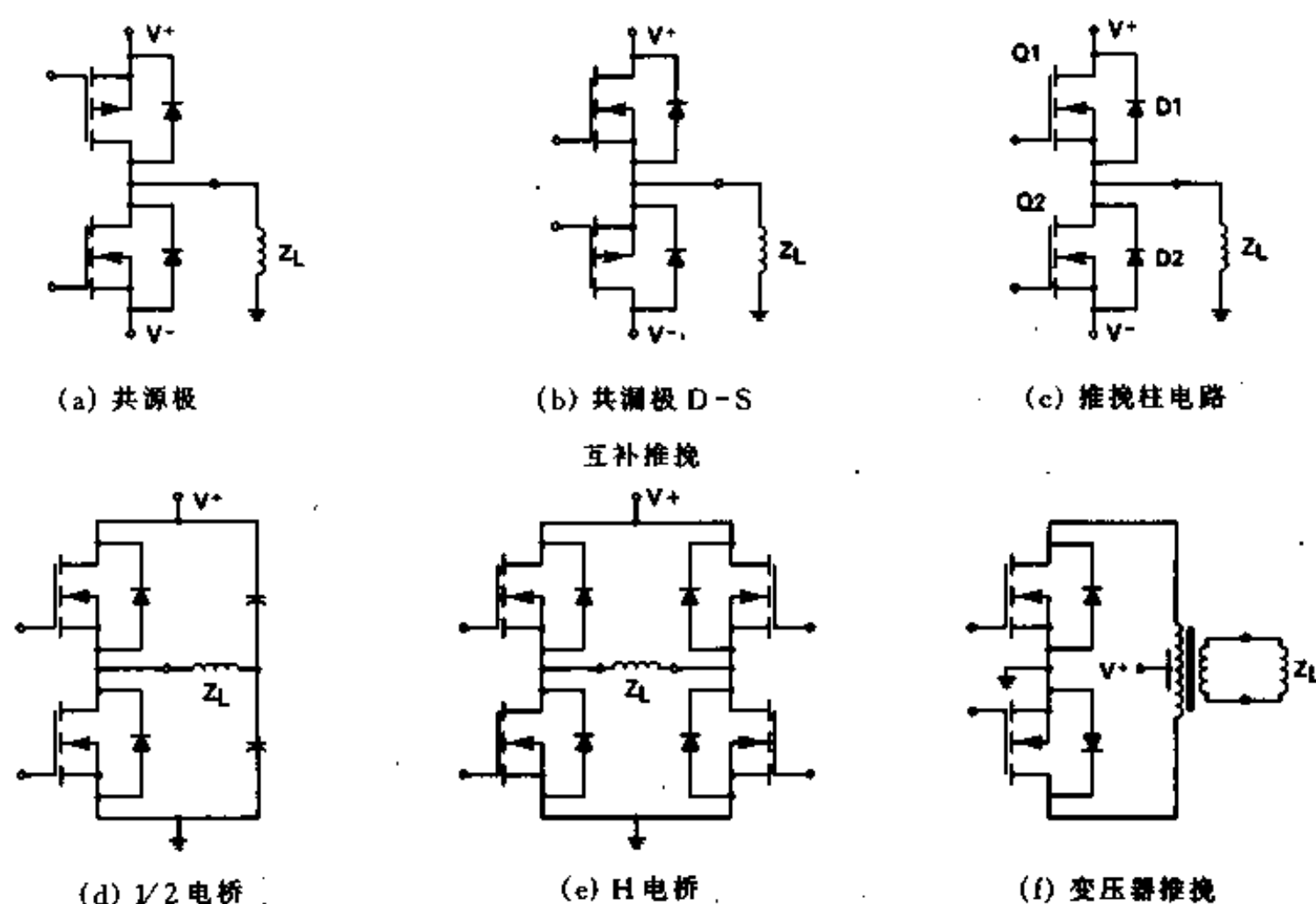


图 13-12 使用 D-S 二极管的多个功率场效应晶体管驱动电路

为说明这一点, 假设 Q2 在开始时是导通的, 从而使负载电流从地向上流经电感器。当 Q2 关断时, 感性电流将继续, 但现在是通过 D1、电源 V^+ 并返回电感器的接地端。因此,

回扫电压将被箝位于 V^+ , 从而使当 V^+ 等于 V^- 时振幅为 $2.0V^+$ 。

如果输出功率器件是具有 D-S 二极管的功率 MOSFET, 就会提出这样的问题: 这些二极管是否能够对关断感性负载电流进行足够的箝位。换句话说, 二极管开关是否足够快, 是否能够承受经整流的负载电流?

下面的讨论说明许多功率 MOSFET 的 D-S 二极管的特性, 使得电路设计人员能够对这些内部二极管或离散的外部晶体管进行性能/成本比较。

13.3.1 开关特性

在开关模式应用中的箝位二极管的重要开关特性是反向恢复时间 t_{rr} 和导通时间 t_{on} 。具有长的 t_{rr} 时间的二极管可造成它们必须加以保护的场效应晶体管承受过大的导通压力, 因为在这一时间间隔中二极管和场效应晶体管都将导通。其结果是产生一个可能超过场效应晶体管的正向偏置安全工作区的续通漏极电流尖峰信号。如果二极管具有比较低的 t_{on} 时间或高的过冲电压——调制电压 $V_{FM(DYN)}$, 那么, 在感性关断期间, 场效应晶体管可能得不到足够的保护。

过去, 大多数半导体制造厂商使用图 13-13 (a) 和图 13-13 (b) 所示的电子器件工程联合委员会 (JEDEC) 的建议电路来说明内部二极管的开关特性。这些电路有几个问题。首先, 它们是为正弦波整流器应用而开发的。 t_{rr} 测试电路能产生一个电流幅值可控制的半正弦波和电流下降时间的 di/dt 。但是, 由于电流波形是从一个电容器调制电路导出的, 所产生的电流持续时间 t_p 是由 I_{FM} 和 di/dt 决定的。在某些高 di/dt 条件下, 与被测器件的 t_{rr} 相比, t_p 可能变得比较短, 因而二极管没有充分导通, 从而产生不精确的 t_{rr} 测量。为保证被测器件足够导通, t_p 必须超过 t_{rr} 的 5 倍。

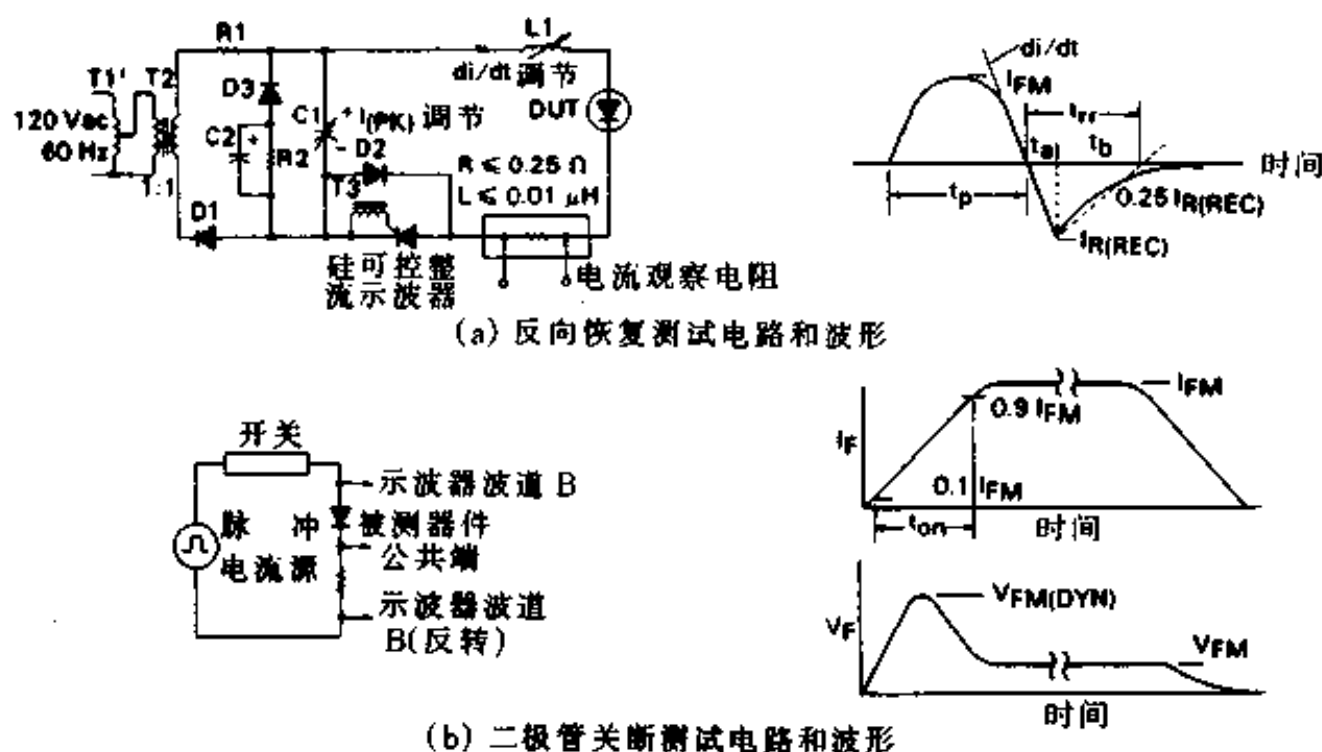


图 13-13 电子器件工程联合委员会建议的二极管开关测试电路

其次, 由于 t_{rr} 依赖于 I_{FM} 和 di/dt , 这些变量应被设置成什么值呢? I_{FM} 是明显的, 它必须在转移的漏极电流之中, 但 di/dt 可以为任何值, 可以是 $25A/\mu s$ 或 $100A/\mu s$, 等等。事实上, 这一二极管电流关断时间是受互补场效应晶体管的导通时间控制的。

与 t_{on} 测试电路有关的问题是确定和控制加在被测器件上的电流脉冲的上升时间比较

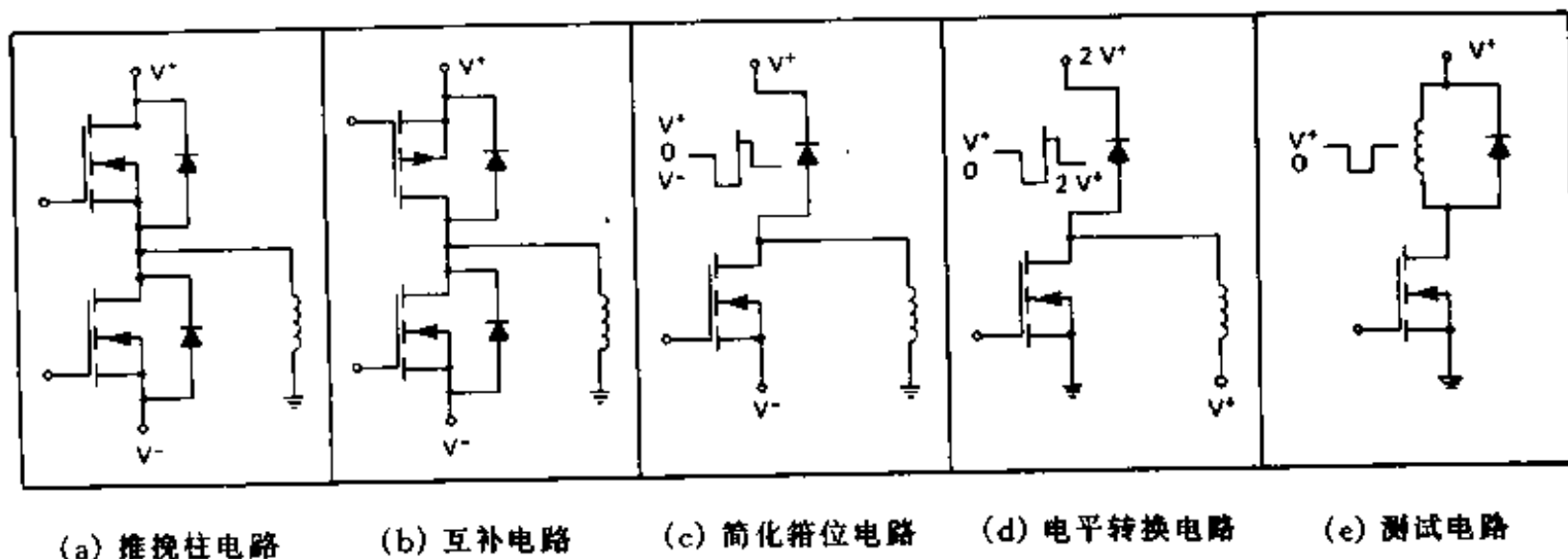


图 13-14 电感性箝位电路的演变

困难。由于这一电流脉冲影响被测器件的测量 $V_{FM(DYN)}$ 和 t_{on} 值, 其形状必须与真实世界条件联系起来。

这就是所建议的测试电路所要做的。其电路是由从一个典型的两个晶体管的开关模式应用得出的, 不管它是一个用于确定 N 沟道 D-S 二极管特性的推挽电路, 还是一个用于确定 P 沟道 D-S 二极管特性的互补共源极电路 (图 13-14)。这些电路可以归结为一个简单的单端电感性箝位电路 [图 13-14(e)], 其中的箝位二极管或者是 N 沟道场效应晶体管 (推挽式), 或者是互补 P 沟道场效应晶体管的 D-S 二极管。

对于在开关感性负载中很常见的连续负载电流来说, 反向恢复时间具有非常重要的意义。图 13-15(a) 描述当一个连续的感性负载电流 I_L 在场效应晶体管 (I_D) 和箝位二极管 (I_F) 之间交换时理想的电流波形。图 13-15(b) 画出了 I_D 和 I_F 的前

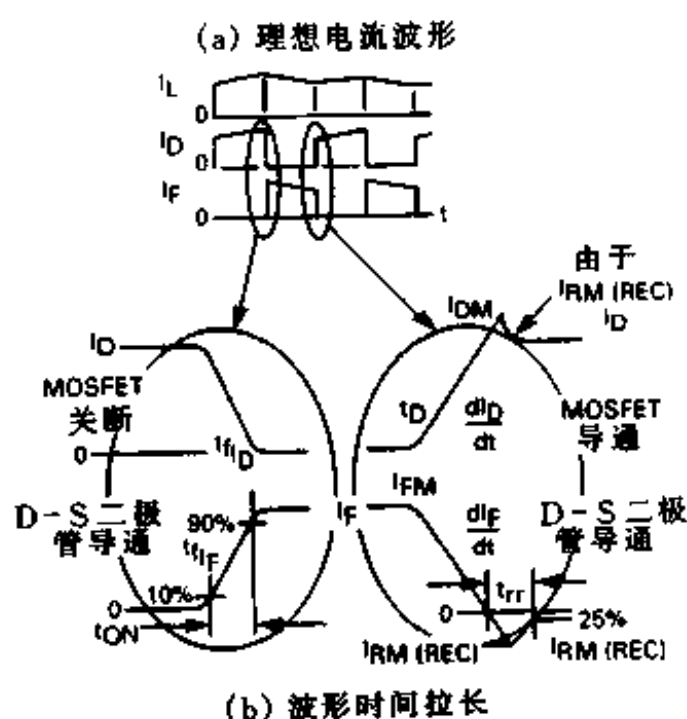


图 13-15 连续负载电流开关波形

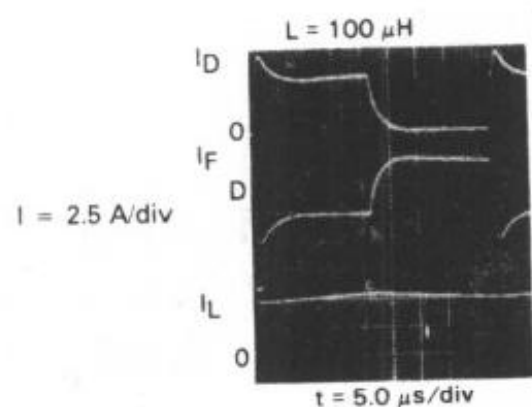


图 13-16 一个箝位电感性负载的开关电流

缘和后缘。注意漏极电流下降时间 t_{fD} 以一个类似的方式控制二极管电流上升时间 t_{fD} (或 t_{on})。漏极电流导通时间的 dI_D/dt (或 t_{fD}) 决定二极管电流关断时间的 dI_F/dt 。因此, 场效应晶体管开关的速度愈快, 加在二极管上的 di/dt 愈大。于是二极管的 di/dt 决定反向恢复时间 t_{rr} 和电流 $I_{RM(REC)}$ 的大小。由于通过电感的电流等于 I_D 加上 I_F , 导通时的峰值漏电流的幅值将等于加在其上的 I_{DM} 的幅值。这示于图 13-16, 其中 I_D 和 I_F 的开关时间互为镜像; 这两个波形的和所产生的电感电流的波纹振幅取决于开关频率和负载电感。

图 13-17(a) 和 13-17(b) 分别为不连续负载电流波形和连续负载电流波形。注意, 在不连续负载电流波形的情况下, 容许电感电流 I_L 完全释放, I_F 的 di/dt 非常低, 从而不产生 I_{RM} 或 t_{rr} 。在连续电流情况下, di/dt 产生很大的 I_{RM}

和 t_{rr} 。

如图 13-18 (a) 和图 13-18 (b) 所示, 所使用的电感的大小对 t_{rr} 的测量几乎没有影响。图 13-18 (a) 所示用于 100mH 的电感 (空芯线圈) 的二极管电流的完整周期和时间轴伸长了的波形, 而图 13-18 (b) 为用于 10mH 的电感器 (铁芯线圈) 的二极管电流的完整周期和时间轴伸长了的波形。主要区别是波纹电流的大小, 比较大的电感产生一个比较恒定的电流源。

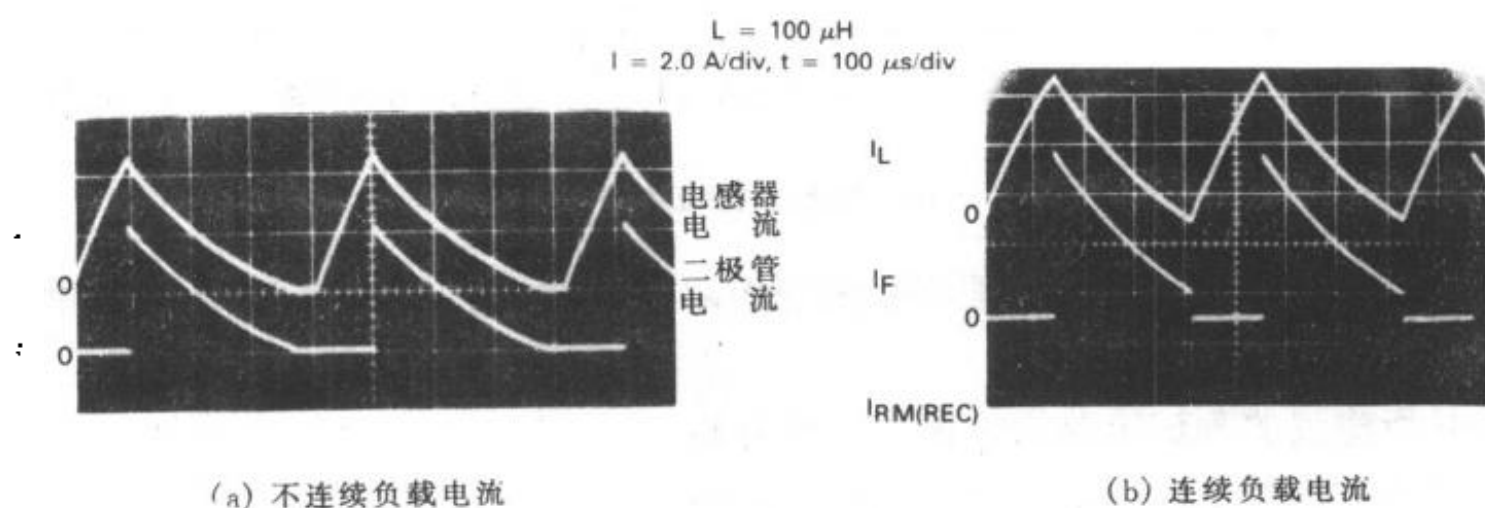


图 13-17 开关感性负载电流对 D-S 二极管的 t_{rr} 和 $I_{RM(REC)}$ 的影响

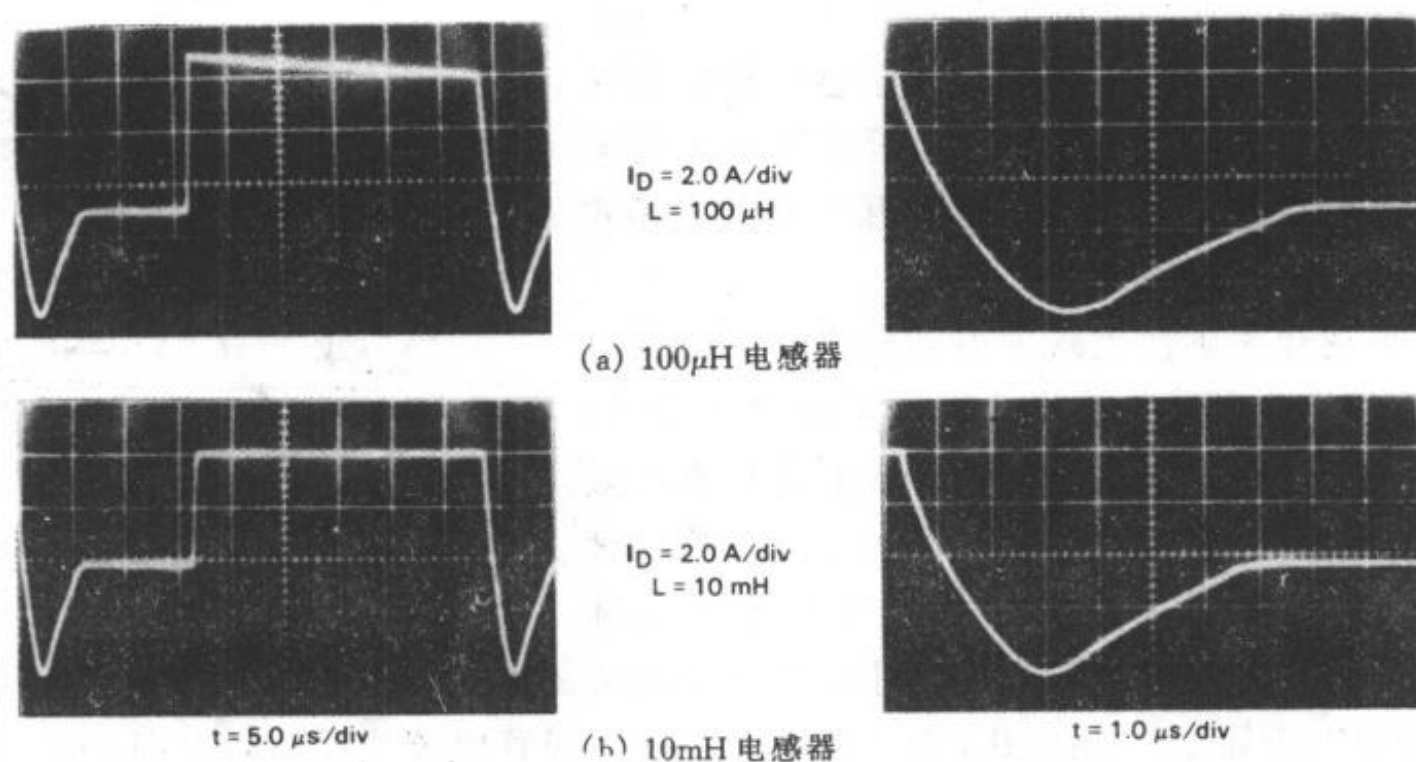
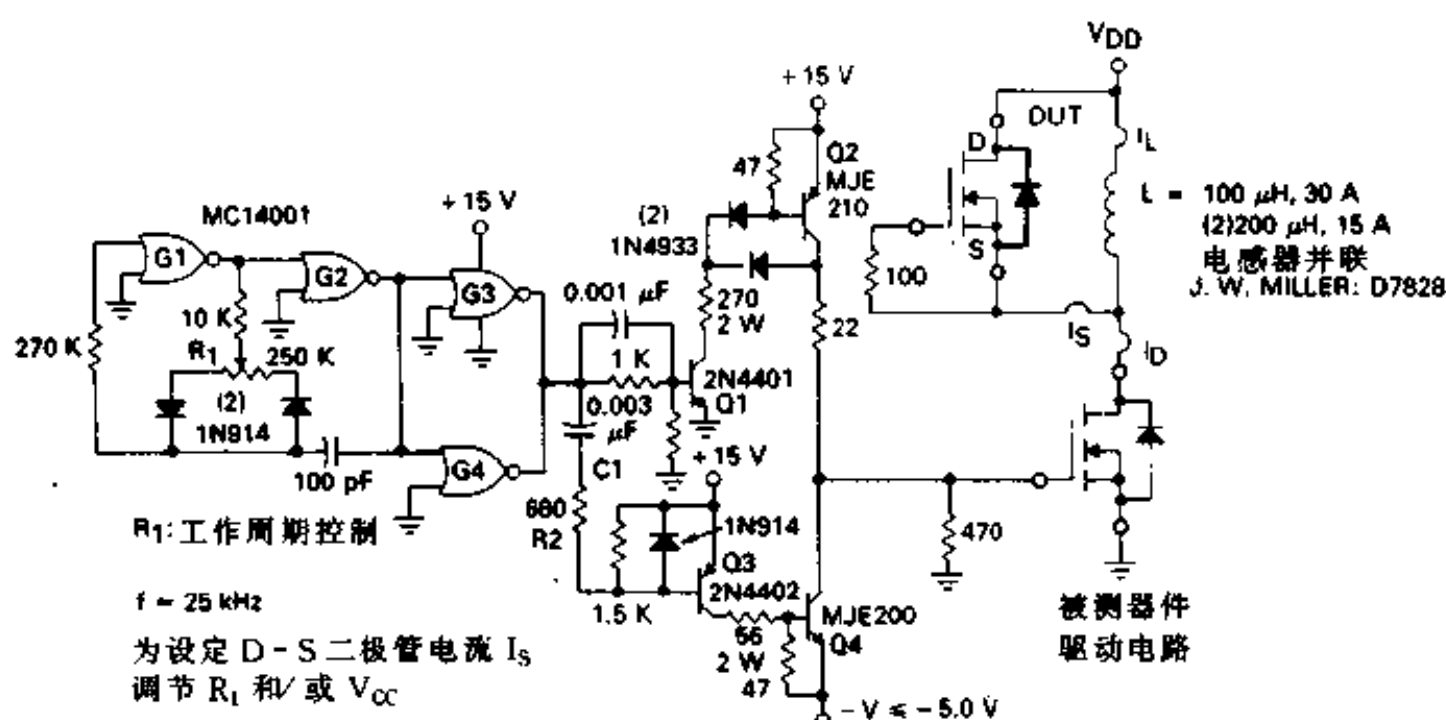


图 13-18 负载电感对 D-S 二极管反向恢复特性的影响

13.3.2 测试电路

用于产生二极管开关特性的测试电路示于图 13-19。它由一个 CMOS 非稳态多谐振荡器 (门 G1 和 G2) 去驱动由两个并联的门 3 和 4 组成的缓冲器组成。电位器 R1 改变大约为 25kHz 的输出的占空比并从而决定了被测器件电流的大小 (以及 V_{DD} 的大小)。缓冲器的正输出直接耦合以使 NPN 晶体管 Q1 和后面的贝克箝位 PNP 晶体管导通。

为了对驱动电路产生一个截止偏置 (该驱动电路可以改变其关断时间和二极管的导通时间), 使用了缓冲器输出脉冲的下降边。电容器 C1 和电阻 R2 构成一个微分电路以产生使 PNP 晶体管 Q3 和后面的 NPN 晶体管 Q4 导通的负脉冲。晶体管 Q4 发挥一个截止偏置开



注: 被测器件被示为一个 N 沟道 MOSFET, 但也可以是一个 P 沟道 MOSFET, 只要把连接做适当修改即可。

图 13-19 TMOS D-S 二极管开关时间测试电路

关的作用, 对驱动电路施加一个与输入脉冲的下降边重合和持续约 $5.0 \mu s$ (图示器件参数情况下的 R_2C_1 时间常数) 的负电压脉冲。

13.3.3 开关测试结果

TMOS D-S 二极管通常是在额定连续漏极电流的条件下进行测试的。供电电压 V_{DD} 必须大于 10V 以保证被测器件驱动电路以典型的跨导工作。由于被测器件电流是占空比和/或 V_{DD} 的一个函数, 减小输入脉冲宽度将使得在需要时可以采用比较大的 V_{DD} 。

尽管不总是能够用实际供电电压 (即对高电压器件进行测试时比对低电压器件进行测试时采用较高的 V_{DD}) 对被测器件进行测试, 但如果用实际供电电压进行测试的话, 将能得到更精确的结果, 这是由于 g_{fs} 和开关速度将在某种程度上随 V_{DD} 而变化。

把几个不同的场效应晶体管作为 V_{DD} 的函数所进行的测试结果表明, t_{rr} 的测量值有一个二阶变化。无论如何, 为保证测量结果的可重复性, V_{DD} 、频率、占空比和电感的说明必须列出来。对测试过的大部分 TMOS 场效应晶体管来说, 电感或者是一个额定值为 $200 \mu H$ 、15A 的空心线圈, 或者是两个并联的额定值为 $100 \mu H$ 、30A 的空心线圈。不论在那一种条件下, 被测器件驱动电路和被测二极管都要有足够的散热措施, 以把管壳温度的上升减小到最低限度。

图 13-20 所示的 MTM15N15 的开关特性和对 TMOS 场效应晶体管的全开关测试结果列于表 13-1。

为了进行比较起见, 图 13-21 给出了分离整流电路的开关照片。注意, 如我们所预期的, 快速恢复整流电路具有最小的 t_{rr} , 而标准整流电路具有最大的 t_{rr} 。但更有趣的是, TMOS D-S 二极管在所有测试过的二极管中具有最小的 t_{rr} (表 13-1)。

电路设计人员可以根据这些数据确定二极管的开关特性是否满足其应用要求。

表 13-1 TMOS D-S 二极管的开关和冲击电流特性

器 件	沟道 类型	规定的 I_D (A)	开 关					冲击电流	
			I_{FM} (A)	di/dt (A/ μ s)	I_{RM} (A)	t_{rr} (μ s)	t_{on} (μ s)	300 μ s 60pps (A)	1.0s 单冲 (A)
MTM8N10	N	8.0	6.0	8.5	1.0	0.20	0.20	30	11
MTM15N06	N	15	10	9.0	1.0	0.24	0.29	80	24
MTM15N15	N	15	10	5.0	0.8	0.28	0.05	120	19
MTP1N60	N	1.0	1.0	10	0.3	2.0	0.03	25	6.0
MTP5N06	N	5.0	5.0	3.7	0.24	0.14	0.09	50	12
MTP25N06	N	25	25	10	1.0	0.20	1.0	140	35

13.3.4 冲击特性

二极管能否处理在连续负载电流,高工作期条件下能量可能非常大的负载电流是需要考虑的一个重要因素。

TMOS D-S 二极管是场效应晶体管两端的寄生 NPN 晶体管的产物,由于它具有比较大的底座面积,因而能够传导的二极管电流比场效应晶体管能够传导的漏极电流大。

为了验证这些电流额定值,D-S 二极管要经受两个脉冲宽度不同的电流冲击测试。这些测试结果示于表 13-1 的冲击电流部分。

二极管的典型正向特性示于图 13-22。这些 V_F-I_F 曲线是使用一个每秒有 60 个脉冲的 300 μ s 的电流脉冲从一个曲线描绘仪得到的,低的占空比保证管壳温度读数比较低。为了进行比较,图 13-23 描述在同样的测试条件下分离二极管的正向特性。知道了电压降和电流,可以计算出二极管的功率消耗。二极管和场效应晶体管的总的功率消耗不能超过器件的额定值。在确定了二极管的开关特性和功率使用容量之后,可以对成本/性能进行权衡。如果转换开关处于开发阶段,确定究竟是使用一个内部的单片二极管还是使用一个分立的二极管是一件容易的事情:测量管壳温度、电流和电压波形、负载线以保证器件在安全工作区内工作,且器件及系统有较高的效率。

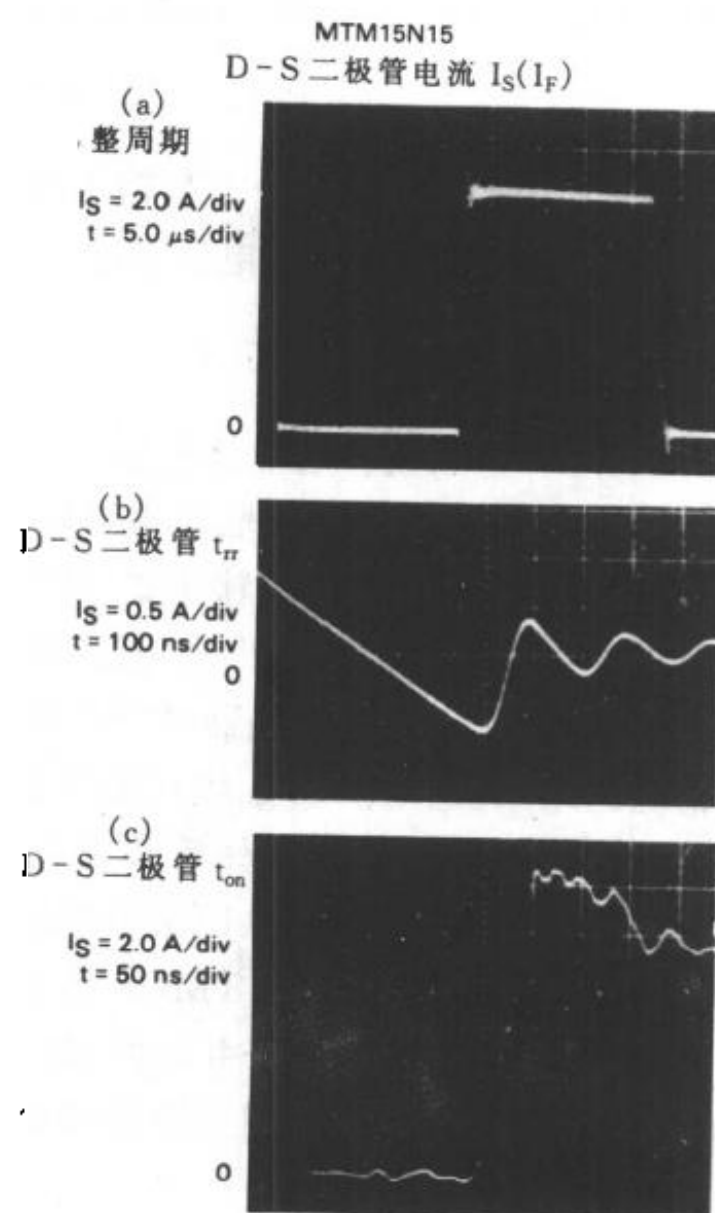
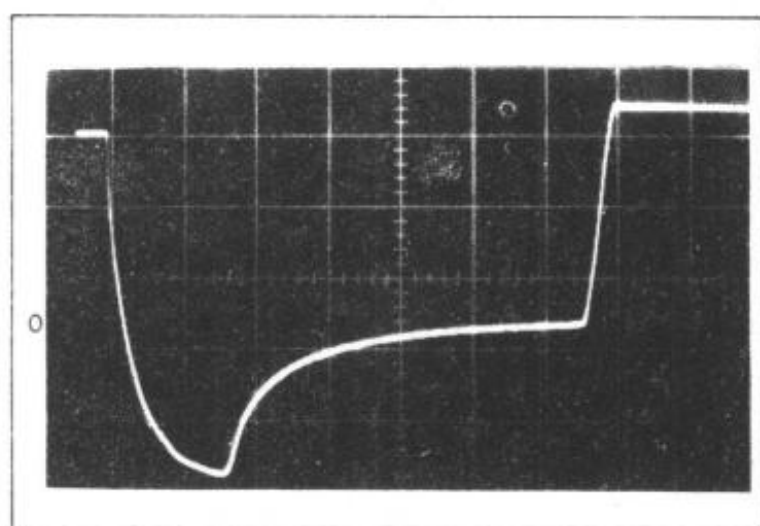
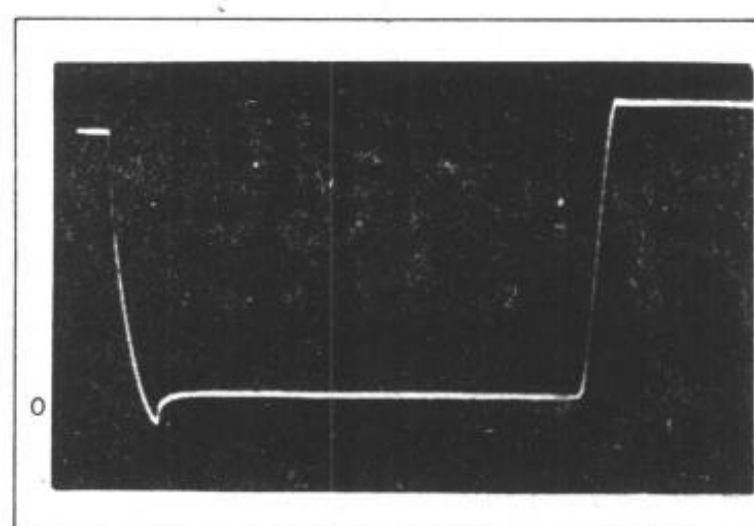


图 13-20 一个 TMOS D-S 二极管的开关特性

极管电流 $I_F = 0.5 \text{ A div. t} = 1.0 \mu\text{s div}$



(a) 1N4001 标准整流器



(b) 1N4935 快速恢复整流器

图 13-21 分立整流器反向恢复特性的比较

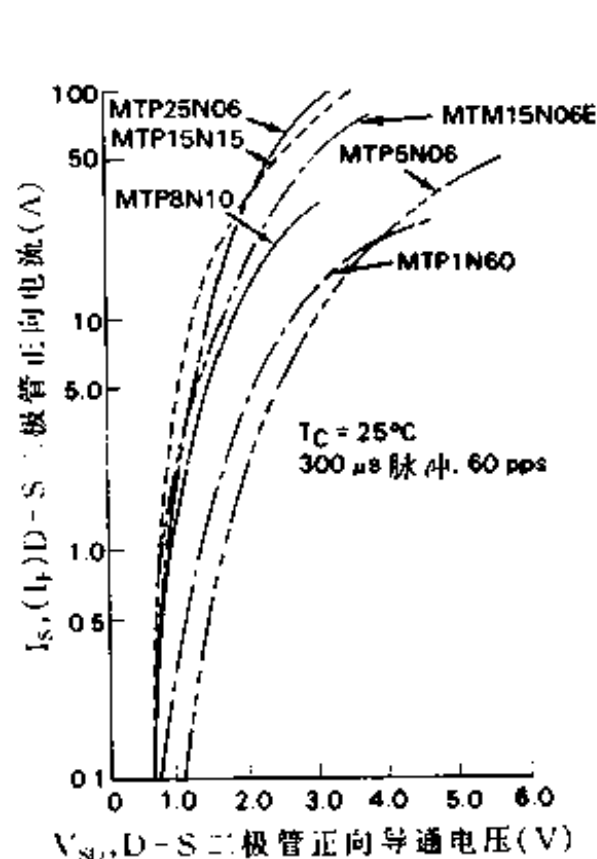


图 13-22 功率 MOSFET D-S 二极管的正向特性

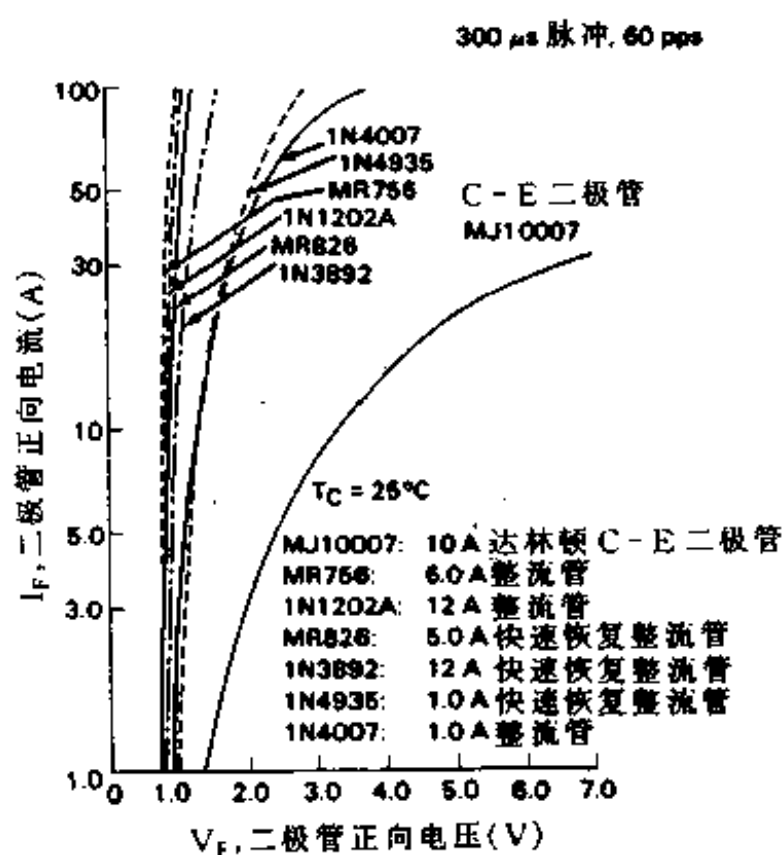


图 13-23 分立整流电路的正向特性

13.4 热 测 量

13.4.1 静态热阻测量

众所周知,结温度对半导体器件的安全工作具有非常重要的意义。所有半导体基底都有一个临界温度,超过了这一温度,半导体器件就可能发生破坏。半导体器件的工作寿命也与结温度有关。

半导体基底一般封装在某种形式的管壳中,这就使测量基底温度变得比较困难。由于接触不到半导体基底,必须采用某种间接的方法来确定结温。一个常用的方法是利用对温度敏

感的电参数进行测量。所选择的参数依被测半导体器件类型而异。

双极型晶体管的静态热阻测量的基本方框图示于图 13-24。正向偏置基-射结被用作温度敏感参数。结在高温下用小的校准电流(I_M)进行校准。 I_M 不能对结温产生大的影响,也不能使晶体管导通,典型值为 2.0 到 10mA。

校准过程可在一个恒温箱中进行,温度控制在被测半导体的正常工作温度。对硅半导体来说,温度应控制在约 100°C。测量并记录在 I_M 和校准温度下的基-射结正向电压。

校准之后,用一个功率开关装置(图 13-24)来交替地对被测器件接通和断开电源。晶体管在工作区,通过改变 I_E 和/或 V_{CE} 可调节功率消耗直到结达到校准温度。通过用一个示波器或一个取样保持电路在只有 I_M 流动时监测基-射电压可以确定该条件是否达到。当 V_{BE} 等于在校准时得到的值时,就可知道结温值。管壳温度以及 I_E 和 V_{CE} 可在此时记录下来。

由于加热时间长,因之晶体管管壳温度稳定下来并且电源中断时间短,通常只有 300 μ s,故结温下降很小。

静态热阻可很容易地根据在校准和功率消耗过程中所得到的信息计算出来。基本公式是从表示对一个半导体器件所进行的热电类比的基本热阻模型(图 13-25)导出的。

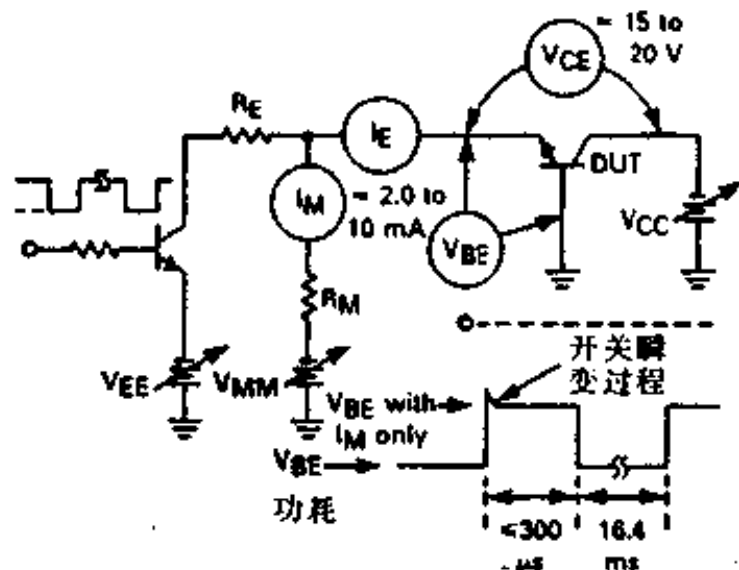


图 13-24 双极型晶体管稳定状态热阻测试电路的基本方框图

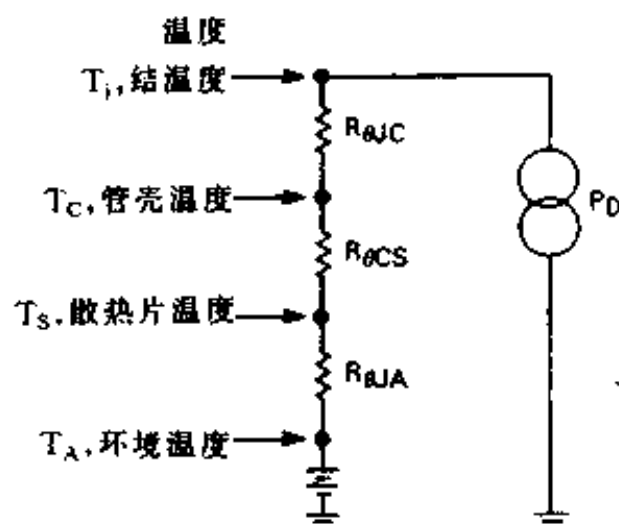


图 13-25 表示一个半导体晶体管热-电类比的基本热阻模型

结到管壳的静态热阻如下:

$$R_{\theta JC} = \frac{T_J - T_C}{V_{CE} \times I_E} \quad \text{或} \quad \frac{\Delta T}{P_D}$$

对于结到管壳的测量来说,必须提供足够的散热能力以防止结温过高。结和管壳之间的温差大时可提高测量精度。通过使用一个能耗散足够大功率($I_E V_{CE}$)从达到校准温度的散热器可以达到这一温差。

13.4.2 使用温度敏感参数来测量功率 MOSFET 的热阻

为了确定任何一个半导体器件的热阻,需要有一个精确的可重复的测量器件温度的方法。一个正向偏置的半导体结的导通电压对温度的线性依赖关系被证明是一个可靠的参数,并因之被用来说明双极型晶体管(射-基结或集-基结)的特性。由于其本征 D-S 二极管特性,该方法亦可用于 TMOS 功率 MOSFET。

当测量功率 MOSFET 的热阻时,除漏-源二极管的导通电压外,还要使用栅-源开启电压或漏-源导通电阻 $R_{DS(on)}$ 。知道了这些参数的温度特性——例如通过测量电压或电阻随炉温的变化——就可以确定通电后的器件温度和计算出热阻值。一个功率 MOSFET 的这些温度敏感参数及其近似的温度系数如下:

漏-源二极管 $\approx -2.0\text{mV}/^\circ\text{C}$

栅-源开启电压 ≈ -2.0 到 $-6.0\text{mV}/^\circ\text{C}$

漏-源导通电阻 $\approx +7.0\text{m}\Omega/^\circ\text{C}$, 当 $R_{DS(on)} = 1.0\Omega$ 时

如何测量这些温度敏感参数可用图 13-26 的简化示意图加以说明。其中图 13-26(a) 使用 D-S 二极管,图 13-26(b)使用 $V_{GS(th)}$,而图 13-26(c)使用 $R_{DS(on)}$ 。

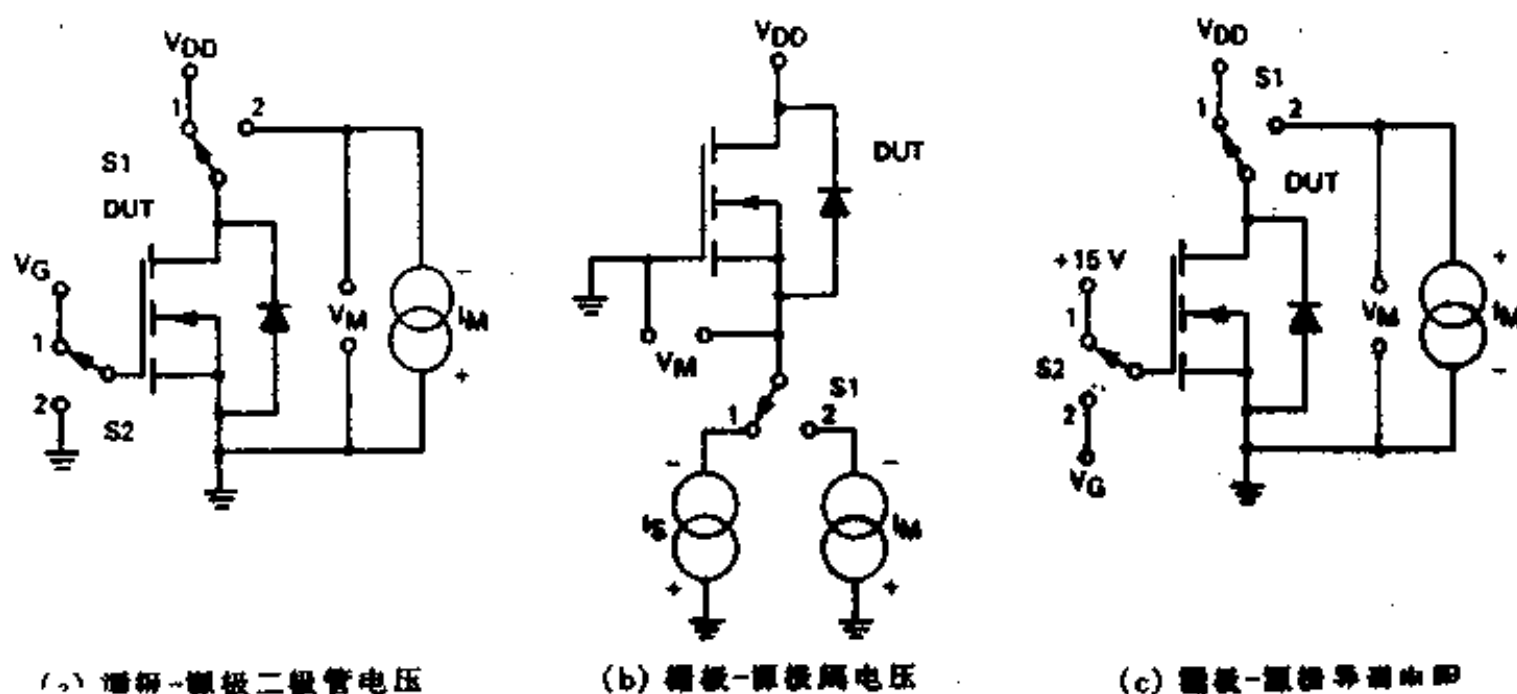


图 13-26 测量温度敏感参数的电路图

13.4.3 D-S 二极管温度敏感参数

一般来说,测量功率 MOSFET 的 $R_{\theta JC}$ 时,最常使用的电路都使用 D-S 二极管。当电子开关 S1 和 S2 在位置 1 时,场效应晶体管偏置导通,加热功率在比较长的期间里加在场效应晶体管上。然后开关在一段比较短的时间(感测时间)里被置于位置 2,从而场效应晶体管的温度没有明显的变化。接着场效应晶体管关断且一个恒定电流 I_M (与对温度敏感参数进行温度校准时的电流为同一个感测电流)加在正向偏置的 D-S 二极管上。通过测量二极管的正向电压降并将其与校准曲线进行比较,可以确定场效应晶体管的结温度。知道了输入功率和结温度,即可以计算出热阻。在实践中,输入功率(电压或电流)是变化的,直到 D-S 二极管压降等于校准点为止,这就使得不必产生一个完整的校准曲线,从而简化了测试进程。

13.4.4 栅-源开启电压温度敏感参数

这种热阻测试电路对于测量 GEMFET 的 $R_{\theta JC}$ 特别有用。与在 D-S 二极管测试中一样,当开关 S1 在位置 1 时,加热功率被加在被测器件上。然后,开关 1 可短暂地置于位置 2,把感测电流加在场效应晶体管上(在 $V_{GS(th)}$ 下为 I_D),并测量栅-源开启电压。改变输入功率 ($V_{DS}-I_S$),使 $V_{GS(th)}$ 等于高温校准读数,从而得到结温和 $R_{\theta JC}$ 。

13.4.5 漏-源导通电阻

该电路在概念上类似于 D-S 二极管测试器。但是,当开关在位置 2 时(感测时间),一个正向的恒定电流 I_M 和一个 $-15V$ 的栅偏压作用在器件上并使之导通。 I_M 的大小应能生成约 $0.5V$ 的 V_{DS} 。 V_{DS} 的测量值与 $R_{DS(on)}$ 的关系为:

$$R_{DS(on)} = V_M / I_M。$$

13.5 热测试装置

13.5.1 D-S 二极管热测试装置

1. $R_{\theta JC}$

示于图 13-27 的 D-S 二极管热测试装置部分地实现了图 13-26 的简化电路。它还包含测量瞬变热阻 $r(t)$ 的电路和读出漏-源二极管正向电压和输入功率(V_{DS} 和 I_D)的模拟电路。当模式选择开关 S1 在位置 1 时,系统计时是行同步并是从施密特触发器(门 G1A 和 G1B)成形电路导出的。而该成形电路则对 $300\mu s$ 感测时间单稳态多谐振荡器(门 G2A 和 G2B)进行计时。这样,功率 MOSFET 被测器件通过漏极开关电路(串联晶体管 Q1 和 Q2)和晶体管 Q3 导通 $8.0ms$,截止 $300\mu s$ 。漏极电流是由 I_D 控制电位器 R1 控制的。

在测试时间区间,被测器件的电源被切断(Q2 断开,Q3 接通),感测电流 I_s 通过导通的晶体管 Q4 和 Q5 被加在现在为正向偏置的 D-S 二极管上。D-S 二极管电压可用一个视测设备进行观察或用一个由串联的场效应晶体管开关 Q6、缓冲放大器 U6、取样驱动器 Q7 和行同步延迟单稳态多谐振荡器门 G2C 和 G2D 组成的采样和保持电路进行测量。该多谐振荡器的延迟控制使得采样脉冲定位于感测时间开始后的某个时刻,以测量出 D-S 二极管的稳定电压,而不理睬感测脉冲前缘上的可能的热和/或电开关瞬变。该延迟时间一般为 $50\mu s$ 到 $150\mu s$ 。

使用类似的取样和保持电路,可以测量所施加的功率($V_{DS/10}$ 和 $I_{D/10}$)。这是由场效应晶体管 Q8 和 Q9、采样驱动器 Q10、缓冲器 U3A 和 U3B 以及差分连接的运算放大器 U4A 和 U4B 实现的。

2. 瞬态热阻 $r(t)$

当开关 S1 在位置 2 时,可测得瞬态热阻 $r(t)$ 。现在,系统计时是借助于把被测器件接通和断开各 $11s$ 的 $22s$ 非稳态多谐振荡器(门 G1C 和 G1D)导出的。在关断期间,D-S 二极管电压可在任何选定的时间间隔加以测量。这是通过选择延迟多谐振荡器的各种电阻-电容计时部件实现的。可以通过可用选择器开关 S2 进行开关的六个电容器产生由 $100\mu s$ 到 $10s$ 的控制,而三个电阻器(开关 S3)的控制因数为 0.2 、 0.5 和 1.0 。

13.5.2 栅极开启电压 $V_{GS(th)}$ 热测试装置

图 13-28 所示的栅源开启电压($V_{GS(th)}$)热测试装置是为测试 IGBT 的热阻而设计的,因为该器件没有一个 D-S 二极管。由于它检测由温度引起的栅-源开启电压的变化,故也可用于功率 MOSFET。其围绕栅极和源极的行同步和电流调节器回路使其非常类似于 D-

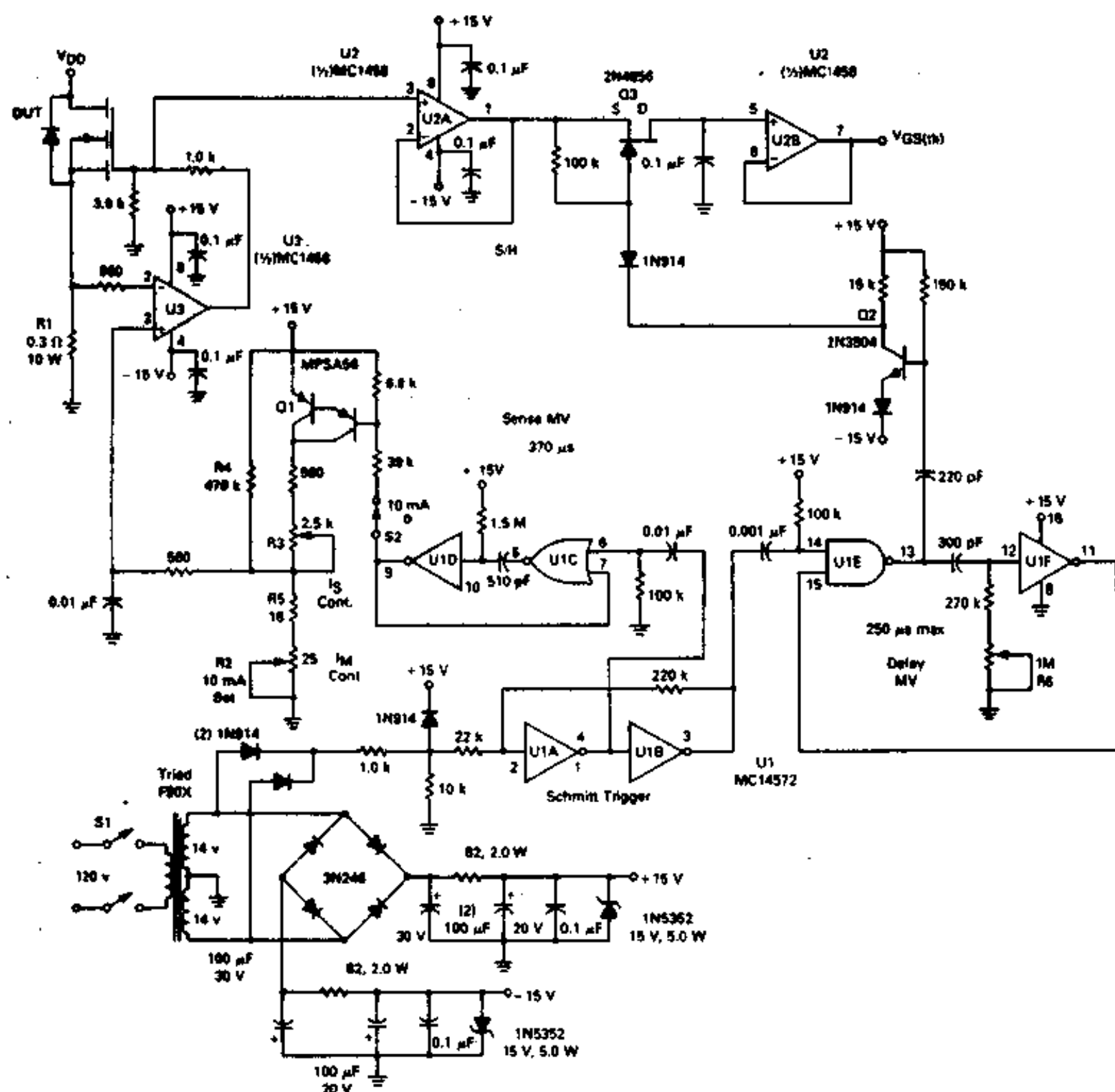


图 13-28 功率 MOSFET $V_{GS(th)}$ 的热测试装置

能够容易地从 CMOS IC MC14527 导出。

在 370mA 的感测时间里, U1D 的输出是高电平, PNP 达林顿晶体管 Q1 截止, 参考电压是由电压驱动器 R2(10mA 置位控制)、R4 和 R5 决定的。为设定 R2, 开关 S2 断开并监测漏极电流是否为要求的 10mA。

当 U1D 在大约 8.0ms 的功率期间处于低电平时, Q1 导通, 使控制 I_s 的 R3 成为参考电压电路的一部分。因此, 参考电压将从 3.0mV 的感测电压切换到 I_s 控制电压。

在感测时间期间, 栅-源电压的幅值可用一个测视设备进行观察或用一个由场效应晶体管系列开关 Q3、缓冲放大器 U2A 和 U2B、取样驱动器 Q2 和延迟多谐振荡器 U1E 和 U1F 组成的取样和保持电路读出。然后通过改变 V_{DS} 或 I_D 来改变向被测器件提供的功率使 $V_{GS(th)}$ 等于标定值。由此可知道 T_j 和 P_{IN} , 而 $R_{\theta JC}$ 则可计算出来 [$R_{\theta JC} = (T_j - T_C) / P_{IN}$]。

13.6 测量功率 MOSFET 的电容

从外部来看,功率 MOSFET 的内部电容为三个极间电容: C_{gs} 、 C_{gd} 和 C_{ds} (图 13-29)。

对共源极电路来说,极间电容被结合起来以反映对驱动源和负载的容抗。这些合成电容是:

C_{rss} ——反向转移电容

C_{iss} ——共源极输入电容

C_{oss} ——共源极输出电容

C_{rss} 是在源极进行了交流保护情况下的漏极和栅极之间的电容。 C_{iss} 是在漏极对源极交流短路的条件下栅极和源极之间的电容。 C_{oss} 是在栅极对源极交流短路的条件下漏极和源极之间的电容。表 13-2 给出了共源极和极间电容之间的关系。

表 13-2

共源极		器件
C_{rss}	=	C_{gd}
C_{iss}	=	$C_{gd} + C_{gs}$
C_{oss}	=	$C_{gd} + C_{ds}$

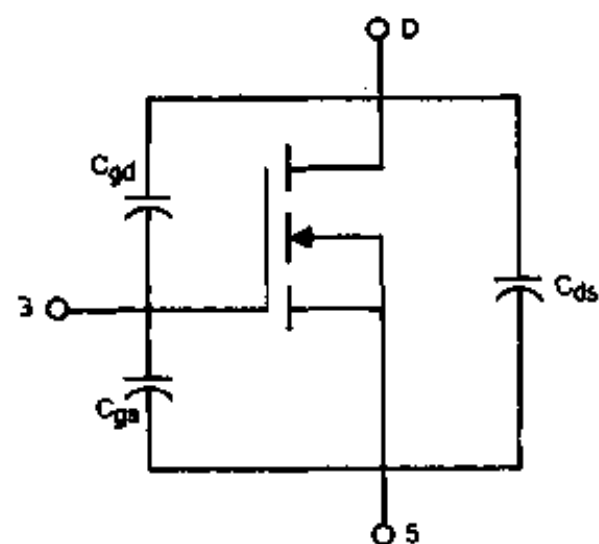


图 13-29 极间电容

在 MOSFET 的栅极和漏极之间测得的 C_{rss} 主要由 MOSFET 漏极区的多晶硅栅和累积区之间的 MOS 电容组成。 C_{gs} 的主要组成部分在多晶硅栅和原极镀膜金属之间。 C_{gs} 的一个附加部分是原极结构和“后栅极”区域之间的一个 MOS 电容。 C_{ds} 是漏极和“后栅极”区之间的 PN 结电容。 C_{gd} 和 C_{ds} (在某种程度上也有 C_{gs}) 与电压有很强的依赖关系。

最新式的电容测试仪(如 Boonton 74BD, HP 4275A)是“有保护的”并且能方便地把直流偏压叠加在被测电路的测试回路中。

有保护测试仪是受屏蔽的且被设计成使位移电流(I_m)检测电路在接地之上(图 13-30)。任何漏电流(或流过一个三引出端复合电容器的电流)都被旁路,因而只有流过被测电容的电流被检测和测量到。对保护电路的更详细的讨论可参考文献 1、2(略)。

图 13-31 为测试 C_{rss} 的有保护电路。如图所示,测试回路仅包含 C_{gd} 。任何流经 C_{gs} 或 C_{ds} 的位移电流都被旁路而不通过测试回路,因而只有 C_{gd} 位移电流流过测试电路。但是,直流偏压可加在出现于漏极和源极之间的“L”母线上,从而使得可在不同的电压下测量 C_{rss} 。

为了测量 C_{iss} 的值,流经 C_{gs} 的位移电流必须被包含在测试回路中。实现这一目标的一个简便方法是把源极与漏极用导线连接起来,但这样一来就不能用于测量漏-源电压不为零时的情况。一个更好的方法示于图 13-32。在这一电路中,源极和漏极之间被 C1 交流短路,从而把 C_{gs} 包含在测试回路之中。R1C1 提供了一个从地到源极的交流回路,从而使得能够测量 C_{iss} 随 V_{DS} 的变化。

C_{oss} 的测量也很简单。把 C_{ds} 位移电流包括在 C_{rss} 测量回路中的最简便方法是把源极和栅极用导线连接起来(图 13-33)。这种安排仍可在不同的漏-源电压下进行测量。

对图 13-31、13-32 和 13-33 的测量电路进行仔细观察后不难发现,它仅仅在源极端

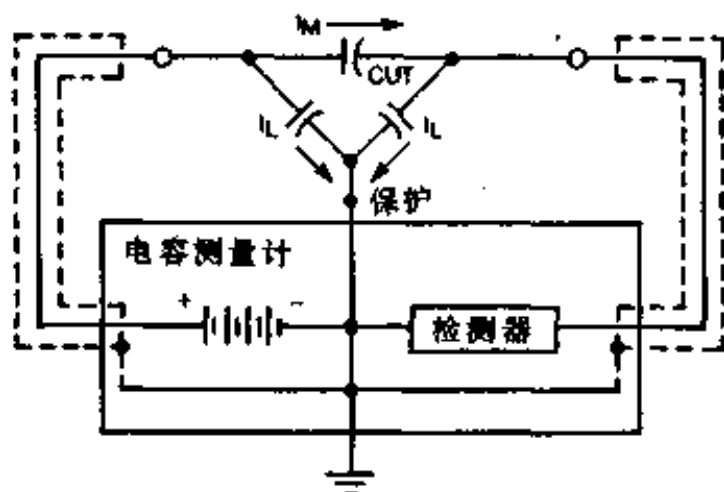


图 13-30 “有保护的”电容的测量

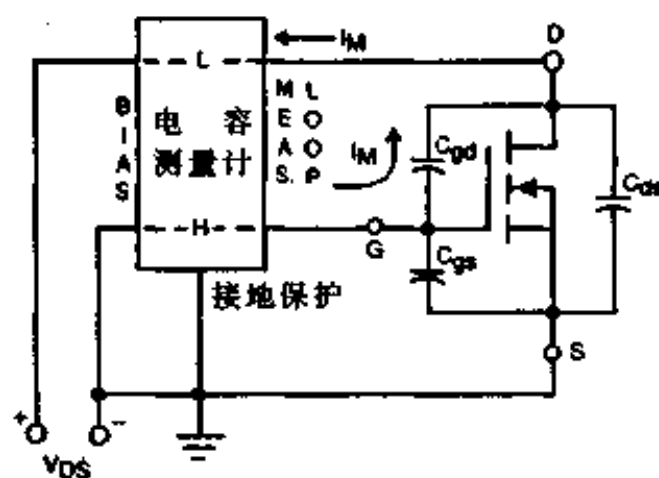


图 13-31 C_{iss} 测试电路

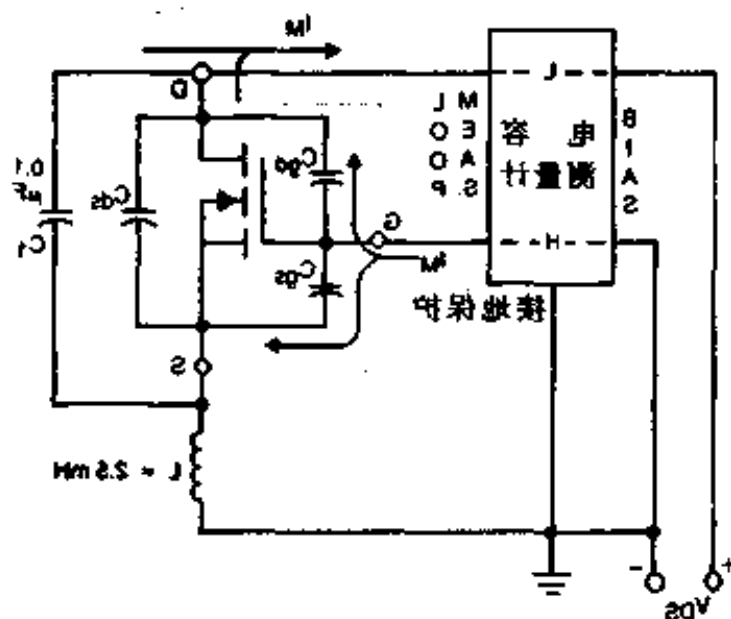


图 13-32 C_{iss} 测试电路

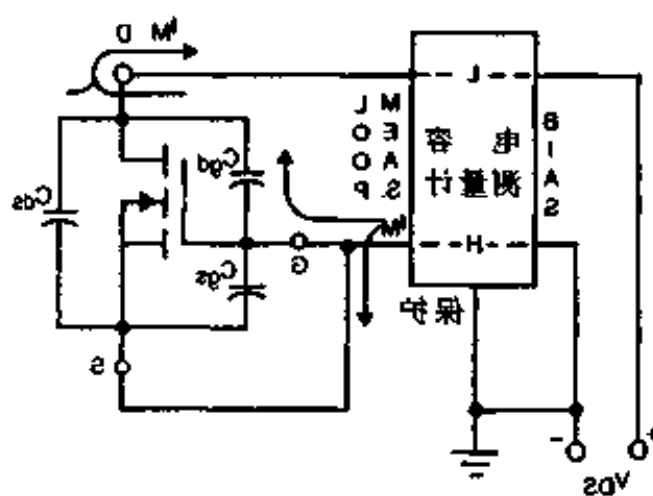


图 13-33 C_{iss} 测试电路

子的接法上有差别。图 13-34 把图 13-31, 3-32 和 13-33 体现在一个测试电路中。一个两刀、三闸的旋转开关把源极接线端连接到三个共源极电容测量的合适节点。栅极和源极之间的 $50k\Omega$ 电阻保证在电容测量仪失效的情况下 MOSFET 的正确连接。按下按钮即可加上漏-源偏压。通过把偏置供电电压倒相即可测量 P 沟道器件。

图 13-35 给出了用图 13-34 所示的测试装置得出的典型系列共源极电容曲线。

由于第六章中所阐述的原因, 图 13-35 不是电容 C_{iss} 和 C_{oss} 变化的一个全部图形。简单地说, 缺少的一些数据是当器件工作到深导通状态时的电容变量。图 13-36 所给出的电路提供了测量这些附加电容变量的一种方法。

图 13-37 中零点左边的曲线示出电容变化情况。

13.7 功率 MOSFET 的其它特性的测量

尽管许多最新的数据表给出功率 MOSFET 用在功率转换装置时所呈现的特性, 但实际上不能保证把所有可能的情况都预测到。因此, 装置设计经常要求在一些未说明的条件下使用功率 MOSFET。为了补偿这些未知条件, 一般的做法是使用一个比较大的设计采样。较大的设计采样可保证统计上的可靠感。这种采样往往取自一次性购得的晶体管, 而且具有可预测的不适当的结果。

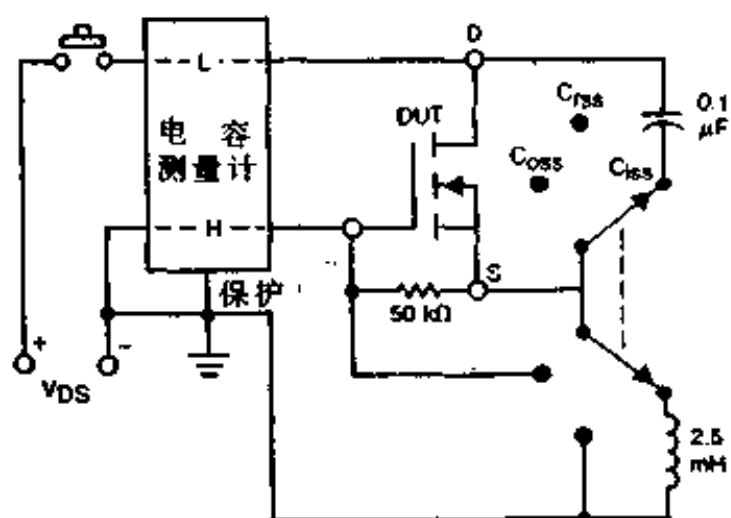


图 13-34 共源极电容测试装置

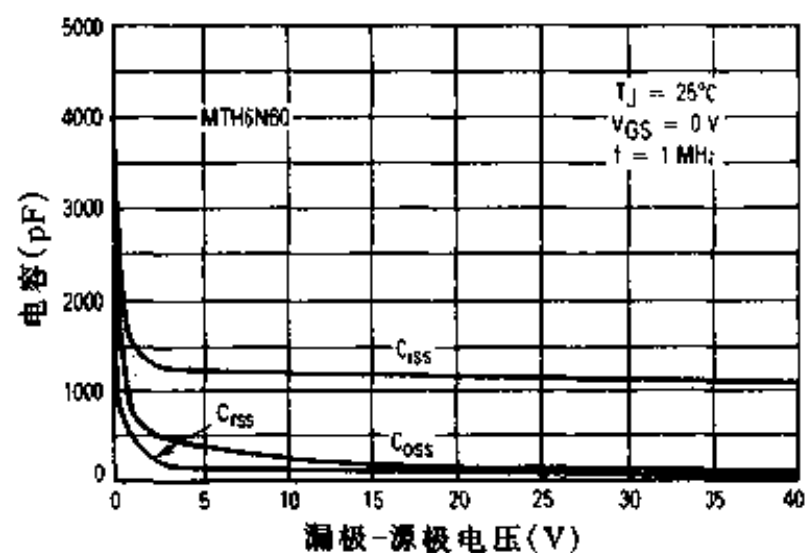


图 13-35 MTH6N60 的 C_{iss} 、 C_{rss} 和 C_{oss} 电容变化曲线

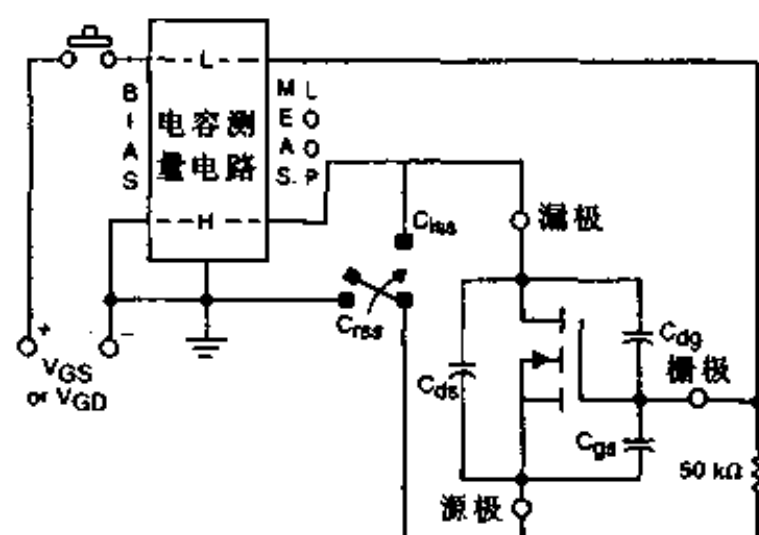


图 13-36 测量功率 MOSFET 当其处于或进入导通状态时的 C_{iss} 和 C_{rss} 所使用的电路图

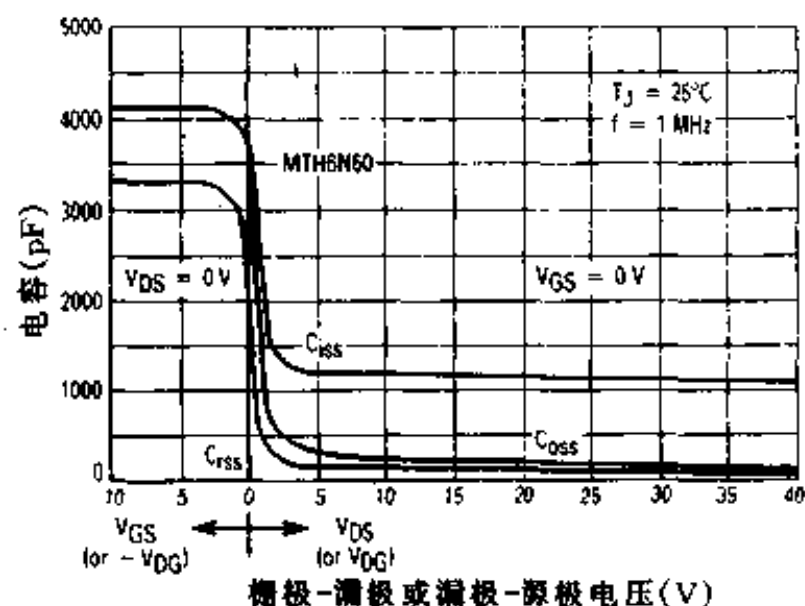


图 13-37 MTH6N60 的电容变化的完整特性曲线图

13.7.1 设计概要

设计师对这种装置中的每一种关键元件订购多达 100 只。他可以简单地验证该装置能满意地工作,或者他可以尝试根据参数变化进行一次最差情况分析。不管怎样,可以相信,这 100 只元件构成一个统计上的保守的采样。

当对性能和最差情况分析的结果表明装置工作性能满意时,设计就算最后定案了。试生产所用的元件是从最初订购的 100 只元件中选出的。

半导体部件有三个与仪器设计人员有关系的统计上的数据,它们是:

- (1)集成块
- (2)集成片
- (3)单独部件

一个集成块是通过工艺加工在一起的集成片。一个开关电源输出晶体管的典型样品,是

每个集成片 100 个晶体管,每个集成块 50 个集成片,即总共每个集成块差不多是 5000 个晶体管。统计上的研究起因于在集成块内是成批处理的。面包模拟是很能帮助说明的问题。

假设一个面包师傅有三组未加工的面包,每一组足够大以便充分利用烘箱内可利用的位置。这三组面包在烘箱内按顺序进行烘烤,第一组烘烤得稍微过度些,面包颜色显得暗一些,第二组面包烘烤得不太透,颜色显得亮些,第三组烘烤比较适度。在每一组内,各面包间的明亮度和暗度有些差别但或许不是很大,颜色的差别在很大程度上取决于这个面包是属于哪个组的。从任何一组抽出的面包采样对于由于烘烤过程引起的预期变化将作不出什么预测结果。

半导体特性变化大多也是这种情况。许多性能主要取决于一个管子在哪一个集成块内被加工处理,而不是主要取决于这个管子是从一个给定的集成块内取出的。图 13-38 给出一个说明。

曲线 A 和 A' 以同样的刻度描绘出在两个不同的电路块内的晶体管数目密度,对相同参数的分布曲线。很清楚,由从晶片块 A 中取出的晶体管样品的特性,不好预测从晶片块 A' 中取出的晶体管的特性。这些曲线象征着许多晶体管参数变化状况,通常它也是对成批加工处理的一种描述。

从一个设备的设计观点看,这些特性有着重要的含义。当考虑 100 只晶体管取自同一块电路块时,一个有 100 个电路的设计样品的可靠性变得可疑了。事实上,使用的 100 只晶体管若都是在同一个组内取得的话,可靠性相比之下则更低了。

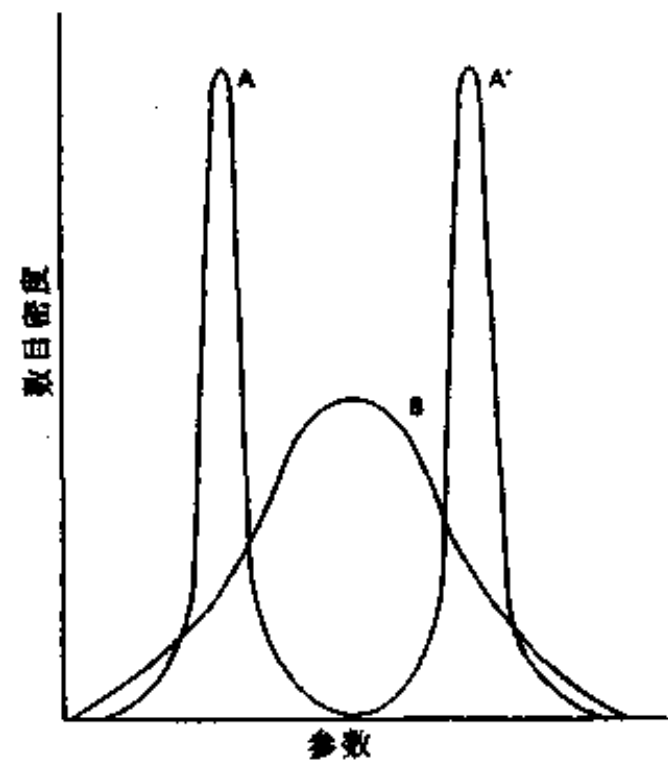


图 13-38 概率分布举例

13.7.2 设计采样

设计工作中最重要的要素会获得统计上合适的关键元件样品。就功率晶体管而论,这就意味着在设计抽样中包括一些不同的集成块。这个任务表面上可能是困难的,这是因为一般在一个指定的抽样中,许多集成块是未知的。然而,在一次抽样中,集成的最小数目可以通过计算区分集成块的每个日期号码来确定。有许多集成块可能以一个日期码编号,但通常二个日期码将不包括取自同一块集成片的晶体管。

晶体管往往有二个日期号码,一个号码对应管子被测试的时间,另一个日期号码则代表晶体管的安装时间。这两个日期码中,安装日期码有用得多。例如,Motorola TO-204 晶体管的耳朵上印有一个由 3 位数组成的日期号码,第一位号码是指年,第二位和第三位号码对应于工作周,例如一个晶体管在 1987 年最后一个工作周制造应读 752。

因此,抽样挑选的关键在于根据一些不同的日期号码获得抽样管子。这儿有几点建议,请予注意:

(1)按序列出若干订货单。

(2)向几个不同的销售商订购所需元件,销售商最好地处不同的地理位置。从 5 个销售商订购装运 100 个元件所需费用虽然比不向单个销售商订购要高,但其所带来的好处远远

超过了所增加的部分费用。

(3)向制造厂提出咨询以求帮助。

实际情况是,要获得具有多于4个或5个集成块的一次取样通常是相当困难的。由于这是一个比较小的抽样,所以了解有关参数变化的使用知识是很有用的。这与下面作为特例介绍的安全工作区(SOA)尤其吻合。

13.7.3 安全工作区

安全工作区(SOA)大概是来确定参数的最大的麻烦。工作在不确定范围内是难免的事,这是因为实际上没有保证晶体管能够使用的全部工作条件。一般地说,不确定的工作条件与为给出电路组态和偏置条件所画出的SOA(安全工作区)曲线是相关的,这是由于电路组态或偏置上的差别也是在一个不确定的范围内的缘故。

上述情况往往如此,所以直接进行测试可能是很有效的。测试步骤如下:

(1)起动含有被测晶体管的设备或一个适当的测试电路,把输入总线电压升高到 $1.25 \times$ 最坏情况的电压值。测试设备的耐久性,如果在设计样品中的任何管子坏了,则说明没有足够的可靠工作范围,将来肯定有麻烦。如果管子没有坏,再进行第2步。

(2)将总线电压升高到 $1.33 \times$ 它的最坏情况值,重复测试。如果有50%以上的晶体管经受得住试验的话,那么安全工作区(SOA)可靠工作范围则是大大够用的。

(3)要充分认识到在开关功率转换系统中,最坏情况下的安全工作区压力常常不是出现在满负荷和高温条件下。因此,必须对测试条件给予充分的注意。

安全工作区压力常常在第一次或最后一次开关时达到最大值。第一和最后一次开关时的负载线比稳定状态满负荷运行时的负载线的偏移要大。

13.7.4 总的指导原则

人们通常更感兴趣的是获得除安全工作区之外的参数的合适的变化范围。

这里使我们感兴趣的是在一条多年运行的生产线上生产出来的产品的最大偏差。表13-3给出了各种参数的可能的变化情况。测量平均值是根据设计样本中的晶体管得出的。为便于比较,这些平均值被归一化为1.0。

表 13-3

参 数	测量平均值	预期的最小值	预期的最大值
泄漏电流	1.0	10^{-3}	10^3
击穿电压	1.0	0.7	1.5
增 益	1.0	0.5	4.0
接通延迟时间	1.0	0.7	1.5
上升时间	1.0	0.5	2.0
关断延迟时间	1.0	0.5	2.0
下降时间	1.0	0.5	2.0
交迭时间	1.0	0.5	2.0
栅极开启电压	1.0	0.6	1.5
$R_{DS(on)}$	1.0	0.5	2.0
$V_{DS(on)}$	1.0	0.5	2.0
C_{iss}	1.0	0.7	1.5
C_{oss}	1.0	0.5	2.0
C_{rss}	1.0	0.6	1.6

尽管有些参数的变化范围看起来很大,但若考虑到生产线要连续运转多年,也就不足为怪了。

13.7.5 结论

通过改进对设计样本的选择,可以显著地减小设备失效的危险。通过对最坏情况下参数的变化作出准确的估计和对最大压力下的测试条件作出正确的选择可进一步减小设备失效的危险。

13.8 波形记录仪对功率 MOSFET 的测量技术

大多数波形记录仪被设计成用来测量双极型功率晶体管的相关特性参数。由于功率 MOSFET 的特性与双极管的特性相似,所以以上测试技术也可用来测量 MOSFET 的特性参数。表 13-4 列出了这两种类型晶体管相对应的参数。

在测量功率 MOSFET 参数时,应避免栅极开路以防止管子栅极氧化层的可能损坏。建议在栅极和源极间连接一个大约为 $10M\Omega$ 电阻。

表 13-4

晶体管	MOSFET
集电极	漏极
发射极	源极
基极	栅极
$V_{(BR)CES}$	$V_{(BR)DSS}$
V_{CBO}	V_{DGR}
I_C	I_D
I_{CES}	I_{DSS}
I_{EBO}	I_{GSS}
$V_{BE(on)}$	$V_{GS(th)}$
$V_{CE(sat)}$	$V_{DS(on)}$
C_{ib}	C_{iss}
C_{ob}	C_{oss}
h_{FE}	g_{fs}
$R_{CE(sat)} = \frac{V_{CE(sat)}}{I_C}$	$R_{DS(on)} = \frac{V_{DS(on)}}{I_D}$
V_{EC}	V_{SD}

13.8.1 用波形记录仪可测量的电气特性

1. 关断特性

$V_{(BR)DSS}$: 漏极到源极的击穿电压——该电压是在确定的漏极电流 I_{DSS} 下所测得的漏极和源极之间的最大允许电压。在测试过程中,栅极到源极之间应该是短路的。

I_{DSS} : 零栅压时的漏极电流——该电流是在确定的漏-源电压 V_{DSS}

的漏极泄漏电流。在对 I_{DSS} 的测试期间,应该使控制栅与源极之间短路。

I_{GSS} : 栅极漏电流——该电流是在一定的栅源电压下测得的栅极泄漏电流。在对其测试过程中,漏极至源极间应该短路。

2. 导通特性

$V_{GS(th)}$: 栅极开启电压——该电压值是栅源之间的电压值。该电压使器件刚开始导通。该栅源电压在一定的漏极电流 I_D 下进行测定。它具有的负温度系数约为 $6.7mV/^{\circ}C$ 。

$V_{DS(on)}$: 漏源导通电压。该电压降是在指定的漏极电流和一定的栅源电压下在漏极和源极两端之间测得的。

$R_{DS(on)}$: 漏源导通电阻——该电阻是在指定的漏极电流和栅源电压下的漏极和源极两端间的电阻,它的定义为:

$$R_{DS(on)} = V_{DS(on)} / I_D$$

g_{fs} : 正向电导——是在指定的漏极电流和确定的漏源电压值下,漏极电流的变化量与栅源电压变化量的比率;

$$g_{fs} = \Delta I_D / \Delta V_{GS}$$

V_{SD} : 二极管正向导通电压——MOSFET 本身的二极管的这个正向压降是在一定的源极电流 I_s 下测得的。在对该电压进行测试期间,栅极到源极应该短接。

13.8.2 波形记录仪测量

下面叙述如何在一台波形记录仪上对一些 MOSFET 的特性参数进行测量。虽然测量程序是对应于 Tektronix 370A 型波形记录仪,但是用 Tektronix 576 或 577 型波形记录仪也能进行相似的测量。为了参考,一部程控的 370A 型波形记录仪的面板在图 13-39 中示出。

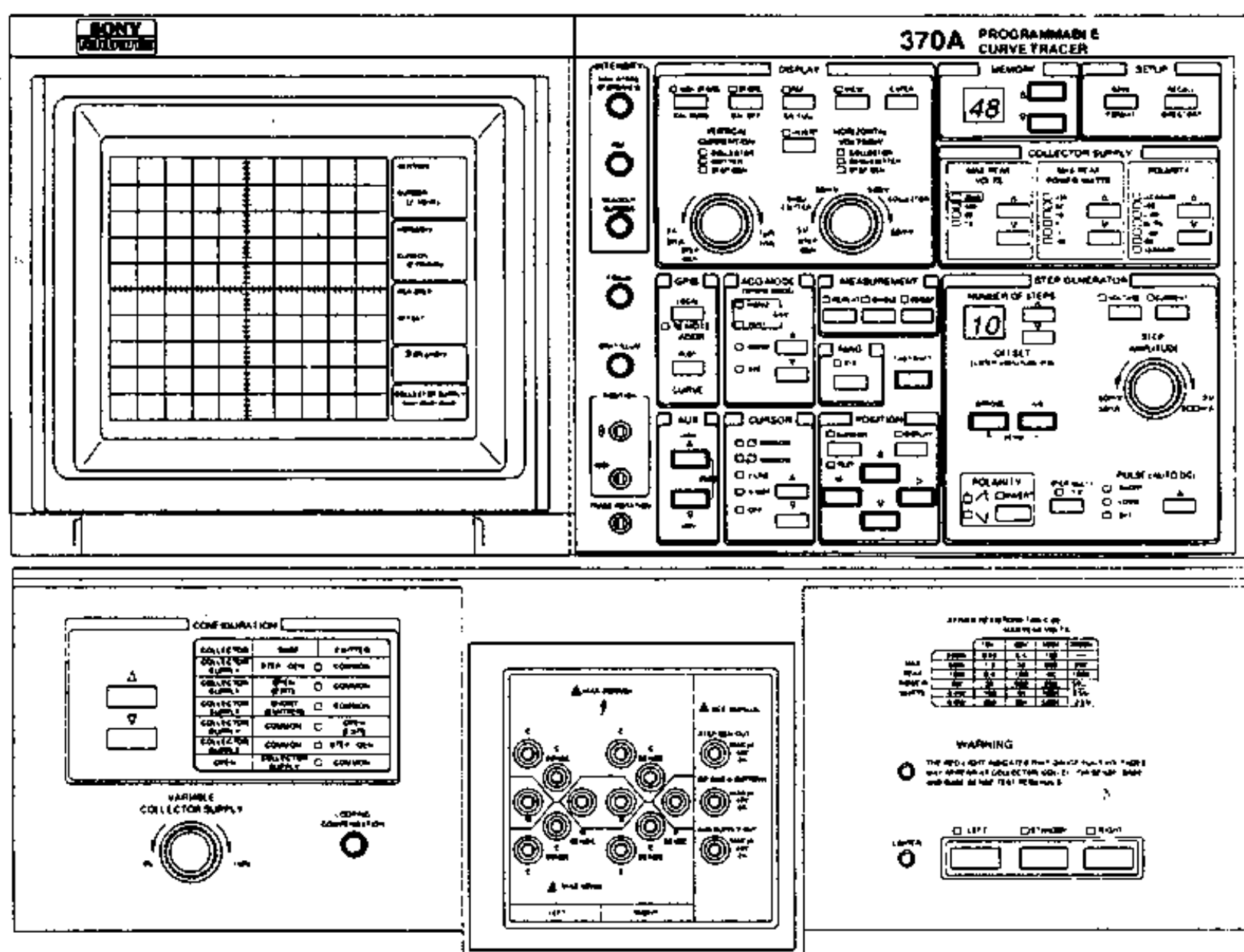


图 13-39 程控 370A 波形记录仪的控制面板

在对一部波形记录仪上的一个 MOSFET 供给电源之前,应遵守以下几点事项:

- (1) 测试台上应避免静电放电。
- (2) 当往波形记录仪上插接部件时,直到全部插接头都牢固地连接到插孔上后才能供给电压。
- (3) 如果出现了寄生振荡,需要把 100Ω 的一个电阻与栅极串接在一起。
- (4) 当电压源从一个量程转换到另一个量程时,电压旋钮应减小到零以避免可能出现的

电压冲击危害。

以下所述的测试程序(步骤)是对于 Motorola MTP3055E 功率 MOSFET 进行的。MTP3055E 是一个在 TO-220 部件内的 12A、60V 的 N 沟道器件。通过把绝缘栅双极型晶体管(IGBT)的集电极和发射极连接到波形记录仪的集电极和发射极端,把它的栅极连接到波形记录仪的基极接头端,就可对绝缘栅双极管进行测试。

把全部极性反接,并使用对 N 沟道管进行测试时所用的同样装置即可对 P 沟道功率 MOSFET 进行测试。

370A 初调(Power up)用来对 370A 前面板的 setup 建立起始点。为迅速初始化,你可能想使 setup 处于一个合适的记忆位置而省去初调。可以这样做:先按 370A 的 off 按钮,接着按 on 按钮即可,在自测之后按压按钮 SETUP SAVE。

1. $V_{(BR)DSS}$ ——也称为 BV_{DSS}

初始 370A[由记忆位置再回到 Power-up 调节(初调)],并按照如下所示调节旋钮:

最大峰值电压	400V
水平电压/格	20V 集电极
垂直电流/格	50 μ A
电路组态	基极短路-共射
光标	亮度
LRS(左-右-等待)	选择器件

(1)旋转可调集电极 %CW 直到水平显示垂直转弯为止,如图 13-40 所示。你也可能必须对环进行调节以减小在显示中所示出的环。

(2)把光标点置于靠近所显示的垂直部分的顶部位置。

(3)旋转可调集电极电源 CW,直到垂直部分读出显示大约为 250 μ A 为止。

(4)水平光标读出指示 $V_{(BR)DSS}$ 。

2. I_{DSS} ——在额定 $V_{(BR)DSS}$ 下的精确测定

初始 370A 并按下面所列调整调节器(旋钮)

最大峰值电压	80V
垂直电流/格	10 μ A
集电极电源极性	+DC
水平电压/格	10V
电路组态	基极短路-共射
光标(显示)	亮点
LRS	选择器件

(1)调节可调集电极电源 CW 直到水平光标显示器读出约为 50V 为止。垂直光标读出指示 I_{DSS} 。

注意:实际上的 I_{DSS} 可能比给定的值低一些。为了测量可能需要应用集电极极性正泄漏

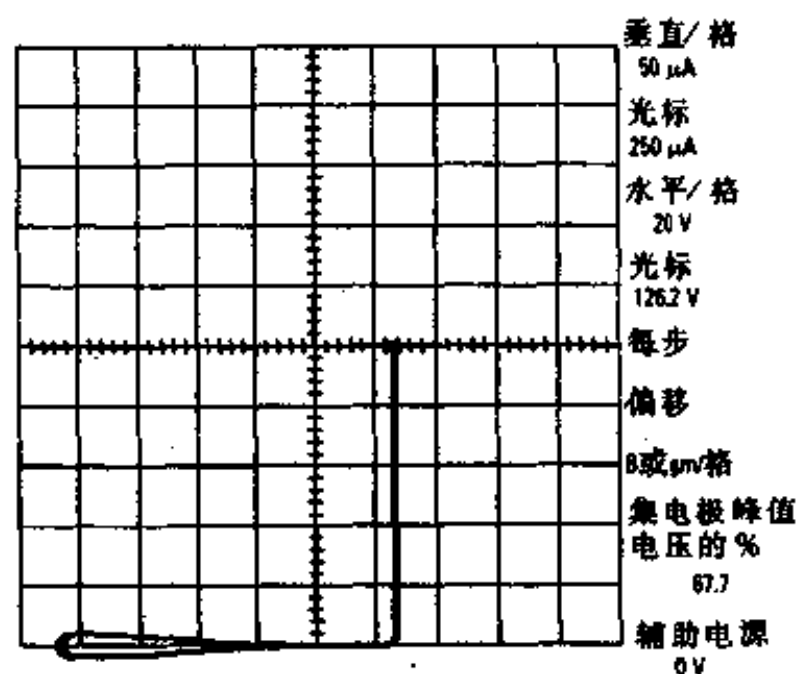


图 13-40 波形记录仪对 $V_{(BR)DSS}$ 的描绘图形

并且调节垂直电流/格。

3. I_{GSS} ——在 $V_{GS} = \pm 20V$ 时的给定值

初始 370A 并照下面所示调节各旋钮：

集电极电源极性	负泄漏
垂直电流/格	1.0nA
水平电压/格	5.0V
光标	亮点
间隔偏移电压幅值	2.0V
最大峰值电压	80V
电路阻态	基-射极间产生阶梯

(1) 旋转可调集电极 %CW 直到水平读出指示约为 20V 为止。

(2) 按压并保持位移(偏置)反向,直到偏移读出指示在 +20V 为止。

(3) 调节 LRS 以选用器件,垂直光标读数指示为 I_{GSS} 。

注意:MOSFET 的栅极泄漏电流(I_{GSS})一般很低,因此垂直偏移是不明显的。

4. $V_{GS(th)}$ ——预置 370A 并照以下所示调节各调节旋钮：

垂直电流/格	200 μA
水平电压/格	500mV
间隔偏移大小	1.0V/步
最大尖峰功率	0.4W
间隔号(# of steps)	0
光标	点
LRS	选择器件

(1) 旋转可调集电极电源 CW 直到水平显示处于最少 4 个格。

(2) 把亮点光标置于显示面板的靠右端。

(3) 按压并固定 step gen offset aid 直到光标读出指示 $V_{GS(th)}$, 如图 13-41 所示。

5. $V_{DS(on)}$ 和 $R_{DS(on)}$

预置 370A 并按照下述调节各旋钮：

垂直电流/格	1.0A
水平电压/格	500mV
集电极电源极性	+DC
最大峰值功率	220W
脉冲	长(脉冲)
间隔/偏移电压	2.0V
间隔号	5
光标显示	点
LRS	选择 DUT

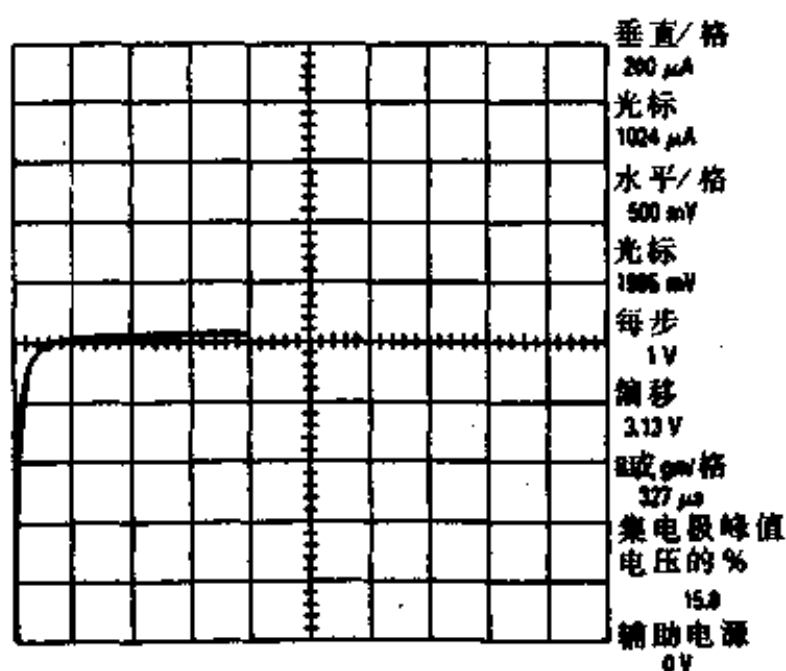


图 13-41 对 $V_{GS(th)}$ 的描绘图形

(1)调节可调集电极电源%CW 直到显示器最高亮点处于给定测量电流位置,如图13-42 中所示。

(2)调节亮点游标到达顶部亮点位置,水平光标读出指示 $V_{DS(on)}$ 。

(3)选择 f-line 显示器(只对 370A 型号),垂直光标读出指示 $r_{DS(on)}$ 。

6. g_{fs} ——预置 370A 并遵照下列情况调整各调节旋钮:

垂直电流/格	1.0mA
水平电压/格	1.0V
间隔偏移电压幅值	500mV
间隔号	0
最大尖峰功率	220W

(1)调节可变集电极电压%CW 直到亮点位于向右约 9 个间隔(分度),调节 LRS 以选择 DUT。

(2)按压并固定偏移器直到亮点垂直偏移大约一个间隔,指示 1.0mA。

(3)调节垂直电流/格到 1.0A/格,并增加间隔号,直到最高的亮点位于或高于测量电流。

(4)按压测量扫描(370:按压 stift 一次)并等待扫描直到进行完毕。

(5)定位 Window Cursor 以便使光标跨过二条曲线顶部,如图 13-43 所示。B 或 gm 读出指示两条曲线顶部之间的 g_{fs} 。

7. V_{SD} ——为 $V_{GS}=0$ 时,在额定 I_D 下给定

预置 370A 并按照如下所示调节各旋钮:

集电极电源极性	—
最大峰值功率	220W
水平电压/格	200mV
显示	反向
电路阻态	基极短路-共射
光标	点
LRS	选择器件

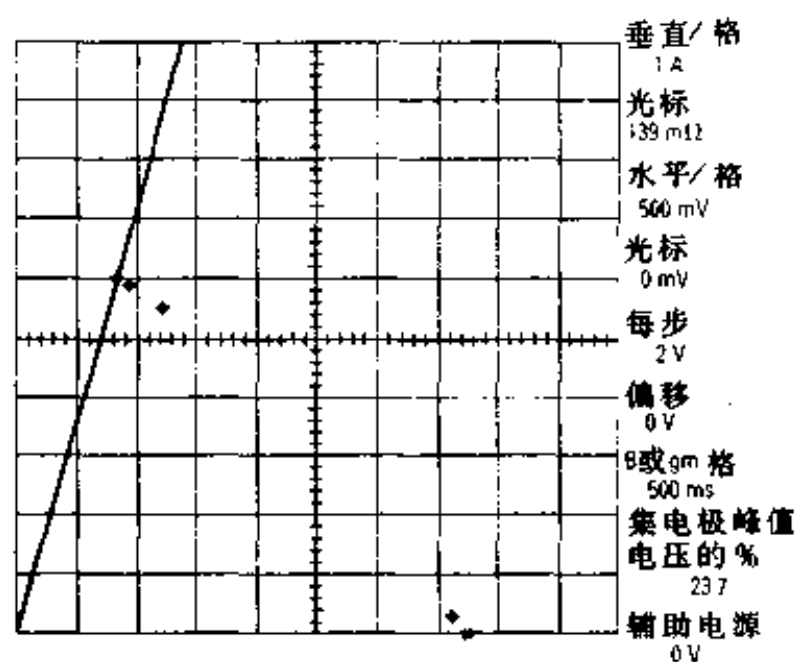


图 13-42 对 $R_{DS(on)}$ 的描绘图形

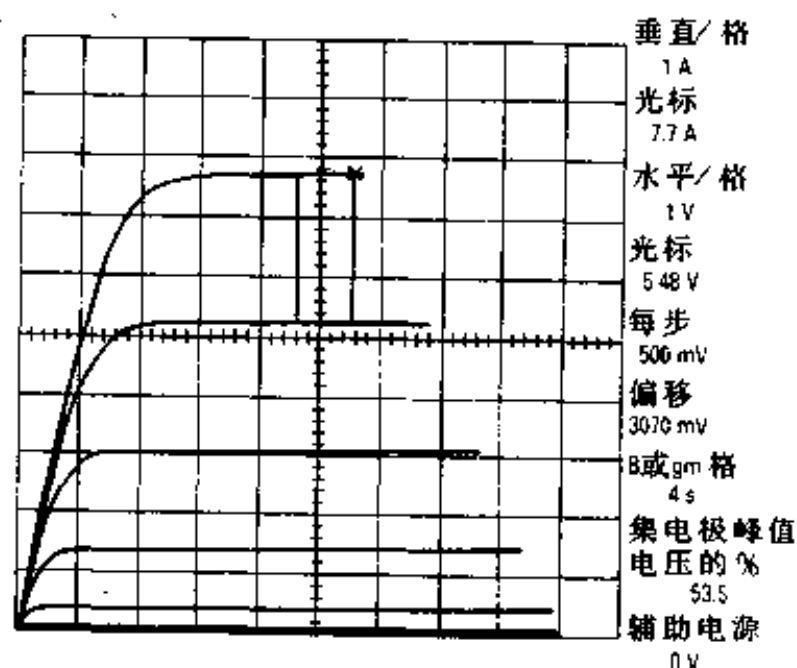


图 13-43 波形记录仪对 g_{fs} 的显示图形

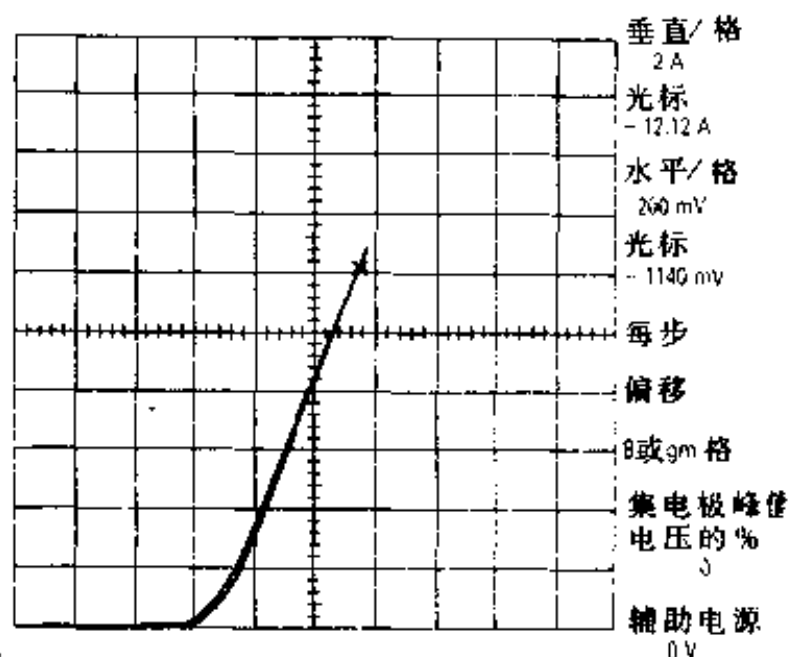


图 13-44 波形记录仪对 V_{DS} 的显示图形

警告:为防止器件过热,尽可能快地按以下第一步做。

- (1)旋转可调集电极%CW到100%,并按压测量一次,并减小可调集电极到0%。
- (2)调节LRS到等待(备用)状态。
- (3)将光标点置于显示器上的12A(幅值)点,水平光标读出指示 V_{SD} 。

第十四章 可靠性与质量

14.1 引言

在当今的半导体市场上,一个企业获得成功的两个重要要素是产品的质量和可靠性。这两个要素是相互关联的——可靠性即是质量在产品预期寿命内的延伸。任何一个制造厂商要能够在市场上站住脚,其产品必须达到或超过基本的质量和可靠性标准。Motorola 公司作为一个半导体产品的供应者,已成功地达到了这些标准所规定的要求。它所提供的产品可以在最恶劣的环境中和最苛刻的应用要求下运行。

确保质量性能的最好方法是摒弃以前那种用产品检验保证质量的方法,而采用严格控制生产条件和生产过程来确保生产出合格产品的方法。Motorola 公司采取双重措施来确保生产出质量和可靠性都很高的产品。首先,该公司研制开发的生产过程本身是很可靠的。其次,在生产过程中从开始到结束的每一步都严格遵守生产规范。正是这种对产品质量的长期重视使我们能够生产出完美的产品。

Motorola 公司采取以下四条措施来提高质量和可靠性,从而使 TMOS 产品的质量和可靠性得到有效的保障:

- (1)对生产过程进行严格的控制和监督。
- (2)对设计和材料进行全面的检查。
- (3)在生产过程中进行常规测试,包括 100%质量保证的众多测试。
- (4)通过检查和可靠性研究不断地对产品的可靠性进行核查。

这些质量和可靠性保障措施再加上对来料和发运出去的产品进行严格的质量检查,从而确保了产品和服务具有可靠的质量。

14.2 可靠性测试

Motorola TMOS 产品要经过一系列的可靠性测试以检验其是否符合要求。这些测试是在实际应用中可能碰到的破坏机理加速发挥作用的情况下进行的,从而保证产品能在“真实世界”的应用条件下达到令人满意的可靠性指标。

以下所描述的是对 Motorola TMOS 器件进行经常性的可靠性测试。

14.2.1 按照美国军用标准 MIL-STD-750 的 1039 方法进行高温反偏压(HTRB)测试

HTRB 测试是测试在高温下主阻挡结加有反向偏压时器件的稳定性。

在给定温度和结电压的条件下,在一段时间里的稳定性和漏电流是衡量结表面稳定性的一个指标,因而也是衡量器件质量和可靠性的指标。

对 TMOS 器件来说,在漏极和源极之间加电压而将栅极与源极短路。 I_{DSS} 、 $V_{(BR)DSS}$ 、 I_{GSS} 、 $V_{GS(th)}$ 和 $V_{DS(on)}$ 是要监测的直流参数。若当漏电流太大,它所造成的功率损耗使器件进入热失控状态,从而导致器件损坏。所以一个稳定器件的漏电流必须保持相对稳定,在测试期间内只能有少许上升。

典型条件为:

$V_{DS}=V_{DS}$ 的最大额定值

$V_{GS}=0$ (短路)

$T_A=150^{\circ}\text{C}$

持续时间:1000 小时(以上才算合格)

14.2.2 按照 MIL-STD-750 美国军用标准的 1039 方法进行高温栅偏压(HTGB)测试

HTGB 测试是在高温条件下对栅极氧化物加上最大额定直流偏压。该测试的目的是检测由随机的氧化物缺陷和离子氧化物杂质所造成的漂移。

对 TMOS 器件来说,电压是加在栅极和源极之间而把漏极与源极短路。 I_{GSS} 、 $V_{GS(th)}$ 和 $V_{DS(on)}$ 是要监测的直流参数。任何氧化物缺陷都将导致器件提早失效。

典型条件为:

$V_{GS}=\pm 20\text{V}$

$V_{DS}=0$ (短路)

$T_A=150^{\circ}\text{C}$

持续时间:1000 小时

14.2.3 按照美国军用标准 MIL-STD-750 的 1032 方法进行高温存贮寿命(HTSL)测试

HTSL 测试的目的是指示器件的稳定性,其耐高温的潜力和结构的整体性。尽管器件在现场不会经受如此高的温度,但该测试的目的是加速在长期的存贮温度下破坏机理的作用过程。

测试时把器件放在一个网状篮子里,然后置于一个高温的小室中并控制室内温度的变化。

典型条件为:

$T_A=150^{\circ}\text{C}$ (塑料封装上的温度)

持续时间:1000 小时

14.2.4 按照美国军用标准 MIL-STD-750 的 1039 方法进行高温反向偏压测试(H^3 TRB)

H^3 TRB 测试用来确定器件长期工作在高温/高湿环境下组成器件的部构件和材料抵抗各种破坏因素联合作用的能力。这一测试仅用于非密封式器件。

湿度一直是半导体器件,特别是塑料封装的半导体器件的大敌。与湿度有关的性能下降

直接或间接地来源于湿气穿透钝化材料和发生表面腐蚀。Motorola 公司通过采用合适的结钝化工艺、衬底涂料和选择合适的封装材料而有效地解决了这一问题。

典型条件为:

$V_{DS} = V_{DS}$ 的最大额定值 (最高可达 220V)

$V_{GS} = 0$ (短路)

$T_A = 85^\circ\text{C}$

RH=85% (环境湿度)

持续时间:1000 小时

14.2.5 压热测试(加压蒸煮)

压热测试是通过把器件置于蒸汽压力很高的加压蒸煮器中来确定器件对湿气的抵抗力。该测试仅用于塑料/环氧树脂封装的器件,而不适用于密封器件(即有金属密封外壳的器件)。被测器件置于加压蒸煮器内一个金属网托盘上,位于去离子水表面的上方约 2 英寸。在达到适当的湿度和压力后应至少在 24 小时内使温度和压力维持不变。然后将器件取出并在空气中干燥。监测参数通常为漏电流和电压。

典型条件为:

$T_A = 121^\circ\text{C}$

$P = 14.7\text{psi}$ (气压)

RH=100% (湿度)

持续时间:72 小时

14.2.6 按照美国军用标准 MIL-STD-750 的 1037 方法测试间歇工作寿命(IOL 或 Power Cycling)

IOL 测试的目的是用反复通电的方法确定硅片或封装组件的整体性。

把直流电压加在器件上直到达到所要求的温度,然后切断电源并进行强制空气冷却,直到结温度降低到环境温度为止。

$$\Delta I_j = \Delta T_c + R_{\theta jc} P_d$$

$$\Delta T_j = 100^\circ\text{C}$$

(一般来说,这是一个加了速的条件)

$$\Delta T_c = T_{\text{HIGH}} - T_{\text{LOW}}$$

把该过程重复规定的次数并保持温度变化的幅度不变以使测试结果具有可重复性。

间歇工作寿命测试指出了硅片和安装表面之间以及硅片和导线接头之间焊接界面的热疲劳程度。

对于 TMOS 器件来说,性能监测参数为热阻、临界电压、接通电阻、栅-源泄漏电流和漏-源泄漏电流。

当热疲劳使热态电阻或通态电阻上升到超过制造厂商数据表中所规定的最大值时会造成器件损坏。

典型条件为:

$V_{DS} \geq 10V$

$\Delta T_J = 100^\circ C$

$R_{\theta JC}$: 因器件而异

$T_{on}, T_{off} \geq 30$ 秒

持续时间: 15000 次

14.2.7 按照美国军用标准 MIL-STD-750 的 1051 方法进行温度循环(TC)试验

温度循环试验的目的是确定器件在空气介质中抵抗高温和低温的能力和温度剧烈变化对器件性能的影响。

试验时把器件轮流置于分开的高温腔室和低温腔室。借助于对流使每一个腔室的空气温度保持均匀。腔室具有足够大的热容量以使被测器件放入腔室后不会显著改变腔室温度。

在每一个循环中,把被测器件暴露在一个极端温度下至少 15 分钟,然后取出并立即放入另一极端温度下至少 15 分钟。注意把器件从一个极端温度转移至另一个极端温度的速度必须很快,从而使器件受到尽可能大的热应力。

典型的极端温度为:

$-65/+150^\circ C$

循环次数可根据器件工作的环境温度来定。工业界普遍接受的循环次数为 10,认为循环 10 次即足以确定器件的质量。

典型循环次数:

TO-204 和 TO-220 器件:最低 100 次

TO-204 和 TO-220 器件:最多 1000 次

温度循环可发现由于膨胀系数的不同而在器件内的材料之间形成的过大的应力状态。

当器件的参数超过规定值或当器件经测试被认为处于“开路”或“短路”状态时器件即算失效。

14.2.8 按照美国军用标准 MIL-STD-750 的 1056 方法进行热冲击(TC)试验

该试验的目的是确定器件在经受突然的剧烈温度变化时抵抗破坏的能力。

试验时把器件放在一个网状篮子里,然后交替地浸入到维持在不同温度的液体中(两种液体的温度分别维持在 $-55^\circ C$ 和 $+150^\circ C$)。在一种液体中浸泡 30 秒后立即取出放入另一种液体中。

该试验使器件突然受热和冷却,由于所形成的短时间的温度梯度而产生很大的应力。工业上普遍采用的作法是循环五次,认为只要循环五次即可确定器件的质量。

当器件参数的变化超过规定值时,或当器件在电性能上处于“开路”或“短路”状态时,器件即算失效。

14.2.9 与封装有关的测试项目

(1)物理尺寸——按照美国军用标准的 2066 方法进行。该测试的目的是确定器件是否符合外形图所规定的尺寸。

(2)外观检查——按照美国军用标准的 2071 方法检查器件的外观和力学性质,如选型是否美观,表面是否易于划上刻痕,是否容易发生变形等。

(3)抵抗溶剂的能力——按照美国军用标准 MIL-STD-202 的 2025.3 方法确定器件接线端子的可焊性。

(4)引线强度——按照美国军用标准 MIL-STD-750 的 2038 方法对引线进行弯曲试验以检验引线强度。

(5)等加速测试——按照美国军用标准 MIL-STD-750 的 2006 方法把器件加速到 20000G 以上,以检查此时会暴露出来的缺陷。

(6)变频振动——按照美国军用标准 MIL-STD-750 的 2056 方法把器件放在不同的平面以不同的频率进行振动以检查器件的装配和焊点是否牢固。

每一种制造工艺都显示出一种质量和可靠性分布。对这种分布必须加以控制以确保平均值高、分布范围窄和一致性好的分布形状。通过正确的设计和控制生产工艺过程可以实现上述要求,从而减轻剔除位于分布曲线两端的不合格产品的筛选任务。

14.2.10 加速应力试验

该报告中的某些试验的特点是试验参数的变化速度远远超过器件正常的工作条件下环境条件的变化速度。因此,试验条件加速了器件的破坏过程,从而使得 Motorola 公司能够在比采用其他方法短得多的时间内预测出器件的破坏速率。与温度有关的破坏模式的特点可用 Arrhenius 模型来表示。

$$A_f = e^{\frac{E_A}{K} \left(\frac{1}{T_2} - \frac{1}{T_1} \right)}$$

A_f = 加速因子

E_A = 工作能量(er)

K = 波尔兹曼常数($8.62 \times 10^{-5} \text{eV/K}$)

T_2 = 工作温度(K)

T_1 = 试验温度(K)

因此,等价器件小时等于(由 Arrhenius 模型所确定的)加速因子乘以实际的器件小时。

在设计功率 MOSFET 电路时,可用图 14-1 和图 14-2 来确定功率 MOSFET 在反向偏压和栅极偏压条件下与温度有关的失效速率。例如,如果工作温度定在 50℃,则由图表可看出高温反向偏置的失效速率为 600(fit),而高温栅极偏置的失效速率为 680(fit)。

14.2.11 数据回顾

高温反偏压(HTRB)显示出与 TMOS 器件的场分布畸变有关的漏电流的稳定性。高温反偏压试验强化了破坏过程。因而能很好地反映器件的质量和可靠性,并能检验生产过程控制的有效性。

高温栅偏压(HTGB)检查在加速高温和正向栅偏压条件下器件的稳定性。该试验是用对栅极氧化物施加电应力的方法来检测由随机氧化物缺陷所造成的漂移。这一破坏机理发生在次品率很低时可靠性“澡盆曲线”的早期破坏区域和随机破坏区域。

间歇工作寿命(IOL)是一种确定硅片和/或封装组件对反复加热-冷却的抵抗能力的一

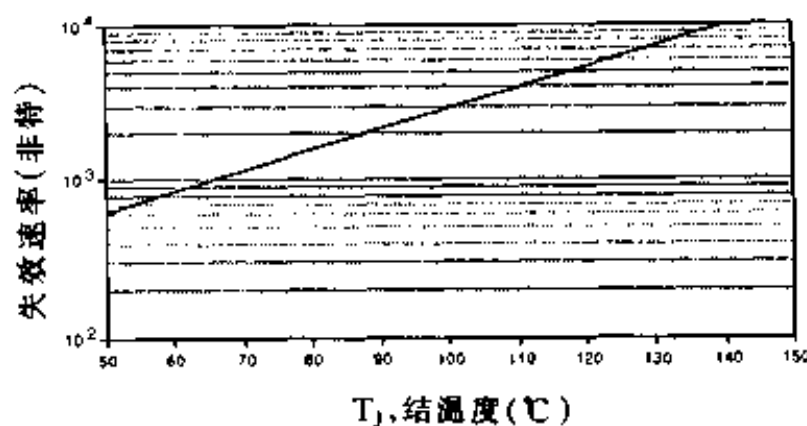


图 14-1 高温反向偏置失效速率
与结温度的关系

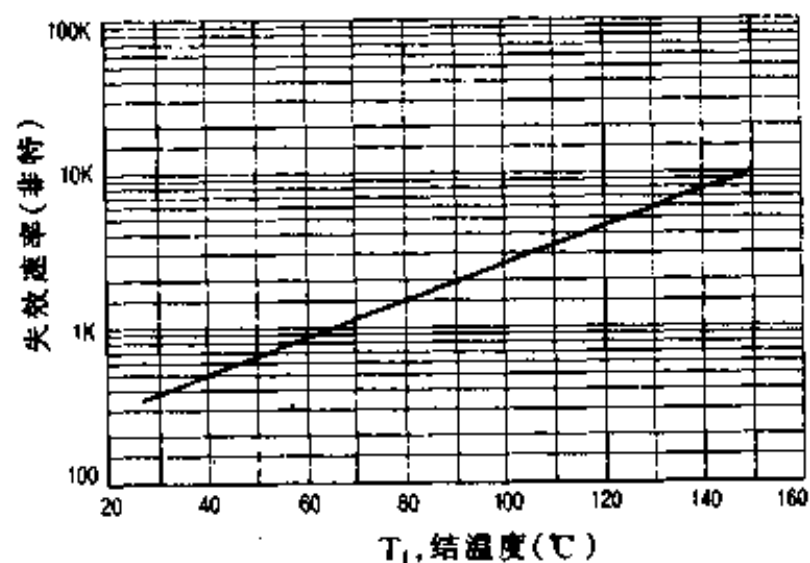


图 4-2 高温栅极偏置失效速率
与温度的关系

个很好的加速应力试验。这一试验也许是所有试验中最为重要的一种试验,同时又对真实世界的环境进行了模拟。IOL 进行模片接合、导线结合、器件接通和断开、器件性能之间的关系等项试验,并对组成器件的各种材料的热膨胀系数是否一致进行检验, Motorola 公司进行广泛的 IOL 测试,并把这种试验看作对“器件系统”的整体性能进行监测的最佳方法而经常性地。 Motorola 公司还对结温度的变化进行广泛、仔细的分析和比较。 Motorola 公司已经确定,为了对器件进行有效的应力试验, T_j 的变化必须达到 100°C , 这一温度远远超出了许多用户的应用要求。

温度循环(TC)也是确定器件在空气介质中抵抗高温和低温(偏移)的能力的一种很好的应力试验。间歇工作寿命测试是从内部对器件系统施加电应力,而热循环则是从外部环境条件对器件系统施加热应力。

高温存贮寿命(HTSL)、高温高湿反向偏压(H^3 TRB)、热冲击(TC)和加压蒸煮测试是经常进行的,但 Motorola 公司可靠性工程(小组)认为高温反向偏压(HTRB)测试、高温栅偏压(HTGB)测试、间歇工作寿命(IOL)测试和温度循环(TC)测试是最重要的测试项目。 Motorola 公司已经在半导体工业领域有了多年的历史并将继续以其产品的高可靠性、高质量和与用户的良好关系在半导体工业中占居领先地位。

14.2.12 测试结果汇总

表 14-1 与时间有关的测试结果

测试种类	测试条件	剔除器件	器件小时 (实际的)	等效器件小时	损坏率% 每 1000 个小时
高温反向偏置 (HTRB)	V_{DS} = 极限值的 80% * V_{GS} = 0(短路) $T_A = 150^{\circ}\text{C}$	43	7×10^6	6.51×10^8	0.0068
高温栅极偏置 (HTGB)	$V_{GS} = \pm 20\text{V}$ $V_{DS} = 0$ (短路) $T_A = 150^{\circ}\text{C}$	24	3.11×10^6	1.21×10^9	0.2063

续表

测试种类	测试条件	剔除器件	器件小时 (实际的)	等效器件小时	损坏率% 每 1000 个小时
高温存储寿命 (HTSL)	$T_A = 150^\circ\text{C}$	1	8.9×10^5	8.3×10^7	0.0025
高湿高温反向偏置 (H ³ TRB)	$T_A = 85^\circ\text{C}$ R. H. = 85% $V_{GS} = 0$ (短路) $V_{DS} =$ 最大额定值的 80% 高于 200V	0	3.2×10^5	—	0.28

• 失效单位(FIT):

现代电子系统的可靠性就利用今天的半导体器件有非常低的元件失效率,因此要求有一个能用来衡量失效率的量,这个量称为失效单位(FIT)是这样定义:一个 FIT = 10^9 器件小时有一个失效。

* 失效间隔平均时间(MTBF):

• 电子系统可靠的重要的分配特性是表示为 MTBT,它定义为:

$$t = 1/\lambda$$

式中 t = 时间(小时)

λ = 失效率

表 14-2 与循环有关的测试结果

测试种类	测试条件	剔除器件	器件周期 (实际的)	等效器件小时	失效率% 每 1000 个周期
间断工作寿命	$\Delta T_J = 100^\circ\text{C}$ $V_{DS} \geq 10\text{V}$ $t_{on}, t_{off} \geq 30\text{s}$	9	4.3×10^7	—	0.023
温度循环	$T_{low} = -65^\circ\text{C}$ $T_{high} = 150^\circ\text{C}$ (塑料) $T_{high} = 200^\circ\text{C}$ (金属)	18	2.44×10^6	—	0.74

* 有功能量 HTRB HTSL = 1eV, HTGB = 0.3eV。

14.3 可靠性检验程序

Motorola 公司通过严格执行可靠性检验程序来确定产品的可靠性。所有 TMOS 产品都根据电压范围和封装形式归成几大类。每一个星期都对通过最后一道检验程序的产品按类别进行抽样,然后把抽出的样品送到实验室进行鉴定性测试。对每一批产品进行的这种实时极限应力测试可以发现生产过程的异常情况。典型的可靠性鉴定性测试包括高温反偏压测试、高温栅偏压测试、间歇工作寿命测试、高温循环测试和高压釜测试。为发现任何隐藏的破坏模式,可靠性测试被设计得比正常的质量和可靠性测试的测试条件更加苛刻。

在检验性测试中发现的不合格产品被送到产品分析实验室进行实时鉴定。这一高度专门化的实验室配备有许多分析仪器和设备,如进行电气特性测试的仪器,湿化学和等离子体技术,冶金断面切割和分析仪器,分散 X 射线、俄歇能谱仪、缩微和放大照相设备等。这些设备和仪器能对破坏机理进行快速和精确的分析,从而能及时根据鉴定结果采取相应的改正措施,并明确应负责任的部门和当事人。

Motorola 公司的可靠性检验程序为发现 TMOS 产品生产过程中的某些异常征兆提供了一个强有力的手段。正是对可靠性鉴定这种严格的持续不断的努力为取得用户的满意提供了可靠的保障。

功率 FET TMOS 可靠性检验程序

试验名称	条 件	抽样	频度
HTRB (高温反偏压试验)	$V_{DS}=100\%$ 最大值 $V_{GS}=0$ $T_A=150^{\circ}\text{C}$ 持续时间=72 小时(短) 1000 小时(长)	50/族	每周
HTGB (高温栅偏压试验)	$V_{GSS}=\pm 20\text{V}$ $V_{DS}=0$ $T_A=150^{\circ}\text{C}$ 持续时间=72 小时(短) 1000 小时(长)	50/族	每周
IOL (间歇工作寿命)	金属产品 $\Delta T_J=100^{\circ}\text{C}$ $V_{DS}\geq 10\text{V}$ 持续时间=5000 周期 (短), 15000 周期(长)	36/族 36/族	每周 每周
焊锡热	1 周期, 260°C 10 秒后为:	25/族	每周
温度循环	100 周期(短) 500 周期(长) $-65\sim+150^{\circ}\text{C}$ 延续时间 ≥ 15 分钟	25/族	每周
加压蒸煮	$P=15\text{ psi}$, $T=121^{\circ}\text{C}$ 持续时间=48 小时(短) 96 小时(长) (只对塑封)	25/族	每周

平均出厂质量(AOQ)

AOQ 指在发货时每一百万个器件中不满足标准的器件个数。通过实行在生产过程中控制质量的策略, Motorola 公司在不断地改进其产品的出厂质量。对质量的这种执着追求也使得经销 Motorola 产品的营销商和使用 Motorola 产品的用户在许多情况下对 Motorola 产品给以进货(或进厂)免检。

平均出厂质量(AOQ)

AOQ = 过程平均值 × 接受概率 × 10⁶ (PPM)

- 过程平均值 = $\frac{\text{预计的不合格器件的数目}}{\text{器件总数}}$
- 预计的不合格器件数 = $\frac{\text{样品中的废品数}}{\text{样品总数}} \times \text{一批器件的总数}$
- 器件总数 = 所有各批供货中的器件总和
- 接受概率 = $1 - \frac{\text{整批货被拒绝接收的次数}}{\text{总的供货次数}}$
- 10⁶: 换算成每百万分之一时的转换系数

14.4 可靠性的实质

器件性能随时间的变化是半导体用户最为关心的问题。无故障运行时间是衡量器件质量和可靠性的重要指标。以时间为横坐标, 以失效率为纵坐标所画出的半导体器件的失效率与时间的关系曲线呈现出一种“澡盆曲线”的形状(图 14-3)。

14.4.1 可靠性机理

由于可靠性评价通常仅涉及大量器件中的一小部分样本, 因而可利用中心极限定理的概念, 并用 χ^2 分布来计算失效率:

$$\lambda \leq \frac{\chi^2(\alpha, 2r + 2)}{2nt}$$

$\chi^2 = \chi$ 平方分布

其中 $\alpha = \frac{100 - cl}{100}$

λ = 失效率

cl = 以百分比表示的置信极限

r = 废品数

n = 器件数

t = 测试持续时间

置信极限是计算中所希望的保守程度。中心极限定理指出, 从一个大的总体中所取出的任何一个样本集合的值都服从正态分布。一个 50% 的置信度被称作最好的估计, 并且是该分布的平均值。一个 90% 的置信极限是一个非常保守的值并导致得到一个大的 λ 值。分布

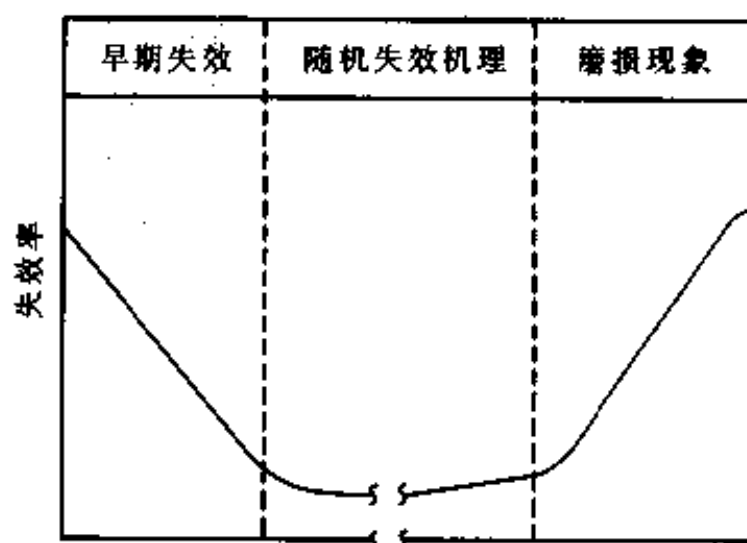


图 14-3 半导体的失效率

曲线下的面积的 90% 位于该 λ 值所对应的点的左边(图 14-4)。

$(2r+2)$ 这一项被称作自由度, 并且是以一种适于列入 λ^2 表示的形式表示的废品数目。由于各制造厂商对废品的定义不同, 因而废品数是一个决定性的因素。随着样本数和测试时间的减少, 一次测试结果不能代表整个总体的情况的可能性会随之增大。因此, 在测试持续时间短的情况下, λ^2 计算可能会得出一个很高的 λ^2 值, 尽管长期失效速率可能很低。鉴于这种情况, 必须根据比较多的数据来计算长期失效速率。由于这样可能需要花费几年时间对成千上万个器件进行试验, 所以制定了一些加速试验的方法。

多年来对半导体器件所进行的试验表明, 温度会加速半导体器件的失效过程, 且该效应符合 Arrhenius 方程:

$$R(t) = R_0(t)e^{-\theta/KT}$$

其中 $R(t)$ = 以时间和温度为自变量的作用函数

R_0 = 常数

t = 时间

T = 绝对温度, $K(^{\circ}C + 273^{\circ})$

θ = 以电子伏特(eV)表示的活动能

K = 波尔兹曼常数 = $8.62 \times 10^{-5} \text{eV/K}$

该方程还可写成如下形式:

AF = 加速因子

T_2 = 用户温度

T_1 = 实际试验温度

Arrhenius 方程指出, 作用速率随温度升高呈指数增加趋势。当画在半对数坐标纸上时形成一条直线, 其斜率可解释为一个具体的作用或失效机制的能量阈值。

14.4.2 可靠性审查和评价

Motorola 公司可靠性和质量保证工程还负责对新产品、新工艺进行评价, 以检验产品性能是否符合要求, 从而保证产品在使用过程中表现出令用户满意的性能。进行可靠性评价时要根据对质量的要求进行一系列的可靠性测试, 如本章开头所列出的可靠性测试以及一些特殊的测试。

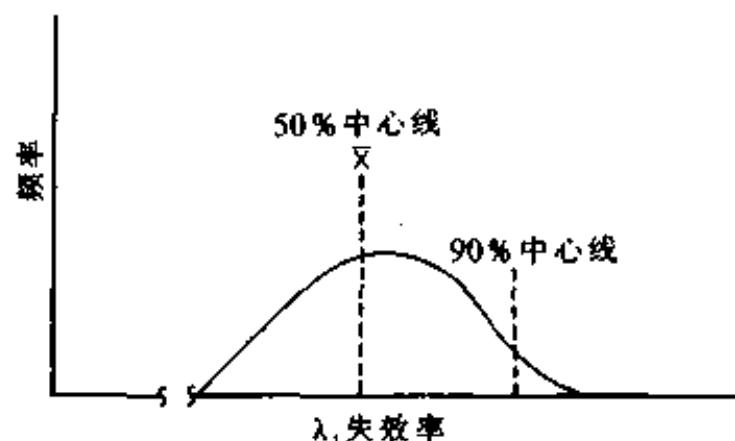


图 14-4 置信极限和样本失效率的分布

第十五章 功率半导体器件的安装

15.1 引言

半导体的额定电流和额定功率与其处的环境温度有密切的关系。除了用于小电流情况下的用引线连接的元件外，为防止结温超过其额定值和由此产生的高失效率，必须采用一个散热片。半导体的使用历史告诉我们：当结温从 160°C 降低到 135°C 时，可使大多数的硅半导体的失效率下降到大约原来的 $1/2$ 。军用供电设备设计手册规定结温不超过 110°C 。正确的安装可使半导体器件外壳与散热片之间的温度梯度减小到最小程度。

功率半导体的早期现场失效大多是由于错误的安装步骤造成的。对于有金属外壳的半导体器件来说，错误的安装将会使结温显著升高，从而使器件的使用寿命缩短。尽管在把器件安装到一个不平整的表面上时也会造成机械损伤，但随着半导体器件越来越多地采用塑料外壳，机械损伤会成为一个值得引起重视的问题。机械损伤会使半导体器件外壳的抗湿能力下降，或使半导体底座破裂。

图 15-1 展示了一个几乎把处处都做错了的例子。图中表示用一个带有安装翼片的 TO-220 管壳取代一个用插孔方式安装的 TO-213AA (TO-66) 管壳。为了利用已有的插孔，必须把引线弄弯，而这一操作如果进行得不正确的话，会弄坏管壳或者使半导体底座破裂。管壳用一个薄板螺钉穿过一个有纤维绝缘套的 $1/4$ 英寸的孔进行紧固。用来紧固螺丝的力有把管壳往孔中拖的趋势，因而能引起足够的变形而弄碎半导体底座。另外，因为孔很大和管壳弯曲而使接触面减小，结果是结温比预期的要高的多。如果散热片表面粗糙或有毛刺的话，则在该图中就展出了大多数（但还不是所有的）错误的安装情形。

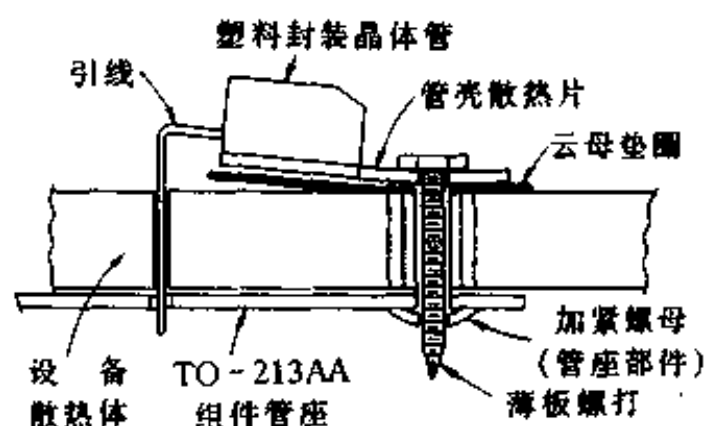


图 15-1 安装不当的极端例子

在许多情况下，必须用绝缘材料把半导体晶体管的外壳与安装表面隔开，该绝缘材料在某种程度上也是一个绝热体，因而会使半导体结的工作温度升高。不仅如此，如果存在高压，还有产生弧光放电击穿的可能性。各种行业管理机构还对漏电距离作了硬性规定，这就使设计进一步复杂化。这样电绝缘就对半导体器件的安装程序提出了额外的要求。

正规的安装程序通常要求注意以下几点：

- (1) 准备安装表面。
- (2) 在安装表面涂覆一层导热膏（如果需要的话）。
- (3) 安装绝缘片（如果需要进行电绝缘的话）。

(4) 紧固组装件。

(5) 把接线端连接到电路上。

本书讨论了几种一般的封装类型的安装步骤。所出现的封装可以归入本书所讨论过的某一种封装类型。每一种封装类型的特殊的安装要求列在该类封装的数据表中。本书讨论了以下封装类型：

柱螺栓安装；

法兰安装；

压入配合安装；

塑料壳体安装；

翼片安装；

表面安装。

附录 A 对热阻概念作了简略的说明。附录 B 讨论了测量界面热阻时所可能碰到的困难。附录 C 给出了许多制造厂商所提供的附件类型。

15.2 装配表面的准备

一般来说，散热片装配表面的平滑程度应与半导体器件外壳的安装表面的平滑程度不相上下。在低功率应用中，如果用一个直规贴在散热片安装表面上时看不到明显的缝隙，并且散热片安装表面没有深度擦伤就可以了。在大功率应用中，则需要对安装表面进行更细致的检查，还必须考虑安装孔和安装表面的处理方法。

15.2.1 表面平整度

表面平整度是通过把测试样品的高度偏差 (Δh) 与如图 15-2 所示的一个作为参考标准的高度偏差进行比较而确定的。平整度通常以总的显示读数 (TIR) 作分母的一个分数来表示。装配表面的平整度 (即 $\Delta h/\text{TIR}$) 对挤压铝材料来说一般小于 4 密耳/英寸。如果达到这一要求，则在大多数的情况下是令人满意的。

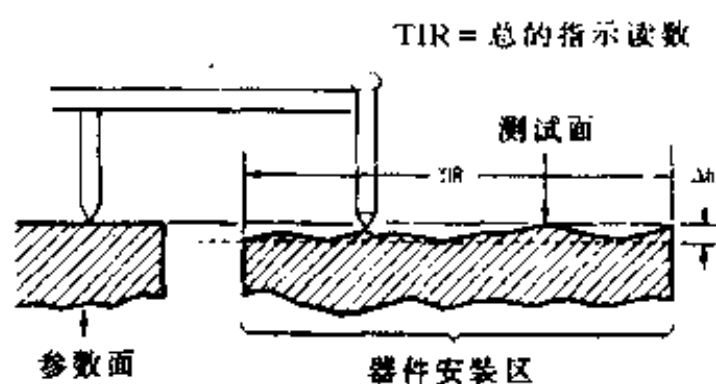


图 15-2 表面平整度度量

15.2.2 表面光洁度

表面光洁度是上和下偏离表面平均高度的平均值。为达到最小的表面电阻，表面光洁度在 50~60 微英寸之间就可以了。要达到更高的光洁度，成本太高且不能显著降低接触电阻。Thermalloy 公司用具有典型的 32 微英寸表面光洁度的铜 TO-204 (TO-3) 管壳所进行的试验结果表明，散热片安装表面光洁度在 16~64 微英寸之间时，如果在安装表面的空隙和刮痕中填充导热粘合剂，则在接触面所引起的热阻的变化不超过 $\pm 2.5\%$ 。大多数可以在市面上买到的铸造的或压延成型的散热片当用在大功率的情况下时将要求进行稳孔。一般来说，经铣床和车床加工的表面如果切削刀具工作状态良好的话，经切削或铣削加工的表面是令人满意的。

15.2.3 安装孔

安装孔一般仅需大到能把紧固件自由插入。具有大而厚的安装法兰的半导体外壳，其安装孔距半导体底座较远（如 TO-3），因而安装孔较大，能够容纳绝缘衬套。但许多塑料封装的半导体器件却不具备这一条件。对于这些器件来说，必须采用较小的螺丝规格以使衬套尺寸不超出管壳孔径。

如果冲压方法不恰当，则孔周围的区域会下陷，将给安装带来很多麻烦。安装孔周围下陷可引起两个问题。当安装压力力图使半导体器件与超散热作用的安装底座的有凹陷的表面完全吻合时，器件可能因变形而受到损伤；或者使半导体器件与起散热作用的安装底座之间有大面积的间隙，从而降低散热能力。第一个影响可从器件外壳上的裂纹显示出来（如果器件采用塑料外壳的话）。由于器件承受很高的压力，因而会导致早期失效。第二个影响是使器件的工作温度升高，虽然不能用眼睛观察到这一响应，但也能导致半导体器件性能下降或缩短器件的工作寿命。

15.2.4 表面处理

许多铝散热片经黑色阳极氧化处理以提高热辐射能力并防止被腐蚀。阳极氧化可显著提高电绝缘性能，但对绝热性能的作用则很小。当需要电接触时只需从安装区去掉氧化物。有的散热片带有一个能插在半导体器件安装区的镀镍铜板。

对加工过的铝的另一项表面处理是镀铬，或用铬酸浸泡。由于镀铬表面很薄，因此热阻很小，其抗氧化能力使它具有很好的电性能。

镀铬时只需将散热片在制造及贮藏过程中积下来的油污清洗干净。对所有的散热片来说，这一步是不可缺少的。

为了节约资金，散热片的保护层有时采用油漆，在安装时必须把要与半导体器件接触的地方的油漆去掉，因为油漆的热阻很大。但是，当需要使半导体器件外壳和散热片之间相互绝缘时，强阳极氧化或表面涂上一层油漆提供了一种简便的绝缘方法，可用于电压不高的情况。一些制造厂商所提供的半导体器件和散热片的安装表面是经阳极氧化或涂上油漆的，可在规定的绝缘电压下工作。通常不大于 400V。

安装时还必须把安装表面的所有外部物质、薄膜和氧化物（所裸露的铝几秒内即能形成一层氧化铝）去掉。最好在安装前用第 000 号钢丝绒对安装区进行抛光，并接着用丙酮或者酒精进行擦洗。

15.3 界面处理

当要消耗相当多的能量时，就必须采取措施填充接触面上的空气隙，否则界面上的热阻会升高，且升高的程度完全取决于表面的光洁度。

把经常被人们称为脂膏的热粘合剂，涂覆在安装界面上的做法已经有好几年了。它们的热阻大约为 $60^{\circ}\text{C}/\text{W}/\text{in}$ ，而空气的热阻为 $1200^{\circ}\text{C}/\text{W}/\text{in}$ 。因为表面有许多细小的麻点，使用粘合剂使接触面的热阻显著下降。使用粘合剂也带来了一些问题，在下一节我们将讨论这一问题。

为了避免使用粘合剂,制造厂商已开发出了导电的和绝缘的垫片来取代传统的材料。这些垫片有一定的柔顺性,因而在受压情况下,能部分地填充接触面之间的间隙。

15.3.1 热绝缘粘合剂(脂膏)

粘接混合剂的组成配方是将粉末状的锌或其它导电微粒混合于不受时间及温度影响且始终能保持油脂状粘稠度的硅油或其它合成基底流体中。由于某些这样的混合物流动性差,所以要用抹刀或不起毛的刷子将其涂抹成很薄的薄层,然后轻擦表面以除去多余的材料。将安装件的接触表面相互旋转几下将有助于粘合剂均匀地分布在整個接触面上。为了确定粘合剂的正确用量,要进行几次试验。粘合剂用量太少会不足以填充所有的空隙,但是太多了则可能会使一些粘合剂留在抛光过的金属表面,从而大大增加接合处的热阻。

为了确定出正确的用量,可以在几对作为试验样品的半导体器件和散热片的接合面上均匀地涂上不等量的粘合剂,然后将其装配到一起。如果粘合剂的用量合适,则在把装好的组件在接触面处相互旋转一个角度时,就会在每个抛光面的周边上出现少量的滑脂,把装配好的接合面拆开来查看时,接合面应呈现出均匀湿润状态。对生产线上装配工人要进行培训,以使其能缓慢地施加所要求的转矩,即使在接合面边缘出现过量的滑脂也要施加规定的转矩。转矩不够大将导致接触面热阻显著增大。

为了防止空中悬浮物质微粒的积聚,应当用沾有丙酮或酒精的湿布将多余的粘合剂擦去。注意不要使这些溶剂接触塑料封装的器件,因为这会使溶剂进入管壳造成漏电通道或导致杂质进入管壳损伤半导体基片。

在大多数硅膏中使用的硅油时间长了会从高温表面蒸发并沉积在冷的表面。所以生产商们必须确定在整个组件表面涂一层很薄的硅油会不会带来任何问题,也许有必要把零件用脂膏封起来。新的合成基底的脂膏的挥发性和蠕变倾向比硅油作基底的脂膏的挥发和蠕变倾向低得多。但其工作温度范围目前还比较小,导热性和绝缘强度也较低,且成本较高。

膏脂混合物在不同的安装条件下用于几种管壳类型的效果示于表 15-1。表面越粗糙,脂膏对降低接触阻力的效果越好。因此,当使用云母绝缘垫圈时,一般来说就必须使用脂膏,这些粘接混合剂还能提高绝缘材料的额定击穿电压。

15.3.2 导电性垫片

因为使用滑脂进行装配比较困难以及滑脂存在挥发问题,故一些设备制造商不愿或不能使用滑脂。为了把使用滑脂的情况减小到最低限度,一些经销商提供干性的导电性垫片,采用这种垫片可以得到与使用滑脂相近的性能。在图 15-3 中展示了一个涂有滑脂的接合面和一个涂有一种干性的石墨复合物 Graf 油的接合面的数据。Graf 油被宣称在没有绝缘要求时,可以替代滑脂。数据表明,其使用效果确实与滑脂一样好。另一种可以从 Aavid 公司得到的导电性垫片被称作 KON-DUX,它是用一种独特的晶体定向排列的片状结构制成的(正在申请专利)。由于压缩性很好,它会粘在散热器和半导体管壳的粗糙表面上。制造商的数据显示,它所形成的界面热阻比涂了硅脂的金属界面形成的界面热阻更低。从其它制造商那里可以得到类似的干性导电性垫片。它们是相当新的产品,但在长期使用中可能存在的问题现在还不得而知。

表 15-1 Motorola 应用工程实验室所测得的界面热阻的近似值

封装类型和数据		界面热阻($^{\circ}\text{C}/\text{W}$)					
JEDEC 外形	说 明	测试力矩 英寸-磅	金属对金属		用绝缘片		
			直接接触	导热油剂	直接接触	导热油剂	类型
DO-203AA, TO-210AA TO-208AB	10-32 螺栓 7/16 英寸六角螺丝帽	15	0.3	0.2	1.6	0.8	3 密耳 云母
DO-203AB, TO-210AC TO-208	1/4-28 螺栓 11/16 英寸六角螺丝帽	25	0.2	0.1	0.8	0.6	5 密耳 云母
DO-208AA	压紧, 1/2 英寸	—	0.15	0.1	—	—	—
TO-204AA (TO-3)	法兰	6	0.5	0.1	1.3	0.36	3 密耳 云母
TO-213AA (TO-66)	法兰	6	1.5	0.5	2.3	0.9	2 密耳 云母
TO-220AB	垫片 1/4 英寸-3/8 英寸	6	2.0	1.3	4.3	3.3	2 密耳 云母
TO-220AB	垫片	8	1.2	1.0	3.4	1.6	2 密耳 云母

注：界面热阻值与接触面的表面状况有很大的依赖关系，因而实际数据可能与表中所列出的数据差别很大。如果未加注明，则管壳温度由一个放置在半导体底座紧下面的热电偶来监测。该热电偶是由散热片上的一个孔伸到半导体底座下面的。（关于界面热阻的测量参数见附录 B）。

15.4 绝缘问题

由于大多数功率半导体器件都设计成竖直的结构，所以通常把功率半导体制造成输出电极（阳极、集电极或漏极）与管壳为同一极性。把这一端与地隔离是需要解决的共同问题。为了使总的热阻达到最小（当耗散功率很大时这一点是非常重要的），最好把整个散热片/半导体结构与地隔离，而不是在半导体与散热片之间使用一个绝缘片。但是，用散热片进行隔离并非总能做到，因为还要考虑电磁干扰、安全以及把底架用作散热片使用或几个互不隔开的管壳共用一个散热片等因素。在这些情况下，应用绝缘片把单个元件与散热片隔开。一些较新的封装模块，如 Motorola 公司的全隔离模块和 EMS（能量管理系列）模块，在其内部装有电绝缘材料，从而使设备制造厂商不必考虑隔离问题。

15.4.1 绝缘片的热阻

当使用绝缘片时，在接触面涂覆耐热脂膏比不加绝缘片而只在金属与金属之间的接触面涂覆耐热脂膏更为重要。因为此时存在两个界面而不是一个界面，且有的制作绝缘片的材料（如云母）十分坚硬且表面很不平整。对于许多绝缘材料来说，使用脂膏一般可使界面热阻降低到原来的二分之一到三分之一。

图 15-3 给出了在分别涂覆和不涂覆脂膏的情况下，在 TO-204 (TO-3) 和 TO-220 型管壳和散热片之间加装不同的绝缘垫片和施加不同的扭矩所得到的界面热阻。与图示类

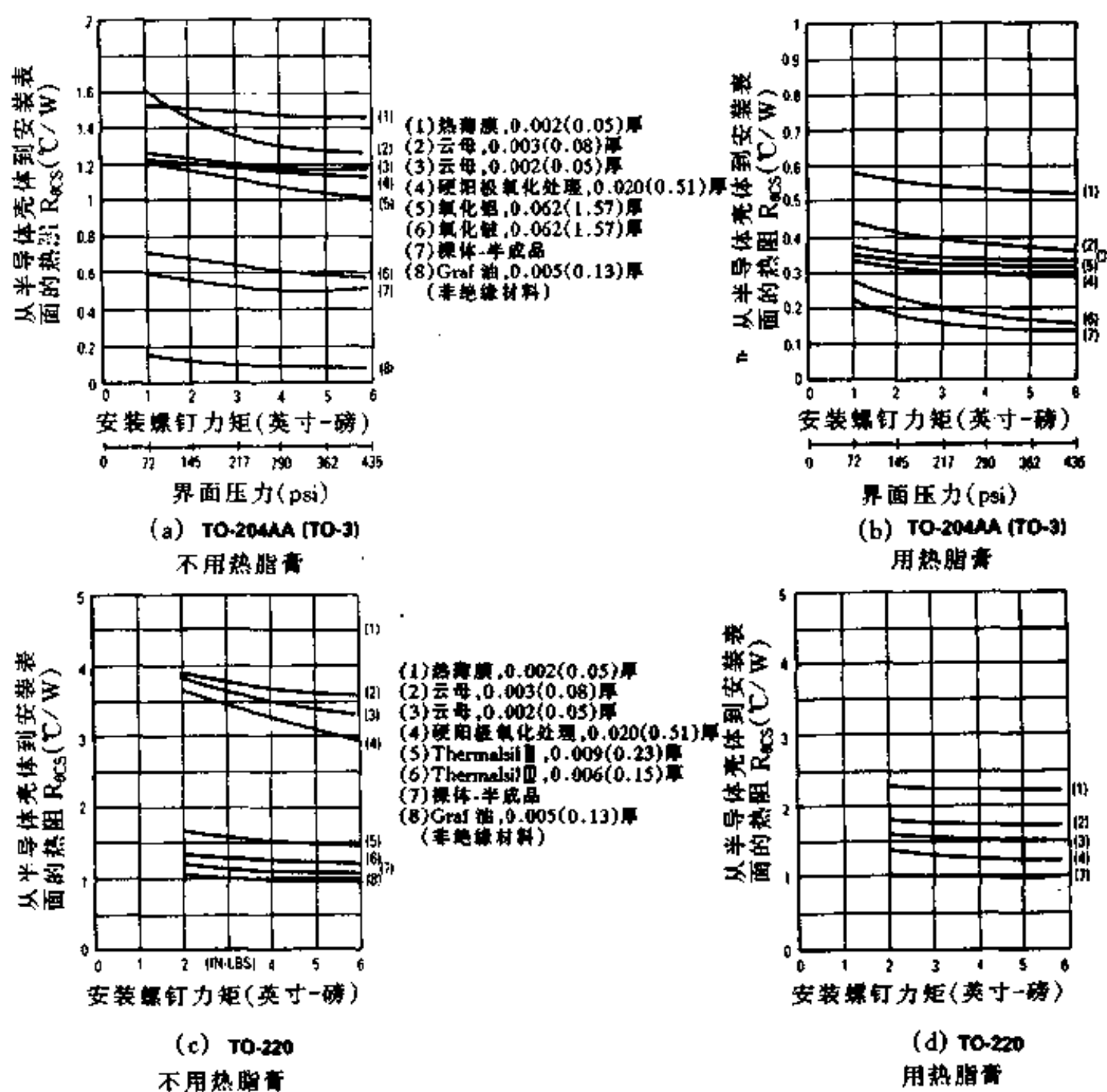


图 15-3 使用不同的绝缘材料时 TO-204、TO-3 和 TO-220 封装组件的界面热阻

似的材料可以从几家制造厂商得到。在有些安装情况下，界面的热阻显然超过了半导体的热阻（即半导体结和底座之间的热阻）。

由图 15-3 可以看出，当功率大时，采用氧化铝作绝缘垫圈显然效果最好。但是，由于氧化铝粉末是有剧毒的，不能采用磨削的方法去掉它，所以用氧化铝作垫圈需付出昂贵的代价。热膜是一种用聚酰亚胺填充的绝缘材料，因为它价格低，能够耐高温，且与容易碎裂和剥落的云母相比更加易于处理。

表 15-3 还列出了许多其它的绝缘材料。它们在绝缘电阻、热阻和是否便于处理等方面有不同程度的差异。云母一直是广泛使用的绝缘材料，因为它具有很高的击穿电压和相当低的热阻且价格低廉，但应当同滑脂一起使用。

硅酮橡胶绝缘材料因其在受压情况下只稍许变形而受到青睐。它们能够填充在界面处的绝大多数金属孔隙，从而减少了对滑脂的依赖。开始时，这类绝缘材料因使用几年后出现破裂穿孔而不能继续使用。但现在的硅酮橡胶绝缘材料由于嵌入了聚酰亚胺或玻璃纤维而解决了这个问题。比较图 15-3 (c) 和 15-3 (d)。可以看出，对 TO-220 管壳来说，Thermasil（一种嵌入了聚酰亚胺或者玻璃纤维的硅酮橡胶垫圈）在没有使用滑脂的情况下

所形成的热阻与使用滑脂云母垫圈所形成的热阻大致是相同的。

许多制造厂商都生产硅酮橡胶绝缘材料。表 15-2 显示了许多种这样的绝缘材料在几乎相同的严格控制条件下的测试性能。各种材料所形成的界面热阻的最大值和最小值之比超过了 2:1。很显然有些绝缘材料对不平整表面的容忍能力比其它绝缘材料大。经过一系列实验以后,已经推出了更新的产品。例如,使用 Bergquist 公司的 K-10 型垫圈时其界面热阻只有使用 Silpad1000 公司垫圈时界面热阻

表 15-2 硅酮橡胶垫片的热阻

制造厂	产品	$R_{cs}@$ 3 密耳*	$R_{cs}@$ 7.5 密耳*
Wakefield	Delta Pad 173-7	0.790	1.175
Bergquist	Sil Pad K-4	0.752	1.470
Stockwell Rubber	1867	0.742	1.015
Bergquist	Sil Pad 400-9	0.735	1.205
Thermalloy	Thermasil I	0.680	1.045
Shin-Etsu	TC-30AG	0.664	1.260
Bergquist	Sil Pad 400-7	0.633	1.060
Chomerics	1674	0.592	1.190
Wakefield	Delta Pad 174-9	0.574	0.755
Bergquist	Sil Pad 1000	0.529	0.935
Ablestik	Thermal Wafers	0.500	0.990
Thermalloy	Thermasil II	0.440	1.035
Chomerics	1671	0.367	0.655

的大约三分之二,这就使 Bergquist K-10 垫圈的性能与 Chomerics1671 型垫圈很接近。AAVID 公司还提供了一种被称为 Rubber-Duc 的绝缘垫圈,但它是用高温加硫的方法热敷在散热片上的,故在此没有列出进行比较。AAVID 公司公布的数据表明,在大于 500 帕斯卡的压力下 R_{cs} 低于 $0.3^{\circ}\text{C}/\text{W}$,但未详细说明接触表面的平整度和其它细节,故不能与本手册中所给出的其它数据进行比较。

当管壳底部刚性比较大时,某些硅酮橡胶绝缘垫片的热阻与表面平整度有很密切的关系。图 15-4 所示为用 Thermasil 绝缘的一个 TO-204AA (TO-3) 管壳的数据。注意,对于绝缘电阻不很大的绝缘材料来说,所碰到的最坏情况 (7.5 密耳) 下的热阻大约是典型情况 (3 密耳) 下的热阻的两倍。为了使 Thermasil II 超过涂脂膏的云母的性能,整个表面的平整度一定要在 2 密耳以内,这就要求对表面进行现场抛光。

硅酮橡胶绝缘垫片有许多不寻常的特性,除了受表面平整度和最初的接触压力的影响外,时间也是一个影响因素。例如对 Cho-Therm1688 垫片所进行的研究发现,开始时界面热阻为 $0.90^{\circ}\text{C}/\text{W}$,1000 小时后热阻降到了 $0.70^{\circ}\text{C}/\text{W}$ 。变化大部分发生在最初的 200 小时以内。在这一段时间里, R_{cs} 的测量值为 $0.74^{\circ}\text{C}/\text{W}$ 。安装的扭矩从最初的 6 英寸磅下降到 3 英寸磅。对于没有一点塑性的材料来说,扭矩的下降将导致界面热阻的增加。

由于很难控制影响界面热阻的所有变量,因此各制造厂商提供的数据并不很吻合。表 13-3 给出了从两个来源得到的数据。相对性能是相同的,只是云母绝缘垫片的热阻随厚度变化很大。附录 B 讨论了需要加以控制的变量。

从这些数据可以得出以下结论:某些类型的硅橡胶垫圈采用干法安装时其工作性能比

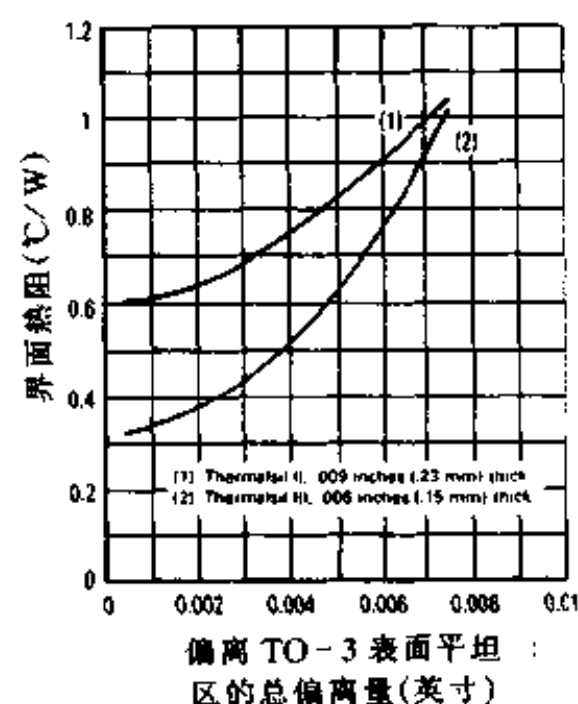


图 15-4 使用硅酮橡胶绝缘垫片时,表面平整度对界面热阻的影响

通常使用的涂脂膏的云母垫圈的工作性能要好。成本是选择垫圈的一个决定性因素。

15.4.2 绝缘电阻

在使用绝缘垫片时,必须注意保持接合面的清洁。微小颗粒的外部物质会刺穿绝缘片,使绝缘片报废或使其绝缘强度显著下降,特别是当电压高于 300V 时,有可能发生漏电。灰尘和其它异物会大大减小漏电距离,因此保持装配面的清洁是非常重要的,表面粗糙度和湿度的增大同样会

降低绝缘电阻。使用热滑脂可以提高绝缘系统的击穿电压,但多余的滑脂必须清除以免吸附灰尘。由于对这些因素很难进行分析,所以必须对样品作高电压测试,并使用大的安全系数。

15.4.3 电极绝缘外壳

安装采取了绝缘措施的半导体器件时,由于要加装必要的附件非常麻烦,所以从 50 年代起,设备生产厂家就一直期望能有一种性能价格比高的绝缘管壳。最先问世的是一端带有安装螺栓的柱式晶体管。这种形式的晶体管在其安装螺栓的六角形螺栓帽和金属管壳之间有一层氧化铍。这种组件虽然可以获得好的绝缘效果,但费用昂贵,且需要手工安装,要把导线焊接到管壳顶部的接线端子上。到 80 年代末,出现了许多由不同的半导体生产厂商生产的电隔离器件。这些近年来出现的器件有的由多个基片和集成电路组成,有的则由单个基片组成。

新型的绝缘管壳可分为两类。第一类是在半导体基片和安装底座之间加上一层绝缘物质,安装基底上有一块暴露的区域可用来固定绝缘体。图 15-9 所示的 EMS (能源管理系列) 模块,806 型管壳和 388A 型管壳 (TO-258AA) (参见图 15-11) 都是这种类型的例子。第二类是其金属安装基底用塑料封装起来。示于图 15-13 的全隔离管壳 221C 是第二种类型的例子。

第一类组件(该类有一裸露的金属凸缘或薄片)的安装与其相对应的没有绝缘的组件相同。但是,与任何一种在塑料壳体上加压的安装系统相同,具有塑料覆盖层的组件都需要使用一种本章后面将要介绍的圆锥形压缩垫圈。

15.5 紧固件和附件特性

紧固件、附件及其用于固定它们的工具的特点决定了它们是否适用于安装各种封装类型的晶体管器件。

表 15-3 根据军标 MIL-I-49456 测试的
硅橡胶绝缘体的性能

材料	测量的热阻 ($^{\circ}\text{C}/\text{W}$)	
	Thermalloy 数据	Berquist 数据
Bare Joint, greased	0.033	0.008
BeO, greased	0.082	—
Cho-Therm, 1617	0.233	—
Q Pad (non-insulated)	—	0.009
Sil-Pad, K-10	0.263	0.200
Thermasil III	0.267	—
Mica, greased	0.329	0.400
Sil-Pad 1000	0.400	0.300
Cho-therm 1674	0.433	—
Thermasil I	0.500	—
Sil-Pad 400	0.533	0.440
Sil-Pad K-4	0.583	0.440

由于许多问题都是因安装方法选择不当造成的，故下面将论述几类附件的基本特点。

15.5.1 可压缩附件

普通的开环锁紧垫圈不适用于安装功率半导体器件。一种典型的 6 号垫圈在大约 50 磅压力下就被压扁，而为了在界面获得良好的传热性能则需要 150~300 磅的压力。一种非常有用的附件是被称作 Belleville 垫圈的锥形压缩垫圈。如图 15-5 所示，这种垫圈在很宽的物理收缩量范围内（一般为 20~80%）能够维持一个相当恒定的压力。在安装时，安装者施加力矩直到垫圈降低至原来高度的二分之一。在建立装配线之前应该先进行试验以确定垫圈达到 50% 的收缩量所需要的力矩。垫圈将吸收由于温度变化而引起的管壳、绝缘垫圈和其它材料的任何周期性膨胀。当需要严格控制安装所需施加的力或者当在安装系统中使用了塑料附件时必须使用锥形垫圈安装。安装时把锥形垫圈的大端与管壳接触。新型的锥形垫圈是将其包含在一个螺帽组件之中。一种被称作同步螺帽（已获得专利）的器件可被焊接到 PC 板和用一个 6-32 安装螺钉安装的晶体管上。

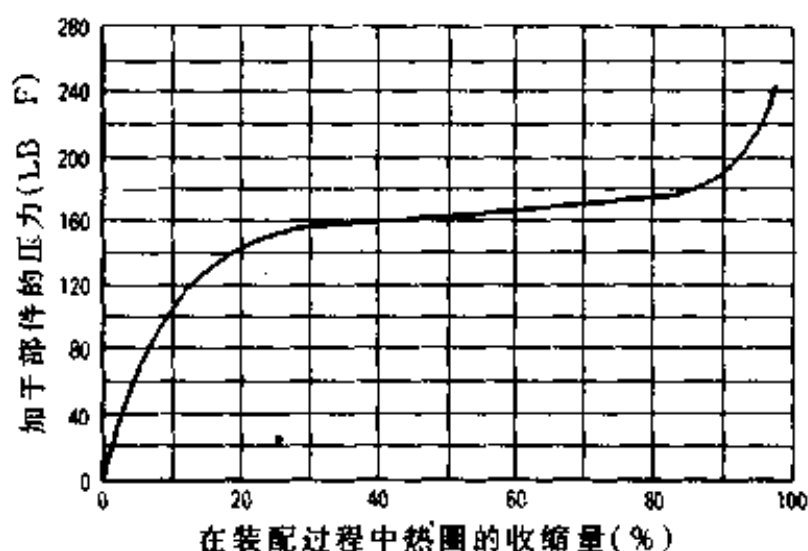


图 15-5 用于安装塑装半导体器件的锥形压缩垫圈的特性

15.5.2 线夹

用线夹可完成快速安装。当散失功率只有几瓦时，可采用几家厂商所提供的带有线夹和小支撑板的散热片或是独立式的散热片，因为这样可大大降低安装费用。当散失功率较大时，可采用带有较大散热片的分立式线夹。为了提供适当的压力，线夹须根据特定的散热片厚度和半导体封装要求进行特殊的设计。

线夹普遍用于诸如 TO-220 和 TO-126 型塑料封装的管壳中。当将线夹设计成使半导体底座上方的塑料壳顶部承受压力时，它除了安装快速之外，还能提供比其它安装方法更低的界面热阻。TO-220 型封装通常在基片底座的上方被支撑起来。

15.5.3 安装螺钉

安装螺钉、锥形垫圈和螺母可为安装孔的各类封装形成一个可靠性的紧固系统。但必须施加适当的扭矩。在干燥时，必须施加额定扭矩，因此当使用热脂膏时必须十分小心，不要使脂膏粘到螺纹上以免出现不一致的扭矩读数。由于安装螺钉头不太平整，因而对塑料外壳的作用力不会很均匀，所以螺钉头不能直接接触塑料封装的表面。如果没有垫圈，塑料封装可能会破裂。

15.5.4 自攻螺钉

在仔细控制的情况下，可以使用金属板固定螺钉，但是在使用标准螺钉攻丝的过程中，

被穿孔攻丝的金属上将形成一个火山口形状的凸起, 这样的表面将使热阻升高, 因而是允许的。在使用标准金属板固定螺钉时, 必须有排屑孔。如果想利用直攻过程, 所使用的螺钉必须具有轧制而成的安装螺钉螺纹线。

15.5.5 铆钉

对任何塑料管壳的器件, 最好不要用铆钉紧固。当把表面粗糙的金属安装法兰的器件或者 EMS 模块直接安装到散热片上时, 可以用铆钉进行固定。卷曲力必须慢慢地逐渐增加, 决不能太用力挤压铆钉, 因为较强的铆接力会使大多数半导体器件外壳变形。铝质铆钉比起钢质铆钉更合适一些, 因为安装时使用的压力小, 而且会使导热性能提高。采用空心铆钉或小孔铆钉比采用实心铆钉更好。使用压力可调的压机逐渐增大压力使空心铆钉翻边并被铆平。猛然的击打会使半导体底座破裂。

15.5.6 焊锡

在表面安装组合技术出现之前, 一直认为焊锡不适用于固定功率半导体, 不过用户的需求已导致研究出采用焊锡来固定晶体管的新封装方式。可以接受的焊接方法包括传统的带式炉、烙铁、气相软熔和红外线软熔。但必须注意半导体温度不能超过规定的最大值 (通常为 260°C), 否则会破坏半导体底座与壳体之间的粘合层, 底座粘合层的破坏会使热阻大大提高并将导致晶体管在周期性功率作用下的失效。

15.5.7 粘合剂

市面上能买到与铜和铝的膨胀系数相近的粘合剂和导热性好的粘合剂, 一层 10 密耳厚的粘合剂的热阻大约为 $0.3^{\circ}\text{C}/\text{W}$ 。目前有各种类型的粘合剂, 包括非现场维修系统的高强度型粘合剂或可现场维修系统的低强度型粘合剂。

15.5.8 塑性附件

大部分塑性材料都会发生塑性变形, 但发生塑性变形的程度差别很大。当紧固系统中有塑性零部件时, 必须使用压缩垫圈, 因为这样做能有效地保证组件不会随时间的流逝和温度的循环变化而松弛。如前所述, 接触压力的减小将会使界面热阻上升。

15.6 紧固方法

不同的封装形式需要不同的紧固方法。有关每一种类型的管壳的详细安装说明将在以后的各节中详细说明。下面是一些总的原则。

当器件被安装在处于腐蚀环境中的铝散热片上时, 为防止产生电化腐蚀, 许多器件都被镀上镍或镀上金。因此, 必须采取措施不擦伤器件表面。

需要考虑的另一个因素是当一个铜基部件被固定在铝散热片上时会产生一个双金属系统。该双金属系统会在温度变化时发生弯曲。不仅铜和铝的热膨胀系数不同, 而且每种金属中的温度梯度也会引起每个部件产生弯曲。如果弯曲程度很大, 且管壳是由两个或多个螺丝固定的, 半导体膜片就可能损坏。通过以下方法可以减轻弯曲程度:

- (1) 将元件平行地安装在散热片上以使之具有更大的刚性。
- (2) 把散热片上的安装孔开得稍大一点, 以便使温度改变时表面之间能产生滑动。
3. 在散热片与半导体器件之间使用导热性极好的脂膏或垫片来减小温度梯度并允许相对滑动。

15.6.1 柱螺栓安装

采用柱螺栓安装的部件示于图 15-6。安装未采取绝缘措施的柱螺栓部件时, 容易发生的错误是施加的扭矩过大或将柱螺栓攻入带螺纹的散热孔中。

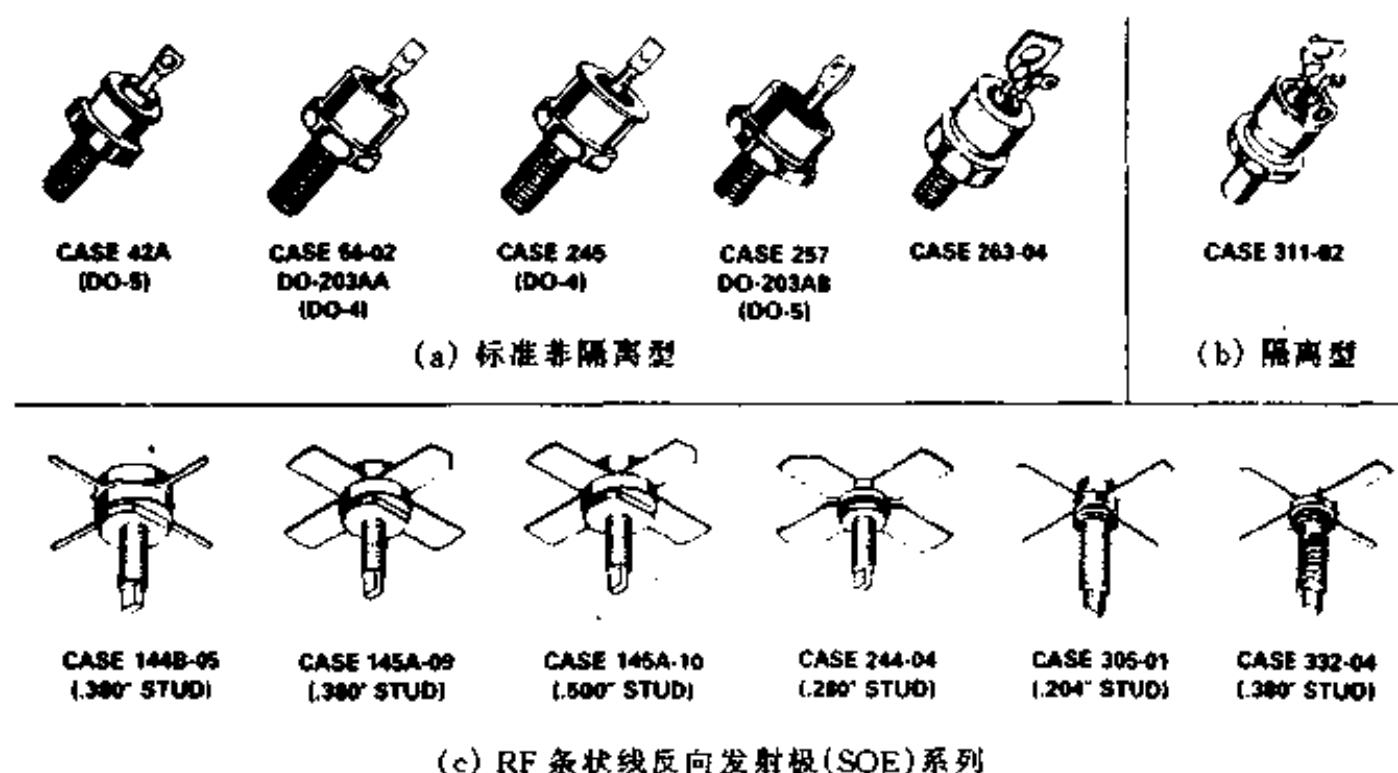


图 15-6 各种形式的柱螺栓安装部件

这两种做法都可能引起六角柱头的翘曲变形, 并从而使半导体的底座破裂。唯一值得推荐的连接方法是使用一个螺母垫片, 详细情况如图 15-7 所示。

把一个绝缘电极组件安装在一个柱螺栓安装底座上只需要很少的附件。它们的安装方法与非绝缘电极组件的安装方法相同, 但必须注意避免对绝缘层施加剪切或拉伸应力。绝缘层通常为氧化铍 (BeO) 陶瓷。因此必须采用柔软的导线把接线端与电路连接起来。此外, 在旋转螺母时, 必须用六角柱头螺栓将部件固定住。

15.6.2 压入配合装配

对于大多数应用来说, 压入配合装配应该按照图 15-8 所示的方法进行。必须使用一个满足必要要求的专门的安装夹具。

15.6.3 法兰安装

许多部件属于图 15-9 所示的法兰安装类型。TO-204 (TO-3) 这样的组件用法兰安装时没有什么困难。由于底面粗糙和底座与安装孔之间的距离很短, 组件不易产生翘曲, 除非是安装在非常弯曲的表面上, 或者除非是在一边还没有开始拧紧之前, 另一边已经被拧得很紧。好的做法是交替拧紧两边的螺丝以便压力均匀。在用手把螺丝拧紧后, 应至少分两步把

螺丝拧到规定的程度。图 15-10 示出了适用于流行的带法兰组件的一种典型的底座安装法。可根据“紧固件和附件特性”一节的指示,用安装螺钉、自攻螺钉或者铆钉来固定。

能量管理系列 (EMS) 模块的铜质法兰非常厚,因此,这些部件很结实,实际上不会损坏。在把这些部件紧固到散热片上时不必特别小心。

某些部件需要采用特别规定的安装步骤。例如,对图 15-9 (b) 所示的 Power Tap 封装来说,最终的扭矩必须施加在中心位置。

整流电源模块 (MHW 系列) 比其它组件对散热片的平整度更加敏感,因为在薄而长的法兰上附有一层陶瓷 (BeO)。在不发生机械破坏的情况下,法兰的最大允许弯曲详细地列在 EB107 “Motorola 整流电源模块安装说明”中。许多部件可以允许散热片和法兰有 7~8 密耳的组合偏差。其它一些部件则要求合计偏差在 1.5 密耳以下。这就要求散热片有很高的平整度。由于有内部的陶瓷衬底,隔离封装的整流器件必须采取特殊的安装程序。我们将用大面积管壳 368-1 (HOG PAC) 来说明安装时应注意的问题。与大多数其它的整流功率器件相比,大面积管壳 368-1 对安装方法是否正确更加敏感。

尽管数据手册给出了建议的安装步骤,但实践表明这些建议却常常被忽视。对于 4-40 安装螺丝来说,建议的最大力矩

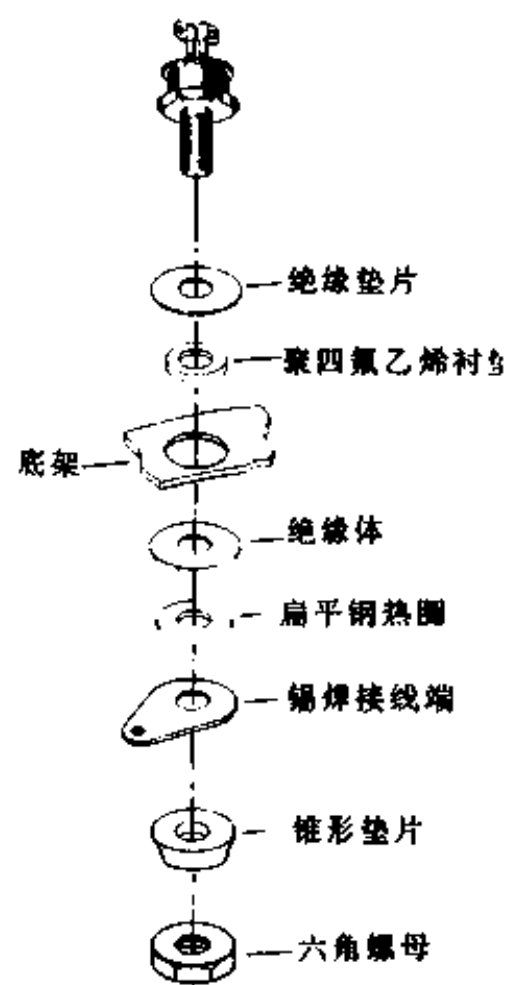
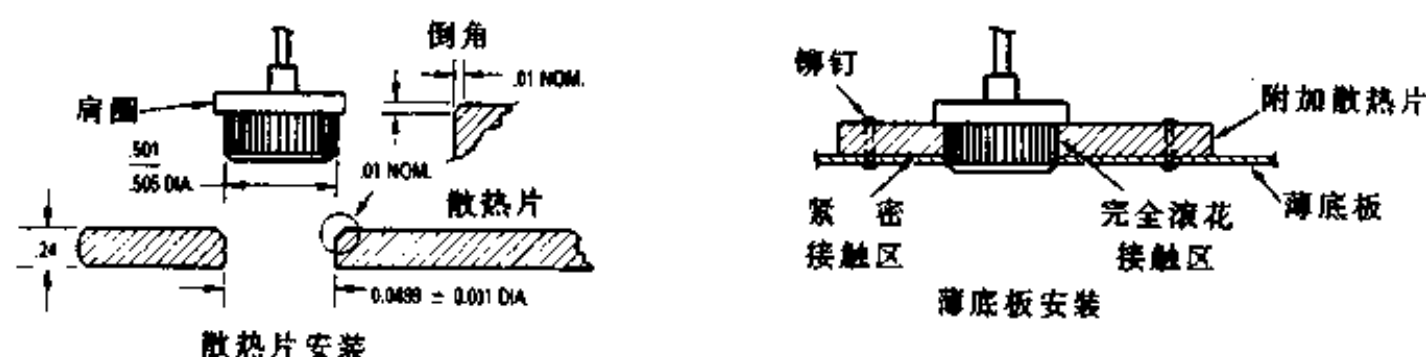


图 15-7 用于安装一个非绝缘柱螺栓安装管壳的绝缘附件



的边缘一定要倒角以防止压入时擦伤器件外壳的滚花侧面。在进行压入时压力要均匀地施加在肩圈上以避免发生倾斜。使用粘合剂可使压入易于进行。根据散热材料的不同,压力在 250 磅到 1000 磅之间。推荐的硬度是:铜——小于 50 洛氏硬度;铝——小于 65 布氏硬度。散热片的厚度为 1/8 英寸,界面热阻与接触面积成正比。薄底板时需要增加一个垫片。

图 15-8 用压入配合方法安装的管壳

为 5 英寸·磅,也建议采用弹簧和扁平垫圈。力矩过大是一个常见的问题,在一些拆卸下来用于进行破坏机理分析的元件中,发现有深度达 10 密耳的凹痕。

计算表明在温度变化达到 75℃ 时,法兰的伸长超过 2 密耳。在这种情况下,如果施加在安装螺丝上的力矩过大,就会阻止法兰盘的伸长,这样,中央部位就会弯曲,使氧化铍和底座破裂。施用过多的热粘合剂也会出现类似情况。在足够的扭力矩作用下,热粘合剂在安装孔被挤压出来,但在法兰中央的热粘合剂却挤不出来,从而使法兰变形。在这种情况下,法兰中央和边缘可产生 2~3 密耳的高度差 (足以使内部的陶瓷破裂)。

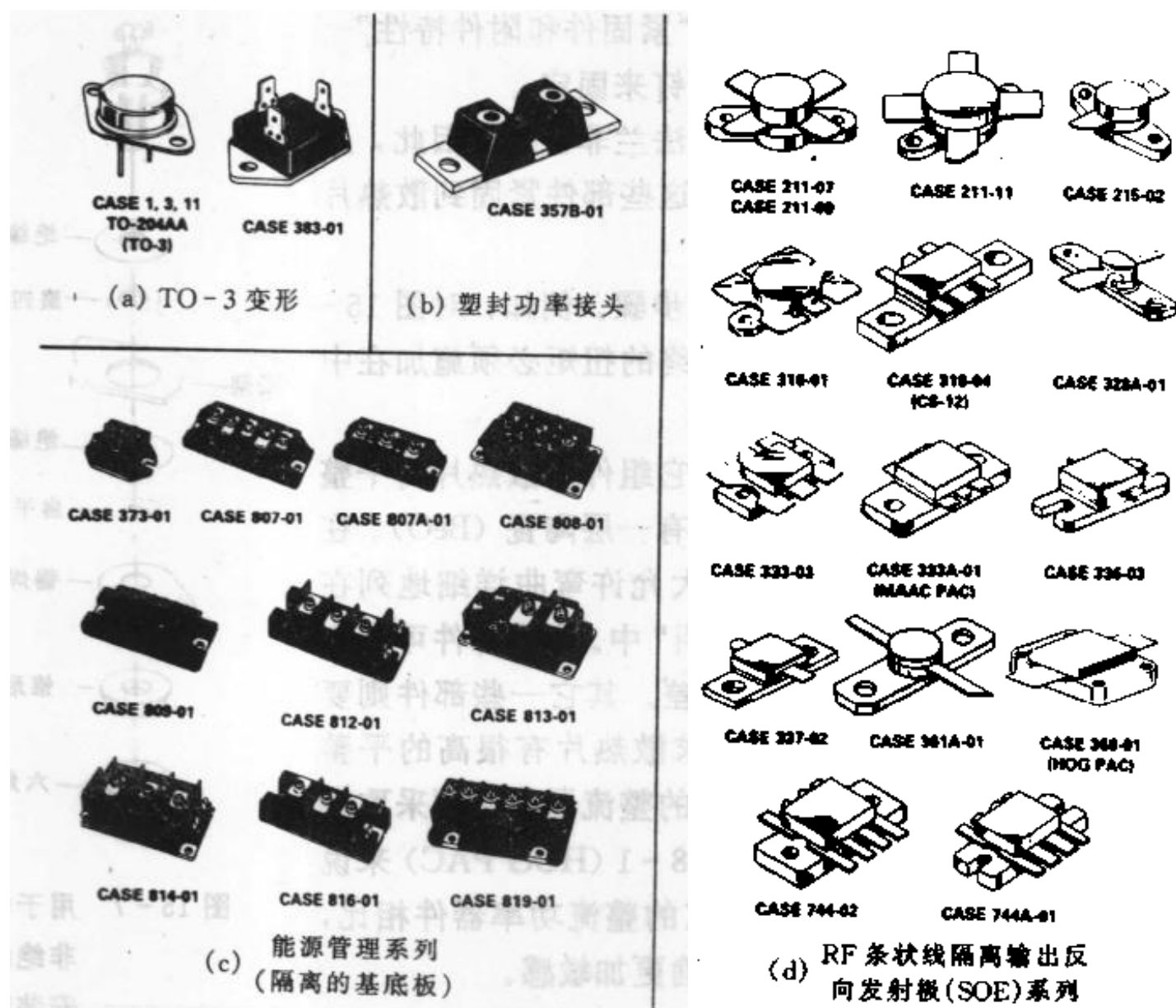


图 15-9 许多种器件封装类型都可归入法兰安装类型

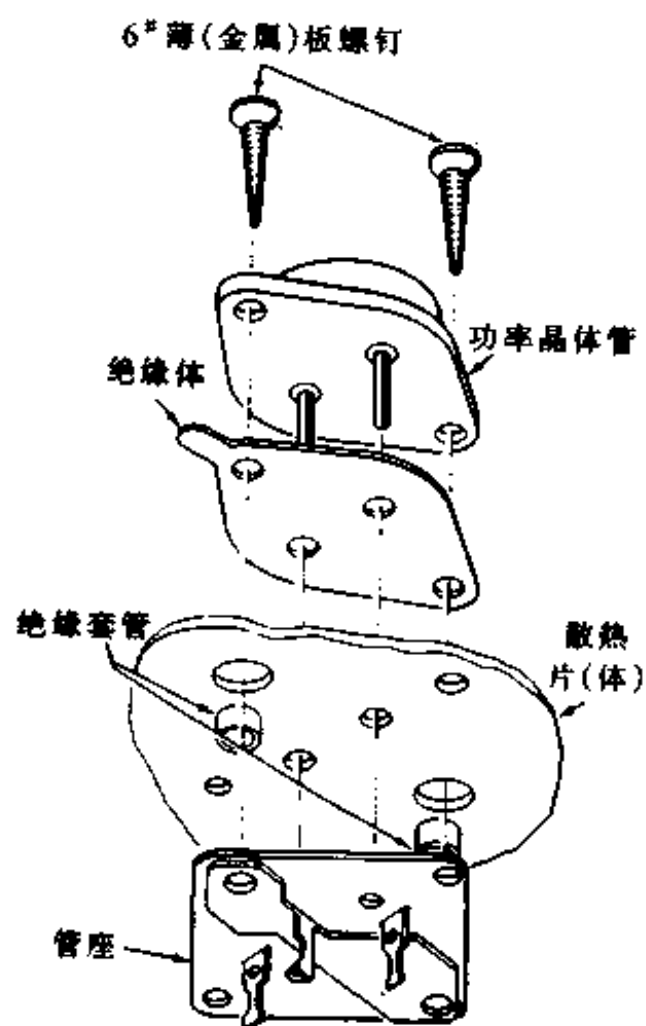


图 15-10 用于 TO-204AA (TO-3) 法兰安装部件的附件

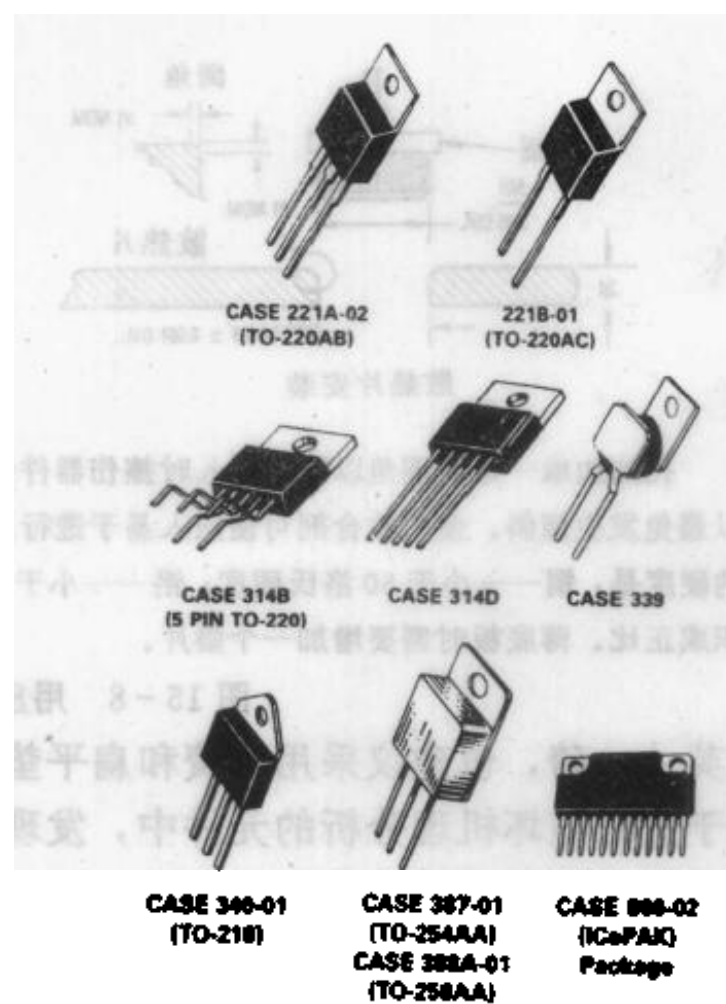


图 15-11 几种形式的翼片安装部件

由于法兰的厚度随温度发生变化,从而会出现另一个问题。当温度升高 75°C 时,法兰厚度会增加约 0.25 密耳,这将导致安装螺栓更紧,从而使有效力矩比原始力矩大。温度降低时,则发生相反的情况。因此,热循环不仅导致了结构破坏,而且使组件装配变松,从而增加了界面热阻,使用可压缩附件则可避免出现这个问题。

15.6.4 翼片安装

翼片安装类晶体管由如图 15-11 所示的许多种封装类型的晶体管组成。各种封装类型安装时的注意事项与流行的 TO-220 封装安装时的注意事项相似。TO-220 封装的建议安装方法和附件如图 15-12 所示。图中的矩形垫圈是用来减小安装法兰的变形的。法兰的过度变形可导致半导体基片损坏。当安装孔径超过 0.140 英寸 (6~32 公隙) 时,必须使用垫圈。如果在安装过程中施加的转矩过大,可能会造成法兰变形。在使用一个 6~32 规格的螺钉时,施加的转矩不应超过 8 英寸-磅。

在拧螺丝时应特别小心不使用于拧动安装螺钉的工具接触塑料壳体。这种接触可能导致塑料壳体和器件内部连接损坏。为了尽量减小发生这种情况的可能性, Motorola 公司的 TO-220 封装在一端开设了一个槽。其它厂家的 TO-220 封装可能需要一个或一组垫片来把螺钉头部升高到塑料壳体的顶面之上。

当在一端施加压力时,流行的 TO-220 封装和其它一些相似的结构可能会从安装表面上抬起。为了克服这种倾向,至少有一家生产厂商提供一种在翼片上产生均匀压力的硬塑悬臂梁。此外,它还把安装螺钉与金属翼片分隔开来。翼片安装部件也能用线夹安装,如图 15-15 所示。为了在不破坏管壳的情况下获得更大的压力,必须在线夹下面放置一个压力展开器。使用悬臂梁或线夹固定时的界面热阻比使用螺钉安装时的界面热阻低。

ICePAK 组件 (806-02 型管壳) 基本上是一种带有分离的线夹的拉长了的 TO-220 封装。因此安装 TO-220 的注意事项同样适用于这种封装。另外,因为需要两个安装螺钉,所以应遵循法兰安装时所采用的交替拧紧两边螺钉的过程。

在翼片安装组件与散热片有直接接触的情况下,如果能避免剧烈的撞击和碰撞,也可以使用孔眼连接。

15.6.5 塑料壳体的安装

图 15-13 所示的热衬垫和全隔离的塑料壳体功率组件是这一类中的典型组件。它们的

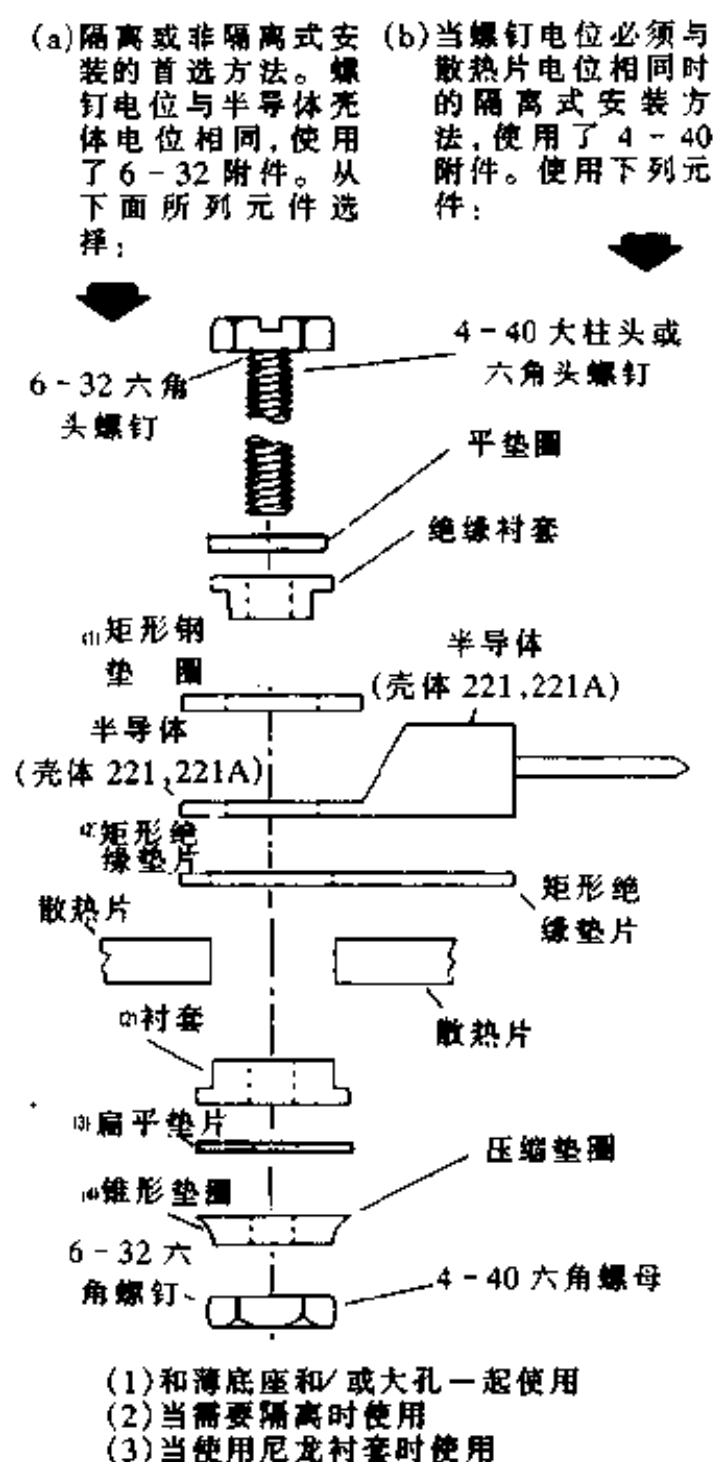


图 15-12 采用翼片安装的 TO-220 器件的安装方法

特点是体积和热阻均很小。对于热垫组件来说，这是通过把硅片接合到薄铜片的一面，而将另一面裸露作为安装面来实现的。铜片上有一个用于装配的孔，用塑料铸封接合有硅片的一侧，但仍使装配孔留着。这种结构可降低热阻，但在安装过程中必须十分小心。

全隔离的塑料壳体功率组件 (221C-01 型管壳) 除了其安装翼片采用塑料包封以外，其它与 TO-220 型管壳非常相似。因为要求安装力应加在塑料壳体上，所以安装过程与标准的 TO-220 型管壳的装配过程有所区别，而与热垫的安装过程有些相似。

安装螺钉、眼孔或者线夹等几种类型的连接方式可以用来紧固这些组件。在使用安装螺钉或眼孔进行装配时，应该使用一个锥形垫圈，以使作用力能均匀地分布在较大的面积上。不能用风动工具和任何可能引起强烈冲击的工具来紧固。适用的锥形垫圈的各种特性数据如图 15-5 所示。

图 15-14 表示安装 77 型壳体的器件的详图。线夹安装速度快且只需要很少的附件，但必须选择合适的线夹以确保能施加合适的安装力。用安装螺钉进行安装时，如果要求螺钉与壳体绝缘，则在安装孔中要加装衬套以确保螺纹不与金属基底接触。

全隔离的塑料管壳 (221C, 221D 和 340B 型管壳) 的安装过程比标准型 TO-220 管壳的安装过程简单得多。如表 15-15c 所示，只需要把一个合适的线夹插进散热片上的两个槽孔中就行。尽管线夹所产生的压力比螺钉产生的压力小得多，这两种方法所产生的热阻却大体相同。这是因为，线夹直接作用在半导体底座的上方且使壳体的受力均匀，而螺钉则使管壳在中间部位翘起 (参见附录 B 的图 B1)。界面应有一层热滑脂或使用导热性很好的热垫。当然，也可以采用如图 15-15b 所示的螺钉安装方法，但必须加上锥形压缩垫圈。与图 15-15a 所示的 TO-220 管壳的安装方法相比，这两种安装方法的共同特点是所需附件很少。

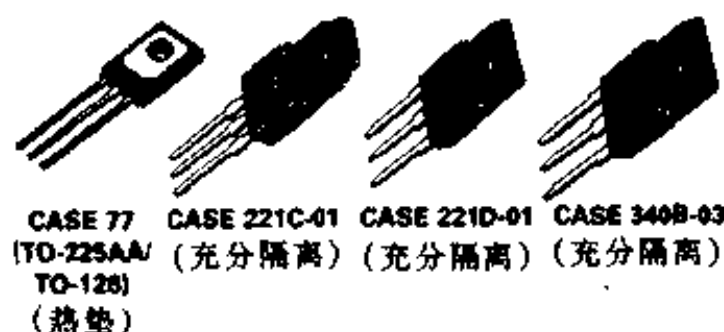


图 15-13 塑料壳体安装组件

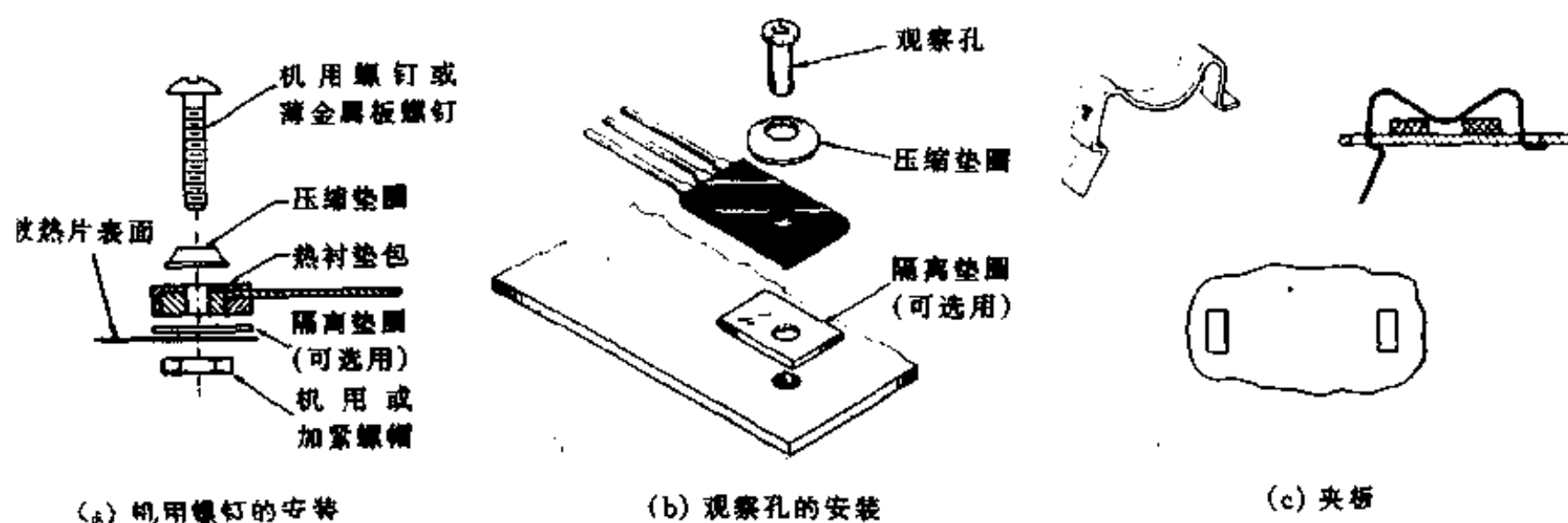


图 15-14 TO-225AA (TO-126) 热垫组件的建议安装方法

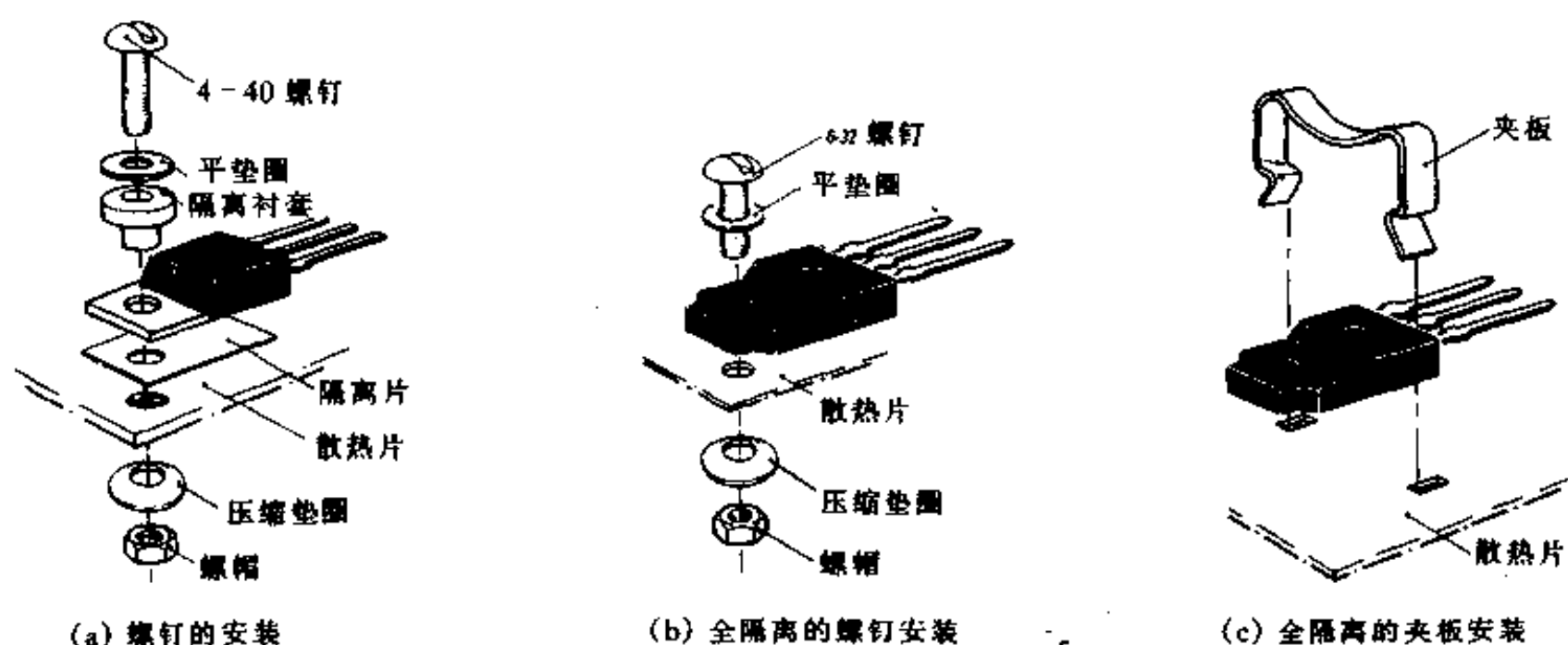


图 15-15 充分绝缘的组件的安装方法
(与传统的 TO-220 管壳比较)

15.6.6 表面安装

许多带安装翼片的组件以往一直是安装在表面上的，但目前已经开发出了用表面安装技术安装功率半导体的特殊的小足迹管壳。例如，图 15-16 所示的 DPAK 适用于 112 密耳



图 15-16 采用表面安装方法
安装的 DPAK 元件

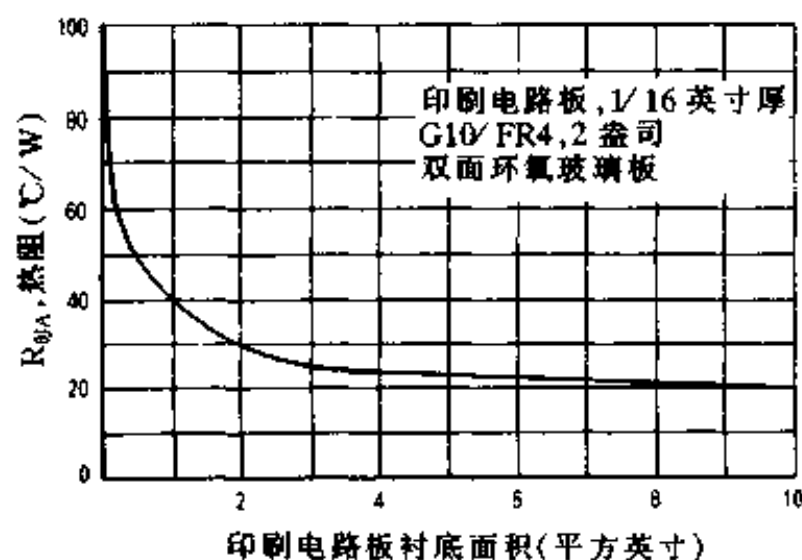


图 15-17 管脚脚掌面积对安装在玻璃-环氧树脂电路板上的 DPAK 安装组件的热阻的影响

×112 密耳的半导体底座，半导体结与管壳之间的热阻一般为 $2^{\circ}\text{C}/\text{W}$ ，焊接面的热阻值为 $1^{\circ}\text{C}/\text{W}$ 以下，印刷电路板也起散热片的作用。

2 盎司的标准玻璃-环氧树脂印制板不能发挥性能良好的散热片的作用，因为其热阻很大。如图 15-17 所示，在印刷电路板面积为 3 平方英寸的地方热阻值随面积增大而减小的趋势出现一个转折点，而印刷电路板面积为 10 平方英寸时，印刷电路板的热阻达到其最小值 $20^{\circ}\text{C}/\text{W}$ 。

市面上已经有了具有厚铝膜或铜膜衬底的印刷电路板，试验表明管壳和电路板衬底之间的热阻在 $1^{\circ}\text{C}/\text{W}$ 左右，确切的数值依电路板的型号而定。这种衬底本身就是一种有效的

散热片，也可连接在一个传统的鳍状散热片上以进一步改进其散热性能。

由于 DPAK 和其它表面安装的封装被设计成与表面安装装配技术相配合，因此除了保证不超过最大的温度/时间比值之外，在其它方面没有什么值得特别注意的地方。

15.7 插座安装

在平均散热功率为 1 瓦左右的应用中，大多数功率半导体在安装时既可以用小型散热片，也可以不用散热片。各种金属制作的功率半导体器件的封装引线设计成不用于支撑器件。因此，必须牢固地支撑这些器件的外壳，以避免引线周围的封装发生破裂。在没有大的冲击力和振动压力以及不用散热片的情况下，许多塑料封装的器件可以用其引线加以支撑。这些引线越短越好，因为这样可以提高抗振力和减小热阻。但一般说来，最好对管壳加以支撑。各散热片附件经销商可提供一种用于支撑 TO-220 封装和其它类似封装的塑料支架。

在许多情况下，由于引线相当重，所以 77 (TO-225AA) (TO-126) 型管壳只能支撑一个小型散热片，但得不到确切的数据。当使用小型散热片时，最好把散热片固定结实，使得散热片或电路板为半导体提供全部的支撑。图 15-18 给出了两种可能的安装方法，(a) 图的安装方法可用于安装任何塑料封装器件，但 (b) 图更适合于安装 77 型管壳热垫器件。对于其它封装类型来说，把半导体器件安装在散热片上更为实用。

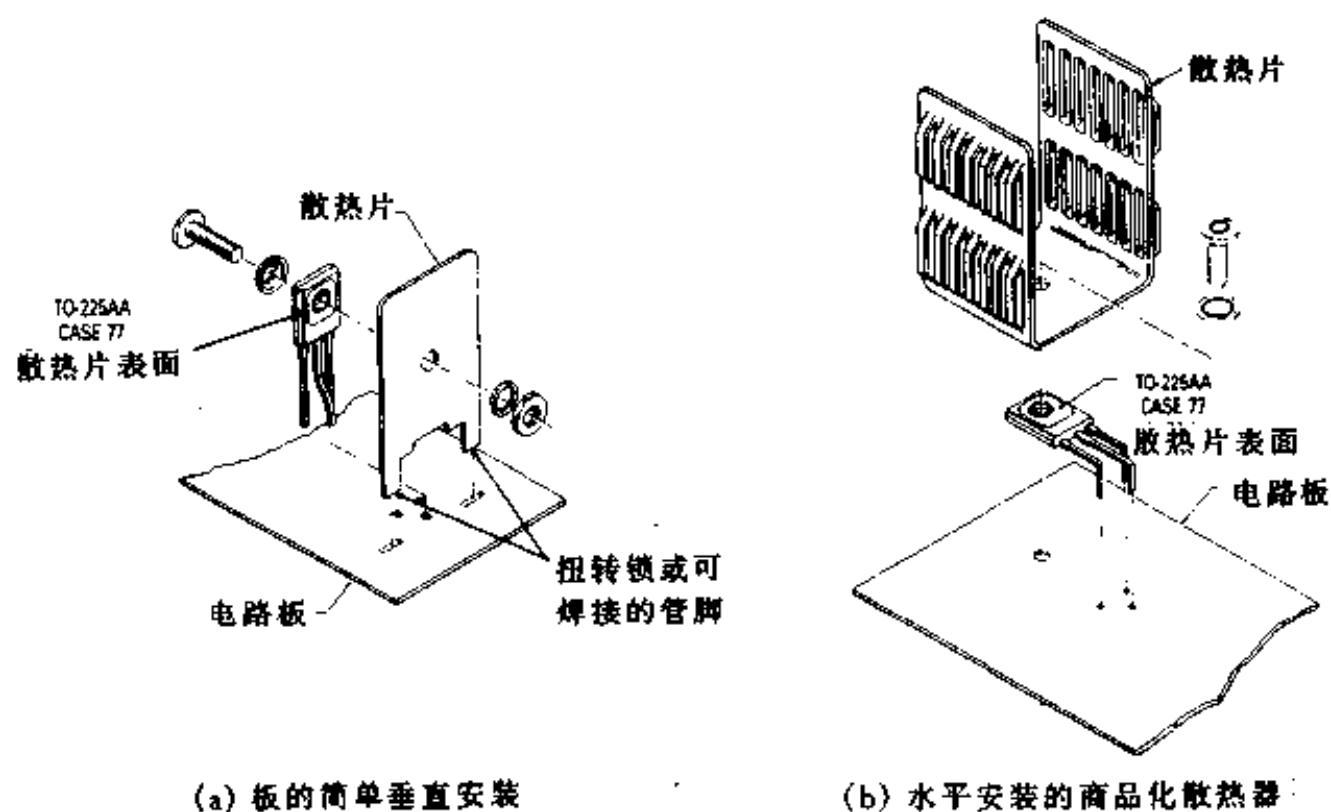


图 15-18 塑封半导体器件使用小型散热片的方法

在某些情况下，尤其是在需要对半导体进行测试或在研制一种新型号的管壳时，最好采用插座安装。各制造厂商已经为 Motorola 公司生产的各种封装形式的晶体管器件提供这样的插座。关于具体细节，用户可查阅各制造厂商的产品目录。为了在晶体管各极之间获得精确的电压读数，必须采用带有 Kelvin 连接的插座。

15.8 接线端子的连接

对管脚、引线和翼片必须进行正确的操作和连接，以避免出现可能损坏半导体器件的过大的机械力。必须考虑温度在最高和最低温度之间反复变化时所引起的器件物理尺寸的变化。标准的金属、塑料等封装各自都有一些必须考虑的特殊因素。

15.8.1 金属管壳

用玻璃封焊的金属管壳半导体器件的管脚和引线不能承受大的弯曲应力。如果不加注意，焊封就会破裂。在不超过数据手册中所列的额定值的条件下，导线可以用插座、卷曲的连接器和焊料与器件连接起来。当导线直接连接到引线上时，为了减小变形，建议采用柔性或编织的导线。

15.8.2 EMS 模块

EMS 模块的螺钉接线端看起来容易使人误解是很结实的。由于连接法兰基底安装在一个钢性的散热片上，所以和接线端的连接必须是柔性的。不要把一个钢性的长杆拧到接线端上，最好采用带有辫带的接线片。

15.8.3 塑料封装

塑料封装的引线有一定程度的柔软性，因而形状可以改变，但我们并不建议这样做。在许多情况下，可以选用合适的散热片，而不必将引线弯曲。可以根据需要从 Motorola 公司订购各种各样引线和翼片形式的半导体器件，而 Motorola 公司则根据要求在生产时把引线预弯成适于安装的形式，从而免除了用户在安装时将引线弯曲而造成器件损坏的危险性。

如果由用户在安装时将引线弯曲，则应遵循一些基本原则。弯曲引线时，必须在弯曲点和管壳之间放上支撑物。如果只是对少量元件的引线进行弯曲，则只需用一把钳子夹住引线靠近管壳的部分，同时用手指或另一把钳子将引线的另一部分弯曲。如果是批量生产，则需要做一合适的夹紧装置。

弯曲时应遵循以下原则以免损坏管壳：

- (1) 对于 TO-225AA (CASE77) 型管壳，弯曲半径应大于 1/16 英寸。而对于 TO-220 管壳，弯曲半径要大于 1/32 英寸。
- (2) 不能在引线接近管壳的地方将引线扭曲。
- (3) 不允许引线相对于管壳有轴向运动。

塑料封装器件的引线不能承受过大的轴向力。这个方向的力如果超过 4 磅就可能造成器件的永久性破坏。如果在安装过程中导致引线产生轴向应力（温度反复变化可能造成这种情况），就必须采取相应措施以减小这种应力。当用导线连接时，应注意确保导线的移动不会使引线在和塑料壳体连结处产生运动。高度柔韧和编织的导线可大大缓解导线对引线的拉力。

引线可绕接，条件是引线被限制在壳体和绕接点之间。引线可以焊接，但焊接温度不能超过 260℃，且焊接点距离塑料封装的距离应大于 1/8 英寸，焊接时间不能超过 5 秒钟。

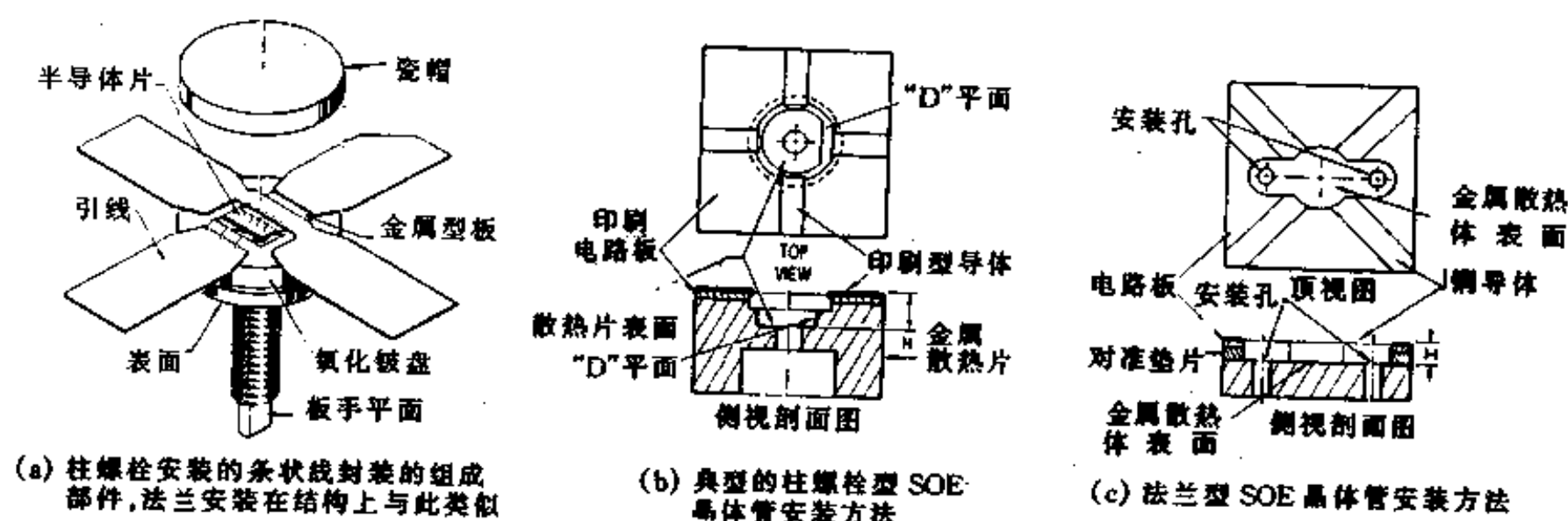


图 15-19 SOE 晶体管安装详图

15.8.4 带状引线封装

带状引线封装的引线通常被焊接到一块电路板上, 而管壳开有切口以与散热片接触, 如图 15-19 所示。必须遵守以下规则:

- (1) 不能将器件安装成使陶瓷-金属连接处于应力状态。
- (2) 不能将器件安装成使带状引线产生沿垂直方向指向瓷帽的压力。
- (3) 当铜制柱螺栓及其顶盖的氧化铍盘状体穿过电路板上的一个孔把设备安装在印刷电路板上时, 必须在氧化铍盘状体周围留有足够的间隙以防止对引线产生剪切应力。
- (4) 当器件固定到散热片上时, 必须要使引线与电路板之间留有间隙。
- (5) 在器件引线接入电路板之前, 必须把器件正确地固定到散热片上。
- (6) 在施加转矩时不能利用端面螺栓形管壳器件的引线来防止器件转动, 而是用一个板钳来防止器件转动。

图 15-19 (b) 表示一块印刷电路板和用于安装柱状螺栓式带状引线器件的散热片的横切面。H 是从印刷电路板上表面到散热片表面的距离。如果 H 小于从引线材料的底部到器件安装表面的最小距离, 就不会在铜螺栓和氧化铍陶瓷接合面产生拉力。然而, 如果 H 大于器件的尺寸, 将会有相当大的作用力作用在瓷帽与氧化铍的接合处和氧化铍与柱螺栓的接合面上。在此情况下有可能发生两种情况。第一种情况是当结构受热时 (例如铅焊操作时), 瓷帽接合部可能遭到破坏。第二种情况是当作用力足够大时, 氧化铍和柱螺栓的接合可能完全遭到破坏。当 H 和器件尺寸之差变大时, 器件和散热片之间可能失去接触, 从而可能导致通电时发生设备故障。

图 15-19 (c) 表示带法兰盘的带状引线的晶体管安装方法。H 仍表示从印刷电路板顶部到散热片表面的距离。如果 H 小于从晶体引线底部到法兰盘底部表面的最小距离, 则可以避免在管的各接合面产生张力。然而, 如果距离 H 大大超过器件高度, 就会产生我们在讨论柱螺栓形器件时所谈到的问题。

15.9 电路板的清洗

要确保用于去除脂膏和污物的任何溶剂或清洗剂不会影响器件的可靠性。一般说来,酒精和无氯氟里昂溶剂可用于清洗由塑料封装的器件,因为它们不会损坏这类封装的器件。诸如汽油、氯化氟里昂之类的碳氢化合物,会导致管壳膨胀,从而有可能损坏半导体底座。

当使用超声波清洗器来清洁电路板时,应注意超声波的能量和作用时间。

15.10 热系统评价

假设已经有一种合适的方法来安装半导体器件而不导致损坏,那么确定结温度是否处在规定范围内就十分重要了。

如果半导体的功率损耗包括了一个低工作周期脉冲,则限制因素是结的瞬时或峰值温度,而不是平均温度。在这种情况下,必须使用瞬时热阻数据。此类应用的详细说明请参见 Motorola 公司的应用说明书 AN569。

在其它的应用场合,特别是整流功率放大器或带动无功功率比例很大的负载的开关,可能会造成严重的电流拥塞情况。在这种情况下,传统的热阻概念或暂态热阻概念就不适用了。在这种情况下,必须严格遵守晶体管的安全工作范围,导体开关元件的 di/dt 极限值或可施加的等效额定值。

幸运的是,在许多应用场合,只要计算平均结温度就足够了。这是根据结和管壳上的温度参考点之间的热阻而得出的(见附录 A)。应使用如 #36AWG 之类的细金属丝热电偶来测定管壳温度。结平均工作温度可用下列公式计算:

$$T_J = T_C + R_{\theta JC} \times P_D$$

其中: T_J = 结温度 ($^{\circ}\text{C}$)

T_C = 管壳温度 ($^{\circ}\text{C}$)

$R_{\theta JC}$ = 数据表中所列的结到壳体的热阻 ($^{\circ}\text{C}/\text{W}$)

P_D = 器件损耗功率 (W)

使用该公式的难点常常在于如何确定消耗的功率上。两种常用的经验方法是图解积分法和代换法。

15.10.1 图解积分法

图解积分法是借助有限的设备,通过拍摄示波器上一个完整周期的电压和电流波形的图片来进行的。图片必须在稳定的温度下拍摄,然后按一个合适的时间增量,从每张图片上读取相应的点。把每一对对应的电流值和电压值相乘即是瞬时功率值,并将结果描绘在线性坐标纸上,曲线下的正方形数目除以沿时间轴上的正方形数目,所得的商便是消耗的功率。用于进行这种测量及进行必要的计算的示波器是可以买到的。

15.10.2 代换法

这种方法是以一个容易测量的平稳的直流电源取代一个电流波形复杂的电源为基础

的。可用一种开关电路来调节被测器件的负载，待被测器件的温度稳定后再测量管壳温度。当开关置于“测试”位置时，被测器件便连接到一个直流电源上；而该开关的另一个闸刀向负载提供正常的功率以保持负载在满负荷状态下工作。当开关每隔 10 秒切换到另一个位置时，调节直流供电电源以使半导体管壳温度大致保持不变。把直流电压值和电流值相乘便得到平均功率，测量器件电压时，一般采用 Kelvin 连接。

15.11 附录 A 热阻概念

在稳定状态下的传热方程为：

$$q = hA\Delta T \quad (15-1)$$

其中： q = 传热速率或功率消耗速率 (P_D)

h = 传热系数

A = 传热面积

ΔT = 进行传热的两个区域之间的温差

但是，电气工程师们发现从热阻的角度考虑传热问题比较简单。热阻被定义为温度与功率之比。从方程 (15-1) 可得热阻 R_θ 为：

$$R_\theta = \Delta T/q = 1/hA \quad (15-2)$$

传热系数 (h) 取决于所采用的传热机理和该传热机理所涉及的各种因素。

方程 (15-2) 与欧姆定律之间的类似常被用来构造热流模型。注意到 T 可被看作电压，热阻对应于电阻 (R)，而功率消耗速率 (q) 相当于电流 (I)。据此可以得出半导体的基本热阻模型，如图 15-20 所示。

用基尔霍夫定律来分析等效电路，得到下面的等式：

$$T_J = P_D(R_{\theta JC} + R_{\theta CS} + R_{\theta SA}) + T_A \quad (15-3)$$

其中： T_J = 结温度

P_D = 功率消耗

$R_{\theta JC}$ = 界面热阻 (从管壳到散热片)

$R_{\theta SA}$ = 散热片热阻 (从散热片到周围环境)

T_A = 环境温度

半导体结到周围环境的热阻是上述各项热阻的总和，如果想得到最低的结温，必须使上述各项热阻的值都达到最小值。

与其它的热阻相比，界面热阻 $R_{\theta CS}$ 可能是最重要的，正确的安装可使 $R_{\theta CS}$ 的值达到最小。

散热片的热阻不是绝对不变的，其热效率随环境温度的升高而增高，该热阻还受散热片方向的影响。半导体的热阻也是可变的，是偏压和温度的一个函数。半导体热阻一般是在电流密度相当均匀的条件下给出的。在象整流功率放大器和短脉冲这样的应用中，电流密度不是均匀的，因而影响器件所能消耗的最大功率的决定因素是半导体基片附近温度上升的程度。

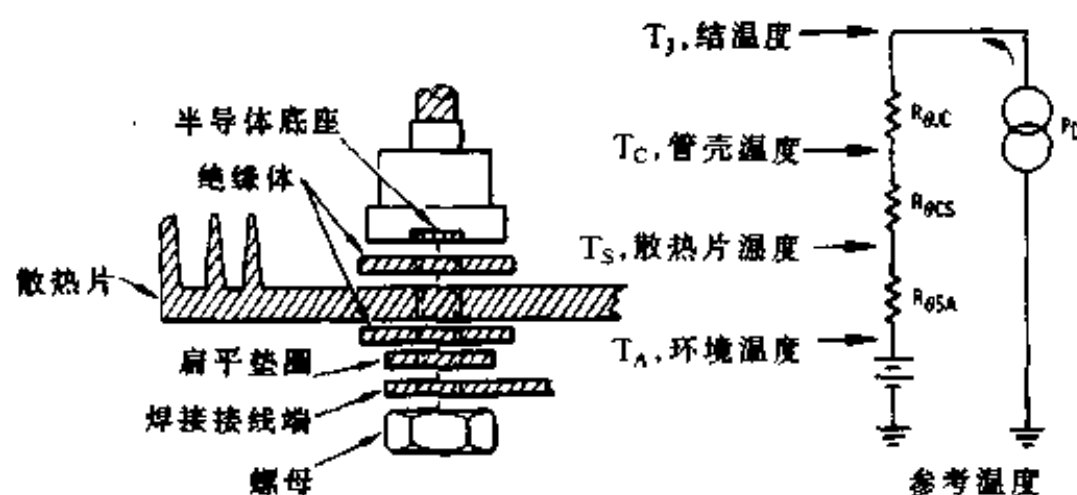


图 15-20 通过热电类比而得出的半导体晶体管的基本热阻模型

15.12 附录 B 界面热阻测量

测量界面热阻 $R_{\theta CS}$ 表面上看起来很简单。测量时很需要的显然是一个用于测量半导体器件外壳温度的热电偶，一个用于测量散热片温度的热电偶，以及一种施加和测量直流功率的方法。然而， $R_{\theta CS}$ 与安装表面间的接触面积的大小成正比，因而受表面平整度和光洁度以及施加在表面上的压力的大小的影响。紧固方法也可能是一个影响因素。另外，热电偶如何放置对结果也有重要影响。因此，由不同制造厂家提供的界面热阻值不很一致。这个附录所列数据已考虑了紧固方法和热电偶放置位置的影响。

当把要测试的晶体管用螺钉固定在一个地方时，可能通过螺钉发生热传导。例如，从 TO-3 封装上的一个法兰凸耳直接传到散热片。由于存在这种旁路传热，所得到的热阻测试值很低，与所用绝缘材料的性能很不相称，并且取决于螺钉头的接触面积和螺钉材料。MIL-1-49456 标准允许在测试界面热阻时使用螺钉很可能是因为该标准是“面向应用”的。

Thermalloy 公司想尽一切办法来隔断所有可能的分流传热途径，从而可得到尽可能准确的测量数据以便对绝缘材料进行评估。Motorola 公司采用一个绝热夹子来固定被测器件，这器件没有旁路传热途径。

如前所述，如 TO-220 这样的封装，既可用一个螺钉穿过管壳翼片上的安装孔进行安装，也可以用一个线夹卡在塑料壳体上进行安装。这两种方法常常会导致产生不同的界面热阻。如果把管壳顶部暴露在周围存在着热辐射和对流的空气中，也会得出不同的界面热阻值。为了避免产生这种误差，管壳应该用绝热泡沫塑料包起来。估计 15~20% 的误差是由这方面的原因造成的。

引起测量结果不一致的另一个重要原因是用热电偶测量半导体外壳温度时放置热电偶的位置。考虑图 15-21 中所示的 TO-220 封装的半导体器件，在一端所施加的安装压力导致另一端——这一端是底座所处的位置——稍稍地翘离了安装面。为了改进接触状况，Motorola 公司的 TO-220 封装在底部呈轻度的凹形，在螺钉下的撑杆是用来减少翘离量的，但是部件的结构使得这种翘起是不可避免的；三个热电偶的放置位置是：

(1) Motorola 公司放置热电偶的位置是通过散热片上的一个孔直接放到半导体底座的正下方。热电偶用一个弹簧固定在这儿，弹簧的压力使热电偶紧贴在半导体器件外壳的底

部。

(2) 电子器件工程联合委员会 (JEDEC) 放置热电偶的位置是在靠近半导体底座的地方, 通过一个钻在模压管壳上的隐蔽的洞可以把热电偶伸到半导体底座附近。

(3) Thermalloy 公司放置热电偶的位置是在模压管壳和固定螺丝之间的突出部的上面, 热电偶就被焊接在这个位置。

一般来说, 在这三个位置的温度是不同的, 现在考虑图中所描述的情况。由于唯一的直接接触区域是围绕着安装螺钉的区域, 所以几乎所有的热都沿着翼片水平地从半导体底座传到接触区域。结果是, JEDEC 放置热电偶的地方的温度就高于 Thermalloy 公司放置热电偶的地方的温度, 而 Motorola 公司放置热电偶的地方的温度则更高。由于对给定的测试方案, 结到散热片的热阻必须是一个常数, 所以随着指示“壳体”温度的热电偶读数变大, 计算的结到外壳的热阻变小, 而壳体到散热片的热阻值增大。因此, “外壳”温度参考点的选择是相当重要的。

在有些情况下, 各热电偶温度之间的关系与上面讲的情况不同。如果把一个带有脂膏的云母垫片装在半导体管壳与散热片之间, 拧紧螺丝不会使管壳弯曲, 但云母片将会变形。主要的热传导路径是从半导体底座经过云母垫片传到散热片。在这种情况下, 在管壳安装基座的垂直方向将会有温度下降, 因而在 EIA (电工协会) 位置的热电偶将是最热的。在 Thermalloy 公司放置热电偶的位置的温度将要低一些, 但接近于 EIA 放置热电偶的温度, 因为横向的热流一般来说是比较小的。Motorola 公司放置热电偶的位置的温度则是最低的。

从 EIA 放置热电偶的位置可获得壳体的最高温度。由于额定功率是以这一参考点为基准设定的, 所以测得这一温度是至关重要的。不幸的是, 把热电偶放在这个地方很麻烦, 致使半导体不易销售。

选择 Motorola 公司放置热电偶的位置来获得壳体与散热片接触处的最高温度。一旦制造出适合放置热电偶的特殊散热片, 这种方法就可方便地用于生产测试, 且不会在放置热电偶时划伤器件, 但用户很难把热电偶放在这个位置。

Thermalloy 公司放置热电偶的位置很方便, 所以常被设备生产厂商选用, 然而放置热电偶时可能擦伤管壳, 同时可能使一个未使用热脂膏和绝缘垫片安装在散热片上的 TO-220 型封装的器件的测量热阻产生最高可达 $1^{\circ}\text{C}/\text{W}$ 的偏差。经常与这种封装一起使用的耗热负载的热阻相比, 这个误差是很小的。因为功率消耗通常为几瓦。但是, 同一些大功率的半导体晶体管规定的结到壳体的热阻值相比, 这一偏差还是很大的。因此, 半导体制造厂商和设备制造厂商使用相同的参考点是很重要的。

EIA 的另外一种确定参考温度的方法是在半导体器件封装和散热片之间用一个软的铜垫片 (涂上了一层热脂膏)。这种垫片的平整度为不平度小于 1 密尔/英寸, 光洁度好于 63μ 英寸, 且在它的中间嵌着一个热电偶。根据这一参考点温度测得的界面热阻近似理想条件下的界面热阻, 因而很实用。该方法也很容易使用, 但还没有被普遍接受。

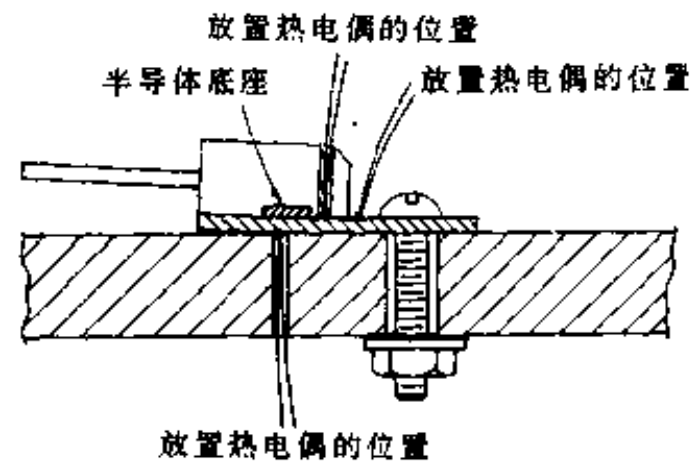


图 15-21 安装在散热片上的 JEDEC TO-220 封装, 图中示出各种热电偶位置及因一端的压力而引起另一端翘起

为保证所选择的壳体参考点是合适的,可在测试界面热阻时同时测量结到壳体的热阻。如果在改变绝缘垫圈和施加的转矩时,结到壳体的热阻值比较稳定,则说明选择的壳体参考点是令人满意的。

15.13 附录 C 附件来源

表 15-4 附件来源

制造厂商	连接化合物	粘着性	绝 缘 体						热处理
			氧化铍	二氧化铝	铸黑	云母	塑料薄膜	硅橡胶	
Aavid Eng.	×	×	—	—	—	—	—	×	×
AHAM - TOR	—	—	—	—	—	—	—	—	×
Astrodynamis	×	—	—	—	—	—	—	—	×
Delbert Blinn	—	—	×	—	×	×	×	×	×
IERC	×	—	—	—	—	—	—	—	×
Staver	—	—	—	—	—	—	—	—	×
Thermalloy	×	×	×	×	×	×	×	×	×
Tran - tec	—	—	×	×	×	×	—	×	×
Wakefield Eng.	×	×	×	—	×	—	—	×	×

15.14 封装标志

当美国电子器件工程联合委员会 (JEDEC) 封装登记系统于 1957 年开始运转时,如果某个制造厂商想把一个封装类型作为一种工业标准,就给该封装类型赋予一个顺序号。对于从这些工业标准派生出来的封装类型,或者由 JEDEC 赋给一个新的号码,或者由制造厂商在老的号码后附加上一些后缀说明来代表。

为避免混乱,JEDEC 于 1968 年制定了现在使用的登记系统,在这种系统中,新的封装类型根据其一般的物理外观被赋予一个类号,一个类中的不同封装之间的差别用后缀字母表示。

例如,TO-3 大类有很多种变种。封装高度不同且管脚长度有 300、400、500 和 600 密耳的。这些封装类型现在被归入 TO-204 大类。TO-204AA 对应于管脚长为 400 密耳的 TO-3 类,而 TO-204AE 则对应于管脚长为 600 密耳的 TO-3 类。

表 15-5 列出了封装标志的详表。

表 15-5 封装标志详表

外壳编号	JEDEC 外形		见页码	外壳编号	JEDEC 外形		见页码
	原系统	修改系统			原系统	修改系统	
001	TO-3	TO-204AA	15-264	011	TO-3	TO-204AA	15-264
003	TO-3	2	15-264	011A	TO-3	—	15-264
009	TO-61	TO-210AC	15-264	012	TO-3	—	15-264

续表

外壳编号	JEDEC 外形		见页码	外壳编号	JEDEC 外形		见页码
	原系统	修改系统			原系统	修改系统	
036	TO-60	TO-210AB	15-264	314B-01			15-266
042A	DO-5	DO-203AB	15-264	314D-01			15-266
044	DO-4	DO-203AA	15-264	316-01			15-264
054	TO-3	—	15-264	319-04			15-264
056	DO-4	—	15-264	328A-01			15-264
058	DO-5	—	15-264	332-04			15-264
61-03			15-264	333-03			15-264
63-02	TO-64	TO-208AB	15-264	333A-01			15-264
63-03	TO-64	TO-2088AB	15-264	336-03			15-264
077	TO-126	TO-225AA	15-268	337-02			15-264
080	TO-66	TO-213AA	15-264	340		TO-218AC	15-266
086	—	TO-208	15-264	340A-02			15-268
086L	—	TO-298	15-264	340B-03			15-268
144B-05			15-264	342-01			15-264
145A-09			15-264	357B-01			15-264
145A-10			15-264	361-01			15-264
145C	TO-232		15-264	368-01			15-264
157	—	DO-203	15-264	369-03		TO-251	15-269
160-03	TO-59	TO-210AA	15-264	269A-04		TO-252	15-269
167	—	DO-203	15-264	373-01			15-264
174-04			15-264	383-01			15-266
175-03			15-264	387-01		TO-254AA	15-266
197	—	TO-204AE	15-264	388A-01		TO-258AA	15-266
211-07			15-264	744-02			15-264
211-09			15-264	744A-01			15-264
211-11			15-264	806-02			15-264
215-02			15-264	807-01			15-264
221	—	TO-220AB	15-266	807-02			15-264
221C-02			15-268	807A-01			15-264
221D-01	—	—	15-268	808-01			15-264
235	—	TO-208	15-264	809-01			15-264
235-03			15-264	812-01			15-264
238	—	TO-208	15-264	813-01			15-264
239	—	TO-208	15-264	814-01			15-264
244-04			15-264	814A-01			15-264
245	DO-4	—	15-264	084B-01			15-264
257-01	DO-5	—	15-264	816-01			15-264
263	—	TO-208	15-264	819-01			15-264
263-04			15-264	043-02	DO-21	DO-208AA	15-264
283	DO-4	—	15-264				
289	—	TO-209	15-264				
305-01			15-264				
310-02			15-264				
311-01			15-264				
310-02			15-264				
311-02			15-264				

第十六章 静电放电和功率 MOSFET

如今的电子器件所遭受的最大破坏来源于静电放电 (ESD)。静电放电会造成器件性能退化或完全失效。表 16-1 给出了各种技术对静电放电的敏感区间。随着电路越来越复杂和密集, 器件的几何尺寸缩小了, 这就使得静电放电成为电子工业部门所关心的一个重要问题。

表 16-1 各种器件静电放电的敏感性

器 件 类 型	静电放电 敏感范围(V)
功率 MOSFET	100~2 000
功率复合晶体管	20 000~40 000
结型场效应晶体管(JFET)	140~10000
齐纳二极管	40000
肖特基二极管	300~2500
互补型金属氧化物晶体管(CMOS)	250~2000
双极型晶体管	380~7000
发射极耦合逻辑集成电路(ECL(IC ₃))	500
晶体管晶体管逻辑电路(TTL)	300~2500

表 16-2 摩擦电序

空气 人的皮肤 玻璃 人的头发 羊毛 毛皮 纸 棉花	正 电 位 上 升 方 向
木材 硬橡皮 醋酸纤维素人造丝 聚醇 聚氨基甲酸酯 聚乙烯树脂 聚四氟乙烯	负 电 位 增 大 方 向

16.1 静电放电的产生

静电势是摩擦电序表上非导电材料在表中的相对位置的函数(见表 16-2)。影响电荷发生率的其它因素有两种材料接触的紧密程度、分离速度和湿度(湿度使材料表面部分导电)。当两种非导电材料相互摩擦时, 就有静电势产生。

从表 16-2 可以看出, 棉花是电中性的。能产生静电放电的材料大多为防潮材料。表 16-3 给出了在各种条件下可产生的静电电势。

从这三个表可以看出, 如果不加小心的话, 敏感的电子元件可能遭受破坏, 很容易产生导致破坏所需要的电压。

表 16-3 典型的静电电势差

产生静电电势的方式	静电电势差	
	相对湿度为 10~20%	相对湿度为 65~90%
在地毯上走动	35000	1500
在聚乙烯地板上走动	12000	250
坐在长凳上工作	6000	100
从凳子上捡起普通塑料袋	20000	1200
用聚氨基甲酸酯泡沫 塑料填充的工作椅	18000	1500

16.2 静电放电和功率 MOSFET

TMOS 作为一种金属氧化物半导体器件会由于搬运和安装方式不正确而造成破坏。但是 TMOS 器件不象 CMOS 器件那样敏感。由于 TMOS 器件具有大的输入电容，它们在被充电到栅极击穿电压之前能够吸收比较多的能量。但是，一旦发生击穿，由于在栅-源电容中存贮着相当大的能量，会造成栅极氧化层被彻底击穿。在栅-源最大额定电压 $V_{GS} = \pm 20V$ 和静电电势差一般为 $100 \sim 25000V$ 的情况下，对这些器件必须采用特殊的操作处理程序。图 16-1 为一个好的器件和一个由于静电放电而退化了的同一型号的器件的特性曲线。

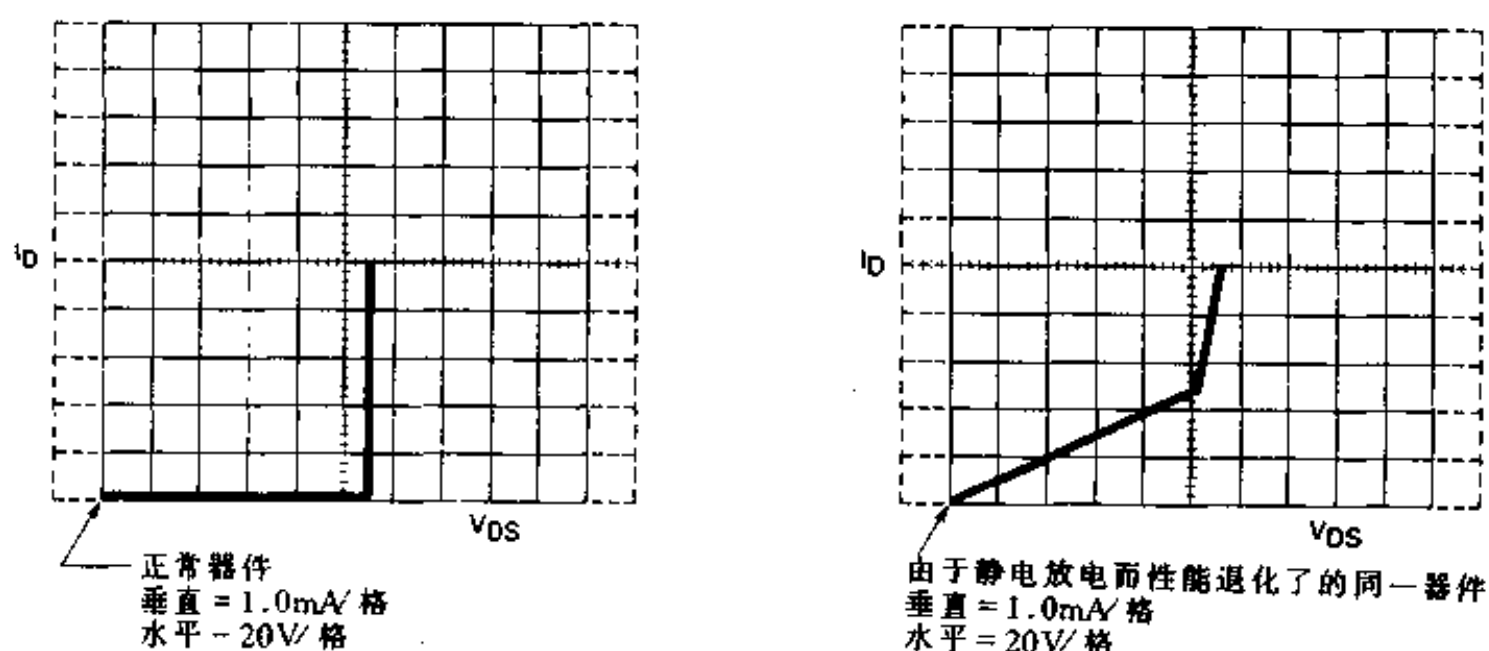


图 16-1 一个好的器件（左）和一个由于静电放电而使栅极遭到破坏的同一型号的器件（右）的 V_{DS} 相对于 I_D 的特性曲线，栅极遭到破坏的器件的栅极可能是电阻性短路

16.2.1 静电保护

保护电子元件的基本方法是把防止静电积累与去除已存在的电荷结合起来。从带电体去除电荷的方法依带电体是绝缘体还是导体而不同。由于电荷不能在绝缘体中流动，所以不能用把带电绝缘体与一个导体相接触的方法来去除带电绝缘体中的电荷。如果要放电的东西是绝缘体（塑料盒、人的衣服等），需要用离子化的空气。如果要放电的东西是导体（金属盘、导电的袋子、人的身体等），通过接地即可以把其所带电荷完全释放掉。

一个静电安全措施很完备的工作站必须采用接地的导电工作台和地板垫，操作人员所穿工作服的腕套应接地，导电容器应接地，并应配备离子化空气鼓风机以去除非导体所带电荷。所有电烙铁必须接地。所有非导电物品，如聚苯乙烯咖啡杯、透明包装纸、纸、塑料手提包等，必须从工作区拿走。应定期地用静电测量仪对工作区进行检查，所发现的任何问题必须立即加以改正。最重要的是对所有人员就正确安装使用静电敏感器件进行培训，这是预防静电放电破坏的最为关键的措施。图 16-2 表示一个典型的静电放电测试工作站。

通过遵循上述步骤并使用合适的设备，就可以对静电敏感器件进行搬运和安装而不致使其遭到破坏。需要记住的关键事项是：

- (1) 在采取了静电安全保护的工作区操作所有敏感元件。

- (2) 所有静电敏感元件都必须在有静电屏蔽的容器和包装中进行运输。
- (3) 就正确处理操作静电敏感元件对所有工作人员进行教育和培训。

16.2.2 测试方法

军用标准 MIL - STD - 883B 的 3015.1 方法, 军用标准 MIL - STD - 750C 的 1020 方法, 国防部部颁标准 DOD - HDBK263 和 DOD - STD - 1686 就半导体器件对静电放电的敏感性进行了分类 (表 16-4)。经过测量和大家一致同意, “人体模型” (HBM) 被规定为是与一个典型的人体的电荷存贮能力 (100pF) 和串联电阻 (1.5k Ω) 非常接近的网络 (图 16-3)。对所有管脚组合 (对一个 TMOS 功率 MOSFET 来说共有 6 种组合) 都要进行两个极性方向的测试。初步的测试表明, 栅极氧化物击穿最容易发生, 反向偏置结击穿的可能性也比正向偏置结击穿的可能性大一个数量级。因此, 测试的项目可大大减小, 但仍能得到正确的统计数据。破坏机理通常为氧化物击穿或结熔断, 这可以通过对短路的或退化的元件样本进行失效分析来确定。

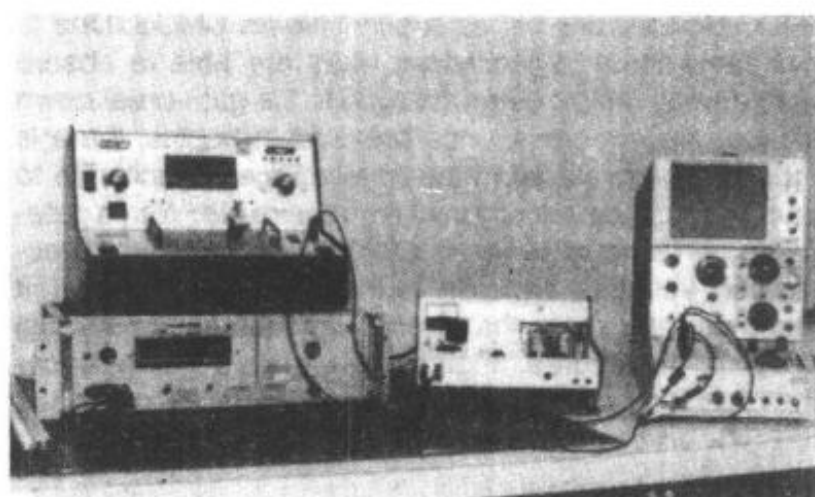


图 16-2 典型的静电放电工作站, 其工作台面垫子被接地。照片中心的静电放电测试仪的电路图示于图 6-4。图左上角的测试仪是一个商品化的测试仪

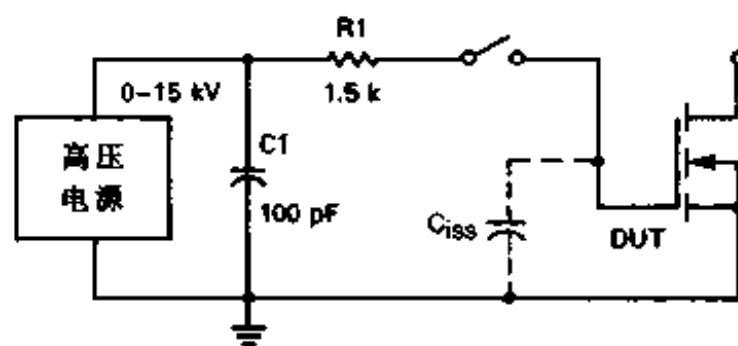


图 16-3 人体等效网络, 其寄生元件 (电容) C_{iss} 出现在用虚线画出的连线中

16.2.3 敏感性数据的意义

假设不能在制造区域立即采取改正措施, 或者用 MOSFET 元件制成的产品可能在工作现场处于静电放电的环境中, 则器件的敏感性可以被用作失效可能性的一个一般指标。随着器件敏感性的增大, 保护措施的范围和费用也随之增大。

表 16-4 半导体对充电网络 (HBM) 静电放电的敏感性

器件敏感性 (C_1 峰值电压)	MIL - STD - S83 类别	DOD - HDBK - 263 类别	典型的预防措施 ^①
0~1000	A (敏感)	第一类	{ 精心设计外壳和 键盘、腕套、离子化 空气、导电地板、导电 衣物等、场强告警 抗静电地毯喷涂、 腕套、导电包装材料
1000~2000	A	第二类	
2000~4000	B	第三类	
4000~15000 ^②	(不敏感) B	第三类	湿度调节

注: ① 在许多应用场合收集的数据表明, 在特殊条件下电序表中的某些材料产生大大超过 15kV 的电压 (表 16-3)。
② 这些例子仅仅作为非常一般的指导原则。一个给定的方法的实际精确度的变化是很大的, 这是由于大量相互依赖的因素都影响静电场的产生。内行的操作员, 再配之以一个参考电位接地的高质量的手持式静电场强测试

仪,可以有效地控制由于静电放电而造成的损失。

16.3 器件敏感性的测量

16.3.1 简单的静电放电脉冲发生器

如图 16-4 的电路图所示,测试仪由一个高压供电电源构成,该高压供电电源用一个复合晶体管振荡器来驱动一个电视回扫变压器。高压由一个市售的彩色电视半导体三倍器模块加以整流。整个测试仪使用一个大约 20V 的低压电源供给装置进行供电。高压功率供给通过一个 100 匝的分压器和一个集成电路串联调节器进行调节。

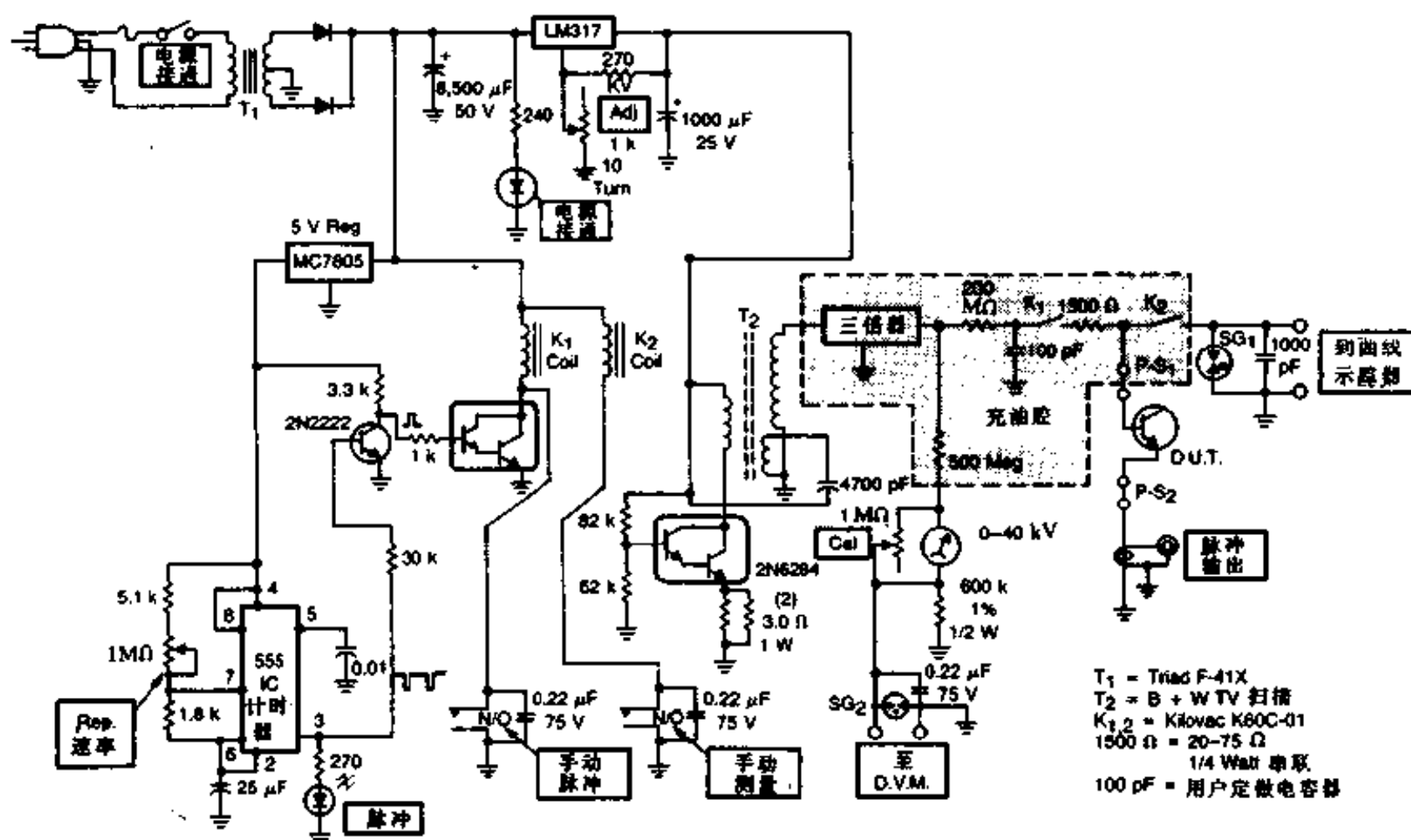


图 16-4 具有 40kV 容量的静电放电测试仪

小型手工操作的静电放电脉冲发生器是容易建造的。图 16-2 的中央所示的就是一个这样的脉冲发生器。

尽管该测试仪能够测试 DDD-HDBK-263 的整个电压范围,且能够用于比表示 TMOS 器件的电压特性所需要的电压范围更高的电压,但其设计却是很典型的。

高压监测是借助于一个从彩色电视机手提式高压探测器上卸下来的部件进行的。探测器被拆开后把一个精度大约为 50% 的表头安装在前面板上。把一个附加电阻与分压弦线串联并在前面板上设置插口以便将其与一个外部数字电压表相连。我们还提供一个标准用电位差计,从而使得可对上述高压监测器进行定期校准和维修。双极型晶体管被用作 DUT (被测器件) 电路中的继电器的驱动器。大部分静电放电测量是手工进行的。按下脉冲按钮后经过一段安全延迟或冷却时间后再按下测量按钮。

1. 高压部件

为醒目起见, 高压电路部分用点画线框了起来且加上了阴影。未采用高压真空舌簧继电器, 这是由于在线圈绕组和玻璃封套的末端之间的物理分隔使得高压真空舌簧继电器的工作电压受到限制。加利福尼亚州圣巴巴拉市的 Kilovac 公司能制造可承受 100kV 电压的微型真空继电器。其中的一种型号——K-60-C——为陶瓷外壳且尺寸很小, 很适用于该测试仪。引线间距使其工作电压不能超过 15kV, 因此该继电器被定作成不带硅有机化合物橡胶封装且测试仪的高压部分浸入普通的无色矿物油中。通过高压下向继电器充入六氟化硫气体可克服接触放电, 从而进一步提高了其额定电压。

具有合适尺寸的高压电容器可以从 Maida 电容器公司得到。其电介质是精心选取的, 电压系数很低。

对 1.5k Ω 的串联电阻必须进行特殊的设计以使其具有抗静电放电能力。它是由把阻值为 20~75 Ω 、功率为 1/4W 的碳质合成电阻串联起来构成的。由于在发生脉冲放电期间电阻的击穿会导致测试电路变成零电阻模型, 从而得到不正确的静电放电敏感性值, 所以这样做是必要的。

2. 高压箱

该测试仪的高压部分装在一个用电介质材料填充的箱体中。矿物油、蓖麻油、硅油和变压器油都是很好的电介质, 可以作为变压器的电介质填充材料来使用。记住这些液体都是可燃的。必须避免使用聚氯联苯 (PCB), 它虽然不燃烧, 但却是有毒的。

回扫变压器的设计已经很完善, 可以连续地在空气中运行, 因而没有放在充油箱体中。

3. 测试方法

阈值或阶梯应力方法用来对器件的敏感性进行分类。该方法与其它方法相比节约时间, 且在采用离散器件的情况下非常有用。不仅如此, 一个器件的静电放电敏感性可以被精确确定。用一个采用 CT-1 电流变压器和 P6040 探测器的 350Hz 的实时示波器 Tektronix 2467 来对波形进行监督。变压器放在被测器件的接地侧。

16.3.2 失效准则

我们有意把测试仪设计得很简单, 从而使继电器能用按按钮的方式手工操作, 以递增的增量对电压进行手动调节直到被测器件的特性的任何变化都在波形记录器上显示出来。未提供重合保持电路。同时闭合开关 K1 和 K2 将使 DUT 与波形记录器的输入电容相并联。在某些情况下波形记录器可能会遭到破坏。必须使用有技术的操作员。

显然, 本书所给出的测试仪的分辨率受继电器开合之间电压步长的限制。要把这一操作自动化是相当复杂的, 取决于测试策略和数据压缩的方法。该测试仪可用于微处理器或计算机控制, 实现这一点的接口电路已投放市场。可采用很小的电压增量以获得高的精度。系统可在无人照看的情况下找到临界值, 停止测试, 打印出数据, 然后继续进行下一步测试。主要为测试集成电路而设计的这种测试仪已经可以在市场上买到。

注意事项

在构造和运行该电路时必须注意, 该电路中的电压和存贮的能量可能是致命的。必须采取一切可能的措施避免操作人员与电路接触。Motorola 公司对由于使用或错误地使用该电路而出现的问题不承担责任。



16.3.3 测试结果

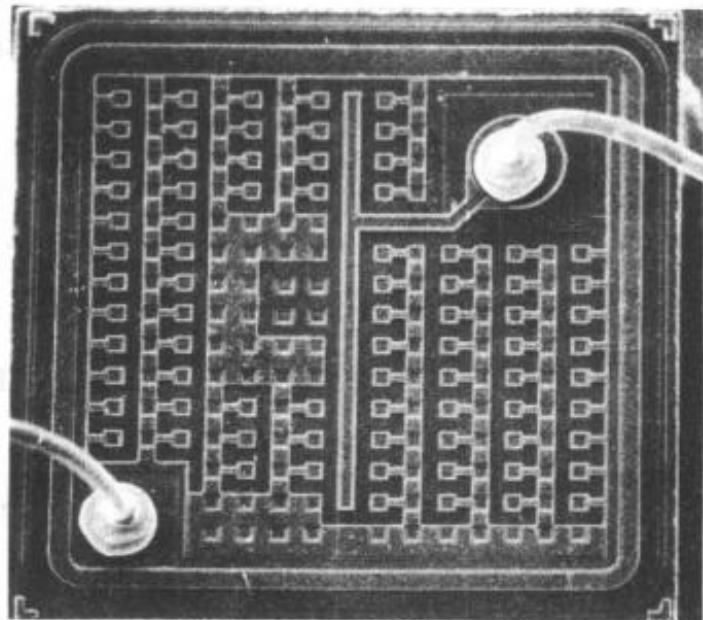
使用 100pF、1.5kΩ 电路测试静电放电敏感性临界值的结果如表 16-5 所示。以这些数据所得出的一个重要结论是静电放电的敏感性随着底座尺寸的增大而减少。对这一现象的部分解释是 C_{in} 是随底座尺寸的增大而增大的，参看图 16-3，我们是在把 HBM 网络改变成一个越来越大的容性负载。不仅如此，所有这些器件的电压都在 2 000V 以下，被军用标准 MIL-STD-750C 定义为电压敏感器件。因此，使用功率 MOSFET 时必须十分小心。

表 16-5 测试结果

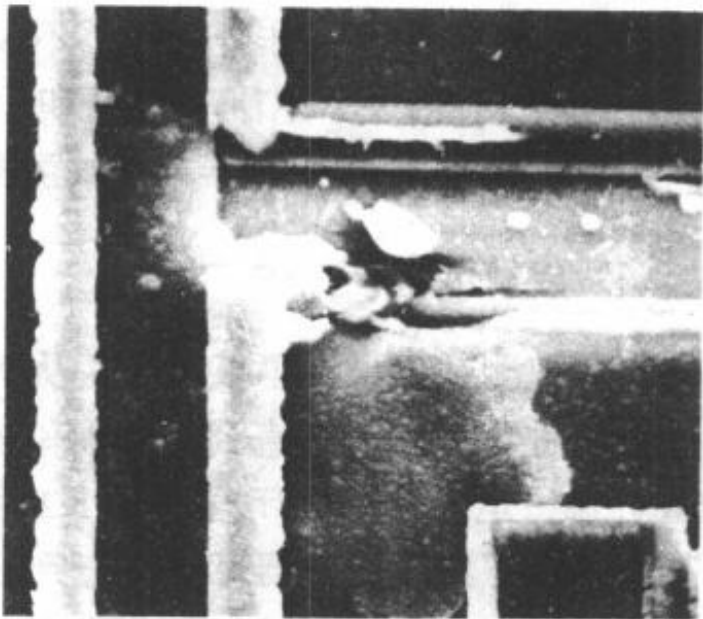
器 件	额 定 值	芯片尺寸 (Mils ²)	C_{in} (pF)	敏感性 (V)
2N7000 (小信号)	0.5A, 60V, N 沟道, 塑料封装 (TO-92)	30 ²	60	135
MTP5N05 ^①	5.0A, 50V, N 沟道, 塑料封装 (TO-220)	76 ²	150	520
MTP15N05	15A, 50V, N 沟道, 塑料封装 (TO-220)	150 ²	700	880
MTM6N60	6.0A, 600V, N 沟道, 金属封装 (TO-3)	199 ²	1400	1350
MTM8N60	8.0A, 600V, N 沟道, 金属封装 (TO-3)	250 ²	2000	1500

注：①测试是对用原来的 TMOS 工艺制造的器件进行的。新器件的输入电容要小一些。

图 16-5 所示扫描电子显微镜 (SEM) 照片显示了静电放电对功率和小信号 MOSFET 所造成的典型破坏。最显著的破坏机理是栅极氧化物薄层穿孔和随之而来的硅融化。



放大 100 倍



放大 1300 倍

图 16-5 一个 2N7000 小信号 TMOS 器件的栅极和源极暴露于一个 1000V 静电放电脉冲所产生的结果