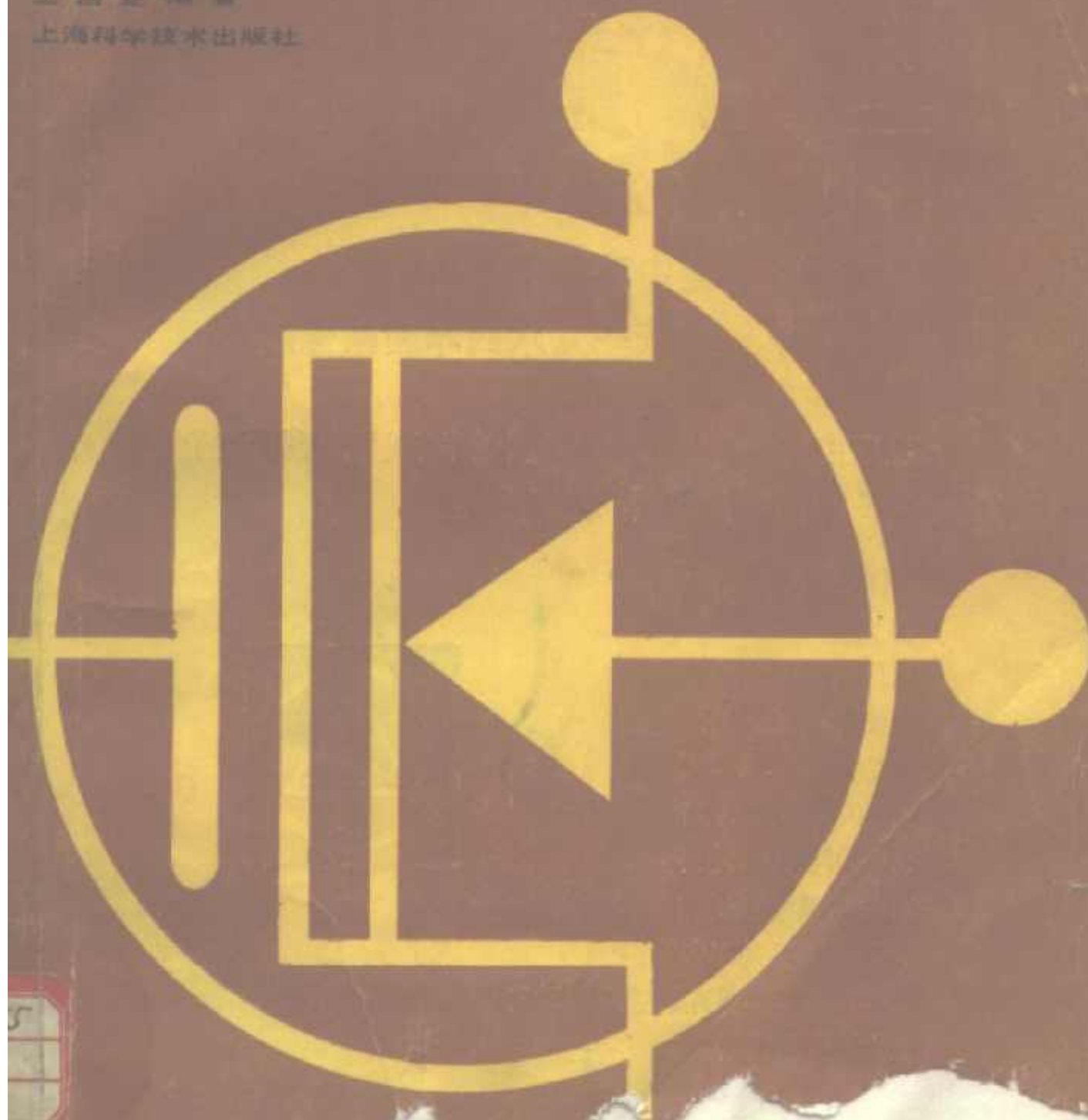


CMOS

模拟集成电路的应用

王 国 定 编 著

上海科学技术出版社



73-155
123
3

CMOS模拟集成电路的 应用

王国定 编著



上海科学技术出版社

8610094

内 容 提 要

CMOS 模拟集成电路与传统的双极晶体管模拟电路相比,具有易于实现大规模集成化、功耗低、能将模拟和数字电路兼容在同一芯片上等优点。

本书从实用角度出发,深入浅出地论述了 CMOS 模拟集成电路的结构、特性以及应用实例。同时还着重介绍了 CMOS 新颖电路 PCM 和开关电容滤波器。全书共分六章,内容包括: MOS 模拟电路基础; CMOS 运算放大器及其应用; CMOS 电压比较器和定时电路; CMOS D/A 转换器与 A/D 转换器; 锁相环和模拟开关; CMOS 数字通信专用电路。

本书内容深入浅出,资料丰富实用,可供从事集成电路专业的技术人员、电路应用工作者和大专院校师生参考,亦可作为大专院校教学参考书。

CMOS 模拟集成电路的 应用

王国定 编著

上海科学技术出版社出版

(上海瑞金二路 450 号)

新华书店上海发行所发行 江苏扬中印刷厂印刷

开本 787×1092 1/16 印张 18.5 字数 33,000

1985 年 11 月第 1 版 1985 年 11 月第 1 次印刷

印数: 1—15,000

统一书号: 15119·2453 定价: 2.50 元

前 言

CMOS 模拟集成电路是国外在七十年代后期研制出来的一种模拟集成电路分支,这一分支一诞生,就展示了显著的优点,它除了具有工艺简易、易于制作高集成度产品的优点外,还能将模拟和数字两种技术兼容在同一单片上,制成双极技术较难制作的一些高精度模拟电路。正因如此,CMOS 模拟集成电路一问世,就受到各集成电路制造工作者的重视和关注。八十年代初,我国有关工厂和院校,也开始了这一领域的研制工作,并制成了一系列具有代表性的产品。这些产品一诞生,就得到电路工作者的欢迎,并迅速得到应用。

本书力求从实用角度介绍 CMOS 模拟集成电路的原理和应用实例。全书共分六章,第一章介绍 CMOS 模拟技术基础和基本单元电路的设计方法;第二章介绍 CMOS 运算放大器和它们的基本应用;第三章介绍电压比较器和定时电路,这些电路是构成 CMOS LSI 产品的基本单元电路,它们已被用来构成各种新颖的实时信号处理电路;第四章介绍 D/A 和 A/D 转换器,这是近年来随着微处理机应用而发展起来的重要实时接口电路,也是较能体现 CMOS 技术优势的产品;第五章介绍锁相环和模拟开关,这也是目前在通信领域和定时处理中的重要接口;第六章是利用前五章的内容综合起来的通信专用电路,即 PCM 专用电路和近年来十分“热门”的开关电容滤波器电路,这一章是人们比较关注的新颖技术。

本书叙述的大多数电路是国内已经能够生产和正在研制的产品,所介绍的应用实例大部分已被整机厂所采用,因而具有一定的实用价值。

本书在编写过程中,得到上海元件五厂领导的鼓励和支持,在此表示感谢。由于作者水平有限,书中错误之处在所难免,敬请读者批评指正。

王国定 1984年6月

目 录

前 言

第一章 MOS 模拟电路基础	1
§ 1-1 MOS FET 的基本特性	1
§ 1-2 MOS 晶体管与双极晶体管模拟特性的比较	9
§ 1-3 MOS 电流镜单元	13
§ 1-4 MOS 源极耦合放大单元	18
§ 1-5 MOS 晶体管非饱和区的电阻特性	22
§ 1-6 MOS 器件的保护和电源问题	25
第二章 CMOS 运算放大器及其应用	23
§ 2-1 CMOS 放大级的特点及基本结构	28
§ 2-2 CMOS 运放的基本结构和分析模型	32
§ 2-3 CMOS 运放的典型产品分析	41
§ 2-4 CMOS 第四代集成运放	47
§ 2-5 CMOS 运放的应用举例	62
第三章 CMOS 电压比较器和定时电路	63
§ 3-1 全 MOS 电压比较器及其设计方法	69
§ 3-2 CMOS 电压比较器的典型产品 5G14574	73
§ 3-3 CMOS 电压比较器的典型应用	76
§ 3-4 CMOS 定时电路 5G7556	83
§ 3-5 5G7556 的典型应用	87
第四章 CMOS 数-模转换器与模-数转换器	100
§ 4-1 DAC 的基本理论及转换方法	100
§ 4-2 ADC 的基本原理及转换方法	109
§ 4-3 CMOS DAC IC 典型电路	115
§ 4-4 CMOS ADC IC 及其应用	126
§ 4-5 逐次近似单片电荷平衡 ADC	136
第五章 锁相环和模拟开关	144
§ 5-1 CMOS 锁相环 5G4046	144
§ 5-2 CMOS 四双向模拟开关	153
§ 5-3 CMOS 多路模拟开关 5G4051	164
第六章 CMOS 数字通信专用电路	174
§ 6-1 PCM 基本原理	174
§ 6-2 CMOS PCM 的典型产品简介	183
§ 6-3 PCM IC 的应用实例	191
§ 6-4 CMOS 开关电容滤波器	195
参考文献	209

第一章 MOS 模拟电路基础

早在双极型晶体管问世之前,人们就设想利用半导体表面上的电场效应来制造晶体管。但由于当时制造工艺的限制而无法成为现实。直到六十年代初,半导体平面工艺技术的进步,才制造出可以付诸实用的金属-氧化物-半导体场效应晶体管(简称 MOS FET)。这种利用半导体表面上电场效应的晶体管,由于其特性类似于真空五极管,因而具有输入阻抗高、动态范围宽、电路设计简单等一系列优点。更重要的是这种 MOS FET 器件的制造工艺较之双极型晶体管简单。利用 MOS 器件构成集成电路,具有无须隔离等优点更是引起人们的重视。正因为如此, MOS FET 一直成为集成电路,特别是数字集成电路优先被选用的元件,在近年来大规模集成电路发展中占据重要的主流地位。

本章从 MOS 器件最基本的模拟特性的分析出发,来讨论 MOS 器件能否获得优于双极器件的特性,能否设计出高性能的电路,这两个令人感兴趣的问题。同时通过本章的介绍,提供一些必要的预备知识,为后面各章的讨论作好准备。

§ 1-1 MOS FET 的基本特性

虽然 MOS FET 的基本特性已为人们所熟悉,但由于以往对它的了解偏重于数字电路中所需的诸如开关时间等特性(这些属于大信号瞬态的特性固然十分重要),忽视了它的处理小信号能力的模拟特性,这些以往被忽略的特性却正是研究 MOS 模拟技术必须深入了解的重要方面。

由于人们对双极型晶体管的模拟特性已经比较熟悉,因此在本节讨论时,采用两者类比的方法,使读者易于了解。

一、MOS 器件的电压电流特性

MOS 器件按其导电型来分类,可以分为 P 沟道 MOS 晶体管(PMOS)和 N 沟道 MOS 晶体管(NMOS)两类。另外从 MOS 器件沟道形成的机理来分,又可分为增强型和耗尽型两种,因此不同的极型和沟道导电机理的器件,其电学特性亦不相同,这已为人们所熟知,这里不再赘述。归纳起来,四种不同类型的 MOS 器件的符号和其输入、输出的电压电流特性曲线列于表 1-1。从表 1-1 可知,不同极型沟道的器件有极为类似的伏安特性,而不同沟道导电机理的伏安特性则仅是输入特性中有不同的开启电压。

1. 输出特性曲线

从表 1-1 可知,不同沟道的 MOS 器件,仅是电压与电流的极性不同,也就是曲线所处的象限不同而已。下面,以 NMOS 为例来说明它的输出特性曲线的形成机理。

图 1-1 示出一个 NMOS 在不同 V_{DS} 作用下的工作情况。众所周知,为使 MOS 晶体管的漏源有电流 I_{DS} 流通,即在源扩散区与漏扩散区之间形成导电沟道,栅源电压 V_{GS} 应大于

8610094

表 1-1 MOS 器件符号和 V-I 曲线

管 型*	符 号	输入转移特性	输出特性
E 型 N 沟 MOS 管			
D 型 N 沟 MOS 管			
E 型 P 沟 MOS 管			
D 型 P 沟 MOS 管			

* E 型指增强型 MOS 晶体管; D 型指耗尽型 MOS 晶体管。

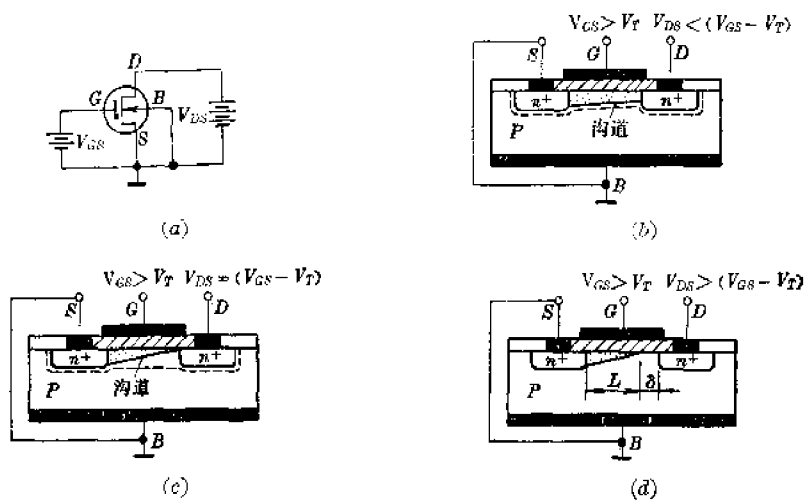


图 1-1 NMOS 工作原理图

开启电压 V_T ，同时对 N 沟道器件而言，要在漏源间加上正电压 V_{DS} ，为讨论简单起见，将 MOS 管的衬底 B 与源极 S 短接，使 $V_{BS} = 0$ ，电路连接方式如图 1-1(a) 所示。

下面分三种情况来讨论 MOS 晶体管的输出特性。

(1) $V_{GS} > V_T$, $V_{DS} < (V_{GS} - V_T)$ 在 V_{DS} 很小时，由 $V_{GS} > V_T$ (图 1-1(b)) 形成的沟

道(N 沟道)两端的电位差很小, 此时沿着整个沟道长度上各点的电位可近似为零, 这时在沟道上各点与栅极的电位基本上恒定不变, 因而由 V_{GS} 作用形成的反型层, 即沟道中的自由电子的浓度基本上为常数, 沟道的作用如同数值一定的一个电阻。在这种情况下, 流过漏和源的电流 I_{DS} 与漏源间电压 V_{DS} 成正比, 其伏安特性处于图 1-2 的线性电阻区, R_{ON} 阻值与该曲线段的斜率相等, 并与 V_{GS} 有关, I_{DS} 可用下列方程来描述:

$$I_{DS} = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (1-1)$$

式中: μ_n ——MOS 管 N 沟道反型层中电子迁移率;

C_{ox} ——氧化层单位面积的电容值;

$$C_{ox} = \frac{\epsilon_i \epsilon_0}{t_{ox}}$$

ϵ_i ——二氧化硅的介电常数;

ϵ_0 ——真空的介电常数;

t_{ox} ——氧化层厚度。

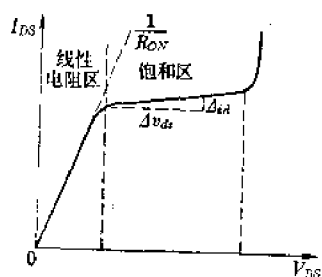


图 1-2 输出特性曲线

从(1-1)式可以得到在这一工作区中伏安特性的斜率的表示式, 在 V_{DS} 很小的情况下, (1-1)式中的 $\frac{1}{2} V_{DS}^2$ 项可忽略, 于是(1-1)式可简化为:

$$I_{DS} \cong \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T) V_{DS} \quad (1-2)$$

对(1-2)式求 V_{DS} 的导数得线性电阻区在某一 V_{GS} 下的电导表式:

$$g_{on} = \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right|_{V_{GS} = \text{const}} = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T) \quad (1-3)$$

电阻值为:

$$R_{on} = \frac{1}{g_{on}} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T)} \quad (1-4)$$

在(1-1)式到(1-4)式中, W 为沟道宽度, L 为沟道长度, 它们的几何尺寸由图形设计决定。

(2) $V_{GS} > V_T$, $V_{DS} = (V_{GS} - V_T)$ 在 $V_{DS} = (V_{GS} - V_T)$ 时, 从图 1-1(c) 可以看到, 由于 V_{DS} 的增大, 靠近漏端(D 端)的点上的电位高于靠近源端(S 端)点上的电位。这样使栅电压产生的电场不再均匀地在沟道中分布, 靠近漏端的沟道点与栅极的电位差变小, 电子的浓度亦减小, 在漏极处的浓度为零, 同时沟道厚度从源到漏逐渐变薄, 并在漏极处厚度为零, 反型层消失, 沟道恰好被夹断, I_{DS} 不再随 V_{DS} 的增大而增大, 见图 1-2 中饱和区。

在这一区内, I_{DS} 与 V_{DS} 无关, 此时由于 $V_{DS} = (V_{GS} - V_T)$, 故将这一关系代入(1-1)式则有:

$$\begin{aligned} I_{DS} &= \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_T) (V_{GS} - V_T) - \frac{1}{2} (V_{GS} - V_T)^2 \right] \\ &= \mu_n C_{ox} \frac{W}{L} \cdot \frac{1}{2} (V_{GS} - V_T)^2 \end{aligned} \quad (1-5)$$

通常将 $\mu_n C_{ox} \frac{W}{L}$ 用 β_n 来表示, β_n 称为 NMOS 的增益因子, 当器件 $\frac{W}{L}$ 一定时, β_n 是常数,

(1-5)式可表示为:

$$I_{DS} = \frac{1}{2} \beta_n (V_{GS} - V_T)^2 \quad (1-6)$$

(1-6)式从理论上来看, I_{DS} 与 V_{DS} 无关, 其电阻为无限大, 输出电导 $g_o = \frac{\partial I_{DS}}{\partial V_{DS}} = 0$, 但实际上并非如此, 这一点在下面的讨论中再加说明。

(3) $V_{GS} > V_T$, $V_{DS} > (V_{GS} - V_T)$ 从图 1-1(d) 的状况可以说明 V_{DS} 对沟道的调变效应。从上述分析可知, 在沟道刚被夹断, 即 $V_{DS} = (V_{GS} - V_T)$ 时, I_{DS} 不再增大而趋于饱和, 但随着 V_{DS} 的进一步增大, 使漏极附近的沟道也被夹断, 这就使反型层的有效长度缩短, 产生一个夹断长度为 δ 的区间, 此时有效沟道长度 l 与几何长度 L 之间有一偏差 δ :

$$\delta = L - l \quad (1-7)$$

这就是说, l 在 $V_{DS} > (V_{GS} - V_T)$ 时与 V_{DS} 值的大小有关, 这就是沟道调变效应, 它类似于双极晶体管的基区宽度调变效应。这说明在饱和区 I_{DS} 并不饱和, 而随 V_{DS} 变化而变化, 漏源间电导并不为零。

将(1-7)式代入(1-6)式, 并对 V_{DS} 求导数, 由于 l 与 V_{DS} 相关, (1-6)式中 $\beta_n = \mu_n C_{ox} \frac{W}{L}$ 用 $\beta'_n \left(\frac{W}{L} \right)$ 取代, 于是有:

$$\begin{aligned} g_{ds} &= \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right|_{V_{GS} > (V_{GS} - V_T)} = \frac{\partial}{\partial V_{DS}} \cdot \frac{1}{2} \beta_n (V_{GS} - V_T)^2 \\ &= \frac{1}{2} \beta'_n \frac{\partial}{\partial V_{DS}} \left[\left(\frac{W}{l} \right) (V_{GS} - V_T)^2 \right] = \frac{1}{2l} \beta'_n \left(\frac{W}{L} \right) \cdot \frac{\partial l}{\partial V_{DS}} (V_{GS} - V_T)^2 \end{aligned} \quad (1-8)$$

现用沟道长度调变系数 η 来表示 $\frac{1}{l} \frac{\partial l}{\partial V_{DS}}$, 并代入(1-8)式, 在 δ 很小时, (1-8)式可写为:

$$g_{ds} = \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right|_{V_{DS} > (V_{GS} - V_T)} \simeq \eta \left[\frac{\beta'_n}{2} \left(\frac{W}{L} \right) (V_{GS} - V_T)^2 \right] \quad (1-9)$$

即得:

$$g_{ds} = \eta \cdot I_{DS} \quad (1-10)$$

饱和区的电阻为:

$$R_{ds} = \frac{1}{\eta I_{DS}} \quad (1-11)$$

将 R_{ds} 写成标准形式, 即可用一个电压 V_A 来取代 η 。也就是当: $V_A = \frac{1}{\eta}$ 时, R_{ds} 可用下式来表示:

$$R_{ds} = \frac{V_A}{I_{DS}} \quad (1-12)$$

(1-12)式中的 V_A , 恰好是双极晶体管中引出的“欧拉电压”。它同样可用 MOS 晶体管输出特性曲线中饱和区曲线外推到与 V_{DS} 轴的交点处的电压值来表示, 如图 1-3 所示。

从图中可知, V_A 与 V_{DS} 值无关, 它仅与器件的沟道长度有关, 在 δ 很小时, 有:

$$V_A = \frac{1}{\eta} = \frac{l}{\partial l / \partial V_{DS}} \simeq L \cdot \frac{1}{\lambda} \quad (1-13)$$

其中 λ 是沟道调变因子。要提高饱和区的输出电阻 R_{ds} , 除了要降低 λ 外, 可通过几何图形

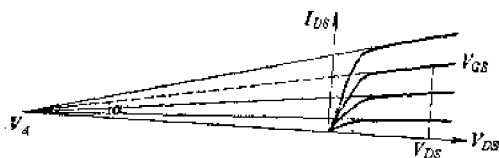


图 1-3 输出外推曲线

的设计, 加长 L 来实现, 这在 MOS 模拟电路的设计中是一个重要的有利因素。

这样, 在 $V_{DS} > (V_{GS} - V_T)$ 时, I_{DS} 的表示式为:

$$I_{DS} = \frac{1}{2} \beta_n (V_{GS} - V_T)^2 + g_{ds} \cdot V_{DS} = \frac{1}{2} \beta_n (V_{GS} - V_T) (1 + \theta) \quad (1-14)$$

式中 $\theta = \eta \cdot V_{DS}$, (1-14) 式是对饱和区电流电压特性的修正。一般来说, MOS 器件的沟道调变效应的影响, 较之双极型的基宽调变效应的影响要小, 对工艺依赖性也要小得多。从 MOS 器件原理知, 沟道调变因子 λ 可由下式表示:

$$\lambda = \frac{\partial l}{\partial V_{DS}} = \frac{1}{2} \sqrt{\frac{\epsilon_i}{2tqN_A}} / \sqrt{V_{DS} - V_{GS} + V_T} \quad (1-15)$$

式中: q ——电子电荷量;

N_A ——掺杂浓度。

由于掺杂浓度的不同, P 沟道器件较之 N 沟道器件的 λ 要大得多, 因而 P 沟器件的沟道长度 L 与 N 沟器件的沟道长度相同时, R_{ds} 要小得多。

上面只分析了 N 沟道的输出特性, 对于 P 沟道 MOS 晶体管在原理上完全类似, 仅是电压电流的方向正好相反而已, 因此不再讨论。

2. 输入特性曲线与跨导 g_m

MOS 晶体管的输入特性是指 V_{DS} 在一定值时, I_{DS} 随输入电压 V_{GS} 的变化而变化的关系。对于增强型 MOS 管, 在表 1-1 中已示出了它的输入转移特性, 现重画在图 1-4 中, 这里仅画出 N 沟晶体管的转移特性。由图知, 当 $V_{GS} < V_T$ 时, $I_{DS} = 0$ 。这是因为此时耗尽层厚度 $x_d < x_{dmax}$, 反型层尚未形成, 故而没有漏源电流 I_{DS} 流过。当 $V_{GS} = V_T$ 时, $x_d = x_{dmax}$, 开始形成反型层, 但电流极微, 仅当 $V_{GS} > V_T$ 时, 随 V_{GS} 增加使沟道电导率增大, I_{DS} 增大。

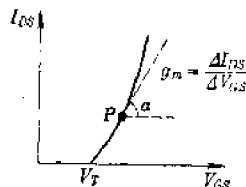


图 1-4 输入转移特性

图 1-4 的曲线实质上是 (1-1) 式和 (1-5) 式的解析图象。这里, 我们感兴趣的是曲线的斜率, 并注重于 $V_{DS} \geq (V_{GS} - V_T)$ 的部分的斜率。我们用跨导 g_m 来描述输入转移曲线的斜率。在饱和区, 可对 (1-5) 式求导得到 g_m 的表示式:

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} = \frac{\partial}{\partial V_{GS}} \left[\frac{\beta_n}{2} (V_{GS} - V_T)^2 \right] = \beta_n (V_{GS} - V_T) \quad (1-16)$$

由于 $(V_{GS} - V_T) = \sqrt{\frac{2I_{DS}}{\beta_n}}$, 代入 (1-16) 式可得:

$$g_m = \beta_n \sqrt{\frac{2I_{DS}}{\beta_n}} = \sqrt{2\beta_n I_{DS}} \quad (1-17)$$

很明显, g_m 表示 MOS 晶体管能将一个输入电压转换成输出电流的能力的大小, 在模拟集成电路中, g_m 是十分关键的一个参量。从 (1-17) 式可知, g_m 不仅与器件偏置电流 I_{DS} 的平方根成正比, 而且还与 $\sqrt{\frac{W}{L}}$ 有关, 也就是 g_m 可通过 MOS 器件宽长比即图形尺寸的设计来加以调节。这正是双极型晶体管所不具备的。

二、MOS 器件的等效分析模型

上面我们简单地分析了 MOS 晶体管的输入和输出特性。对于模拟集成电路研制人员

来说,重要的是将这两种特性综合起来,归纳出一种简易实用的分析模型。从前面的讨论知道,对于一个共源 MOS 晶体管,其输入端可视为输入电阻近于无限大的端口,但输入端的电压增量 v_{gs} 却可以控制 MOS 器件输出端口的输出电流 i_{ds} 。这样,一个 MOS 晶体管(例如 N 沟增强型晶体管)可以用一个电压控制电流源来等效,图 1-5 示出这一分析模型。



图 1-5 MOS 器件分析模型

很显然,输入端等效一个电阻 R_{gs} 且 $R_{gs} \rightarrow \infty$; 输出端可等效为一个电流源,其电流值 $i_s = g_m v_{gs}$,但从 $D-S$ 端看入,这个电流源并非理想,随着 $D-S$ 端电压 v_{ds} 的变化,端口的电流 i_{ds} 亦会发生变化,相当于电流源的内阻不是无限大,而是有限值,且为 R_{ds} 。由前面讨论知道, $R_{ds} \simeq \frac{V_A}{I_{DS}}$, 于是输出端口的电流为:

$$i_{ds} = g_m v_{gs} + g_o v_{ds} \quad (1-18)$$

式中:

$$g_o = \frac{1}{R_{ds}}; \quad g_m = \sqrt{2\beta_N I_{DS}}$$

图 1-5(b) 就是 MOS 晶体管的简化直流分析模型。

在图 1-5(b) 的模型中,未考虑 MOS 晶体管中的极间电容和寄生电容的影响。事实上,一般 MOS 晶体管的栅极是由铝-介质-硅的结构组成,因此是一个“电容器”,其电容量与栅极的结构和器件的几何面积有关,并可表示为:

$$C_G = \frac{\epsilon_i \epsilon_o}{d} W \cdot L \quad (1-19)$$

式中 d 为二氧化硅介质层的厚度。从图 1-6(a) 的 MOS 器件的结构来看,栅对源、栅对漏均有两个等效电容存在,这就是栅源电容 C_{gs} 和栅漏电容 C_{gd} 。于是 MOS 器件的高频等效电路可以用图 1-7 的模型来表示。图中 C_{gs} 和 C_{gd} 是由于栅电极覆盖在源和漏扩散区而引起的极间电容,这两个电容的存在会严重影响 MOS 器件的高频性能,一般应尽可能减小它们的电容量。另外漏源之间还存在 PN 结电容 C_{ds} 。

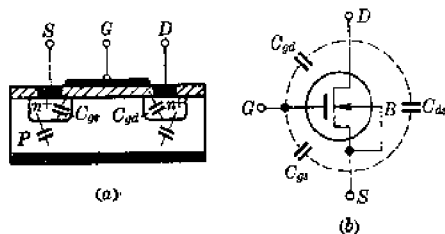


图 1-6 MOS 器件极间电容结构

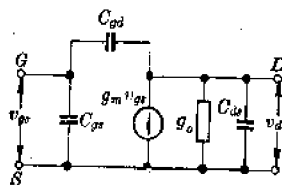


图 1-7 MOS 器件高频模型

在目前所讨论的模拟集成电路的大多数具体产品中,由于工作频率都不太高,因此这些电容的影响并不十分明显。

三、MOS 晶体管的衬底调变效应

前面讨论的 MOS 晶体管的电压电流特性都是指衬底和源极连接在一起时的特性。这种 $V_{BS}=0$ 时的器件特性, 对于用分立(即单个 MOS 晶体管)器件组成的电路来说无疑是正确的, 因为单个 MOS 晶体管在制造时通常将 B 和 S 接在一起引出。然而在集成电路中, MOS 器件的源极和衬底就无法接在同一电位上, 例如图 1-8 所示的单沟道 MOS 有源负载放大级的情况就是一个具体实例。由图知, 当放大管 N_1 的输出电位 V_o 在摆动时, 负载管 N_2 的源极电位亦在变动, 由于 N_2 的衬底 B_2 连在固定的最低电位上, 致使 V_{BS2} 电位随 V_o 变化, 引起衬底调变效应。

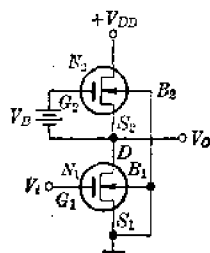
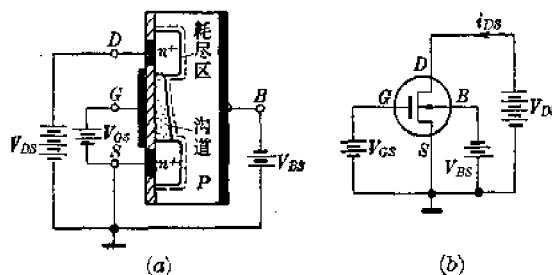
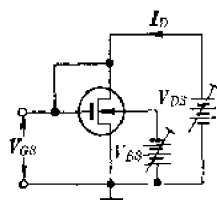


图 1-8 单沟道有源负载放大级

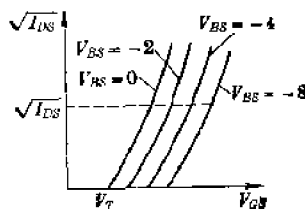
图 1-9 MOS 器件 V_{BS} 效应剖析图

一般来说, 当 MOS 晶体管的衬底与源极不连在一起时, 要求衬底的电位低于源极(对 N 沟器件而言), 即要求 $V_{BS} \leq 0$, 从图 1-9 可以看出, 若在衬底和源极之间加上负电压 V_{BS} 时, MOS 晶体管类似一个四极真空管。在 $V_{BS} < 0$ 时, 由于源极与漏极之间通过反型层沟道来导电, 但源与漏扩散区与衬底之间要靠耗尽层来绝缘, 因此要求源与衬底之间处于反向偏置状态(当然 V_{BS} 在低于 PN 结正向导通电压值时例如 0.5V 以下, 也允许加正向偏压), V_{BS} 变化时, 会影响 MOS 晶体管的开启电压 V_T 。这就是我们要讨论的体效应, 也可称为衬底调变效应。

由 MOS 晶体管的导电机理可知, V_{BS} 越是负, 耗尽层变得越厚, 这就使耗尽区中的负空间电荷增加, 导致反型层(沟道)中电子数量的减少, 也就等效于开启电压 V_T 增大。图 1-10 示出 V_{BS} 不同时的 V_T 值的变化实验电路和曲线。显然在一定的 $\sqrt{I_{DS}}$ 下, 不同的 V_{BS} 有不同的 V_{GS} , 也就是有不同的 V_T 值。



(a)



(b)

图 1-10 V_T 与 V_{BS} 关系曲线

根据半导体表面理论, V_T 与 V_{BS} 的关系可用下式表示:

$$V_T(V_{BS}) = V_{T0} + \Delta V_T \quad (1-20)$$

式中 ΔV_T 可表为:

$$\Delta V_T = \frac{1}{C_{ox}} \sqrt{2\epsilon_i \epsilon_0 q N_A} [\sqrt{-V_{BS} + 2\phi_F} - \sqrt{2\phi_F}] \quad (1-21)$$

令

$$\gamma = \frac{\sqrt{2\epsilon_i \epsilon_0 q N_A}}{C_{ox}} \quad (1-22)$$

则上式变为:

$$\Delta V_T = \gamma [\sqrt{-V_{BS} + 2\phi_F} - \sqrt{2\phi_F}] \quad (1-23)$$

式中: γ ——MOS 器件的体因子; ϕ_F ——P 型硅的费米势;

$$\phi_F = \frac{kT}{q} \ln \frac{n_i}{N_A} \quad (1-24)$$

 n_i ——本征硅材料的载流子浓度。若对(1-21)式求 V_{BS} 的导数, 就可以得到衬底调变系数 ψ , 并可写为:

$$\psi = \frac{\partial V_T}{\partial V_{BS}} = 2\sqrt{2\phi_F} C_{ox} \sqrt{\frac{1 + V_{BS}/2\phi_F}{2q\epsilon_i \epsilon_0 N_A}} \quad (1-25)$$

这样就有:

$$\Delta V_{BS} = \frac{\Delta V_T}{\psi} \quad (1-26)$$

如果把衬底 B 作为一个输入端(正因如此, B 又称为背栅), 利用(1-26)式和(1-5)式可以将 ΔV_{BS} 当作类似 ΔV_{GS} 来处理, 于是可以求得用背栅作输入时, MOS 器件的另一跨导, 我们用 g_{mB} 来表示, 则可写为:

$$g_{mB} = \frac{\partial I_{DS}}{\partial V_{BS}} = \psi \frac{\partial I_{DS}}{\partial V_T} = -\psi \beta_n (V_{GS} - V_T) \quad (1-27)$$

这一结果对于用 MOS 技术来设计模拟集成电路时, 有时十分有用, 这种四极管作用, 是双极型器件所没有的, 这一优点将在以后具体电路分析中要用到, (1-25)式对单沟道 MOS 模拟电路, 又是必须考虑的一种效应, 在实际产品分析时还要提到。

四、MOS 器件的噪声性能

在模拟电路的设计中, 器件的噪声性能是一项比较重要的性能, 特别是在一些低漂移、高精度放大器的设计中或是 A/D、D/A 转换器的设计中更显得重要。器件噪声性能的优劣, 往往直接影响电路的精度和电性能。

我们知道, 一个理想的有源器件在用作放大器时, 它本身只放大输入信号而不产生附加噪声, 然而实际上任何有源器件都要产生附加噪声。衡量一个器件噪声特性优劣的指标一般用噪声系数, 它定义为:

$$F = \frac{e_{No}}{e_{Ni} k_P} \quad (1-28)$$

式中: e_{No} ——器件的输出噪声功率; e_{Ni} ——器件的输入噪声功率; k_P ——器件的功率增益。

(1-28)式用分贝表示时为:

$$N_F = 10 \lg F \quad (\text{dB}) \quad (1-29)$$

如果器件本身不产生附加噪声, 则(1-28)式中 $e_{No} = e_{Ni} k_P$, 也就是 $F = 1$, 或者说 $N_F = 0 \text{ dB}$ 。

如果器件要产生附加噪声,必然 $e_{No} > e_{Ni} k_F$, 但实际上希望 N_F 越小越好, 因为 N_F 反映了器件处理微弱性能的能力。

用 N_F 反映器件处理微弱信号的能力虽然十分直观, 但由于(1-28)式中, 它与 e_{Ni} 有关, 而一般来讲, e_{Ni} 是由信号源内阻产生的噪声, 它可用电阻噪声来表示:

$$e_{Ni} \propto \sqrt{4KT R_g \Delta f} \quad (1-30)$$

式中: K ——玻尔兹曼常数;

T ——绝对温度;

R_g ——信号源内阻;

Δf ——单位带宽。

显然(1-30)式指出 e_{Ni} 与 R_g 值有关, 因而在某些场合还是用等效输入端噪声电压来衡量器件的噪声性能为好, 或者用文字 e_{in} 来表示器件的噪声特性, 其单位为 $V/\sqrt{\text{Hz}}$ 。

用 e_{in} 来表示器件噪声性能时, 可以将器件本身看作不产生任何附加噪声的理想器件, 而 e_{in} 只是出现在器件输入端的一个噪声电压源而已。图 1-11 示出 MOS 晶体管的噪声性能的等效模型。由式(1-28)可知, e_{No} 是由信号源内阻产生的噪声功率和输入等效噪声电压产生的噪声功率经放大后的结果, 因而 e_{in} 和 F 之间可以相关联, 并有如下关系:

$$F = 1 + \frac{e_{in}^2}{4KT R_g} \quad (1-31)$$

例如当 $F=3\text{dB}$, $R_g=1\text{M}$, $T=300\text{K}$ 时, $e_{in} \approx 0.13 \mu\text{V}/\sqrt{\text{Hz}}$ 。

MOS 器件的噪声电压主要有两种成分: 第一种是由导电沟道有限电阻值(包限源和漏极欧姆接触不好引起的电阻)产生的热噪声(又称为白噪声), 它等效在输入端的噪声电压值可写为:

$$\bar{e}_{qR} = \sqrt{4KT \left(\frac{2}{3} \cdot \frac{1}{g_m} \right) \Delta f} \quad (1-32)$$

式中 g_m 是跨导。很显然, 热噪声与 MOS 器件的几何尺寸、工作温度、频带宽度成正比, 也与工作电流 I_{DS} 成正比。对于一个氧化层厚度为 $1200\text{\AA}$, $\frac{W}{L}=10$, $I_{DS}=50\mu\text{A}$ 的 MOS 晶体管, 等效噪声电压 $\bar{e}_{qR} \approx 10\text{nV}/\sqrt{\text{Hz}}$ 。

第二种是所谓 $1/f$ 噪声。这是与 MOS 器件表面有关的低频噪声。这个 $1/f$ 噪声是低频时 MOS 器件主要的输入噪声来源, 它可表示为:

$$\bar{e}_{qF} = \sqrt{\frac{K}{C_{ox} W/L} \cdot \frac{1}{f} \Delta f} \quad (1-33)$$

可见, 它与 MOS 晶体管几何尺寸成反比。在 $\frac{W}{L}=10$, $I_{DS}=50\mu\text{A}$ 的相同条件下, $\bar{e}_{qF} \approx 100\text{nV}/\sqrt{\text{Hz}}$, 较 $\bar{e}_{qR}$ 要大 10 倍。

MOS 晶体管在源阻抗较高(例如 $R_g > 1\text{M}$) 时, 其噪声特性要比普通双极型晶体管好, 但比结型场效应器件要差。

§ 1-2 MOS 晶体管与双极晶体管模拟特性的比较

在了解 MOS 晶体管的一些基本性能之后, 就可以从模拟电路对有源器件性能要求出

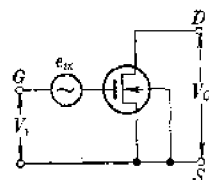


图 1-11 噪声等效模型

发, 来进一步分析它的模拟性能, 在这一节中, 将比较 MOS 晶体管与双极晶体管在相同条件下它们之间的优缺点, 从而弄清楚在什么条件下, 有可能用 MOS 晶体管设计出比双极晶体管性能更好的模拟电路。

一、单管理论电压增益的比较

为了使讨论方便, 选择 N 沟增强型 MOS 晶体管和 NPN 晶体管为比较例子, 在共源 (以及共发) 组态时, 通过简化的分析模型来进行比较。对于 P 沟 MOS 晶体管或是 PNP 晶体管, 除了导电极性外完全类似。

1. 双极型晶体管的理论电压增益

在共发射极状态时, 一个具有两个 PN 结的双极型 NPN 晶体管, 可以用图 1-12(b) 所示的电压控制电流源模型来等效。这一模型中, 元件的表示式分别可写作:

$$h_{ie} = r_b + (1 + h_{fe}) r_e \approx h_{fe} r_e \quad (1-34)$$

式中: r_b ——基极电阻;

h_{fe} ——共发射极电流增益;

$$h_{fe} = \frac{i_o}{i_b}$$

r_e ——发射极本征电阻。

$$r_e = \left(\frac{q i_o}{KT} \right)^{-1} = \frac{KT}{q i_o}$$



图 1-12 双极型器件分析模型

在图 1-12(b) 中, 控制参量 g_m 是 NPN 晶体管的跨导, 它可从 PN 结整流方程导出, 并写为:

$$g_m = \frac{\partial i_o}{\partial v_{be}} = \frac{\partial}{\partial v_{be}} [I_s e^{v_{be}/KT}] = \frac{q i_o}{KT} = \frac{1}{r_e} \quad (1-35)$$

而图中 r_{ce} 是由晶体管欧拉电压 V_A 决定的输出电阻, 可写为:

$$r_{ce} \approx \frac{V_A}{i_o} \quad (1-36)$$

利用图 1-12(b) 的模型, 很容易求得此晶体管无外部负载时的电压增益 (称为理论增益)

$$A_v = v_o / v_i$$

因为:

$$v_o = v_{ce} = -g_m v_{be} r_{ce} = -g_m v_{be} \frac{V_A}{i_o}$$

而

$$v_i = v_{be}$$

所以

$$A_v = -g_m \frac{V_A}{i_o} = -\frac{V_A}{KT/q} \quad (1-37)$$

式中 KT/q 为 PN 结热力学结电压, 在室温时为 26 mV。

从 (1-37) 式可知, 在室温下, 双极型晶体管的理论电压增益 A_v 仅与晶体管的欧拉电压 V_A 有关。如果 V_A 确定, 则 A_v 就为常数, 而与工作电流 i_o 无关。若 V_A 用伏为单位, 在室

温 ($T=300\text{ K}$) 时, 双极型晶体管的理论增益又可写为:

$$A_{v(b)} = 40 V_A \quad (1-38)$$

式中脚标 (b) 表示双极型的增益。

必须说明的是, (1-37) 式是在晶体管受理想电压源驱动, 信号源的内阻为零的条件下导出的。另外必须指出的是, V_A 值在很大程度上取决于晶体管的基宽调变效应, 它与工艺条件密切相关。从晶体管原理可知, 基宽调变系数与基区宽度、扩散杂质浓度、结深等工艺参数有关, 因而不能像 MOS 晶体管那样通过器件图形尺寸来设计。

2. MOS 晶体管的理论电压增益

MOS 晶体管的理论电压增益可以用图 1-5(b) 的等效分析模型来导出。从图 1-5(b) 可知:

$$v_o = v_{ds} = -g_m v_{gs} R_{ds} = -\sqrt{2\beta_n' I_{DS}} \cdot \frac{V_{A(M)}}{I_{DS}} \cdot v_{gs}$$

$$v_i = v_{gs}$$

于是可得 MOS 晶体管的电压增益 $A_{v(M)}$ 为:

$$A_{v(M)} = \frac{v_o}{v_i} = -\sqrt{\frac{2\beta_n'}{I_{DS}}} \cdot V_{A(M)} \quad (1-39)$$

式中 $\beta_n = \mu_n C_{ox} \left(\frac{W}{L}\right) = \beta_n' \left(\frac{W}{L}\right)$ 。

于是上式又可写为:

$$A_{v(M)} = -\sqrt{\frac{2\beta_n'}{I_{DS}} \cdot \frac{W}{L}} \cdot V_{A(M)} \quad (1-40)$$

从前面对 MOS 器件欧拉电压的讨论可知, (1-40) 式的 $V_{A(M)}$ 可以用 (1-11) 和 (1-12) 式中的结论来表示, 这样 MOS 器件的理论电压增益又可写为:

$$A_{v(M)} = -\sqrt{\frac{2\beta_n'}{I_{DS}} (W \cdot L)} \cdot \frac{1}{\lambda} \quad (1-41)$$

式中 $\lambda = \frac{\partial l}{\partial V_{DS}}$ 为沟道调变因子,

十分明显, MOS 晶体管的理论电压增益与器件几何尺寸, 即器件面积 ($W \cdot L$) 成正比, 而与工作电流 I_{DS} 和 λ 成反比。原则上讲, MOS 晶体管的增益没有极限值, 它可以通过几何图形的设计和工作电流的选择来获得所需值, 这一点较之双极晶体管要优越得多, 这也是 MOS 电路设计时的优点所在。

3. MOS 和双极晶体管增益的比较

在某些相同条件下, 将 MOS 晶体管和双极晶体管的理论电压增益进行比较, 无疑是十分令人感兴趣的。为了便于说明问题, 首先假定两种器件的欧拉电压相同, 即 $V_{A(b)} = V_{A(M)}$ 。我们用 S_A 来表征 MOS 晶体管的增益 $A_{v(M)}$ 与双极晶体管的增益 $A_{v(b)}$ 的比值, 即:

$$S_A = \frac{A_{v(M)}}{A_{v(b)}} \quad (1-42)$$

将 (1-40) 和 (1-38) 两式代入 (1-42) 式, 则可得:

$$S_A = \frac{1}{40} \sqrt{\frac{2\beta_n'}{I_{DS}} \left(\frac{W}{L}\right)} \quad (1-43)$$

若将典型 NMOS 晶体管的工艺参数 μ_n 和 C_{ox} 等代入上式, 则当 $\mu_n = 400 \text{ cm}^2/\text{V}\cdot\text{s}$, $C_{ox} = 3.5 \times 10^{-8} \text{ F/cm}^2$, $\frac{W}{L} = 100$ 时, 要使 $S_A \geq 1$ 时, I_{DS} 应取

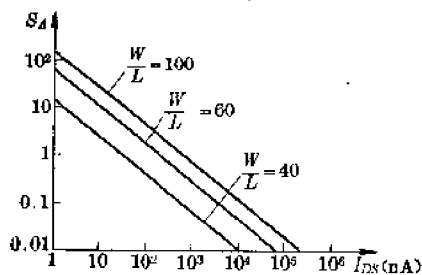


图 1-13

多少值? 此时有:

$$\frac{1}{40} \sqrt{\frac{2 \times 400 \times 3.5 \times 10^{-8}}{I_{DS}}} \times 100 \geq 1$$

$$\sqrt{I_{DS}} \leq 1.3 \times 10^{-3} \text{ A}$$

$$I_{DS} \leq 1.69 \mu\text{A}$$

就是说, 只要 $I_{DS} \leq 1.7 \mu\text{A}$, MOS 晶体管的电压增益要高于双极型晶体管的电压增益。图 1-13 示出不同 I_{DS} 时的 S_A 值的关系曲线。虽然对 MOS 晶体管来说, 工作电流越低, 电压增益越高, 这就有可能制作低功耗高增益放大器。

二、增益带宽的比较

MOS 晶体管与双极型晶体管理论增益带宽积可以通过它们各自的简化交流分析模型来进行粗略比较。图 1-14 分别示出 MOS 晶体管和双极晶体管交流分析模型。由于这两种器件均存在密勒效应, 因而它们影响高频下的增益的主要元件是介于输入与输出之间的极间电容 C_{gd} 和 C_{bc} 。所不同的是两种电容的结构和机理不同。



图 1-14 交流分析模型

考虑器件的密勒效应, 可以将图 1-14 的模型简化为图 1-15。如果用 A_v 来表示 MOS 晶体管和双极晶体管的电压增益, 这就可将图 1-14 中的反馈电容 C_{gd} 和 C_{bc} 等效到图 1-15 中的输入端, 只不过此时电容值扩张为 $(1+A_v)$ 倍。也就是有:

$$\begin{cases} C_{n(M)} = C_{gs} + C_{gd}(1+A_v) \simeq (1+A_v)C_{gd} \\ C_{n(B)} = C_{be} + C_{bc}(1+A_v) \simeq (1+A_v)C_{bc} \end{cases}$$

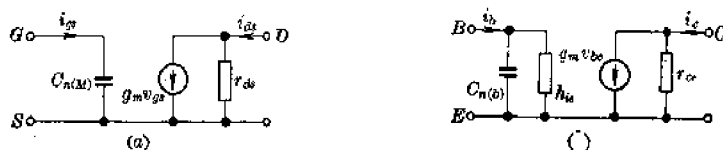


图 1-15 简化模型

根据晶体管的增益带宽积的定义, 当频率达到使 h_{fe} 下降到 1 时的频率, 即为增益带宽积 ω_T 。根据这一定义当在 $h_{fe} = 1$ 时的频率下, 则必定有下述输入和输出电流相等的关系:

$$\begin{cases} i_b(\omega_T) = i_c(\omega_T) \\ i_{gs}(\omega_T) = i_{ds}(\omega_T) \end{cases}$$

从图 1-15 显然可得两种器件的输入电流表示式分别为:

$$i_{gs}(\omega) = v_{gs}\omega C_{n(M)} = v_{gs}\omega(1+A_v)C_{gd} \quad (1-44)$$

$$i_b(\omega) = v_{be} \left(\omega C_{n(b)} + \frac{1}{h_{ie}} \right) = v_{be} \left[\omega (1 + A_v) C_{be} + \frac{1}{\beta r_e} \right] \quad (1-45)$$

而输出电流表示式为:

$$i_{ds} \simeq g_m v_{gs} \quad (1-46)$$

$$i_c \simeq g_{m(b)} v_{be} \quad (1-47)$$

比较(1-44)和(1-46)式以及(1-45)式和(1-47)式可得到两种器件的增益带宽积的表示式分别为(利用 $i_b(\omega_T) = i_c(\omega_T)$ 关系):

$$\omega_{T(M)} = \frac{g_m}{[1 + (A_v)] C_{gd}} \simeq \frac{g_m}{A_v C_{gd}} = \frac{I_{DS}}{V_{A(M)} C_{gd}} \quad (1-48)$$

$$\omega_{T(b)} = \frac{g_m - \frac{1}{\beta r_e}}{(1 + A_v) C_{bc}} \simeq \frac{(\beta - 1) I_c}{\beta V_{A(b)} C_{bc}} \simeq \frac{I_c}{V_{A(b)} C_{bc}} \quad (1-49)$$

在静态工作电流 I_c 和 I_{DS} 以及 V_A 值相同时, ω_T 决定于极间电容的大小。从(1-15)式知, MOS 晶体管的电容与器件的几何尺寸($W \cdot L$)成正比, 即器件宽长比和面积越大, C_{gd} 越大, ω_T 就越小。一般讲, 在 MOS 模拟集成电路设计中, 为了追求增益和其他直流性能的改善, MOS 器件的 $\frac{W}{L}$ 较大, 因而相应的频率特性不如双极电路, 但由于双极器件构成的电路中要使用频率特性较差的 PNP 横向晶体管, 因而 MOS 器件仍有其优于双极电路的特点。

三、其他模拟特性的比较

除了两种器件的增益和频率特性外, 从模拟集成电路的设计和性能要求来看, 还有其他一些重要特性也可作些比较。例如 MOS 器件的输入电阻要远高于双极器件, 即使是用超 β 工艺制作的晶体管, 其输入电阻也无法与 MOS 晶体管比较。另外, 在器件的动态范围等性能上, MOS 器件也较双极器件要宽得多。

从模拟器件设计要求看, MOS 晶体管和双极晶体管两者均可用两种极型的器件来组成互补特性的电路。但从对器件的偏置要求来看, 用 MOS 器件构成的互补电路, 要比双极器件的互补电路易于配置, 结构亦简单。从后面要介绍的电路来看, MOS 互补电路在对称性上优于双极电路, 因为用 CMOS 技术, 容易通过几何图形和工艺参数的控制, 制作性能近似相同的 P 沟和 N 沟互补电路。对于双极技术来说, 要获得与 NPN 晶体管特性近似相等的横向 PNP, 如不用特殊的工艺, 几乎是不可能的。这也说明 MOS 技术的优越之处。当然在负载能力、工作电压范围、高压特性方面, MOS 器件有它的不足之处。

§ 1-3 MOS 电流镜单元

通过上述 MOS 器件的一些基本特性了解以后, 我们进而可以讨论用 MOS 器件构成的一些在模拟集成电路中常用的单元电路。这些单元电路是组成模拟集成电路的基本构件, 弄清这些构件的特点和特性, 对于分析或设计 MOS 模拟电路是十分有利的。

在这一节中, 我们主要分析模拟集成电路中用来确定电路中有源元件所必需确定的偏置工作点的单元电路, 也就是电流镜单元。所谓电流镜, 它主要是利用集成技术容易在十分接近的加工条件下制作两个或两个以上性能十分酷似器件的优点, 用其中一个有源元件作

基准,使其余元件受到此基准的控制,实现电路设计所需的一种电路结构。

一、基本 MOS 电流镜单元

它与双极型基本电流镜形式十分类似,用两个几何图形相同而又制作在一起的 MOS 晶体管,可以构成如同双极型电流镜一样的“二极管-三极管”电流镜单元。图 1-16(a)示出大家熟知的双极型电流镜电路,图 1-16(b)则示出与(a)极类似的 MOS 电流镜电路。图(a)中集电极-基极短接的二极管接法的晶体管 Q_1 和漏栅短接的 MOS 管 N_1 的电流 I_R 为外部施加的已知基准电流。很显然,从图 1-16 可以求得流过 Q_2 或流过 N_2 的电流 I_o 。



图 1-16 电流镜

对于图 1-16(a)则有:

$$I_o = \frac{I_R}{\left(1 + \frac{2}{h_{FE}}\right)} \approx I_R$$

仅当 $\frac{2}{h_{FE}} \ll 1$ 时,即 $2i_b$ 可忽略时近似式成立。

对于图 1-16(b)有:

$$I_o = I_R \quad (\because I_G \rightarrow 0)$$

这就是说,用两个参数匹配的 MOS 晶体管构成的电流镜, I_o 的电流等于基准电流 I_R , 而用双极型晶体管的电流镜 I_o 与 I_R 之间存在因晶体管共发电流增益 h_{FE} 不为无限大,而是有限值引入的误差。当 h_{FE} 较小时(例如用横向 PNP 作电流镜时, $h_{FE} \leq 10$, 此项误差就较大,且随温度变化),控制作用减弱。但由于 MOS 器件的 $I_G \approx 0$, 故无这一误差,控制精度极高。

实际上图 1-16 又可称为电流镜电流源,或称作恒流源。对于一个理想电流源,我们希望它的内阻为无限大,亦就是当图 1-16(b)中的 N_2 管漏源电压 v_{ds} 变化时, I_o 恒定。但事实上由于 N_2 存在输出电阻 r_{ds} , 因而当 v_{ds} 变化时, I_o 会发生变化,因此图 1-16(b)的 I_o 应加修正,按(1-14)式的关系可写为:

$$I_o = I_R + \frac{v_{ds}}{r_{ds}} = I_R + \frac{v_{ds}}{V_A} I_R = I_R \left(1 + \frac{v_{ds}}{V_A}\right) \quad (1-50)$$

显然误差项为 $I_R \left(\frac{v_{ds}}{V_A}\right)$ 。

除了由于 r_{ds} 存在引入的误差外,实际上由于 N_1 和 N_2 即使在图形设计上完全类同,由于加工过程中的容差存在,其特性也不会全同,造成所谓失配误差。这种失配误差主要由开启电压 V_T 失配,即 $V_{T1} \neq V_{T2}$, 以及 $\left(\frac{W}{L}\right)$ 几何误差(因制版和光刻工序引入)引起的。下面将分别讨论这两项失配误差的影响。

假定 N_1 和 N_2 的开启电压有如下关系: $V_{T1} = V_{T2} + \Delta V_T$, 则在 N_1 和 N_2 处于相同

V_{GS} 电压时, 流过二管的电流可表示为:

$$\left. \begin{aligned} I_{N1} &= \frac{\beta_1}{2} (V_{GS} - V_{T1})^2 \\ I_{N2} &= \frac{\beta_2}{2} (V_{GS} - V_{T2})^2 \end{aligned} \right\} \quad (1-51)$$

式中: $\beta = \beta' \left(\frac{W}{L} \right)$. 若先不考虑 $\left(\frac{W}{L} \right)$ 的误差, 将 $V_{T1} = V_{T2} + \Delta V_T$ 代入上式, 且将 $I_{N1} = I_E$ 视为已知量, 则 I_{N2} 可写为:

$$\begin{aligned} I_{N2} &= \frac{\beta_2}{2} [V_{GS} - (V_{T1} - \Delta V_T)]^2 \\ &= \frac{\beta_2}{2} (V_{GS} - V_{T1})^2 + \beta_2 \Delta V_T (V_{GS} - V_{T1}) + \frac{\beta_2}{2} \Delta V_T^2 \end{aligned} \quad (1-52)$$

忽略二阶小项 ΔV_T^2 , 并将(1-16)式代入上式可得:

$$I_{N2} \approx I_{N1} + g_m \Delta V_T = I_{N1} \left(1 + \frac{\Delta I_N'}{I_{N1}} \right) \quad (1-53)$$

很显然, 由于 N_1 和 N_2 二管的开启电压 V_T 失配, 因而引入一个误差电流, $\Delta I_N' = g_m \Delta V_T$, 其中 g_m 为 MOS 管的跨导.

现在再假定 $\left(\frac{W}{L} \right)$ 的失配, 它可以归入 β 的失配, 设有 $\beta_1 = \beta_2 + \Delta\beta$. 同样分析, 此时可假定 $V_{T1} = V_{T2}$, 则在相同的 V_{GS} 值时, 两管电流误差可由下式导出:

$$\begin{aligned} I_{N2} &= \frac{(\beta_1 - \Delta\beta)}{2} (V_{GS} - V_T)^2 = \frac{\beta_1}{2} (V_{GS} - V_T)^2 - \frac{\Delta\beta}{2} (V_{GS} - V_T)^2 \\ &= I_{N1} - \Delta I_N'' \end{aligned} \quad (1-54)$$

显然误差项为:

$$\Delta I_N'' = \frac{\Delta\beta}{2} (V_{GS} - V_T)^2 \quad (1-55)$$

综合(1-53)和(1-55)式, 可得合成误差 ΔI_N 为:

$$\Delta I_N = \Delta I_N' + \Delta I_N'' = g_m \Delta V_T - \frac{\Delta\beta}{2} (V_{GS} - V_T)^2 = g_m \Delta V_T - \frac{\Delta\beta}{\beta} I_N \quad (1-56)$$

一般来说, 上式中第二项要较之第一项小得多, 可忽略. 由上述分析可以知道, 图 1-16(b) 的 MOS 电流镜的失配误差主要是由以下两个因素造成:

- (1) 由 N_1 和 N_2 的开启电压失配造成;
- (2) 由 N_2 管输出内阻不为无限大造成.

其中(1)项的误差主要要靠工艺控制来改善, 但(2)项却可以通过电路技巧来加以改善, 这就是利用下面介绍的改进方法来提高电流源的控制精度.

二、MOS 电流源的改进电路

为了提高 MOS 电流源的输出电阻, 可以通过设计大尺寸的 MOS 晶体管, 利用加长沟道长度 L 来提高欧拉电压 V_A , 从而提高输出电阻 r_{ds} . 但在 $\frac{W}{L}$ 为常数情况下, L 的加长要增大器件尺寸, 从而导致 ΔV_T 的劣化, 这并非良好的有效办法. 在电子电路设计中, 通过线路设计技巧, 可以提高输出电阻, 例如电流负反馈方法就是行之有效的方法之一.

在模拟集成电路设计中,常采用图 1-17 所示的迭式电流源电路,这种结构由于在 N_1 管源极串接电流负反馈元件 N_2 ,因而可以提高 N_1 的输出电阻。

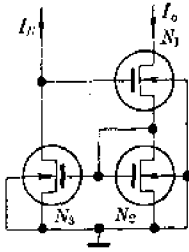


图 1-17 迭式电流源

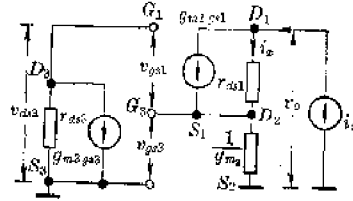


图 1-18 图 1-17 等效电路

图 1-17 的电路可用图 1-18 的模型来分析,从图 1-18 可知, N_3 管漏源间电压 v_{ds3} 可表为:

$$v_{ds3} = v_{gs1} + v_{gs3} = -g_{m3}v_{gs3} \cdot r_{ds3} \quad (1-57)$$

而 N_3 和 N_2 的栅源电压相同,流过 N_2 的电流为 i_o ,则有:

$$v_{gs2} = v_{gs3} = i_o \cdot \frac{1}{g_{m2}} \quad (1-58)$$

将(1-58)式代入(1-57)式可得:

$$v_{ds3} = -\frac{g_{m3}}{g_{m2}} \cdot i_o r_{ds3} \quad (1-59)$$

于是从(1-57)和(1-59)式可求得 v_{gs1} 的表示式为:

$$v_{gs1} = v_{ds3} - v_{gs3} = -i_o \left(\frac{1}{g_{m2}} + \frac{g_{m3}}{g_{m2}} \cdot r_{ds3} \right) \quad (1-60)$$

从图 1-18 又可看出, i_o 电流由流过 N_1 的输出电阻 r_{ds1} 的电流 i_x 和电流源的电流 ($g_{m1}v_{gs1}$) 组成,而流过 r_{ds1} 的电流 i_x 可表示为:

$$i_x = i_o \left[1 + g_{m1} \left(\frac{1}{g_{m2}} + \frac{g_{m3}}{g_{m2}} r_{ds3} \right) \right] \quad (1-61)$$

这样从电流源的输出端,即 N_1 的漏极到地之间的电压增量可写为:

$$v_o = i_x \cdot r_{ds1} + i_o \cdot \frac{1}{g_{m2}} \quad (1-62)$$

根据输出电阻的定义,可以从(1-62)式求得图 1-17 所示电流源的输出电阻的表示式为:

$$R_o = \frac{v_o}{i_o} = \frac{i_x r_{ds1} + i_o \frac{1}{g_{m2}}}{i_o} = \frac{i_x}{i_o} r_{ds1} + \frac{1}{g_{m2}} \quad (1-63)$$

将(1-61)式代入(1-63)式且认为 $g_{m3}r_{ds3} \gg 1$, $\frac{1}{g_{m2}}$ 较小,即有:

$$R_o = r_{ds1} \left[1 + \frac{g_{m1}}{g_{m2}} (1 + g_{m3}r_{ds3}) \right] + \frac{1}{g_{m2}} \simeq r_{ds1} \cdot g_{m1}g_{m3}r_{ds3} = A_{v3} \cdot r_{ds1} \quad (1-64)$$

很明显,图 1-17 较之图 1-16(b),其输出电阻增大了 A_{v3} 倍。也就是说,当忽略 N_2 和 N_3 的失配误差时,流过 N_1 的电流与参考电流 I_R 之间十分逼近,即使在输出电压 V_o 变化时,它们之间关系为:

$$I_{N1} = I_R + \frac{V_o}{A_{v3}r_{ds1}} = I_R + \frac{V_o}{A_{v3}V_A} \cdot I_R \quad (1-65)$$

误差项为 $\frac{V_o}{A_{os}V_A} I_R$, 一般这项误差可忽略不计。

三、几何比电流源

利用 MOS 晶体管宽长比的不同, 可以获得不同需要电流的电流源。这种电路形式在模拟电路的设计中经常用到, 这也是类似于双极型器件用发射极周长比不同来获得不同电流的方法。

由前述知道, MOS 晶体管工作在饱和工作区时, 在特定的栅源电压 V_{GS} 下, 流过漏源间的电流 I_{DS} 可用(1-5)式表示:

$$I_{DS} = \frac{1}{2} \mu C_{ox} \left(\frac{W}{L} \right) (V_{GS} - V_T)^2$$

由于在同一工序下制得的集成 MOS 晶体管, 其沟道迁移率 μ 、氧化层单位面积的电容 C_{ox} 、开启电压 V_T 均可视为基本相同, 因而不同 $\left(\frac{W}{L} \right)$ 的 MOS 晶体管在相同的 V_{GS} 电压下流过的电流是不同的, 也就是说, 流过 MOS 晶体管的电流 I_{DS} 与器件的宽长比 $\left(\frac{W}{L} \right)$ 成正比。于是可以利用不同 $\left(\frac{W}{L} \right)$ 的几个晶体管组成如图 1-19 所示的电流源, 如

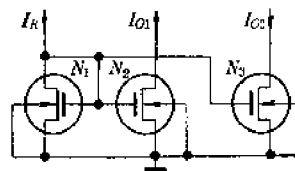


图 1-19 几何比电流源

果 N_1 作基准参考元件, 则当假定 N_1 、 N_2 、 N_3 三个 MOS 晶体管的宽长比为 S_{N1} 、 S_{N2} 、 S_{N3} , 且 N_1 的电流 I_R 为已知时, 可得如下的电流关系:

$$I_{01} = I_R \frac{S_{N2}}{S_{N1}} \quad (1-66)$$

$$I_{02} = I_R \frac{S_{N3}}{S_{N1}} \quad (1-67)$$

同时也有:

$$I_{01} = I_{02} \frac{S_{N2}}{S_{N3}} \quad (1-68)$$

这样就可以通过 MOS 晶体管 $\left(\frac{W}{L} \right) = S$ 的设计, 得到与参考基准电流 I_R 成任何比例关系的电流源。用这些不同电流值的电流源去偏置电路中各级放大电路是十分方便的。

在(1-66)式~(1-68)式的关系中, 我们没有计入输出电阻有限值引入的误差, 否则应加必要的修正, 如(1-50)式所表示的那样。

作为本节内容的综合, 我们以一个实际产品中用到的偏置电路为例来加以计算说明。

图 1-20 是用于一个集成电路产品中的偏置电路部分的完整电原理图。已知电路工作电源 $V_{DD} = +5V$, $V_{SS} = -5V$, 稳压管的击穿电压 $V_Z = 6V$, 所有 MOS 晶体管的开启电压全同, 设为 $2V$, 现在要求出用作偏置电流的 i_{01} 和 i_{02} 的值。

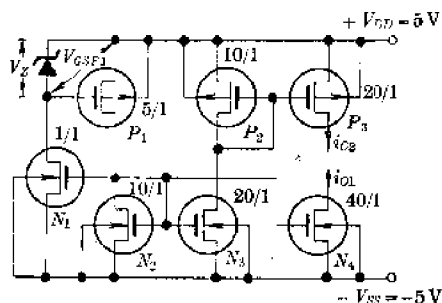


图 1-20 偏置电路原理图

假定制备这一电路的工艺参数中 $\mu_P = 200 \text{ cm}^2/\text{V}\cdot\text{S}$, $\mu_N = 400 \text{ cm}^2/\text{V}\cdot\text{S}$, $C_{ox} = 3.5 \times 10^{-8} \text{ F/cm}^2$, 各器件的 $\frac{W}{L}$ 值示于图中, 器件的输出电阻影响可以忽略, 失配影响亦不考虑。

我们来对图 1-20 进行求解估算。首先我们从图中要找出用作偏置参考的 MOS 晶体管和流过基准管的参考电流, 然后按不同的 $\frac{W}{L}$ 值分别求出这些待求的电流源电流值。

由图 1-20 可知, PMOS 晶体管 P_1 的栅源电压 V_{GSP1} 在数值上刚好是稳压管击穿电压 $V_{GS21}=V_Z=6V$ 。由于 P_1 处在饱和工作区, 因此在这栅源电压下, 流过 P_1 的电流可以按 (1-5) 式求得为:

$$i_{P1} = \frac{\beta_P}{2} (V_{GSP1} - V_{TP})^2 = \frac{1}{2} \times 200 \text{ cm}^2/\text{V} \cdot \text{S} \times 3.5 \times 10^{-8} \text{ F/cm}^2 \times \left(\frac{5}{1}\right) \times (6-2)^2$$

$$\approx 280 \mu\text{A}$$

这里 i_{P1} 是图 1-20 的参考电流 i_R 。由此知道流过 N_2 的电流即是流过 P_1 的电流, P_1, N_1, N_2 是类似图 1-17 所示的迭式电流源, 具有极高的输出电阻, 即使 V_{DD} 和 V_{SS} 有较大的变化, 流过 P_1 的电流 i_R 可保持较好的恒定。

从图 1-20 中又可看出: N_1, N_2, N_3 和 N_4 都具有相同的栅源电压, 因而有:

$$i_{N1} = i_{N2} \frac{S_{N1}}{S_{N2}} = i_{P1} \frac{S_{N1}}{S_{N2}} = 280 \mu\text{A} \times \frac{1}{10} = 28 \mu\text{A}$$

$$i_{N3} = i_{N2} \frac{S_{N3}}{S_{N2}} = 280 \mu\text{A} \times \frac{20}{10} = 560 \mu\text{A}$$

$$i_{N4} = i_{N2} \frac{S_{N4}}{S_{N2}} = 280 \mu\text{A} \times \frac{40}{10} = 1.12 \text{ mA}$$

又因为流过 P_2 的电流与流过 N_3 相同, 所以 $i_{P2} = i_{N3} = 560 \mu\text{A}$ 。于是:

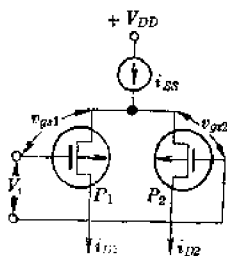
$$i_{O2} = i_{P2} = i_{N3} \frac{S_{P2}}{S_{N3}} = 560 \mu\text{A} \times \frac{20}{10} = 1.12 \text{ mA}$$

§ 1-4 MOS 源极耦合放大单元

近年来模拟集成电路之所以发展十分迅速, 除了能方便应用, 减少电路元件外, 主要还在于同一单片上的元器件具有分立元件难于获得的参数匹配和温度严格跟踪的特性。充分利用这种特性, 是模拟集成电路设计中的一个重要指导思想。差分放大单元是最能充分体现这种设计思想的基本单元电路, 为此作为构成模拟电路重要的基本构件, 应充分注意。用 MOS 器件来设计模拟电路, 首先也有必要讨论 MOS 差分放大单元, 也就是源极耦合放大单元。

一、MOS 源极耦合对的转移特性

MOS 源极耦合对的基本电路形式如图 1-21 所示。可以用 PMOS 管也可用 NMOS



管构成这种电路。由于 MOS 晶体管的衬底调变效应的存在, 因而大多数产品中, 用 P 沟耦合对, 而不用 N 沟耦合对。这种电路的偏置一般用 MOS 晶体管电流源, 很少用高值电阻偏置。

图 1-21 电路中, 假设 P_1 和 P_2 两管具有相同的几何图形、参数特性匹配。当 $V_i=0$ 时, P_1 和 P_2 有相同的栅源电压, $v_{GS1}=v_{GS2}$, 于是 $i_{D1}=i_{D2}$, 因而差动输出电流 $i_d=i_{D1}-i_{D2}=0$, 电路处于平衡状态, 也就是两管电流分配均等。

图 1-21 源极耦合对

当 $V_i \neq 0$ 时, 则 V_i 被 P_1 和 P_2 两管的栅源均分, 即 $v_{gs1} = \frac{1}{2} V_i$, $v_{gs2} = -\frac{1}{2} V_i$, P_1 和 P_2 两管的电流增量分别为:

$$\Delta i_{D1} = \frac{1}{2} g_{m1} V_i$$

$$\Delta i_{D2} = -\frac{1}{2} g_{m2} V_i$$

输出差动电流:

$$\Delta i_d = \frac{1}{2} g_{m1} V_i + \frac{1}{2} g_{m2} V_i = g_m V_i \quad (1-69)$$

这里 $g_{m1} = g_{m2} = g_m$.

由于 P_1 和 P_2 的电流之和等于偏置电流, 因此 $i_{ss} = i_{D1} + i_{D2}$. 而平衡时 $i_{ss} = 2i_{D1} = 2i_{D2}$, 这样 P_1 和 P_2 的跨导 g_m , 就可用 i_{ss} 表示:

$$g_m = \sqrt{2\beta i_{ss}} = \sqrt{i_{ss}\beta} \quad (1-70)$$

现在 g_m 可代入 Δi_d 的表示式, 则有:

$$\Delta i_d = \sqrt{\beta i_{ss}} \cdot V_i \quad (1-71)$$

(1-71) 式亦可改写为:

$$i_d = \sqrt{\frac{i_{ss}}{\beta}} \cdot \beta V_i \quad (1-72)$$

现在将 $V_i = \sqrt{\frac{i_{ss}}{\beta}}$ 代入 (1-72) 式, 则 $\Delta i_d = i_{ss}$. 也就是说, 当 $V_i = \sqrt{\frac{i_{ss}}{\beta}}$ 时, P_1 和 P_2 管的电流差等于偏置电流 i_{ss} , 这时只能是一管全部流过 i_{ss} , 而另一管电流为零, 电路呈现硬限幅状态. 图 1-22 示出 MOS 源耦合对的电流转移曲线.

与双极型差分对相比, MOS 源耦合对的动态范围要比双极型差分对要宽, 即

$$\sqrt{\frac{i_{ss}}{\beta}} > \frac{4KT}{q}$$

在一般的偏置电流 i_{ss} 值下, 上式总是成立的.

从上面分析可以看到, MOS 源极耦合对的跨导可以表示为:

$$g_m = \sqrt{i_{ss}\beta} \quad (1-73)$$

它正好类似于单管共源电路的跨导.

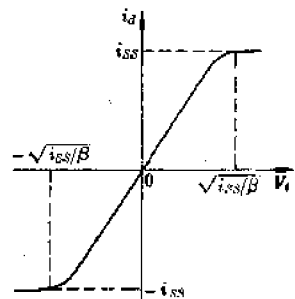


图 1-22 转移曲线

二、MOS 源耦合对的失配分析

对于图 1-21 的电路, 上面我们假定 $V_i = 0$ 时流过 P_1 和 P_2 两管的电流相等, 且都为 $\frac{1}{2} i_{ss}$. 也就是假设 P_1 和 P_2 没有失配因素存在. 事实上, P_1 和 P_2 总是有失配因素存在, 也就是 $V_i = 0$ 时, $\Delta i_d \neq 0$. 现在来讨论这种失配引起的 Δi_d 值.

在 $V_i = 0$ 时, 由于 $v_{gs1} = v_{gs2}$, 因而引起的失配可从 P_1 和 P_2 两管的开启电压失配 ΔV_T 和增益因子失配 $\Delta\beta$ 来估算 Δi_d . 先假定 $\Delta\beta = 0$ 而 $\Delta V_T \neq 0$, 若设 $V_{T1} = V_{T2} + \Delta V_T$, 则在 $\beta_1 = \beta_2$ 时, 流过 P_1 的电流 i_{D1} 可以写为:

$$i_{D1} = \frac{\beta_1}{2} (V_{gs1} - V_{T1})^2 = \frac{\beta_2}{2} [V_{gs2} - (V_{T2} + \Delta V_T)]^2$$

$$= \frac{\beta_2}{2} (V_{gs2} - V_{T2})^2 - \beta_2 \Delta V_T (V_{gs2} - V_{T2}) + \frac{\beta_2}{2} \Delta V_T^2$$

忽略二阶小项 ΔV_T^2 的影响, 则上式可写为:

$$i_{D1} \simeq i_{D2} - g_{m2} \Delta V_T \quad (1-74)$$

于是 ΔV_T 引起的差动输出电流记作 $\Delta i'_d$, 则 $\Delta i'_d$ 可表示为:

$$\Delta i'_d = i_{D1} - i_{D2} = -g_{m2} \Delta V_T \quad (1-75)$$

现在再假设 $V_{T1} = V_{T2}$, 但 $\beta_1 = \beta_2 + \Delta\beta$, 同样有:

$$i_{D1} = \frac{\beta_2 + \Delta\beta}{2} (V_{gs2} - V_{T2})^2 = \frac{\beta_2}{2} (v_{gs2} - V_{T2})^2 + \frac{\Delta\beta}{2} (v_{gs2} - V_{T2})^2$$

$$= \frac{\beta_2}{2} (v_{gs2} - V_{T2})^2 + \frac{\beta_2}{2} (v_{gs2} - V_{T2})^2 \cdot \frac{\Delta\beta}{\beta} = i_{D2} + \frac{\Delta\beta}{\beta} I_{D2}$$

也就是说由增益因子 β 失配引入的差动输出 $\Delta i''_d$ 可表示为:

$$\Delta i''_d = \frac{\Delta\beta}{\beta} i_{D2} \quad (1-76)$$

从(1-76)式可知, 偏置电流 i_{ss} 值越大, $\Delta i''_d$ 也越大。

将两种失配合并起来, 利用迭加原理, 则可得:

$$\Delta i_d = i'_d + i''_d = -g_m \Delta V_T + \frac{\Delta\beta}{\beta} i_D \quad (1-77)$$

或者:

$$\Delta i_d = -g_m \Delta V_T + \frac{\Delta\beta}{2\beta} i_{ss} \quad (1-78)$$

如果将(1-78)式给出的 $V_T = 0$ 时的输出误差电流 Δi_d 折算到输入端, 并用一个误差输入电压来表示, 或者如通常所说的输入失调电压来表示产生 Δi_d 的激励源 V_{os} , 则显然有

$$V_{os} = \frac{\Delta i_d}{g_m} = \frac{-g_m \Delta V_T + \frac{\Delta\beta}{2\beta} i_{ss}}{g_m} \quad (1-79)$$

若再用 $i_{ss} = \frac{g_m^2}{\beta}$ 代入上式, 则有:

$$V_{os} = -\Delta V_T + g_m \frac{\Delta\beta}{2\beta^2} \simeq -\Delta V_T \quad (\text{当 } \beta^2 \gg \Delta\beta \text{ 时}) \quad (1-80)$$

由此可见, MOS 源耦合对的失调电压主要是由两个晶体管的开启电压失配引起的, 并近似等于 ΔV_T 值。一般这个值在 50 mV 以内。

三、MOS 源极耦合对失调电压的温度特性

在导出了 MOS 差分对失调电压的表示式后, 就可以讨论这个失调电压与温度的相关特性。(1-80)式已告诉我们, MOS 差分对失调电压的主要来源是 MOS 晶体管开启电压的失配, 即 $V_{os} \simeq -\Delta V_T = V_{T1} - V_{T2}$ 。这就是说, 只要通过对 V_T 与温度的相关性讨论便可得到 V_{os} 随温度变化的特性。

从晶体管原理可知, MOS 晶体管的开启电压可用下式来表示:

$$V_T = \phi_{ms} + \phi_s - \frac{Q_{ox}}{C_{ox}} - \frac{Q_F}{C_{ox}} \quad (1-81)$$

Q_B ——单位面积耗尽层的电荷;

$$Q_B = -\sqrt{4q\epsilon_i\epsilon_o N_A \phi_F}$$

式中: ϕ_{ms} ——铝和硅之间的功函数;

$$\phi_{ms} = \phi_m - \phi_s = \phi_m - \left(x + \frac{E_g}{2} + \phi_F\right) \quad (1-82)$$

ϕ_s ——硅的功函数;

x ——硅的电子亲和势(其值为 3.2V);

E_g ——硅的禁带宽度(室温时为 1.1V);

ϕ_F ——硅的费米势;

$$\phi_F = \pm \frac{KT}{q} \ln \left| \frac{N_A}{n_i} \right| \quad (\text{对 } N \text{ 型硅取正号}) \quad (1-83)$$

N_A ——掺杂浓度;

n_i ——载流子浓度.

一般在(1-81)式中, ϕ_{ms} 和 Q_{ox} 基本上与温度无关, 因而若将(1-81)式对温度 T 求导则有:

$$\frac{\partial V_T}{\partial T} \cong \frac{d\phi_s}{dT} - \frac{1}{C_{ox}} \left(\frac{dQ_B}{dT} \right) \quad (1-84)$$

将(1-83)式和 $\phi_s = 2\phi_F$ 代入(1-80)式则有:

$$\frac{\partial V_T}{\partial T} = \frac{d\phi_F}{dT} \left[2 - \frac{Q_B}{2C_{ox}\phi_F} \right] \quad (1-85)$$

由于

$$\frac{d\phi_F}{dT} = \frac{K}{q} \ln \left(\frac{N_A}{n_i} \right) + \frac{KT}{q} \cdot \frac{d}{dT} \left(\ln \frac{N_A}{n_i} \right) \quad (1-86)$$

以及(1-86)式中,

$$n_i = 3.9 \times 10^{10} T^{3/2} e^{-E_g/2KT} \quad (1-87)$$

利用在常温下 $\frac{E_g}{2KT} \gg \frac{3}{2}$, 因而(1-86)式又可表示为:

$$\frac{d\phi_F}{dT} = \frac{1}{T} \left[\phi_F - \frac{E_g}{2q} \right] \quad (1-88)$$

将(1-88)式代入(1-85)式可得到:

$$\frac{\partial V_T}{\partial T} \cong \frac{1}{T} \left[\left(\phi_F - \frac{E_g}{2q} \right) \left(2 - \frac{Q_B}{2C_{ox}\phi_F} \right) \right] \quad (1-89)$$

很显然对于 NMOS 器件, V_{TN} 为负温度系数, 而对 PMOS 管则为正温度系数.

对于 MOS 差分放大器的失调电压即 $V_{os} \cong \Delta V_T$, 有如下关系:

$$\frac{\partial V_{os}}{\partial T} = \frac{d}{dT} (V_{T1} - V_{T2}) = \frac{1}{T} \left(\phi_F - \frac{E_g}{2q} \right) \left[\frac{1}{2\phi_F} \left(\frac{Q_{B2}}{C_{ox2}} - \frac{Q_{B1}}{C_{ox1}} \right) \right] \quad (1-90)$$

一般来说, MOS 差分对的温度系数要比双极型差分对的失调温度系数要大些, 但只要从工艺上改善, 是可以减小的.

实际上 MOS 器件的温度影响关系比较复杂, 远不止如上面简单的关系, MOS 器件的增益因子、跨导都是温度的函数, 一般较难定量分析, 对于实际产品都是通过实验来测定的.

§ 1-5 MOS 晶体管非饱和区的电阻特性

除了上面讨论的 MOS 晶体管的饱和区特性外, 在模拟集成电路中, 还经常要利用非饱和区可调电阻(即电压控制电阻)的特性。MOS 晶体管在非饱和区即 $V_{DS} < V_{GS} - V_T$ 区的电阻特性, 可构成性能优良的电子模拟开关。因此有必要讨论它的通态和断态时的电阻特性。

一、MOS 晶体管通和断态时的等效电路

当 MOS 晶体管(以 NMOS 晶体管为例)在 V_{GS} 足够高时, MOS 晶体管可视为阻值较小的电阻, 只要此时 $V_{DS} < V_{GS} - V_T$ 。反之当 $V_{GS} \leq V_T$ 时, MOS 晶体管可视为阻值极高的电阻。这就是说, V_{GS} 的大小, 可以控制处在非饱和区工作的 MOS 管的通断状态。在这种情况下, 一个 MOS 晶体管可用图 1-23 来等效。图中开关 SW 用来表示 MOS 晶体管通断转换状态, 它受 V_{GS} 控制。在非饱和区工作时, 可以将 MOS 管的输出特性曲线“放大”成图 1-24 所示的图形, 不同的 V_{GS} 对应不同的直线, 其斜率显然就是在该 V_{GS} 电压下漏和源极之间的导通电阻, 并可用 R_{oN} 表示。由于在 $V_{DS} < V_{GS} - V_T$ 的电阻区, 漏极电流 I_{DS} 与 V_{GS} 的关系可写为:

$$I_{DS} = \beta \left[(V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \approx \beta (V_{GS} - V_T) V_{DS}$$

现在对上式求 V_{DS} 的导数, 就可得:

$$g_{oN} = \frac{\partial I_{DS}}{\partial V_{DS}} = \beta (V_{GS} - V_T) \quad (1-91)$$

按照电阻的定义, R_{oN} 可表示为:

$$R_{oN} = \frac{\partial V_{DS}}{\partial I_{DS}} = \frac{1}{\beta (V_{GS} - V_T)} \quad (1-92)$$

这里, $\beta = \mu C_{ox} \left(\frac{W}{L} \right)$

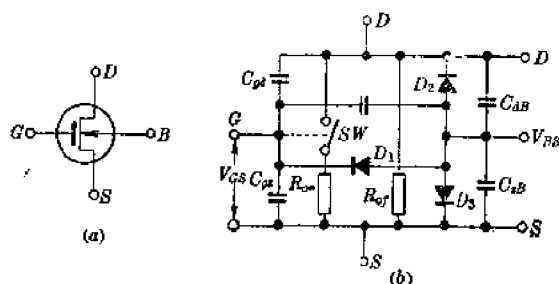


图 1-23 开关等效电路

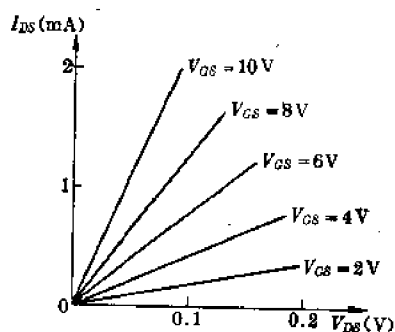
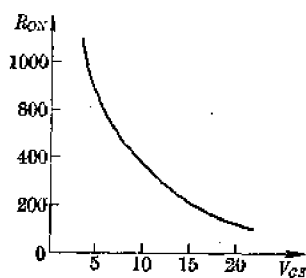
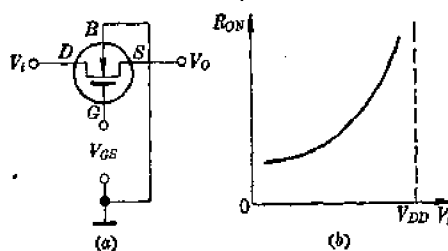


图 1-24 电阻区特性

很明显, 在非饱和区 MOS 晶体管的导通电阻, 即图 1-23 中的 R_{oN} 除与 V_{GS} 有关外, 还与器件的 $\frac{W}{L}$ 有关。(1-92)式中还没有考虑 V_T 值的影响。从前面讨论的衬底调变效应知道, (1-92)式仅适用于 V_{BS} 等于常数时的 R_{oN} 表示式, 当 V_{BS} 变化时, 将影响 R_{oN} 的值。从

另一方面来讲, 当 $V_{BS} = \text{常数}$ (例如 $V_{BS} = 0$) 且 V_{GS} 亦固定时, R_{oN} 与 $\frac{W}{L}$ 成反比, $\frac{W}{L}$ 越大 R_{oN} 越小, 这就是说, MOS 晶体管作模拟开关时, 通态电阻 R_{oN} 的值可通过版图设计来获得所需的值。

R_{oN} 和 V_{GS} 的关系一般可用图 1-25 来表示, 实际上这类似于倒数曲线, 当然这是在 V_T 和 $\frac{W}{L}$ 为定值时才有这一曲线所示的关系。

图 1-25 V_{GS} 与 R_{oN} 曲线图 1-26 R_{oN} 与 V_i 的曲线

实际上 MOS 晶体管被用作模拟开关时, 如果衬底电位 V_B 为定值, 例如处于最低电位, 则 MOS 晶体管在传送电压时, 源极和衬底的电位将随输入电压的变化而变化, 这是由于 V_{BS} 的变化使 V_T 变化而造成 R_{oN} 的变化, 这在模拟开关的应用中是不希望的严重缺点。图 1-26 示出导通电阻 R_{oN} 随所传送电压 V_i 变化而变化的关系曲线, 这一曲线告诉我们, 当 V_i 接近 V_{DD} 值时, 由于 $V_{BS} \approx -V_{DD}$, 开启电压将变得很大, 甚至使 MOS 器件处于关闭的截止状态, 导通电阻近于断态电阻 R_{oF} , 这是单沟道 MOS 晶体管作模拟开关的致命缺点。

从图 1-3 的输出特性知道, 在 $V_{BS} = \text{常数}$, 且 $V_{GS} < V_T$ 时, MOS 晶体管将处于截止状态, $I_{DS} \approx 0$ 。从图 1-23(b) 中可以认为开关 SW 断开, 电路的等效电阻为 R_{oF} , 称为断态电阻。这个电阻主要由栅极到衬底、漏极到衬底的反向偏置的 PN 结二极管的漏泄电流形成的。PN 结二极管在反向偏置时的漏泄电流 I_L 可写为:

$$I_L \approx I_{so} e^{-qV_D/KT} \quad (1-93)$$

图 1-23 中三个反向二极管 D_1 、 D_2 、 D_3 的合并漏泄电流, 可近似地表示为:

$$I_{oFF} \approx 3I_L = 3I_{so} e^{-qV_D/KT} \quad (1-94)$$

式中 I_{so} 为 PN 结反向饱和电流约为 10^{-12} A, 与温度有关。利用 (1-94) 式可求得断态时的电阻 R_{oF} 的表示式:

$$R_{oF} = \frac{\partial V_{GD}}{\partial I_{oFF}} = \frac{KT}{q} \cdot \frac{1}{I_{oFF}} \quad (1-95)$$

在常温时, $\frac{KT}{q} \approx 26 \text{ mV}$, 随温度升高而变大, R_{oF} 减小。

从图 1-23 的等效电路还可以看到, 用 MOS 晶体管作模拟开关时, 与双极型晶体管相比具有下列优点:

- (1) 不存在内压降, 即不存在电压偏移;
- (2) 不存在电流偏移;
- (3) 导通电阻 R_{oN} 具有电压控制特性。

上述 (1) 说明 MOS 器件在非饱和区工作时无内建电势差, 因而不存在极间电位偏移, 也

就是不存在如双极型器件固有的饱和压降的偏移; (2)说明 MOS 器件的漏源间作电流开关时, 无电流差存在, 这是因为 MOS 晶体管的栅极几乎无需电流, 它的电流增益 $h_{FE} \rightarrow \infty$; (3) 则是 MOS 器件固有的特点, 是双极型器件所没有的特性。正因为如此, 近年来 MOS 晶体管已被用作模拟开关的主流。当然衬底调变效应和 MOS 管的其他缺点, 可以通过电路设计来解决。

二、互补 MOS 晶体管对的模拟电阻特性

从上面单沟道 MOS 晶体管的模拟电阻特性的分析知道, 在非饱和区, MOS 晶体管的导通电阻 R_{on} 随栅源电压 V_{GS} 的变化而变化, 并有图 1-25 的关系曲线。这就是说, 当 MOS 晶体管用作模拟开关时, 在固定栅极电压控制下, 其导通电阻将随输入信号的变化而变化, 这是电路设计和电路应用所不希望的。

如图 1-27 所示, 当 N 管的栅极处于最高电位 V_{DD} 值时, 即使暂不计及衬底调变效应, 由于 V_i 对公共参考电位 (例如 V_{SS} 作参考) 的电位升高时, 将等效 N 管的 V_{GS} 值降低, 由 (1-92) 式知, 此时 R_{on} 将增大, 结果 V_o 与 V_i 的差值增大, 传输误差增大, 特别当 V_i 电位接近 V_{DD} 时, N 管将接近断开, 从而无法传输信号到输入端。正因为这个缺点, 因而很少在实用上考虑采用单沟道 MOS 管作模拟开关, 除非传输极小的信号时才予现考虑采用。

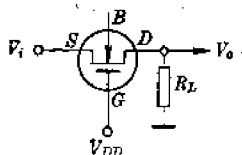


图 1-27 单管开关电路

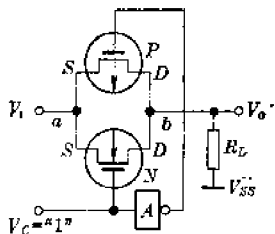


图 1-28 互补开关电路

利用图 1-28 所示的由两个互补 MOS 晶体管组成的电路可以克服上述缺点。我们仍暂不计及衬底调变效应对 R_{on} 的影响, 从图 1-28 可知, 当开关控制端 $V_c = V_{DD}$ 即逻辑“1”电位时, 由于反相器 A 的倒相作用, 使 P 沟晶体管栅极处于 V_{SS} 电位即逻辑“0”的电位, 因而当 V_i 处在 V_{SS} 附近的低电位时, 虽然 P 沟晶体管 $V_{GSP} = |V_i - V_{SS}| \ll |V_{TP}|$ 而处于截止, 但 N 沟晶体管的栅源电压 $V_{GSN} = V_{DD} - V_i > V_{TN}$ 而完全导通; 反之当 V_i 接近 V_{DD} 时, P 沟管完全导通, N 沟管截止。在这两个极端情况下, 由于 P 和 N 的并联作用, 等效电阻在 $V_{DD} \sim V_{SS}$ 范围内, V_i 的变化对 R_{ab} 的等效电阻可基本保持恒定, 不受 V_i 变化的影响, 这样

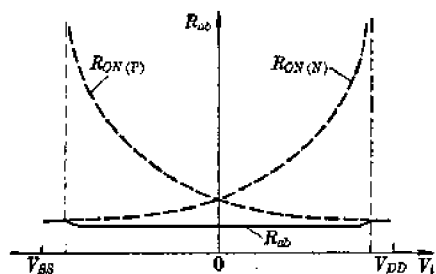


图 1-29 互补开关电阻曲线

就克服了单沟道器件存在的致命缺点。如果以 $\frac{1}{2}(V_{DD} - V_{SS})$ 作模拟地电位, 则随 V_i 变化引起的 R_{ab} 的变化曲线可用图 1-29 中实线来表示。显然, 这种互补对的模拟开关, 其导通电阻 R_{ab} 要比单沟器件制作的开关时的电阻优越得多, 这就是目前大多数模拟开关采用 CMOS 结构的主要原因所在。

事实上, 图 1-29 的特性是没有考虑 MOS 器件存在的衬底调变效应的影响。如果考虑到这一影响, 如不采取特殊电路结构, 则性能就会变

劣。这是因为前已述及的,特别是 N 沟器件,当 V_i 变化时,由于衬底电位固定在 V_{SS} 上,则 V_i 的变化相当于 V_{BS} 发生变化,就会使 V_{TN} 增大, R_{on} 随之增大,达不到图 1-29 所示的良好特性。正因如此,一般还要通过电路设计来加以改善。

三、CMOS 模拟开关衬底调变效应的克服方法

通常可采用图 1-30 所示的电路结构来消除开关中 N 沟器件衬底调变效应的影响。图 1-30 中,用作主开关的互补对是图中 P_0 和 N_0 两个 MOS 晶体管。 P_1 、 N_1 和 N_2 以及反相器 A 和 B 是辅助电路。如果开关控制端 $V_C = V_{DD}$ 即逻辑“1”电平时,由于 A 和 B 的倒相,使 N_0 、 N_1 的栅极处于逻辑“1”电平, P_0 、 P_1 、 N_2 的栅极处于逻辑“0”(即 V_{SS}) 电平,因而 N_0 、 P_0 、 N_1 、 P_1 导通, N_2 截止。于是 V_i (输入信号) 加到 N_0 的衬底 B_0 上,同时也加到 N_0 的源极上,使 N_0 的源和衬底间处于同电位,且与 V_i 的数值大小无关,在传递 V_i 的范围内保持 $V_{BSN_0} = 0$, 这样, N_0 管的衬底调变效应不再存在而被消除。由于 P 沟晶体管衬底调变效应相对 N 沟晶体管可以忽略,因此 P_0 的衬底固定在 V_{DD} 上,虽然在 V_i 变化时, V_{BSP_0} 会发生变化,但对 R_{on} 的影响甚小,可以忽略,因而不采取特别电路措施。

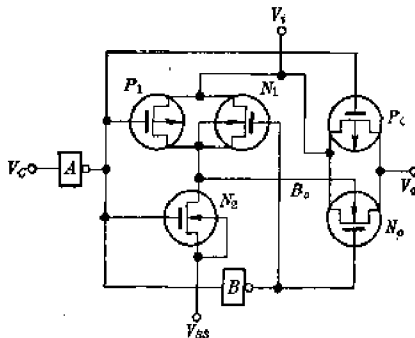


图 1-30 CMOS 开关单元

§ 1-6 MOS 器件的保护和电源问题

六十年代中期, MOS 器件开始实用的阶段,一度被可靠性所困扰,人们一提到使用 MOS 器件便感到其易于损坏,因而使用时极其小心,甚至有不使用的心理状态。

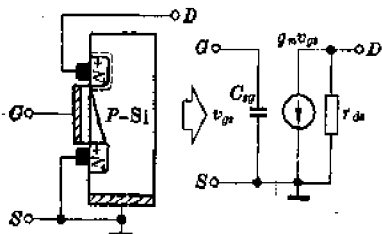


图 1-31 MOS 器件等效电路

对于单个场效应晶体管,由于其输入电阻近于开路,输入端看入的等效电路仅是一只栅电容,如图 1-31 所示,实际上栅极仅是一层通过热生长的氧化层 (SiO_2), 其临界击穿的电场强度仅为 $5 \sim 8 \times 10^6 \text{ V/cm}$, 而通常设计时,栅氧化层厚度只有 $1000 \sim 1500 \text{ \AA}$, 因而允许的最大栅源电压约 $75 \sim 120 \text{ V}$ (实际上由于存在缺陷,还达不到这么高)。这就是说,只要很小的能量,就能把栅极击穿,导致器件失效。

例如,一个 MOS 晶体管,在其 $W/L=4$, $L=10 \mu\text{m}$ 的典型尺寸下,若氧化层厚度 $1500 \text{ \AA}$, 则单位面积栅电容 $C_{ox}=0.2 \text{ pF}$, 此时,若用 0.1 nA 的极小电流向栅电容 C_{gs} 充电 $1 \mu\text{s}$, 栅极的电位 v_{gs} 将达 100 V 以上,就足以将栅极击穿。因此任何静电积累都可使 MOS 晶体管失效,这就要求使用时极其小心。

为了克服上述缺陷,通常在电路中对引出端加置防护措施,以提高其可靠性。

1. 输入端的保护电路

MOS 集成电路输入端的保护方法很多,但原理上都一样,就是在输入端与栅极之间设置一个串联限流电阻和一个并联的箝位保护电路。

图 1-32 是四种不同形式的保护结构示意图。图(a)是利用 N^+ 和 P 层结构,在栅-源之间形成一个反向二极管,当栅-源间电位超过此二极管反向击穿电压时,二极管呈低阻,从而旁路输入回路,起到箝位保护的作用,防止栅极被击穿。

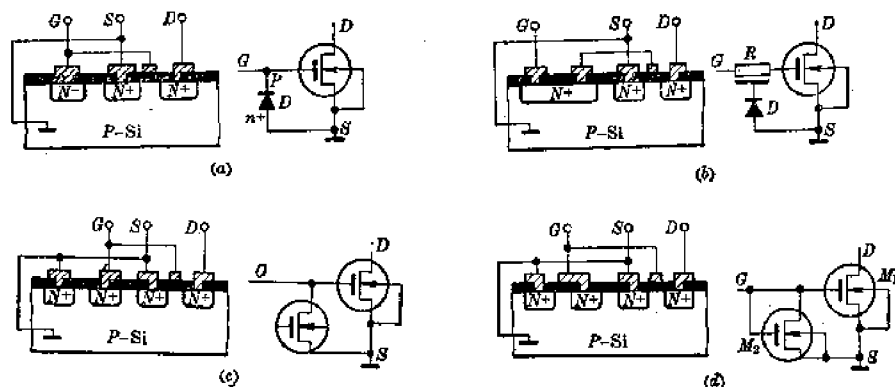


图 1-32 MOS 集成电路输入保护电路结构

图(b)则是在栅极引出线到栅氧化层间形成一个串联接触电阻 R ,而在栅与源之间又形成一个反向二极管的结构,保护氧化层。

图(c)和(d)则是在栅与源引出端之间形成一个栅开路 and 栅源短路的高阈值 MOS 器件,图(c)是利用 $D-S$ 击穿作箝位,图(d)则是利用 M_2 MOS 晶体管的开启电压来箝位,一般 M_2 的开启电压要高于正常输入值。

2. CMOS 电路的保护和自锁问题

CMOS 电路诞生以后,同样存在器件的可靠性问题,而且早期显得更为严重。CMOS 集成电路除了输入端的静电效应外,人们从 CMOS 电路的失效模式中发现 CMOS 器件还存在固有的自锁效应。图 1-33 是 CMOS 典型反相器,其芯片剖面图示于图 1-34,从中可以看到 CMOS 电路内部存在 $PNPN$ 四层结构。这种 $PNPN$ 四层结构,如同一个可控硅再生环,一旦满足(1-92)式条件,一经触发便会使 V_{DD} 和 V_{SS} 两极之间直通,导致器件失效。

$$h_{FE2} \cdot h_{FE1} \geq 1 \quad (1-92)$$

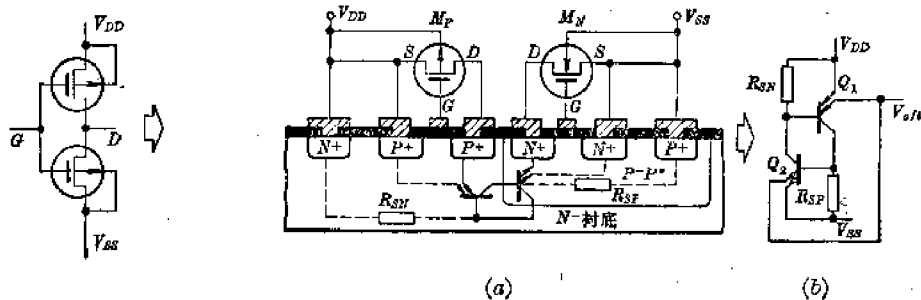


图 1-33 CMOS 反相器

图 1-34 CMOS 反相器分布效应

从图 1-34(a)可以明显地看出,在 P 沟晶体管与 N 沟晶体管之间存在由 N^+ 、 P^+ 、 N^- 、 P^- 结构,构成 $P^+N^-P^-$ 晶体管 Q_1 和 $N^-P^-N^+$ 晶体管 Q_2 ,以及 N^- 的电阻 R_{SN} 和 P^- 电阻 R_{SP} 形成图 1-34(b)所示的再生环,它如同一个 SCR 器件。一旦输入或输出端(V_{out} 端)电位高于 V_{DD} (或低于 V_{SS})时,电路触发形成正反馈, Q_1 、 Q_2 导通,使 V_{DD} 和 V_{SS} 之间呈低阻

通路,器件发生自锁,导致器件失效。

消除 CMOS 电路自锁效应的根本办法是用介质隔离取代 PN 结隔离,使 CMOS 电路不存在 $N^+P^+N^-P^-$ 的四层结构。近年来,对于高可靠的 CMOS 模拟开关,已采用介质隔离技术消除自锁效应。因为模拟开关在使用时,输入信号十分容易高(或低)于电源电压。但介质隔离较之 PN 结隔离工序复杂,电路占用硅片面积较大,生产效率低,除非必要,一般仍用 PN 结隔离技术,通过采取相应措施加以克服 SCR 效应。

为了消除自锁效应或尽可能提高产生 SCR 效应的维持电流电平,人们从原理上着手加以改进,方法如下:

(1) 尽可能降低图 1-34(a)中衬底电阻 R_{SN} 和 P 阱横向电阻 R_{SP} 的阻值,使其分流效应加强;

(2) 增大 PNP 横向晶体管 Q_1 的基区宽度,使 $h_{FE1} \ll 1$, 从而满足不了(1-96)式的要求。

通过版图设计和工艺控制,目前可以使 CMOS 电路的 SCR 维持电流提高到大于 50 mA 的水平,只要将工作电源电流加以适当限制,就可从根本上防止发生自锁效应。

另外,对于 CMOS 器件,光辐照也会引起 SCR 效应,特别是 CMOS 模拟开关。因为光辐照会激发少数载流子,使大面积 P 阱到衬底形成光生电流,触发再生环导通。因此要用黑色封装,避免光照效应产生。

3. CMOS 集成电路供电电源的考虑

在使用 CMOS 电路时(无论模拟电路或逻辑电路),为了防止发生自锁效应,常常要求限制供电电源的电流容量,也就是说要实施限流。

一般说来,CMOS 数字电路的功耗与工作频率有关,而模拟电路则与工作点有关,因此一个 CMOS 系统的工作电源的电流容量,应以满足系统各块电路上限工作频率的电流需要就可以,而不宜过大。图 1-35 示出用于 CMOS 系统的供电电源的常用形式,图(a)是用稳压管供电, R_s 限制最大电流; (b)则是简易稳压电源, R_s 也起限流作用。

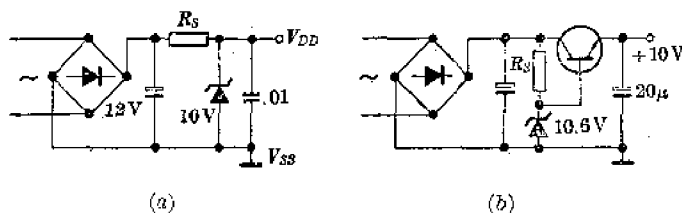


图 1-35 CMOS 集成电路用的电源结构

对于 CMOS 器件的输入端,原则上不允许有大于 V_{DD} 或小于 V_{SS} (最低电平)的信号,也不允许有浮置现象,在应用长线驱动或输入时,应与一根接地线绞合,以消除电感,防止信号馈线上有尖峰出现,必要时加限流电阻。

第二章 CMOS 运算放大器及其应用

早在七十年代初,人们已开始用 MOS 器件来设计运算放大器,并试图从这一最基本的产品着手,使模拟电路进入大规模集成的领域。起初人们曾用单沟道器件研制了全 MOS 运放,但这种单沟道全 MOS 运放的致命缺点是增益较低,无法与传统的双极电路匹敌,这种低增益的器件,只能用作诸如 CCD(电荷耦合器件)横向滤波器或者开关电容滤波器中,作增益功能块,难以成为独立的可供实用的产品。为了提高全 MOS 运放的增益,人们利用 CMOS 技术,即互补器件固有的特点,可以获得性能良好的全 MOS 运算放大器,这就是本章要讨论的重点所在。

§ 2-1 CMOS 放大级的特点及基本结构

在讨论 CMOS 运算放大器之前,先要弄清楚 CMOS 技术较之单沟道 MOS 技术在模拟性能上为什么会成为人们优先考虑选用的依据。为此,有必要对单沟道放大器和 CMOS 放大器作一比较。

一、单沟道放大级的增益及其提高方法

为了说明方便起见,我们来考察一下 N 沟增强型 MOS 器件构成的典型有源负载放大级的增益。图 2-1 示出这种电路的原理图。

假设 N_1 和 N_2 有相同偏置电流和相同的欧拉电压 V_A , 以及相同开启电压($V_{TN1} = V_{TN2}$), 则从图 2-1(b) 的等效模型来分析, 图 2-1(a) 电路的电压增益可以十分明显地看出为:

$$A_v = V_o/V_i = -g_{m1} \frac{r_{ds1} r_{ds2}}{r_{ds1} + r_{ds2}} = -\sqrt{2\beta_N I_{DS}} \cdot \frac{V_A}{I_{DS}} \quad (2-1)$$

(2-1) 式仅是不计 MOS 器件体效应和衬底偏置效应的增益表示式。实际上, 由于 N_1 和 N_2 两个晶体管的衬底接在 V_{SS} 上, 因此, 对 N_2 晶体管来说, 它的衬底和源的电压 V_{BS2} 将随输出电压 V_o 的变化而变化, 这就会影响 N_2 的开启电压 V_{TN2} , 引起衬底调变效应。当输出电



图 2-1 N 沟道放大单元

压 V_o 以较大幅度变化时, 图 2-1(a) 的直流转移特性将会受 V_{BS2} 的影响。可以利用第一章中所述体效应的有关结论来证明此时大信号增益的表示式可为:

$$A_v = \frac{V_o}{V_i} = \frac{\sqrt{\left(\frac{W_1}{L_1}\right) / \left(\frac{W}{L}\right)_2}}{1 + \frac{\gamma}{2} \frac{1}{\sqrt{2\phi_F + V_{BB} + V_{oDC}}}} \quad (2-2)$$

$$\gamma = \sqrt{\frac{2\epsilon_{ox}qN_A}{C_{ox}}}$$

式中: V_{BB} ——衬底电压;

V_{oDC} ——输出的直流电压幅值。

(2-2) 式说明, 图 2-1(a) 的电路在输出大信号时, 由于 N_2 负载管的开启电压的变化, 将使其输出电阻 r_{ds2} 变小, 从而严重地降低增益。

由于存在衬底调变效应, 图 2-1(a) 电路的正向输出幅度, 受 N_2 管开启电压的限制, 而当 V_o 向正向输出摆动时, V_{BS2} 变得越来越负, 使 V_{TN2} 明显增大, 从而使正向输出不可能达到 V_{DD} 的值。

从电路设计角度来看, 为了克服上述缺点, 可以用增强/耗尽(E/D) MOS 技术。图 2-2 示出典型的 E/D MOS 反相放大器的原理图。然而图 2-2 中的衬底调变效应依然存在, 增益还是不易提高, 而且采用 E/D MOS 技术, 无疑会增加工序, 给生产带来不便。

然而从提高单沟道 MOS 放大级增益的要求来看, 虽然借助电子线路技巧可以实现高增益的要求, 这在某些模拟集成电路设计中还是十分有用的, 因为有时候为了提高集成度和速度, 用单沟道 NMOS 技术还是十分有利的。下面以 N 沟 E/D MOS 放大级为例来简述提高放大级增益的几种可能的方法。

1. 增强跨导的设计方法

在图 2-2 电路中, N_2 、 N_3 、 N_4 是耗尽型 MOS 晶体管, N_1 则是增强型 MOS 晶体管。图中 N_3 的栅极被一个直流电压偏置, 因而处在共栅的工作状态, 此偏置可以是 V_{SS} , 也可以是其他一个固定电位, 图中是偏置在 V_{SS} 上。

从图 2-2 知, N_2 和 N_4 是处在 $V_{GS}=0$ 的零偏置状态, 因而相当于两个电流源, 这样流过主放大晶体管 N_1 的直流偏置电流就是 N_3 和 N_4 的偏置电流之和, 即有:

$$I_{D1} = I_{D2} + I_{D4}$$

由于 N_1 的跨导 g_{m1} 与 $\sqrt{I_{D1}}$ 成正比, 因而现在 N_1 的跨导因电流源 N_2 的设置而被增强。但又因为 N_3 的存在, N_2 的输出电阻对 N_1 的并联效应, 并不影响增益, N_1 的负载是 N_3 的源极, N_1 和 N_3 构成共源-共栅结构, 它将 N_2 的并联效应消除。图 2-2 电路的电压增益, 在忽略 N_1 、 N_2 、 N_3 的输出电阻时可写为:

$$A_v = -g_{m1}r_{ds4} = -\frac{2}{V} \sqrt{\left(\frac{W}{L}\right)_1} \cdot \sqrt{\frac{I_{D1}}{I_{D4}}} \cdot \sqrt{2\phi_F + V_{BB} + V_{oDC}} \quad (2-3)$$

通过 N_1 和 N_2 两管的几何图形的设计和静态工作电流的选择, 可以得到较高的增益。这种

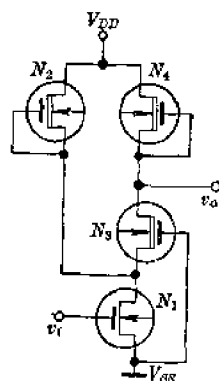


图 2-2 跨导增强电路之一

方法的缺点是元件个数增加。

2. 增强负载电阻的设计方法

另一种用来提高 E/D MOS 反相放大级增益的设计方法如图 2-3 所示, 由图可知, N_1 的负载 N_4 并不处于零偏置, 它的栅源电压由 N_3 的栅源电压来提供, 只要 N_4 的零偏电流 $I_{DSS4} < I_{DSS3}$, 就可使 N_4 的输出电阻在 $V_o \leq V_{DD} - V_T$ 的区域内保持较高的数值, 由于 N_3 的存在, N_2 的输出电阻对 N_1 的并联效应可忽略, 因此图 2-3 兼有增强跨导的效果。这种电路的转移特性示于图 2-4, 在 $V_o \geq V_{DD} - V_T$ 区, N_3 和 N_4 也会进入非饱和区而降低增益, 实际上这种结构的输出幅度也不能达到全电源的范围。

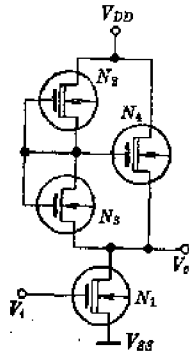


图 2-3 跨导增强电路之二

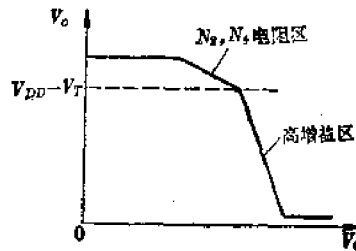


图 2-4 转换特性

二、CMOS 互补反相级的增益

如上所述, 用单沟道 MOS 技术构成的反相放大级, 无论采用何种结构形式, 其衬底调变效应总是存在的。而这种调变效应, 由于掺杂浓度的不同, N 沟器件较之 P 沟器件要严重得多。然而用 CMOS 技术, 则可以克服这种效应。因为用 P 沟和 N 沟两种不同导电极型的器件, 可以构成图 2-5 所示的最简单的反相放大级。由图可以看出, P 沟和 N 沟两种器件的衬底分别接在固定电位 V_{DD} 和 V_{SS} 上。由于 P 和 N 两管的漏极相连, 因而衬底和源极电位 V_{SS} 与 V_o 的幅度无关, 这就不存在衬底调变效应。

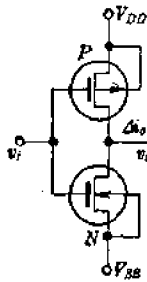


图 2-5 CMOS 反相器

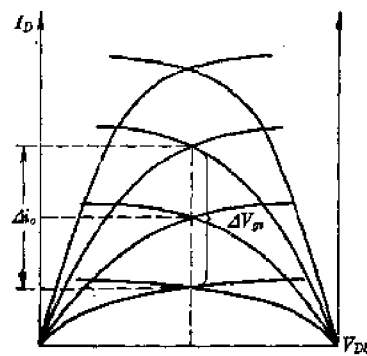


图 2-6 输出特性

当输入电压 V_i 作用到两管的栅极时, 其电流的变化 Δi_o 是 P 和 N 两管电流变化之差, 如图 2-6 所示。如果 P 和 N 两管的跨导相同, 则由图 2-5 的等效电路图 2-7 可以得到 Δi_o 的表示式为:

$$\Delta i_o = (g_{mN} + g_{mP}) V_i$$

此时电路的电压增益可写为:

$$A_v = -\frac{\Delta i_o R_L}{V_{in}} = -(g_{mN} + g_{mP}) \frac{r_{dsN} \cdot r_{dsP}}{r_{dsN} + r_{dsP}} \quad (2-5)$$

当 $g_{mN} = g_{mP}$ 时, 则有:

$$A_v = -2g_m \frac{r_{dsN} \cdot r_{dsP}}{r_{dsN} + r_{dsP}} \quad (2-6)$$

从(2-6)式看出: CMOS 反相放大级的增益高于单沟道电路。这就是说, 用 CMOS 技术易于获得高增益的电路, 这正是设计运算放大器时所感兴趣的优点。

虽然图 2-5 的互补反相级电路有高增益的优点, 但这种结构的电路要工作在有源区(增益区)必须有合适的直流偏置电平。一般在满足直流偏流 $I_{DP} = I_{DN}$ 的条件下, 输入和输出的直流电平处于中点电位, 这样就给放大器在级联应用时, 往往会造成电平匹配上的困难, 特别是前级为源极耦合对电路时, 更加困难, 因而只适用于输出级。为了解决上述电平匹配, 就要用另外的电路形式, 即类似于双极型的有源负载电路。

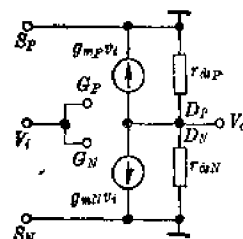


图 2-7 等效电路

三、CMOS 有源负载反相放大级的增益

图 2-8 是一种常用的 CMOS 有源负载反相放大级电路。很明显, 由于 P 沟晶体管的栅源电位被固定在一个参考电位上, 因而流过 P 管的电流不随输入信号 V_i 的变化而变化, 它可看作一个电流源, 并具有极高的动态输出电阻 r_{dsP} 。图 2-9 则是图 2-8 的等效分析模型, 从这一模型, 可以很方便地得到这个反相放大级的电压增益表示式:

$$A_v = -g_{mN} V_i \frac{r_{dsN} \cdot r_{dsP}}{r_{dsN} + r_{dsP}} / V_i = -g_{mN} \frac{r_{dsN} \cdot r_{dsP}}{r_{dsN} + r_{dsP}} \quad (2-7)$$

从(2-6)和(2-7)式比较可看出, 虽然图 2-8 电路的增益比图 2-5 电路要低些(在同样条件下), 但图 2-8 电路的偏置要求简单, 只要使 N 管的栅源电压有合适的值, 使 N 管静态电流 $I_{DN} = I_{DP}$ 即可。

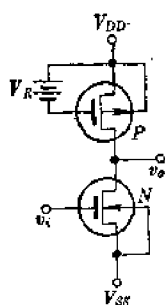


图 2-8 有源负载放大器

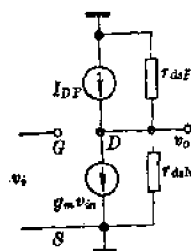


图 2-9 等效电路

从第一章中知道, 当图 2-8 中 V_R 确定时, 流过 P 管的电流 I_{DP} 可写为:

$$I_{DP} = \frac{\beta_P}{2} (V_R - V_{TP})^2 = \frac{\beta'_P}{2} \left(\frac{W}{L} \right)_P (V_R - V_{TP})^2 \quad (2-8)$$

现在的问题是: 当 N 管的栅源电压为何值时, 才能满足 $I_{DN} = I_{DP}$ 。设 N 管的偏置电压为 V_{GSN} , 则可得:

$$I_{DN} = \frac{\beta'_N}{2} \left(\frac{W}{L} \right)_N (V_{GSN} - V_{TN})^2 \quad (2-9)$$

为讨论简便, 假设 P 和 N 两管的开启电压相同, 即 $V_{TN} = V_{TP}$ 。这样, 从 (2-9) 式可得 V_{GSN} 的表示式为:

$$V_{GSN} = \sqrt{\frac{I_{DN}}{\frac{\beta'_N}{2} \left(\frac{W}{L} \right)_N}} + V_{TN} \quad (2-10)$$

将 (2-8) 式代入 (2-10) 式得:

$$V_{GSN} = \sqrt{\frac{\frac{\beta'_P}{2} \left(\frac{W}{L} \right)_P}{\frac{\beta'_N}{2} \left(\frac{W}{L} \right)_N}} \cdot (V_R - V_{TP}) + V_{TN} \quad (2-11)$$

如果通过 P 和 N 两管的 $\left(\frac{W}{L} \right)$ 设计, 使 (2-11) 式根式的值为 1, 则:

$$V_{GSN} = V_R \quad (2-12)$$

当然在大多数电路结构中, 并不需要作如此配置, 但从上面分析可以知道, 图 2-8 电路的直流偏置电路可以通过器件的宽长比设计来获得我们所需要的预定值。

图 2-8 的电路形式与图 2-5 一样, 不存在衬底偏置效应, 因而较之单沟道器件构成的电路要简单得多。因此, 用 CMOS 技术来设计放大器, 不仅具有增益高、设计方便的优点, 而且由于两种沟道的互补特点, 可以设计出各种类似于双极型放大器的电路。

§ 2-2 CMOS 运放的基本结构和分析模型

上面简单地讨论了 CMOS 放大器的特点, 下面将进一步讨论用 CMOS 技术构成的运算放大器。从原则上讲, 无论是双极型、双极 MOS 型或是全 MOS 型的运算放大器, 从电路设计角度与应用角度来看, 没有本质的差别。众所周知, 对一个运算放大器的电性能要求, 不外乎有以下几点:

- (1) 具有双端输入、单端输出的功能;
- (2) 有极高的电压增益;
- (3) 有极高的输入电阻;
- (4) 有较宽的频带;
- (5) 有极低的输出电阻;
- (6) 有良好的共模抑制能力;
- (7) 低的失调和漂移;
- (8) 在作反相闭环放大时, 有较富裕的相位裕度等。

对于用 CMOS 技术构成的放大器, 输入电阻高是不成问题的, 重要的是增益、频带和失调漂移。对于上述这些要求, 就决定了 CMOS 运放与双极运放在结构上没有多大区别, 在设计方法上也有类似之处。下面将分别讨论这些问题。

一、CMOS 运放的基本结构

CMOS 运放在结构上与双极型运放极为类似, 它由四个部分构成: (a) 双端转单端的差

分输入级; (b) 中间放大级; (c) 输出级; (d) 直流偏置电路。

利用 CMOS 技术中 P 和 N 两种沟道的晶体管, 可以设计出与典型的双极型运放在型式上完全类似的运算放大器。图 2-10(a)、(b) 分别是简化的 CMOS 和双极型的运放原理图。很明显, 两种电路结构上完全一致, 这是一种典型的二级放大电路, 从图中可看出, P 沟晶体管和 PNP 晶体管恰好可以互为对照, 因此可以和分析双极型运放一样来分析 CMOS 运放。

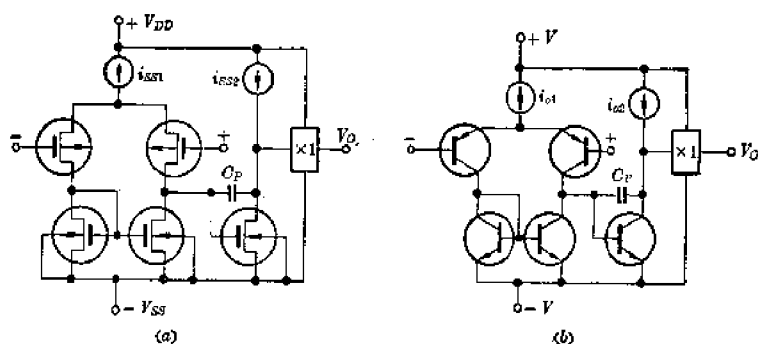


图 2-10 典型的运放结构

图 2-11 示出一种最简单的 CMOS 运算放大器的完整电路, 它由三个部分组成: (i) 偏置部分 (P_0 管与外接电阻 R_{bias} 一起构成); (ii) 输入级; (iii) 增益级和驱动级 (这里没有设置 $\times 1$ 缓冲输出级)。驱动级和增益级由 P_4 和 N_3 两管组成, 而 P_1, P_2, P_3 和 N_1, N_2 构成双端转单端的差分输入级, P_1 是其偏置电流源, 其电流由基准管 P_0 确定。驱动级由 P_4 和 N_3 两管组成, 这是一种如前已讨论过的有源负载反相放大级, P_4 为电流源作 N_3 的负载, P_4 的电流亦有基准管 P_0 的电流确定。

从图 2-11 电路中可以看出, P_0 和 R_{bias} 组成放大器的偏置基准电路, 流过 P_0 的电流 I_{DP0} 由下式给出:

$$I_{DP0} \cong \frac{V_{DD} + |V_{SS}| - V_{TP}}{R_{bias}}$$

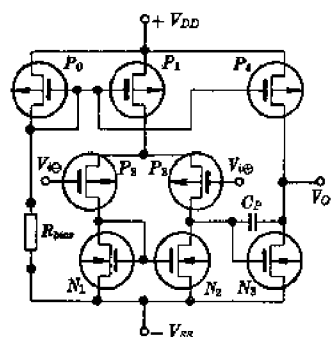


图 2-11 典型 CMOS 运放

电阻 R_{bias} 可以设置在电路内部, 或者设置在电路外部。作为通用型 CMOS 运放, R_{bias} 设置在外部比较灵活, 因为通过对 P_0 管电流的控制, 可以控制放大器的电学性能, 对应用较为有利。

若电路中 P_0, P_1, P_4 三个 MOS 晶体管的宽长比 $\frac{W}{L}$ 分别为: $S_{P0} = \left(\frac{W}{L}\right)_{P0}$, $S_{P1} = \left(\frac{W}{L}\right)_{P1}$, $S_{P4} = \left(\frac{W}{L}\right)_{P4}$, 则一旦 I_{DP0} 确定, 则 I_{DP1} , I_{DP4} 分别可写为:

$$I_{DP1} = I_{DP0} \frac{S_{P1}}{S_{P0}} \quad (2-13)$$

$$I_{DP4} = I_{DP0} \frac{S_{P4}}{S_{P0}} \quad (2-14)$$

这样可以确定输入差分级和驱动级的直流工作电流。

图 2-11 所示的 CMOS 运算放大器的输出级由于工作在甲类, 因而负载能力决定于 P_4

的偏置电流 I_{DP4} 的大小。一般这种结构负载能力较差, 又因为输出端是 P_4 和 N_3 的公共漏极, 因而输出电阻很大, 这是这种简单电路的致命缺点。

为了提高 CMOS 运放的输出能力, 降低输出电阻, 人们设计了一些不同类型的甲、乙类输出级电路。最简单的形式如图 2-12 所示, 也就是在图 2-11 的驱动级后加置一个互补源极输出级, 为了克服两个输出管的开启电压形成的死区, 改善交越失真, 用两个互补 MOS 管 P_6, N_4 的栅源电压作输出管 P_6, N_5 的偏压, 通过器件 $\frac{W}{L}$ 的设计, 可以提供 P_6 和 N_5 有合适的静态电流。

图 2-12 电路虽然有互补源极输出级, 但由于两个输出管在输出电流时, 要有栅源电压 V_{GS} , 因而电路输出幅度受到损失, 输出电压的最大摆幅为

$$(V_o)_{\max} = (V_{DD} - V_{GSN5}) - (V_{SS} + V_{GSP6}) \quad (2-15)$$

从上式可知, 输出幅度降低了约两个管的开启电压 ($|V_{TP}| + V_{TN}$)。由于 CMOS 运放一般工作在 $\pm 7.5\text{V}$ 以下, 因而这一损失十分可观。

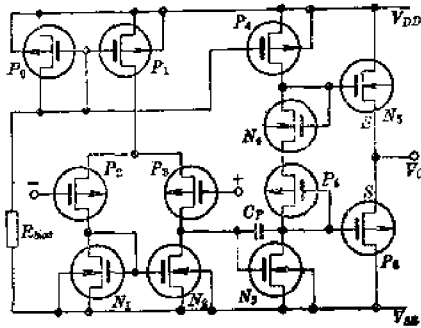


图 2-12 甲乙类输出运放

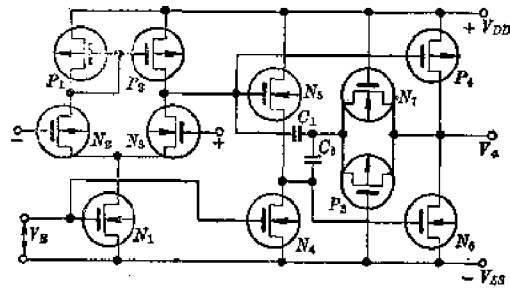


图 2-13 漏输出甲乙类输出运放

图 2-13 示出另一种漏极输出的甲、乙类推挽输出电路, 图中放大器偏置基准没有画入。其中 N_1, N_3, N_5 和 P_1, P_2 构成双端输入转单端输出差分放大级; N_4, N_6 组成电流源负载源极输出级, 作输入级和输出级的级间缓冲和电平移位电路; P_4 和 N_6 作反相推挽输出级; N_7, P_3 用来馈通补偿电容 C_1 和 C_2 到输出端的反馈通路。

这个电路在静态平衡状态下, 输出级中 P_4 晶体管的栅源电位被偏置在与 P_1, P_2 相同的栅源电位上, 流过 P_4 管的电流满足下述关系:

$$I_{DP4} = I_{DP1} \frac{S_{P6}}{S_{P1}} = \frac{1}{2} I_{DN1} \frac{S_{P6}}{S_{P1}} \quad (2-16)$$

为使输出处于平衡时的中点电位, 要求 N_6 晶体管的栅源电压 V_{GSN6} 处在使 $I_{DN6} = I_{DP4}$ 的电平上, 即应有:

$$V_{GSN6} = \sqrt{\frac{2I_{DP4}}{\beta'_N S_{N6}}} + V_{TN} \quad (2-17)$$

由于 $V_{GSN6} = V_{DD} - |V_{GSP4}| - V_{GSN5}$, 而且 N_5 和 N_4 的电流应相同, 因而要求在 $I_{DN5} = I_{DN4}$ 的条件下, 使 N_5 的栅源电压的值为:

$$V_{GSN5} = \sqrt{\frac{2I_{DN4}}{\beta'_N S_{N5}}} + V_{TN} = V_{DD} - |V_{GSP4}| - V_{GSN6} \quad (2-18)$$

如果 N_1 和 N_2 的宽长比相同, 即 $S_{N1} = S_{N2}$, 则流过 N_1 和 N_2 的电流相同, $I_{DN5} = I_{DN4} = I_{DN1}$

$= 2I_{DP1} = 2I_{DP4} \frac{S_{P1}}{S_{P5}}$. 这样就可以得到下述关系:

$$V_{GSN3} = \sqrt{\frac{4I_{DP4}S_{P1}}{\beta'_N S_{N3}S_{F4}}} + V_{TN} = V_{DD} - \left[\sqrt{\frac{2I_{DP4}}{\beta'_P S_{P4}}} + |V_{TP}| \right] - \left[\sqrt{\frac{2I_{DP4}}{\beta'_N S_{N3}}} + V_{TN} \right]$$

也就是:

$$\sqrt{\frac{2I_{DP4}}{\beta'_N S_{F4}}} \cdot \sqrt{\frac{2S_{P1}}{S_{N3}}} = V_{DD} - 2V_{TN} - |V_{TP}| - \sqrt{\frac{2I_{DP4}}{\beta'_P S_{P4}}} - \sqrt{\frac{2I_{DP4}}{\beta'_N S_{N3}}} \quad (2-19)$$

(2-19)式告诉我们, 只要预知 V_{DD} , V_{TN} 和 V_{TP} 的值, 当 I_{DP4} 一旦确定, 就能通过 S_{P1} , S_{P4} , S_{N3} , S_{N6} 四个器件的 $\frac{W}{L}$ 的设计, 达到直流平衡的要求。

从图 2-13 又可知道, 当输入一个交变信号时, 由于 N_5 是源极输出器, 其栅和源的交变电位相等(源随器增益近似为 1), 因而 P_4 和 N_5 的栅处于等电位, 这就可将输出级看成如同图 2-5 所示的互补反相器一样的电路, 也就是具有推挽作用。只要两管有足够大的跨导, 就能具有较大的负载能力, 同时具有二倍于图 2-11 中输出级的增益。

然而图 2-13 电路一般在通用产品中不适于应用。对于一个通用产品, 要求电路能在较宽的电源范围下工作, 由(2-19)式可知, 当 V_{DD} 变化时, 将导致平衡的破坏, 这就会增大电路的直流失调。

同样具有推挽输出的功能的另一种电路示于图 2-14, 它类似于滑动甲类放大器的原理。由图知, P_1 , P_2 和 N_1 , N_2 以及 P_3 , N_3 组成交叉耦合输入级, N_1 和 P_1 的栅极同时加上输入信号 V_i , 而 P_2 , N_2 则分别偏置在基准电位 V_{bias} 上, 当 V_i 向正向摆动时, N_1 电流增加, P_1 减小, 由于 N_1 和 P_1 工作在共漏状态, 因而 N_1 的源和 P_1 的源极电位随 V_i 的增高而增高, 这就导致 P_2 的源极和 N_2 的源极以等量改变, 使 N_2 的 V_{GSN2} 减小, P_2 的电压 V_{GSP2} 增加, 引起 I_{DN2} 减小, I_{DP2} 增加。这样, 就使由 P_4 , P_5 和 N_5 , N_6 组成的输出级作相应的变化。从图知, P_3 , P_4 处于相同的栅源电压, N_3 和 N_5 亦处于相同的栅源电压, 因而 P_3 电流的变化按比例使 P_4 变化, N_3 的电流增量也按比例传递到 N_5 。在 V_i 处于正向摆幅作用时, 输出端电流将变动:

$$\Delta i_o = 2g_{m1}V_i \cdot k \quad (2-20)$$

其中 $k = \frac{S_{P4}}{S_{P3}} = \frac{S_{N3}}{S_{N5}}$, g_{m1} 为 N_1 (或 P_1) 的跨导, 这就是说图 2-14 实际上是跨导放大器, 它将输入电压变换为输出电流。电路跨导 $g_m = 2kg_{m1}$ 。

电路在静态($V_i=0$)时, 流过 N_1 , P_2 , N_3 的电流相等, 流过 P_1 , N_2 , P_3 的电流亦相等, 而流过输出级 P_4 , P_5 和 N_4 , N_5 的电流为:

$$I_{P5} = I_{N4} = I_{P4} = I_{N5} \quad (2-21)$$

I_{P4} , I_{N5} 分别由 I_{P3} 和 I_{N3} 确定, 且有下列关系:

$$\left. \begin{aligned} I_{P5} &= k \cdot I_{P3} \\ I_{N4} &= k \cdot I_{N3} \end{aligned} \right\} \quad (2-22)$$

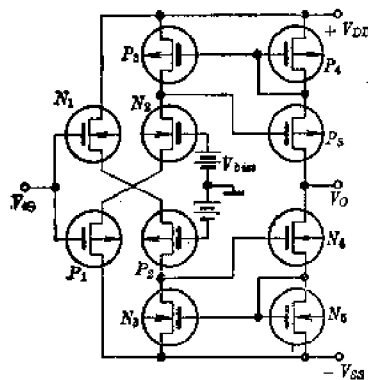


图 2-14 滑动甲类原理图

量)输入时,其两个栅极处于等电位,可等效为互补反相器,但图 2-16 不存在图 2-13 的缺点,当 V_{DD} 或 V_{SS} 变化时,不会破坏直流平衡状态。其各级直流工作点可以通过各个器件 $\frac{W}{L}$ 的设计来满足需要。

事实上,当 V_{bgs} 确定后, P_0 , P_4 的电流亦确定,若设 P_0 , P_4 的 $\frac{W}{L}$ 为 S_{P0} 和 S_{P4} ,则由前述知, I_{P4} 和 I_{P0} 有如下关系:

$$I_{P4} = I_{P0} \frac{S_{P4}}{S_{P0}} \quad (2-25)$$

从图又知:

$$I_{P4} = I_{N4} + I_{N5} \quad (2-26)$$

而

$$I_{N4} = I_{N3} \frac{S_{N4}}{S_{N3}} = I_{N1} \frac{S_{N3}}{S_{N1}} \cdot \frac{S_{N4}}{S_{N3}} = I_{N1} \frac{S_{N4}}{S_{N1}} \quad (2-27)$$

由于

$$I_{N1} = \frac{1}{2} I_{P0}$$

所以有

$$I_{N4} = \frac{1}{2} I_{P0} \frac{S_{N4}}{S_{N1}} \quad (2-28)$$

我们希望在平衡时, N_3 和 P_3 电流相等,而 I_{P3} 和 I_{P6} 有下述关系:

$$I_{P3} = I_{P6} \frac{S_{P3}}{S_{P6}} \quad (2-29)$$

由于 $I_{P6} = I_{N7}$, 而 I_{N7} 与 I_{N5} 又有 $I_{N7} = I_{N5} \frac{S_{N7}}{S_{N5}}$ 的关系, 于是:

$$I_{P3} = I_{N5} \frac{S_{N7}}{S_{N5}} = I_{N3} \quad (2-30)$$

利用这些关系,显然可以用 P_0 的电流来归一化,然后寻找它们之间的相互关系,找出约束条件:

$$\frac{2S_{P4}}{S_{P0}} = \frac{S_{N3}S_{P6}}{S_{N1}S_{P3}} + \frac{S_{N4}}{S_{N1}} \quad (2-31)$$

只要上式满足,就可以满足直流平衡要求,即 $I_{P3} = I_{N3}$ 。

上面我们简单地讨论了 CMOS 运算放大器的几种不同的结构,其中大多数电路的结构其输入级形式上基本类似,不同的仅是偏置方法(这在具体产品中再加详述)和输出级的形式。可以看到,大多数运放的设计,偏重于如何提高输出级增益和负载能力。尽管如此,CMOS 运放的输出级都是互补共源结构,因而输出电阻较高,类似于跨导放大器,这可以说是 CMOS 运放在输出电阻上不如双极型运放的一个缺点,然而由于电路简单,易于集成,因而优点也是不言而喻的。

二、CMOS 运放的分析模型及小信号特性

利用 CMOS 运放的简化分析模型,可以讨论它的交流小信号特性。这一点对于设计和应用十分重要。

对于图 2-11 的典型的 CMOS 运放,用第一章已讨论过的交流小信号器件模型,就可得到这一典型运放的分析模型,如图 2-17 所示。图中仅考虑直流情况,因而器件的电容参量均可忽略。

很明显, 图 2-17 的等效模型的输出电压可写为:

$$V_o = -g_{mN3} \cdot v_{o1} \cdot \frac{r_{dP4} r_{dN3}}{r_{dP4} + r_{dN3}} \quad (2-32)$$

式中 v_{o1} 是差分级的输出电压, 从图中可导出为:

$$v_{o1} = -\frac{1}{2} v_i (g_{mN2} + g_{mP3}) \cdot \frac{r_{dP3} \cdot r_{dN3}}{r_{dP3} + r_{dN3}} \quad (2-33)$$

将(2-33)式代入(2-32)式则有:

$$v_o = \frac{1}{2} g_{mN3} (g_{mN2} + g_{mP3}) v_i \cdot \frac{r_{dP4} r_{dN3}}{r_{dP4} + r_{dN3}} \cdot \frac{r_{dP3} r_{dN2}}{r_{dP3} + r_{dN2}} \quad (2-34)$$

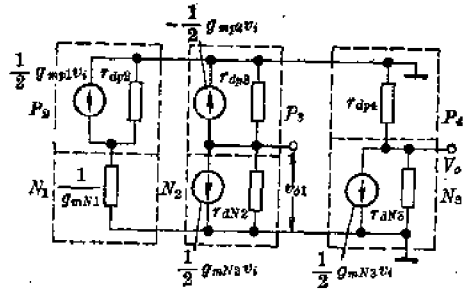


图 2-17 运放交流模型

电路低频开环电压增益为:

$$A_v = \frac{v_o}{v_i} = \frac{1}{2} g_{mN3} (g_{mN2} + g_{mP3}) \cdot r_{d01}^* r_{d02}^* \quad (2-35)$$

式中

$$r_{d01}^* = \frac{r_{dP3} r_{dN2}}{r_{dP3} + r_{dN2}}; r_{d02}^* = \frac{r_{dN3} r_{dP4}}{r_{dP4} + r_{dN3}}$$

器件的跨导 g_m 可写为:

$$g_m = \sqrt{2\beta' \left(\frac{W}{L} \right) I_D}$$

输出电阻 r_d 又可写为:

$$r_d = \frac{V_A}{I_D}$$

因此图 2-17 的增益在假定 $g_{mN2} = g_{mP3}$ 时, 可写为:

$$\begin{aligned} A_o &= \sqrt{2\beta'_N \left(\frac{W}{L} \right)_{N3} \cdot I_{N3}} \cdot \sqrt{2\beta'_P \left(\frac{W}{L} \right)_{P3} \cdot I_{P3}} \cdot \frac{V_{A01}^*}{I_{P3}} \cdot \frac{V_{A02}^*}{I_{N3}} \\ &= \sqrt{4\beta'_N \beta'_P \left(\frac{W}{L} \right)_{N3} \left(\frac{W}{L} \right)_{P3} \cdot \frac{1}{I_{P3} \cdot I_{N3}} \cdot V_{A01}^* V_{A02}^*} \quad (2-36) \end{aligned}$$

式中:

$$V_{A01}^* = \frac{V_{AP3} \cdot V_{AN3}}{V_{AP3} + V_{AN3}}, V_{A02}^* = \frac{V_{AP4} \cdot V_{AN3}}{V_{AP4} + V_{AN3}}$$

由于 MOS 晶体管的欧拉电压 V_A 与器件沟道长度 L 成正比, 因而(2-36)式可以表示为:

$$A_o \propto k \sqrt{(W \cdot L)_{N3} (W \cdot L)_{P3}} \sqrt{\frac{1}{I_{N3} I_{P3}}} \quad (2-37)$$

(2-37)式指出, 图 2-11 典型的 CMOS 运放的开环增益 A_o 与 P_3 和 N_3 晶体管的尺寸成正比, 而与这两个器件的工作电流成反比。器件几何尺寸越大, 工作电流越小, 开环电压增益越高, 但此时所占硅片的面积就大, 负载能力就要差。

从运放理论知道, 对于一个典型的两级放大电路构成的运放, 为了保证在全反馈应用时, 有 45° 以上的相位裕度, 必须补偿成单极点放大器, 也就是增益随频率下降到 1 时才出现第二个极点。为此要在第二级加一密勒电容 C_P , 使电路的主极点由 C_P 确定。在这种情况下, 图 2-11 电路的交流等效模型可以用图 2-18 来表示, 并可用它来分析电路稳态响应和瞬态响应。

由图 2-18 可以列出节点 ④ 和 ⑤ 的电流方程:

$$g_{m1} V_i + \frac{V_{o1}}{R_{o1}} + V_{o1} S C_{o1} + (V_{o1} - V_o) S C_P = 0 \quad (2-38)$$

$$g_{m2}V_{o1} + \frac{V_o}{R_{o2}} + V_oSC_{o2} + (V_o - V_{o1})SC_P = 0 \quad (2-39)$$

联立解方程(2-38)和(2-39), 可以解得图 2-18 的传递函数的表示式, 并用增益 $A(s)$ 表示

$$A(s) = \frac{a(1 - SC_P/g_{m2})}{1 + bS + cS^2} \quad (2-40)$$

式中系数 a, b, c 分别为:

$$a = g_{m1}g_{m2}R_{o1}R_{o2}$$

$$b = [(C_{o1} + C_{o2})R_{o2} + (C_{o1} + C_P)R_{o1} + g_{m2}R_{o1}R_{o2}C_P]$$

$$c = R_{o1}R_{o2}(C_{o1}C_{o2} + C_P C_{o2} + C_P C_{o1})$$

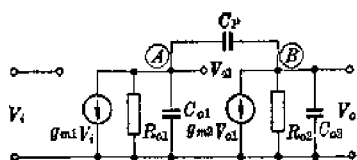


图 2-18 交流模型

其中: g_{m1} ——图 2-11 中差分输入级的跨导;

g_{m2} ——第二级的跨导;

C_{o1} ——第一级的输出电容和第二级输入电容之和;

C_{o2} ——第二级的输出电容。

由(2-40)式可知, 图 2-18 电路有二个极点和一个零点, 它们的位置由下式加以确定:

$$f_{P1} = \frac{-1}{2\pi(1 + g_{m2}R_{o2})R_{o1}C_P} \quad (2-41)$$

$$f_{P2} = \frac{-g_{m2}C_P}{2\pi C_{o1}C_{o2} + C_{o1}C_P + C_{o2}C_P} \quad (2-42)$$

$$f_z = \frac{g_{m2}}{2\pi C_P} \quad (2-43)$$

在通常情况下, CMOS 运放的频率特性主要取决于密勒电容 C_P , C_{o1} 和 C_{o2} 一般可以忽略, 因而 f_{P2} 将出现在很高的频率点上。在这较高频率上, C_P 可以视作短路, 信号直接馈送到输出端。在 C_{o1} 和 C_{o2} 认为很小时, 可用图 2-19 的等效电路来表示图 2-11 电路的交流分析模型。此时其幅频特性可用图 2-20 来表示。

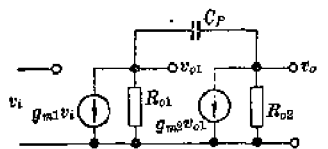


图 2-19 等效电路

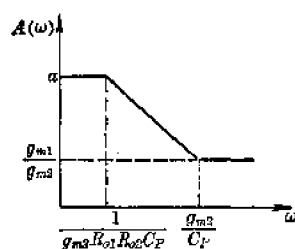


图 2-20 幅频特性

由(2-41)式~(2-43)式可以知道, 此时图 2-20 曲线的主极点频率 f_{P1} 和零点频率 f_z 分别为:

$$f_{P1} \approx \frac{-1}{2\pi g_{m2}R_{o1}R_{o2}C_P} \quad (2-44)$$

$$f_z = \frac{g_{m2}}{2\pi C_P} \quad (2-45)$$

当 $\omega = \omega_z$ 时, 极点影响被零点抵消, 电路输出将不随频率增加而降低, 达到频率补偿的目的。

从上面分析可知,利用密勒补偿电容,其分析模型与典型的双极型运放(5G24 或 $\mu A741$)完全类似。

这里必须说明的是,当频率达 f_z 时,由于 C_F 将第一级的输出直接馈送到输出,将使输

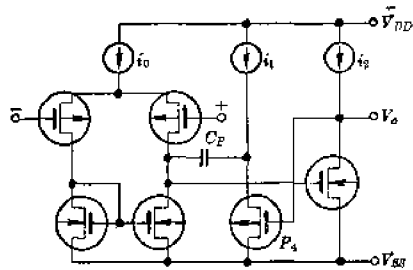


图 2-21 一源极输出电路

出信号相位逆转 180° , 在 $\frac{g_{m1}}{g_{m2}} \gg 1$ 时, 会引起自激。然而在一般情况下, 由于 g_m 与 $\sqrt{I_D}$ 成正比 (因为第一级电流小于第二级), 故 $g_{m1} < g_{m2}$, 在零点频率附近增益将低于 1。但如果在 g_{m1} 和 g_{m2} 接近时, 必须采用图 2-21 所示的电路, 保证放大器在负反馈时能稳定工作。图 2-21 中 P_4 和电流源 i_1 是用来使 C_F 和输出端隔离的源极跟随器。

很明显, 当频率升高到使 C_F 近于短路时, 第一级输出从 C_F 馈到 P_4 的源极, 这并不影响输出, 防止了输出信号相位逆转引入的自激。

三、CMOS 运放的瞬态响应

对于一种典型的 CMOS 运算放大器, 对其大信号输入时的瞬态响应分析, 与双极型运放几乎完全类似。为了分析方便, 我们将图 2-11 的电路用图 2-22 来表示。当输入信号是一幅度很大 (在共模电压范围内)、上升沿很陡的阶跃脉冲时, 由于输出端来不及响应, 因而差分输入级在输入信号前沿来到时, 进入饱和状态, 输出电流即为电流源的偏置电流 i_{SS} , 由于补偿电容 C_F 来不及充电, 因而输出电压在初始时刻为零, 之后, 随时间增长, C_F 被 i_{SS} 充电, 输出电压线性增长, 使差分输入级二输入端的电位逐渐接近, 直到输入级进入线性区, 也就是二输入端之电位差满足 $\Delta V_i = \frac{\Delta V_o}{A_0}$ 时, 瞬态过程结束。图 2-23 示出了这一过程的波形原理图。

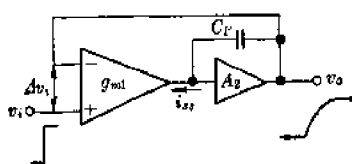


图 2-22 瞬态响应原理图

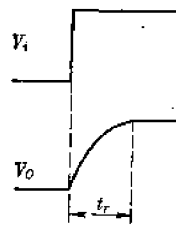


图 2-23 波形图

可以用转换速率 S_R 的定义求出电压 V_o 的上升速率:

$$S_R = \frac{dV_o}{dt} \quad (2-46)$$

利用 $Cdv = idt$ 这一熟知的关系, 在 $i = i_{SS}$, $C = C_F$ 的条件下, 输出电压达到 V_i 的峰值时, S_R 可以由下式给出:

$$S_R = \frac{dV_o}{dt} = \frac{i_{SS}}{C_F} \quad (2-47)$$

一般来说, CMOS 运算放大器的输出电压上升速率 S_R 要比双极型运放高, 在相同的单位增益带宽 ω_T 下, 由于 MOS 源极耦合对的跨导较低, 因而 S_R 要高。

§ 2-3 CMOS 运放的典型产品分析

七十年代中期以后, CMOS 运放被大量用于大规模模拟集成电路产品中作为一种增益功能块, 并已充分显示出其设计、性能等方面的优越性。除此之外, 也诞生了一些通用的产品, 虽然品种不能与双极型运放相比, 但也有其特点, 在阻抗、功耗、集成度等方面还远胜于双极型产品。这一节中, 我们介绍几种有代表性的产品。

一、ICL 7614 低功耗运算放大器

ICL 7614 系列低功耗运算放大器, 是美国 Intersil 公司的代表产品。这个产品主要用来作为测量放大器、电表放大器、助听放大器、医用放大器、电话传声器、高阻抗缓冲器等, 它能在 $\pm 0.5 \sim \pm 8 \text{ V}$ 这样宽的范围工作。最低功耗仅 $10 \mu\text{W}$, 能用单块 $N_{\text{C}}\text{-Cad}$ 电池工作。

ICL 7614 运算放大器的完整电路示于图 2-24。这是一种用 N 沟源极耦合对作输入级的二级放大电路。由图可知, N_1 、 N_2 、 P_1 、 P_2 以及 N_3 组成差分输入级, 其中 N_3 用作偏置电流源, P_1 和 P_2 作为差分放大级 N_1 和 N_2 的有源负载, 这种输入级的结构能完成双端输入到单端输出的转换。电阻 R_1 和 R_2 作 P_1 、 P_2 的源极负反馈, 改变 R_1 或 R_2 的阻值, 可以改变流过 P_1 和 P_2 的电流, 因而可用来作为失调电压补偿调节, 引出端 ① 和 ⑤ 可外接电位器, 中心端接 V_{DD} (⑦ 端) 时, 可实现输出调零。 $N_4 \sim N_8$ 和 $P_3 \sim P_5$ 组成放大器的偏置基准电路, 通过图中 A、B、C、D、E、F、G、H 不同的接法 (根据不同需要用反刻版实现), 可得到不同的偏置电流。 $N_9 \sim N_{12}$ 和 $P_6 \sim P_9$ 组成第二增益级, 即是电路的输出级, 这一级上用电容 C_F 来完成相位校正, 构成内补偿型运算放大器。

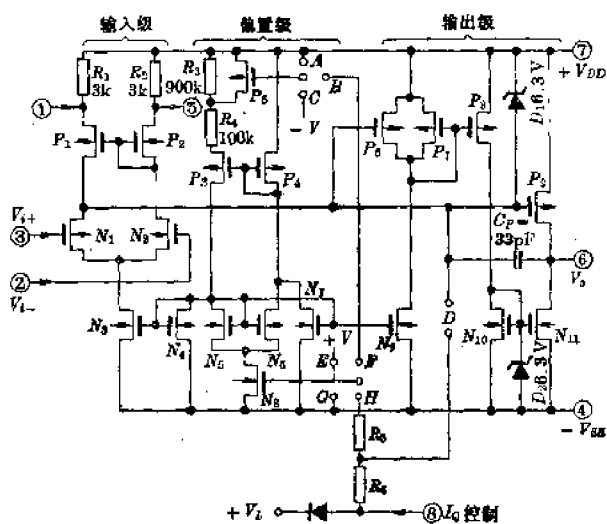


图 2-24 ICL 7614 运放

1. ICL 7614 电路工作原理

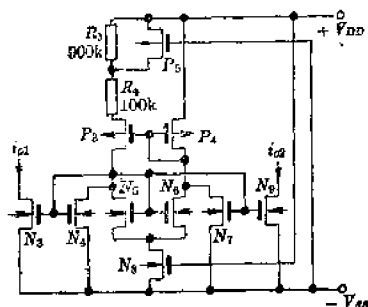


图 2-25 偏置部分电路

N_6 、 N_7 、 N_9 组成二组电流镜, 且有:

利用前面已经讨论过的内容, 可以分析 ICL 7614 运放的工作原理与基本特性。下面分三个部分加以分析。

(1) 偏置部分 图 2-25 示出 ICL 7614 运放中的偏置电路在特定接法下的原理图。由图可见, 由于 P_5 的栅极接在 V_{SS} 端, N_8 的栅极接在 V_{DD} 端, 因此 P_5 和 N_8 处于非饱和状态, 如同一个阻值较小的电阻, 在 V_{DD} 和 V_{SS} 较高时, 可以认为 P_5 和 N_8 近似于短接。此时 N_3 、 N_4 、 N_5 、 N_6 、 N_7 、 N_9 组成二组电流镜, 且有:

$$\left. \begin{aligned} I_{o1} &= I_{N3} = I_{N4} \frac{S_{N3}}{S_{N4}} \\ I_{N6} &= I_{N5} \frac{S_{N6}}{S_{N5}} \\ I_{N7} &= I_{N5} \frac{S_{N7}}{S_{N5}} \\ I_{N9} &= I_{N5} \frac{S_{N9}}{S_{N5}} \end{aligned} \right\} \quad (2-48)$$

又因为:

$$\left. \begin{aligned} I_{N4} + I_{N5} &= I_{P3} \\ I_{N6} + I_{N7} &= I_{P4} \end{aligned} \right\} \quad (2-49)$$

当忽略 R_4 上的压降影响时, $I_{P3} = I_{P4} \frac{S_{P3}}{S_{P4}}$. 这样只要预先确定 N_3 和 N_9 的电流 i_{o1} 和 i_{o2} 可以通过 S 的选择来完成设计.

(2) 输出级 ICL7614 的输出级可用图 2-26 来示意, 由于整个输出级的工作电流由 N_9 的电流确定, 因此一旦偏置方式确定, I_{N9} 的电流亦可确定, 显然只要图 2-26 中各 MOS 晶体管的 $\frac{W}{L}$ 已知, 就可定出各管的静态时的工作电流, 这些器件的电流可分别表示为:

$$\left. \begin{aligned} I_{N9} &= I_{P6} + I_{P7} \\ I_{P8} &= I_{N10} = I_{P7} \frac{S_{P8}}{S_{P7}} \\ I_{N11} &= I_{P9} = I_{N10} \frac{S_{N11}}{S_{N10}} \end{aligned} \right\} \quad (2-50)$$

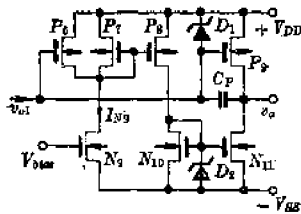


图 2-26 输出级

由于输出级的电流要考虑负载能力, 因而 S_{N11} 和 S_{P9} 的值要远大于其他器件的 S 值.

图 2-26 的电路与前述图 2-16 的电路基本类似, 当输入级的输出信号 V_{o1} 加到 P_6 和 P_9 两管的栅极时, 电路具有甲、乙类推挽工作模式. 当 V_{o1} 处于正向摆动时, P_6 和 P_9 两管的电流减小, 而 P_6 的减小导致 P_7 的等量增加, 因为 N_9 的电流恒定与 V_{o1} 无关. 由于 P_7 和 P_8 构成电流镜, 因此 P_7 电流的增大, 使 P_8 按 S_{P8}/S_{P7} 的比例增大, 也就是使 N_{10} 增加了同样大小的电流, 于是 N_{11} 的电流也增大. 结果在 V_{o1} 正向摆动时, P_9 电流减小, N_{11} 电流增大, 起到了推挽的作用. 反之, 若 V_{o1} 负向摆动时, P_9 电流增大, N_{11} 减小. 两个输出管的电流增量可表示为:

$$\Delta I_{P9} = g_{mP9} \cdot \Delta v_{o1} \quad (2-51)$$

$$\Delta I_{N11} = g_{mP6} \cdot \Delta v_{o1} \cdot \frac{S_{P8}}{S_{P7}} \cdot \frac{S_{N11}}{S_{N10}} \quad (2-52)$$

(2-51) 式表示了电路向负载的驱动能力, (2-52) 式则说明电路能吸收负载电流的能力.

由于输出级是共源互补结构, 因而输出电阻较大, 属跨导放大器式的电路, 其电压增益与负载电阻值相关, 负载越大, 增益越高.

(3) 输入级 输入级的工作原理与前述源极耦合电路完全相同, 这是一种用 N 沟作差

分输入的电流源负载放大级, 当偏置电流源 N_3 的电流一旦确定后, 输入级的跨导就被确定, 并且只要欧拉电压 V_A 预知, 即可估算输入级的电压增益。这些已在前面已作过讨论, 这里不再赘述。

2. ICL 7614 的主要电气特性

ICL 7614 的主要电气特性列于表 2-1。在 $V_{DD}=+5V$, $V_{SS}=-5V$, 环境温度 $T_A=25^\circ C$ 时, 最大失调电压仅 $20mV$; 在 $10\mu A$ 电源电流下, $R_L=1M\Omega$ 时的开环电压增益大于 $80dB$; 在电源电流为 $1mA$ 时, 单位增益带宽为 $1.4MHz$, 转换速率为 $1.6V/\mu s$ 。可见这些性能足以与普通的双极型运放媲美。

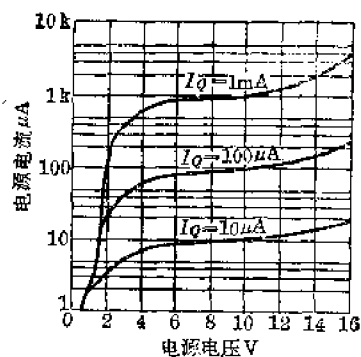
表 2-1 ICL 7614 电气规范表

参 数 名 称	符 号	测 试 条 件	规 范			单 位
			MIN	TYP	MAX	
输入失调电压	V_{OS}	$R_3 \leq 100k\Omega$ $T_A=25^\circ C$			20	mV
失调电压温漂	$\Delta V_{OS}/\Delta T$	$R_3 \leq 100k\Omega$		10		$\mu V/^\circ C$
输入偏置电流	I_{B1}	$T_A=25^\circ C$		10^{-3}	0.8	nA
输入失调电流	I_{OS}	$T_A=25^\circ C$		0.5	300	pA
共模电压范围	V_{CMR}	$I_Q=100\mu A$	± 4.2			V
输出电压幅度	V_{OM}	$I_Q=100\mu A$, $R_L=100k\Omega$	± 4.9			V
开环电压增益	G_{OL}	$I_Q=100\mu A$, $R_L=100k\Omega$	86	103		dB
单位增益带宽	G_{BW}	$I_Q=1mA$		1.4		MHz
输出转换速率	S_R	$G_{VL}=1$, $C_L=100pF$		1.6		V/ μs
共模抑制比	$CMRR$	$R_3 \leq 100k\Omega$, $I_Q=100\mu A$	76	91		dB
电源抑制比	$PSRR$	$R_L \rightarrow \infty$, $I_Q=100\mu A$	80	86		dB
输入电阻	R_i			10^{12}		Ω
静态电流	I_{CO}	$I_Q=0.1mA$		0.1	0.25	mA
等效输入噪声电压	$\bar{e}_n$	$R_3=100\Omega$, $f=1kHz$		100		$nV/\sqrt{Hz}$
等效输入噪声电流	$\bar{I}_n$	$R_3=100\Omega$, $f=1kHz$		0.01		$pA/\sqrt{Hz}$
输出电压上升时间	t_r	$V_{in}=50mV$, $G_F=100pF$, $I_Q=1mA$		0.9		μs
输出过载系数		$ V_o /t_r$		40		%

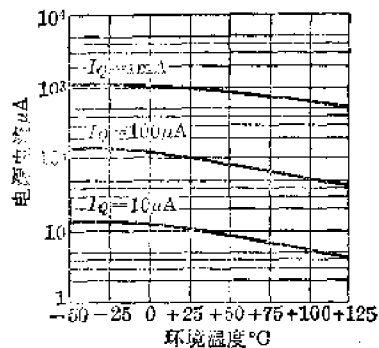
3. ICL 7614 典型特性曲线

图 2-27 示出 ICL 7614 CMOS 运算放大器的典型特性曲线, 其中: 图 a 是电源电压与静态电源电流的关系曲线; 图 b 是电源电流随环境温度变化的关系曲线; 图 c 是输入偏置电流随温度变化的曲线; 图 d 是开环电压增益与信号频率的关系曲线, 即幅频特性曲线; 图 e 是最大输出电压与电源电压的关系曲线; 图 f 是输出电压与负载电阻 R_L 的关系曲线; 图 g 和图 h 则是最大输出电流与电源电压的关系曲线。这些特性曲线可以用来指导应用 ICL 7614 运放时外电路的设置和环境条件的考虑。

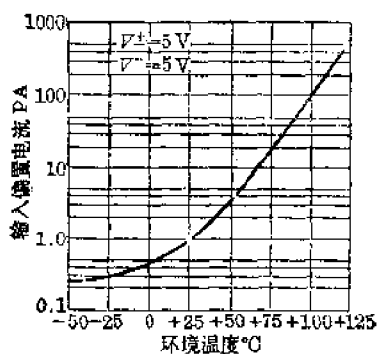
这里还须说明的是, I_Q 电流是通过图 2-24 中偏置电路的接法来选取 $I_Q=10\mu A$, $I_Q=$



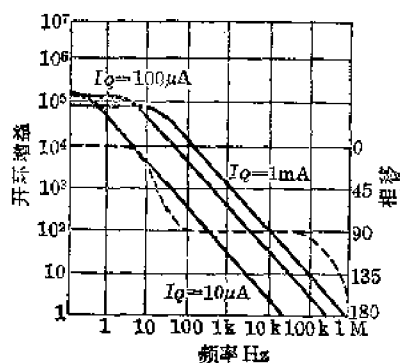
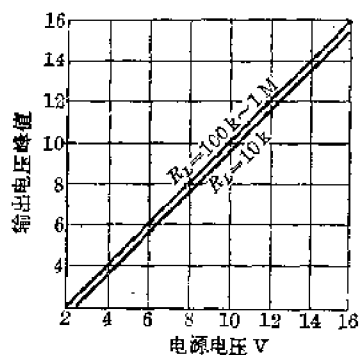
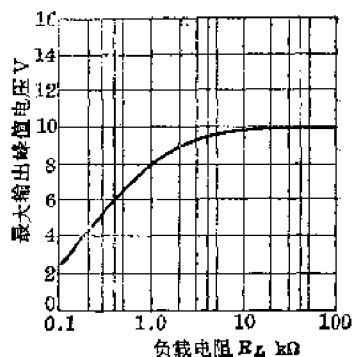
(a)



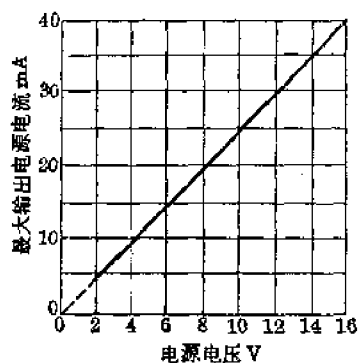
(b)



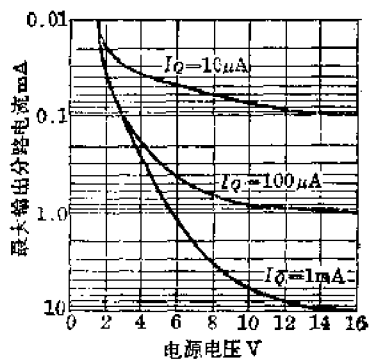
(c)

(d) $G_{OL} \sim f/\varphi$ (e) $V_{OD} - V_{OS} \sim V_{OM}$ 

(f)



(g)



(h)

图 2-27 ICL7614 特性曲线

100 μA , 或者 $I_Q = 1 \text{ mA}$. 对于特定的型号, 例如 ICL7614, 出厂时已固定 $I_Q = 100 \mu\text{A}$. 如果要选取 $I_Q = 10 \mu\text{A}$ 或 $I_Q = 1 \text{ mA}$ 时, 可以用反刻版改变接法而获得.

二、5G14573 CMOS 四运算放大器

另一种 CMOS 典型运算放大器的产品是 5G14573, 这是一种在同一封装中具有四个相同单元的四运算放大器, 最早由 Motorola 公司研制生产, 型号为 MC14573 (国内上海元件五厂命名为 5G14573). 这个产品由于含有四个完全相同的运放, 因而在不少需要较多运放应用的场合, 给使用者带来较大的简便. 同时利用四个运放处在基本上等温的同一硅片上, 因而在温度跟踪和特性匹配上优于用单个分裂的运放所组成的电路.

讨论 5G14573 的原理与特性, 可以从内部任选一单元为例即可, 下面加以叙述.

1. 5G14573 的工作原理

图 2-28 示出 5G14573 四个运放单元中的一个运放单元的内部等效电路. 很显然, 这是一个二级放大的典型 CMOS 运放, 如已前述的图 2-11 的典型结构. 这个电路的工作电流由外部偏置 R_{bbs} 的阻值确定, 通过 PMOS 晶体管 P_0 、 P_1 和 P_2 的 $\frac{W}{L}$ 值的设计, 可求出输入和输出级的工作电流, 并有下列关系:

$$I_{P0} = \frac{(V_{DD} - V_{SS}) - V_{GS P0}}{R_{bbs}} \approx \frac{(V_{DD} - V_{SS}) - V_{TP}}{R_{bbs}} \quad (2-53)$$

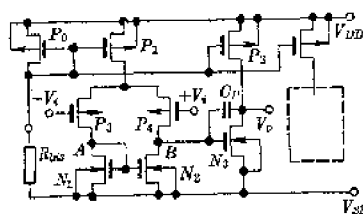


图 2-28 $\frac{1}{4}$ 5G14573 电路

式中 V_{TP} 为图 2-28 中 PMOS 晶体管的开启电压. 一旦 R_{bbs} 的阻值和 V_{DD} 、 V_{SS} 电压确定, 则流过基准晶体管 P_0 的电流亦确定. 这样, 若 P_0 、 P_1 和 P_2 的 $\frac{W}{L}$ 分别为 S_{P0} 、 S_{P1} 和 S_{P2} , 则流过 P_1 、 P_2 的电流为:

$$\left. \begin{aligned} I_{P1} &= I_{P0} \frac{S_{P1}}{S_{P0}} \\ I_{P2} &= I_{P0} \frac{S_{P2}}{S_{P0}} \end{aligned} \right\} \quad (2-54)$$

在假定差分输入级 P_3 、 P_4 以及 N_1 、 N_2 特性匹配时, 则流过 P_3 和 P_4 的电流, 在静态时相等, 其值为 $\frac{1}{2} I_{P1}$.

现在我们来讨论图 2-28 中 P_1 、 N_1 、 N_2 和 P_2 、 N_3 之间在满足静态平衡要求下, 它们的宽长比应满足什么关系. 对于一个运算放大器, 我们希望在零输入时, 输出亦为零 (条件是 $V_{DD} = |V_{SS}|$, 用双电源供电).

从图 2-28 可知, P_3 和 P_4 的 $\frac{W}{L}$ 值应相同, 因而在相同 V_{GS} 下流过相同的电流. 同样, 对于 N_1 和 N_2 , 由于 V_{GS} 相同, 要流过相同电流亦应有相同的 $\frac{W}{L}$ 值. 也就是应满足:

$$S_{P3} = S_{P4} \quad (2-55)$$

$$S_{N1} = S_{N2} \quad (2-56)$$

为了直流平衡, 图 2-28 中 A 点的电压应等于 B 点, 也就是 N_3 的栅源电压与 N_1 、 N_2 的栅

源电压相等。同时, 流过 N_2 的电流应与流过 P_2 的电流相同, 只有这样, 才能保持平衡输出。在这种情况下, 可以导出如下关系:

对于 N_1 或 N_2 的栅源电压 V_{GSN1} (或 V_{GSN2}), 其表达式为:

$$V_{GSN1} = \sqrt{\frac{2I_{DN1}}{\beta'_N S_{N1}}} + V_{TN} \quad (2-57)$$

由于 $V_{GSN1} = V_{GSN2}$, 于是流过 N_2 的电流为:

$$I_{N2} = \frac{\beta'_N}{2} (S_{N2}) (V_{GSN2} - V_{TN})^2 = \frac{\beta'_N}{2} S_{N2} \cdot \frac{2I_{N1}}{\beta'_N S_{N1}} = I_{N1} \frac{S_{N2}}{S_{N1}} \quad (2-58)$$

又由于 $I_{N1} = I_{N2} = I_{P2} = I_{P4} = \frac{1}{2} I_{P1}$, 于是可将 I_{N2} 写为:

$$I_{N2} = \frac{1}{2} I_{P1} \frac{S_{N2}}{S_{N1}} \quad (2-59)$$

在满足 $I_{N2} = I_{P2}$ 时, 利用(2-54)式的关系, 可得:

$$I_{P2} = I_{P1} \frac{S_{P2}}{S_{P1}} \quad (2-60)$$

比较(2-59)和(2-60)式, 可以得到下述关系:

$$\frac{S_{N2}}{S_{N1}} = \frac{2S_{P2}}{S_{P1}} \quad (2-61)$$

在 5G14573 中, P_2 的电流决定运放向负载输出的电流, 一般要求较大, 因此 P_2 的 $\frac{W}{L}$ 较

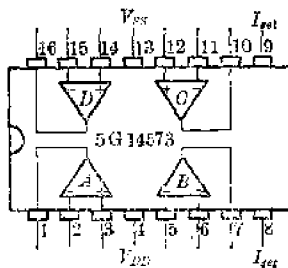


图 2-29 5G14573 外形图

之 P_1 要大, 这样 S_{N2} 要比 S_{N1} 更大, 在满足(2-61)式的宽长比之比的条件下, 才能达到平衡偏置的设计要求。当然如前所述, 即使器件设计满足上述要求, 但由于器件开启电压, 器件的氧化层单位面积电容等的不一致或不匹配, 均能破坏上述平衡, 这些工艺因素必须考虑。

图 2-28 所示的单个运放有一个 R_{bias} 偏置, 实际上在 5G14573 中, R_{bias} 一端控制内部二个放大单元, 一个片子有二个外接偏置端, 其引出端排列采用双列直插式封装, 如图 2-29 所示。

2. 5G14573 电气性能

5G14573 四运放的主要电学参数列于表 2-2。每个运放的开环增益一般在 80 dB 以上, 并与外部偏置电流有关。在低频时 (一般 50 Hz 以下), 开环增益随外部偏置电阻 R_{bias} 的增大而增大, 当 R_{bias} 从 100 kΩ 增大到 500 kΩ 时, 在 $V_{DD} = 5\text{ V}$, $V_{SS} = -5\text{ V}$ 时, G_{OL} 从 80 ~ 90 dB, 但随着 R_{bias} 的增大, 输出负载能力变差, 一般 R_L 应大于 100 kΩ 时才不明显影响增益, 因而它实质上是跨导放大器。

从表 2-2 可知, 5G14573 四运放, 除了放大器负载能力外, 在其余各项指标上都可以与双极型运放不相上下, 只是工作电压如同所有 CMOS 电路一样仅从 $\pm 3 \sim \pm 7.5\text{ V}$, 比双极型运放的 $\pm 15\text{ V}$ 要低一倍。

在 5G14573 四运放中, 每个运放都设置密勒补偿电容, 因而在一般应用时, 无须相位校正, 类似于典型的双极运放 F007 ($\mu A741$ 型运放)。另外也无失调调零端, 如需失调调零, 则可在输入端调节。

表 2-2 5G14573 典型参数

参数名称	符 号	单位	测 试 条 件	规范(典型值)
静态功耗	P_{Dc}	mW	$V_{DD} = -7.5\text{V}$, $V_{SS} = -7.5\text{V}$, $I_{set} = 100\mu\text{A}$	90
输入失调电压	V_{OS}	mV	同 上	10
输入偏置电流	I_{IB}	nA	同 上	1
输入失调电流	I_{IS}	nA	同 上	0.1
开环增益	G_{OL}	dB	同 上	80
共模抑制比	C_{MRR}	dB	同 上	76
共模电压范围	V_{CMR}	V_{D-C}	同 上	12
输出电压范围	V_{OH}	V_{P-P}	同 上	15
增益带宽	B_{AF}	MHz	同 上	2
上升速率	S_R	V/ μs	同 上	2.5
输入电阻	R_{iA}	Ω	同 上	10^{10}
工作电压范围	$V_{DD} - V_{SS}$	V		$\pm 3 \sim \pm 7.5$

三、ICL 7641 型 CMOS 四运放

在 CMOS 通用型运算放大器系列中, 将四个 ICL7614 运放组合在同一硅片上的还有 ICL7641 型 CMOS 四运放。这种产品就其中一个运放来说, 电路形式完全类似于图 2-24 所示的电路, 参数与表 2-1 相同, 只是封装和引出端排列如图 2-30 所示, 它较之 5G14573 的引出端要少, 仅 14 条引线, 这就是说其内部偏置是固定的。ICL7641 偏置固定在 1mA , ICL7642 则固定在 $10\mu\text{A}$ 上, 因而后者是低功耗四运放, 但负载能力较差, 其电特性由于和前述 ICL7614 相同, 这里就不再进行复述。

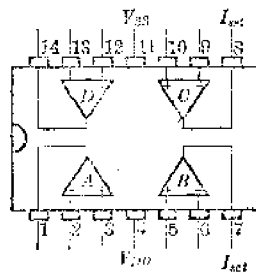


图 2-30 ICL 7641 外形图

§ 2-4 CMOS 第四代集成运放

上面我们介绍了两种典型的 CMOS 运放的实际产品, 从上述两个产品的电气参数和典型特性来看, CMOS 运放在性能上并不见得比双极型传统的产品有什么特别优越的方面, 除了集成度容易做高外, 在负载能力、失调电压、开环增益、共模抑制比等指标上还不如双极型运放。因此还不能说明为什么要重视 CMOS 模拟电路的研究和开发。

然而通过本节的讨论,我们将会看到,利用 CMOS 工艺易于将数字技术和模拟技术结合起来的得天独厚的优点,可以设计出双极技术长期难于制作出的,性能接近“理想”运放的第四代运算放大器。

我们知道,运算放大器之所以具有模拟运算的能力,是建立在“理想”放大器的负反馈理论上。所谓“理想”放大器,是人们臆想出来的一种增益、阻抗(输入)为无限大,既无输入失调,又无温度、时间漂移的完美放大器。这样的放大器,在一定的反馈形式下,输入、输出具有数学运算的关系。但在实际上,制作不出这种完美放大器,人们只能尽可能通过放大器性能的改进来逼近“理想”特性。

一、CMOS 斩波稳零运放(5G7650)

斩波稳零放大器,又称双通道斩波稳零放大器,这种放大器实际上并非新技术,而是比较经典的直流-交流-直流放大器,也就是利用调制技术将直流变成交流加以放大,然后再还原成直流的技术。然而这里讨论的 CMOS 斩波稳零运放(5G7650)却并非属于传统的放大器,它是一种十分新颖的稳零技术。为了更好地了解这种新颖放大器的设计思想和电路技巧,有必要先从经典的斩波放大器谈起。

1. 传统斩波稳零放大器存在的问题与缺点

斩波稳零放大器的设计技术早在五十年代就已成熟并付之实用,用来作为低电平(10 mV 以下)信号放大器。传统的斩波稳零式双通道

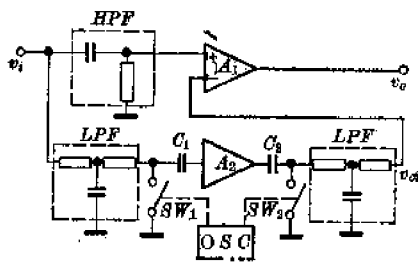


图 2-31 传统斩波放大器

放大器的典型结构如图 2-31 所示,它由一个放大输入信号中高频成份的主通道 A_1 和一个放大输入信号中低频和直流成份的副通道 A_2 组成,因而称为双通道放大器。

从图 2-31 可知,输入信号 v_i 中的高频成分经高通滤波器(HPF)送到主通道放大器 A_1 的同相输入端加以放大,而 v_i 中的低频成份经低通滤波器(LPF)送到副通道进行放大。这里副通道是一个调制型斩波放大器,在振荡器(OSC)的输出时钟 ϕ 和 $\bar{\phi}$ 的激励下,开关 SW_1 和 SW_2 交替通断,将直流转换成交流, A_2 是交流放大器,因而原则上不存在直流失调和漂移。然后 SW_2 将交流输出解调成直流分量经第二个低通滤波器滤除开关脉动成份后送到主通道放大器 A_1 的反相输入端加以放大, A_1 的输出是放大了的两个输入的差,但由于 A_2 反相的缘故,实际是两个输入之和。

现在假定 A_1 的增益为 A_{o1} , A_2 的增益为 A_{o2} , 并且假定 A_1 的失调电压为 V_{os1} , 由于 A_2 的失调 $V_{os2} \approx 0$, 因此整个图 2-31 的系统的增益和失调可以通过下述推导得到。

A_1 的输出 v_o 可表示为:

$$v_o = A_{o1}(v_i + V_{os1} - V_{o2}) \quad (2-62)$$

而式中 V_{o2} 是副通道的电压输出,可写为:

$$V_{o2} = -(v_i + V_{os2}) \cdot A_{o2} \quad (2-63)$$

将(2-63)式代入(2-62)式即有:

$$v_o = A_{o1}(v_i + V_{os1} + v_i A_{o2} + V_{os2} A_{o2}) = (A_{o1} + A_{o1} A_{o2}) v_i + A_{o1} V_{os1} + A_{o1} A_{o2} V_{os2} \quad (2-64)$$

这就是说,系统的增益通过对(2-64)式求 v_i 的导数可得:

$$A_v = \frac{\partial v_o}{\partial v_i} = A_{o1} + A_{o1}A_{o2} \simeq A_{o1}A_{o2} \quad (2-65)$$

(2-64)式中的右边第二、第三项为误差输出项,折算到系统的输入端,则系统等效输入失调电压 V_{os} 就为:

$$V_{os} = \frac{V_{os1}}{A_{o2}} + V_{os2} \simeq \frac{V_{os1}}{A_{o2}} \quad (2-66)$$

因为 $V_{os2} \simeq 0$, 故(2-66)式可用近似表示式。

很明显,图 2-31 双通道放大器的增益为二个通道增益的乘积,而失调电压仅是 V_{os1} 的 A_{o2} 分之一。只要 A_{o2} 足够大,例如 10^4 以上,则系统的 V_{os} 将十分近似为零。这就是双通可以用来放大低电平信号的原因。

但图 2-31 电路存在着致命的弱点。首先这种电路要用一个高通滤波电路和二一个低通滤波电路,这是迄今为止无法集成在单片上的。其次它还有以下三个严重的问题:

(1) 无双端输入功能 图 2-31 电路第一个问题是由于主通道二个输入端都被占用,因而在系统应用时,只具备单端输入功能而无双端输入功能。这就是说它无法应用于需要双端输入的诸如测量放大器或者差动放大电路中,也就是说不能工作在有共模输入下的场合,这就极大地影响使用范围的扩大。

(2) 输出呈现斩波开关尖峰电压的影响 传统斩波放大器在调制和解调过程中,由于用电子器件作开关时(例如用场效应晶体管作开关),因器件极间电容的存在,会在开关通路上产生开关激励信号经极间电容微分后的尖峰电压,这电压与信号一起被 A_2 放大后送到 A_1 再加放大,然后出现在输出上,这就形成输出中的误差成分,影响系统的性能。当然通过尖峰箝位等电路措施是可以减小这一影响,但总是一个问题,特别是输入为零时,输出不为零,等于是系统失调电压。

(3) 频率特性受斩波频率限制 图 2-31 的电路,在输入信号 v_i 的频率接近斩波开关驱动振荡器(OSC)的频率时,将会产生内部交叉调制,使放大器的幅频特性出现折点,相位裕度变小,引起频率特性恶化,因而这种电路只能在较低于开关频率下才能较好地工作,一般只能用来放大直流或缓慢变化的弱信号。

上述三个问题,使集成电路设计者无法接受传统电路的形式,因而一定要跳出经典方法的框框,用新的电路技巧来解决上述三个问题,同时又要易于集成化。

2. 第四代 CMOS 运放的设计思想

第四代 CMOS 运算放大器在提高开环电压增益,降低系统失调和漂移方面继承了传统双通道放大器的优点,在结构布局和通道放大器的设计方法上进行更新,特别是摆脱“斩波”概念上有所突破,从而从根本上克服了传统双通道放大器的三个缺点。

5G7650 斩波稳零运放是仿制美国 Intersil 公司的 ICL 7650 的第四代 CMOS

运放,其设计布局和基本设计思想可以用图 2-32 所示的方框图来阐明。在 5G7650 电路中,包含一个主放大器 A_1 ; 一个调零放大器 A_2 ; 一个内部振荡器(OSC); 一个输出箝位电路,一

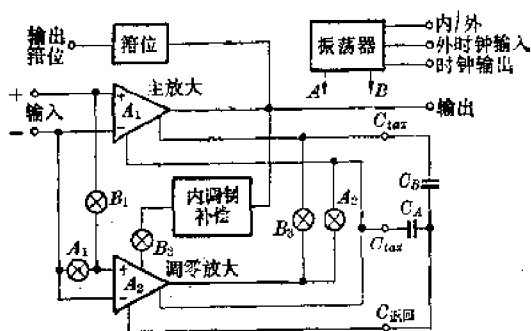


图 2-32 5G7650 运放

个内调制补偿电路以及二组电子模拟开关 ④ 和 ⑤。用二种封装形式,即图 2-33 所示的 14 支引线的双列直插封装和图 2-34 所示 8 支引线的金属壳封装。使用时需在外部接两个高阻电容 C_A 和 C_B 。从仅有 8 支引线的封装来看,这种 5G7650 与普通运放基本相同,但从表 2-3 5G7650 的电参数表可知,其主要参数,如失调电压、失调电压温度漂移、开环电压增益、共模抑制比等均是现代任何一类普通运放所无法比拟的。正因如此,将这种具有超高增益、超低失调、超低温漂和时漂的运放称为“第四代运放”。在直流和低频性能上这种运放已非常接近“理想”放大器。

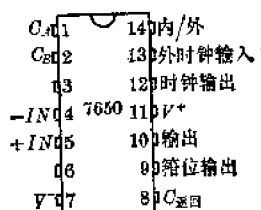


图 2-33 双列封装

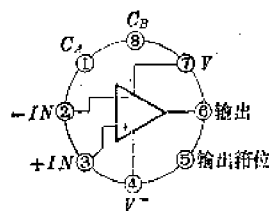


图 2-34 TD-5 封装

5G7650 第四代运放的工作原理可以分二个工作阶段来说明。在电路中设置的内部时钟信号(振荡器输出信号)控制下,通过 ④ 组开关和 ⑤ 组开关的交替接通和断开的转换,先将放大器输出中的误差进行检测和寄存,然后加以消除,达到使输出误差趋于零的目的。下面将详细加以说明:

表 2-3 5G7650 主要电参数规范

参 数 名 称	符 号	测 试 条 件	规 范 值			单 位
			MIN	TYP	MAX	
		$V_{DD}=+5V, V_{SS}=-5V$				
输入失调电压	V_{os}	全温范围		± 1	± 5	μV
失调电压温度系数	$\Delta V_{os}/\Delta T$			0.01		$\mu V/^{\circ}C$
输入偏置电流	I_{bias}	$-20\sim+85^{\circ}C$		0.1	5	nA
开环电压增益	G_{oL}	$R_L=10k\Omega$	130	140		dB
共模抑制比	$CMRR$	$V_{ic}: -5\sim 2.3V$	120	130		dB
输入电阻	R_i			10^{12}		Ω
输出电压幅度	V_{om}	$R_L=10k\Omega$		± 4.8		V
单位增益带宽	GBW			2		MHz
输出转换速率	S_R	$C_L=50pF, R_L=50\Omega$		2.5		V/ μs
工作电压范围	V^+V^-		6		15	V
失调电压时漂				0.1		$\mu V/月$

(1) 误差检测和寄存阶段 在内部时钟输出信号的上半周期,图 2-33 中 ④ 组开关接通,⑤ 组开关断开,此时图 2-33 电路就成为图 2-35(a)的形式,我们来分析此时的工作状况:假定主放大器 A_1 的开环增益为 A_{o1} ,从 A_1 调零端 N_1 输入到 A_1 输出的增益为 A'_{o1} ;调零放大器 A_2 的开环增益为 A_{o2} ,从 N_2 端输入到 A_2 输出的增益则为 A'_{o2} 。于是在 A_1 和 A_2 两个放大器的失调电压分别为 V_{os1} 和 V_{os2} ,共模抑制比分别为 CMR_1, CMR_2 的情况下,可用

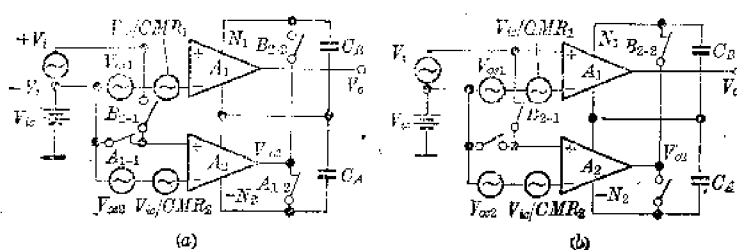


图 2-35 5G7650 等效电路

V_{os} 和 $\frac{V_{ic}}{CMR}$ 作为输入端的误差信号源, 这里 V_{ic} 为输入到系统的共模电压。当开关 ④ 组接通时, 从图 2-35(a) 可知, A_1 的输出可表示为 (注意 N_2 端反相输入性质):

$$V_{o2} = A_{o2} \left(V_{os2} + \frac{V_{ic}}{CMR_2} \right) - A'_{o2} V_{o2}$$

整理得:

$$V_{o2} = \frac{A_{o2} \left(V_{os2} + \frac{V_{ic}}{CMR_2} \right)}{1 + A'_{o2}} \quad (2-67)$$

在这个阶段中, V_{o2} 将贮存在电容 C_A 中, 即有:

$$V_{CA} = V_{o2} = \frac{A_{o2} \left(V_{os2} + \frac{V_{ic}}{CMR_2} \right)}{1 + A'_{o2}} \quad (2-68)$$

这一工作阶段实际上是将调零放大器 A_2 自身的输入端的误差信号加以放大后寄存在电容 C_A 中, 以便下阶段调零用。

(2) 校零和放大阶段 在时钟的下半周期, ④ 组开关断开, ③ 组开关接通。我们暂不考虑内部调制补偿电路的作用, 此时可用图 2-35(b) 来表示它的这一阶段的工作状况。显然对 A_2 放大器来说, 现在两输入端有三个信号源作用而 N_2 端则加上 C_A 在上阶段寄存着的电压 V_{CA} 。于是 A_2 的输出 V'_{o2} 可写为:

$$V'_{o2} = A_{o2} \left(V_i + V_{os2} + \frac{V_{ic}}{CMR_2} \right) - A'_{o2} V_{CA} \quad (2-69)$$

将式(2-68)代入到(2-69)式, 则 V'_{o2} 又可表示为:

$$V'_{o2} = A_{o2} \left(V_i + V_{os2} + \frac{V_{ic}}{CMR_2} \right) - A'_{o2} \frac{A_{o2} \left(V_{os2} + \frac{V_{ic}}{CMR_2} \right)}{1 + A'_{o2}}$$

在 $A'_{o2} \gg 1$ 时有:

$$V'_{o2} \approx A_{o2} V_i \quad (2-70)$$

这就是说, 在这一阶段, A_2 放大器输入端的误差信号 V_{os2} 和 $\frac{V_{ic}}{CMR_2}$ 被消除, 因而对 A_2 来说达到调零的目的。

现再看主放大器 A_1 的输出。从图 2-35(b) 又知, A_1 的输入有 V_i , V_{os1} 和 V_{ic}/CMR_1 以及从 N_1 输入的 V'_{o2} 。由于 N_1 到输出是同相位, 故有:

$$V_o = A_{o1} \left(V_i + V_{os1} + \frac{V_{ic}}{CMR_1} \right) + A'_{o1} V'_{o2} \quad (2-71)$$

将(2-70)式代入(2-71)式则有:

$$\begin{aligned}
 V_o &= A_{o1} \left(V_i + V_{os1} + \frac{V_{io}}{CMR_1} \right) + A'_{o1} A_{o2} V_i \\
 &= (A_{o1} + A'_{o1} A_{o2}) V_i + A_{o1} V_{os1} + \frac{A_{o1}}{CMR_1} V_{io}
 \end{aligned} \quad (2-72)$$

(2-72)式右边第二、第三项是主放大器 A_1 输出中的误差成分, 如果折算到输入端, 则成为整个系统的输入误差, 它由失调 V_{os} 和共模误差二个误差构成, 并可分别表示为:

$$V_{os} = \frac{A_{o1}}{A_{o1} + A'_{o1} A_{o2}} V_{os1} \approx \frac{V_{os1}}{A_{o2}} \quad (2-73)$$

$$CMR = A_{o2} CMR_1 \quad (2-74)$$

系统增益可对式(2-72)求 V_i 的导数得到:

$$A_o = A_{o1} + A'_{o1} A_{o2} \approx A_{o1} A_{o2} \quad (2-75)$$

从以上分析可以看出: 在这一阶段整个 5G7650 电路的增益、共模抑制比和失调电压均有极大改善。在 A_2 的开环增益 A_{o2} 足够大时, $V_{os} \rightarrow 0$, $A_o \rightarrow \infty$, 系统近于“理想”放大器。

由于在时钟作用下, 两个工作阶段不断交替进行, 因而输出电压 V_o 就稳定在由式(2-72)表示的状态, 从而实现自动稳零。以上就是 5G7650 的设计思想。

综上所述, 图 2-32 的电路可以作为差动放大器, 因而克服了传统放大器的第一个缺点。另外, 由于这一电路中开关电路和放大电路在设计上采用新的技巧, 又可克服另外二个缺点, 这一点可以从下面对内部电路的分析中得到说明。

3. 5G7650 内部放大器和辅助电路的设计分析

前面分析了第四代 CMOS 运放 5G7650 的设计思想。从上面分析中可以看出, 这种放大器实际是一个系统, 它既有模拟电路部分, 又有数字控制部分。更须指出的是, 与传统斩波稳零放大器不同, 第四代运放中的两个放大器, 即主放大器和辅助放大器都有一个所谓的“调零输入端” N_1 和 N_2 , 并且对主放大器来说, N_1 是同相输入端; 对调零放大器来说, N_2 则是反相输入端。这就是说主放大器 A_1 有两个同相输入端和一个反相输入端, 而调零放大器 A_2 则有两个反相输入端, 一个同相输入端。在设计和结构上, A_1 和 A_2 两个运放单元不同于通常只有两个输入端的一般运放。这是 5G7650 在设计上一个“新颖”的特点; 其次, 5G7650 名为斩波稳零运放, 实际它并不将输入信号“斩”成间隔变化的脉动信号, 因而 A_1 和 A_2 并不分别放大信号中的高频和低频成分, A_2 的作用除了“放大”外, 尚有自动校零的作用; 第三, 5G7650 无论在放大器的结构或是振荡器的形式上都有“与众不同”之处; 最后, 在 5G7650 电路中, 由于④组开关和⑤组开关有几个开关设置在放大器 A_1 和 A_2 的输入端, 一般来说也存在开关驱动信号引起的“尖峰”影响, 然而通过电路中的补偿设计, 可在很大程度上消除尖峰的影响。下面我们分别加以说明。

(1) A_1 、 A_2 放大器及其偏置电路 5G7650 电路中, 主放大器 A_1 和调零放大器 A_2 实质上是输入差分级一半共用的典型 CMOS 二级放大单元的电。两个放大器的调零输入端各自由其输入差分级中作为负载电流源的 MOS 晶体管的衬底(即背栅)来担任。图 2-36 示出了这两个放大器的电原理图, 图中左半部分虚框中的器件构成调零放大器 A_2 , 右半部分虚框构成主放大器 A_1 , 两个放大器共用一个偏置基准电路, 用来确立各级工作电流以及电路内部振荡器的工作电流。

图 2-36 中, P_0 、 P_1 、 P_2 、 P_4 和 N_1 、 N_2 、 N_4 构成调零放大器 A_2 , 其中 P_0 是差分输入级

P_1 、 P_2 的偏置电流源, N_1 、 N_3 则是差分输入级 P_1 、 P_2 的负载电流源, 这是一种典型的双端转单端的差分结构, P_4 和 N_4 构成 A_2 的第二级, P_4 的栅极与 P_0 的栅极被偏置在同一栅源电压上, 它们的电流由图中偏置部分的 P_{11} 管的电流和它们宽长比的值来确定, 从图 2-36 又可以知道, P_0 、 P_1 、 N_1 和 P_3 、 N_3 又构成主放大器 A_1 的差分输入级, P_0 、 P_1 、 N_1 是 A_1 和 A_2 的公共部分, $N_5 \sim N_9$ 和 $P_5 \sim P_7$ 组成具有推挽功能的 A_1 的输出级, 这种输出级的推挽功能如下: 若图 2-36 中 $\textcircled{M}$ 点的电位升高时, N_5 、 N_7 的电流将增大, 从而使 N_8 的电流减小, 这就导致 N_9 的电流按比例减小, 由于 N_9 的电流就是流过 P_7 的电流, 因而 P_7 电流也减小, 结果使 P_5 电流减小, 显然 N_5 电流增大时 P_5 电流减小, 反之, 当 $\textcircled{M}$ 点电位下降时, N_5 、 N_7 电流减小, 而 N_8 、 N_9 的电流将增大, 因为 P_5 的电流不受 $\textcircled{M}$ 点电位影响是恒定不变的, 因而 N_7 电流减小将使 P_5 的电流流向 N_8 , 从而使 N_8 电流增大, 这样就使 N_9 电流按比例增加, 使 P_7 等量增大, 结果使 P_5 的电流也增大, 就是说 N_5 电流减小, P_5 电流增大, 与上述情况正好相反, 起到推挽的作用。

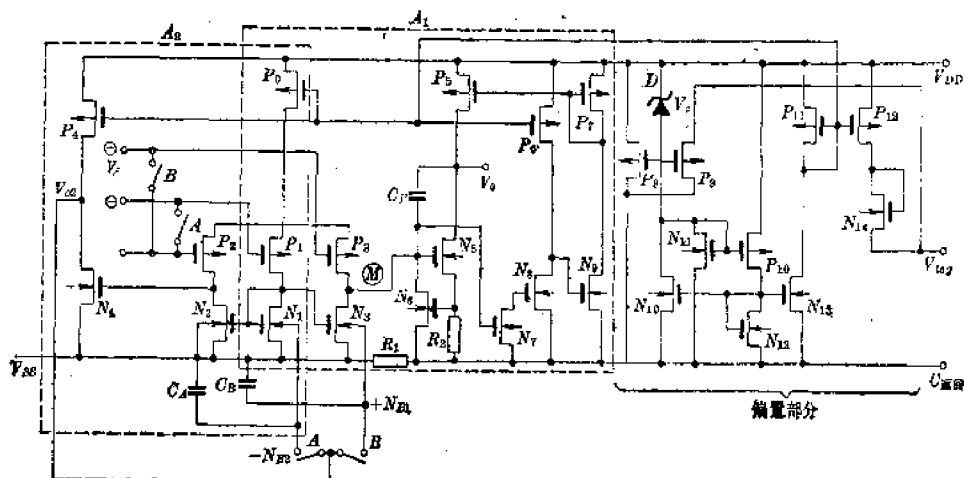


图 2-36 A_1 、 A_2 放大器及其偏置电路

图 2-36 中 $P_8 \sim P_{12}$ 和 $N_{10} \sim N_{14}$ 以及击穿二极管 D (击穿电压约 7V) 组成 5G7650 电路的偏置参考基准。在这个电路中, P_{11} 的栅源电压用来作为 A_1 、 A_2 中各级工作点的基准, 也就是用来提供 P_0 、 P_4 、 P_6 的栅源电压。若 P_{11} 的电流 I_{P11} 已知, 则从前面的讨论过的关系可得:

$$\left. \begin{aligned} I_{P0} &= I_{P11} \frac{S_{P0}}{S_{P11}} \\ I_{P4} &= I_{P11} \frac{S_{P4}}{S_{P11}} \\ I_{P6} &= I_{P11} \frac{S_{P6}}{S_{P11}} \end{aligned} \right\} \quad (2-76)$$

一旦 I_{P0} 、 I_{P4} 、 I_{P6} 的电流确定, 则 A_1 、 A_2 放大器的各级工作电流都可确定。很显然, 这里的关键是 I_{P11} 的电流大小如何从偏置部分加以确定。

由图 2-36 偏置部分可以看出, 若 V_z 电压、电路中各器件 $\frac{W}{L}$ (即 S) 值, 以及 P 沟和 N 沟的开启电压 V_{TP} 、 V_{TN} 都预知, 就可以求出流过 P_{11} 的电流 I_{P11} 。

$$g_{mk} = \beta(V_{GS} - V_T) \cdot \left(-\frac{\partial V_T}{\partial V_{BS}} \right)$$

利用 $g_m = \beta(V_{GS} - V_T)$, 可得:

$$g_{mk} = g_m \left(-\frac{\partial V_T}{\partial V_{BS}} \right) = g_m \left(\frac{\partial V_T}{\partial V_{SB}} \right) \quad (2-82)$$

将 (2-80) 式代入 (2-82) 式并利用 ψ 的表示式 (1-21) 得:

$$g_{mk} = g_m \cdot \psi^{-1} = -\frac{g_m}{2\sqrt{2\phi_F} C_{ox} \sqrt{\frac{1+V_{SB}/2\phi_F}{2\epsilon_{Si} q N_A}}} \quad (2-83)$$

上述推导得到了图 2-37 电路在 N_{B2} 端作为调零放大器的第三个输入端时, 其跨导的表示式。这就是说, 从 N_{B2} 输入到电路输出的增益, 可以与从 P_1 或 P_2 的栅极输入到输出一样来计算。

在图 2-37 电路中, 当 P_0 和 P_4 两个电流源的电流一旦确定, 且所有 MOS 晶体管的欧拉电压一旦预知后, 电路的电压增益可以分别写为:

(a) 从 P_1 、 P_2 栅极输入的电压增益 A_{o2} :

$$A_{o2} = g_{mP1} \cdot V_{A01}^* \cdot g_{mN4} \cdot V_{A02}^* \cdot \frac{1}{I_{DP3}} \cdot \frac{1}{I_{BP4}} = \sqrt{\frac{2\beta'_1 S_{P1}}{I_{P2}}} \cdot V_{A01}^* \cdot \sqrt{\frac{2\beta'_N S_{N4}}{I_{P4}}} \cdot V_{A02}^* \quad (2-84)$$

式中: S_{P1} —— P_1 (或 P_2) 管的宽长比;

S_{N4} —— N_4 的宽长比;

V_{A01}^* —— P_2 、 N_2 两管欧拉电压并联值;

$$V_{A01}^* = \frac{V_{AP2} \cdot V_{AN2}}{V_{AP2} + V_{AN2}},$$

V_{A02}^* —— P_4 、 N_4 两管欧拉电压的并联值;

$$V_{A02}^* = \frac{V_{AP4} \cdot V_{AN4}}{V_{AP4} + V_{AN4}}$$

β'_P —— P 沟的 μ 和 C_{ox} 的乘积;

β'_N —— N 沟道的 μ 和 C_{ox} 的乘积。

由于调零放大器对外部不承担输出任务, 因而这个放大器的 I_{P4} 电流设计得极小 (仅 $2\mu A$), 可以作成高增益电路。一般从 S_{P1} 、 S_{N4} 和 I_{P0} 、 I_{P4} 值的可以估算得: $A_{o2} \approx 100dB$ 。

(b) 从 N_{B2} 端到输出的电压增益 A'_{o2} 。

$$A'_{o2} = g_{m0} \cdot \frac{V_{A01}^*}{I_{P2}} \cdot g_{mN4} \cdot \frac{V_{A02}^*}{I_{P4}} = -\psi^{-1} g_{mP1} \cdot \frac{V_{A01}^*}{I_{P2}} \cdot g_{mN4} \cdot \frac{V_{A02}^*}{I_{P4}} = -\psi^{-1} \cdot A_{o1} = \frac{-A_{o1}}{\psi} \quad (2-85)$$

一般来说, 在 N_{B2} 端信号较小, 即 V_{BS} 较小时, $\psi^{-1} \approx 1$, 因此 $A'_{o2} \approx A_{o2}$ 。正常工作时, 电容 C_A (见图 2-37) 上的电位约 $50mV$ 左右, 可以认为 $\psi^{-1} \approx 1$ 。

调零放大器设计成高增益放大器, 可以使整个系统的失调漂移大大降低, 同时对系统增益的提高也有利。从图 2-37 又可知, 由于它不向系统外部输送信号, 其负载仅是一个外接电容 C_A ($0.1\mu F$), 因而在负反馈时不需要相位校正。

(ii) 主放大器的特性估算 图 2-38 是主放大器原理图。这是一种具有较大输出负载能力的推挽放大电路。与调零放大器一样, 主放大器也有三个输入端, 即图中 P_2 、 P_3 的栅

极, N_3 的背栅 N_{B1} 作输入端. 与调零放大器不同之处在于第二放大级 P_5 和 N_5 组成的电

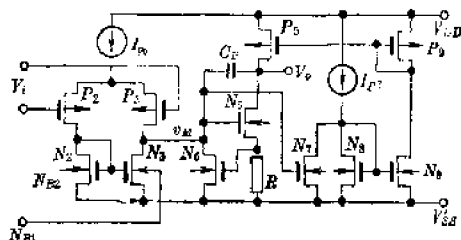


图 2-38 主放大器原理图

路中, P_5 的偏置并不恒定, 而是由 P_9 的栅源电压来提供, 也就是流过 P_5 的电流与流过 P_9 的电流有如下关系:

$$I_{P5} = I_{P9} \frac{S_{P5}}{S_{P9}}$$

由图 2-38 可知, 由于 N_7 和 N_5 处在同一信号驱动下, 因此到差分输入级的输出 v_M 向正向摆动 (正半周) 时, N_5 和 N_7 的栅压变正, 使 N_5 和 N_7 的电流增大, 而 N_7 的电流增大, 将使电流源 I_{P7} 的电流大部分流向 N_7 , 从而实际上使 N_8 电流减少, 结果等于降低了 N_8 的栅源电压, 导致 N_9 的电流也减少, 于是 P_9 的电流也等量减少, P_9 电流的减少, 会引起 P_5 电流的减少, 形成输出级推挽的作用. 反之当 v_M 向负向摆动时, 情况正好相反, 使 N_5 电流减小, P_5 电流增大. 由于本电路中 P_5 和 N_5 两管取很大的 $\frac{W}{L}$ (约 200:1), 因此跨导很大, 能驱动 $2\text{k}\Omega$ 的负载, 具有普通双极型运放相同的负载能力.

主放大器的第三输入端 N_{B1} 的极性, 与输出端 V_O 同相, 因为当 N_{B1} 端的电位相对于 V_{SS} 变负时, N_3 的 V_T 将升高, 等于使 N_3 的电流 I_{N3} 减小, 漏极电位升高, 结果使 N_5 的电流增大, 输出 V_O 电位也变负. 由于 N_5 和 P_5 的 $\frac{W}{L}$ 较大, 因而静态偏流 I_{P5} 也较大, 因此 A_1 的电压增益较 A_2 要低, 主放大器 A_1 的增益设计在 50 dB 左右. 其分析表示式与调零放大器类似, 不同的仅是输出级的增益表示式要用相反器的表示式.

图 2-38 中, N_6 用来作为过流保护, 就是当流过 N_5 的电流增大到使 R 上的电压足以开启 N_6 时, 将构成限流反馈环, 流过 N_5 的最大电流被限制在:

$$I_{N5\max} \approx \frac{V_{TN6}}{R} \approx 10\text{ mA} \quad (2-86)$$

由于流过 P_5 的电流受到电流源 I_{P7} 的限制, 因而可以不加类似的保护电路, 因为在极限情况下, I_{P7} 全部流入 N_8 , 此时 N_9 的电流为:

$$I_{N9} = I_{P7} \frac{S_{N9}}{S_{N8}} = I_{P9}$$

于是 P_5 的最大电流:

$$I_{P5\max} = I_{P7} \frac{S_{N9}}{S_{N8}} \cdot \frac{S_{P5}}{S_{P9}} \approx 0.1 \times \frac{12}{12} \cdot \frac{200}{12} \approx 20\text{ mA} \quad (2-87)$$

(2) 内部时钟发生器和转换开关电路 由图 2-33 知道, 在 5G7650 电路中, 除了主放大器和调零放大器外, 尚有用来控制误差检测和校零两种状态转换的开关驱动电路, 和内部时钟发生器以及其他辅助电路. 图 2-39 示出 5G7650 中除放大器、偏置基准电路以外的全部辅助电路. 这里对其中主要的几个部分加以简要说明其工作原理.

(1) 振荡器(OSO) 图 2-39 上部由与非门 1~4, 传输门 G_1 , MOS 晶体管 P_A , P_B , P_C 和 N_A , N_B , N_C 组成内部时钟发生器. 当使用内时钟工作时, 电路外时钟输入端 ($EXTCLK$) 和时钟模式控制端 ($INT/\overline{EXT}$) 可以悬空不用. 此时, 从图可知, 门 1 输出逻辑“0”, 传输门 G_1 接通. 现在假定 N_C 的漏极处于逻辑“0”状态, 于是门 2 和门 3 组成的反馈环, 使门 4 的输入为逻辑“1”, 输出为逻辑“0”, 这时, P_A 管导通, N_A 管截止. 于是受偏

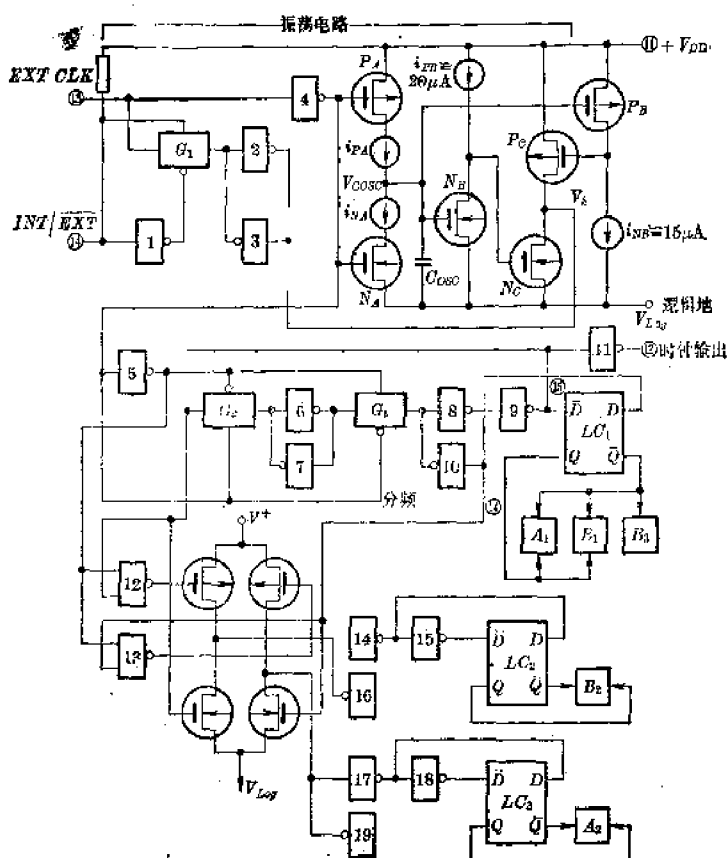


图 2-39 ICL 7650 逻辑框图

置基准控制的电流源 i_{PA} 被 P_A 接通, 并以恒定电流(约 50 nA)向电容 C_{OSC} 充电, 使 N_B 和 P_B 两管的栅极电位线性上升, N_B 的电流增加, P_B 的电流减少。随着充电时间的增长, C_{OSC} 上电压增高到使 N_B 的电流 i_{NB} 略大于电流源电流 i_{PB} 时, N_B 漏极电位将接近逻辑“0”电平, 从而使 N_C 截止; 同时, 当 P_B 的电流减小到不足以维持电流源 i_{NB} 的电流时, P_C 管栅压将为逻辑“0”而导通, 使 N_C 漏极电位为逻辑“1”, 促使门 2、门 3 状态翻转, 门 4 由“0”变“1”, 使 N_A 导通, P_A 截止, C_{OSC} 通过电流源 i_{NA} 放电, C_{OSC} 的电压线性下降。 N_B 的电流开始减少, P_B 的电流增加, 直到 C_{OSC} 上电位下降到使 P_B 的电流大于 i_{NB} , 以及 N_B 的电流减少到小于 i_{PB} 时, 状态再次转换为止。通过 N_B 和 P_B 的 $\frac{W}{L}$ 选取以及 i_{PB} 和 i_{NB} 电流值的设计, 可以形成一个滞迟回差, 如图 2-40 所示。图中当 C_{OSC} 上充电到 V_{COSC1} 时, V_S 由“0”变“1”, 反之当 V_{COSC2} 时, V_S 由“1”变“0”。回差电压可写为:

$$\Delta V_{COSC} = V_{COSC1} - V_{COSC2}$$

由图 2-39 还可以看出, 当以 V_{Loq} 作参考电位时, V_S 由“0”翻转为“1”的所需电平 $V_{COSC1} \approx V_{DD} - |V_{TP}|$, 即使 P_B 截止时的电平, 而使 V_S 由“1”变为“0”的所需电平为 $V_{COSC2} \approx V_{TN}$ 。即使 N_B 截止所需的临界电平, 于是滞迟电平的差值为:

$$\Delta V_{COSC} \approx V_{DD} - |V_{TP}| - V_{TN} \quad (2-88)$$

(2-88) 式中, ΔV_{COSC} 与 V_{DD} 的值有关, 这是因为以 V_{Loq} 电平作参考。实际上, 由图 2-36 中

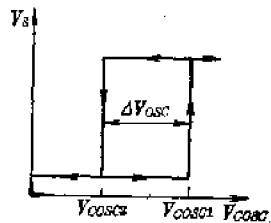


图 2-40 滞迟特性

偏置电路可知, V_{Log} 是其中 MOS 管 P_9 的源极电位, 可写为:

$$V_{Log} = V_{DD} - V_Z + V_{TP} \quad (2-89)$$

式中 V_Z 是稳压管 D 的击穿电压(约为 7V), 因此将(2-89)式考虑进去时, 可以看到, 由于 V_{DD} 变化时 V_{Log} 亦随之提高, 因而 ΔV_{OSC} 实际上与 V_{DD} 的值无关, 这就使电路在较宽的 $V_{DD} - V_{SS}$ 电源范围内工作时保持振荡频率在 400 Hz 左右。

这个振荡电路的振荡频率由 ΔV_{OSC} 、 I_{PA} 、 I_{NA} 和电容 C_{OSC} 值确定。从前面分析可知振荡器充电时间为:

$$t_1 = \frac{C_{OSC} \cdot \Delta V_{OSC}}{I_{PA}} = \frac{30 \times 10^{-12} \text{F} \times 3 \text{V}}{60 \times 10^{-9} \text{A}} \approx 1 \text{ms}$$

放电时间为:

$$t_2 = \frac{C_{OSC} \cdot \Delta V_{OSC}}{I_{NA}} = \frac{30 \times 10^{-12} \text{F} \times 3 \text{V}}{60 \times 10^{-9} \text{A}} \approx 1.5 \text{ms}$$

振荡周期:

$$T = t_1 + t_2 = 2.5 \text{ms}$$

振荡频率:

$$f_{OSC} = \frac{1}{T} = 400 \text{Hz}$$

由于 t_1 与 t_2 不等, 因此电路内部设置了一个由图 2-39 中与非门 5~10 以及传输门 G_2 、 G_3 构成的二分频电路, 使振荡器输出的频率除以 2 得到 50% 占空比的 200 Hz 对称方波。这个二分频电路是典型的 CMOS D 触发器结构, 其原理在 CMOS 数字电路中已有详述, 这里不再赘述。

(ii) 电平移位和开关电路 图 2-39 中, 门 12~门 19 是同步联锁电路, 它与分频器输出同频且同相, 分别控制三个电平转换电路从而去控制模拟开关 ④ 和 ⑤, 从而完成前面讨论过的误差检测和放大校零二个阶段的转换。图 2-41 示出 5G7650 中的电平移位和开关电路, 即图 2-39 中的 $LC_1 \sim LC_3$ 中的一个电路, 图 2-41 中 P_j 、 P_k 、 N_j 、 N_k 组成电平移位电路, 也就是将来自分频电路(或联锁电路)的电平为 V_{Log} 到 V_{DD} 之间的逻辑信号电平转换为驱动开关 ④(或 ⑤)所需的 V_{SS} 到 V_{DD} 的电平。具体讲, 在 5G7650 中, V_{Log} 到 V_{DD} 约为 5V, 因此电路中振荡、分频、联锁电路的工作电源为 5V, 但由于主放大器和调零放大器的电压为 V_{SS} 到 V_{DD} , 最大时为 $\pm 7.5 \text{V}$ 即 15V, 因而要求电平转换, 这就由图 2-41 的电路来完成。

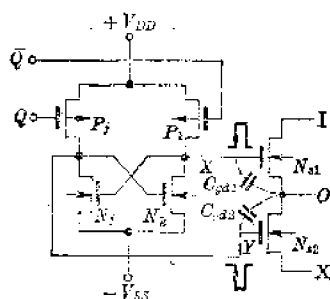


图 2-41

来自分频器(或联锁电路)的信号, 即 V_{Log} 到 V_{DD} 的信号分别互为倒相地加在 P_j 和 P_k 的栅极, 使其中一管导通, 另一管截止。当 $Q = V_{DD}$, $\bar{Q} = V_{Log}$ 时, P_j 截止, P_k 导通。虽然 P_k 导通并不充分, 但 P_j 截止将使 N_k 也截止, 而 P_k 导通, 将使 N_j 也导通, 通过交叉耦合正反馈作用以及 P 沟和 N 沟 MOS 管宽长比 $\left(\frac{W}{L}\right)$ 的选择, 可保证 X 和 Y 端处在接近 V_{DD} 和 V_{SS} 的电平。在 P_k 导通, N_k 截止状态时, X 点的电位可写为:

$$V_X = (V_{DD} - |V_{SS}|) \frac{R_{oNN}}{R_{oNP} + R_{oNN}} \quad (2-90)$$

$$\text{式中: } R_{oNP} = \frac{1}{\beta_P \left(\frac{W}{L}\right)_P (V_{GS} - V_{TP})}; \quad R_{oNN} = \frac{1}{\beta_N \left(\frac{W}{L}\right)_N (V_{GS} - V_{TN})}.$$

可以取 P 沟管的 $\frac{W}{L}$ 较之 N 沟管的 $\frac{W}{L}$ 要大 20 倍, 因此虽然 P_k 的栅电压不是很低, 但其导通电阻较 N_k 的截止电阻要小得多, 因此 X 点的电位接近 V_{DD} , 同理, Y 端的电位接近 V_{SS} , 实现电平转换。这里须要特别指出的是, 用作开关 ④ (或 ③) 的晶体管 N_{S1} , 由于存在栅漏电容 C_{gd1} , 会使驱动信号经 C_{gs} 泄漏到输出端 O 点上, 为了消除这一微分效应, 可以用一 $\frac{W}{L}$ 相同的 MOS 管 N_{S2} 作镜像管, 因为 N_{S2} 的栅漏电容 C_{gd2} 等于 C_{gd1} , 因而当 X 为“1”电平, Y 为“0”电平时, O 点上的尖峰正好相消, 使微分效应降低到最小。

二、自稳零换向运算放大器 (CAZOA) ICL7601/05

用 CMOS 技术设计的另一种第四代集成运算放大器是美国 INTERSIL 公司在七十年代末推向市场的所谓自稳零换向运算放大器 ICL7601/05, 图 2-42 示出这种运放的内部结构图。它有两个运算放大器 A_1 和 A_2 ; 一组输入选择开关; 一组输出选择开关; 一个内部时钟振荡电路; 一个 $\div 2$ 或 $\div 32$ 分频电路; 一个电平转换电路和一个内部稳压器等七个部分。

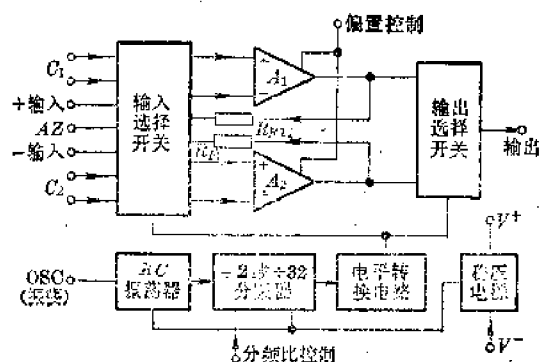


图 2-42 ICL7601/05 结构图

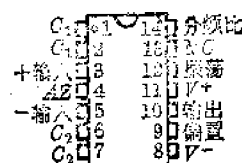


图 2-43 ICL7601/05 外形图

表 2-4 ICL7601 主要电参数规范

参数名称	符号	测试条件	规范值			单位
			MIN	TYP	MAX	
输入失调电压	V_{os}	$V_{DD}=5V, V_{SS}=-5V$ $C_1=C_2=1\mu F, R_3 \leq 1k\Omega$		2	5	μV
失调电压温度系数	$\Delta V_{os}/\Delta T$	全温度范围内		0.01	0.1	$\mu V/^\circ C$
输入偏置电流	I_{IB}	任何偏置时		0.35	1.5	nA
开环电压增益	A_{OL}	$R_L=100k\Omega$	90	105		dB
共模抑能比	$CMRR$	$C_{osc}=0, C_3=C_4=1\mu F$		94		dB
输出电压幅值	V_{om}	$R_L=100k\Omega$		± 4.5		V
单位增益带宽	f_{BW}	$C_3=C_4=1\mu F$		1.2		MHz
静态电源功耗	I_{DD}	低偏置		0.6		nA
失调电压时漂				0.2		$\mu V/\mu s$
输出转换速率	S_R			1.8		V/ μs
内部换向频率	f_{com}	$C_{osc}=0, DR="0"$		1280		Hz

组成。这种运放，用 14 支引线双列直插封装，引出线排列示于图 2-43，电路能在 $\pm 0.5 \sim \pm 9\text{V}$ 范围内工作。表 2-4 列出它的主要电参数。很明显，这种放大器的主要指标，例如失调、漂移与 5G7650 相似，但在增益、共模抑制比等参数性能上与上面讨论的新波稳零运放 5G7650 相比要差些。它的工作原理与 5G7650 电路不同，下面作一些叙述和介绍。

1. CAZ 运放的工作原理

ICL7601/05 CAZ 运放的主要原理可以用图 2-44 所示的等效电路来加以说明。从图可以看出，在 ICL7601/05 中有两个互相交替工作的运算放大器 A_1 和 A_2 ，在时钟信号控制下，轮流放大输入信号 V_i 。在时钟的上半周期，放大器 A_1 处于放大信号的状态，而放大器 A_2 处于失调电压（或其他误差电压）取样寄存状态。在这一阶段 A_2 的同相输入端接在零电位 AZ 上，反相输入端与输出相接，成电压跟随器状态，同时，它的失调电压寄存在电容器 C_2 上，如图 2-44(a) 所示。在时钟的下半周期，内部开关换向，使 A_1 处于失调取样寄存状态， A_2 则对信号进行放大，由于此时信号 V_i 与电容 C_2 串接，因而 A_2 的失调 V_{os2} 反相接入信号回路，从而在输出端不出现 V_{os2} 的项，消除了失调电压的影响，达到自动稳零目的。由于时钟频率约 200 Hz，因而在静态时，基本上不存在失调和漂移。下半周期的工作状态如图 2-44(b) 所示。

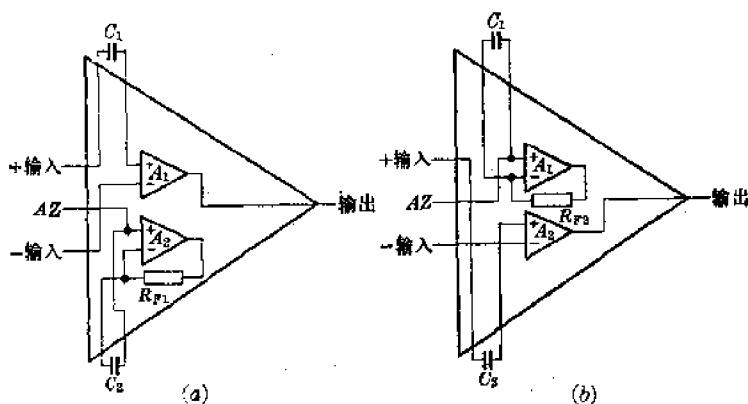


图 2-44 ICL7601/05 原理图

ICL7601/05 两个工作状态的转换由图 2-42 中所示的输入和输出两组开关来实现。两组开关的转换由内部时钟经二分频或三十二分频（由分频比控制端控制）后的信号控制。这两组开关的连接原理示于图 2-45。在时钟上半周期，开关 S_A 组闭合， S_B 组断开，图 2-45 可用图 2-46(a) 来等效，在时钟下半周期， S_A 组断开， S_B 组闭合，此时图 2-45 可用图 2-46(b) 来等效。很明显由于两个运放轮流放大信号，不断寄存自身的失调，然后加以补偿，因而它几乎无失调误差出现在输出端，这是与一般运放不同的地方，因而具有长期稳定，没有温漂和时漂。然而也是由于两个放大器不断换向工作，因而在输出端会引入输出开关的断点，一般在使用时要在输出端外加电容来消除开关的影响。另外，放大器频响一般不能接近换向频率，因此 ICL7601/05 只用于作直流放大，不能处理 10 Hz 以上的信号，这是不足的地方。

2. ICL7601/05 引出端功能和典型特性

ICL7601 的引出端排列图已示于图 2-43。图中除了放大器的同相、反相输入端，正、负电源端等普通运放必须的引出端外，尚有内部时钟分频控制端 DR 。当 DR 接 V_{DD} 时，内时钟按 32 分频工作，当 DR 接地电位时，内时钟按 2 分频工作。图 2-43 中， OSC 端为外接振

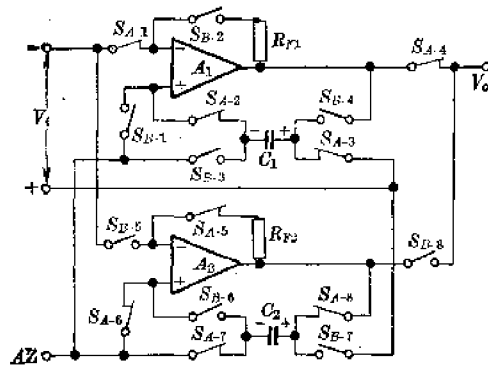


图 2-45 交替工作原理图

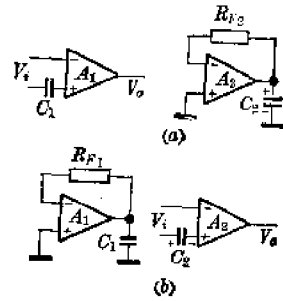
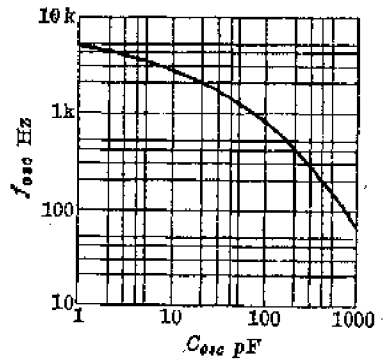


图 2-46 稳零过程图

荡电容的端子, 当外接不同的电容 C_{OSC} 时, 内时钟频率将按图 2-47 所示曲线变化。引出端 ⑨ 是偏置控制端 $BIAS$, 当 9 端接在 V_{DD} 时, 呈现高偏置状态, 接地时, 呈现中等偏置状态, 接 V_{SS} 时呈现低偏置状态, 不同接法可以有不同电源电流 I_{DD} , 因而可以控制功耗, 图 2-48 示出三种不同偏置下的 $V_{DD} + |V_{SS}|$ 与 I_{DD} 的关系曲线。ICL7601/05 在使用时要在外部加接两个误差寄存电容 C_1 和 C_2 , 分别接在引出端 ①、② 和 ⑥、⑦ 上; 电路还设置一个自动调零参考点 OZ (④ 端), 在存在共模输入时, 可将此端接在共模电位上, 以消除共模误差。

图 2-47 C_{OSC} 与 f_{OSC} 关系曲线

ICL7601/05 的输入失调电压 V_{OS} 随温度 T_A 变化的特性示于图 2-49。在 $-55 \sim 75^\circ\text{C}$ 。

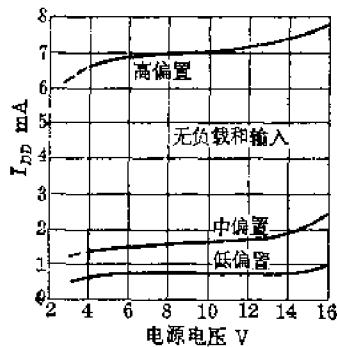
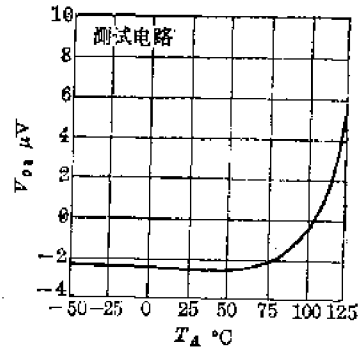
图 2-48 V_{DD} 与 I_{DD} 曲线

图 2-49 温度与失调关系

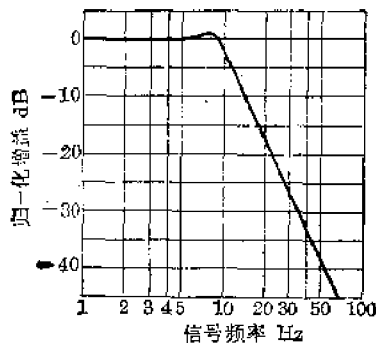


图 2-50 归一化频率特性

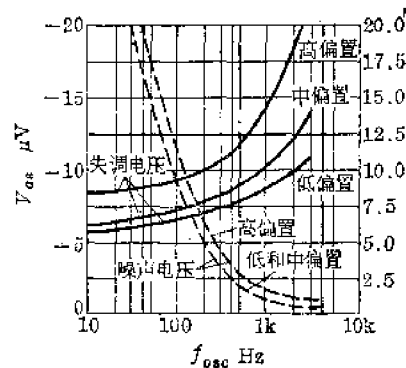


图 2-51 时钟频率与失调关系

范围内几乎不存在漂移。图 2-50 是放大器归一化频率响应曲线, 图 2-51 则是电路换向频率 f_{osc} 和输入失调电压以及输入等效噪声电压的关系曲线。从上述这些特性曲线来看, 当 ICL7601/05 作 1000 倍以下, 10 Hz 以内的直流或低频放大器时, 具有误差小, 不需失调微调的优点。

§ 2-5 CMOS 运放的应用举例

CMOS 运放从使用角度上看与普通双极运放, 或是结型-双极型相容的运放没有原则上的差别。普通运放能应用的场合, CMOS 运放都可应用, 唯一的差异仅是 CMOS 运放在工作电压和输出电流能力上不及普通运放。一般 CMOS 运放工作电源不能高于 $\pm 8\text{V}$, 输出电流不大于 $\pm 3\text{mA}$, 当然甲、乙类输出的 CMOS 运放除外。例如 5G7650 运放能输出 $\pm 5\text{mA}$ 的电流, 几乎与双极运放相似。由于 CMOS 运放的输出电压可达全电源范围, 因此在与 CMOS 数字电路一起工作时电平兼容, 无须电平转换, 这是较之双极运放有利的一个方面。

运放的应用已有较多的书刊作了十分详尽的介绍, 因此本节仅是在一些多运放应用的系统中, 举一些较典型的电路加以说明。

一、CMOS 四运放的典型应用

由于 CMOS 四运放 5G14573 或是 ICL7641 的四个运放有相同特性(或者说特性相近), 并且制作在同一硅片上, 因而可以设计出一些分立运放难以实现的性能, 例如: 温度补偿, 参数补偿等。另外, 由于四个运放在一个封装中, 集成度高, 使用方便, 使电路的尺寸明显减小, 组装调试也方便和简化。这些优点从下面的实例中可以得到说明。

1. 失调电压消除电路

利用同一硅片上两个(或两个以上)参数十分接近的运放单元, 可以构成参数补偿电路。

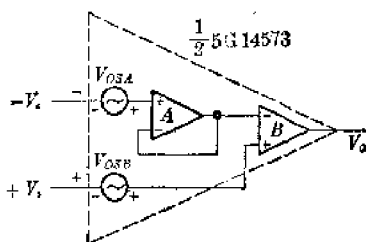


图 2-52 失调消除电路

图 2-52 示出失调补偿的放大器。采用这种结构, 虽然 CMOS 运放固有失调较大(约 10mV 左右), 但只要用四个运放中的一个与之配合, 就能使电路失调大为降低。

设四个运放中, 运放 A 和 B 的失调电压 V_{OSA} 和 V_{OSB} 极性相同, 且数值十分接近: $V_{OSA} \approx V_{OSB}$ 。由于图 2-52 中运放 A 接成电压跟随器, 因而 A 的失调电压被 1:1 地传送到 A 的输出端, 使运放 B 的反相输入端作用一个来自运放 A 的输出电压 V_{OA} 。

由于对运放 B 来说, V_{OA} 和 V_{OSB} 相减后经放大输出, 在 $V_i = 0$ 时就有:

$$V_o = A_{OB}(V_{OA} - V_{OSB}) \approx 0$$

这样, 实际上使虚框构成的差分放大器的失调十分近似为零。当然, 一般来说 V_{OSA} 和 V_{OSB} 不会绝对相等, 但较单个运放 A 或 B 的失调至少可降低 1~2 个数量级。

图 2-52 电路的失调电压随温度的漂移也可减少, 因为运放 A 和 B 在同一硅片上, 基本上处于等温状态, 只要 A 和 B 的失调电压温度系数接近, 还能实现温度补偿。

2. 自动调零放大器

用 CMOS 四运放(如 5G14573 或 ICL7641 等)可以与 CMOS 模拟开关(见后面章节)一起十分简单地组成几乎不存在失调的低电平直流放大器, 也就是人们熟知的新波自稳零放

大器或是自动调零放大器, 它的原理在上节已有说明。

图 2-53 示出用 5G14573 组成的斩波稳零放大器的原理图, 图中 G_1 、 G_2 是用 $\frac{1}{2}$ C514 构成的模拟开关, 运放 A、B、C 是 5G14573 中三个运放单元, 其中运放 A 作 1000 倍交流放大, 运放 B 为积分缓冲电路, 运放 C 作控制开关 G_1 和 G_2 的内部时钟发生器, 实际上它是一个多谐振荡器。从图 2-53 十分明显地可以看出, 开关 G_1 是调制开关, 它将输入 (V_i) 直流信号“斩”成交流信号, 送入放大器 A 放大, 而开关 G_2 则是解调开关, 它将放大后的斩波中的直流成分恢复出来送积分电路回复成直流信号。由于主放大器工作在交流状态, 因此不存在直流失调与漂移。

必须说明的是, 图 2-53 只是一种基本原理图, 正如在讨论第四代运放时已提到的, G_1 和 G_2 开关的微分效应会产生“尖”峰干扰, 造成交流输出中有这一成分, 引起尖峰漂移, 所以这种电路并不十分理想, 还要考虑尖峰箝位电路。这可从专门书刊中得到说明。

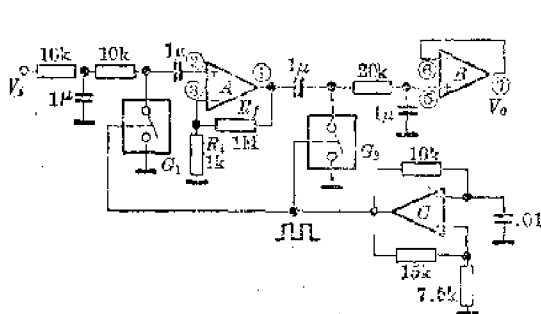


图 2-53 斩波稳零电路

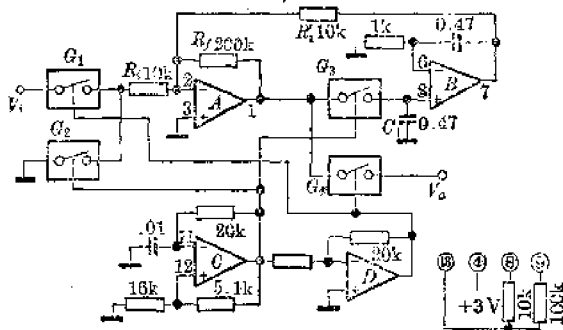


图 2-54 自稳零放大器

图 2-54 则是另一种消除运放失调与漂移的“自动调零”放大电路, 它同样由 5G14574 (或 IOL7641) 和 CMOS 模拟开关 C544 构成。在由运放 C 和 D 构成的时钟信号控制下, 模拟开关 G_1 、 G_4 和 G_2 、 G_3 轮流导通或截止, 使电路始终处在两个工作阶段, 并由时钟上、下二个半周期转换。由图知, 在时钟上半周期, 运放 C 输出高电平, B 输出低电平, 使 G_2 、 G_3 导通, G_1 、 G_4 截止。运放 A 反相输入处在零电位输入, 其输入失调电压 V_{os1} 经放大后经 G_3 寄存在电容 C_1 上并经运放 B 输出反馈到 A 的相加端。很显然, 现在运放 A 和 B 构成一个反馈系统, 由于运放 B 处于开环 (对直流信号), 增益很高, 因此在 $R_f/R_i=1$ 时, 运放 B 的输出即为 V_{os1} 即运放 A 的失调电压, 将它折算到 B 的输入, 则运放 A 的输出即 B 的输入为 $V_{iB}=V_{os1}/A_{0B}\approx 0$, 这就是说, 对运放 A 而言, 当输入为零时, 输出 $V_{oA}=V_{os}\approx 0$, 失调被消除。

在时钟的下半周期, G_1 、 G_4 导通, G_2 、 G_3 截止, 运放 A 的反相端加上要放大的信号 V_i , 同时输出接到外部 V_o 端上。由于此时电容 C_1 上寄存的电压无法释放, 因而原来的 B 的输出仍经 R_f 馈送在 A 的相加点上, 使 A 的失调电压被 B 的输出补偿掉, 因而在 A 的输出中只限有 V_i 的成分而无 V_{os1} 的误差成分, 起到调零目的。由于时钟在不断使二个阶段交替, 因此一直在进行失调补偿, 从稳态来看是不存在失调误差的。这种自动调零电路一般只处理直流或缓慢变化的低电平信号, 放大倍数由 R_f/R_i 值确定。

3. 波形形成电路

用 CMOS 运放和 CMOS 四运放可以很方便构成各种形式的信号发生器, 特别是较低频

率的各种波形发生器。图 2-55 示出一个能产生低失真正弦信号的一种正交信号振荡电路。其中图(a)是方框原理图,图(b)则是电路图。

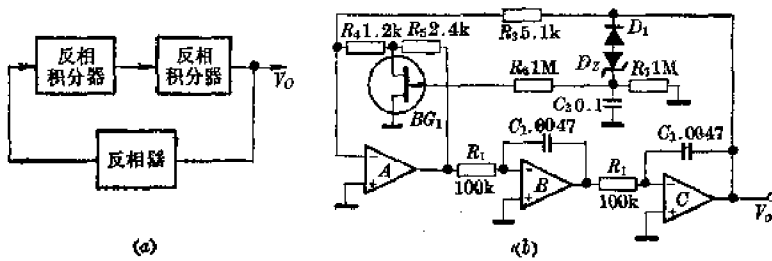


图 2-55 正交振荡器

从图 2-55(a)可以看出,这是一个用来求解二阶微分方程: $\ddot{x} + a^2x = 0$ 的一个模拟运算电路。这种二阶微分方程可以通过二次积分求解,即有:

$$x = -a^2 \int \left[\int x dt \right] dt \quad (2-91)$$

在图 2-55(b)中,将运放 C 的输出 V_o 回送到反相器 A 后再送到积分器 B 的输入,经积分后 B 的输出再经第二积分器 C 积分,成为输出 V_o 。同式(2-91)表示的一样,就可得这种方程的解 V_o 。

$$V_o = V_{om} \sin(\omega_0 t + \varphi) \quad (2-92)$$

显然,这是一个正弦函数,其初相 φ 由初始条件决定。不难证明,振荡频率可以写为:

$$f_o = \frac{1}{2\pi R_1 C_1} \sqrt{\frac{R_4 R_5}{R_3} \left(\frac{1}{\tau_{DS}} + \frac{1}{R_4} + \frac{1}{R_5} \right)} \quad (2-93)$$

式中 τ_{DS} 是图 2-55(b)中结型场效应管(用作稳幅) BG_1 的漏源电阻,并可表为:

$$\tau_{DS} = R_{oN} / \left(1 - \left| \frac{V_{GS}}{V_P} \right| \right)$$

利用图中元件参数值,可以得到约 5 kHz ($V_Z = 3V$),失真度优于 0.3% 的正弦波形。

利用 CMOS 四运放还可方便地组成能产生三角波、方波的函数发生器,图 2-56 示出

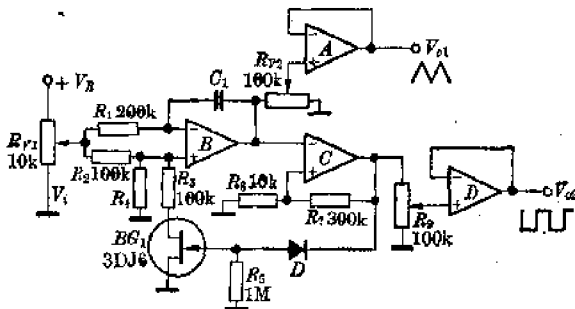


图 2-56 函数发生器

其中一种较典型的电原理图。这种电路只用一只电位器便能调节振荡频率。从图可知,运放 A 作电压跟随器,并通过 R_{V2} 调节三角波输出幅度。运放 B 是一个积分器,它对由 R_{V1} 控制的输入 V_i 进行积分。运放 C 作双限比较器,运放 D 则是用来缓冲方波输出的跟随器。电路工作可作如下简要说明:通电后,假定运

放 C 输出低电平,二极管 D 导通,在结型场效应管 BG_1 的栅极建立低于其夹断电压 V_P 的电位,导致 BG_1 截止,此时输入电压 V_i 通过 R_1 向电容 C_1 充电,运放 B 的输出从 $\frac{1}{2} V_i$ 电位上线性下降,直到低于运放 C 的同相端的参考电平时,运放 C 的输出状态发生转换,由低电平变为高电平使二极管 D 截止,从而使 BG_1 处于零栅压而导通, R_3 经 BG_1 接地,若 $R_2 = 2R_3$,则电容 C_1 将以与充电时相同的电流放电,运放 B 的输出线性上升,直到达到由运放 C 输出高电平经 R_7 、 R_8 分压形成的正基准电压时,过程再次重复。可以从图推导振荡频

率为:

$$f_o = \frac{V_i(R_7 + R_8)}{8V_{ocm}R_8R_1C_1} = k \cdot V_i \quad (2-94)$$

式中 V_{ocm} 是比较器 C 输出的最大正负幅值, 对于 CMOS 运放来说, 这一最大幅值是 V_{DD} (或 V_{SS})。由 (2-94) 式可知, 这是一种线性良好的电压控制振荡器。

4. 有源滤波器

利用 CMOS 运放集成度高, 又有双、四单元的单片电路的特点, 可以方便地用作有源滤波器。由于有源滤波器的设计已有专门著作可供参考, 因此这里不作设计和原理方面的叙述, 只给出几个典型的电路实例。

图 2-57 示出用 CMOS 双运放 1CL7621 构成的 300~3000 Hz 的带通滤波器。从图知, 运放 A 是一个三阶高通滤波器, 其通带频率约为 300 Hz, 而运放 B 则是一个三阶低通滤波器, 其截止频率为 3000 Hz。两个滤波器串接就构成 300~3000 Hz 的带通滤波器。这种滤波器常用于语音滤波, 具有约 -20 dB/oct 的带阻衰减特性, 中心频率为 1 kHz。

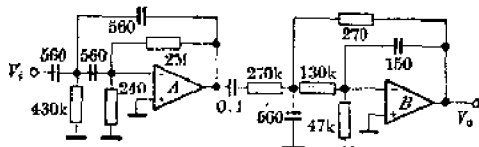


图 2-57 带通滤波器

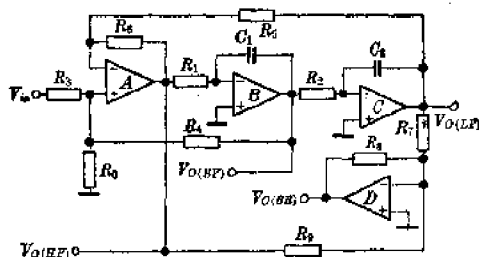


图 2-58 通用滤波器

图 2-58 是用四个运放构成的一种通用型滤波器, 其中运放 D 是加法器, 运放 B 和运放 C 是积分器, 运放 A 是加法减法器。从图 2-58 可以看出, 运放 D 将由运放 A 的高通输出 $V_{o(HF)}$ 和运放 C 的低通输出 $V_{o(LP)}$ 相加, 因而 D 的输出即为带通输出 $V_{o(BP)}$; 运放 A 则是将输入 V_i 与 B 输出的带通 $V_{o(BP)}$ 相加, 然后减去运放 C 的低通输出 $V_{o(LP)}$, 因而 A 的输出即为高通 $V_{o(HF)}$; 运放 B 是高通与低通的串接, 构成带通输出 $V_{o(BP)}$ 而运放 C 为低通输出 $V_{o(LP)}$ 。

图 2-58 也可称为“万用”滤波器, 它具有各种滤波器的特性, 只要选择不同的输出点即可得到所需的特性。

5. 无源元件的有源模拟

利用 CMOS 四运放可以方便地构成一些用有源器件模拟无源元件的电路。图 2-59 是利用两个运放来模拟一个可变电容的电路。我们知道, 一般的可变电容, 容量只在数百微微法以内, 这在有些电路应用中感到不便。利用图 2-59 电路, 通过调节电位器 R_V , 可以使 M 点对地等效一个容量在 $0 \sim C$ 范围内连续可变的大容量可变电容器。由图可知, 作为电压跟随器 A 的输出电压 V_{o1} 等于 M 点的电压 V_i , 而电压跟随器 B 的同相输入端的电压可表为:

$$V_P = \alpha V_{o1}$$

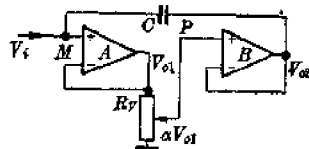


图 2-59 可变电容模拟电路

式中 α 为分压系数, 且满足 $0 \leq \alpha \leq 1$, 因此 B 的输出为:

$$V_{e2} = \alpha V_{e1} = \alpha V_i$$

这样电容 C 两端的电位差为:

$$V_C = V_{e2} - V_M = (1 - \alpha)V_i \quad (2-95)$$

M 点对地的阻抗 Z_C 可写为:

$$Z_C = \frac{V_i}{(1 - \alpha)V_i SC} = \frac{1}{S(1 - \alpha)C}$$

显然: 在 $\alpha = 1$ 时, $Z_C = \infty$, 即相当于电容量为零。当 $\alpha = 0$ 时, $Z_C = \frac{1}{SC}$ 即相当电容量为 C 。从 M 点看去可等效一个容量在 $0 \sim C$ 可变的电容器的等效电路。而 C 的取值可在几百微微法到几个微法之间, 选择范围极大。

二、CMOS 精密运放的应用

CMOS 第四代集成运放 5G7650 (或者 1CL7605) 作为精密运放主要是用作测量放大、精密运算电路、电桥放大器以及一些数字仪表扩大量程的前置放大器。

1. 测量放大器

图 2-60 示出用 5G7650 组成的高输入阻抗的测量放大器的原理图。显然这是一种差动放大电路, 其放大倍数可写为:

$$A_V = \left(1 + \frac{2R}{\alpha R_V}\right) \left(\frac{R_f}{R_i}\right) \quad (2-96)$$

图 2-60 的电路常被用作医学工程中对生物电的测量。

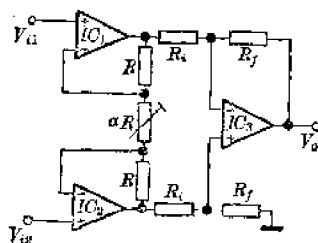


图 2-60 测量放大器

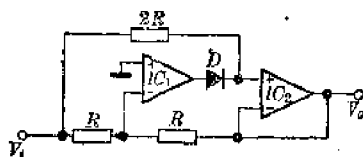


图 2-61 精密 AC-DC 变换器

2. 精密 AC-DC 变换电路

图 2-61 示出用两块 5G7650 组成的精密交直流转换电路, 也称为绝对值电路。由图知, 当 $V_i > 0$ 时, IC_1 输出为负值, 使二极管 D 反向偏置而截止, 于是断开 IC_1 输出到 IC_2 输入的通路, V_i 经 $2R$ 加到 IC_2 的同相端, 因而跟随器 IC_2 输出为 V_i ($V_i > 0$)。反之, 当 $V_i < 0$ 时, IC_1 输出大于零, D 正偏, 接通 IC_1 输出到 IC_2 输入通路, 使 IC_1 和 IC_2 构成一个反馈系统, 从而 $V_o = -V_i > 0$ 。由此知, 不论 V_i 是正还是负, 输出均为正, 其值都是 V_i 的绝对值 $|V_i|$ 。

3. 精密模拟开关

用 5G7650 超低失调的运放和模拟开关一起可以构成精密电压传输开关。图 2-62 示出用五块 5G7650 和一个 CMOS 四模拟开关组成的四选一电压传输开关。这种开关几乎不

存在失调电压, 即开关无内压降。实际上这里利用运放的有源特性来补偿模拟开关的失调。从图 2-62 十分清楚可以看出, 当地址输入如表 2-5 中某一地址时, 对应于一个开关 S_i 接通, 例如当地址为“0、1”时, S_2 闭合, 此时 IC_2 和 IC_5 构成一个电压跟随系统, 输出电压 $V_o = V_2$ 。由于 IC_2 和 IC_5 的失调近于零, 故 V_o 几乎完全与 V_2 的值相同, 这个特性是任何开关所没有的。

表 2-5 译码表

a_0	a_1	S_i
0	0	S_2
0	1	S_1
1	0	S_3
1	1	S_4

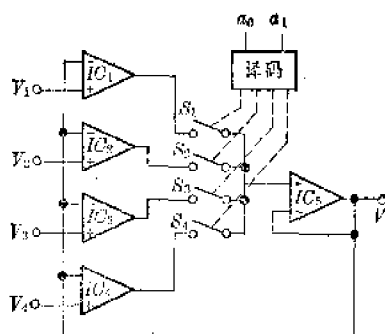


图 2-62 精密模拟开关

4. 电桥放大器

利用超低漂移运放还可构成温度变送器中的放大热电偶信号或者测量压力变送器信号的电桥放大器, 如图 2-63 所示。这种电桥放大器其增益可写为:

$$A_v = \frac{\delta R_f}{R_i + R_f}$$

亦即:

$$V_o = V_s \frac{\delta R_f}{R_i + R_f} \quad (2-97)$$

式中 δ 是 R_f 的变化增量。很显然 R_f 、 R_i 、 $R_f(1+\delta)$ 为电桥的桥臂。这是一种宽偏移电桥。

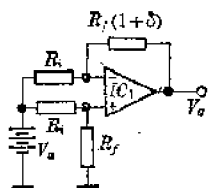


图 2-63 电桥放大器

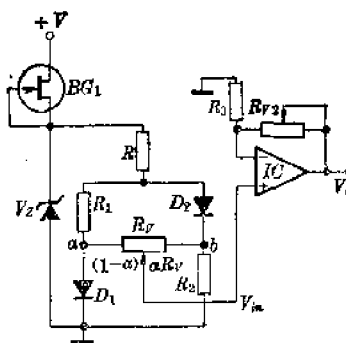


图 2-64 温度系数可变电源

5. 电压和电压温度系数可变的电压源

用超低漂移第四代集成运放, 可以设计出一种电压和电压温度系数均可任意调节的电压源。这种电压源可用来作为补偿电路和转换电路。图 2-64 示出这一电压源的原理图。图中电阻 R_1 、 R_2 、 D_1 、 D_2 和 R_v 用来调节运放同相端输入电压 V_i 的温度系数的桥路, BG_1 是其偏置电路。运放 IO 用来放大输入电压 V_i , RV_2 是调节输出电压的电位器。

从图可知, a 点的电压为二极管 D_1 的正向电压 V_{D1} , 这是一个具有约 $-2\text{mV}/^\circ\text{C}$ 的负温度系数电压, b 点则是一个约有 $+2\text{mV}/^\circ\text{C}$ 正温度系数的电压, 显然当电位器中心头的位置参量 $\alpha=0.5$ (即中点位置) 时, V_i 的电压温度系数为零; 当 $\alpha>0.5$, 则 V_i 呈负温度系数; $\alpha<0.5$, 则呈正温度系数。这就是说调节 R_F 可调节 V_i 的温度系数。由于 $V_o = V_i(1 + \alpha R_{V2}/R_2)$, 因此调节 R_{V2} 可以改变 V_o , 于是 V_o 电压既可变化, 又可变化电压温度系数。这种电压与电压温度系数可变的电源常用作温度补偿或温度传感器中。

第三章 CMOS 电压比较器和定时电路

在模拟集成电路的应用中,经常要遇到对两个信号进行相对大小的比较,这就要用到模拟比较电路,即电压比较器。在集成电路产品系列中,电压比较器也是一种常用的产品,用途十分广泛。电压比较器与集成运放一样,长期以来,一直采用双极技术来制作,然而近年来 CMOS 模拟电路的发展,已经有可能研制出性能不亚于双极型传统产品的全 MOS 电压比较器。

本章叙述用 CMOS 技术制作的电压比较器的设计方法、特点以及典型的产品,同时叙述用电压比较器和有关数字逻辑组合发展出来的定时电路,并分别讨论它们的应用方法和典型应用电路。

§ 3-1 全 MOS 电压比较器及其设计方法

原则上讲,用第二章中所讨论过的任何一种 CMOS 运放都可以作电压比较器来比较两个模拟信号的相对大小,但严格地讲,在设计方法、基本结构上两者不完全相同,要求也不完全一致。归结起来,运放与比较器的主要差别在于下述两个方面:

(1) 比较器实质上并不工作在线性区域,它是一种模拟输入、数字输出的一位模数转换器。比较器的后随电路往往是数字逻辑电路,因此人们关心的是输出电平,而不是线性度。这里,比较器的输出电平能否与某些数字电路(例如 TTL、CMOS、HTL 逻辑电路)兼容,是使用者所关注的重要问题。鉴于这一点,比较器的输出响应时间就成为它的重要指标之一。

(2) 比较器在大多数工作场合,是处于开环状态,而不象运放处于负反馈状态。因此在比较器的设计中,对于输入、输出的相移问题较少考虑,因而也不须要设置相位校正网络,设计上就显得比较简单。

尽管运放与比较器存在着上述差异,但在对比较器的匹配特性、漂移特性、增益、共模抑制比等性能要求上,与运放基本相似,是设计中必须考虑的。鉴于这一点,前面讨论过的大多数结果可以直接引用到比较器中。本节只着重分析它与运放不同的特点。

一、电压比较器的基本特性

为了便于讨论全 MOS 电压比较器的设计方法,有必要先弄清楚电压比较器的基本特性和一般要求。电压比较器与运放极为类似,它是一种具有双端输入和单端输出的三端器件,其符号与运放相同,如图 3-1 所示。图中用 $\ominus$ 号表示的输入端称反相输入端,用 $\oplus$ 号表示的输入端称同相输入端,其含义与运放完全相同。

对于一个“理想”的电压比较器,其输入与输出的转移特性如图 3-2 所示。显然,当 $V_i > V_R$ 时,输出 V_o 为高电平,当 $V_i < V_R$ 时,输出 V_o 为低电平,而 $V_i = V_R$ 时,输出处于增益

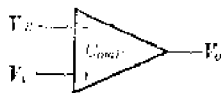


图 3-1 比较器符号

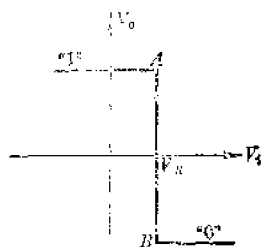


图 3-2 转移特性

区，即不确定区。一个理想的比较器，其增益为无限大，因此图 3-2 中增益区线段 AB 与纵轴平行。如果用正逻辑，则当 $V_i > V_R$ 时，输出 $V_o = "1"$ ，当 $V_i < V_R$ 时， $V_o = "0"$ 。这就完成了将一个模拟电压转换成一个一位二进制数字量。当然在图 3-1 中将 V_R 和 V_i 的位置互换，则输出 V_o 的极性正好取反。

然而正如第二章所述，不存在“理想放大器”一样，实际上也不存在“理想”电压比较器，因而也就不能得到图 3-2 所示如此理想的转移特性。实际电压比较器的输入、输出转移特性，可从图 3-3(a) 的实际比较器导出，并可用图 3-3(b) 来表示。图 3-3(a) 中， V_{os} 是表征比较器两输入端之间失配引入的误差电压源， A_o 表示比较器的实际电压增益，它反映出图 3-3(b) 中增益区的斜率，而 V_{os} 反映出转移曲线起始点与 V_R 的偏移。从图 3-3(b) 的转移特性中可以看出，实际电压比较器的比较误差可表示为：

$$\Delta V_e = V_{os} + \frac{V_{om}}{A_o} \quad (3-1)$$

对于使用者来说，希望 ΔV_e 越小越好，因为这个 ΔV_e 不仅是阈值误差，而且也是输出逻辑值的不确定区。

另一个重要特性是比较器的响应时间，它定义为：当输入信号发生阶跃变化时，比较器

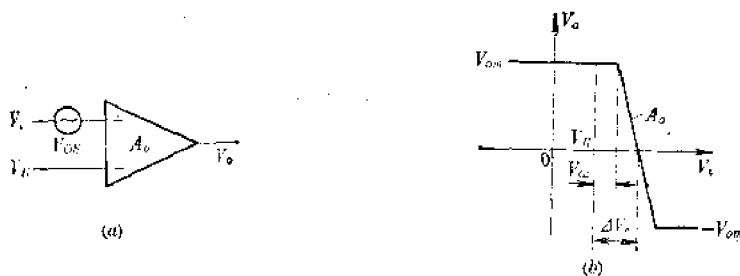


图 3-3 实际比较器及其转移特性

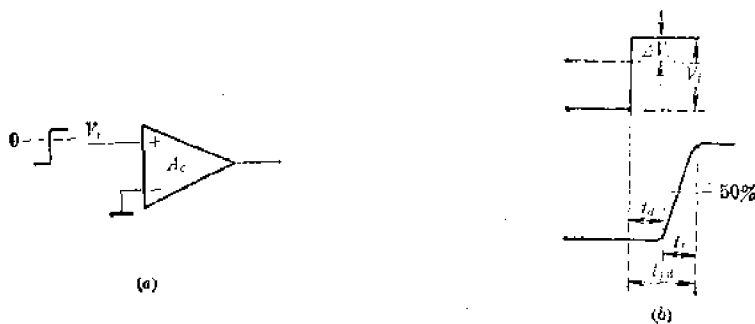


图 3-4 瞬态响应

输出到一确定电平值所需的时间。图 3-4 示出了比较器瞬态特性的示意图, 图中 t_{pd} 即为比较器的响应时间。在这个时间中包含延迟时间 t_d 和上升时间 t_r 。

一般地讲, 不同的输入电压幅值 V_i , 特别是不同的超量输入 ΔV_i , t_{pd} 是不同的, 因而测试条件是重要的。 ΔV_i 越大, t_{pd} 越小, 这一点必须引起注意。

二、全 MOS 比较器的设计方法及基本结构

在第二章中我们已经讨论过 MOS 源极耦合对作为差分输入级的设计方法。这种源极耦合对一般也被用作电压比较器的输入级, 因此在这种情况下, 通常一个全 MOS 电压比较器可以由图 3-5 的方框构成, 其中第 I 部分是源极耦合对, 而 II 和 III 部分一般是后随放大级, 通常由 MOS 反相器来承担后随放大级。

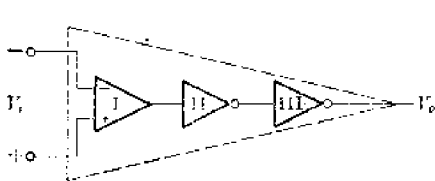


图 3-5 比较器的一般结构

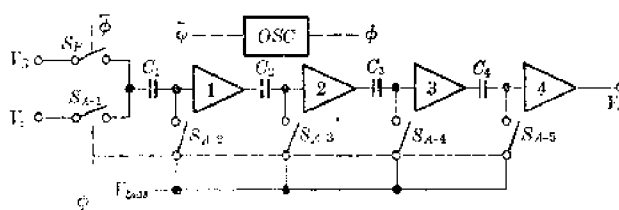


图 3-6 自稳零比较器

对于图 3-5 所示的结构, 除了放大级的级数外, 在电路形式、基本单元上与运放十分类似, 完全可以将第一章的一些单元电路直接移植到电压比较器的设计中。如第一章所述, 用 MOS 器件构成的源耦合对作输入级虽然有设计方便、结构简单的优点, 但其主要缺点是输入失调电压 V_{os} 较双极型发射极耦合对要大, 因而使 ΔV_i 较大。为此在需要低失调的电压比较器时, 往往采用特殊的设计方法。这就是所谓斩波稳零式电压比较器。

1. 自稳零电压比较器的基本原理

利用 MOS 技术比较容易将模拟电路和数字电路兼容在同一基片上, 因此可以利用特殊的方法设计出能消除失调电压的电压比较器。图 3-6 示出了这种比较器的基本原理图。

由图 3-6 很容易看出, 这是一种用电容耦合的四级放大电路, 因此属于交流放大, 这就不存在直流失调和温度漂移。从图中还可以看出, 这种结构只有一个输入端, 而不是图 3-5 的双端输入电路, 因而也不存在输入级匹配问题。

图 3-6 在工作时由内部时钟控制模拟开关 S_A 和 S_B 。在内部时钟 (OSC) 的上半周期 ϕ , 开关 S_A 闭合, S_B 断开, 放大级 1, 2, 3, 4 分别接到偏置电压 V_{bias} 上, 使四个放大级的输入端偏置在线性区 (即放大区) 的工作电压上, 并通过级间耦合电容 C 寄存这一偏置电压。与此同时, 第一级的耦合电容 C_1 的另一端经开关 S_{A-1} 接到 V_i 上, 使 C_1 上寄存的电压为:

$$V_{c1} = V_i - V_{bias} \quad (3-2)$$

在时钟的下半周期 $\bar{\phi}$, S_A 断开, S_B 接通, C_1 的外侧端接到 V_R 上, 从而使 C_1 上产生一个电压增量 ΔV_{c1} , 并可表示为:

$$\Delta V_{c1} = (V_i - V_{bias}) - (V_R - V_{bias})$$

即

$$\Delta V_{c1} = (V_i - V_R) \quad (3-3)$$

此增量经放大级 1, 2, 3, 4 放大后呈现在输出端, 并有:

$$V_o = \Delta V_{o1} \cdot A_1 \cdot A_2 \cdot A_3 \cdot A_4 = (V_i - V_R) \cdot A_o \quad (3-4)$$

只要 $A_o = A_1 \cdot A_2 \cdot A_3 \cdot A_4$ 足够大, 则在规定的 V_o 动态范围内, 或者在逻辑“0”和“1”的幅值内, 就可以获得足够低的 V_o 值。在(3-4)式中, 不存在失调电压, 由于开关 S_A 和 S_B 不断交替转换, 因此可以消除偏差电压的影响, 实际上这是一种将 V_i 和 V_R “分时”处理的设计方法。

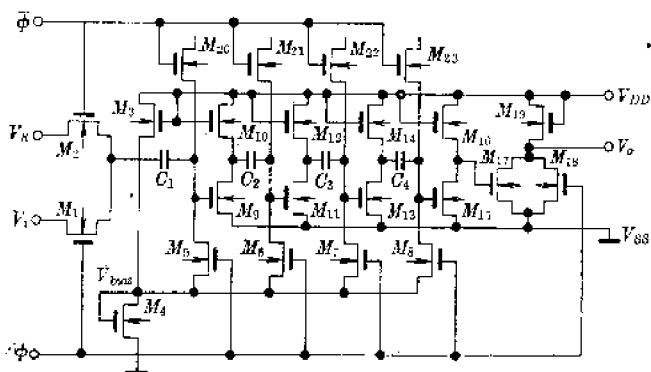


图 3-7 全 MOS 自稳零电压比较器

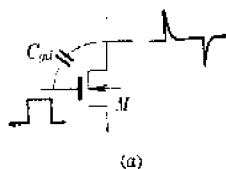
图中 M_1 、 M_2 、 M_5 、 M_6 、 M_7 、 M_8 是用来作为开关的晶体管; M_9 、 M_{10} 、 M_{11} 、 M_{12} 、 M_{13} 、 M_{14} 和 M_{15} 、 M_{16} 组成放大级 1、2、3 和 4; M_{17} 、 M_{18} 、 M_{19} 组成一个仅在时钟 ϕ 期间才有输出的选通电路; M_3 、 M_4 用来产生一个偏置电压 V_{bias} 。为了消除开关晶体管 M_1 、 M_2 和 $M_5 \sim M_8$ 的栅漏电容引入的时钟驱动尖峰(微分尖峰), 设置了与之相匹配的晶体管 $M_{20} \sim M_{23}$ 作补偿电路。

在图 3-7 中, 每个放大级仅是一个单级有源负载的共源放大电路。在第二章中已经知道, 它的增益可表示为:

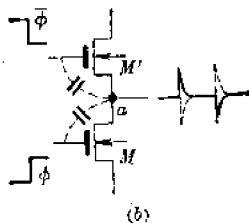
$$A_v = \frac{\sqrt{(W_1/L_1)/(W_2/L_2)}}{1 + \frac{p}{2} \frac{1}{\sqrt{2\phi_F + V_{DS} + V_{oBC}}}} \quad (3-5)$$

也就是说, 每级的增益与两个 MOS 管的宽长比的比值成正比, 四级放大器的增益可以做得足够高, 可以分辨小于 0.5 mV 以下的 V_i 与 V_R 的差值。

这种电压比较器的设计关键在于消除 MOS 模拟开关栅漏电容引起的对时钟驱动信号产生的微分效应, 这种效应可用图 3-8 来说明。从图 3-8(a)可知, M 管的栅漏电容 C_{gd} 使驱动信号产生微分效应, 在漏极上产生尖峰, 这些尖峰如不消除, 会经放大级放大后出现在输出端。由于 C_{gd} 与 $(W \cdot L)$ 成正比, 故一般要求用作开关的 MOS 管面积要作得很小, 以减小 C_{gd} 的容量。图 3-8(b)是通过设置一个与开关管面积一样的晶体管 M' , 并在 M' 的栅极上加



(a)



(b)

图 3-8 尖峰消除电路

置与 M 栅极反相的驱动信号, 即当 ϕ 上跳时, $\bar{\phi}$ 下跳, 从而使 C_{gdM} 产生的正向尖峰与 C_{gdM} 产生的负向尖峰同时呈现在 a 点, 结果抵消了 a 点微分尖峰, 消除了微分效应。图 3-7 中 MOS 管 $M_{20} \sim M_{23}$ 就是用来补偿 $M_5 \sim M_8$ 的 C_{gd} 的器件。

图 3-7 所示的自稳零电压比较器, 同样可用 CMOS 技术来设计。图 3-9 示出用 CMOS 技术构成的比较器原理图, 与图 3-7 不同之处仅在于每个放大级都是互补反相器结构, 其工作过程基本与图 3-7 相同。用 CMOS 反相器作放大级不存在衬底调变效应, 其增益一般要高于 N 沟有源负载放大级。

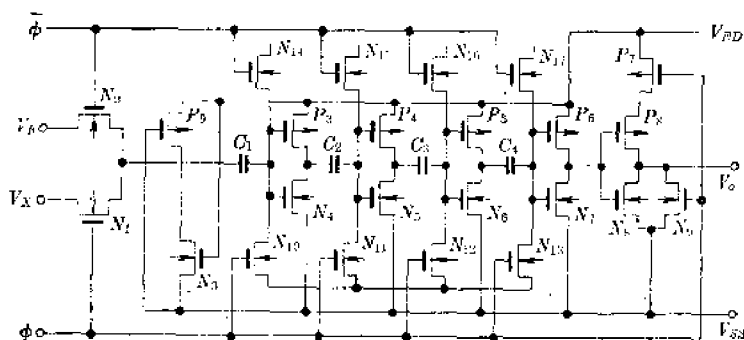


图 3-9 CMOS 自稳零比较器原理图

无论图 3-7 或是图 3-9 两种电路, 工作时仅在时钟 ϕ 的期间进行 V_x 与 V_R 的比较, 当 $V_R - V_x > 0$ 时, $V_o = "0"$, 而 $V_R - V_x < 0$ 时, $V_o = "1"$ 。在时钟上半周期, 即 ϕ 的期间, $V_o = "0"$, 如果需要使输出在 $V_R - V_x > 0$ 时 $V_o = "1"$, 则可将 V_x 和 V_R 端互换。另外需要说明的是, 在图 3-7 和图 3-9 中, 均没有画出时钟发生器电路。这种比较器在后面 A/D、D/A 电路中还要讨论。

§ 3-2 CMOS 电压比较器的典型产品 5G14574

虽然近年来 CMOS 技术研制的电压比较器 (或是 NMOS 电压比较器) 已在不少 A/D 转换器等 LSI 电路中被应用, 但作成通用产品的电路却并不多。本节介绍用 CMOS 工艺已经大量生产的四电压比较器 5G14574, 这是一种在同一芯片上具有四个完全相同结构的电压比较器的产品, 因此称作四电压比较器。

一、5G14574 的基本结构及电学特性

5G14574 的外形结构及引出线排列示于图 3-10。这是一种具有 16 条引线的双列直插式封装的电路, 其中 12 条引线分别用作四个比较器 A、B、C、D 的输入和输出端, 2 条引线作四个比较器的电源端, 另外 2 条 (8 和 9 端) 则分别用来作为比较器 A、B 和 C、D 的偏置电流控制端。很明显, 5G14574 的外引线排列与第二章中已介绍过的 CMOS 四运放 5G14573 完全相同。

5G14574 四电压比较器中每个比较器的电学性能均符合表 3-1 所列的规范值, 在外部偏置电流为 $50 \mu A$ 时, 电压增益大于 96 dB, 能输出 3 mA 的驱动电流, 此时输出高、低电平与电源电压仅相差 0.5 V 以下。

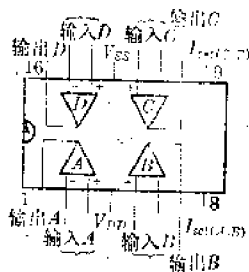


图 3-10 5G14574 外形图

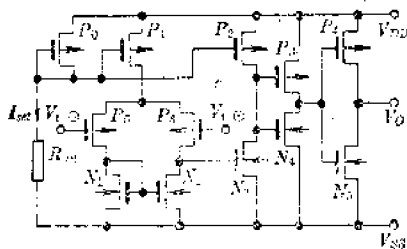


图 3-11 5G14574 电路图

表 3-1 5G14574 参数规范

主要电参数: ($V_{DD}=10\text{V}$, $V_{SS}=0\text{V}$)

参 数 名 称	符 号	单 位	测 试 条 件	参 数 规 范
输入失调电压	V_{OSM}	V	$I_{set}=100\mu\text{A}$	7
输出 电 压				
“0” 电 平	V_{OL}	V	$V_{DD}=10\text{V}$, $V_{SS}=0\text{V}$	0.1
“1” 电 平	V_{OH}	V	$V_{DD}=10\text{V}$, $V_{SS}=0\text{V}$	9.9
输入失调电压	V_{OS}	mV	$I_{set}=50\mu\text{A}$	≤ 7.0
输入偏置电流	I_{IB}	nA	$I_{set}=50\mu\text{A}$	10
静 态 电 流	I_{DD}	mA	$R_{set}=100\text{k}\Omega$	2
输出驱动电流	I_{OH}	mA	$V_{OH}=9.5\text{V}$	1
	I_{OL}	mA	$V_{OL}=0.5\text{V}$	1
开 环 增 益	A_{OL}	dB	$I_{set}=50\mu\text{A}$	96
输出上升时间	t_r	ns	$\begin{cases} I_{set}=50\mu\text{A} \\ C_L=50\text{pF} \end{cases}$	100
输出下降时间	t_f	ns	$\begin{cases} I_{set}=50\mu\text{A} \\ C_L=50\text{pF} \end{cases}$	100
输出延迟时间	t_{PLH}	ns	$\begin{cases} I_{set}=50\mu\text{A} \\ C_L=50\text{pF} \end{cases}$	≤ 1000
	t_{PLL}	ns	$\begin{cases} I_{set}=50\mu\text{A} \\ C_L=50\text{pF} \end{cases}$	≤ 1000

5G14574 中四个比较器单元中任一个的电原理图示于图 3-11。这是上面提到的第一种差分放大级作输入的比较器。图中除 P_0 和外接电阻 R_{set} 为每两个比较器合用外, P_1 , P_3 , P_5 和 N_1 , N_2 构成电流源负载双-单转换式差分输入级, 它如同运放的输入级, P_2 和 N_3 是第二增益级, 这是一种电流源负载共源放大级, 它与输入级一起构成的二级放大电路, 实际上是一个运放的单元, P_3 , N_4 和 P_4 , N_5 则是二级互补倒相器。显然这种比较器是一种四级级联放大器, 因此总增益极高, 并可写为:

$$A_v = A_1 \cdot A_2 \cdot A_3 \cdot A_4 \quad (3-6)$$

式中:

$$\begin{aligned}
 A_1 &= g_{mP6} \cdot \frac{r_{dP6} \cdot r_{dN3}}{r_{dP6} + r_{dN2}} \\
 &= \sqrt{2\beta_p \left(\frac{W}{L} \right)_{P6}} / I_{Dp6} \cdot V_{A01} \quad (3-7)
 \end{aligned}$$

$$A_2 = g_{mN3} \cdot \frac{r_{dp2} \cdot r_{dN3}}{r_{dp2} + r_{dN3}} = \frac{\sqrt{2\beta'_N \left(\frac{W}{L}\right)_{N3}}}{I_{DP2}} \cdot V_{A02}^* \quad (3-8)$$

$$A_3 = (g_{mP3} + g_{mN4}) r_{d03} \quad (3-9)$$

$$A_4 = (g_{mP4} + g_{mN3}) r_{d04} \quad (3-10)$$

上述各式中打“*”号的参数是指两个器件对应参数的并联值。通过各个器件 $\frac{W}{L}$ 的设计可以得到所需的增益。

图 3-11 放大单元的工作电流可以通过引出端 8 (对应 A、B 比较器, 见图 3-10) 或 9 端 (对应 C、D 比较器) 外加电阻 (或电流源) 确定, 当外接电阻 R_{set} 的另一端接 V_{ss} 时 (如图 3-11 所示), P_0 的电流可按式确定:

$$I_{P0} \approx \frac{V_{DD} - |V_{SS}| - |V_{TP}|}{R_{set}} \quad (3-11)$$

当 I_{P0} 确定后, P_1 、 P_2 、 P_3 、 P_4 各管的电流就可按它们的 $\frac{W}{L}$ 值之比确定, 也就是由下列各式给定:

$$I_{P1} = I_{P0} \frac{\left(\frac{W}{L}\right)_{P1}}{\left(\frac{W}{L}\right)_{P0}}, \quad I_{P2} = I_{P0} \frac{\left(\frac{W}{L}\right)_{P2}}{\left(\frac{W}{L}\right)_{P0}},$$

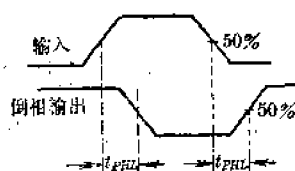
$$I_{P3} = I_{P0} \frac{\left(\frac{W}{L}\right)_{P3}}{\left(\frac{W}{L}\right)_{P0}}, \quad I_{P4} = I_{P0} \frac{\left(\frac{W}{L}\right)_{P4}}{\left(\frac{W}{L}\right)_{P0}}.$$

5G14574 这种偏置电流外部可控的设计特点, 给应用者带来许多灵活的好处, 在第一章中我们已经知道, MOS 器件的模拟特性 (增益、带宽) 与偏置电流密切相关, 改变器件的工作电流, 可以调节其增益或频率特性。在比较器应用时, 前已提到, 输出对输入的响应速度十分重要, 大多数应用需要比较器能快速响应, 也就是输出对输入的延迟越小越好。这时, 可以通过对外部电阻 R_{set} 值的选取, 选取较大的偏置电流来适应应用的需要。

表 3-2 示出不同的 I_{set} 有不同的输入输出延迟时间的参考数据。很明显, 当 I_{set} 在 $10\mu A \sim 3mA$ 变更时, 延迟时间从 $120ns \sim 4.6\mu s$ 变化, 电流越大, 响应越快。改变 I_{set} 也可以控制器件的功耗, 5G14574 最小的 I_{set} 可以取 $5\mu A$, 此时四个比较器总功耗不大于 $0.5mW$, 适宜于用于电池工作。5G14574 的最低工作电压为 $\pm 2.5V$, 最高为 $\pm 8V$, 电源范围较宽, 能与 TTL 逻辑电路、HTL 电路和 OMOS 数字电路兼容。这种输出电平的宽范围 (因为 OMOS 电压比较器输出电压范围接近电源电压范围) 是 OMOS 电路得天独厚的优点。

表 3-2 5G14574 不同 I_{set} 时的 t_{pd}

I_{set}	t_{PLH}	t_{PHL}
3mA	120ns	130ns
100 μA	700ns	300 μs
50 μA	1.3 μs	0.8 μs
10 μA	4.6 μs	3.0 μs



二、5G14574 四电压比较器的特殊问题

由于 5G14574 将四个相同的电压比较器单元集成在同一芯片上,除了集成度高、可缩小应用系统的尺寸、使用方便的优点外,它会引入一些单个集成电压比较器所没有的两个问题:

(1) 当 5G14574 在使用时,如果只用其中一个或二个或三个比较器,而内部尚有一个或二个或三个比较器不使用时,必须将不用的比较器的输入端固定在某一电平上,例如把不用的比较器的输入端全部接在 V_{ss} 或 V_{DD} 上。

之所以需要这样做,是因为 MOS 器件输入阻抗极高,如果输入端(MOS 器件栅极)悬空,那末它非常易于受工频或者外界电场的影响而破坏正常工作,此时静态功耗电流,也就是电源电流会不稳定,影响其他电路工作。另外长时期栅极悬空,会使栅电容上积累电荷,严重时会使栅氧化层击穿损坏器件,这是首先要注意的一个问题。

(2) 5G14574 四个比较器同时工作(或其中两个以上工作)时,特别是工作频率较高时,由于内部寄生电容的存在会互相串扰,这是使用者所不希望的。一般 5G14574 中,两个比较器之间的隔离度与工作频率有关,在 1 MHz 信号时约 45~55 dB。应用时尽可能不要工作在较高的频率。这种干扰的影响表现在比较误差电压 V_e 上,频率高时,不确定区会增大。这是要注意的第二个问题。

上述两个问题,对于第二章中提到的 5G14573 亦同样存在。其中第二个问题不是 CMOS 电路固有的,其他技术的双或四比较器、双或四运放同样存在,但由于运放一般工作频率较低,这些影响相对要小些。

与一般的 CMOS 数字电路一样,CMOS 电压比较器无论是单还是双或者四比较器,其一个共同的问题是输入端的电压电平不允许超过电源电压,并受 $V_{ss} \leq V_i \leq V_{DD}$ 约束,否则容易使输入保护二极管损坏。同样,输出端也不能设置超过电源电压的电平,否则会引起 CMOS 电路的自锁效应,这一点将在后面有关章节再加以说明。

§ 3-3 CMOS 电压比较器的典型应用

电压比较器的应用十分广泛,在许多书刊中已有这方面的详细论述。原则上讲,CMOS 电压比较器与其他技术制作的电压比较器一样,在应用原理上没有任何区别。用 CMOS 技术来制作电压比较器其主要特点在于与 NMOS 和 CMOS 数字电路容易在电平上兼容,因此主要被用作 NMOS 或 CMOS 大规模集成电路中作一个基本单元,这方面我们将在后面章节中加以讨论。在这一节中,主要介绍一些能发挥 CMOS 电压比较器集成度高(四个比较器在同一单片上)的优点的典型应用。为了叙述比较器的基本应用特点,对一些基本的应用技巧也作简单的介绍。

一、电压比较器及其振铃振荡的克服

前已述及,电压比较器是一种能将两个或两个以上模拟电平的大小转换成一位数字量(逻辑“1”和逻辑“0”)的电子部件,因此电平比较是其最基本的应用电路。正因如此,讨论电压比较器的应用,应当从电平比较开始,并弄清它的基本特性。

1. 电平检出器

如果在电压比较器的一个输入端加上一个基准电压 V_R , 另一输入端加上一个需要与 V_R 进行比较的未知电平 V_X , 则理想的比较器应当有如下的特性:

$$\left. \begin{aligned} V_X - V_R > 0 \text{ 时, } V_o &= "1" \\ V_X - V_R < 0 \text{ 时, } V_o &= "0" \end{aligned} \right\} \quad (3-12)$$

(3-12)式是将 V_X 加在比较器同相输入端而获得的特性, 如图 3-12 所示, 若 V_X 加在反相输入端, V_R 加在同相输入端, 则输出 V_o 的状态正好相反, 可根据需要设置. 图 3-12(b) 的输入输出转移特性中, 没有计入增益有限和输入失调的影响. 因此可以不计 $V_X - V_R = 0$ 的输出状态. 这就是说, 比较器有明确的“0”和“1”的区间. 如果计入有限增益和失调的影响, 仅是使图 3-12(b) 的转移曲线发生微小偏移, 如图中虚线所示. 一般来说, 比较器的增益很容易作得较大, 转移特性的斜率误差可忽略, 主要是受 V_{os} 的影响, 然而通过失调校零, 可以消除这一误差.



图 3-12 电平比较电路

图 3-12 电平检出器其存在的问题是会产生振铃振荡. 使在某些应用场合, 导致判断失误. 事实上, 用电压比较器作电平检测时(如图 3-13(a)所示), 输入信号 V_X 中会混入工频或其他噪声信号 V_N , 使比较器在比较点附近的输出 V_o 无确定状态, 产生振铃振荡, 图 3-13(b) 示出这一现象的原理图. 从图 3-13(b) 的波形图中, 可以十分清楚地看出干扰信号会造成在比较点 V_R 电平附近的来回波动, 引起输出在 p 和 q 期间振荡, 如果比较器后随是逻辑电路, 例如记数电路, 那么在图 3-13(b) 中 M 、 N 区中将记数, 在 X 、 Y 区中也将记数, 这就会引起判断错误.

一般说, 比较器灵敏度越高, 这个振铃持续时间越长, 这是使用比较器所必须加以克服的.

2. 滞迟型电平比较器

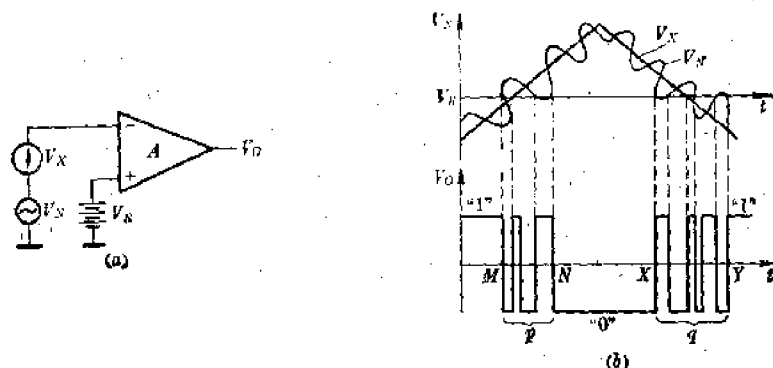


图 3-13 比较器的振铃振荡

电平检测器振铃现象的克服,可以采用具有滞迟特性的比较电路,也就是人们熟知的施密特触发器型式的电路。给电压比较器施加少量的正反馈,就能组成克服振铃现象的电平比较器。图 3-14 示出这种比较器的原理图。在 V_R 端加入微量的正反馈,也就是将输出的信号电压中,通过电阻网络 R_1 和 R_2 ,反馈到输入端(+)并与 V_R 迭加,构成一个滞后阈值 ΔV_R ,使比较器输出从“0”到“1”,和从“1”到“0”的判别电平分别是 V_R' 和 V_R'' ,就能克服振铃现象的产生。图 3-14(b)是其工作波形图,只要 ΔV_R 选择合适,就可消除图 3-13(b)中的两个振铃区 MN 和 XY 的出现。

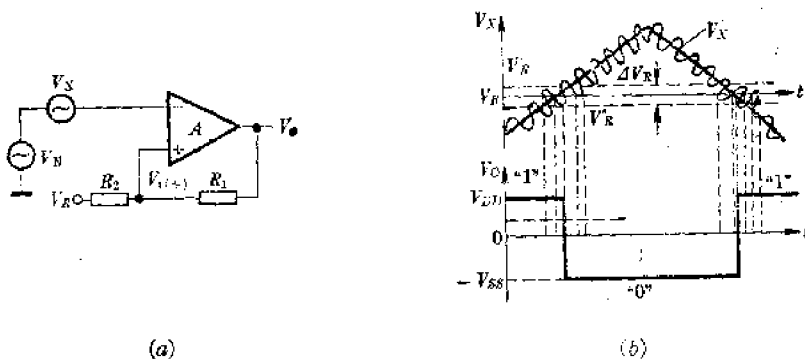


图 3-14 振荡克服方法

从图 3-14(a)可知,当 $V_o = "1"$ 电平时,比较器同相输入端的电位 $V_{k(+)}'$ 与当 $V_o = "0"$ 电平时的同相端输入电平 $V_{k(+)}''$ 是不同的。由于从 CMOS 电压比较器的基本特性中知道,输出电平是电源电压电平,即 $V_{o(+)} = V_{DD}$ 、 $V_{o(-)} = V_{SS}$,若使用对称双电源供电, $V_{DD} = |V_{SS}|$,则仅是符号相反。利用迭加原理可分别求得 $V_o = "1"$ 和 $V_o = "0"$ 时的 $V_{k(+)}'$ 和 $V_{k(+)}''$ 的值:

$$V_{k(+)}'|_{V_o="1"} = V_R' = \frac{R_1}{R_1 + R_2} V_R + \frac{R_2}{R_1 + R_2} V_{DD} \quad (3-13)$$

$$V_{k(+)}''|_{V_o="0"} = V_R'' = \frac{R_1}{R_1 + R_2} V_R - \frac{R_2}{R_1 + R_2} |V_{SS}| \quad (3-14)$$

$$\Delta V_R = V_R' - V_R'' = \frac{R_2}{R_1 + R_2} (V_{DD} + |V_{SS}|) \quad (3-15)$$

通过设置 R_1 和 R_2 的比值,就可获得所需的 ΔV_R 值。从图 3-14(b)可看出,只要 ΔV_R 值大于等于输入噪声电压 V_N 的峰-峰值,就能有效地克服振铃现象的产生。

3. 零交比较器

在自动检测或是模数变换等系统中,常用电压比较器作为零交放大器,因此零交比较器的应用也十分广泛。所谓零交比较器,是指一个输入未知信号与零电压进行比较,当未知信号 $V_x > 0$ 时, $V_o = "1"$ (或“0”),反之,当 $V_x < 0$ 时, $V_o = "0"$ 。图 3-15 示出零交比较器在典型应用时的连接法和输入、输出波形图。图中没有考虑比较器的失调和振铃问题。

从图 3-15 中可以看出,未知电压加到比较器的同相端时,当 $V_x > 0$ 时,则 $V_o = "1"$, $V_x < 0$,则 $V_o = "0"$;当 V_x 从反相端加入时,则有与上述相反的输出状态,可以按照不同需要引入 V_x 。

另一种零交比较器的电路形式如图 3-16 所示,这里,实际上是用零电位作参考,来比较两个输入信号绝对值的大小。输入信号 V_{x1} 和 V_{x2} 是两个符号相反的未知电压,或者

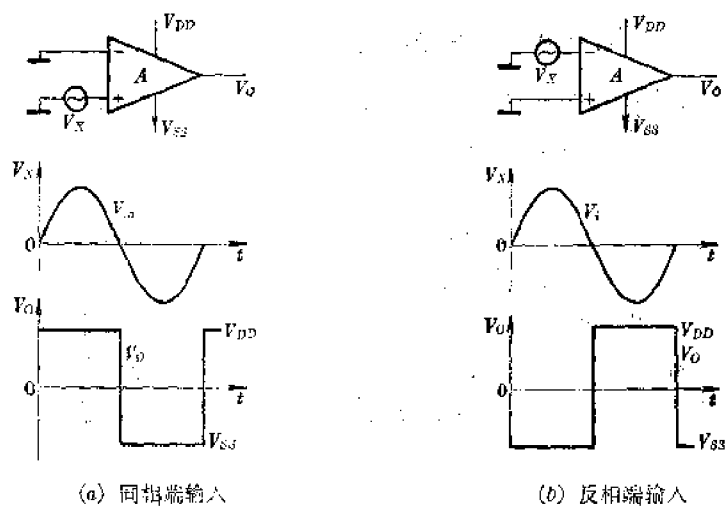


图 3-15 零交比较器

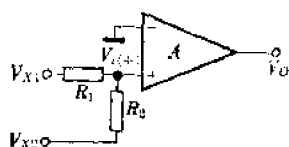


图 3-16 零交比较器的另一形式

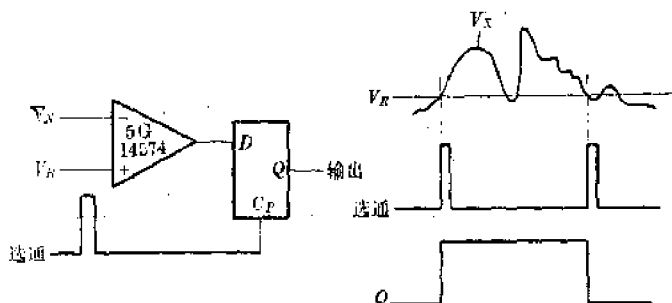


图 3-17 有锁存器的比较器

其中一个为已知的设定电压，若电阻 $R_1 = R_2$ ，则当 $V_{X1} = |V_{X2}|$ 时，比较器的输出状态翻转，从原来的“0”（或“1”）变为“1”（或“0”）。实际上将两个输入的代数和为零作判断点。在应用时，也可以使 $R_1 \neq R_2$ ，此时判断点由下式确定：

$$V_{X(+)} = V_{X1} \frac{R_2}{R_1 + R_2} - \frac{R_1}{R_1 + R_2} |V_{X2}| = 0 \quad (3-16)$$

当

$$V_{X1} \cdot R_2 = |V_{X2}| R_1 \quad (3-17)$$

时比较器输出翻转，状态改变。当令 $V_{X1} = V_R$ 为已知设定电压时，则比较判断点可表示为：

$$|V_{X2}| = \frac{R_2}{R_1} V_R \quad (3-18)$$

4. 电平比较结果的锁存

在有些电子系统中，需要将某一时刻的比较结果保存下来，直到另一比较时刻再存入新的比较结果，这就要求比较器具有选通锁存功能。图 3-17 示出将 CMOS 比较器和一个 D 触发器组合在一起的具有选通功能的电平比较电路，以及输入输出波形图。当需要选通比较器比较时，在 D 触发器时钟端输入一正向跳变的脉冲，就可将比较器输出即送到数据端 D 端比较结果就锁存在触发器输出 Q 端。

二、CMOS 四电压比较器的应用例举

由于 CMOS 四电压比较器 5G14574 内含四个比较单元, 因而可以构成一些十分有用的比较电路, 下面分别例举一些典型电路。

1. 区域比较电路

区域比较是指这种比较电路在设定的模拟电压区域内有明确的输出逻辑值(“1”或“0”), 这种比较电路最简单的例子是用二个比较单元构成的“窗口”比较器, 如图 3-18 所示。图中 V_H 和 V_L 分别表示上限电压和下限电压, 当满足表 3-3 所列的关系, 且在 $V_L < V_X < V_H$ 时, 输出为逻辑“0”, 从图 3-18 可知, 比较器 A 和 B 的输出送到与非门 Y, 系统输出 V_o 是与非门 Y 的输出。图 3-19 示出图 3-18 电路的输入输出转移特性, 显然, “窗口”宽度 $\Delta V = V_H - V_L$ 。

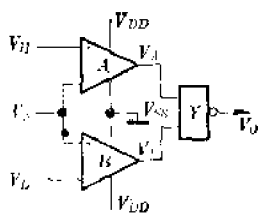


图 3-13 区域比较器

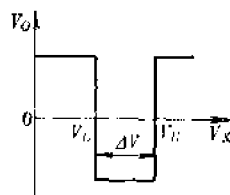


图 3-19 转移特性

表 3-3 输入输出真值

V_X	V_A	V_B	V_o
$V_X > V_H$	0	1	1
$V_L < V_X < V_H$	1	1	0
$V_X < V_L$	1	0	1

利用两块 5G14574, 即八个比较单元, 可以构成具有四个区域指示的比较电路。由图 3-20 可知, 每两个比较单元分别设置不同的 V_H 和 V_L 值, 四个等值电阻 R 用来提供四个参考电压, 由窗口比较器的原理可知, 输出 V_{oi} 指示:

$$\frac{3}{4} V_R < V_X < V_R$$

区间: V_{o3} 指示:

$$\frac{1}{2} V_R < V_X < \frac{3}{4} V_R$$

区间: V_{o2} 指示:

$$\frac{1}{4} V_R < V_X < \frac{1}{2} V_R$$

区间: 而 V_{o4} 则指示:

$$0 < V_X < \frac{1}{4} V_R$$

区间。用四个发光二极管(LED)分别指示 V_X 落在哪一区间。

一般来说, 四个区间的电平值也可以用各自独立的电源来提供给比较器, 从而获得所需的区域范围。

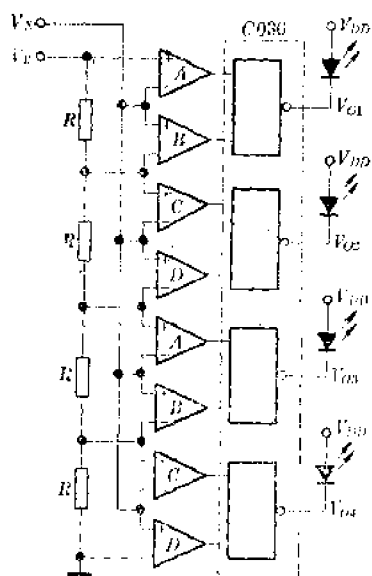


图 3-20 四区域比较器之一

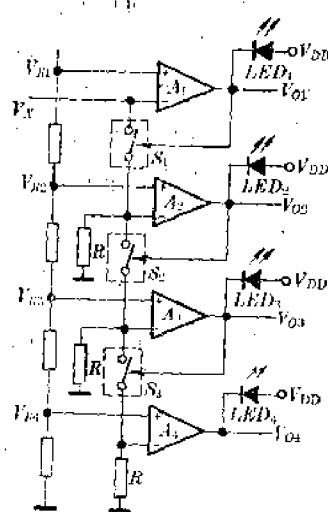


图 3-21 四区域比较器之二

若图 3-20 电路改用 CMOS 模拟开关 C544 来控制比较器的工作, 可得到如图 3-21 所示的电路, 它较之图 3-20 的电路可以节省四个电压比较单元, 而同样有四个比较区域。

图 3-21 中, 当 V_x 落在最低区域, 即 $0 < V_x < V_{th1}$ 时, 比较器 A_1 、 A_2 、 A_3 输出“1”, 只有 A_4 输出“0”, LED_4 点燃。在这种状态时, 开关 S_1 、 S_2 、 S_3 均接通。如果 $V_{th1} < V_x < V_{th2}$ 时, 比较器 A_1 、 A_2 输出“1”, S_1 、 S_2 接通, 而由于 A_3 输出“0”, S_3 断开, 因而 V_x 加不到 A_4 , 使其输出亦为“1”, 仅 LED_3 点燃。同理可推得另外两个区域, 得到图 3-22 的波形图。

2. 自动量程转换电路

区域比较电路的推广, 可以构成自动量程转换电路。图 3-23 示出一个有四档量程的自动转换电路。图中放大器 IC 是精密运放 5G7650, 转换开关可用 CMOS 四模拟开关 C544, 开关控制和转换电路由 5G14574 CMOS 四电压比较器和门电路构成。由图可知, 输入信号 V_i 通过四个开关加到运放反相输入端, 同时也加到比较器的输入端。四个比较器的反相输

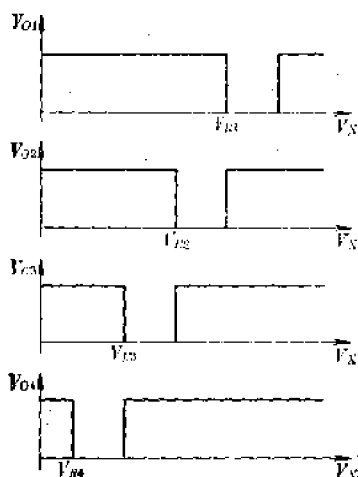


图 3-22 波形图

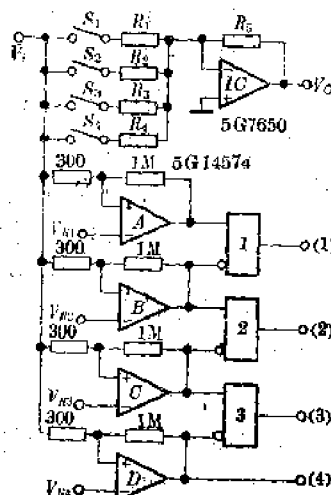


图 3-23 自动量程切换电路

入端分别设置在不同的参考电压 V_{R1} 、 V_{R2} 、 V_{R3} 和 V_{R4} 上, 以使比较器的输出控制对应的开关 S_1 、 S_2 、 S_3 和 S_4 的通断, 四个比较器均加上正反馈, 以防止振铃振荡。

当输入信号处于 $V_{R1} < V_i < V_{R2}$ 时, 开关 S_1 接通, 因为此时比较器 A 输出为“1”, 比较器 B 、 C 、 D 输出均为“0”, 门 1 输出“1”, S_1 接通。同样当处于 $V_{R2} < V_i < V_{R3}$ 时, 比较器 A 、 B 输出“1”, 比较器 C 、 D 输出为“0”, 此时, 仅门 2 输出为“1”, 其余输出为“0”, 故只有 S_2 接通。这样就可以通过开关 S_1 、 S_2 、 S_3 和 S_4 的通断获得如图 3-24 所示的放大器增益特性, 图 3-24 中,

$$A_{V1} = \frac{R_5}{R_1}, \quad A_{V2} = \frac{R_5}{R_2}, \quad A_{V3} = \frac{R_5}{R_3}, \quad A_{V4} = \frac{R_5}{R_4}.$$

如果要使量程划分更细, 可用两块 5G14574, 构成 8 种不同的增益, 从而使电路具有类似 AGC 的特性。



图 3-24 增益特性

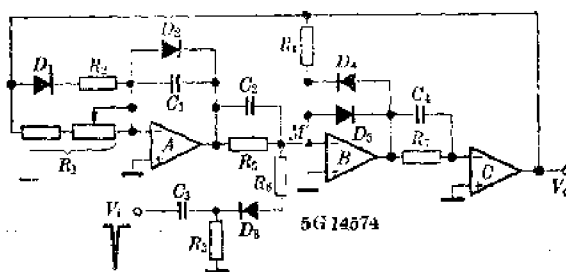


图 3-25 单稳电路

3. 电压比较器在脉冲电路中的应用

电压比较器可以用作单稳态延时电路, 因而可以获得在脉冲电路中的一些有用的应用。为说明这一点, 先看图 3-25 所示的暂稳时间连续可调的单稳态电路。电路在无输入信号 V_i 时, 处于静态, 即稳态。此时, 由于比较器 A 、 B 、 C 三级串级反馈, 比较器 C 输出高电平即逻辑“1”。很显然由于 D_1 正向偏置, 比较器 A 输出被二极管 D_2 箝位在 $-V_{DF2}$ (约为 -0.7V) 上, 从而使比较器 B 的反相端 M 点电位高于零而输出被 D_3 箝位为 $-V_{DF3}$, 这就保证比较器 C 输出为“1”。当 V_i 作用一个幅度足够大的负向脉冲 V_i 时, D_3 正偏导通, 使 M 点电位低于零电位, 比较器 B 输出从原来的“0”变为“1”, 从而使比较器 C 输出亦翻转, 并从“1”变为“0”, 这样一来, 二极管 D_1 截止, 比较器 A 输出从 $-V_{DF}$ 开始正向线性上升, C_1 经 R_1 充电, M 点电位从负向正上升, 直到 A 的输出足够大时, 使 M 点电位上升到零电位时, 比较器 B 输出又一次翻转, 从“1”变为零, 导致 C 亦翻转, 从“0”变“1”, 产生正反馈, 暂稳态结束。暂稳时间, 即为 C_1 和 R_1 的充电到使 M 点等于零电平的时间, 并可表示为:

$$t_d = \frac{(V_{DD} + |V_{DF}|)C_1}{V_{DD}/R_1} = \frac{V_{DD} + V_{DF}}{V_{DD}} \cdot R_1 C_1 \quad (3-19)$$

调节 R_1 可以改变暂稳时间 t_d 。

4. 电视信号处理电路

用 5G14574 可以构成电视同步信号的切割和分离电路, 也就是行、帧频率分离电路。图 3-26 示出电路结构和工作原理图。从图 3-26 可知, 比较器 A 作幅度分离电路, B 作为施密特触发器, C 和 D 构成可再生触发的单稳态多谐振荡器。其整个电路的工作原理可简述于下: 在视频信号期间, 比较器 A 同相输入箝位在 V_{DF1} 上, 使 A 的同相输入端的电位低于反

相输入端, A 的输出处于逻辑“0”电平。当同步信号到来时, 只要同步信号幅值使 A 的同相端高于反相端, A 输出由“0”变“1”, 并对 R_3C_2 积分, 当帧同步信号(开槽脉冲组成)使比较器 B 的反相端电平(由 R_3C_2 积分获得)高于同相端电平时, B 的输出由“1”变为“0”, 在 B 的输出获得帧同步信号。同时 A 的输出又去触发单稳态电路 C 和 D , 使 D 的输出为行同步信号。 C 和 D 的原理与图 3-25 电路类似, 这里不再赘述。

5. 延迟电路

利用 CMOS 电压比较器固有的输入阻抗极高的特点, 可以构成长延迟定时电路。图 3-27 示出它的工作电路图和波形图。图中 R 和 C 是定时时间常数回路, R_1 和 R_2 组成门限电位发生器(即分压电路), R_3 和 R_4 则是正反馈网络。

电路起动时, 只要打开 S_1 开关, 电容 C 经 R 充电, 电容 C 上电压按指数规律上升, 当 C 上电压上升到等于由 R_1 和 R_2 决定的门限电位时, 比较器翻转, 经 C 的正反馈作用加到比较器同相端, 加速状态翻转。由于 CMOS 电压比较器的输入端几乎不需要输入偏流(1nA 以下), 因此 R 和 C 的值可取得足够大, 可延时几分钟到几十分钟。

利用比较器作定时电路的用途十分广泛, 为此集成电路工作者专门设计了一种专用定时电路, 它是将比较器和数字电路结合, 可以构成精密定时电路, 这就是下一节要讨论 CMOS 定时电路(又称时基电路)。

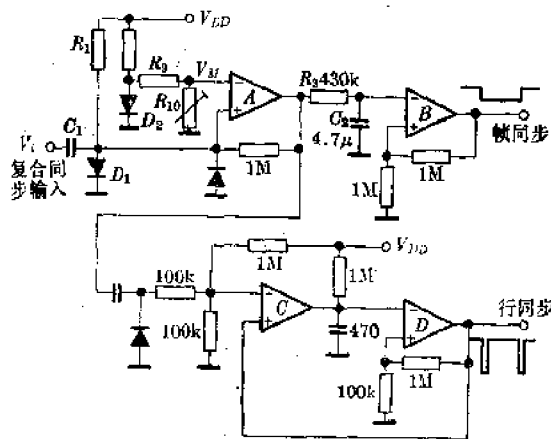


图 3-26 同步分离电路

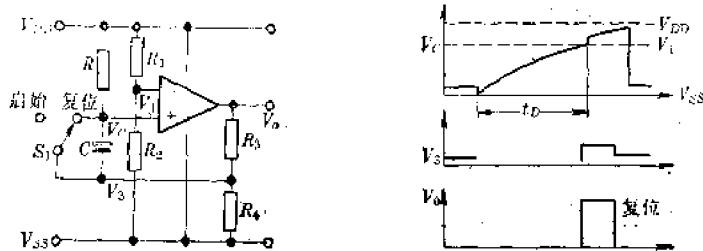


图 3-27 延迟电路

§ 3-4 CMOS 定时电路 5G7556

如前所述, CMOS 技术十分容易在同一单片上将模拟电路和数字电路兼容在一起, 组成一些十分有用的电路。本节要讨论的 CMOS 定时电路 5G7556(同美国 Intersil 公司 ICM7556)就是兼容了模拟和数字两种电路的一个典型的产品。

1972 年美国 Signetics 公司用双极型技术研制了一种称为 timor 的电路 NE555。这个电路最初是为用集成电路取代热延迟继电器等机械延迟器而研制的, 但电路推入市场后人们在应用实践中, 发现这种电路的用途十分广泛, 几乎遍及各个领域, 需要量逐年上升。鉴

于这一情势, 美日等国家的半导体厂商相继生产这类电路。七十年代后期 Intersil 公司用 CMOS 技术也研制了类似的电路, ICM7556 即是一个代表产品。1981 年上海元件五厂也分别用双极技术和 CMOS 技术制成了 5G1555 和 5G7556 两类各具特色的定时电路。本节主要介绍 5G7556。

一、5G7556 电路结构及工作原理

5G7556 是一种内含两个相同定时电路单元的双时基电路。与所有 CMOS 电路一样,

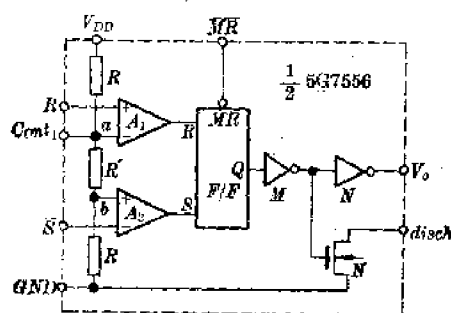


图 3-28 功能框图

它具有输入阻抗高、功耗极微、电源范围宽等一系列优点。5G7556 特别适宜用于低功耗、长延时场合, 较之双极型定时电路除输出驱动能力较低外, 其余均要优越。

图 3-28 示出 5G7556 双时基电路中的一个定时单元的方框原理图。电路包含二个比较器, 一个 R-S 触发器, 二个反相器, 一个用来放电的 NMOS 晶体管 N , 一个由三个电阻组成的提供二个比较器 A_1 和 A_2 参考基准的分压网络。

可以把比较器 A_1 (称为上比较器) 的同相输入端称为复位输入端“ R ”, 当这 R 端的电位高于 A_1 反相输入端“ a ”的电位 (即 $V_R > V_a = \frac{R+R}{R+R+R}(V_{DD}-V_{GND}) = \frac{2}{3}V_{DD}$) 时, A_1 输出“1”, 使后随 R-S (复位-置位) 触发器输出 V_o 为逻辑“0”。这就是说,

$$V_R > V_a = \frac{2}{3} V_{DD}$$

时, $V_o = “0”$, 电路处于复位状态。

把比较器 A_2 (称为下比较器) 的反相端称为置位端 $\bar{S}$, 当 $\bar{S}$ 的电位

$$V_{\bar{S}} < V_b = \frac{1}{3} V_{DD}$$

时, A_2 输出为“1”, 使后随 F/F 触发器置位, Q 端输出 V_o 为逻辑“1”, 电路处于置位状态。在某种意义上说, 图 3-28 极类似于一个置位-复位触发器。

内部触发器 F/F 还设置一个优先复位端 $\overline{MR}$, 就是说, 只要 $\overline{MR} = “0”$, 无论 R 和 $\bar{S}$ 端处于什么电平, F/F 的输出 $Q = “0”$, 从而 $V_o = “0”$ 。此时称为主复位状态。

从图 3-28 可以看出, N 管的漏极, 即 $disch$ 端, 是用来监控外部电容器的电位, 提供一放电通路, 当电路处于复位状态时, N 管栅极处于高电位而导通, $disch$ 端相当于对地 (GND 端) 短接, 外部电容可通过 N 管放电, 当电路处于置位状态时, N 管截止, $disch$ 端对地断开, 允许外部电容充电。

表 3-4 列出 5G7556 电路工作真值表。它极类似于数字电路中的 R-S 触发器, 但不同的是这种 R-S 触发器的输入电平是模拟电平, 具有与内设的两个参考电位比较的功能, 而不是数字信号“0”或“1”。正因如此它的用途远比数字 R-S 触发器要广泛。

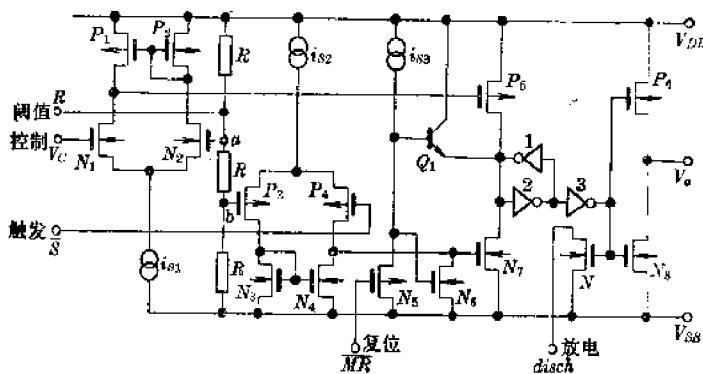
5G7556 内部电路示于图 3-29, 图中偏置用的电流源用双圈来标记, 以简化电路。从图可知, P_1 、 P_2 和 N_1 、 N_2 组成差分输入的上比较器, 这是一个在第二章中已讨论过的典型的双-单转换差分放大级。 i_{a1} 作为它的偏置电流源。 N_3 、 N_4 、 P_3 、 P_4 则构成差分输入的下

表 3-4 真值表

输入端			输出端	
R	$\bar{S}$	$\overline{MR}$	$disch$	V_o
*	*	"0"	"0"	"0"
1	0	"1"	"0"	"0"
0	1	"1"	1	1
1	1	"1"	不	确
			定	

*: 指任意电平, "0": 表示 0, 1 表示 1 为全电平值。

比较器, i_{s3} 作它的偏置电流源。两个比较器的输出分别接到 P_5 和 N_7 的栅极。很明显, 当 R 端电位高于 a 点 (即 N_2 的栅极) 电位时, N_1 漏极电位下降, 使 P_5 管电流增大, 导至门 2 输入为 "1", 经门 1 的正反馈作用, 保持门 2 输入的 "1" 状态, 从而使输出 V_o 为 "0"; 同样原理, 当 $\bar{S}$ 即 P_4 栅极电位低于 P_3 栅极 (即 b 点) 电位时, 使 P_4 漏极电位升高, 导至 N_7 管电流增大, 门 2 输入电位为 "0", 经门 1 正

图 3-29 $\frac{1}{2}$ 5G7556 的内部等效电路图

反馈维持门 1 的 "0" 电平输入, 从而使输出 V_o 为 "1"。由图还可知道, 当 $\overline{MR}$ 端为 "0" 电平时, N_5 截止, 电流源 i_{s3} 无通路, 使 N_6 导通, 结果 N_7 漏极为 "1", 使门 2 输入为 "1", 从而使 V_o 为 "0", 电路进入主复位状态, 此时, 不管 P_5 和 N_7 的栅极电位如何, 电路总是处于复位状态, 直到 $\overline{MR}$ 回到 "1" 电平, N_5 导通, i_{s3} 有通路, N_6 截止, 不影响 N_7 的状态, 此时 R 或 $\bar{S}$ 的作用才能影响电路状态。

在 5G7556 中, 还设置一个阈值控制端 V_c , 通过这一端在外部可以设置上、下两个比较器的基准电位, 达到改变 R 和 $\bar{S}$ 端有效作用电压的目的。这个端子在应用时是十分有用的, 可通过 V_c 端外施调节信号, 达到调制输出状态的目的。

二、5G7556 主要电特性和引线排列

5G7556 的引线排列如图 3-30 所示, 两个定时单元基本上安放在双列直插式封装的二



图 3-30 外形图

边。因此使用和设计印板比较方便。电路采用 14 支引线双列直插陶瓷和塑料封装。在图中引出端 1~6 是第一个定时单元的功能端排列的文字标记并用下脚标 "1" 表示。引出端 8~13 则是第二个定时单元的功能端排列标记, 用下脚标 "2" 表示。14 和 7 端是电源正端和负端, 用 V_{DD} 和 V_{SS} 标记。

表 3-5 示出 5G7556 电参数规范, 从表中可以看出, 电路工作电源能在 3~16 范围内工作, 电源范围较宽。

表 3-5 5G7556 电参数一览表

 $T_A = 25^\circ\text{C}$

参数名称	符 号	条 件	规 范			单 位
			min	TYP	max	
电源电压	V_{DD}	$-20^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$	3		16	V
静态电流	I_{DD}	$V_{DD} = +15\text{V}$ $R_L = \infty$		650	1200	μA
初始精度		$R_A, R_B = 1 \sim 100\text{k}$ $5\text{V} \leq V_{DD} \leq 15\text{V}$, $C = 0.1\mu\text{F}$		2.0	5.0	%
温度漂移		$V_{DD} = 15\text{V}$			600	$\text{ppm}/^\circ\text{C}$
电源漂移		$V_{DD} = 15\text{V}$		1.0	3.0	$\%/V$
阈值端电压	V_{TH}	V_{DD}		$\frac{2}{3}V_{DD}$		V
触发端电压	V_{TRIG}	V_{DD}		$\frac{1}{2}V_{DD}$		V
触发端电流	I_{TRIG}	$V_{DD} = 15\text{V}$		50		μA
阈值端电流	I_{TH}	$V_{DD} = 15\text{V}$		50		μA
复位端电压	V_{RSN}	$V_{DD} = 15\text{V}$	0.4	0.7	1.0	V
复位端电流	I_{RSN}	$V_{DD} = 15\text{V}$		100		μA
输出 电 压	V_{OL}	$V_{DD} = 15\text{V}$ $I_{\text{负载}} = 3.2\text{mA}$		0.1	0.4	V
	V_{OH}	$V_{DD} = 15\text{V}$ $I_{\text{负载}} = 1\text{mA}$	14	14.8		V
最高振荡频率	f_{max}	非稳态触发器	500			kHz

由于电路输出 V_o 为全电源电平, 因此其输出可后随 TTL、CMOS、HTL 等数字逻辑电路, 另外输入端电流极小, 因而阻抗十分高。

5G7556 在设计时, 除了要求上、下比较器有较高的增益外 (这可以通过 i_{s1} 、 i_{s2} 电流源电流的控制和输入级 MOS 晶体管的 $\frac{W}{L}$ 的设计来获得高增益), 输出驱动能力十分重

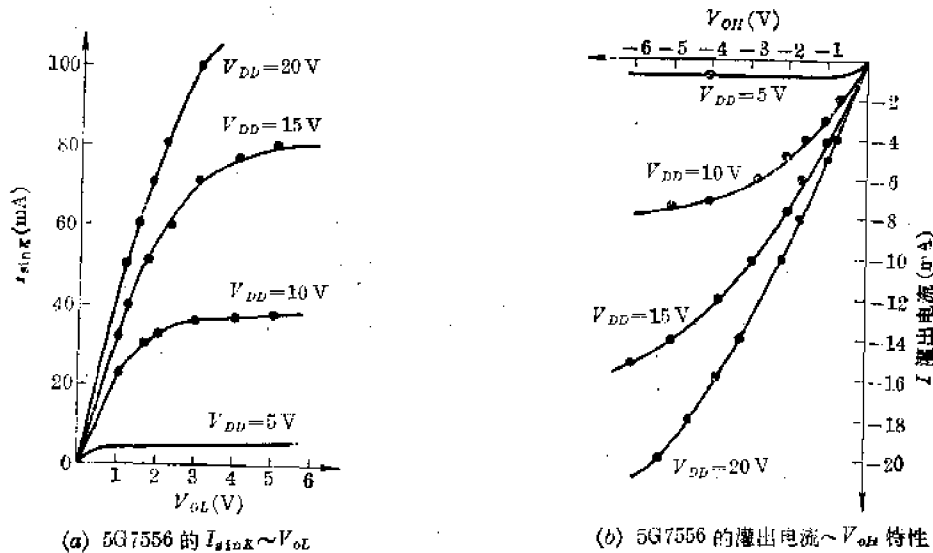


图 3-31 输出管特性

要, 因此须作充分的考虑。由于输出驱动能力主要决定于图 3-29 中的 P_s 和 N_s 两管的 $\frac{W}{L}$ 设计, 因此了解这两个不同沟道晶体管的电流特性十分必要。

图 3-31(a) 示出 N_s 晶体管在不同 V_{DD} ($V_{ss}=0V$) 时的伏安特性曲线, 当 N_s 导通时, 即电路处于复位状态 $V_o="0"$, 能灌入 N_s 的电流, 用 I_{sink} 表示。一般在低电平 $V_{oL} \leq 0.4V$ 时, $I_{sink} \approx 5mA$, 此时 $V_{DD}=5V$, 若 $V_{DD}=10V$ 则在同样低电平时, $I_{sink} \approx 10mA$, 而 $V_{DD}=15V$ 时, $I_{sink} \approx 15mA$ 。可见电路在 $V_{DD}=5V$ 时可带 4 个 TTL 门电路, 负载能力较强。

图 3-31(b) 则是 P_s 管的伏安特性, 它较之 N_s 要差些, 在电路处于置位状态, $V_o="1"$, 可向负载驱出的电流用 I_{source} 表示, 由图 3-31(b) 知, 在 $V_{DD}=5V$ 时, $I_{source} \approx 1mA$, $V_{DD}=10V$ 时, $I_{source} \approx 2mA$, 因此必要时可外加一个 NPN 晶体管来扩大工作电流。图 3-32 则是扩展电流的连接方法。若用 3DG12 扩大电流, 则 I_{source} 可扩大到 50~100mA, 足以带动诸如继电器线包、电磁阀线包或其他电感或电容性负载, 但加了晶体管 Q 后, 电流灌入能力大大下降, 因为在 $V_o="0"$ 时, Q 管将截止, 负载不能向电路灌入电流。

由于在应用定时电路时, 放电端 (disch) 一般要接在电容一端, 因此当 N 管导通时, 电容上的电荷要通过 N 管放电, 当外接电容容量较大时, N 管要承受较大的能量, 为此要有足够大的 $\frac{W}{L}$ 值, 以能允许灌入较大的电流。图 3-33 示出放电管 N 的伏安特性, 在 V_{DD} 为 5V 时, 允许低电平 $V_{oL} \leq 0.5V$ 时的放电电流约为 10mA; 在 $V_{DD}=10V$ 时, 可允许 20mA 放电电流; $V_{DD}=15V$ 时, 则有 30mA 放电电流。使用时可按此特性设计放电回路。

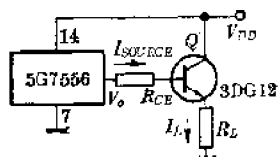


图 3-32 5G7556 灌出电流的扩大方法

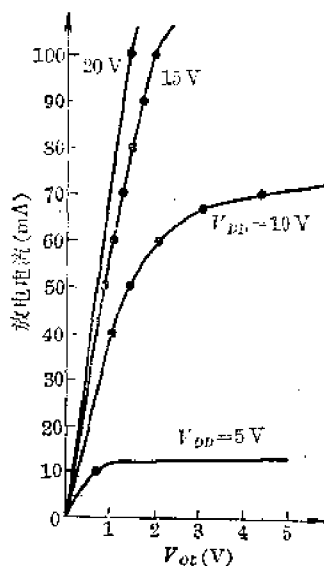


图 3-33 5G7556 放电 MOS 管的导通特性

§ 3-5 5G7556 的典型应用

5G7556 CMOS 双时基电路的用途十分广泛, 除了要求驱动较大电流的电感负载外, 凡是双极型时基电路 (NE555 或 5G1555) 可以应用的场合, 都可互换应用。5G7556 双时基电路的使用, 可以归纳为三种基本的工作模式, 下面分别举些实例加以说明。为讨论简便, 在介绍应用原理时, 一般以一个单元为例。

一、单稳态多谐振荡器模式

只要在 5G7556 的其中一个单元电路的外部加接少量的电阻和电容元件, 就能构成单稳延迟电路。这种工作模式是定时电路最基本的应用模式之一。

1. 单稳模式原理

图 3-34 示出 $\frac{1}{2}$ 5G7556 作单稳态多谐振荡器模式的原理图。图中, 将 R 端和 $disch$ 端短接, 并在外部加接一电阻 R 和电容 C 的定时网络, 电路 $\overline{MR}$ 端接 V_{DD} , S 端作起始信号 V_i 的输入端, 也称触发端。

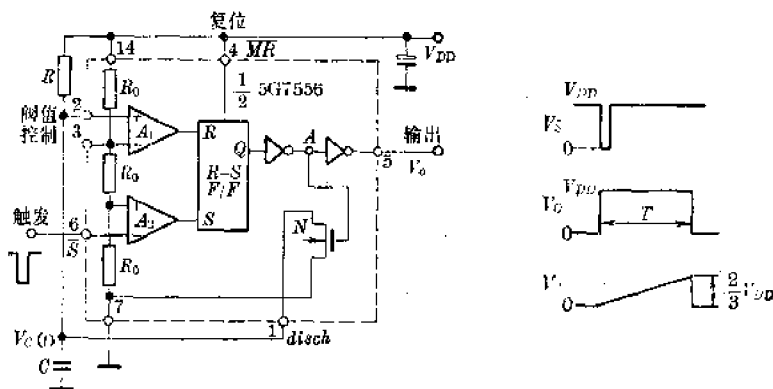


图 3-34 单稳态触发器模式

设电路初始状态为复位状态, 输出 $V_o = "0"$, 放电 MOS 管 N 导通, 外部电容 C 不能被充电, R 端被置于 $"0"$ 电平。电路处于稳定状态, 电容器 C 上的电压 $V_c(t_0) = 0$ 。电路起始工作受 $\bar{S}$ 端输入的负向脉冲起动。当 $\bar{S}$ 端出现低于 $\frac{1}{3} V_{DD}$ 的负向脉冲时, 比较器 A_2 输出为 $"1"$, F/F 被置位, Q 端输出 $"1"$, 经反相器反相后使放电管 N 截止, 同时使电路输出 $V_o = "1"$, 电路处于置位阶段, 进入暂稳态。当 V_i 消失后, 由于 Q 端输出不变, 虽然 A_2 输出为 $"0"$, 但电路输出仍为 $"1"$, 此时由于 N 管截止, 电容 C 允许充电, C 上电压随时间增长而指数上升, 并有:

$$V_c(t) = V_{DD}(1 - e^{-t/RC}) \quad (3-20)$$

当电容 C 上电压 $V_c(t)$ 上升到 $\frac{2}{3} V_{DD}$ 值时, 比较器 A_1 输出为 $"1"$, F/F 被复位, Q 端输出由原来的 $"1"$ 变为 $"0"$, 放电管 N 再次导通, C 上电荷经 N 管迅速放电到 $"0"$, 电路重复进入稳态, 暂稳状态结束。设 $V_c(t)$ 从 0 上升到 $\frac{2}{3} V_{DD}$ 的时间为 t_d , 则有:

$$\frac{2}{3} V_{DD} = V_{DD}(1 - e^{-t_d/RC}) \quad (3-21)$$

由 (3-21) 式, 可解出:

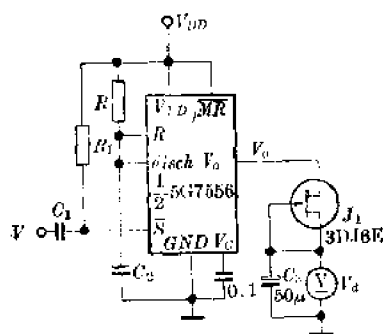
$$t_d = RC \ln 3 \approx 1.1RC \quad (3-22)$$

(3-22) 式说明: 图 3-34 的单稳模式其暂稳时间, 即延迟时间 t_d 与电路工作电压 V_{DD} 无关, 仅决定于外设的 $R \cdot C$ 时间常数。一般 R 可取 $10k\Omega \sim 100M\Omega$, C 可取 $100pF \sim 100\mu F$, 因而可获得较长的延迟时间。

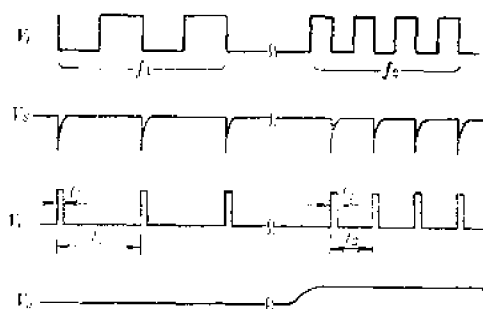
2. 单稳模式的典型应用举例

单稳模式的实际应用例子较多,下面例举几个较为典型的电路加以说明,从中看出它的用途。

(1) 周率(速率)计 利用 $\frac{1}{2}$ 5G7556 可以组成一个模拟周率计,也就是用电表指示周波数的电路。实际上这是一个单稳延迟电路,它将不同频率的输入信号 V_i ,经微分后作为 $\bar{S}$ 端触发信号,然后固定延迟一段时间 t_d ,从而获得不同占空系数的脉冲输出,经结型常效应晶体管 J_1 (它是一个电流源)和 C_2 积分,在电表上可获得正比于周率的电压,因而可从电表上直读周率数。图 3-35 是这种周率计的原理图,它也可称作 F/V 转换电路,即频率电压转换电路。



(a) 电路图



(b) 波形图

图 3-35 周率计

从图 3-35(b)的波形图可以看出,若输入频率 $f_1 < f_2$, 则 $t_1 > t_2$, 由于每次触发输入后的延迟时间由 RC_2 决定, 因此 RC_2 一定时, t_d 恒定, 且有: $t_d = 1.1RC_2$ 。这样, 对于 f , 输

(2) 超速报警电路 将一块 5G7556 和少量分立元件组合, 可构成汽车、马达等运转部件的超速报警电路。为说明方便, 我们将这一电路中的一块 5G7556 画成两个方块, 它们各为电路中一个单元。图 3-36 中, (a) 是电路图, (b) 是工作波形图。

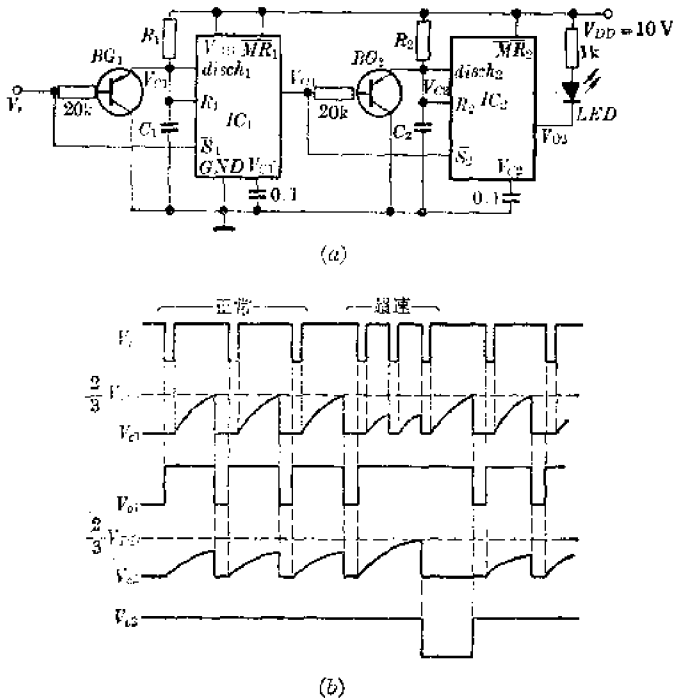


图 3-36 超速报警电路

隔内 C_1 上充电电压小于 $\frac{2}{3} V_{DD}$, 因此在正常速度超过正常值的期间, IC_1 输出 V_{o1} 将持续处于高电平, 如图 3-36(b) 所示。

由于 V_{o1} 用于控制 BG_2 和 $\bar{S}_2$, 因此对于 IC_2 即第二个延迟单元, 其工作状况类似于 IC_1 , 只是 IC_2 的外部充电时间常数 $t_{d2} = 1.1R_2C_2$ 大于 V_{o1} 在正常速度时输入脉冲的周期, 因此正常速度时, C_2 上充电电压小于 $\frac{2}{3} V_{DD}$, 电路一直处于置位状态。一旦超速时, V_{o1} 输出持续为“1”电平, C_2 上充电电压才能达到 $\frac{2}{3} V_{DD}$, V_{o2} 复位为“0”电平, 发光二极管 (LED) 被点燃, 指示速度超过允许值。

设正常速度时, 输入 V_i 脉冲周期的最小值为 t_{min} , 则 R_1C_1 和 R_2C_2 的选择受下列条件约束:

$$1.1R_1C_1 = t_{d1} < t_{min} < t_{d2} = 1.1R_2C_2 \quad (3-25)$$

对于最低的超速输入信号的周期为 t'_{max} 则有:

$$t'_{max} < 1.1t_{d1} \quad (3-26)$$

合并 (3-25) 和 (3-26) 式后有:

$$t_{min} > t_{d1} > t'_{max} \quad (3-27)$$

(3) 长延时电路 将数块 5G7556 串接起来, 可以构成长延迟电路。图 3-37 示出它的原理图 (图中只画四级串接电路)。图中每一延时单元的延迟输出接到下一级 $\bar{S}$ 端, 并将四个输出 V_{o1} , V_{o2} , V_{o3} , V_{o4} 用一个四输入端或门相“加”, 在或门输出端得到图 3-38 所示的

从图 3-36 可以看出, 当输入信号 V_i (是由转速经检测器变换成脉冲后的信号, 且正比于转速的信号) 负向跳变时, BG_1 导通, IC_1 的 $\bar{S}_1$ 被置位, 此时

$$V_{o1} = "1"$$

虽然内部放电管 N_1 截止允许 C_1 充电, 但由于 BG_1 在 V_i 负向持续期间内 C_1 仍被短路, 不能充电, 直到负向期结束, V_i 上跳才能开始充电。在正常速度时, V_i 频率较低, 因此信号周期较长, 通过选取 R_1C_1 值使脉冲间隔内 C_1 上允许充电电压达到 $\frac{2}{3} V_{DD}$, 也就是说 $t_{正常}$ 时的最小值应大于 $1.1R_1C_1$ 值; 当输入信号 V_i 超过正常值的速度时, 在两个脉冲间

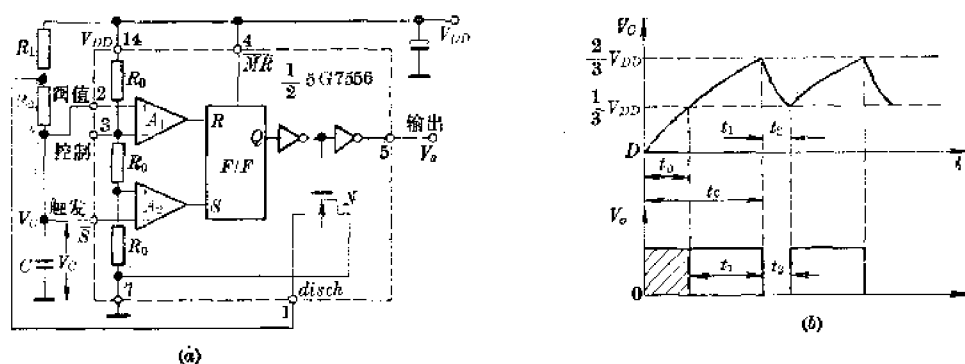


图 3-40 无稳态多谐振荡器及波形图

$$V_c(t_1) = \frac{2}{3} V_{DD}$$

时, R 端工作, 电路进入复位状态, $V_o = "0"$, N 管导通, C 上电荷经 R_2 到 N 管放电。当 C 上电位放电到 $\frac{1}{3} V_{DD}$ 时, 电路又处于置位状态, $V_o = "1"$, 如此周而复始形成多谐振荡。振荡周期在不计开机起始从 0 充电到 $\frac{1}{3} V_{DD}$ 的时间时, 可作如下推导求出:

电容 C 的充电时间常数 $\tau_1 = (R_1 + R_2)C$, 电容 C 上初始值

$$V_c(t_0) = \frac{1}{3} V_{DD}$$

终值为

$$V_c(t_1) = \frac{2}{3} V_{DD}$$

充电时间 t_1 由下式决定:

$$V_c(t_1) = V_{DD}(1 - e^{-t/\tau_1}) + V_c(t_0)e^{-t/\tau_1} \quad (3-30)$$

将

$$V_c(t_1) = \frac{2}{3} V_{DD} \quad \text{和} \quad V_c(t_0) = \frac{1}{3} V_{DD}$$

代入上式得 t_1 的表示式为:

$$t_1 = \tau_1 \ln 2 = 0.693(R_1 + R_2)C \quad (3-31)$$

放电回路的时间常数为 $\tau_2 = R_2C$, 初始值 $V_c'(t_0) = \frac{2}{3} V_{DD}$, 终值为 $V_c'(t_2) = \frac{1}{3} V_{DD}$, 于是有:

$$V_c'(t_2) = V_c'(t_0)e^{-t/\tau_2} \quad (3-32)$$

将

$$V_c'(t_2) = \frac{1}{3} V_{DD}, \quad V_c'(t_0) = \frac{2}{3} V_{DD}$$

代入上式, 得放电时间为:

$$t_2 = \tau_2 \ln 2 = 0.693R_2C \quad (3-33)$$

振荡周期为:

$$t = t_1 + t_2 = 0.693(R_1 + 2R_2)C \quad (3-34)$$

振荡频率为:

$$f_o = \frac{1.443}{(R_1 + 2R_2)C} \quad (\text{Hz}) \quad (3-35)$$

输出振荡波形的占空系数 D_v 为:

$$D_y = \frac{t_1}{t} = \frac{R_1 + R_2}{R_1 + 2R_2} \quad (3-36)$$

当 $R_2 \gg R_1$ 时, $D_y \approx \frac{1}{2}$, 输出近似为方波。

很明显, 从 (3-35) 式知道, 振荡频率与电源电压 V_{DD} 无关, 仅与 R_1 、 R_2 和 C 有关, 改变 R_1 和 R_2 的比值, 可以得到占空比不同的输出波形。

2. 典型应用举例

5G7556 用作多谐振荡器的模式, 可构成许多模拟音响和波形形成电路, 下面例举一些实用电路。

(1) 大范围占空系数可调脉冲发生器 将 5G7556 中一个单元的电路接成图 3-41 的电路可构成占空比从 0.1~99.9% 连续可调的脉冲发生器。图中电位器的阻值 R_V 远大于电阻 R 。假定电位器中点到 a 点和 b 点的阻值分别为 αR_V 和 $(1-\alpha)R_V$, 其中 α 是调节系数, 且有:

$$0 \leq \alpha \leq 1$$

从图 3-41 可看出, 在充电时 D_1 导通, 放电时则 D_2 导通。充电时间常数为:

$$\tau_1 = (R + \alpha R_V)C$$

放电时间常数为:

$$\tau_2 = [R + (1-\alpha)R_V]C$$

振荡周期为:

$$t = 0.693(R_V + 2R)C$$

充电时间为:

$$t_1 = 0.693(R + \alpha R_V)C$$

占空系数为:

$$D_y = \frac{t_1}{t} = \frac{R + \alpha R_V}{R_V + 2R} \quad (3-37)$$

若电位器中点滑向 a 端, 则 $\alpha = 0$, 此时占空比为:

$$D_{y\min} = \frac{R}{R_V + 2R} \approx \frac{1\text{ k}\Omega}{1\text{ M}\Omega} = 0.1\%$$

反之, 若电位器滑向 b 端, $\alpha = 1$, 则

$$D_{y\max} = \frac{R_V + R}{R_V + 2R} = \frac{1\text{ M} + 1\text{ k}}{1\text{ M} + 2\text{ k}} = 99.9\%$$

综上所述, 图 3-41 电路占空比调节范围极广, 几乎是全程调节。当调节 R_V 时, 振荡周期不受影响, 无频率牵引现象, 这是这种电路的一个十分重要的优点。

(2) 对数特性的电压控制振荡器 在电子乐器中, 需要一种输入电压与输出频率呈图 3-42 曲线所示的指数关系的电压控制振荡器 (VCO), 此时用 5G7556 比较适宜。图 3-43

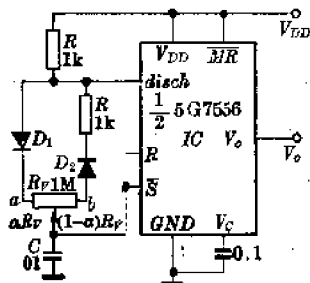


图 3-41 占空比可调多谐振荡器

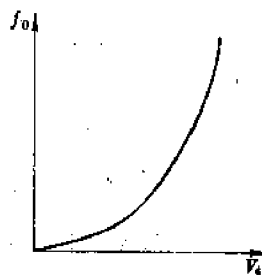


图 3-42 对数特性

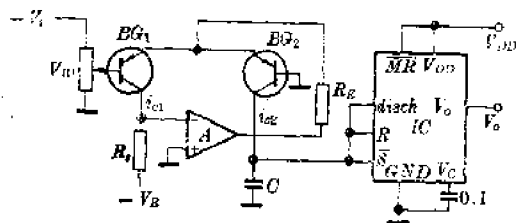


图 3-43 对数 VCO

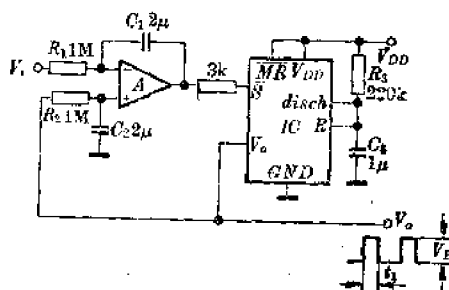


图 3-44 V/F 转换电路

示出电原理图，图中 BG_1 和 BG_2 是两个具有相同特性的配对管，也就是现在相同 V_{BE} 电压下具有相同的集电极电流。当两管 V_{BE} 相差 ΔV_{BE} 值时，则有：

$$\Delta V_{BE} = V_{BE1} - V_{BE2} = \frac{KT}{q} \ln \frac{i_{c1}}{i_{c2}} \quad (3-38)$$

式中 $\frac{KT}{q}$ 是 PN 结热力学结电压，在常温时约为 26 mV。

由图知： BG_1 的集电极电流 i_{c1} 被运放 A 恒定，不论 V_{B1} 处于何种电位，其发射极会自动建立满足下式给出的集电极电流所需的电位：

$$i_{c1} = \frac{|V_E|}{R_s} \quad (3-39)$$

由于 BG_2 基极电位固定在零电位，因此 V_{B1} 的变化等效于 BG_2 、 V_{BE2} 的变化，即等效于 BG_1 和 BG_2 两管基射压差 ΔV_{BE} 的变化，即有：

$$\begin{aligned} V_{B1} = \Delta V_{BE} &= \frac{KT}{q} \ln \left(\frac{|V_E|}{R_s} / i_{c2} \right) \\ i_{c2} &= i_{c1} e^{(q/KT)V_{B1}} = \frac{|V_E|}{R_s} e^{(q/KT)V_{B1}} \end{aligned} \quad (3-40)$$

而 i_{c2} 正好是电容 C 的充电电流，在 i_{c2} 充电电流作用下，从 $\frac{1}{3} V_{DD}$ 充电到 $\frac{2}{3} V_{DD}$ 所需的时间由 $CV = it$ 可得：

$$t = \frac{C \Delta V}{i_{c2}} = \frac{\frac{1}{3} V_{DD} \cdot C}{\frac{|V_E|}{R_s} e^{(q/KT)V_{B1}}} = \frac{V_{DD}}{3V_E} R_s \cdot C \cdot e^{-\frac{q}{KT}V_{B1}} \quad (3-41)$$

或者：

$$f_o = \frac{1}{t} = \frac{3|V_E|}{V_{DD} R_s C} \cdot e^{\frac{q}{KT}V_{B1}} \quad (3-42)$$

显然， f_o 与 V_{B1} 呈指数规律。

(3) 线性 V/F 转换电路 将运放和 5G7556 组合还可构成线性 V/F 转换电路。图 3-44 示出电原理图。图中运放 A 是一个差分积分电路，同相端输入是 5G7556 的输出 V_o 。按图中标出的参数，当 V_i 在 $\frac{1}{2} V_{DD}$ 范围内变化时，有 1 Hz/V 的灵敏度。

表 3-6 列出不同参数得到的转换灵敏度 δF 。一般 δF 可表为：

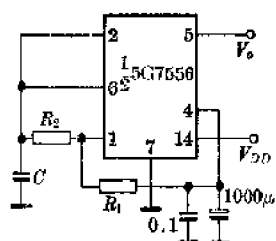
$$\delta F = \frac{1}{t_1 V_s}$$

表 3-6 参数与频率关系

参 数	1 Hz/V	100 Hz/V	10 kHz/V	100 kHz/V
t_1	0.242 s	2.42 ms	24.2 μ s	2.64 μ s
R_3	220 k Ω	22 k Ω	10 k Ω	5 k Ω
C_3	1 μ F	0.1 μ F	2 nF	200 pF
R_1, R_2	1 M Ω	200 k Ω	100 k Ω	10 k Ω
C_1, C_2	2 μ F	0.1 μ F	2 nF	300 pF

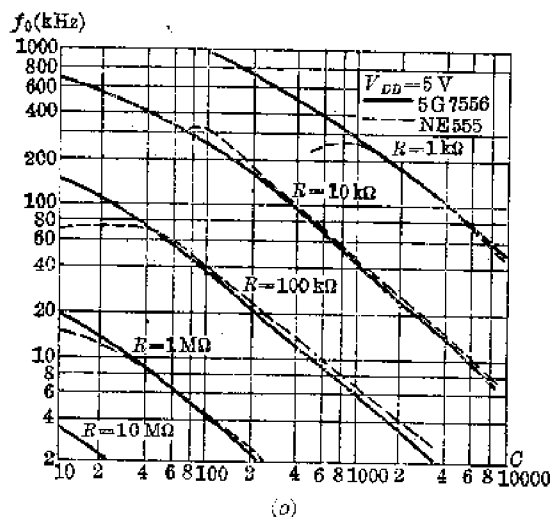
5G7556 在多谐振荡器模式的应用例子还较多, 在后面综合应用例中还要介绍, 这里就不再例举。

(4) 5G7556 与 NE555 (或 5G1555) 的比较 图 3-45 示出 5G7556 与双极型时基电路 5G1555 (NE555), 在作多谐振荡器时的比较。其中图 3-45(b) 示出电路参数 RC 与频率 f_0 的关系曲线, 其中虚线是 5G1555 的特性。



(a)

显然 5G1555 在占空比为 30% 时的频率只有 300 kHz, 而 5G7556 频率上限为 1.4 MHz。图 3-46 示出了电源电流的对比曲线, 从图已知, 5G7556 仅是 5G1555 的 $\frac{1}{5}$ 电流, 功耗低 5 倍。



(a)

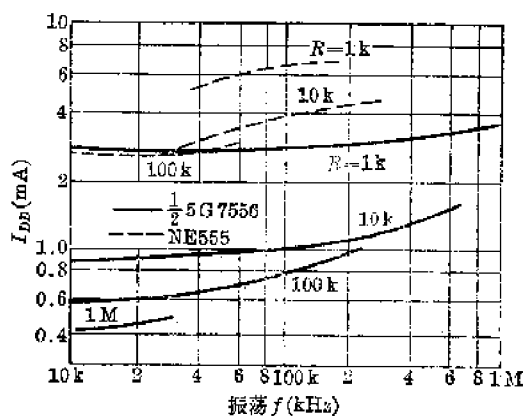
图 3-45 非稳态振荡电路及 RC 与振荡频率的关系

图 3-46 电源电流曲线

三、双稳态工作模式

实际上 5G7556 的双稳态工作模式, 在应用时, 是将它当作一个 R - S 触发器, 因而可以应用于整形和电平检测等电路。这一模式的原理以及其输入、输出关系 (见表 3-4) 已在前面作过简述, 这里就不再复述。下面举几个例子说明。

1. 整形电路

用 5G7556 双定时电路可以构成反相或同相整形电路, 图 3-47(a) 示出用 $\frac{1}{2}$ 5G7556 组成的施密特触发器的原理图, 这是利用将输入信号同时加到 R 和 S 端, 使电路复位和置位交替工作, 以达到将正弦波或不规则波变换成方波的目的, 图 3-47(b) 则是输入输出波形示意图。

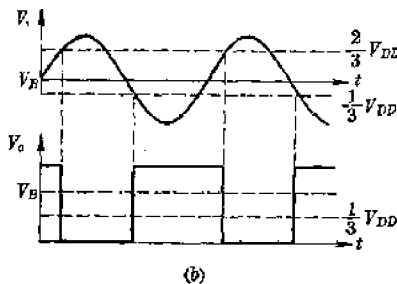
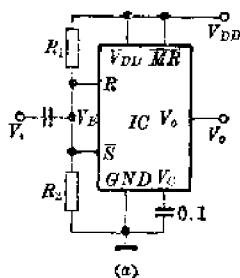


图 3-47 施密特触发器

很明显, 由于 R 和 S 端同时被 R_1 和 R_2 偏置在某一电平上, 因而调节这一电平, 可以改变上下翻转点的位置, 也就是改变输出波形的占空系数。这种电路常被用作对正弦波或不规则波形进行整形放大。

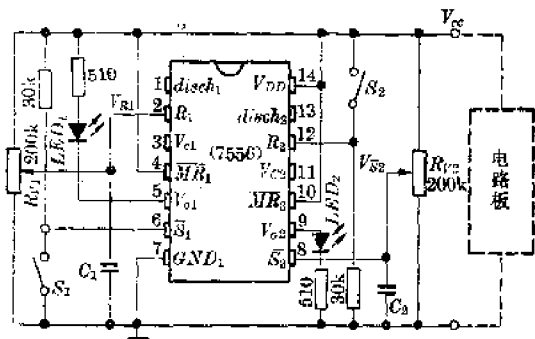


图 3-48 电源监控报警电路

否低于规定值, 而用右半边一个电路单元来监视电源电压是否超过规定值。两个电路单元都工作在双稳态模式。

由图 3-48 可知, 对于左半边单元, 复位端“ R_1 ”的电位由电位器 R_{r1} 调节在小于 $\frac{2}{3} V_{cc}$ 的某数值上, 例如调在 $(\frac{2}{3} V_{cc} - \Delta V_L)$ 上, 因而当 V_{cc} 正常时, “ R_1 ”不作用, 电容 C_1 上充了这一电压, 工作时按一下开关 S_1 使电路置位, V_{c1} 输出“1”, LED_1 不亮。当 V_{cc} 下跌某一值时, 由于 C_1 上电压不能突变, 而内部的 V_{c1} 端电压降低, 使

$$V_{R1} \geq \frac{2}{3} (V_{cc} - \Delta V_{cc})$$

而复位, V_{c1} = “0”, LED 点燃。同理, 右半边只要用电位器 R_{r2} 调节, 使

$$V_{R2} < \frac{2}{3} V_{cc}$$

则 V_{c2} = “1”, 当 V_{cc} 升高时,

$$V_{c2} = \text{“0”}$$

LED_2 点燃, 这样用灯光报警, 表明 V_{cc} 是高还是低。

2. 过电压检测电路

在有些数字或模拟电路系统中, 某部分电路在工作时对电源的波动十分敏感, 因而希望对电源波动进行监控和报警。图 3-48 示出用一块 5G7556 监视电源波动的具体电路图。用左半边一个延迟单元来监视电源是

四、5G7556 触发与控制端的特性及应用

上面我们例举的应用电路中还没有涉及触发端即 $\bar{S}$ 端的触发信号的特性和外部电压控制端 V_C 端(③和⑭端)的作用, 这里略加说明。

1. 触发脉冲频率和幅度的特性

图 3-49 示出将 5G7556 接成单稳态延迟电路时, 触发脉冲的宽度 t_W 和幅度 V_P 之间的关系曲线和波形。为了说明方便, 在图 3-49(b) 的曲线中, 用 $V_x = V_{DD} - V_P$ 作横坐标, 而用触发脉冲宽度 t_W 作纵坐标。显然, V_x 值越小, 也就是 V_P 值越大, 触发脉冲可窄些, 工作频率相对可以高一些。这一点在使用时要引起注意。由图知, 当 $V_x \approx 0.33$ 以上时, 电路就不能触发。

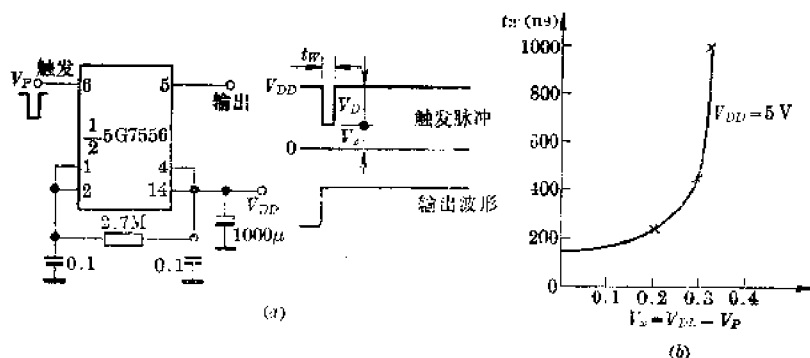


图 3-49 触发脉冲频率和幅度的关系

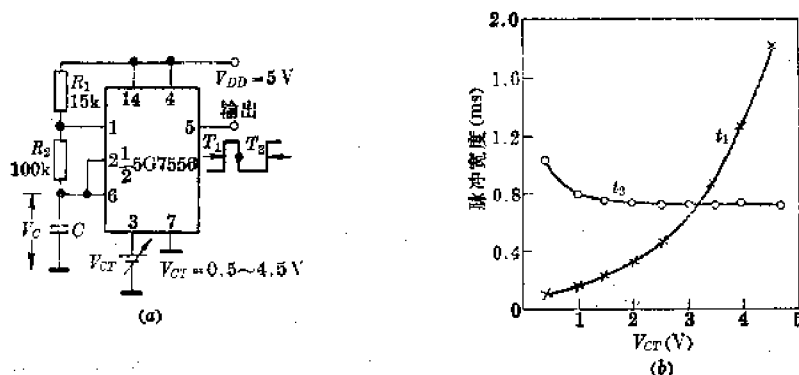


图 3-50 控制端电压 V_{CT} 对输出波形占空比的调节作用

2. 控制端 V_C 的应用

若在 5G7556 的外部电压控制端 V_C 上施加控制电压 V_{CT} , 则可以实现特殊的应用。图 3-50 示出用外部电压 V_{CT} 来调节多谐振荡器的占空比的原理及控制特性曲线。从多谐振荡器工作模式的原理可知, 在无外控电压 V_{CT} 时, 电容 C 上的电压在 $\frac{1}{3}V_{DD}$ 和 $\frac{2}{3}V_{DD}$ 之间转换。当 V_{CT} 加入时, 只要 $V_{CT} < \frac{2}{3}V_{DD}$, 则 C 充电到 V_{CT} 即翻转, 此时充电到 V_{CT} 的时间由下式给出:

$$t_1 = (R_1 + R_2)C \cdot \ln \left(1 - \frac{\frac{1}{2}V_{CT}}{V_{DD} - \frac{V_{CT}}{2}} \right) \quad (3-43)$$

但放电时间将从 V_{CT} 到 $\frac{1}{2} V_{CT}$ 结束。因而有:

$$t_2 = -R_2 C \ln \left(\frac{\frac{1}{2} V_{CT}}{V_{CT}} \right) \approx 0.693 R_2 C \quad (3-44)$$

t_2 的表示式与不加 V_{CT} 时相同, 但 t_1 与 V_{CT} 相关, 因而改变 V_{CT} 可调节频率和占空系数, 使振荡输出受 V_{CT} 调制。

图 3-51 是从外部电压控制 V_O 端加一正弦调制电压时的脉宽调制电路原理图与波形图。其工作过程读者可自行分析。

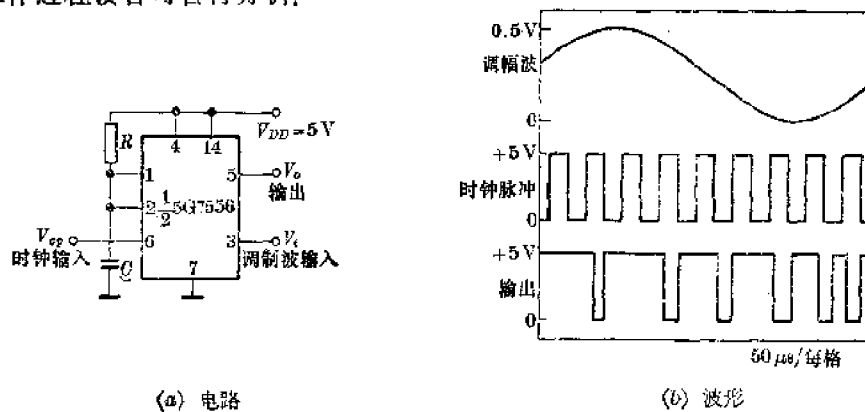


图 3-51 脉宽调制电路

五、5G7556 的综合应用

作为本节结束, 我们例举一个用 5G7556 作小电容检测的实用电路。这一电路可用于检测电容式压力变换器的输出, 用作液位传感器等。用这一电路可检测 10^{-6} 的电容变化量。

图 3-52 示出小电容检测电路的完整配置图。图中左半边的 $\frac{1}{2}$ 5G7556 用来产生 $f_o \approx 100$ kHz 的振荡信号, 作交流信号源; 另一边(右边)的 $\frac{1}{2}$ 5G7556 则用作单稳态延迟电路, 它由左半边的输出 V_{o1} 的上升沿经晶体管倒相后用下降沿触发, 也就是用 V_{o1} 的前沿触发。单稳态的延迟时间 t_d 由 $R_2 C_x$ 的乘积确定, 其中 C_x 为被测的小电容。

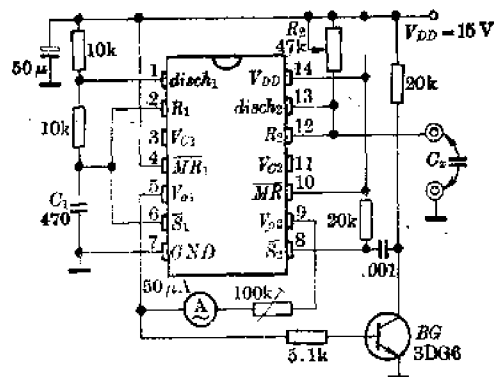


图 3-52 小电容检测电路

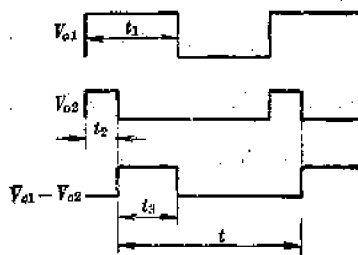


图 3-53 波形图

从图可看到, 用一个电流表接在 V_{o1} 和 V_{o2} 之间来指示电容的数值。实际上电表在这里的作用如同一个异或门。仅当 V_{o1} 和 V_{o2} 的逻辑电位相异时, 才有电流流过。图 3-53 示出电表两端的波形。由于 V_{o2} 的输出波形的宽度 t_2 由下式决定:

$$t_2 = 1.1R_2C_x$$

式中 $t_3 = t_1 - t_2$ 为脉宽, 因此电表两端波形的占空比可表示为:

$$D_v = \frac{t_3}{t} = \frac{t_1 - t_2}{t} = \frac{t_1}{t} - \frac{t_2}{t} \quad (3-45)$$

于是电表平均指示的电压

$$V_d = \left(\frac{t_1}{t} - \frac{t_2}{t} \right) V_{DD}$$

其中 $\frac{t_1}{t}$ 为多谐振荡器输出波形的占空比, 可写为:

$$\frac{t_1}{t} = \frac{R_1 + R_2}{R_1 + 2R_2} = \frac{20 \text{ k}\Omega}{30 \text{ k}\Omega} = \frac{2}{3}$$

将它代入 V_d 表示式, 得:

$$V_d = \frac{2}{3} V_{DD} - \frac{1.1R_2C_x}{0.693 \times 30 \text{ k}\Omega \times 470 \times 10^{-12} \text{ F}} V_{DD} = \frac{2}{3} V_{DD} - \frac{1.1R_2C_x}{10 \mu\text{s}}$$

若 V_{DD} 为 15 V 则:

$$1.1R_2C_x = 10 \mu\text{s} \times (10 \text{ V} - V_d)$$

或者:

$$C_x = \frac{10 \mu\text{s}}{1.1R_2} \times (10 \text{ V} - V_d) \quad (3-46)$$

很明显, 电路可以用标准电容对 C_x 读数电表来定标, 此时 R_2 可作为调整量值的电位器。

图 3-52 电路可测量 50 pF ~ 50 nF 范围的电容, 改变 R_2 的值, 还可扩大测量范围。在有些应用中需要取出 V_d 的值, 此时可以用图 3-54 的电路, 将 V_{o1} 和 V_{o2} 输入到一个异或门, 然后用积分回路得到异或门输出的平均值, 再经射极输出器缓冲, 可得 V_d 的值。

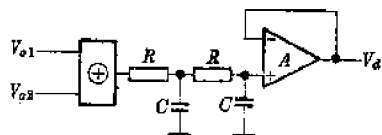


图 3-54 V_d 检出电路

从上面列举的例子可以看出 5G7556 有十分广泛的用途。

第四章 CMOS 数-模转换器 与模-数转换器

七十年代以来,大规模集成电路(LSI)的发展为数字信号的加工和处理技术开拓了广泛的应用领域,但是由于大多数数字控制系统(例如微处理器和计算机)必须与真实的外部世界(这是一个非数字的模拟世界)相联系,为此必须解决这些接口电路的集成化问题。

近几年来,各国的半导体器件大公司倾其全力开展数据采集系统集成电路的研制,发展了一系列数-模转换器(简称 DAC)和模-数转换器(简称 ADC),而 CMOS 技术在这方面发挥了很大作用,引起人们的重视,形成了一整套数据采集系统的集成电路分支。

本章主要讨论集成电路数据采集分支中的 CMOS DAC 和 ADC 这一大类典型产品的原理和应用。为了使读者对集成化的 DAC 和 ADC 有较深刻的了解,我们先从这两种集成电路的基本工作原理出发加以详述,然后介绍各种具体产品,最后再讨论这些电路的典型应用。

§ 4-1 DAC 的基本理论及转换方法

数-模转换器,就是指能将一种非连续的,经量子化后的 t 进制数字量,转换成一种连续的模拟量的装置。例如这种装置可将二进制($t=2$)数字量,转换成一个电压量或电流(连续的模拟量)。原则上讲,任何有限的经量子化的 t 进制数字量,与模拟量是不能等同的,它们是两种本质不同的量,但在一定的为人们承认的近似范围内,两者还是可以互相转换。

从代数学知道:“一个非负的整数,恰有一法可表为 t 进制数”。这就是说,若 N 是一个非负的整数,则总可以表示为:

$$N = a_{n-1}t^{n-1} + a_{n-2}t^{n-2} + \cdots + a_1t + a_0 \quad (4-1)$$

式中: t ——进制数;

a_i —— t 进制数代码,且有 $0 \leq a_i \leq t-1$, 其中 $i=1, 2, 3, \cdots, n$;

n ——位数。

显然, t 进制第 i 位的权为 t^{i-1} , 第 i 位的值为 $a_{i-1}t^{i-1}$ 。

一般由于电子元器件利用它们的开关状态,最适宜于等效二进制数,即 $t=2$, 其代码亦只有“0”和“1”两种。

利用(4-1)式的关系,人们不难设想,如果将一个已知的 t 进数,也就是知道这个 t 进制数各位上的代码,就可以用按权相加的办法,转换成某一模拟量,例如转换成一个电压量,则可以通过按权加的办法实现下述关系:

$$V_o = V_R [a_{n-1}t^{-(n-1)} + a_{n-2}t^{-(n-2)} + \cdots + a_1t^{-1} + a_0] \quad (4-2)$$

实质上,按权加,即按权的不同位数将权的值求出来,然后相加,这就是解码。

很明显, DAC 装置实质是一种解码电路, 亦就是按照不同位数上的代码, 求出权值然后相加。为此这种装置必须有一个解码网络, 以及一个相加器, 另外由于量纲需要还要有一量纲参考基准。

一、电阻解码网络

从(4-2)式可知, 这是一个线性代数多项式, 因此可以用一种线性网络来实现解码。我们知道, 电阻、电容等无源元件, 原则上是一种线性元件, 因而可用来构成电阻解码网络或电容解码网络。为了说明用线性元件可以构成解码网络的基本原理, 我们以电阻网络为例来加以说明。

1. 权电阻网络的基本特性

让我们先来考察一个普通电阻网络, 如图 4-1 所示的特定联结下的基本特性。由图可知, 在 n 个电阻并接的网络中, 若将其中任意一个电阻 R_i 接到一个参考电压 V_R 上, 其余电阻接地, 此时 V_o 的电压由分压关系可得:

$$V_o = \frac{V_R \cdot [R_1 \parallel R_2 \parallel \cdots \parallel R_{i-1} \parallel R_{i+1} \parallel \cdots \parallel R_n]}{R_i + [R_1 \parallel R_2 \parallel \cdots \parallel R_{i-1} \parallel R_{i+1} \parallel \cdots \parallel R_n]} \quad (4-3)$$

式中 $[]$ 号内的值表示 $n-1$ 个电阻的并联值。为了求出 $[]$ 内的值, 我们可以利用下述变换步骤:

令 $R_1, R_2, \dots, R_n$ 这 n 个电阻(包括 R_i 在内)的并联值为 R_p 。即有:

$$\begin{aligned} R_p &= \frac{1}{\left[\frac{1}{R_1} + \frac{1}{R_2} + \cdots + \frac{1}{R_i} + \cdots + \frac{1}{R_n} \right]} \\ &= \frac{1}{\left[\frac{1}{R_1} + \frac{1}{R_2} + \cdots + \frac{1}{R_{i-1}} + \frac{1}{R_{i+1}} + \cdots + \frac{1}{R_n} \right] + \frac{1}{R_i}} \end{aligned} \quad (4-4)$$

(4-4)式分母中 $[]$ 号内的值即为(4-3)式方括号内的值。于是有:

$$\begin{aligned} [R_1 \parallel R_2 \parallel \cdots \parallel R_{i-1} \parallel R_{i+1} \parallel \cdots \parallel R_n] &= \frac{1}{\left[\frac{1}{R_1} + \frac{1}{R_2} + \cdots + \frac{1}{R_{i-1}} + \frac{1}{R_{i+1}} + \cdots + \frac{1}{R_n} \right]} \\ &= \frac{1}{\frac{1}{R_p} - \frac{1}{R_i}} \end{aligned}$$

即有:

$$[R_1 \parallel R_2 \parallel \cdots \parallel R_{i-1} \parallel R_{i+1} \parallel \cdots \parallel R_n] = \frac{R_i R_p}{R_i - R_p} \quad (4-5)$$

将(4-5)式代入(4-3)式可得:

$$V_o = \frac{\frac{R_i R_p}{R_i - R_p}}{\frac{R_i R_p}{R_i - R_p} + R_i} V_R = V_R \cdot \frac{R_p}{R_i} \quad (4-6)$$

这里, 我们称 R_p 为图 4-1 网络的特征电阻。

现在来看图 4-2 的网络, 当有 k 个电阻($k \leq n$)接到 V_R 上时, V_o 为多少? 这个问题同样可以容易地得到回答, 因为图 4-1 的网络是一个线性网络, 由网络分析基本理论可以知道, 它可用迭加定理, 故当有 k 个电阻, 即 $R_1, R_{i+1}, \dots, R_k$ 接到 V_R 上时, 可以分别求出

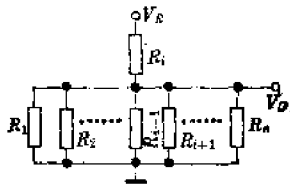


图 4-1 电阻网络

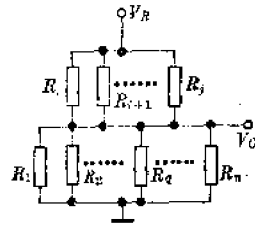


图 4-2 电阻网络的变形

R_i 接到 V_R 上的 V_o (用 V_o^i 表示), R_{i+1} 接到 V_R 时的 V_o (即 V_o^{i+1}) ..., 直到第 k 个电阻 R_k 接到 V_R 上的 V_o (用 V_o^{k-1}), 然后相加来求出总的 V_o 值, 利用(4-6)式的结果, 可得:

$$V_o = V_R \cdot \frac{R_2}{R_1} + V_R \cdot \frac{R_3}{R_{i+1}} + \dots + V_R \cdot \frac{R_p}{R_i} = V_R R_p \left(\frac{1}{R_1} + \frac{1}{R_{i+1}} + \dots + \frac{1}{R_i} \right) \quad (4-7)$$

(4-7)式的结果, 可以很快用到权电阻网络, 推演出我们所需要的结果。现在来看一下图 4-3(a)所示的电阻网络, 其中, 从第一个电阻 R 起, 按 t 加权, 即 $tR, t^2R, \dots, t^{n-1}R$ 共有 n 个电阻, 我们称这种网络为 t 进加权网络。

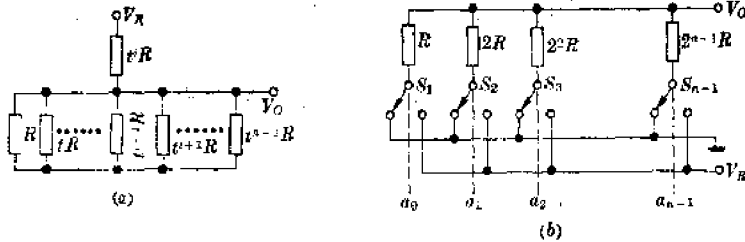


图 4-3 加权网络

首先, 我们可求出这种 t 进加权网络的特征电阻 $R_{p(t)}$ 的表示式:

$$\begin{aligned} R_{p(t)} &= \left[\frac{1}{R} + \frac{1}{tR} + \dots + \frac{1}{t^{n-1}R} \right]^{-1} = \left[\frac{1}{R} \left(1 + \frac{1}{t} + \frac{1}{t^2} + \dots + \frac{1}{t^{n-1}} \right) \right]^{-1} \\ &= R \frac{1 - \frac{1}{t^n}}{1 - \frac{1}{t}} \simeq R \left(1 - \frac{1}{t} \right) \end{aligned} \quad (4-8)$$

上式成立的近似条件是 $n \rightarrow \infty$, 亦就是在电阻数 n 足够大的条件下才近似成立。

这样, 当有 k 个电阻 ($k \leq n$) 接到 V_R 上时, 由(4-7)式可得 V_o 的表示式为:

$$V_o = V_R \left(1 - \frac{1}{t} \right) \left[\frac{1}{t^k} + \frac{1}{t^{k+1}} + \dots + \frac{1}{t^n} \right] \quad (4-9)$$

当 $t=10$ 时, 也就是说, 当电阻网络是十进制加权网络时, 网络的特征电阻为:

$$R_{p(10)} = \left(1 - \frac{1}{10} \right) R = \frac{9}{10} R$$

而当 $t=2$ 时, $R_{p(2)} = \left(1 - \frac{1}{2} \right) R = \frac{1}{2} R$ 。就是说二进制加权网络的特征电阻是 $\frac{1}{2} R$ 。

由于电阻网络用作 DAC 解码时, 电子元件最适宜于只有两个代码值的二进制数, 于是我们讨论的重点放在这种 $t=2$ 的所谓二进加权网络上。这种网络示于图 4-3(b), 它由电阻 $R, 2R, 4R, 8R, \dots, 2^{n-1}R$ 组成, 并将每个电阻接 V_R 或是接地的两种可能状态由它的

代码 a_i 是“1”还是“0”来确定。这也就是说，用一个 n 位二进制数来确定相应权位上的电阻接 V_R 还是接地，则在输出端 V_o 处得到的电压即是这个二进制数的相应的模拟量，并有如下关系：

$$V_o = R \sum_{i=0}^{n-1} \frac{a_i}{2^{i+1}} \quad (4-10)$$

例如我们以一个 8 位二进制数 $a_7 a_6 a_5 a_4 a_3 a_2 a_1 a_0 = 10011011$ 为例来说明 D 到 A 的转换过程，量纲参考由 V_R 来确定。

由 (4-9) 式可得，在数字量为 10011011 时，第 7, 6, 4, 3, 0 位电阻接 V_R ，于是：

$$\begin{aligned} V_o &= \frac{R}{2} V_R \left(\frac{1}{R} + \frac{1}{8R} + \frac{1}{16R} + \frac{1}{64R} + \frac{1}{128R} \right) \\ &= V_R \left(\frac{1}{2} + \frac{1}{16} + \frac{1}{32} + \frac{1}{128} + \frac{1}{256} \right) \\ &= V_R \frac{128 + 16 + 8 + 2 + 1}{256} = \frac{155}{256} V_R \end{aligned}$$

如果令： $V_R = 2.56 \text{ V}$ ，则 $V_o = 1.55 \text{ V}$ ，它正好对应着这个二进制数 $A_8 = 10011011$ 所对应的十进制数 155。这说明，用一个二进制数 $a_0 a_1 a_2 \cdots a_{n-1}$ 去控制图 4-3(b) 的开关 $S_0, S_1, \cdots, S_{n-1}$ ，若某位上代码 $a_i = "1"$ 时，该位电阻接 V_R ，否则接地，就能在输出端得到与此二进制数相对应的模拟量 V_o ，实现了 D (数字) 到 A (模拟) 的转换。这就是权电阻网络解码的基本原理和工作方式。

2. 梯电阻解码网络

图 4-3(a) 的解码网络在理论上成立的条件是电阻的个数 $n \rightarrow \infty$ ，亦就是要求 t 进制数的位数无限多，否则

$$R_{n(t)} \neq \left(1 - \frac{1}{t}\right) R$$

除非在网络中采取其他措施，否则上面讨论的结果不能成立。另外用图 4-3(b) 的权电阻网络，不利于集成化，因为电阻的阻值规格在位数较多时，就很难配置，要占用十分可贵的硅片面积。为此要设法寻找一种更好的解码网络。

让我们考察图 4-4 网络，这是在图 4-3(b) 二进权电阻网络中第一位和第二位以后的电阻网络中间插入一个电阻 R_{x1} 后形成的。由于对一个二进权电阻网络，要求其任一节点上的电

阻均为 $\frac{1}{2} R$ 。因此若 R_{x1} 取得适当，可以使图 4-4 这一网络的每个节点上的电阻仍为 $\frac{1}{2} R$ ，使图 4-4 和图 4-3(b) 两个网络等效。很显然当 $R_{x1} = \frac{1}{2} R$ 时就可满足这一要求，这就使我们得到启发，可以进行网络转换来减少电阻规格。

现在来说明如何将一个权电阻解码网络转换成一个另一种形式的解码网络。为了简化，我们只画出一个四位权电阻网络的转换示意图。在进行转换时，不妨认为被转换的网络实际上是一个有足够多位数的网络。

由前面分析知，图 4-5(a) 网络的节点 $a, b, c, d, \cdots$ 的特征电阻都是权电阻网络的特

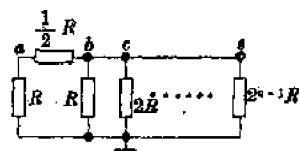


图 4-4 插入 $\frac{1}{2} R$ 后的二进网络

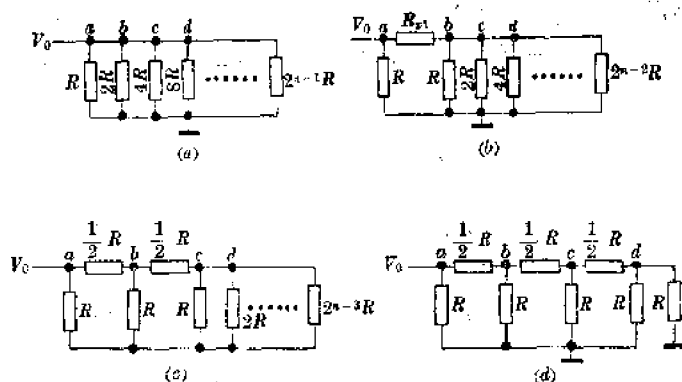


图 4-5 网络转换原理

征电阻:

$$R_{(x/2)} = \frac{1}{2} R$$

现在在第一位与后面几位之间插入电阻 R_{x1} , 当后面的位数仍很多时, b, c, d 点的电阻仍为 $\frac{1}{2} R$, 且当 $R_{x1} = \frac{1}{2} R$ 时, a 点亦为 $\frac{1}{2} R$, 故 (a) 和 (b) 两个网络等效。

现在再在 b, c 点之间再插入电阻 R_{x2} , 当 c 点后面仍有很多电阻时, c, d 点的特征电阻还是 $\frac{1}{2} R$, 且当 $R_{x2} = \frac{1}{2} R$ 时, a, b 点的电阻亦是 $\frac{1}{2} R$, 故 (c) 与 (a) 图亦等效, 下面以此类推, 直到最后一位时, 只要再外加一个固定接地电阻 R , 如图 (d) 所示就可使每一节点特征电阻为 $\frac{1}{2} R$ (指向右看去的电阻), 这样就把图 4-5 (d) 的网络与图 4-5 (a) 的网络互相转换结束。图 4-5 (d) 与图 4-3 (a) 等效。由于权电阻网络的特性与电阻 R 的绝对值无关, 故图 4-5 (d) 的网络可以改成 $R-2R$ 网络, 即形如图 4-6 所示的网络。此时 a, b, c, d 点向右看的电阻均为 R , 它仅相当于原来图 4-3 (d) 权电阻网络的电阻值均增加一倍的结果, 这并不改变网络的性质。这种网络称为 $R-2R$ 网络, 或称为梯电阻网络。其特征电阻 $R_{(x/2)} = R$, 它同样可用来实现 DAC 解码。这种网络只有 R 和 $2R$ 两种阻值, 易于集成化, 并可大大缩小硅片面积, 故大多数集成 DAC 产品中均用这类网络。

3. 用电阻网络来实现数制变换

电阻网络不但可以用来实现 DAC 的解码, 而且还可利用网络转换技术来实现数制间的变换。上面我们讨论的都是将二进制数转换成与之相对应的模拟量。在人们习惯上, 由于比较熟悉十进数, 有时希望用十进制数字进行转换, 但十进制数有十个代码 (0, 1, 2, ..., 9),

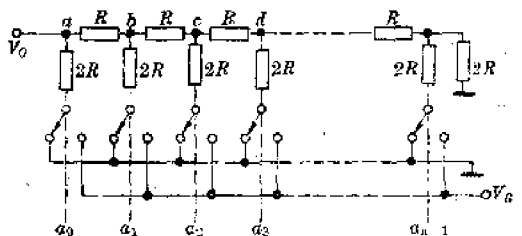


图 4-6 梯形网络

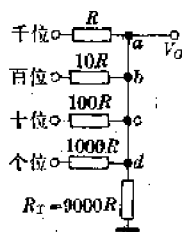


图 4-7 十进制网络

9), 因而很难直接用电子方法进行转换, 于是人们采用四位二进制数来表示一位十进制数的所谓二-十进制数的记数法来解决这一问题。它同样可用电阻网络来解二-十进制码, 即所谓 BCD 解码网络。

从上面分析可知, 十进制权电阻网络可用图 4-7 的网络表示。这是一种十进制网络, 这个网络的 a 、 b 、 c 、 d 四个节点上的电阻由于外加电阻 R_T 的作用, 其特征电阻

$$R_{P(10)} = \left(1 - \frac{1}{10}\right) R = \frac{9}{10} R$$

图 4-8 是由四位 $R-2R$ 网络作一位十进数的四位 BCD 网络。如要使图 4-7 和图 4-8 两者等效, 只要使与每组 $R-2R$ 网络串接的电阻分别为: $R_{X1}=9R$, $R_{X2}=99R$, $R_{X3}=999R$, 以及 $R_T=9000R$ 即可。这是因为每组 $R-2R$ 网络的特征电阻为 R , 故有上述关系。

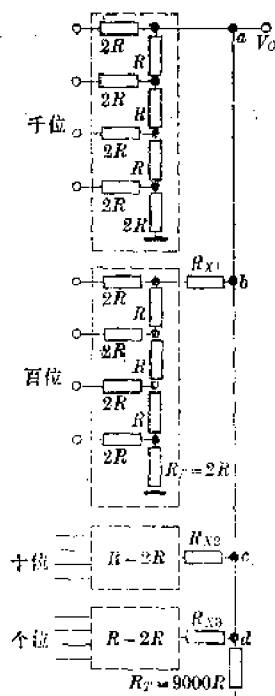


图 4-8 BCD 网络之一

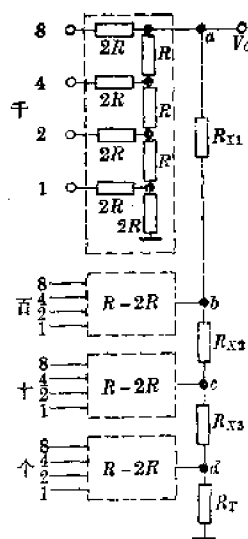


图 4-9 分段串接 BCD 网络

当然, 这种网络由于电阻规格很多, 且 R_T 的阻值随十进位数增加要按 10 增加, 也不适宜集成化。因而一般改用图 4-9 所示分段串接的 BCD 网络。

在图 4-9 所示的电路中, 我们希望在选择合适的 R_T 值基础上使 $R_{X1}=R_{X2}=R_{X3}$ 。这样, 这种 BCD 网络只须要增加两种阻值的电阻(且 R_T 值增加不太大), 就可构成与图 4-7 等效的网络。

由图 4-9 知, 每组 $R-2R$ 网络的特征电阻为 R , 而一组与另一组之间, 例如 a 与 b 点之间应十进加权, 但 a 与 b 点的特征电阻又必须是 $\frac{9}{10} R$, 很明显, 电阻 R_T 必须满足下述要求:

$$R_{P(10)} = \frac{R \cdot R_T}{R + R_T} = \frac{9}{10} R$$

$$10R_T = 9R + 9R_T$$

即:

$$R_T = 9R$$

这样, d 点向下的特征电阻为 $\frac{9}{10}R$. 现在再看 C 点, 若 C 点向下看去的电阻也为

$$R_{P(10)} = \frac{9}{10}R$$

则必须要有:

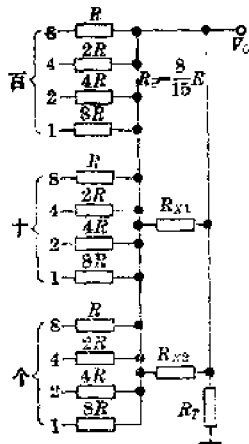
$$R_{P(10)} = R \parallel (R_{X3} + R_4) = \frac{R \cdot (R_{X3} + \frac{9}{10}R)}{R + R_{X3} + \frac{9}{10}R} = \frac{9}{10}R$$

可求得:

$$R_{X3} = 8.1R$$

这就是说, C 点向下看的阻值恰好为 $9R$ 即是 R_T 的值. 同样, b 点向下看的电阻要为 $\frac{9}{10}R$ 时, $R_{X2} = 8.1R$, 同理, R_{X1} 亦为 $8.1R$. 即满足 $R_{X1} = R_{X2} = R_{X3}$ 的要求. 若这一网络扩展成五位以上十进制时, 同样只须使 $R_T = 9R$, $R_{X1} = R_{X2} = \dots = R_{Xn} = 8.1R$ 即可, 只要增加两种阻值的电阻就可任意扩展十进制的位数.

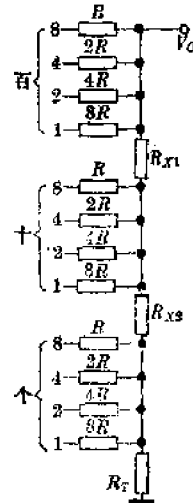
同样理由, 对于这种二-十进制解码网络, 还可用四位权电阻网络组成一位十进制位, 构成如图 4-10 和图 4-11 所示的解码网络(只画出三位), 很显然图 4-11 的网络比较简单, 阻值种类较少(见图下数据).



$$R_{X1} = 4.8R$$

$$R_{X2} = 52.8R \quad R_T = 480R$$

图 4-10 BCD 网络之二



$$R_{X1} = R_{X2} = 4.82R$$

$$R_T = 4.8R, \quad R_{P(2)} = \frac{8}{15}R$$

图 4-11 串接权电阻 BCD 网络

电阻网络作为一种线性网络十分适宜作解码网络, 除了上述讨论的二进制和二-十进制解码网络外, 还可构成其他进制的解码网络, 只是因为一般集成器件大多用这两类网络构成 DAC 电路, 故本章主要讨论这两种网络.

二、电容解码网络

与电阻器类似, 电容器亦是一种线性元件(PN 结电容除外), 因而同样可以用来实现解码. 虽然电阻解码网络较为人们所熟悉, 然而电容解码网络则很少被人们所注意, 这是因为从设计分立器件的解码网络来看, 精密电阻较之精密电容容易得到, 但从集成技术而言, 情况正好相反.

图 4-12 示出利用电荷再分布技术的电容解码网络, 与二进制电路网络一样, 这是一种二进制衰减网络。若最高位 (简称 MSB) a_0 接 V_R , 其余位 $a_1, a_2, \dots, a_{n-1}$ 接地时, 相当一个电容分压网络, 且有:

$$V_o = \frac{2^n - 1}{2^n} V_R \quad (4-11)$$

这样同样可得:

$$V_o = V_R \sum_{i=0}^{n-1} \frac{a_i}{2^{i+1}} \quad (4-12)$$

(4-12) 式与 (4-10) 式有相同结果。同样原理, 这种二进制加权的电容解码网络其特征电容为 $2C$ 。

必须说明, 这种电容解码网络的输出端必须具有极高的阻抗, 否则在开关转换过程中, 将使电容放电而影响转换结果, 然而用 MOS 技术构成 DAC 时这一点可不必担心。

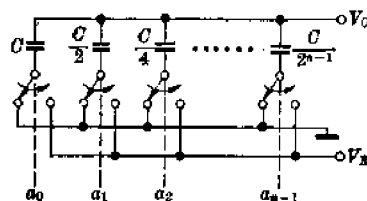


图 4-12 电容解码网络

目前电容解码网络仅在模-数 (AD) 转换中被付诸实用, 因此对这种网络的性质, 我们在后面再作详述。原则上, 电阻网络的变换方法, 同样适用于电容网络, 这里就不再多作叙述。

上面我们讨论了用解码网络实现 DAC 的基本原理, 这种转换技术, 称为直接转换。除此之外, 还有间接转换技术。

三、间接法 DAC 原理

除了上面分析的用线性网络来解码的方法外, 还有用一个中间变量作过渡的方法来实现数字到模拟的变换, 这称为间接转换。

间接转换的方法较多, 这里只介绍易于集成的转换法如脉宽调制法、脉率积分法等。

从原理上看, 任何间接转换方式的 DAC 电路, 均属串行工作的模式, 故速度较低, 只能用在速度要求不高的场合, 例如电视接收机的电调谐电压合成器等。

1. 脉冲宽度调制式 DAC 的原理

在讨论脉冲宽度调制式 DAC 之前, 我们先来考察一下一个幅值恒定的具有固定占空系数的脉冲信号, 它的平均电压的表示式 (参看图 4-13) 可写为:

$$\bar{V}_o = \frac{t_u}{T} V_{om} \quad (4-13)$$

这就是说, 脉冲信号的平均值 $\bar{V}_o$ 与脉冲占空系数 t_u/T 以及脉冲幅值成正比。从电子技术上讲, 只要用一个低通滤波器 (积分器) 就可方便地取出该脉冲信号的平均值 $\bar{V}_o$ 。

上述分析给人们提供了一种想法, 只要我们设法将数字量转换成与之成比例的脉冲宽度, 就能实现 DAC。只要该变换过程中, 始终保持脉冲信号周期 T 和幅 V_{om} 恒定即可。

图 4-14 示出实现这种设想的 PWM DAC 的原理图。利用一个 n 位的二进制计数器, 对一个时钟信号 t_{OP} 进行加法计数, 用第 2^n 个脉冲记到时, 输出一个进位 (或称溢出) 信号, 使 R-S 触发器复位; 与此同时, 一个 n 位的二进制数字比较器对计数器计数值与外部输入

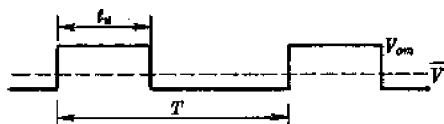


图 4-13 脉冲波形

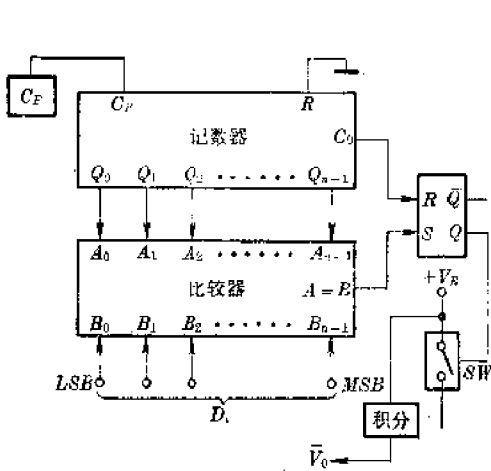


图 4-14 PWM DAC 电路

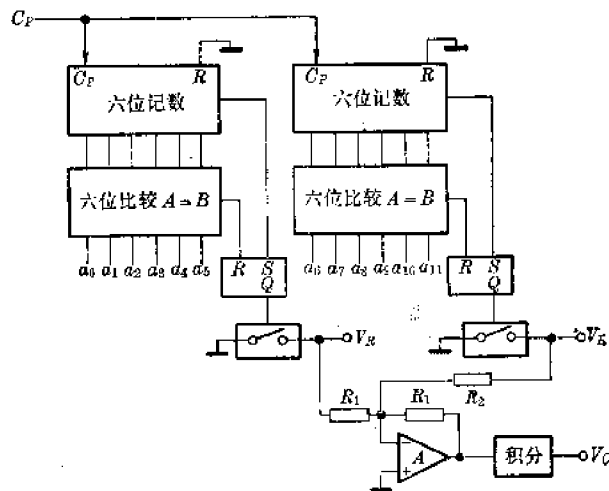


图 4-15 分段式 PWM DAC

数字信号(也是 n 位的二进制信号)进行判等比较,当计数器记到与 D_n 数值相同时,数字比较器“相等输出端”输出一个“等于”信号,使 R - S 触发器置位,只要过程重复进行,则 R - S 触发器输出端可得到宽度 $t_u = D_n t_{CP}$ 的脉冲,其占空系数为:

$$D_v = \frac{D_n t_{CP}}{2^n t_{CP}} = \frac{D_n}{2^n}$$

此脉冲去开关一个基准电压,使输出脉冲的幅值 $V_{om} = V_R$,经积分后得输出平均值为:

$$\bar{V}_0 = \frac{D_n}{2^n} V_R \quad (4-14)$$

(4-14)式与前述(4-10)式完全相似,能够实现 DA 转换。

这种转换方式、转换速度受积分时间常数的限制,因为当积分时间常数不够长时,输出纹波电压将影响精度,因此一般要用高阶积分器,要求积分时间常数 $\tau > 10T$,这样,就严重限制了转换速度,特别是位数较多时就显得十分严重。但这种转换技术的优点是无需精密元件,只要用延迟时间足够低的逻辑电路就能构成,也适宜于集成化。

在有些设计中,为了提高速度,可以采用图4-15所示的分段式脉宽调制的 DAO 电路。由图知,它将全部 n 位数字输入分成数段,每段自成一个脉宽调制电路,然后按权在最后相加。这样,由于位数减少,速度可以提高。

由图4-15知,每一段仅有六位,故周期 $T = 2^6 t_{CP}$ 比原来图4-14所示的电路

$$(T = 2^{12} t_{CP})$$

可缩短转换周期 2^6 倍。

运放 A 构成加法器用来将二段转换输出相加,电阻 R_1 和 R_2 应为

$$\frac{R_1}{R_2} = \frac{1}{2^6}$$

的比例关系,因此电阻的精度应要满足

$\frac{1}{2^6}$ 的匹配要求,较之图4-14要多用三个精密电阻,这是一个缺点。

2. 脉率积分法

间接 DAO 的另一方法是利用比例乘法器和积分器组成的所谓脉率积分电路。我们知

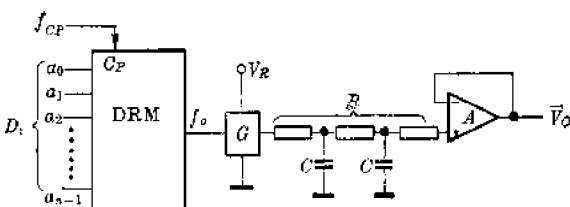


图 4-16 脉率积分式 DAC

道比例乘法器(又称系数乘法器,简称 DRM)是一种有下述输入输出关系的数字电路:

$$f_o = \frac{D_i}{2^n} f_{CP} \quad (4-15)$$

式中: f_{CP} ——输入时钟的频率;

f_o ——DRM 输出频率;

D_i ——二进制数字输入。

当我们在 DRM 的数字输入端加上一个 n 位二进制数字量 D_i 时, 在 2^n 个时钟周期的时间内, DRM 的输出脉冲数将为 D_i 。这样, 如果对此输出进行积分取平均值, 则不同的数字输入其输出平均值就不同, 且与 D_i 成正比, 就能进行数模转换。

图 4-16 示出用 DRM 作 DAC 的原理图, 积分输出经电压跟随器 A 缓冲后得:

$$\bar{V}_o = V_R \frac{D_i}{2^n} \quad (4-16)$$

(4-16) 式与上述 PWM/DAC 法的结果完全相同。

DRM 一般有两种类型, 即二进制与二十进制的数字输入类型, 对后者:

$$\bar{V}_o = V_R \frac{D_i}{10^N} \quad (4-17)$$

式中, N 是十进位的位数。

上述间接转换已被用于电视调谐器中作变容管控制电压预调。

§ 4-2 ADC 的基本原理及转换方法

所谓 ADC(模数转换), 是将一个模拟信息, 也就是一个连续变化的模拟量经过某种电子部件的处理后变换为某种进制的数字量。举例来说, 某一模拟信息是一个在 $0 \sim 7\text{V}$ 范围内变化的电压量, 现在要用一个三位二进制数来表示。在变换前, 我们首先要弄清楚的是, 一个三位二进制数由几种表示状态, 然后才能将被转换的电压量加以离散化, 或者说将 $0 \sim 7\text{V}$ 电压分成几个区间, 使之与三位二进制的 8 种可能状态一一对应, 经过这种处理, 最后才能转换。显然, 这种处理过程就是一种编码的过程。这就是说 ADC 实质上是编码器, DAC 则是解码器。实现 ADC 的重要关键之一是区间的划分, 也就是所谓的“量化”。

所谓“量化”, 就是将要转换的模拟量加以分层为一个单位, 然后用四舍五入取整数的方法用一组对应的二进制代码来表示所分的层。图 4-17 示出量化的原理图。例如取样得到的模拟电压值为: 2.21V , 4.37V , 5.22V , 6.83V , 则它们分别对应的“量化”区间的代码是: 010, 100, 101, 111, 显然量化区间为 1V , 这正好是二进数的码距。

7V	111
6V	110
5V	101
4V	100
3V	011
2V	010
1V	001
0	000

图 4-17 “量化”区间

一、直接编码原理——一次比较式 ADC

实现 ADC 的方法, 也就是编码的方法是比较多的。最直观、最快速的转换方法称为直接编码法。我们仍以将一个 $0 \sim 7\text{V}$ 的模拟电压转换成一个三位二进制数为例来加以说明直接编码的方法。可以用一个已知的参考电压量 V_R 作“量化”基准, 并按量化原理分成八个

区间,这可以用电阻分压或其他电子的方法获得。图 4-18 示出这一原理。由于被转换量 V_x 值在 $0 \sim 7V$ 范围内随机的,因此用七个比较器分别监测这八个量化区间是否与 V_x 对应。这样就可从七个比较器接收到 V_x 值后的比数输出结果: a, b, c, d, e, f, g 的状态来判断 V_x 所对应的三位二进制数字量应该是何种代码。图 4-18 中译码器就是用作按表 4-1 所列真值完成二进制代码输出的译码电路,图 4-19 是译码器的具体逻辑结构原理图。

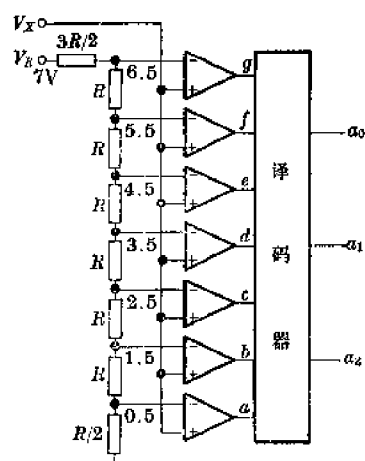


图 4-18 一次比较式 ADC

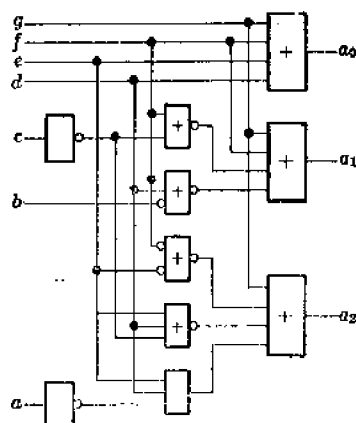


图 4-19 译码器

表 4-1 译码器真值表

a	b	c	d	e	f	g	A_0	A_1	A_2
0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	1
1	1	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	1	1
1	1	1	1	0	0	0	1	0	0
1	1	1	1	1	0	0	1	0	1
1	1	1	1	1	1	0	1	1	0
1	1	1	1	1	1	1	1	1	1

在图 4-18 电路中,若 $V_x = 4.37V$ 时,很明显,图中下面四个比较器的输出端(a, b, c, d 输出)为逻辑“1”,而上面三个比较器,由于同相输入端的电压 V_x 小于反相输入端的电压,因而 e, f, g 的输出为逻辑“0”。由表 4-1 知,译码器输出代码为 100,它就是与 4.37V 相对应的数字量。每当 V_x 一出现在所有比较器的同相输入端,比较器输出端同时就有明确的状态,译码器便有对应的数字量输出,转换即便完成。只要比较器速度快,就可以实现高速转换。

但是图 4-18 的电路在量化区间划分得很细时,便会成为严重的问题。很明显,欲将模拟量转换成三位二进制数字量,就要用 2^3 个电阻形成 8 个量分区间,还要用 $(2^3 - 1)$ 个比较器来检测 V_x 落在何一量化区间。依此可以推得,如果要把一个模拟量变换成 8 位二进制数字量,就要用 $2^8 = 256$ 个电阻和 $(2^8 - 1) = 255$ 个比较器。若转换成 12 位二进制数字量,就

要用 4096 个电阻和 4095 个比较器,而且还得有一个 4095 线进 12 线出的译码器,即使当今已进入超大规模集成技术阶段,也难以实现这种转换器的单片集成化。

图 4-18 的一次比较完成 A/D 转换的方式,一般来说只宜适用在 6 位以下应用,更高位数必须另找办法加以解决。

二、记数编码—— 2^n 次比较式 ADC

为了使 ADC 尽可能少用比较器,人们又提出了图 4-20 所示的另一种编码方式—— 2^n 次比较式 ADC,也就是通过记数的方法来编码。很显然,图 4-20 仅用一只比较器,在记数器输出数字量的控制下,给比较器的反向输入端施加一个随记数值增加而增加的阶梯电压 V_n 与比较器同相端的 V_x 进行比较,直到记数到使 $V_n \geq V_x$ 值时,停止记数。此时该记数值与 V_x 值相对应,从而完成一次 ADC。为简化起见,图 4-20 只是一个将 0~7 V 电压转换成三位二进数的原理图。

我们仍以 $V_x = 4.37$ V 为例来说明图 4-20 电路的工作过程:当记数到记数器记数值为“101”时,开关 C、 $\bar{B}$ 和 $\bar{A}$ 接通,

$$V_n = 4.5 > V_x = 4.37 \text{ V}$$

比较器输出 $V_o = "0"$, 门 F 关闭,封锁记数时钟。记数停止,则记数器的数值“101”即为 V_x 对应的数字量。

图 4-20 的电路当需要将一个模拟量转换成 n 位的二进制数字量时,需要一个比较器、一个 n 位字长的二进制记数器。比图 4-18 的电路要简单得多(当然要用 2^n 个电阻和 $2(2^n - 1)$ 个开关,这用集成技术较易于实现)。但缺点是完成一次 ADC,有可能要经 2^n 个时钟周期后才完成,速度较低。

从上述两种情况,使我们不禁要问,有没有既不象图 4-18 那样用 $2^n - 1$ 个比较器只比较一次,又不象图 4-20 只用一个比较器比较 2^n 次的折衷方法?这就要求弄清 ADC 的本质问题。

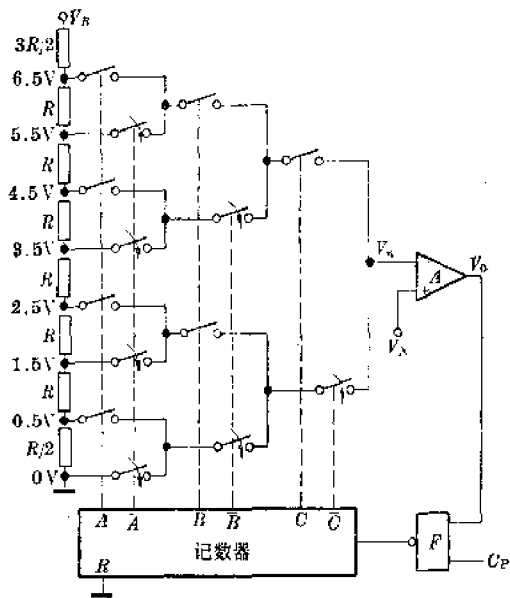


图 4-20 2^n 次比较式 ADC

三、信息——代码转换的本质——信息量的获取

前面已介绍过, ADC 实质是信息与代码之间的变换。在特定的条件下, 一个模拟量(信息)要转换成有限的二进数字量, 实质上是一个信息量获取的问题。就是说, 要解决的是, 在 N 种可能状态中, 要唯一确定某一状态的问题。由信息量定义知道: 在 N 种可能事件中, 若获得信息 I 后, 尚余 M 种可能 ($M \leq N$), 则称信息 I 的信息量 H_I 为:

$$H_I = \log_2 \frac{N}{M} \quad (\text{bit}) \quad (4-18)$$

(4-18) 式的对数表示式中, 以 2 为底, 是因为我们的讨论限于二进制数字, 因此 H_I 的单位

用 bit(二进制数字量的缩写)表示。

由(4-18)式知,要在 N 种状态中,经比较后,确定唯一的一种状态,即 $M=1$,对于将一个模拟量转换成 n 位二进制数字量来说, $N=2^n$,因而要求经比较后,至少要取得

$$|H_I| = \log_2 \frac{2^n}{1} = n(\text{bit}) \quad (4-19)$$

的信息量,才能完成 ADC 转换。

问题在于用一只比较器比较一次,最多能获取多大的信息量?这是我们必须弄清的事情的本质。

现仍以 $0 \sim 7 \text{ V}$ 电压转换成三位二进制数的问题为例来加以分析。这里用一个比较器对图 4-21 所示的量化区间,与其中哪个参考量比才有可能获得最大的信息量。

首先我们考虑用 $0 \sim 7$ 的中间值

$$\frac{1}{2} V_R = 3.5 \text{ V}$$

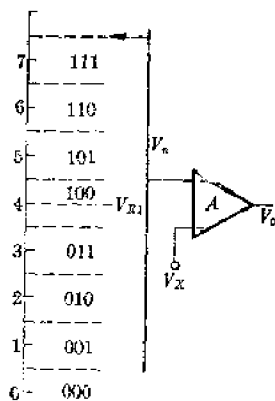


图 4-21 一个比较器
信息量的获取

作比较基准,显然对于处于 $0 \sim 7 \text{ V}$ 范围内的 V_X 值而言大于 $\frac{1}{2} V_R$ 有四种可能,而小于 $\frac{1}{2} V_R$ 也有四种可能,而且 V_X 出现在 $> \frac{1}{2} V_R$ 和 $< \frac{1}{2} V_R$ 的概率各为

$$P = \frac{1}{2}$$

于是用 $\frac{1}{2} V_R$ 作基准比较,可获取的信息量可表示为:

$$H_I^{(1)} = P \log_2 \frac{8}{4} + P \log_2 \frac{8}{4} = \frac{1}{2} \times 1 + \frac{1}{2} \times 1 = 1 \text{ bit} \quad (4-20)$$

其次我们再考虑取 $\frac{1}{8} V_R$ 作基准的情况,十分明显, $V_X > \frac{1}{8} V_R$ 的可能概率为

$$P_1 = \frac{7}{8}$$

小于 $\frac{1}{8} V_R$ 的概率为 $\frac{1}{8}$,于是用 $\frac{1}{8} V_R$ 比较的信息量 $H_I^{(2)}$ 可求得为:

$$H_I^{(2)} = \frac{7}{8} \log_2 \frac{8}{7} + \frac{1}{8} \log_2 \frac{8}{1} = 0.54 \text{ bit} \quad (4-21)$$

同理若用 $\frac{7}{8} V_R$ 作基准时,情况与用 $\frac{1}{8} V_R$ 作基准完全一样,其信息量亦为 0.54 bit。

同样分析可以求得用 $\frac{1}{4} V_R$, $\frac{3}{4} V_R$ 作基准时的信息量为 0.81 bit, 用 $\frac{3}{8} V_R$ 或 $\frac{5}{8} V_R$ 作基准时的信息量为 0.95 bit。

通过上述简单分析,每比较一次,能取得的较大信息量仅 1 bit,而此时的比较基准为 $\frac{1}{2} V_R$ 。这就是说,通过选择合适的比较基准,可以使比较一次的信息量最大。这样就可得下列结论:对于一个 n 位的数字量有 2^n 种可能状态,要唯一确定一种状态,需要获取 n bit 的信息量,如用一个比较器,则至少要比 n 次,而且每次比较的比较基准应是余下可能区域中的 $\frac{1}{2}$ 区,因此用一只比较器比较时关键是每次比较时比较基准的自动生成方法。

四、逐次近似 ADC

根据上述信息量获取的原则, 图 4-18 是用 2^n-1 个比较器只需比较一次, 就能获得 n bit 的信息量, 而图 4-20 的方法是用一个比较器比较 2^n-1 次才能获得 n bit 的信息量. 两种方式都有不足之处, 这已在前面提及. 如果通过适当的比较基准电压的自动生成, 那么从上面分析的原则, 就可用一只比较器最多比较 n 次就能完成 ADC, 这就是所谓逐次近似式 ADC.

图 4-22 示出用 $2^n R$ 和 $(2^n-1) \times 2$ 个开关加上一个逐位近似比较逻辑构成的只用一个比较器 A 比较 n 次的原理图. 图中仍只画出 $0 \sim 7V$ 转换成三位二进制数字量的电路图. 图 4-22 中 SAR 是用来控制同步开关 $A, \bar{A}, B, \bar{B}, C, \bar{C}$ 的控制逻辑, 称为逐位近似寄存器逻辑, 它的逻辑功能可以用图 4-23 的电路来说明.

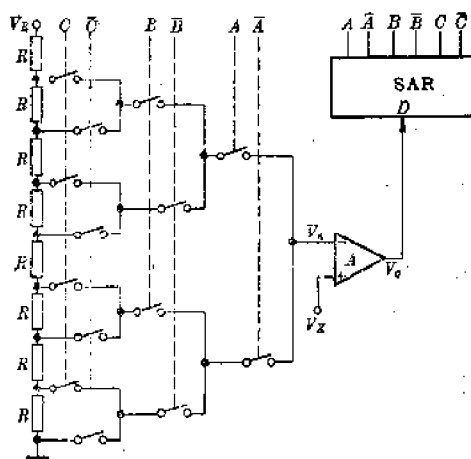


图 4-22 逐次近似式 ADC

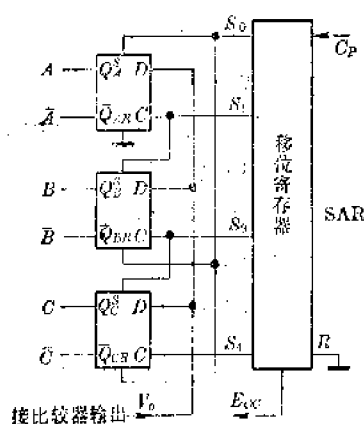


图 4-23 逐位近似寄存器逻辑图

由图 4-23 可知, 当电路起动后, S_0 置“1”, S_1, S_2, S_4 均为“0”, 使触发器 A 置位,

$$Q_A = "1", \bar{Q}_A = "0",$$

同时使触发器 B 和 C 复位, 使 $Q_B = "0", \bar{Q}_B = "1", Q_C = "0", \bar{Q}_C = "1"$. 这就使图 4-22 中开关 $A, \bar{B}, \bar{C}$ 闭合.

$$V_n = \frac{1}{2} V_R.$$

并与 V_X 比较. 若 $V_X > V_n$, 则 $V_o = "1"$, 它送到三个触发器的 D 输入端. 随后第一个时钟来到, 移位寄存器移位, 使 $S_0 = "0", S_1 = "1", S_2 = S_4 = "0"$, 触发器 A 将 V_o 的输出值送到 Q_A , 即 $Q_A = "1"$, 使开关 A 接通, 同时 S_1 使触发器 B 置位, $Q_B = "1"$, 于是开关 B 接通, 从图 4-22 可知, 此时开关 A, B 和 $\bar{C}$ 接通,

$$V_n = \frac{1}{2} V_R + \frac{1}{4} V_R = \frac{3}{4} V_R$$

与 V_X 进行第二次比较. 若在第一次比较 (即 $S_0 = "1"$) 时,

$$V_n = \frac{1}{2} V_R > V_X$$

则 $V_o = "0"$, 当第一个时钟到来后, $S_1 = "1"$ 时,

$$V_n = \frac{1}{4} V_R$$

与 V_x 比较, 因为此时 $V_o = "0"$, 送到触发器 A 的值为 $"0"$, 使 $Q_A = "0"$. 开关 $\bar{A}$, B 和 $\bar{C}$ 闭合,

$$V_n = \frac{1}{4} V_R$$

与 V_x 进行第二次比较. 这就是说, 图 4-23 的电路能根据每次比较后, 将余下可能区域中的

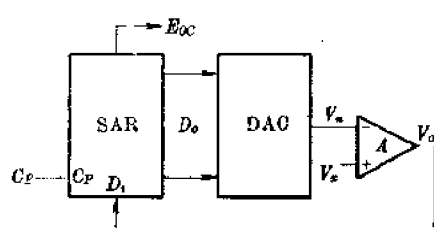


图 4-24 ADC 反馈环框图

的 $\frac{1}{2}$ 电压作基准, 生成一系列与 V_x 比较的基准, 使每次比较均有 1 bit 的信息量, 图 4-22 电路只要经三个时钟输入, 即能完成三位二进制数字量的转换. 这就是只用一个比较器比较 n 次, 就能完成 n 位二进制数的 AD 变换.

事实上, 图 4-22 的 ADC 方式, 比较基准 V_n 的生成可以用上一节提到的 DAC 来实现, 而 DAC 的数字输入由 SAR 提供, 如图 4-24 所示. 十分明显, 比较器用来将 SAR 的数字输出经 DAC 变成 V_n 后与 V_x 比较, 其输出确定本次 SAR 高位代码的取舍, 直到 $V_n \approx V_x$ 时的 SAR 输出就是 V_x 相对应的数字输出. 实质上

图 4-24 是一个反馈环, 平衡时, V_x 与 D_n 对应.

图 4-24 告诉我们, ADC 仅是 DAC 的反变换或逆过程. 因此只要有了 DAC, 是容易得到 ADC 的. 作为集成电路制造与研究, 重点显然放在 DAC 上.

五、间接法 ADC——双积分 ADC

与 DAC 类似, ADC 的实现方式中, 还有通过中间参数过渡的间接变换方法. 这种间接方法有 Δ 调制、双积分等, 这里只介绍双积分变换法. 双积分 ADC 的电路由于已被各种数字仪表广泛应用, 其原理已为人们熟悉. 为了在以后介绍集成电路时比较方便, 这里简单作一些回顾和说明.

图 4-25 是双积分 ADC 的转换原理图. 图中 A_1 是一个运算放大器, 用来构成一个积分器, R 和 C 为积分时间常数回路; A_2 是零比较器, 用来作为 A_1 输出 V_{O1} 过零检测, A_2 的输出 V_{O2} 送到逻辑控制器, 控制记数和开关驱动电路, 实现开关 S_0 , S_1 , S_2 的转换.

这一电路实现 ADC 的原理可简述于下: 电路启动后, 控制逻辑使开关 S_0 闭合, S_1 , S_2 断开, A_1 输出为零. 这称为复位阶段, 使 C 上电荷经 S_0 释放. 经过 t_R 阶段后, 控制逻辑使 S_1 闭合, S_0 , S_2 断开, 计数器开始对时钟 C_P 记数, 此时, $-V_x$ 送到积分器输入端开始积

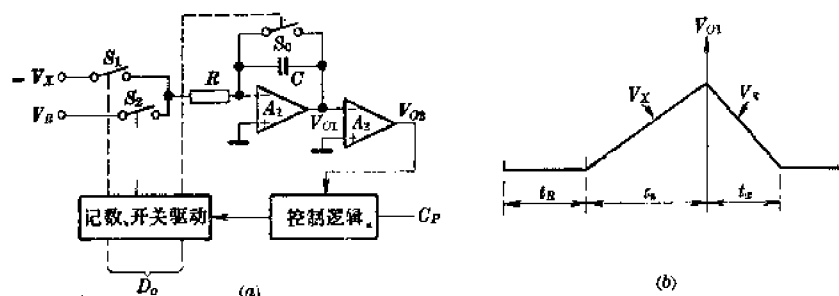


图 4-25 双积分 ADC 原理图

分, V_{o1} 从零线性上升并可写为:

$$V_{o1}^{(1)} = -\frac{1}{RC} \int_0^t -V_x dt \quad (4-22)$$

这一阶段, 控制逻辑使计数器记到满值, 因此积分时间为 $t = t_n$ (常数)。于是 V_{o1} 可写为:

$$V_{o1}^{(1)} = \frac{V_x}{RC} t_n \quad (4-22)$$

第三阶段, 也就是当记数到满值时, 控制逻辑使 S_1 断开, S_2 闭合 (S_0 也断开), 电路成为对 V_R (参考电压是常数) 积分。由于 V_R 与 V_x 反号, 故 V_{o1} 从 $\frac{V_R}{RC} t_n$ 值开始线性下降, 直到 V_{o1} 过零时, 记数停止, 此段时间为 t_x (如图 4-25(b) 所示), 则有:

$$V_{o1}^{(2)} = \frac{V_x}{RC} t_n - \frac{1}{RC} \int_0^{t_x} V_R dt = 0 \quad (4-23)$$

于是有:

$$\frac{V_x}{RC} t_n = \frac{V_R}{RC} t_x$$

或者:

$$V_x = \frac{V_R}{t_n} t_x \quad (4-24)$$

式中, $\frac{V_R}{t_n}$ 为常数 k , 于是可得:

$$V_x = k t_x \quad (4-25)$$

若令 $k=1$, 则

$$V_x = t_x \quad (4-26)$$

这里 t_x 是积分器 A_1 从 $\frac{V_x}{RC} t_n$ 值下降到零的时间, 也就是对 V_R 积分到过零的时钟数, 即这个阶段记数的值。

很明显, 只要把对 V_R 的积分时间 t_x 记录下来, 也就是将第三阶段的记数结果送出, 就实现了 ADC。由上面分析可知, 这种二次积分的方法速度较低, 转换一次的时间要 2^{n+1} 个时钟时间以上, 但电路简单, 不要精密元件, 易于集成化, 因而被集成电路工作者重视和采纳。

§ 4-3 CMOS DAC IC 典型电路

最早用来实现单片集成化 DAC 的技术是双极型技术。但是近年来 CMOS DAC 技术的发展很快。在某些电性能指标和工艺复杂程度上权衡, CMOS 似乎更适宜于被用来制作单片 DAC 电路。

如第一节中所述, 实现数字到模拟之间的转换, 其关键的核心是电阻 (或电容) 解码网络。另外要有位开关部分以及最后实现按权加的加法器和参考电压基准发生器。这就是说, 一个完整的 DAC 电路应包括图 4-26 所示的四个部分构成。对于 CMOS 技术制作的 DAC, 大多数产品只包括权电阻网络 (一般是 $R-2R$ 网络) 和权位开关 (包括电平转换和开关驱动部分) 这两个部分。加法

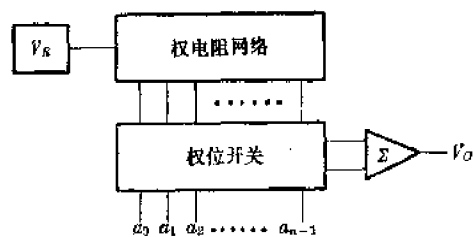


图 4-26 DAC 的结构

器和参考基准发生器则用外部元件构成。将加法器和参考基准置于单片电路以外,有其方便之处和应用上的原因。这一点我们将在有关产品介绍时说明。鉴于这一特点,本节在讨论 CMOS DAC IC 时,重点说明权电阻网络和位开关部分,并结合实际产品介绍它的应用方法和典型应用电路。

一、CMOS 8~10 位 MDAC 5G7520

上海元件五厂生产的 CMOS 8~10 位 MDAC 是国内第一种用 CMOS 技术制作的数模转换电路。这是用 CMOS 模拟技术研制数模转换器中的典型代表产品,与美国 AD 公司 AD7520 完全类似,可以互换使用。

图 4-27 示出 5G7520 的电原理图,其中虚框外的运放用作相加器,不属于电路内部。这个电路中,有一个 10 位的 $R-2R$ 权电阻解码网络,十个单刀双掷开关,它们分别由 $a_0, a_1, \dots, a_9$ 十位开关驱动和电平位移电路控制,两根输出总线为 I_{o1} 和 I_{o2} , 参考电压 V_R 由外部馈送到 $R-2R$ 网络,因此本解码网络是用电流相加的方式工作。

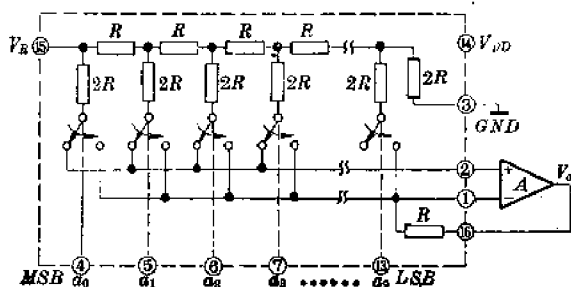


图 4-27 5G7520 内电路

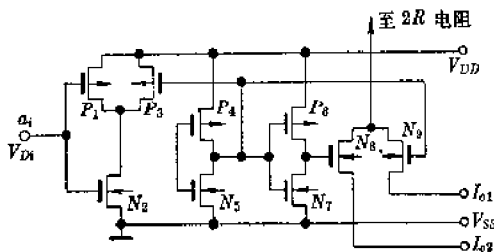


图 4-28 权位开关单元之一

图 4-28 示出图 4-27 中每一位权位开关 $a_i (i=0, 1, 2, \dots, 9)$ 的详细电路图。这个电路共有九个 MOS 晶体管组成,其中 N_8 和 N_9 构成单刀双掷开关, P_4, N_5 和 P_6, N_7 组成反相器, P_1, P_3 和 N_2 组成电平位移电路,使电路能接收来自 TTL、CMOS、HTL 等不同数字电路送来的数字输入量,保证电路正常进行 DA 转换。

1. CMOS 权位开关和电平转移电路

由图 4-28 可知,用 MOS 晶体管 N_8 和 N_9 作权位开关有下列优点:

(1) MOS 晶体管具有无限大的电流增益,因而不存在如双极晶体管那样的由于电流增益失配产生的电流误差,因而 MOS 晶体管适宜于作电流开关;

(2) MOS 晶体管无固有的漏源内压降,作开关时就不存在电压失调,而双极型晶体管就有集-射内压降;

(3) MOS 晶体管原则上漏源可以互换,因此属双向器件,可以构成传送不同极性的电流或电压,构成所谓 MDAC(即乘法数模转换器);

(4) MOS 晶体管的导通电阻 R_{on} 可以通过器件的沟道几何尺寸来按需设计,精确性高,可实现导通电阻按权加的开关结构。

MOS 晶体管作权位开关时,由于导通电阻 R_{on} 不可能为零,因此这一电阻值将与权电阻中的 $2R$ 电阻相串联,导致 R 和 $2R$ 的比例误差,影响转换精度。这一点,可以用图 4-29 来说明。为简单起见,图中开关为理想开关,而 $R_{on1}, R_{on2}, R_{on3}, R_{on4}$ 分别为四个位开关

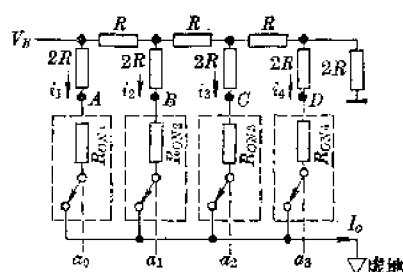


图 4-29 引入开关导通电阻的网络

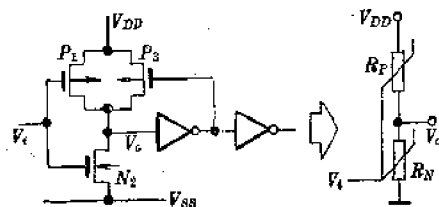


图 4-30 电平位移电路

的导通电阻, $R \sim 2R$ 网络的比例误差暂且忽略。

在理想状态下, $R_{oN1} \sim R_{oN4}$ 的阻值为零, 因此, 流在总线上的电流 I_o 为:

$$I_o = \frac{V_R}{2R} + \frac{V_R}{4R} + \frac{V_R}{8R} + \frac{V_R}{16R} = \frac{V_R}{R} \cdot \left[\frac{1}{2} + \frac{1}{4} + \frac{1}{8} + \frac{1}{16} \right] \quad (4-27)$$

现在由于 $R_{oN1} \neq 0$, 则上式就会有误差。但如果我们能做到以 R_{oN1} 为基准值, 而 R_{oN2} , R_{oN3} , R_{oN4} 按二进制数加权, 即只要能满足:

$$R_{oN1} = \frac{1}{2} R_{oN2} = \frac{1}{4} R_{oN3} = \frac{1}{8} R_{oN4} \quad (4-28)$$

则图 4-29 中 A, B, C, D 四点对 I_o 线(一般满足虚地条件)的电位就可相等, 因为从二进制解码网络的特性知, 流过 A, B, C, D 的电流是按二进衰减的, 即有:

$$i_1 = 2i_2 = 4i_3 = 8i_4 \quad (4-29)$$

这样, 只要 R_{oNi} 按位加权, 则不论 R_{oN1} 的基值如何(当然一般应满足: $2R \gg R_{oN1}$), 都不影响解码网络的解码精度。而用 CMOS 技术, 通过 MOS 晶体管 W/L 的设计, 很容易满足我们的要求。从前面知道, MOS 器件导通电阻为:

$$R_{oNi} = \frac{1}{\beta(V_{GS} - V_T)} = \frac{1}{\beta \left(\frac{W}{L} \right)_i (V_{GS} - V_T)} \quad (4-30)$$

只要我们将权位开关晶体管的宽长比按二进制数加权, 就能实现上述要求。在 5G7520 CMOS 8~10 bit DAC 电路中, 从最高位起, $a_0, a_1, a_2, a_3, a_4, a_5$ 共五个开关的导通电阻按上述原则设计, 最高位开关导通电阻为 20Ω , 以后五位开关的电阻分别为 $40 \Omega, 80 \Omega, 160 \Omega, 320 \Omega, 640 \Omega$ 。最后四位由于影响不太大, 因而仍按 640Ω 电阻值设计 $\frac{W}{L}$ 。

5G7520 为了能对来自 TTL、HTL、CMOS、PMOS 等不同数字逻辑电路输出的数字电平进行响应, 设置了开关驱动电路和电平位移电路。从图 4-28 可以看出, 只要 P_1, N_2 和 P_3 构成的反相器中, P_1 和 N_2 两个 MOS 晶体管的 $\frac{W}{L}$ 设计得合适, 就能满足 TTL 的输出电平作 DAC 的输入电平。由图 4-30 可知, P_1 和 N_2 可看作受 V_i 控制的电阻 R_P 和 R_N 。当 $V_i = 3.2 \text{ V}$ 时, 即 TTL 的“1”电平时, 要求

$$V_o = \frac{R_N}{R_P + R_N} V_{DD} < V_k$$

上式 V_k 为 CMOS 反相器的转折电平。由于 R_N 和 R_P 可通过 $\frac{W}{L}$ 来设计, 因此可以实现上式中 $V_o < V_k$ 的要求。图 4-30 中设置 P_3 的目的在于加速 V_o 向低电平过渡的时间, 起正反

馈的作用。

2. $R-2R$ 解码网络及其精度要求

5G7520 DAC 中, $R-2R$ 电阻解码网络示于图 4-31, 它是利用离子注入技术制作的。离子注入技术制作的电阻具有温度系数小、电阻精度好、比例匹配等特点。由于要满足 8~10 位二进制数字量到模拟量的转换, 电阻比的精密控制是这个电路的成败关键所在。

从前面分析可知, 在理想情况下, 总线 I_o 的电流应为:

$$I_o^* = \sum_{n=0}^9 I_n^* = \sum_{n=0}^9 \frac{a_n}{2^n} I \quad (4-31)$$

但用集成技术制作的 $R-2R$ 电阻无论如何精确控制, 总是有相对误差, 也即存在失配误差。实际的输出电流为:

$$I_o = \sum_{n=0}^9 \left(\frac{a_n}{2^n} I + \Delta I_n \right) \quad (4-32)$$

式中 ΔI_n 为每一位权电流的失配电流。而影响最严重的情况出现在输入数字量为 1000...0 或 0111...1 的情况, 因为其他情况, 各位电流迭加有抵消的趋势。当数字输入为 1000...0 时, 其偏差可设为

$$\delta_1 = \frac{\Delta I_1}{I_o}$$

它是由 R_1 变为 $R_1 + \Delta R_1$ 引入的。这样, 我们就可以推得, 次高位 R_2 变为 $R_2 + \Delta R_2$ 时, R_3 变为 $R_3 + \Delta R_3$ 引起的误差对最高位的影响仅为最高位本身偏差的 $\frac{3}{4}$, 即 $\delta_2 = \frac{3}{4} \delta_1$, 第三位的失配对最高位的影响为 $\frac{3}{16}$, 即 $\delta_3 = \frac{3}{16} \delta_1$, 依次类推, 于是在 1000000000 数字输入时的误差可表示为:

$$\delta_m = \sqrt{\delta_1^2 + \delta_2^2 + \dots + \delta_{10}^2} \quad (4-33)$$

代入具体数字, 对 10 bit DAC 来说:

$$\delta_m = \frac{\Delta I_1}{I_o} \sqrt{1 + \frac{9}{16} + \frac{9}{256} + \dots} \approx 1.26 \frac{\Delta I_1}{I_o} \quad (4-34)$$

式中, $\frac{\Delta I_1}{I_o}$ 是由 R_1 变为 $R_1 + \Delta R_1$ 引入的, 可以按下式求得:

$$\frac{\Delta I_1}{I_o} = \frac{\Delta R}{4R} \quad (4-35)$$

式中: R —— $R-2R$ 网络的特征电阻;

ΔR ——对 R 的偏离值。

很显然, 对 10 bit DAC, 按定义精度为 $\frac{1}{2} LSB$, 即要达 $\frac{1}{2048}$, 于是要求 ΔR 的偏差满足

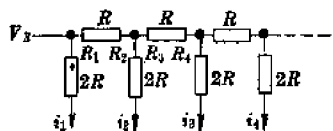


图 4-31 $R-2R$ 网络

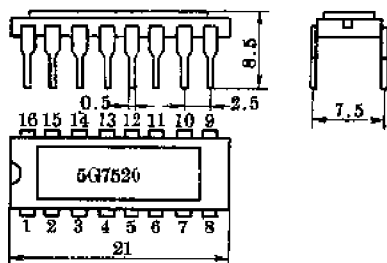


图 4-32 外形图

(在 5G7520 中 R 的设计值为 $10\text{ k}\Omega$):

$$\delta_m = 1.26 \left(\frac{\Delta R}{4R} \right) \leq \frac{1}{2} LSB = 0.05\%$$

亦即:

$$\Delta R \leq \frac{4 \times 10\text{ k}\Omega}{1.26} \times \frac{5}{10^4} = 16\ \Omega$$

相对于 $R=10\text{ k}\Omega$, 偏差不大于 0.16% 。这是一项十分苛刻的工艺控制要求。高于 10 位时, 一般要求用薄膜电阻加激光修正的手段, 才能满足电阻偏差的要求, 制作出合格的 DAC 电路。

3. 5G7520 电参数及其特性的含义

5G7520 CMOS MDAC 用 16 条引线的双列直插式陶瓷封装, 图 4-82 示出其外形封装图。电路的主要电气参数列于表 4-2。从表知, 电路按不同非线性误差分成 “A”、“J”、“K”、“L” 四档, 分别对应为七位、八位、九位和十位精度, 可适应各种不同精度的应用要求。

表 4-2 5G7520 参数表

参 数 名 称	单 位	规 范			
		5G7520A	5G7520J	5G7520K	5G7520L
分 辨 率	位	10	10	10	10
非 线 性 误 差	满度值 %	≤ 0.4 (7 位)	≤ 0.2 (8 位)	≤ 0.1 (9 位)	≤ 0.05 (10 位)
建 立 时 间	ns	≤ 500	≤ 500	≤ 500	≤ 500
满度温度系数	ppm/ $^{\circ}\text{C}$	≤ 40	≤ 40	≤ 40	≤ 40
数字输入高电平	V	≥ 3.5	≥ 3.5	≥ 3.5	≥ 3.5
功耗 (包括 $R-2R$ 网络)	mW	≤ 50	≤ 50	≤ 50	≤ 50
电源电压范围	V	+5~+15	+5~+15	+5~+15	+5~+15
基准电压范围	V	-10~+10	-10~+10	-10~+10	-5~+5

对于 DA 转换器性能的评价, 一般用表 4-2 中的一些基本电参数来衡量。这些参数与我们熟知的运算放大器普通电路不同, 这里我们就几个主要参数作一些说明。

(1) 分辨率 表示电路可能有的有效模拟电平数目, 一般它用来表示转换器所处理的数字输入的位数, 对于 N 位分辨率的 DAC, 即有 2^N 个有效的模拟电平输出的能力。

(2) 精度 精度又称非线性误差。它是指模拟输出电平与其预定值的偏差, 可以用满值输出的百分数或 $\frac{1}{2} LSB$ 来表示。例如一个 N 位精度的 DAC 可用 $\frac{1}{2} \cdot \frac{V_{FS}}{2^N}$ 来表示, 其中 V_{FS} 为满值输出电压。

一般来说分辨率与精度不是一回事, 也可以不同。对于一个 10 位分辨率的 DAC, 可以是 8 位精度, 也可是 12 位精度。

(3) 建立时间 从数字量输入到达时刻起到模拟输出达到规定预定值误差范围内的值时所需的时间。也就是 DAC 的响应时间, 它用来衡量转换速度的快慢。

(4) 单调性 它是指模拟输出与数字输入呈正比的关系的一个衡量参数。一般当输出模拟量随数字输入量的增加而增大时, 即为单调的。

(5) 线性度 当二进数序列加于 DAC 输入时, DAC 输出应该是一组间隔为一个 LSB 值的阶梯电压, 然而实际的 DAC 输出并非均匀, 而有偏差, 这种不均匀性的衡量标准即用线性度来表示, 它也用 $\frac{1}{2} LSB$ 来作最大允许值, 因而与精度类似。

作为一个 DAC, 除了上述几个参数外, 还有如表 4-2 中所列的与数字输入有关的高低电平参数以及电路的功耗、电源范围等参数。这些参数因与其它电路有相同定义, 在此不再赘述。

二、5G7520 的典型应用电路

下面介绍的 5G7520 的典型应用虽然是针对国内现有的 CMOS 8-10 位 DAC 的, 但原理上适合于其他诸如双极型 DAC 或是混合型 DAC, 只要注意不同产品的引出端排列、工作电源以及其他有关的不同之处即可。

在讨论 5G7520 的实际应用电路之前, 我们先从原理上来分析一下 DAC 的应用, 这些原理适合于任何结构或工艺的 DAC 电路, 因此具有普遍性。

从本质上讲, 一个 DAC 电路, 是一只数字控制的电位计。它如同一只机械触点的电位计一样可用于各种电子线路中。所不同的是机械电位器中心端位置是用机械触点来移动, 而 DAC 这种“电位计”的“中心端位置”是通过数字输入来移动。图 4-33(a) 和 (b) 分别示出了这两种性质不同的电位计的原理图。



图 4-33 电位计原理

对于图 4-33(a), 机械电位计 R 的中心端到上端的电阻值设为 αR , 则中心端到下端的电阻值为 $(1-\alpha)R$, 且有 $0 \leq \alpha \leq 1$, 因此, 中心端电压 V_O 与输入电压 V_R 的关系为:

$$V_O = \alpha V_R \quad (4-36)$$

这即是普通的分压关系。

对于图 4-33(b) 的数字“电位计”, 显然同样有如下关系:

$$V_O = D_i V_R \quad (4-37)$$

式中, $0 \leq D_i \leq 1$, 从比较 (4-36) 和 (4-37) 两式可以看出, 两者极为类似。区别仅在于 α 由动端位置确定, 而 D_i 为数字输入量。

鉴于上述原理, 一个 DAC 可以看作数字电位计, 凡是电位器可以使用的场合, DAC 亦可使用, 因此其用途是极其广泛的。了解这一特点之后, 就可讨论 DAC 的实际用途。

1. 5G7520 MDAC 的基本工作模式

前已述及, 由于 5G7520 电路中权位开关是用 MOS 晶体管构成的, 因此开关具有双向性。这就是说, 输入到 DAC 的参考电压 V_R 的极性既可以是正的, 也可以是负的, 这是与由双极型工艺制造的 DAC 不同的一个重要特点, 因此称为 MDAC。如果将输入数字量 D_i (二进制数字量) 用横坐标标记, 输出模拟量用纵坐标标记, 则可以用平面坐标来描绘 5G7520 CMOS MDAC 的输入输出关系曲线。于是, 不同极性的参考电压 V_R 得到处在不同坐标象

限的曲线, 这就是它的工作模式。归纳起来它有两种不同的工作模式, 其用途和特性亦不同。

(1) 单极二象限工作模式 将 5G7520 按图 4-34 所示的方式连接, 就构成单极二象限工作模式。由图可知, 5G7520 的两条输出总线中, I_{o1} (第 ① 端) 接在相加器的反相输入端, 另一输出 I_{o2} (第 ② 端) 则接在零电位, 此时, 当 $V_R < 0$, 即负值时, 输出 $V_o \geq 0$, 且与 D_i 成正比, 曲线在第 1 象限; 当 $V_R > 0$ 即正值时, 输出 $V_o \leq 0$, 也与 D_i 呈正比关系, 曲线在第 4 象限, 因而有如图 4-35 所示的关系, 表 4-3 列出数字输入 D_i 和模拟输出 V_o 之间的对应关系。5G7520 的大多数应用属这一模式。

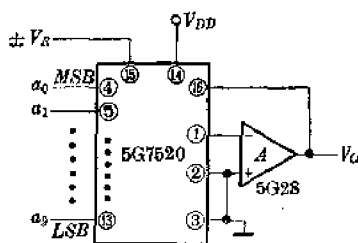


图 4-34 二象限工作模式

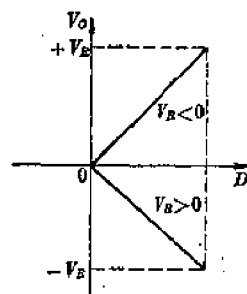


图 4-35 转移特性

表 4-3 二象限输入输出关系

数 字 输 入	模 拟 输 出
11111 11111	$-\frac{1023}{1024} \times V_R$
⋮	
10000 00001	$-\frac{513}{1024} V_R$
10000 00000	$-\frac{1}{2} V_R$
⋮	
00000 00001	$-\frac{1}{1024} V_R$
00000 00000	0

(2) 双极四象限模式 如果将 5G7520 按图 4-36 的接法工作, 则输入和输出在平面坐标上四个象限内都能工作。从图 4-36 可以看出, DAC 中两个总线输出分别接到运放 A_1 和 A_2 的相加点上, 其中第二个运放的同相输入端与第一个运放的反相端接在一起。如果输入数字量为全“1”, 则由前面叙述过的 5G7520 的工作原理可知, 解码网络的电流全部经 I_{o1} 流出, 而 $I_{o2} = 0$ 。设总电流为 I_n , 则 $I_{o1} = I_n$, 该电流全部经内部反馈电阻 R_{FEB} 流向运放 A_1 的输出端, 因为此时 A_2 的反馈回路中均无电流, 因而模拟输出

$$V_o = -\frac{511}{512} V_R$$

如表 4-4 中所列出的。

现再看第二种极端情况, 数字输入为全“0”时, $I_{o1} = 0$, $I_{o2} = I_n$, 此电流流经 R_2 到 A_2 输出端, 使 A_2 输出电压 $V_{o2} = -I_n R_2$, 由于 A_2 两输入端间电位为零, 因此 R_1 上也必须流过

表 4-4 四象限模式输入输出关系

数 字 输 入	模 拟 输 出
11111 11111	$-\frac{511}{512} V_R$
⋮	
10000 00001	$-\frac{1}{512} V_R$
01111 11111	$+\frac{1}{512} V_R$
⋮	
00000 00001	$\frac{511}{512} V_R$
00000 00000	V_R

I_n 才能平衡, 此电流唯有从 A_1 输出经内部电阻 R_{FEB} 流向 R_1 , 于是, 运放 A_1 的输出为:

$$V_o = I_n R_{FEB} = V_R \quad (\text{由于 } R_{FEB} = R)$$

在数字输入量为 1000000000 时,

$$I_{o1} \simeq I_{o2} = \frac{I_n}{2}$$

也就是 I_{o1} 流过 R_1 、 I_{o2} 流过 R_2 , 而流过 R_{FEB} 的电流为零, 因而 A_1 的输出 $V_o = 0$, 这种模式的输入、输出关系为:

$$V_o = -(2D_i - 1)V_R \quad (4-38)$$

表 4-4 列出图 4-36 的输入与输出关系, 并用图 4-37 来示意四象限的工作关系曲线。由表 4-4 可以看出, 输入数字量 D_i 中的最高位 (MSB) 相当于极性指示位, 当最高位是“1”时, 输出为负值(对应 $V_R > 0$), 当最高位为“0”时输出为正值。因此这里要指出的是, 在图 4-36 模式时, 用 10 位 DAC 的实际精度仅是单极性二象限的 9 位水平。

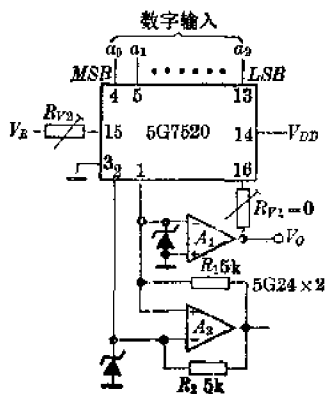


图 4-36 四象限工作电路接法

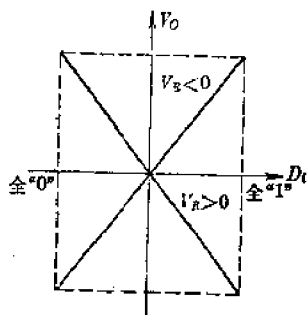


图 4-37 转移特性

2. 5G7520 作程控电源的应用电路

在计算机辅助测试系统 (CAT) 或是数字伺服系统中, 常要使用能编程控制的电压源或电流源, 这方面是 DAC 的最广泛的应用之一。下面分别介绍一些典型的电路实例。

(1) 程控电压源 图 4-38 示出一个 $0 \sim 20$ V, 最大电流 100 mA 输出的可编程电压源。

和放电的周期为(设 $V_z = V_R$):

$$t = \frac{C \cdot V_z}{I_0} = \frac{CV_R}{D_i \times \frac{V_R}{10}} = \frac{2RC}{D_i} \quad (4-45)$$

频率:

$$f = D_i / 2RC$$

一般有:

$$f = \frac{N_i}{2^{n+1} R \cdot C}$$

(5) 用 D/A 构成 A/D 用 D/A 转换器可以方便地构成 A/D 转换器, 此时只要加上一些逻辑控制电路和比较电路即可, 图 4-42 则是这种结构的原理图。

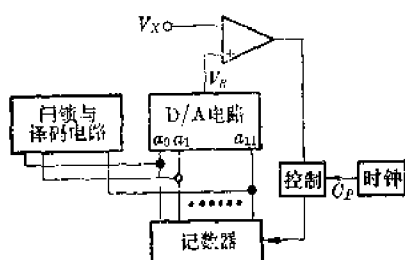


图 4-42 A/D 变换结构

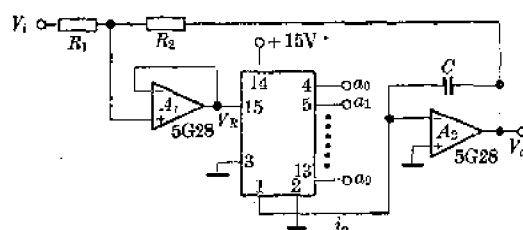


图 4-43 可编程低通滤波器

这里 D/A 电路作为比较器的参考电压发生器, 用来产生一阶梯电压, 它由低向高与 V_x 信号进行比较, 直到 $V_R = V_x$ 时, 计数停止, 显示数字, 准备第二次转换。这种结构速度较低, 如果用移位寄存器的控制电路, 则可构成逐位比较式的 A/D 变换电路。

(6) 数控滤波器 由于用 CMOS 技术制作的 D/A 电路可以处于二个象限内工作, 故参考基准 V_R 既可用正电压, 亦可用负电压, 或用交流电压, 因而可以构成一些交流数字控制电路, 如数字控制滤波器等, 这在一些遥测遥控设备中显得十分重要。作为最后一个例子我们举一个图 4-43 所示的可编程低通滤波器。由图知, A_1 是电压跟随器, 其输出作为 5G7520 的参考电压, 若数字输入 $D_i \left(= \frac{N_i}{2^n} \right)$, 则电路的传输函数 H 可表示为:

$$H = \frac{V_o}{V_1} = -\frac{R_2}{R_1} = \frac{1}{1 + \frac{R_1 + R_2}{R_1} \cdot \frac{RC}{D_i} P} \quad (4-46)$$

$$^*V_R = \frac{R_2}{R_1 + R_2} V_1 + \frac{R_1}{R_1 + R_2} V_o \quad (4-47)$$

$$i_o = V_R \cdot \frac{N_i}{2^{10} \cdot R} = \frac{V_R}{R} \cdot \frac{N_i}{2^{10}} \quad (4-48)$$

$$V_o = -i_o \cdot \frac{1}{j\omega C} \quad \text{即} \quad \dot{V}_o = -j\omega C \dot{V}_o \quad (4-49)$$

于是得:
$$-j\omega C \dot{V}_o = \frac{N_i}{2^{10}} \cdot \frac{\dot{V}_R}{R} = \frac{N_i}{2^{10} R} \left[\frac{R_2}{R_1 + R_2} \dot{V}_1 + \frac{R_1}{R_1 + R_2} \dot{V}_o \right]$$

因为:
$$D_i = \frac{N_i}{2^{10}}$$

于是:
$$-j\omega C \dot{V}_o = \frac{D_i}{R} \cdot \frac{R_2}{R_1 + R_2} \dot{V}_1 + \frac{D_i}{R} \cdot \frac{R_1}{R_1 + R_2} \dot{V}_o$$

$$H = \frac{\dot{V}_2}{\dot{V}_0} = -\frac{R_2}{R_1} \cdot \frac{1}{1-j \frac{\omega CR(R_1+R_2)}{D_i R_1}} \quad (4-50)$$

显然,这是一个低通函数,并可写成标准表示式:

$$H(\omega) = \frac{\dot{V}_2}{\dot{V}_1} = -\frac{R_2}{R_1} \cdot \frac{1}{1-j \left(\frac{\omega}{\omega_p} \right)}$$

或者:

$$|H(\omega)| = -\frac{R_2}{R_1} \cdot \frac{1}{\sqrt{1+\left(\frac{\omega}{\omega_p}\right)^2}} \quad (4-51)$$

式中:

$$\omega_p = \frac{D_i R_1}{CR(R_1+R_2)}$$

为电路的极点,由此可知, ω_p 与数字量 D_i 成正比。

§ 4-4 CMOS ADC IC 及其应用

用 CMOS 技术制作 DAC 技术有很多优点,这已在前面作了介绍。同样,用 CMOS 技术可以制作出许多高性能的 ADC。在这一节中,我们介绍两种典型的电路,这也是近年来国内能够研制生产、使用较多的典型 IC 电路。这两种 CMOS DAC 是代表两种不同设计方法和用途的产品。

一、CMOS 双积分 $3\frac{1}{2}$ 位 ADC—5G14433

七十年代末,美国 Motorola 公司用 CMOS LSI 技术研制了一种专用于数字电压表的单片 A/D 转换器(MC 14433)。这个电路由于设计新颖、省电、价格低而受到整机厂的欢迎。1981 年上海元件五厂用 CMOS LSI 技术仿制了这一产品并配套成系列,这就是本节要介绍的 5G14433。这个电路内部包限一千七百多个 MOS 晶体管,功能完整、使用灵活,又能与微处理机兼容,用途十分广泛。5G14433 的转换方式属于前面介绍过的间接转换法,也就是双积分(或称双效率)ADC。它能将 $0\sim 2\text{V}$ (或 $0\sim 200\text{mV}$) 的模拟电压转换成 $3\frac{1}{2}$ 位十进制数字,精度为 $0.05\%\pm 1$ 字。

1. 5G14433 的基本工作原理

图 4-44 示出 5G14433 电路功能方框图。电路采用多路扫描显示的方法,这样做不但可以减少电路引出线,而且可以节省显示电路功耗,使耗电减到最少。从图中还可看出,电路具有自动量程切换输出和自动极性转换等功能,并具有与计算机兼容的应答信号输入、输出端,因此是一种功能十分完整的电路。整个 5G14433 电路用 24 支引线的双列直插式封装,使用十分简便,是一种高性能的大规模集成电路。图 4-45 是封装外形及引出线功能示意图。

由于作为一种双积分式 AD 转换器,人们比较关心的是积分电路和比较放大部分的性能,也就是如何保证积分转换的精度。为此我们重点讨论 5G14433 的模拟电路部分的工作原理,从中了解它的设计特色。

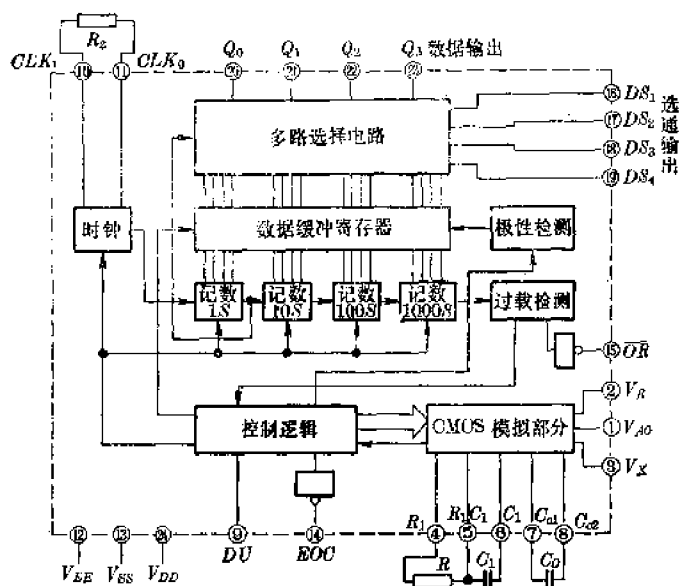


图 4-44 5G14433 功能方框图

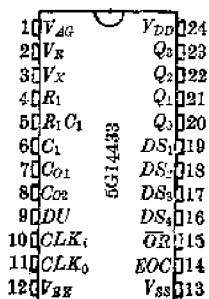


图 4-45 外形图

在图 4-44 中 CMOS 模拟部分包限整个电路转换所需的双积分变换的三个模拟信号处理环节，这就是：(a)缓冲放大部分，即一个具有 $10^{10} \Omega$ 以上输入电阻的电压跟随器；(b)积分器，即一个高增益运算放大器；(c)检零放大器，即一个高增益电压比较器。以及用来控制每个积分过程转换的模拟开关阵列，图 4-46 示出模拟部分电路的配置，通过数字控制逻辑的控制，用六个工作阶段来完成一次 A 到 D 的计数编码转换，图 4-47 示出当被转换电压 $V_X > 0$ 时的模拟电路的工作波形，下面分别说明每一阶段的工作原理。

(a) 放大器失调电压寄存阶段 众所周知，一个非理想运算放大器对一个模拟电压进行积分时，放大器固有的输入失调电压 V_{OS} 将成为一项重要的误差来源。一般用 CMOS 技

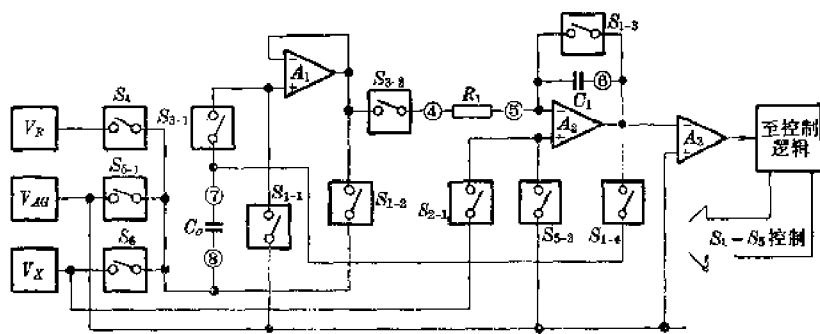


图 4-46 CMOS 模拟部分

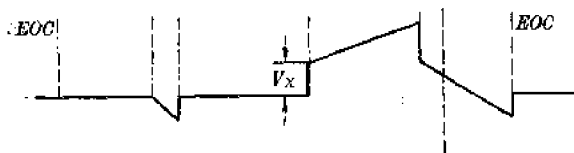
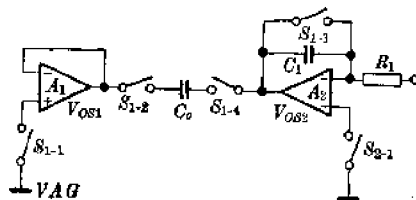
图 4-47 $V_X > 0$ 时转换波形

图 4-48 失调寄存电路

术制作的运放,其失调电压较之双极型运放要大,如不用特殊手段加以消除,将引入不能容忍的误差。

在 5G14433 电路中,借助电路技术,可设计出自动调零的运放,用一个与放大器失调电压绝对值相等、极性相反的补偿电压加以消除,因此在执行 A/D 转换之前,电路通过对图 4-43 中相应模拟开关的控制,将缓冲器 A_1 和积分器 A_2 的失调电压寄存在外接电容 C_0 上,电路在这一阶段接成图 4-48 所示的电路,此时开关 S_{1-1} 和 S_{1-2} 接通,其余断开,从图知,此时若 A_1 的失调为 V_{os1} , A_2 的失调为 V_{os2} ,则 C_0 上将寄存两者的代数和,即:

$$V_C = V_{os1} - V_{os2}$$

很显然,由于开关 S_{1-3} 闭合,故积分电容 C_1 被短接, C_1 上原来被存贮的电荷被释放,积分器被复位。因此这阶段也是积分复位期。

(b) 检零比较器失调的数字寄存期阶段 在双积分式 A/D 转换过程中,除缓冲放大器 and 积分器的失调会影响积分精度外,另一个误差因素是比较放大器的直流失调,即 V_{os3} 。为此在 5G14433 中,利用数字技术,将比较器偏离零电位的电压值,折算成相应的数字读数,并存放在寄存器内,在执行对 V_R 积分记数时加以扣除,这就能相当于实现数字调零,消除

比较器失调的影响。

在这一阶段,5G14433 的控制逻辑在执行完第一阶段工作后,将图 4-46 所示电路中的开关 S_4 , S_{2-1} , S_{2-2} 和 S_{2-3} 闭合,其余断开,构成图 4-49 所示对 V_R 积分的电路。由于

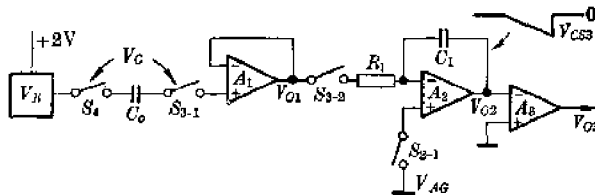


图 4-49 比较器数字调零电路

$V_R > 0$, 故积分器 A_2 输出一负向锯齿波。需要指出的是,由于比较器失调的离散性,故 V_{os3} 的极性难于预定,因此对 A_3 在电路设计上制造一个人为的负向失调电压,使 A_3 的反相输入端比同相输入端低较大值时 A_3 输出才由逻辑“0”改变为逻辑“1”。

由图 4-49 又可看出,由于电容 C_0 串接在输入端,故 A_1 的输出变为:

$$V_{o1} = V_R + V_C - V_{os1} = V_R + V_{os2}$$

而 V_{o2} 则为:

$$V_{o2} = -\frac{1}{R_1 C_1} \int_0^{t_{os3}} V_R dt$$

即 A_1 , A_2 失调被补偿。当 V_{o2} 达 V_{os3} 的值时,比较器状态翻转,此过程结束,同时将这一阶段所需时间 t_{os3} 对应的数字存在内部寄存器中。

这一阶段所需的时间视 V_{os3} 可能出现的最大值确定。在 $V_R = 2V$, $R_1 = 470k\Omega$ 和 $C_1 = 0.1\mu F$ 的典型条件下,若时钟频率最高设为 $200kHz$ (即 $t_{cp} = 5\mu s$), 则对于

$$(V_{os3})_{max} = 150mV$$

来说,我们可由下式得到所需的时钟数 n_2 为:

$$(V_{os3})_{max} = t_{cp} \cdot \frac{V_R}{R_1 C_1} \cdot n_2$$

即:

$$150mV = n_2 \cdot 5 \times 10^{-6} \times \frac{2 \times 10^3}{470 \times 10^3 \times 0.1 \times 10^{-6}}$$

于是

$$n_2 \cong 705$$

电路中,设置这一阶段最大可记数 800 个时钟脉冲,已足够应付各种不同的时钟频率下的正常工作。

(c) 积分器第二次复位阶段 完成第二阶段的比较器数字调零阶段后, 此时积分电容 C_1 上已充电到 V_{os3} 的值上, 如果此时就对 V_x 进行积分, 显然是会造成积分误差, 使上一阶段失效。为此必须再次对积分器加以复零, 故第(c)阶段完全重复第(a)阶段工作, 电路仍回到图 4-48 的状态, 并且两者所需的时间均定在 4000 个时钟周期的数值上。

(d) 对 V_x 积分阶段 在完成上述三个阶段后, 放大器的失调问题得到解决, 于是电路进入 Δ/D 变换的计数编码阶段。此时就开始对 V_x 进行积分。

与人们熟知的双积分原理略为不同的是 5G14433 中所用的参考基准电压 V_R 只用一种极性, 即 $V_R > 0$, 而不是通常的用正负两种 V_R 。鉴于这个原因, 当对 V_x 积分时, 电路规定只能使积分器作正向积分, 而不允许有超过 V_{os3} 的负向积分, 否则, 电路自动将 V_x 的引入点加以切换。

当 $V_x > 0$ 时, 若电路接成图 4-50 所示的 V_x 引入方式, 则 V_{o2} 随时间增长负向输出, 在达到 V_{os3} 值时, 比较器 A_3 输出改变状态, 控制逻辑接收到 A_3 这一信号, 使控制模拟开关的控制器记下这一状态, 在下次转换前将 V_x 的引入方式改成图 4-51 的方式, 但计数器在没记到规定值时, 不结束这一状态, 记数继续进行下去, 控制电路将不送出记数值, 只将全零送到输出端。在第二次转换时改成图 4-51 接法, 使积分波形成为图 4-51 所示的对应波形, 即:

$$V_{o2} = V_x + \frac{1}{R_1 C_1} \int_0^{T_n} V_x dt$$

$V_x > 0$ 的结果在这一接法下才给出, 并指示出本次转换极性。

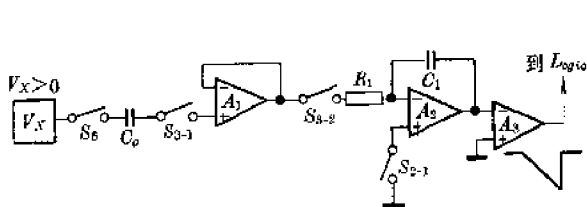


图 4-50 $V_x > 0$ 的无效接法

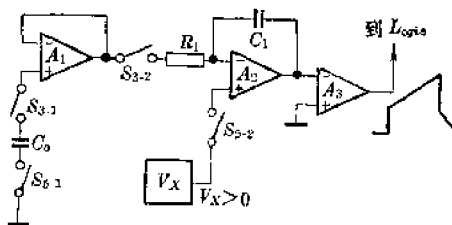


图 4-51 $V_x > 0$ 有效接法

反之, 如果进入(d)阶段时, $V_x < 0$, 则由于在记数到 T_n (设定为 4000 个时钟周期) 溢出前, 比较器 A_3 状态不变, 故而积分波形如图 4-52 所示。

综上所述, 在 5G14433 中, 这种功能就是所谓极性自动检测。在这一阶段积分器输出最大值可写为:

$$(V_{o2})_{\max} = (V_x)_{\max} + \frac{1}{R_1 C_1} \int_0^{T_n} V_x dt$$

若 $V_x \approx 2V$, 时钟周期为

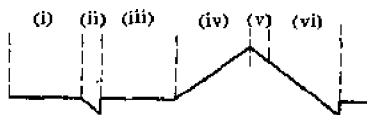
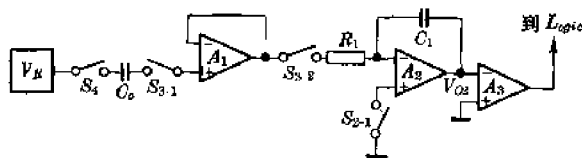
$$\frac{1}{20 \text{ kHz}} = 50 \mu\text{s}$$

则 $T_n = 4000 \times 50 \mu\text{s} = 50 \text{ ms}$, 在 $R_1 = 470 \text{ k}\Omega$, $C_1 = 0.1 \mu\text{F}$ 时, $(V_{o2})_{\max}$ 可得:

$$(V_{o2})_{\max} = 2 + \frac{2}{R_1 C_1} \times 50 \times 10^{-3} \approx 4V$$

当 A_2 工作电压为 $+5V$ 时, 可以输出 $4V$ 以上幅度, 即可在 20 kHz 时钟下工作。

(e) V_R 积分阶段 在(e)阶段即对 V_R 进行积分, 此过程如图 4-53 所示, 其原理与一

图 4-52 $V_x < 0$ 时的积分波形图 4-53 V_R 积分阶段

般积分电路相同, 在这阶段中, 记数电路进行减法运算, 将 V_{os3} 寄存器的数字先减去, 消除 V_{os3} 失调。

(f) 对 V_R 积分阶段 此阶段记数的值才是所需送到输出的数字量, 此时有:

$$V_x = \frac{V_R}{T_n} T_x \quad (4-52)$$

其原理在前已述及。

在这一阶段, C_0 串接在 A_1 输入, 起失调调零的功能。

2. 5G14433 电路中模拟电路的基本性能分析

上面讨论了 5G14433 完成一次 A/D 转换的六个基本工作过程。从工作方式来看, 电路具有自动校零、自动极性检测等十分重要的功能。但上面没有分析构成缓冲器、积分放大器、比较器的基本性能, 虽然对使用 5G14433 来说, 内电路如何可不必追究, 若能了解它们的构成和基本性能, 对正确使用无疑会有帮助的。

利用 CMOS 技术可以非常简单地构成上述三个基本部件。图 4-54 示出 5G14433 内部缓冲器 A_1 、积分放大器 A_2 和比较放大器 A_3 的完整电原理图, 其中 A_1 和 A_2 结构上类似, 仅 A_1 是接成电压跟随的形式, A_3 比 A_1 和 A_2 增加一级倒相放大。

很明显, 这三个放大器中 A_1 和 A_2 可用图 4-55 等效电路来分析它们的基本性能, 而 A_3 则可用图 4-56 来等效分析。这是一种典型的二级放大, 带电流源负载的放大器, 其中 A_1 和

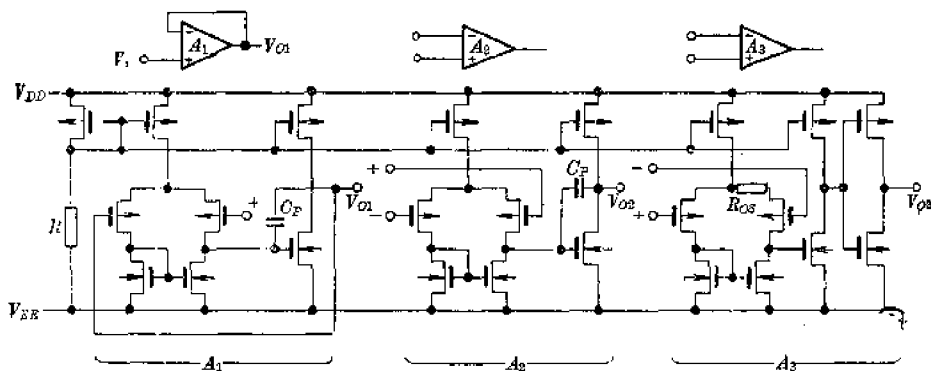


图 4-54 放大器结构

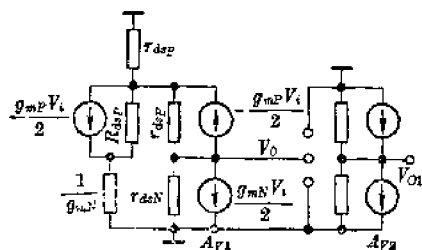


图 4-55 放大器等效电路

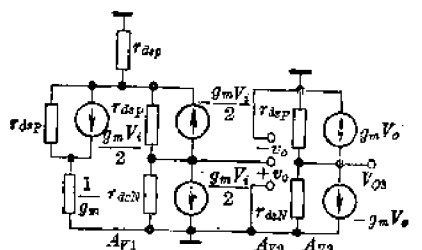


图 4-56 比较器等效电路

A_2 的增益可表示为:

$$A_{V01} = A_{V1} \cdot A_{V2} = \frac{g_{mP} + g_{mN}}{2} \cdot \frac{r_{dsP} \cdot r_{dsN}}{r_{dsP} + r_{dsN}} \cong g_m r_{ds}^*$$

通过 MOS 晶体管 W/L 的设计, 可以满足跨导值的控制, 且可按式确定 g_m 。

$$g_m = \sqrt{2\beta I_{DS}}$$

式中: $\beta = \mu C_{ox}(W/L)$;

μ —— 沟道迁移率;

C_{ox} —— 栅氧化层电容

而 r_{ds} 决定于 MOS 管的欧拉电压, 正比于沟道长度 L 值的选取。

在 5G14433 中, 由于精度要求 0.05%, 故在 $R_1 = 470 \text{ k}\Omega$, $C_1 = 0.1 \mu\text{F}$ 典型值时, 增益可由积分误差公式确定:

$$\delta = \frac{t}{2A_{V0}R_1C_1} \leq 0.05\%$$

于是

$$A_{V0} \geq \frac{80 \times 10^{-3}}{2 \times 5 \times 10^{-4} \times 5 \times 10^5 \times 0.1 \times 10^{-9}} \approx 1600$$

作为比较器的 A_3 , 则增益较 A_1 和 A_2 高一个以上数量级, 从图 4-56 可得增益表示式为:

$$A_{V03} = A_{V1} A_{V2} A_{V3} = A_{V01} \cdot A_{V3}$$

图中没有画出 A_{V2} , 增益可达 90dB, 足能保证精度。

从图 4-54 中可看出, 在 A_3 的输入级的反相输入端源极上人为地加置了一个电阻 R_{os} , 使输入级引入一个负向的失调, 只要流过输入管的源电流在 R_{os} 上的压降大于两输入管可能达到的失配电压, 则 A_3 的失调总是负向, 这样就可实现数字调零的单向积分特性。

二、5G14433 主要逻辑功能端说明

从图 4-44 可以看到, 除通常所有双积分电路必须具备的控制 A/D 转换过程的模拟开关切换所需的控制逻辑外, 在 5G14433 的计数编码逻辑中, 数据输出采用多路扫描的方法, 由多路转换开关轮流将 $3\frac{1}{2}$ 位 BCD 数据送出, 并同时输出相应的时序信号 $DS_1 \sim DS_4$ 。当每次 A/D 转换结束, 控制逻辑向外送出一个转换结束标志信号 EOC (端 ⑭), 它的宽度为 $\frac{1}{2}$ 时钟周期。在 EOC 信号下跳的同时, 多路选择开关开始轮流将四位二进制数据按千位、百位、十位和个位数的次序送到输出端 Q_0, Q_1, Q_2, Q_3 。每一十进位送出四位 BCD 数的时间为 18 个时钟的周期时间, 然后隔 2 个时钟周期送一位的 BCD 数。在整个一次转换周期中, 每个十进位送数的总次数为:

$$N = \frac{16000}{4 \times 20} = 200 \text{ 次}$$

工作波形如图 4-57 所示。但必须说明的是, 送出的数据是上次转换结束

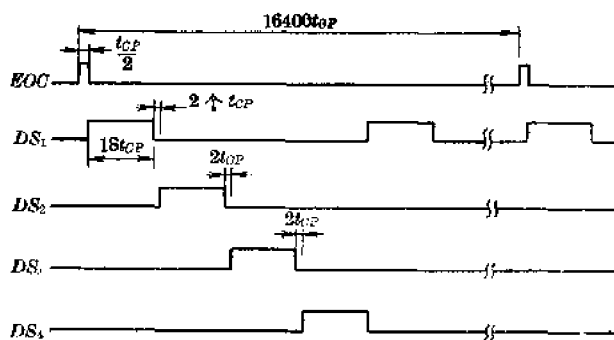


图 4-57 多路显示时序图

时送到锁存器中的记数值,即上一次 A/D 转换的结果。

在 5G14433 中,记数结果是否存入锁存器中,可由控制端 DU 的输入逻辑值确定,当 $DU="1"$ 时,转换结果存入缓冲存储器中锁存起来,一般 DU 接收来自 EOC 的信号,但也可由外部信号控制,因此电路的第 ⑨ 端又可称为上次数据显示控制输入端。

在 5G14433 电路中,还设有超量程检测指示输出电路,当被转换的电压 $V_x \geq 1.999 V$ (在 $V_R=2.000 V$ 时)或者在 $V_x \geq 199.9 mV$ ($V_R=200 mV$) 时,在电路 ⑮ 端输出逻辑“0”,否则输出“1”。这样,在用 5G14433 组成数字电压表或数字三用表时,此功能端可用来作量程切换控制信号,构成自动量程切换电路。

5G14433 作为一个 $3\frac{1}{2}$ A/D 转换器,原则上最高位只需要显示“0”和“1”两种状态,但当数据信号 DS 发出最高位选通信号 DS_1 时,电路中按四位数据的逻辑值,除显示最高位 ($\frac{1}{2}$ 位) 转换结果外,尚可按表 4-5 真值表显示被测电压 V_x 的极性 (+ 或 -),超量程和欠量程指示等状态。从表 1 可见,在 $DS_1="1"$ 时,用 $Q_3="0"$ 显示最高位是 1,反之为 0,用 Q_2 作极性指示,即 $Q_2="1"$ 表示 $V_x > 0$,反之为 $V_x < 0$ 即“-”。用 Q_0 显示 V_x 范围,当 $Q_0="1"$ 时,表示超过正常测量(转换)范围,如果 $Q_0="1"$, $Q_2="1"$,则表示 $V_x < 100 mV$ 时,需要将 $V_R=2 V$ 转换到 $V_R=200 mV$ 上;当 $Q_0="1"$, $Q_3="0"$ 时,表示 $V_x \geq 1.999$ (或 $V_x \geq 199.9 mV$, 当 $V_R=200 mV$) 需要切换量程,接通输入衰减电路,将 V_x 衰减后测量。从表中又可知道,由于最高位显示电路只接在七段译码器的段 b 和 c 上,故对应于 4, 0, 7 和 3 的 BCD 码,仅显示 1。

表 4-5 $DS_1="1"$ 时 BCD 码

最高位示值	Q_3	Q_2	Q_1	Q_0	七段译码输出	} 仅 b 和 c 接 MSD
$\div 0$	1	1	1	0	不显示	
-0	1	0	1	0	不显示	
$+OVR$	1	1	1	1	不显示	
$-OVR$	1	0	1	1	不显示	
$+1$	0	1	0	0	4→1	
-1	0	0	0	0	0→1	
$+OB$	0	1	1	1	7→1	} 仅 b 和 c 接 MSD
$-OB$	0	0	1	1	3→1	

5G14433 的全部工作过程,都在一个时钟信号控制下按步就班地工作,在图 4-44 电路中可以看到,电路内部设有一个振荡器,只要在 ⑩ 和 ⑪ 端外接一只 $20 k\Omega$ 到 $1 M\Omega$ 之间的电阻 R_2 ,就能产生 $20 kHz$ 到 $1 MHz$ 的振荡波形,但典型的电阻值在 $300 \sim 400 k\Omega$ 之间,此时振荡频率在 $60 kHz$ 左右。电路亦能用外部时钟输入工作,此时外时钟可从 ⑩ 端引入,但 R_2 应断开。如果欲使时钟频率较为稳定,则可按图 4-58 所示外接 L, C 谐振网络或图 4-59 所示的晶体振荡回路。前者振荡频率可按下式计算:

$$f_0 = \frac{1}{2\pi} \sqrt{2/L \cdot C} \quad (4-53)$$

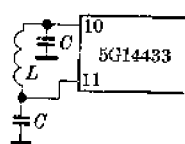


图 4-58 电感振荡方式

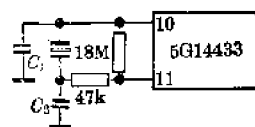

 $10 \text{ pF} < C_1, C_2 < 200 \text{ pF}$

图 4-59 晶体振荡方式

时钟频率确定以后, 电路执行 A/D 转换的速率可按式求得:

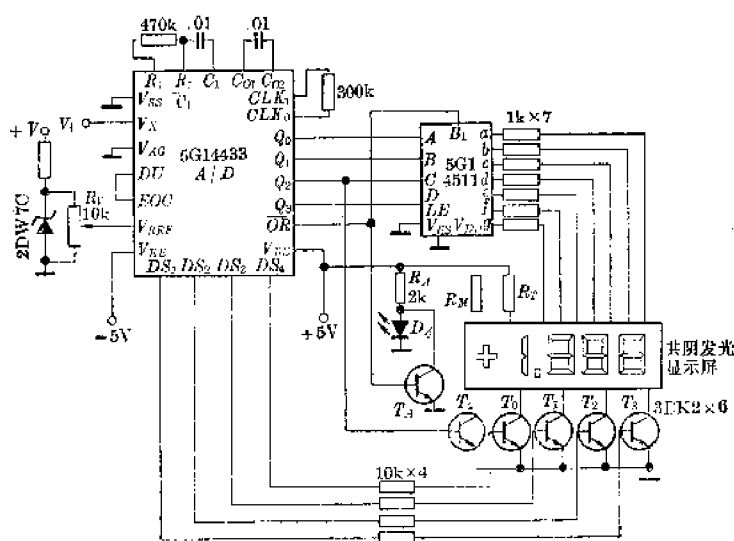
$$\gamma = \frac{f_0}{16,400} \pm 1.5\%$$

显示速率为: $f_0/80$.

三、5G14433 的典型应用实例

1. 共阴极发光二极管显示电路

用 5G14433 和少量的外部电路组合起来, 可以构成一个简单的 $3\frac{1}{2}$ 位数字电压表。图 4-60 示出这个电压表的接线图。由图知, 整个 $3\frac{1}{2}$ 位数字电压表仅用二片集成电路、六只晶体管、17 只电阻、一只电位器、二只电容和一只基准稳压管组成。它是一种既简单、成本又低的电路。

图 4-60 共阴显示时的 $3\frac{1}{2}$ 位电压表电路

图中 5G14511 是一块驱动发光二极管的 CMOS 七段译码器, 七段发光管显示屏可用上海器件六厂的有关产品, 这里用共阴极结构如图 4-61 所示。最高位的发光显示屏只接 b 和 c 两段, 因此当 DS_1 到来时, 只按表 4-1 真值显示 1 或熄灭。极性指示用 5G14433 的 Q_3 来控制 T_4 管来显示“+”或“-”, 即当 $Q_3=1$ 时, 显示“+”, 反之显示“-”, 于是用两只电阻 R_M 和 R_T 来接两个发光管, 如图 4-62 所示, 即“-”号常亮。当 $Q_3=“1”$ 时显示“+”号。图 4-60 中用一个发光管 D_4 来显示超限。当 $V_x > 1.999 \text{ V}$ 时, 5G14433 的 $\overline{OR}$ 端输出“0”电平, 使晶体管 T_4 截止, 从而点燃 D_4 ; 当 $V_x < 1.999 \text{ V}$ 时, $\overline{OR}=“1”$, T_4 导通, D_4 二端电

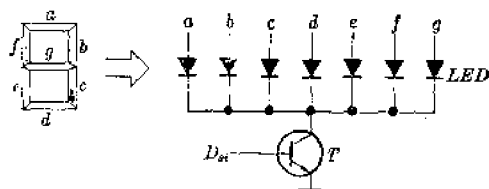


图 4-61 七段显示器

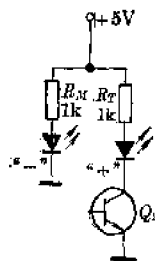


图 4-62 极性显示电路

压近于为零而熄灭。

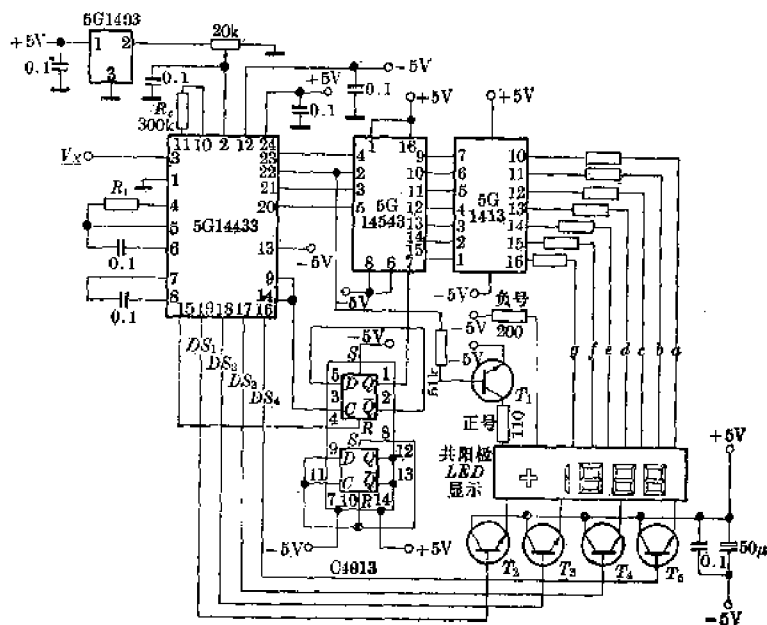
基准电压 V_{REF} 用一只标准稳压管 2DW7C 经电阻分压取得。由于 2DW7C 击穿电压在 6V 左右, 故它的偏置要高于 6V, 而 V_{REF} 则由电位器 R_V 调节获得。

整个电路的功耗主要取决于发光显示器的耗电, 平均功耗约为 8 个发光二极管的点燃电流。

2. 共阳极发光显示屏的 $3\frac{1}{2}$ 位数字电压表

用 5G14433 和 5G14543 还可组成用共阳极发光七段显示屏显示读数的 $3\frac{1}{2}$ 位数字电压表。这种结构的显示系统, 由于 5G14511 七段译码器输出是高电平, 故要点燃共阳极电路, 还需用七个晶体管分段倒相, 去控制七段显示屏的每段的阴极。而每个数字位则要通过 DS 控制一个射极输出器来实现多路显示。除了这一点外, 其他电路配置与图 4-60 相同。图 4-63 示出了这种数字电压表的电路图。

很显然, 这种结构较之图 4-60 要多用一些外部元件, 成本也会有所增加。但七段译码器可以不用 5G14511 而改用驱动能力小的 5G14543。



* $R_1=470\text{k}\Omega/2\text{V}$ 量程, $R_1=27\text{k}\Omega/200\text{mV}$ 量程

** 聚脂薄膜电容

图 4-63 共阳显示接法

3. 用液晶显示的 $3\frac{1}{2}$ 位数字电压表

上述两种用发光二极管七段显示屏的电路具有结构简单、所用元件不多的优点,但由于发光管点燃电流较大,约 5mA/段左右,故功耗仍然较大,不适宜于手提式仪表的组装。液晶显示可以使显示所需的功耗降到最小,故本电路亦可构成液晶显示的 $3\frac{1}{2}$ 位数字电压表。

需要指出的是,用液晶(LCD)显示无法采用多路扫描显示,并且还需交流驱动电路,因此这种系统所需外围元件要相应增加。图 4-64 示出这种显示系统的接线图。

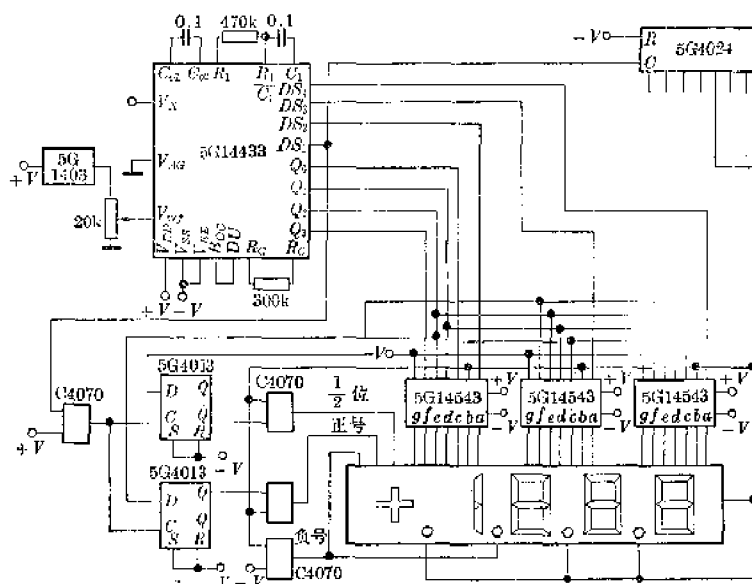


图 4-64 LCD 显示电压表

从图 4-64 可知, 5G14433 的 BCD 输出首先要在 DS 信号同步控制下放在相应的门锁中暂存, 因此用三块 5G14543 作门锁和译码, 最高位则用一个 D 触发器作锁存, 另外用计数器 5G4024 将 DS_1 分频, 得到液晶需要的交流驱动信号。图 4-64 电路电源功耗极低约 3mA 以下, 因而可用于电池供电。

5G14433 的主要特性可归纳于下:

- (1) 转换精度: 读数的 $\pm 0.05\% \pm 1$ 字 ($3\frac{1}{2}$ 位十进制相当于 11 位二进制)。
- (2) 电压量程: 1.999V 和 199.9mV 两档。量程扩展通过外加控制电路实现。
- (3) 转换速率: 3~10 次/秒, 相应时钟频率变化范围为 50~150kHz。
- (4) 输入阻抗: $>100\text{M}\Omega$ 。
- (5) 片内具有自动极性转换和自动调零功能。
- (6) 外接单一正电压基准, 基准电压值和量程有关。

当量程为 1.999V 时, 基准电压为 2V; 当量程为 199.9mV 时, 基准电压为 200mV。

(7) 片内提供时钟发生电路, 使用时只需外接一只电阻。也可以使用外部输入时钟。时钟频率范围 50~200kHz。

(8) 转换结果输出形式: 经过多路调制的 BCD 码, 并有多路调制选通脉冲输出, 通过

外接译码电路, 可实现 LED 动态扫描显示或 LCD 显示。

- (9) 有过量程和欠量程标志信号输出, 配上控制电路, 可以完成自动量程切换。
- (10) 工作电压范围: $\pm 4.5 \sim \pm 8 \text{ V}$ 或 $9 \sim 16 \text{ V}$ 。
- (11) 典型功耗: 当电压为 $\pm 5 \text{ V}$ 时为 8 mW 。

§ 4-5 逐次近似单片电荷平衡 ADC

在本章第二节中, 我们讨论过图 4-22 所示的 $2^n R$ 电阻链形式的逐次近似 ADC, 这种电路在实现 8 位 ADC 时, 要用 256 个电阻和 510 个开关, 虽然利用 MOS 工艺并不是不可实现的, 但毕竟要用较多的元器件。

近年来, 由于技术的进步, 通过电路设计上的改进, 可以用较少的元件来实现类似于图 4-22 原理的 ADC 单片 IC, 这就是本节要讨论的逐次近似单片电荷平衡式 ADC-5G0801, 这个电路类似于美国 NSC 公司的 ADC 0801。

5G0801 由于具有诸如片选 $\overline{CS}$ 、写选通 $\overline{WR}$ 、片锁三态输出、中断 ($\overline{INTR}$) 输出等功能, 因而可与微处理器共容, 成为微型机的标准模拟接口, 在工业自动化、计算机实时控制等领域有广泛的用途。

利用单片电荷平衡技术, 很容易将 8 位 ADC 扩展到 12 位 ADC, 因而受到集成电路工作者的重视。本节讨论它的转换原理和可能的应用实例。

一、5G0801 工作原理

在本章第二节中, 已经提到一个逐次近似的 ADC 一般由逐次近似控制逻辑 (SAR)、比较器、基准电源、DAC 和时钟发生器等五部分构成, 但作为单片集成的 ADC 电路, 其核心是比较器和 DAC。因此, 本节中我们重点讨论电荷平衡式 DAC 和比较器这两个部分。事实上, 用 CMOS 技术设计的 ADC, 都将上述两个部分结合在一起。

1. 电荷平衡比较器的工作原理

先考察图 4-65(a) 的电路, 这是一种数据取样型比较电路。图中比较器 A 是前已叙述过的由电容耦合的三~四级 CMOS 倒相器构成的电路。也就是如图 3-3 所示的电路。从图 4-65(a) 所示的电路可知, 在时钟上半周期, SW_z 接通, 比较器处于调零状态, V_1 寄存在电容 C 上, 使电容 C 上的电压为输入电压 V_1 和偏置电压 V_{bias} 的差值。



图 4-65 电荷平衡比较器

在调零阶段结束后, 进入时钟下半周期, SW_s 接通, SW_z 断开, 使电容 C 无充电回路, 比较器 A 输入端电位 $V_x = (V_2 - V_1)$, 也就是比较器 A 将放大 V_2 和 V_1 的差值。现在, 比较器的输出电压 V_0 可写为:

$$V_o = \frac{-A_0}{C_1 + C_s} (CV_2 - CV_1) \quad (4-54)$$

同样对于图 4-65(b) 有:

$$V_o = \frac{-A_0}{C_1 + C_2 + C_s} [C_1(V_2 - V_1) + C_2(V_3 - V_4)] \quad (4-55)$$

(4-54) 和 (4-55) 式中 A_0 是比较器的开环增益。显然, 这种比较的结构, 在 $\Delta V_x = 0$ 时称为电荷平衡状态。如果来自 DAC 的电压为 V_1 , 而被转换电压为 V_2 , 则只要它们数值相等, 符号相反, 就能实现电荷平衡, 这就是 CMOS ADC 中要利用的一种比较原理。

同理, 对于图 4-65(b) 的比较器结构, 在 C_1 和 C_2 成某一比例关系时, 由 (4-55) 式可知, 只要 $(V_2 - V_1)$ 和 $(V_3 - V_4)$ 亦成这一比例, 且符号相反, 则同样可满足 $\Delta V_x = 0$ 的电荷平衡要求。这样, 利用集成技术容易制作加权电容阵列的优点, 就可以构成一种新颖的 ADC 电路——梯形电阻扩展电路。

2. 梯形电阻扩展的概念

利用电荷平衡比较器的原理, 发展了一种图 4-66 所示的新颖的 ADC 编码网络, 这就是所谓梯形电阻扩展电路。对于一个 8 位的 ADC, 只要用 8 个电阻和 32 个 MOS 开关就能构成, 这无疑有利于集成, 可以大大缩小硅片面积。图 4-66 的原理实质是“分段译码”的原理, 下面加以简单讨论。

图 4-66 中, 32 只开关分别由相位开关 S_1 和 S_2 以及段开关 $S_A, S_B, S_C, S_D, S_E, S_F, S_G, S_H$ 组成, 它们由逐级近似逻辑控制接通或断开。由图知, M 点的抽头点的电压为 $\frac{1}{4} V_{REF}$, N 点抽头是 $\frac{1}{16} V_{REF}$, 8 个电阻采用与 CMOS 兼容的扩散工艺制造。工作时, 每次比较由时钟控制相位开关 S_1 和 S_2 各接通一次, 使电容 C 上保持两个输入电压差值, 每半个时钟期内, 由逐位近似逻辑作一次 SAR 比较, 并由比较器 A 输出的状态确定下次比较的时序。对于一个 8 位 ADC, 共比较 8 次, 其原理已在前面有过分析。这里我们假设 $V_{REF} = 10 \text{ V}$, $V_i = 6.23 \text{ V}$ 时来看一下它的比较过程。

在时钟上半周期, 标号 S_1 接通, 标号 S_2 断开, 作第一次比较, 逐级近似逻辑送出:

10000000 代码,

即 $A = "1"$, B, C, D, E, G, H 均为 $"0"$ 。由图 4-66 可知, 此时 p 点电位为零, g 点电位为 $\frac{3}{4} V_{REF}$, w 点电位为 $\frac{1}{32} V_{REF}$, v 点的电位为 $\frac{1}{4} V_{REF}$ 。

在时钟下半周期, 标号 S_2 开关接通, 标号 S_1 开关断开, 此时, p 点电位为 $V_i = 6.23 \text{ V}$, 而 g 点则为 $\frac{1}{4} V_{REF}$, w 点为零, v 点为 $\frac{1}{4} V_{REF}$ 。显然在一个时钟周期内, w 点电位可表示为:

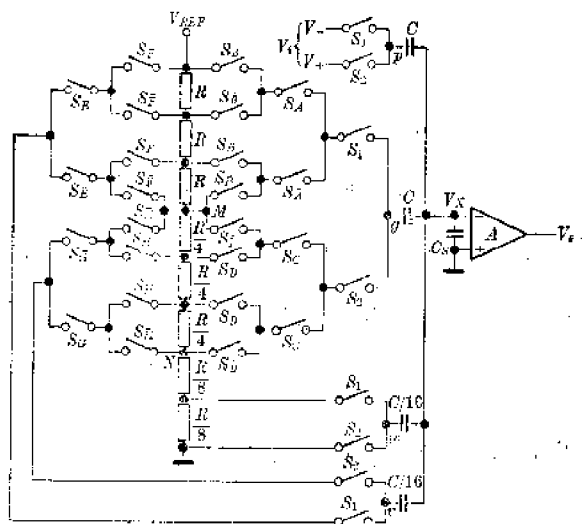


图 4-66 梯形电阻扩展网络

$$\begin{aligned}\Delta V_x &= \frac{1}{\left(2C + \frac{C}{8}\right)} \left[C(0 - V_i) + C\left(\frac{3}{4} - \frac{1}{4}\right)V_{REF} + \frac{C}{16}\left(\frac{1}{32} - 0\right)V_{REF} \right. \\ &\quad \left. + \frac{1}{16}\left(\frac{1}{4} - \frac{1}{4}\right)V_{REF} \right] \\ &= \frac{8}{17C} \left[-CV_i + \frac{C}{2}V_{REF} + \frac{C}{512}V_{REF} \right]\end{aligned}$$

就是说, 此时输入电压 V_i 与 $\frac{1}{2}V_{REF}$ 比较, 若 $|V_i| > V_{REF}/2$, 则 $A = "1"$ 将保留, 否则为 "0", 然后进入第二次比较。在

$$\frac{1}{2}V_{REF} = 5\text{V}, V_i = 6.23\text{V}$$

的例子中, $A = "1"$ 保留, 第二次比较时, 逐位近似逻辑将发出 11000000 的代码。同样可得在开关 S_1 接通时有 p 点为 0V , g 点为 V_{REF} , w 点为 $\frac{1}{32}V_{REF}$, v 点为 $\frac{1}{4}V_{REF}$, 而在开关 S_2 接通的下半周期, 则 p 点为 $+V_i$, q 点为 $\frac{1}{4}V_{REF}$, w 点为零, v 点为 $\frac{1}{4}V_{REF}$, 因此两个半周期中, 电容上的增量电荷为:

$$\Delta V_x = \frac{8}{17C} \left[-CV_i + \frac{3}{4}V_R C + \frac{V_R}{512} C \right]$$

也就是 V_i 与 $\left(\frac{1}{2}V_R + \frac{1}{4}V_R\right)$ 进行比较。很明显, 由于

$$\frac{3}{4}V_R \approx 7.5\text{V}$$

大于 $V_i = 6.23\text{V}$, 因此 $B = "1"$ 的代码在第三次比较时将不予保留, 逐位近似逻辑将在第三次比较时发出 10100000 的代码并按上述原则进行下去, 直到八次比较结束。

利用图 4-66, 我们可以十分清楚地看出, 结果与 $2^n R$ 和 $2(2^n - 1)$ 个开关的电路 (图 4-22) 完全类似, 5G0801 8 位 CMOS ADC 就是利用这一原理研制的逐位近似 ADC。

图 4-67 示出 5G0801 电路的内部功能方框图。整个电路内含时钟发生器、中断触发器、三态数据输出锁存器、片选和读写控制等逻辑。电路用 20 支引线的双列直插封装。图 4-68

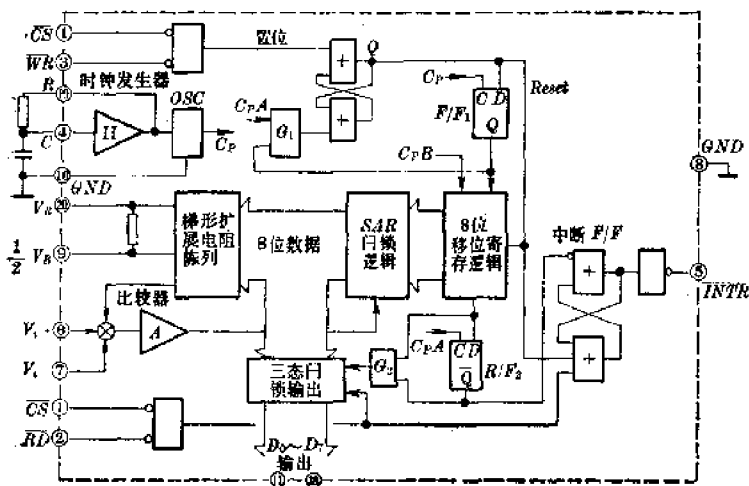


图 4-67 5G0801 内部电路框图

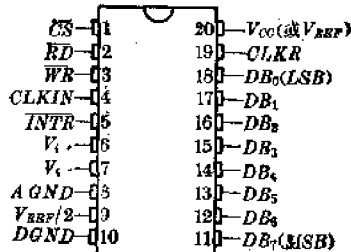


图 4-68 外形图

示出引出线排列图。

3. 5G0801 基本参数

5G0801 的基本电学特性列于表 4-6, 由于电路主要用于与微处理器的模拟接口, 因此用典型的电源电压 $V_{DD}=5\text{ V}$ (也作参考电压) 工作, 转换一次约 $100\text{ }\mu\text{s}$, 属中速 ADC。

表 4-6 5G0801 主要电参数

参 数 名 称	符 号	测 试 条 件	规 范			单 位
			最 小 值	典 型 值	最 大 值	
时 钟 频 率	f_{CP}	$V_{CC}=5\text{ V}$	100	640	800	kHz
转 换 时 间	T_C	$V_{CC}=5\text{ V}$	66		73	$1/f_{CP}$
转 换 速 率	C_R	$f_{CP}=640\text{ kHz}$			8770	次/秒
$\overline{WE}$ 输入宽度	t_w	$\overline{CS}=\text{"0"}$	100			nS
接 收 时 间	t_{AC}	$C_L=100\text{ pF}$		135	200	nS
三态控制时间	t_{tB}	$C_L=10\text{ pF}$ $R_L=10\text{ k}\Omega$		125	250	nS
三态输出电容	C_o			5	7.5	pF
$V_{REF/2}$ 输入电阻			1.0	1.3		k Ω
模拟输入范围	V_i		$GND-0.05$		$V_{DD}+0.05$	V
数 据 输 出	V_o					
“0”		$I_D=1.6\text{ mA}$			0.4	V
“1”		$I_P=-360\text{ }\mu\text{A}$	2.4			V
三 态 漏 电 流	I_o	$V_o=0$	-3			μA
		$V_o=V_{DD}$			3	μA
控 制 端 输 入						
“1”输入	V_{L1}	$V_{DD}=5\text{ V}$	2		15	V
“0”输入		$V_{DD}=5\text{ V}$			0.8	V
功 耗 电 流	I_{DD}	$f_{CP}=650\text{ kHz}$		1.3	2.5	mA

二、5G0801 的典型应用

5G0801 CMOS 8 位 ADC 的电路功能十分完整, 因此其用途也比较广泛。由图 4-67 可知, 电路在 $\overline{CS}$ (片选输入) 和 $\overline{WR}$ (读写输入) 端均为“0”电平时开始作 AD 转换, 在 $\overline{CS}$ 和 $\overline{RD}$ (读出) 端均为“0”电平时, 三态门锁可以允许转换数据输出, 同时中断输出 $\overline{INTR}$ 端复位。因此电路适宜与微处理器兼容工作, 例如与典型的八位微处理器 8080A、Z-80 和 MC 6800 兼容。下面例举它的典型接法。

1. 与 8080A 接口的应用

图 4-69 示出 5G0801 与 8080A 8 位微机接口时的典型连接图。利用一组简单的程序, 就能完成 CPU 的模拟接口 (这个 CPU 系统由 8080A、8228 和 8224 三个片子构成, 详见有关 8080 应用手册)。图中打 * 号的序号数, 是 8228 电路的管脚号。不打 * 号接 8080A 的

其数据输出线可直接与微机数据总线直接连接,并通过控制总线来控制输出。

2. 具有自动稳零的传感放大器和 A/D 转换器

图 4-71 示出用来完成将传感器(图中是一个桥路)输出信号放大后转换成 8 位二进制数字的电路。一般来说,对于 $\frac{1}{4}$ LSB 精度的 A/D(8 位)在以 5V 为满度时,误差为 5mV。如果传感器放大器增益为 100 倍,则要求前置放大器的失调电压小于 $50\mu\text{V}$ 。这就要求用价格昂贵的低漂移放大器,如 5G7650 等。然而利用 μC (微机)可以用普通运放通过软件来实现自动稳零,从而降低成本。图 4-72 是这种模拟信号处理系统的原理图,在图 4-72 中,图 4-71 中的传感放大电路没有包括在内。

图 4-71 中,开关 SW_1 和 SW_2 由图 4-72 中的 5G8255(可程序输入输出接口电路)的 C 口控制,而放大器 A_3 的同相端电阻由 5G8255 的 B 口控制接入校正电平。四个运放可以用 5G14573 CMOS 四运放,开关用 C544, A_1 作阻抗缓冲, A_2 、 A_3 作差动放大。由图可知,

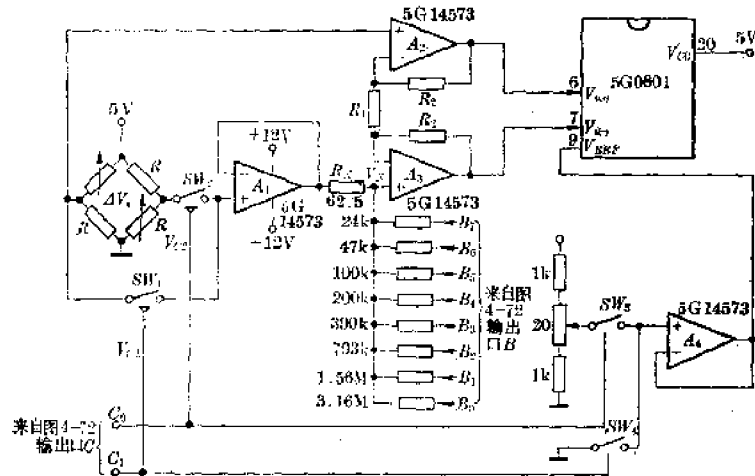


图 4-71 自动校零放大器

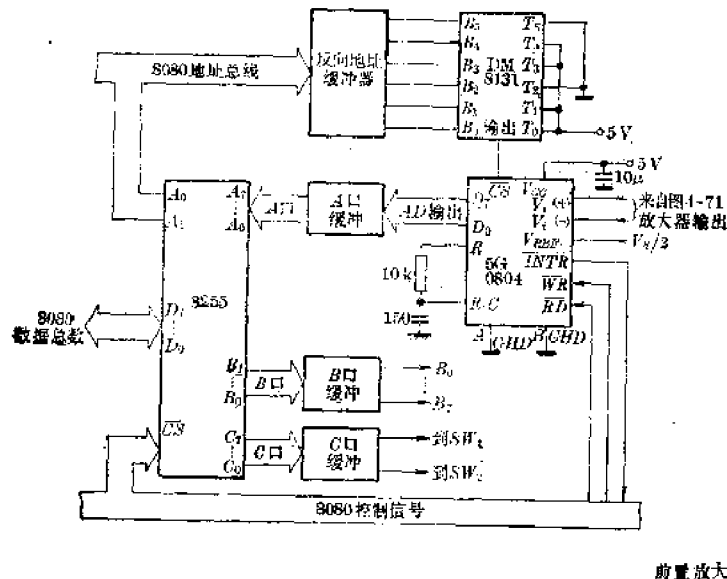


图 4-72 自动校零系统

A_2 、 A_3 构成的差动输出接到 A/D 的模拟输入进行转换。

前置放大器的输出可写为:

$$V_o = [V_{i(+)} - V_{i(-)}] \left[1 + \frac{2R_2}{R_1} \right] + (V_{os2} - V_{os1} - V_{os3} \pm i_x R_x) \left(1 + \frac{2R_2}{R_1} \right) \quad (4-56)$$

式中 V_{os1} 、 V_{os2} 、 V_{os3} 分别是放大器 A_1 、 A_2 、 A_3 的失调电压, i_x 是流过 R_x 的电流, 也就是由 A_1 输出电压和来自图 4-71 中电阻阵列另一端 $B_0 \sim B_7$ 端的电位决定的电流。

若通过控制 i_x , 则可得 $i_x R_x = V_{os2} + V_{os3} - V_{os1}$ 的结果, 从而消除(4-56)式中的误差项。从图 4-72 中可看出, 应用编制的程序, 使 8080A 微机系统通过输入输出接口 5G8255 的 B 口向 A_3 同相端输出不同的电位, 经权电阻转成电流 i_x , 调节 i_x 值, 从而实现自动调零。图 4-73 是利用图 4-72 这一系统实现自动调零的指令流程图。利用这一流程, 只要少量的指令就能完成自动调零, 从而可用普通的运放来构成传感器的前置放大器。

这种系统可用作测量诸如温度、压力等物理量, 实现微处理机的实时控制。表 4-8 列出这一系统的调零程序。这一程序要使用到 6 个堆栈单元。

图 4-74 示出在 Z-80 微机系统中用多块 5G0804 ADC 的应用实例, 其工作可通过软件来控制, 基本原理同上述, 这里就不再重复。

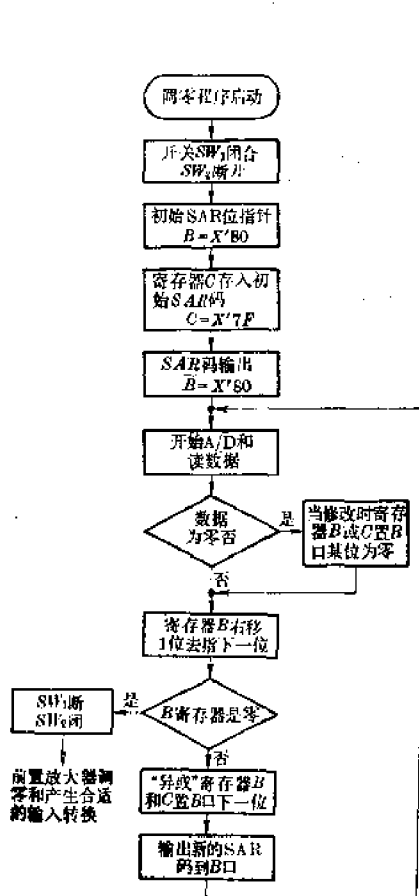


图 4-73 调零程序框图

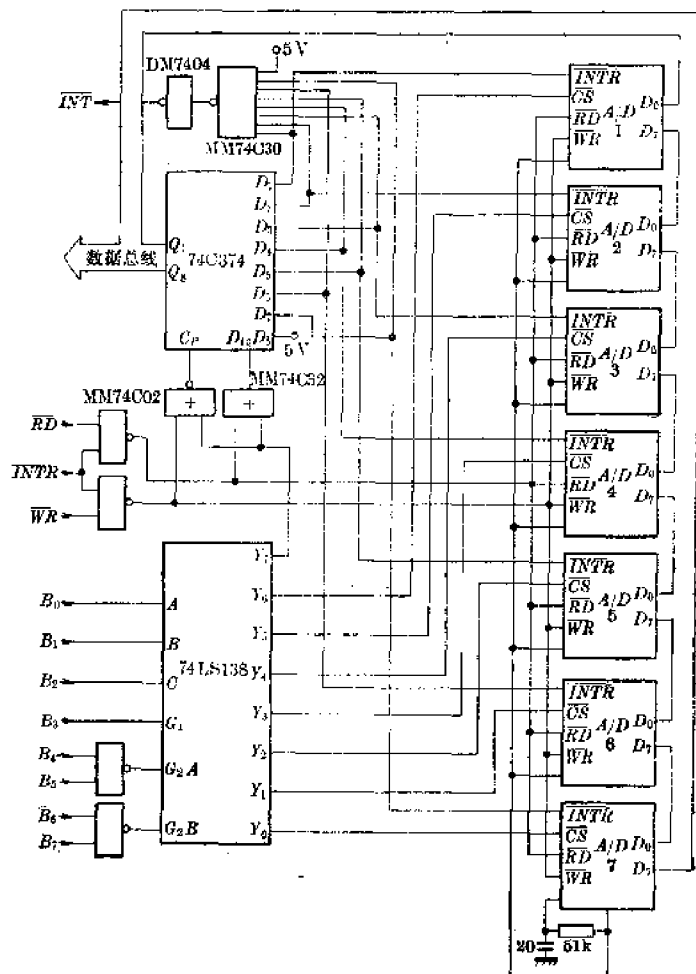


图 4-74 多路 ADC 系统

表 4-8 差分 A/D 的自动调零程序

位 置	目 的 码	源 码	说 明
3D00	3E90	MVI 90	对 PPI 编程: A 口为输入口
3D02	D3E7	Out Control Port	B 口, C 口为输出口
3D04	2601	MVI H 01	
3D06	7C	MOV A, H	
3D07	D3E6	OUT C	合上 SW ₁ , 断开 SW ₂
3D09	0680	MVI B 80	SAR 位指针初始化
3D0B	3E7F	MVI A, 7F	SAR 码初始化
3D0D	4F	RETURN	C 寄存器内容为 SAR 码
3D0E	D3E5	OUT B	B 口 = SAR 码
3D10	31A A3D	START	设定栈指针
3D12	D3E4	OUT A	启动 A/D 转换器
3D15	1B	IE	开中断
3D16	00	LOOP	等待中断
3D17	C3163D	JMP LOOP	
3D1A	7A	AUTO-ZERO	
3D1B	C600	ADI 00	测试零点的输出数据
3D1D	0A2D3D	JZ SETC	为“零”, 则跳到 SETC
3D20	78	SHIFTB	B 寄存器内容送 A 寄存器
3D21	F600	ORI 00	清进位位
3D23	1F	RAR	将 A 寄存器内的“1”右移 1 位
3D24	FE00	CPI 00	A=0? 如果是, 则最后一次逼近
3D26	0A373D	JZ DONE	已完成
3D29	47	MOV B, A	B 寄存器的内容右移一位
3D2A	C3333D	JMP NEWC	跳到 NEWC
3D2D	79	SETC	将 C 寄存器与 B 寄存器中为“1”
3D2E	BD	ORA B	的相同位置“1”
3D2F	4F	MOV C, A	
3D30	C32030	JMP SHIFTB	
3D33	A9	NEWC	将 C 寄存器和 B 寄存器中为“1”的相
3D34	C30D3D	JMP RETURN	同位置“0”以输入新的 SAR 码输出
3D37	47	DONE	最终 SAR 码
3D38	7C	MOV A, H	断开 SW ₂ , 合上 SW ₁ , 前置放大器已
3D39	BE03	XRI 03	完成调零
3D3E	D3E6	OUT C	可用程序处理被测数据
3D3D	:	NORMAL	:
	:		:
		读 A/D 转换数据子程序	
3C3D	D3E4	INA	读 A/转换数据
3C3F	EEFF	XRI FF	对 A/D 转换数据求反, 成正码
3C41	57	MOV D, A	将 A/D 转换数据存放到 D 寄存器中
3C42	78	MOV A, B	B 寄存器=0? 如不是,
3C43	EEFF	ANI FF	则跳到自动调零
3C45	C21A3D	JZ AUTO-ZERO	程序
3C48	C33D3D	JMP NORMAL	

注: 程序中所有的数据采用 16 进制。

第五章 锁相环和模拟开关

七十年代中期, 由于数字技术的发展, 使一些历来一直用分立元件组装的通信、检测设备, 提出了使用这类专用电路的集成化要求, 于是锁相环和模拟开关的集成电路应运而生。在这一章里, 我们择其重点讨论几种 CMOS 技术制作的典型的电路。其中有 CMOS 数字锁相环, CMOS 双向模拟开关, CMOS 8 选 1 多路开关等。这些电路现在已被广泛地应用于通信、测量、数据接收和发送, 数据采集以及各种信号形成电路系统中。

通过这一章的讨论, 将使我们看到 CMOS 技术不仅可以研制成各种线性放大电路, 还可以构成许多出色的介于线性和数字之间的接口电路, 从而从另一方面反映 CMOS 技术的特殊优越性。

§ 5-1 CMOS 锁相环 5G4046

锁相环(PLL)即相位自动同步环, 是早在三十年代就发展起来的一种电路系统。其理论虽然早被提出, 但实际应用却一直到了五十年代电视技术发展后才形成。然而由于 PLL 结构复杂, 设计难度高, 一般的通信设备还无法采用。直到七十年代, 随着集成技术的发展, 才有可能被各种通信设备所接受和采用, 并进一步形成了一系列专用集成电路产品。

到目前为止, PLL 集成电路, 有 ECL (高频), 双极型 (中频和低频) 以及 CMOS (低频) 等工艺制作的适应各种不同应用要求的产品。频率可从低频到几百兆赫, 应有尽有。在这一节中, 我们主要讨论用 CMOS 技术制作的 PLL IC。

一、锁相环基本原理及基本结构

一个典型的 PLL 系统, 是由相位比较器(PC)、压控振荡器(VCO)和低频滤波器(LPF)三个基本电路构成, 如图 5-1 所示。

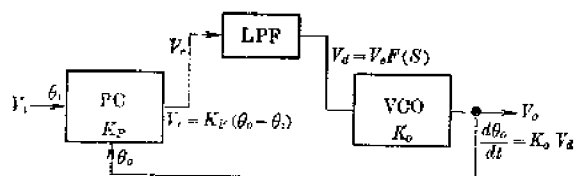


图 5-1 PLL 结构

但到目前为止, 几乎所有集成电路 PLL 均只包含前面两个部分, 第三部分都在电路外部, 这也是应用上的需要。

由图 5-1 可知, 这是一个负反馈环。

若设相位比较器 PC 和 VCO 的增益因子分别为 K_p 、 K_o , 滤波器的传递函数为 $F(s)$, 则整个环路的传递函数可以表示为:

$$H(s) = \frac{\theta_o(s)}{\theta_i(s)} = \frac{K_o K_p F(s) / s}{1 + K_o K_p F(s) / s} \quad (5-1)$$

(5-1) 式与普通负反馈放大器的传递函数完全类似, 所不同的是图 5-1 的反馈系数 $\beta=1$, 环路开环增益为 $\frac{K_o K_p F(s)}{s}$ 。在满足: $K_o K_p F(s) / s \gg 1$ 时, (5-1) 式近似为 1, 即有:

$$H(s) = \frac{\theta_o(s)}{\theta_i(s)} \simeq 1 \quad (5-2)$$

于是有:

$$\theta_o(s) \simeq \theta_i(s) \quad (5-3)$$

从上式可知, 环路一旦入锁后, 输出信号的相位 $\theta_o(s)$ 与输入信号的相位 $\theta_i(s)$ 相等。

很显然, 图 5-1 实际上是一个自动相位控制系统, 或者是一种自容式接收系统。正因 PLL 能实现输出输入的相位同步, 因而这种环路, 是现代通信中十分重要的一种电子功能部件。

鉴于上述原理, 对 PLL 的讨论, 重点放在图 5-1 所示的三个基本电路。

1. 相位比较器(PC)

构成相位比较器的电路形式很多, 这里仅介绍 CMOS 技术研制的相位比较器(PC)。

(1) 异或门相位比较器 CMOS 技术设计的相位比较器, 最简单的电路, 是利用模拟乘法器的原理, 用模 2 加法器即异或门构成的。异或门的逻辑真值表示于表 5-1, 图 5-2 是逻辑符号图。

表 5-1 真值表

输 入	输 出
A	B
F	
0	0
0	1
1	0
1	1

从表 5-1 可知, 如果输入端 A 和 B 分别送入占空比为 50% 的信号波形, 则当两者存在相位差 $\Delta\theta$ 时, 输出端 F 的波形的占空比与 $\Delta\theta$ 有关, 见图 5-3 的波形图。将 F 输出波形通过积分器平滑, 则积分输出就是 F 输出波形的平均值, 它同样与 $\Delta\theta$ 有关。这样, 我们就可以利用异或门来进行相位到电压的转换, 构成相位检出电路。

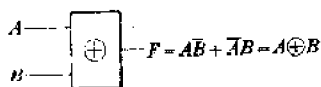


图 5-2 异或门表示图

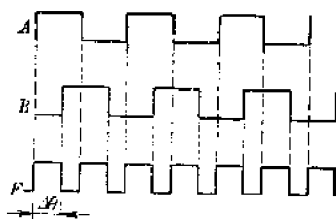


图 5-3 波形图

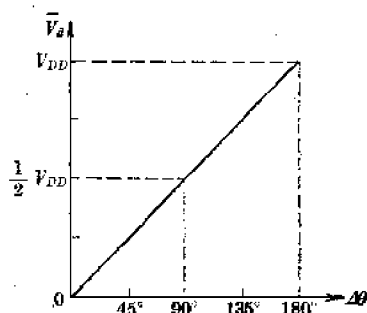


图 5-4 $\Delta\theta$ 与 $\bar{V}_a$ 曲线

如果异或门是用 CMOS 技术设计的, 其输出波形的高电平为电源正电平 V_{DD} , 低电平为电源的负电平 V_{SS} 。于是经积分器积分后的平均值(直流分量)为:

$$\bar{V}_a = (V_{DD} - V_{SS}) \Delta\theta \quad (5-4)$$

不同的 $\Delta\theta$, 有不同的直流分量 $\bar{V}_a$, $\Delta\theta$ 和 $\bar{V}_a$ 的关系可用图 5-4 来描述, 从图中可知, 两者呈简单线性关系。

正如上面所述,用异或门作相位比较器,其输入必须是50%占空比的信号,否则将产生误差。因此使用异或门作相位比较器的PLL,在入锁时,存在固定 90° 的相位差。这一点在应用时要特别引起注意。

(2) 边沿触发数字式比较器 前已述及,异或门相位比较器在使用时要求两个作比较的信号必须是占空比为50%的波形,这就给应用带来一些不便。在比较多的场合,两个需要比较的波形并不能满足占空比50%的要求,因此要使用边沿触发的数字式比较器。

从电路设计上考虑,边沿触发数字式比较器可用来比较两输入波形前沿(上跳边沿)相位的上跳边触发式数字比较器,也可用来比较两输入波形后沿(下跳边沿)相位的下跳边触发式数字比较器。前者可用或非门构成触发器,后者用与非门构成触发器,一般的集成电路大多用前者。

图5-5示出上跳边触发式数字比较器的逻辑原理图。图中或非门(2)、(3)以及(4)、(5)构成两个R-S触发器。它们分别受门(1)和(6)的输出控制,同时也受门(7)控制。这个比较器输出采用三态结构,由 P_1 和 N_1 两个MOS管组成。下面来分析它的工作原理。

(i) 由图可知,若 P_1 和 N_1 同时导通,则必须使图中门(9)和(8)的输出都为“1”电平,也就是要求门(1)、(2)、(5)、(6)、(7)的输出都为逻辑“0”电平。但要使门(7)输出为“0”,必须使门(1)、(2)、(5)、(6)的输出中有1个或1个以上输出为“1”电平。显然这与满足门(8)、(9)输出为“1”的要求矛盾,可见门(8)、(9)不能同时输出为零状态, P_1 和 N_1 不能同时导通。

(ii) 现在再分析参考信号 f_i 和VCO信号 f_{co} 两者同时上跳,或同时下跳时的状态(即同相位的状态)。假定门(8)、(9)输出均为“0”(这是允许的),此时,当 f_i 和 f_{co} 同时上跳,则门(1)和门(6)输出为“0”,这样对于由门(2)、(3)以及由门(4)、(5)组成的两个R-S触发器的状态将保持不变,即门(7)的输出状态不变,这就是说,门(8)和门(9)的状态亦不变, P_1 和 N_1 均截止。

当 f_i 和 f_{co} 同时下跳时,门(1)和门(6)的输出为“1”,导致两个R-S触发器翻转,使门(2)和门(5)输出为“0”,这并不影响门(7)的输出状态,故门(8)、(9)仍维持原状态,与上述情况相同,即 P_1 和 N_1 仍截止。可见 f_i 和 f_{co} 同相位时,输出呈三态。

(iii) 相位不同时的分析。若 f_i 比 f_{co} 相位超前,此时门(1)输出为“0”,由门(2)、(3)组

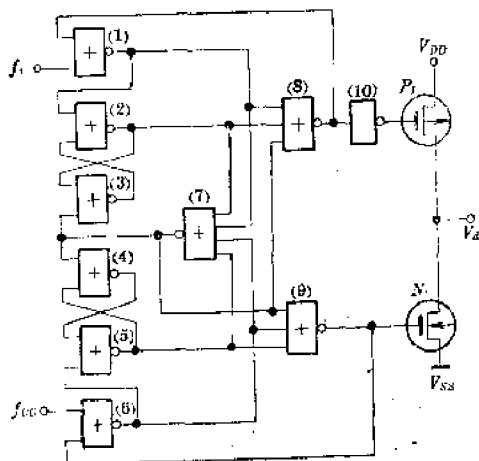


图 5-5 数字比较器原理图

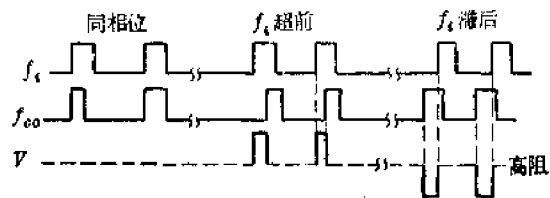


图 5-6 波形图

成的触发器状态不变, 由于门(6)输出为“1”, 故门(4)、(5)组成的触发器的门(5)的输出为“0”, 而门(2)的输出亦为“0”, 这就使门(1)、(2)、(7)的输出均为“0”, 使门(8)输出为“1”, P_1 管导通, V_d 输出为高电平, N_1 则截止。波形如图 5-6 所示。

经过一段时间后, f_{co} 亦上跳, 门(6)输出由“1”变“0”, 使门(7)的全部输入均为“0”, 导致门(7)输出为“1”, 这就使两个 $R-S$ 触发器复位, 并将门(8)的输出从“1”翻到“0”, P_1 截止仍维持高阻状态。就是说仅在 f_i 和 f_{co} 相位差期间 P_1 管导通。

同理, 当 f_i 相位滞后于 f_{co} 时, 将在 f_{co} 上跳时, 使 N_1 导通, 直到 f_i 上跳到来时再度截止。使用这种相位比较器, 可以使 f_i 和 f_{co} 的相位严格同步, 由于只是两个信号的上跳边沿比较, 故不要求波形占空比为 50%, 它常被用作频率合成和锁相装置中, 锁定的范围和转换速率取决于外部低通滤波器的特性, 通常要用二阶滤波器来提高转换速率。图 5-7 是用滞后-超前型滤波器的示意图, 这种滤波器的传函数可表示为:

$$F(s) = \frac{R_6 + \frac{1}{sC}}{R_6 + R_8 + \frac{1}{sC}} = \frac{s\tau_2 + 1}{s(\tau_1 + \tau_2) + 1}$$

其中: 主极点频率 $f_p = \frac{1}{2\pi(R_6 + R_8) \cdot C}$; 主零点频率 $f_z = \frac{1}{2\pi R_6 C}$ 。利用这些方程可以按不同要求设计应用电路。必须指出: 在使用 PC II 时, 当 f_i 无输入时, 输出处于高阻态, $\bar{V}_d \approx 0$, 因而 VCO 处在最低工作频率。

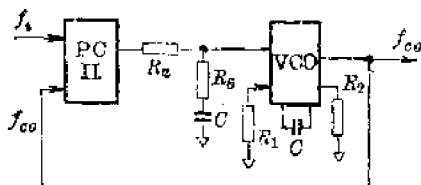


图 5-7 锁相框图

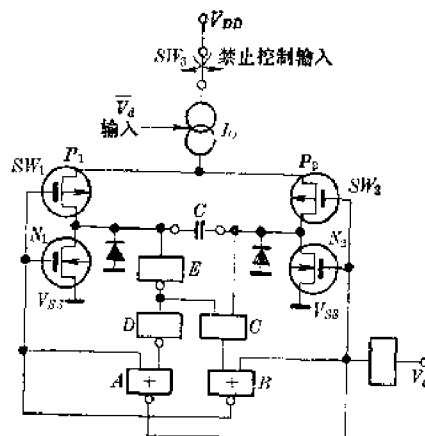


图 5-8 VCO 原理图

2. CMOS VCO

在集成化 PLL 中, VCO 是除相位比较器外另一重要部件。对 VCO 的设计要求, 一般来讲是要转换增益高、线性好以及振荡频率范围宽, 另外尽可能不用电感等价格昂贵的元件。大多数集成化 PLL 中, VCO 都设计成 RC 多谐振荡形式, 在 CMOS PLL 中同样如此。

图 5-8 示出用 CMOS 技术设计的 VCO 原理图。门电路 A、B、C、D、E 和 P_1 、 N_1 以及 P_2 、 N_2 组成具有正反馈结构的放大环, 电容 C 用来寄存门 C 和门 E 的输入转折电压 V_k 。来自相位比较器的输出电压 $\bar{V}_d$ 控制电流源的电流 I_o , 构成电流-频率转换电路。假定 $\bar{V}_d$ 与 I_o 成正比, 且有:

$$I_o = \alpha \bar{V}_d \quad (5-5)$$

I_o 确定后, 电路输出的频率与 I_o 有关, 这可从图 5-8 中导出。从图中可知, 若初始时刻电容 C 上电位为零, 门 A 和门 B 的输出电位是随机的, 可假设门 A 输出为“1”, 门 B 输出为“0”, 此时 N_2 和 P_1 导通, 而 N_1 和 P_2 截止, 电流 I_o 经 P_1 向电容 C 充电, 电容 C 的另一极板被 N_2 接地。随着时间增长, 电容 C 上电压升高, 使门 E 的输入电位从零开始上升, 当上升到门 E 的转折电压 V_k (假定为 $\frac{1}{2} V_{DD}$) 时, 门 E 输出状态发生翻转, E 的输出从“1”变为“0”电平, 使门 D 输出为“1”, 结果门 A 输出从“1”变为“0”。与此同时, 门 C 两个输入都为“1”, 输出亦为“1”, 结果门 B 输出从“0”变为“1”, 使 N_1 、 P_2 导通, N_2 、 P_1 截止, 电容 C 反向充电。由于二极管箝位作用, 使电容 C 的电位反向从 0 开始充电, 直到门 C 输入达到转折电压 V_k 时, 门 A 和 B 的输出反向转换。如此周而复始形成振荡。当门 C 和门 E 的转折电压相同时, 电路输出占空比为 50% 的方波。由于恒流充电电路在半个周期内的充电时间为:

$$t_1 = \frac{CV_k}{I_o} \quad (5-6)$$

另一半周期的反向充电时间为:

$$t_2 = \frac{CV_k}{I_o} \quad (5-7)$$

振荡周期:

$$t = t_1 + t_2 = \frac{2CV_k}{I_o} \quad (5-8)$$

将 (5-5) 式代入 (5-8) 式, 可得振荡频率为:

$$f_o = \frac{1}{t} = \frac{\alpha \bar{V}_d}{2CV_k} \quad (5-9)$$

显然图 5-8 的电路的振荡频率与控制电压 V_d 成正比, 实现电压控制振荡, 转换增益由 (5-9) 式可知为:

$$K_o = \frac{\Delta f_o}{\Delta V_d} = \frac{\alpha}{2CV_k} \quad (5-10)$$

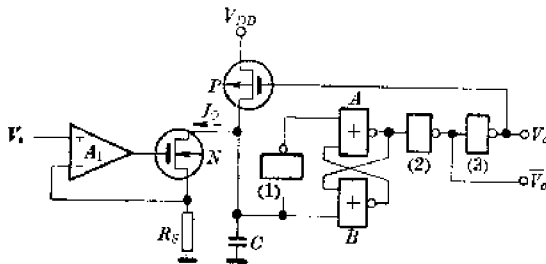


图 5-9 电流控制型振荡器

另一种 CMOS 技术设计的电流控制型振荡器示于图 5-9, 原理上与图 5-8 类似, 它是由一个电容 C 和一个施密特触发器组成, 即图中由门 A 、 B 和 (1)、(2)、(3) 组成的电路。MOS 晶体管 P 在这里起开关作用。

图 5-9 中, 运放 A_1 和晶体管 N 构成电压电流转换器, 流过 N 管的电流 I_o 可表示为:

$$I_o = \frac{V_i}{R_g} = \frac{\bar{V}_d}{R_g} = \alpha \bar{V}_d \quad (5-11)$$

或非门 A 和 B 组成 R - S 触发器, 电路的关键在于通过或非门 B 的输入互补器件几何尺寸的设计, 使置“1”电平处在接近 V_{DD} 处, 而置“0”电平处在 $\frac{1}{2} V_{DD}$ 处, 也就是或非门 B 的输入级 P 沟器件的 W/L 远大于 N 沟器件, 从而获得 $\frac{1}{2} V_{DD}$ 的滞后阈值。

假定初始时刻 C 上电位为“0”，经门(1)反相，使 R - S 触发器复零， P 沟晶体管导通，电容 C 由 V_{DD} 对之充电，电容 C 上电位迅速上升，直到上升到接近 V_{DD} 值时，或非门 B 翻转，触发器置位， $V_o = "1"$ ， P 管截止，电容 C 上电荷经 N 管放电，放电电流为 I_o ，直到 C 上电位下降到 $\frac{1}{2}V_{DD}$ 时，门 B 输出又发生翻转， P 再度导通，电容 C 再次充电（从 $\frac{1}{2}V_{DD}$ 向 V_{DD} 上升），以后就不断重复上述过程，形成振荡。

由于充电电流为 $(V_{DD}/R_{ONP} - I_o)$ ，其中 R_{ONP} 是 P 沟管的导通电阻，它可表为 $R_{ONP} \approx \frac{1}{\beta_p(V_{GS} - V_{TP})}$ ， $I_o = \alpha \bar{V}_a$ ，而放电电流为 I_o 。因此充电和放电电流两者不等， V_o 输出的占空比不为 50% 一般要在后面加一分频级，使输出波形占空比为 50%。

图 5-10 示出图 5-9 的完整原理图，它共有 33 只 MOS 晶体管和 3 只电阻构成，一般要求 I_o 小于 V_{DD}/R_{ONP} ，因此 R_s 较大。这种振荡器一般用在遥测发射机电路中。

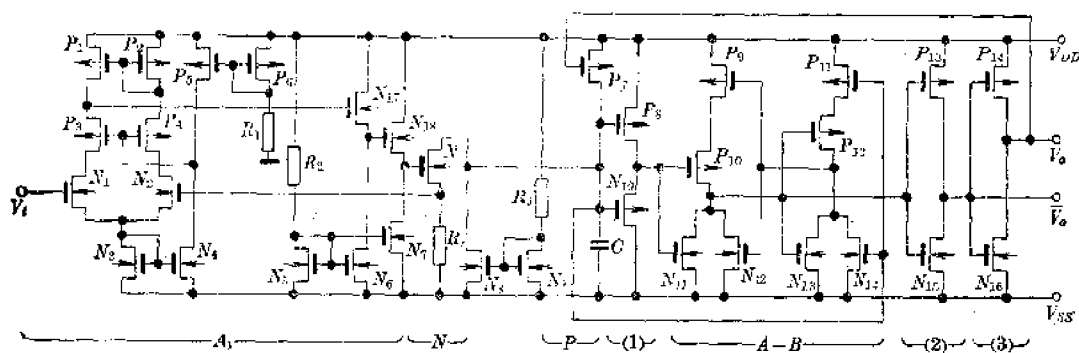


图 5-10 图 5-9 的详细电路结构

图 5-10 中， $P_1 \sim P_6$ ， $N_1 \sim N_4$ 是图 5-9 中放大器 A_1 的差分输入级，其中 P_5 、 P_6 、 R_1 和 N_4 构成具有共模负反馈作用的偏置电路，用来提供输入级偏流； N_5 、 N_6 和 N_{17} 、 N_{18} 、 N_7 是 A_1 的甲类跟随器输出级； N 是电流控制级； P_8 、 N_{10} 组成图 5-9 中的反相器 (1)； P_{11} 、 P_{12} 、 N_{13} 、 N_{14} 组成或非门 B ； P_9 、 P_{10} 、 N_{11} 、 N_{12} 组成或非门 A ； P_{13} 、 N_{15} 和 P_{14} 、 N_{16} 分别组成反相器 (2) 和 (3)。这些都是典型的 CMOS 数字电路标准形式。

图 5-9 的振荡频率，在假定 $\frac{V_{DD}}{R_{ONP}} \gg I_o$ 时，可按式求得：

$$t \approx \frac{CV_{DD}}{2I_o} \quad (\text{s}) \quad (5-12)$$

或者：

$$f_o \approx \frac{2V_i}{CR_s V_{DD}} \quad (\text{Hz}) \quad (5-13)$$

转换增益

$$K_o = \frac{2}{OR_s V_{DD}} \quad (\text{Hz/V}) \quad (5-14)$$

显然这种电路控制电压 V_i 与振荡频率 f_o 呈线性关系。

3. PLL 中的线性放大电路和整形电路

在应用 CMOS PLL 时，有些场合输入信号 $V_i(\theta_i)$ 的幅度较小，不满足数字电路所需要

的幅值(一般是满电平值)。为此,在设计集成电路 PLL 时,要设置前置放大和整形电路。

简单有效的方法是利用图 5-11 反相器(1)对输入级(反相器(2))进行直流偏置,使其工作点处于反相器输入输出转移特性曲线的线性有源区而构成放大级。因为门(1)输出全部反馈到输入,因而是 1:1 负反馈电路,输出的直流电平能稳定在线性工作点(近似于 $\frac{1}{2}V_{DD}$)上。这个电压用来加在门(2)输入,从而在两个门特性匹配条件下,使门(2)的输出也处于 $\frac{1}{2}V_{DD}$ 电平的有源放大区域。门(3)、门(4)均是为提高增益而设置的,电路在 100mV 电平的输入下,能输出满电平的脉冲或方波,达到整形的目的。

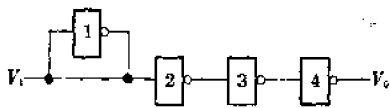


图 5-11 放大与整形电路

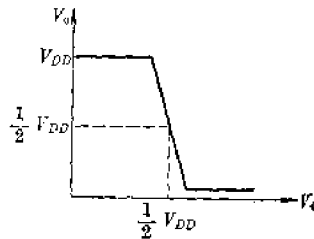


图 5-12 门电路转移特性

图 5-12 是典型的 CMOS 反相器的输入输出转移特性。当输入和输出短接时,输出工作点将处于线性区,通过 P 和 N 两管 W/L 的设计,可以控制输出端在这种状态下的直流电平,例如可使 $V_o = \frac{1}{2}V_{DD}$, 或者其它值上。

二、CMOS PLL 5G4046

用 CMOS 固有的低功耗、宽工作电源、集成度高等特点,可以设计出性能良好、使用方便的锁相环单片电路。其中 5G4046 (同美国 RCA 公司 CD4046) 是一种能工作在 1MHz

以下的通用 PLL 产品,它广泛应用于通信和计算机接口领域。

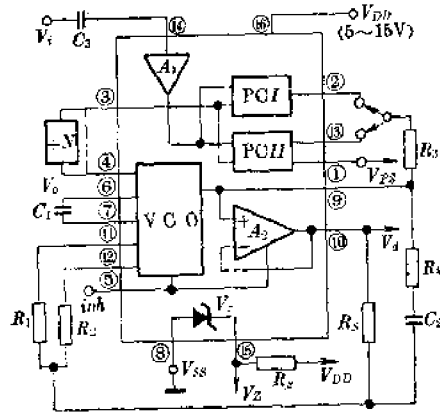


图 5-13 5G4046 原理图

从图 5-13 可以看出,引出端 ⑯ 脚是电源电压正引入端; ⑧ 脚是负电源电压端,在用一组电源时则接地; ⑥ 和 ⑦ 脚用来外接充放电电容 C (即图 5-8 中的振荡电容 C); ⑪ 脚外接电阻 R_1 , R_1 与 C 决定 VCO 的自由振荡频率; ⑫ 脚外接电阻 R_2 , 它用作确定在控制电压为零时的最低振荡频率 f_{0min} ; ⑮ 脚为 VCO 禁止端, 当在 ⑮ 脚上加上逻辑“1”电平 (即

图 5-13 示出 5G4046 的电路方框功能图。在这个单片集成电路中,内含两个相位比较器,其中 PCI 是利用图 5-2 所示的异或门比较器; PCII 是图 5-5 所示的边沿触发式数字相位比较器。另外电路中含有一个图 5-8 所示的 VCO; 一个如图 5-11 所示的前置放大器 A_1 ; 一个低通滤波器输出缓冲放大器 A_2 和一个内部 5V 基准稳压管 V_z 。电路用 16 支引线的陶瓷偏平封装,也可用双列直插式封装,图中数字序号为引出线排列序号。

为 V_{DD} 的电平)时, VCO 停止工作, 当加上逻辑“0”即 ⑤ 脚电平时, VCO 工作; ⑭ 脚是 PLL 的参考基准 V_i 输入端; ④ 脚是 VCO 的输出; ③ 脚是比较输入端, ② 和 ⑬ 脚分别是相位比较器 PCI 和 PCII 的输出端, 通过它们可外接低通滤波器, 低通滤波器的输出经 ⑨ 脚送入 VCO 的控制端; ⑩ 脚是低通滤波器输出的缓冲放大输出端, 用来检测控制电压 $\bar{V}_d$; ① 脚是 PCII 的锁定指示输出, 当 ① 脚输出逻辑“1”时, 电路进入锁定状态, 反之指示失锁; ⑮ 脚是内设 5 V 基准电压输出端, 使用时要外接内部稳压管的偏置电阻 R_s 。

5G4046 在使用时对低通滤波器要求不严, 可用 R_3, C_2 (R_4 短接) 的滞后型滤波器, 或用 R_4 接入的滞后-超前型滤波器。两种滤波器的传递函数可由图 5-14(a) 和 (b) 中的关系式表明。

从前面分析可知, 5G4046 中 VCO 的特性由外部回路 R_1 和 C_2 确定。两个相位比较器可按不同的输入状态选择使用。图 5-15(a)、(b)、(c) 示出 5G4046 中 VCO 在不同外部参数下的特性曲线, 这些曲线与表 5-2 配合使用, 可用作应用时的设计依据。这一点, 在具体应用时再举例加以说明。

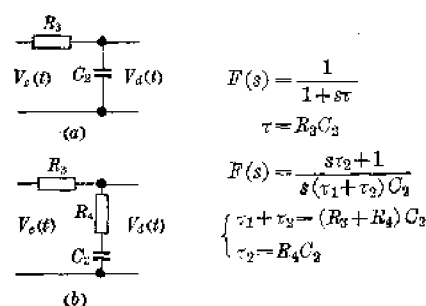


图 5-14 低通滤波器

表 5-2 PC 和 VCO 外部特性

电路特性	使用 PCI		使用 PCII	
	VCO $R_2 = \infty$	VCO $R_2 \neq \infty$	VCO $R_2 = \infty$	VCO $R_2 \neq \infty$
VCO f_o				
无输入信号	VCO 调节在 f_o 上		VCO 调节在 f_{min} 上	
锁定范围	$f_L = \text{整个 VCO 覆盖范围内}$		$f_L = \frac{1}{2}(f_{max} - f_{min})$	
捕捉范围	$2f_c = \frac{1}{\pi} \sqrt{\frac{2\pi f_c}{\tau}}$		$f_o = f_L$	
两信号相位差	f_o 处 90° 锁定范围内为 $0 \sim 180^\circ$		锁定在 0° 上	
锁定谐波	能		不 能	
噪声容限	高		低	
VCO 外部元件选择步骤	给定 f_o : 用图 5-15(a) 得 $R_2 C_2$ 值	① 给定 f_o 和 f_L ② 用图 5-15(b) 求 f_{min} 决定 $R_2 C_2$ ③ 求得 f_{max}/f_{min} 用图 5-15(c) 得 R_2/R_1 ④ 再求得 f_L	① 给定 f_{max} 用 $f_o = \frac{f_{max}}{2}$ 求 f_o ② 图 5-15(a) 得 $R_1 C_2$	① 给定 f_{min} 和 f_{max} 用图 5-15(b) 求 R_2, C_2 再求 $\frac{f_{max}}{f_{min}}$ ② 用图 5-15(c) 求得 R_2/R_1

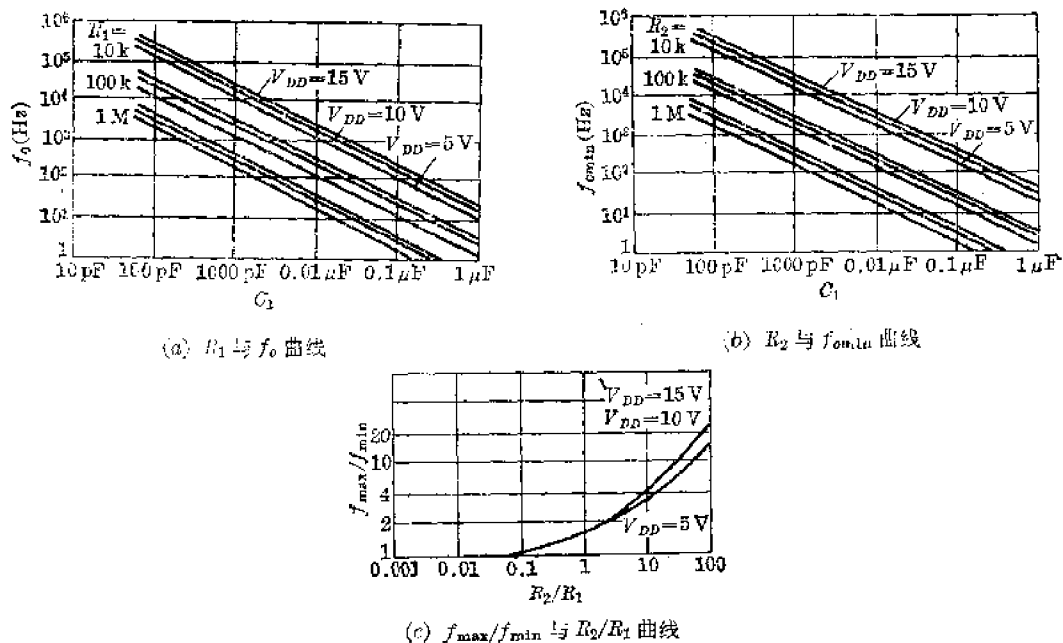


图 5-15 VCO 在不同外部参数下的特性曲线

表 5-3 5G4046 主要电参数性能规范(5~15 V)

参数名称及符号		规范值	单位	测试条件
功耗	P_D	600	mW	$f_c=10\text{ kHz}$ $R_1=1\text{ M}$ $V_{DD}=10\text{ V}$ $R_2=\infty$ $V_{COin}=V_{DD}/2$
VCO 输出高低电平 (④脚)	V_{OH}	<0.1	V	$R_L>20\text{ M}$ $V_i=0\text{ V}/10\text{ V}$ $V_{DD}=10\text{ V}$
	V_{OL}	>9.9		
VCO 输出驱动电流	I_{DS}	>1.3	mA	$V_i=0.5\text{ V}$ $V_i=0\text{ V}/10\text{ V}$ $V_{DS}=9.5\text{ V}$ $V_{DD}=10\text{ V}$
	I_{DS}	>0.9		
VCO 输入电流	I_i	$<10^2$	nA	$V_i=0\text{ V}/10\text{ V}$ $V_{DS}=10\text{ V}$
最大工作频率	$f_{\max}$	0.6	MHz	$R_1=10\text{ k}\Omega$ $R_2=\infty$ $V_i=V_{DD}=10\text{ V}$ $C_i=50\text{ pF}$
输出上升/下降时间	$t_r=t_f$	<150	ns	$C_L=15\text{ pF}$ $V_{DD}=10\text{ V}$
电源电压范围	$V_{DD}-V_{SS}$	7~15	V	逻辑功能正常
绝对门限值电压	V_Z	4.5~7	V	$I_Z=50\text{ }\mu\text{A}$

电参数表: (相位比较器部分)

参数名称及符号		规范值	单位	测试条件
静态器 ④脚开路	I_L	<410	μA	④脚开路, ⑤脚接 V_{DD} ③、⑥脚接 V_{SS} , $V_{DD}=10\text{ V}$
待电流 ④脚接 V_{DD} 或 V_{SS}		<60		
④脚输入阻抗	Z_{in}	>0.2	M Ω	$V_{DD}=10\text{ V}$
交流耦合输入灵敏度	V_{IA}	<100	mV	$V_{DD}=10\text{ V}$

表 5-3 列出 5G4046 主要电参数性能。不同的电源电压, 工作频率不同, 在 15 V 电源下, 工作频率最高可达 1 MHz, 但功耗也将增大, 这与其他 CMOS 数字电路类似。

表 5-2 中, f_c 为捕捉频率范围, f_L 为锁定频率范围, f_s 为频率。

由图 5-15(a)、(b) 可以看出, 5G4046 的 VCO 与外部元件的关系与前面的分析基本类似, 是比较好的线性关系。

三、5G4046 CMOS PLL 的应用

锁相技术的应用, 除了在电视接收机中作水平扫描同步外, 在遥测遥控、调制、解调、频率变换、频率合成以及光通信等都有广泛的应用。对于 CMOS 锁相环 5G4046, 虽然工作频率不太高, 但在 1 MHz 以下还是十分有用的, 并已在不少整机上取得显著效果。这里介绍一些比较典型的应用电路, 从中可以看出它的应用前景。

1. 调频解调电路

用 PLL 可以实现无须调谐的调频解调。它可以将一个被音频信号调制的调频载波进行解调, 检出音频调制信号。图 5-16(a) 和 (b) 分别是 5G4046 作调频解调时的方框原理图和电路连接图。

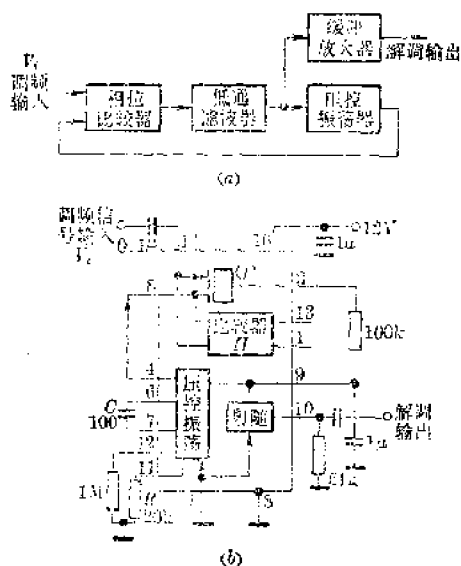


图 5-16 调频解调电路

当被音频调制的调频载波(可以是调频中频)信号 V_i 输入到 PLL 的参考输入端(⑭脚)后, 相位比较器(此时用 POI)检出 V_i 和 VCO 输出的相位(或频率)差, 然后使 VCO 的频率对 V_i 的频率自动进行跟踪, 也就是 VCO 的频率将追随信号 V_i 的频率而变化。因而相位比较器输出的电压将是一个与音频调制信号具有相同频率变化的包络信号, 经 LPF 滤除载频成分后, 在 ⑩脚可以得到与音频一致的调制信号。

5G4046 按图 5-16(b) 的连接, 可以在载频 800 kHz 以下工作, 实现调频解调, VCO 的外部电阻 R 和电容 C 的取值应接近调频载波的中心频率。对于正弦波 FM 输入, 可用 POI, 输入灵敏度在 0.5 V 左右。

2. 低频频率合成

PLL 的最重要的应用是频率合成。所谓频率合成, 是用任一指定的基准频率(例如由晶体振荡产生的高稳定频率基准)经过一些功能电路的作用, 产生一系列我们所需要的稳定度与基准频率相当的其它频率信号。

利用 PLL 实现频率合成的原理可用图 5-17 来说明。

若晶体产生的频率为 f_s , 经固定分频电路除以 M 后得参考频率 f_R , 则有: $f_R = f_s / M$, 它被送到相位比较器的一个输入端上作比较基准。由 VCO 产生的频率 f_c 被一个可预置的程

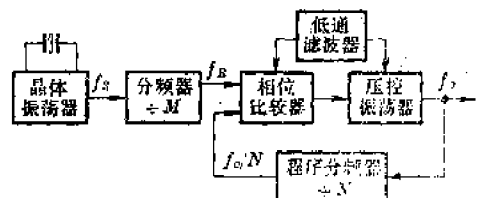


图 5-17 频率合成原理图

序分频器除以 N 后送到相位比较器的另一输入端上与 f_R 进行比较, 当锁定后, 则有:

$$\frac{f_s}{M} = \frac{f_o}{N} \quad (5-15)$$

即:

$$f_o = \frac{N}{M} f_s \quad (5-16)$$

当 N 从某一最小数变到最大(例如 $1 \sim 999$) 时, 则可得 1000 个不同的 f_o 输出。用 CMOS PPL 5G4046 可方便地与通用 CMOS 数字电路配用, 不必用电平转换接口。

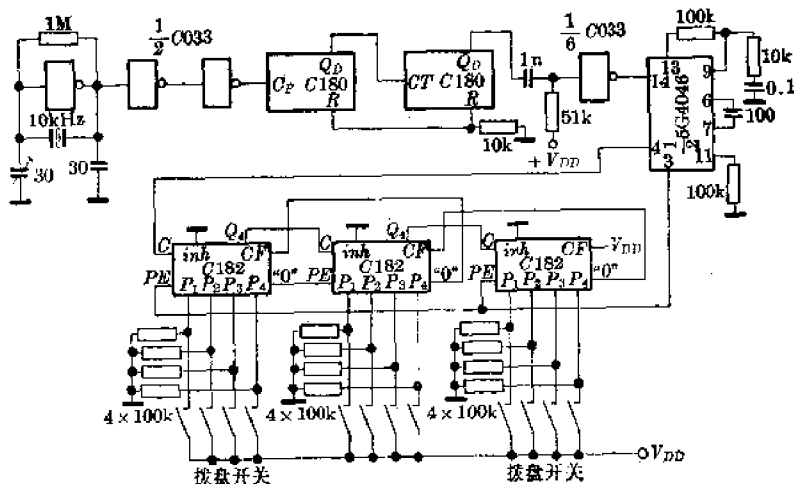


图 5-18 频率合成电路图

一个用 CMOS PPL 5G4046 构成的频率合成器的电路示于图 5-18, 图中用一个 10 kHz 晶体产生 10 kHz 的基准频率, 经由 C180 组成的 $\div 100$ 电路, 产生一个 100 Hz 的基准信号, 送到 5G4046 的 ③ 脚, VCO 输出经由三级组合的由 C182 构成的 $1/N$ 计数器, 作程序分频器。用 5G4046 中 PCH 进行比较, 可获得 $100 \text{ Hz} \times 1 \sim 999 \times 100 \text{ Hz}$ 的间隔为 100 Hz 的任意频率。这种电路可用于信号发生器或通信设备。

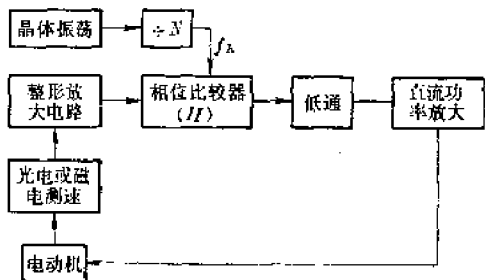


图 5-19 马达速度控制原理图

要注意的是, 在这一系统中, 5G4046 只用它的相位比较器 II (PCH), VCO 不用。

图 5-19 中晶体振荡信号 f_s 经可控分频器 $\div N$ 后得 $f_R = f_s/N$, 而马达转速经光电或磁电测速放大后(可利用 5G4046 中的放大级)得转速信号 f_c , 当入锁后, 应有 $f_c = f_R$, 即 $f_c = \frac{1}{N} f_s$, 可以用测速电路使马达每转一周产生 m 个脉冲, 则上述表示式可改写为:

$$f_c = \frac{m}{N} f_s \quad (5-17)$$

3. 电机稳速伺服系统

在许多机电系统中要求电机转速严格稳定, 例如电影摄影机要求 25 转/秒或 34 转/秒的转速, 控制这种电机的转速, 可用 5G4046 和 CMOS 数字电路。

一般的电机控制系统如图 5-19 所示, 其原理与图 5-18 类似, 这里只给出方框原理图。要

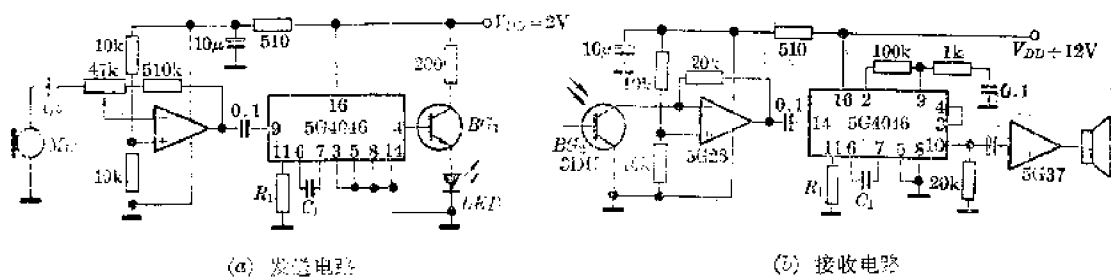


图 5-23 光通信电路

6. 多路通信中同步的再生

PLL 用于通信处理中同步信号的再生早在电视接收机中已成熟应用。在多路遥测装置中, 可以用 5G4046 来再生同步信号。

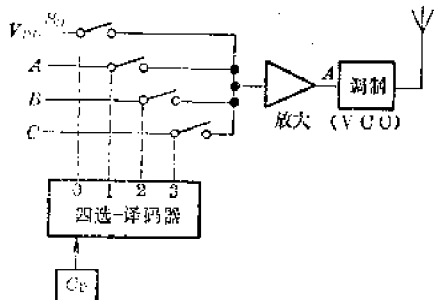
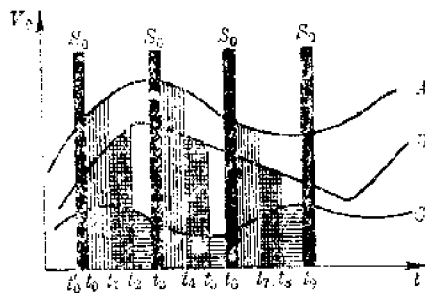


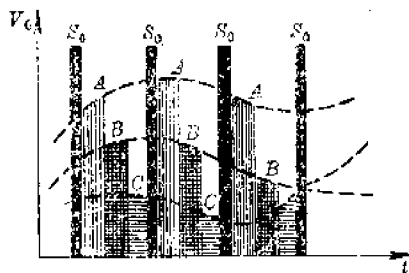
图 5-23 多路发送电路

在时分制多路遥测装置中, 为了使发送和接收两者同步, 一般在发射信号中设置一同步信号, 在接收中需把它还原出来。图 5-23 用一多路开关将 A 、 B 、 C 三个信号轮流取样出来而用一个 S_0 作同步信号, 其特征是用最大幅值来区别。图 5-24 是这种时分制多路通信的取样波形图。

图 5-25(a) 是接收电路的原理图, 这里关键在于将 S_0 同步信号取出来, 再还原成发射中的 C_0 信号, 然后使四选一译码电路与发射电路同步, 选通 A 、 B 、 C 三路信号。由图 5-25(b)(c) 知, 5G4046 用作 4 倍频, 将 S_0 信号的周期 $4T$, 还原成 T 的 C_0 信号, 作四选一译码的时钟信号。此信号与发送端的 C_0 同频同相, 实现了同步再生。



(a) 发送波形



(b) 接收波形

图 5-24 时分制多路通信的波形图

7. 分相数据的同步与译码

5G4046 的另一方面的重要应用是数字信息处理中的分相数据的同步与译码。图 5-26(a) 示出这种应用的典型实例。图 5-26(b) 则是这一电路的工作波形, 从波形图很明显可以看到 PLL 作为一个同步译码电路的典型应用。它的工作过程只要熟悉数字逻辑电路的特性, 就不难理解, 这里就不再多作说明。

8. 相位测量

图 5-27 示出用 5G4046 和部分 CMOS 标准数字电路组成的一种简易的相位测量电路, 由图(a)可知, 基准信号(相位基准) f_x 经 A_1 缓冲放大和 A_2 整形后, 加到锁相环 5G4046

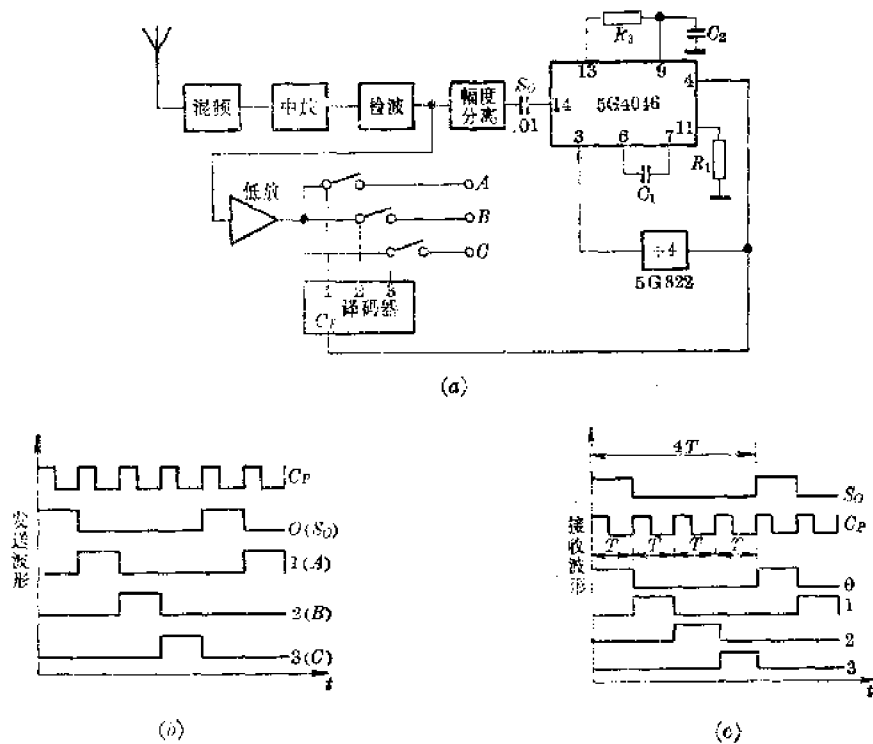


图 5-25 多路追踪接收原理图与同步还原波形

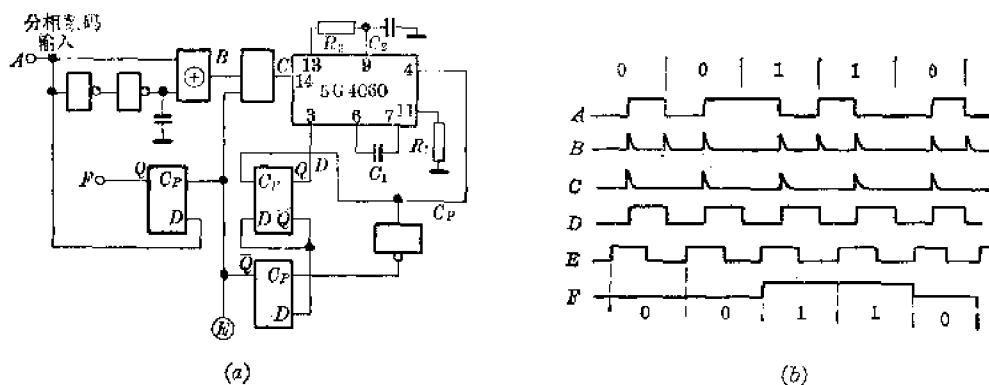


图 5-26 分相数据译码电路及其波形图

的输入端。在锁相环的反馈环路中设置一个 3600:1 的分频器, 使 PLL 的输出为 $3600f_n$ 。但相位与 f_n 相同。这个输出被用作计数器的时钟, 被计数。

被测信号 f_s 经 A_3 缓冲放大和 A_4 整形并经除 2 后与 f_n 经除 2 后异或的输出用作计数器闸门控制信号, 使计数器仅在 f_n 和 f_s 的相位差间隔内计数, 这样计数器记得的数即是 f_n 和 f_s 的相位差。由于时钟频率为 $3600f_n$, 因此一个脉冲对应于 0.1° 。记数值通过门锁和译码能用发光器件显示出来。这种测量相位的方法可从图(b)波形图上十分明白地得到说明。

图 5-27(c)是实际电路。为了适应不同信号频段测量的需要, 用开关 $S_{15} \sim S_{10}$ 来选择锁相环的外部定时参数 C 、 R_1 和 R_2 , 开关位置 1、2、3、4 分别对应于被测信号 f_s 的频率范围 (1~10 Hz, 10~100 Hz, 100~300 Hz, 300~1 kHz)。如需更高频率的测量, 要求 PLL 能适应 1 MHz 以上工作, 此时要用双极型 PLL, 图中 4 个运放 A_1 、 A_2 、 A_3 、 A_4 可以

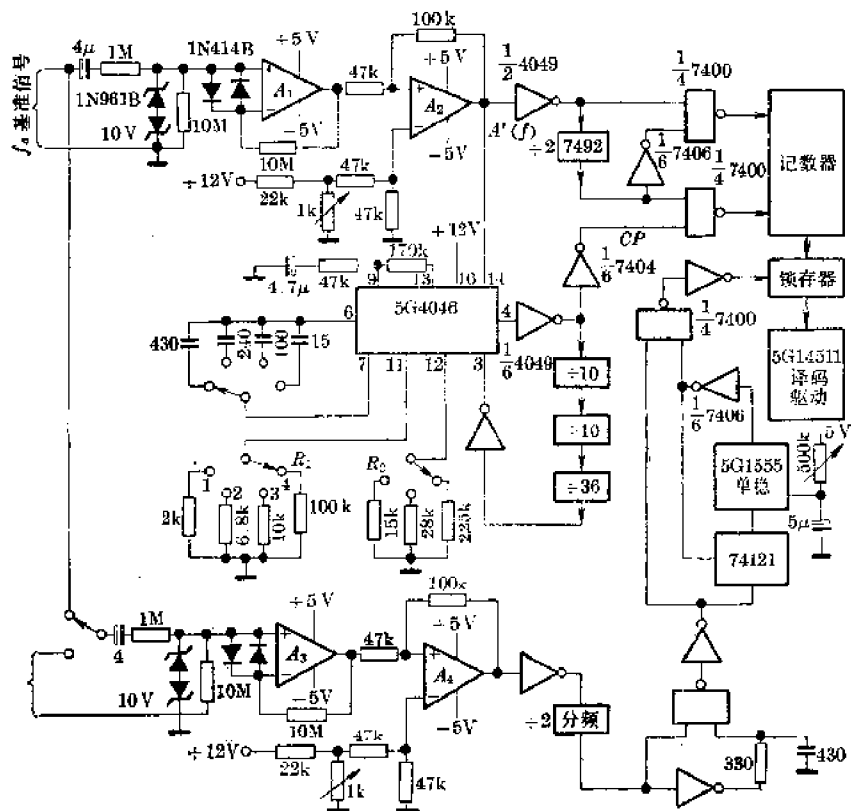
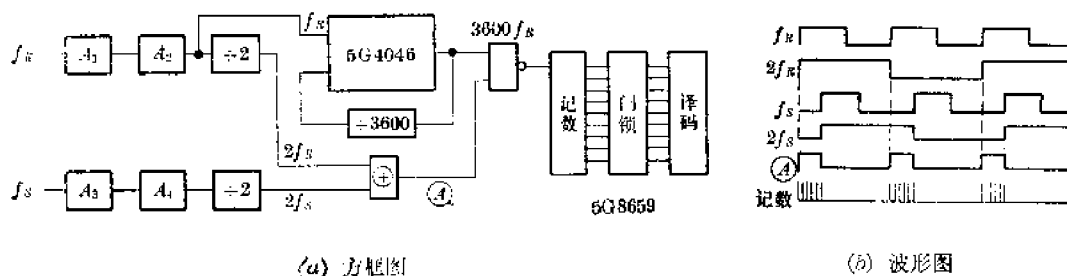


图 5-27 检相电路及波形

用 CMOS 四运放 5G14573, 或双运放、双比较器 5G14575; 和定时电路 5G1555 作延迟电路, 以有合适的信号输出。

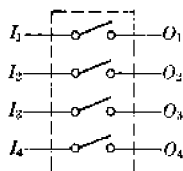
§5-2 CMOS 四双向模拟开关

在第一章中已讨论过 MOS 晶体管的模拟开关特性, 并已指出互补开关较之单沟道开关在导通状态时的电阻特性要优越。在这一节中, 我们要介绍几种典型的 CMOS 模拟开关的产品, 以及它们的主要用途。

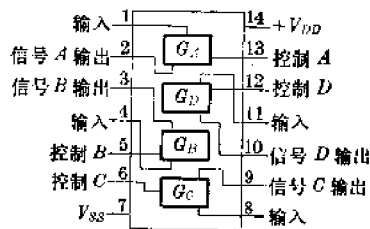
一、CMOS 四双向模拟开关 C544 电路描述

在 CMOS 构成的模拟开关中, 最简单的产品是在同一单片上集成四个双向开关, 每个

开关由一个控制端控制其通或断, 其等效电路和外部引出端排列示于图 5-28. 很明显, 其功能如同一个四刀四掷开关. 电路用 14 支引线的陶瓷扁平封装.



(a) 四刀四掷开关



(b) 四双向开关及其等效电路

图 5-28

如第一章中所述, C544 电路中每一路开关均有控制部分和开关部分组成, 并考虑了开关晶体管的衬底调变效应, 因而每一路开关 G_A 、 G_B 、 G_C 、 G_D 均有九只 MOS 晶体管组成. 控制部分实际上是一只 CMOS 反相器, 如略去衬底浮置部分的元件, C544 的完整电路可用图 5-29 来等效表示. C544 在使用时, 须加电源电压于 V_{DD} 和 V_{SS} 端, 工作电压范围在 5~15 V 内, 不同的电源电压, 开关的导通电阻 R_{ON} 也不同, 并且对加于开关端的模拟信号幅值应限制在:

$$V_{SS} \leq V_{ip} \leq V_{DD}$$

其中 V_{ip} 为模拟输入的峰值. 由图 5-29 知, 每个开关仅需一个控制信号 V_{ci} . 其幅度要求在 $V_{SS} \rightarrow V_{DD}$ 之间, 即全电平摆幅, 当 $V_{ci} = V_{DD}$ 时, i 位 ($i=1, 2, 3, 4$) 开关导通, $V_{ci} = V_{SS}$ 时, i 位开关截止. 每路开关之间彼此互相隔离, 可以互不相关地使用.

图 5-29 C544 原理图

二、CMOS 四双向模拟开关的基本特性

C544 四双向开关的主要电参数特性列于表 5-4. 从表中可知, 每一路开关的导通与截止电阻的比值为 10^{-5} . 对于大多数应用已足够精确. 每路导通电阻路差小于 50Ω . 传输延迟时间小于 150 ns.

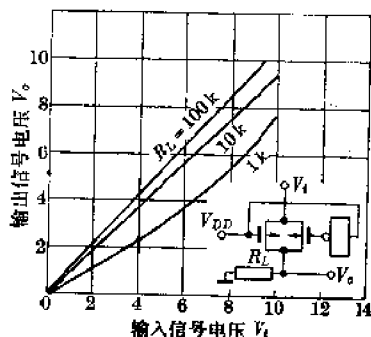


图 5-30 单电源转移特性

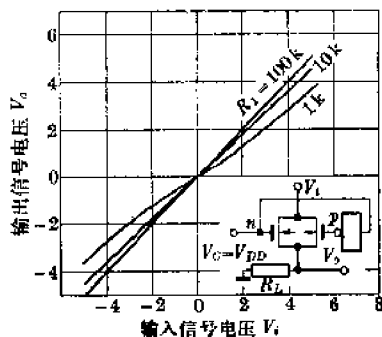


图 5-31 双电源转移特性

表 5-4 C544 参数表

参数名称及符号			规范 值		单 位	测 试 条 件						
			A	B		R_L	V_c	V_{is}	V_{DD}	t		
						k Ω	V			°C		
直 流 参 数	静态器件电流		I_L	≤ 20	≤ 5	μA	∞	0/10		10	-40	
				≤ 30	≤ 5						25	
				≤ 300	≤ 300						85	
	输入电流		I_{in}	$\leq 10^3$	$\leq 10^2$	nA						
	输入噪声容限		V_{NL}	≥ 3		V	$I_L=10\mu A$	10				
	导通电阻		R_{on}	≤ 0.5		k Ω	10	7				
	截止电阻		R_{off}	≥ 50		M Ω	10%	0	10			
	导通电阻路差		ΔR_{on}	≤ 50		Ω		10	7			
	电源电压范围	最 大	V_{DDmax}	15		V	分 档	A	B			
		最 小	V_{DDmin}	5			$I_L=$	50 μA	10 μA			
逻辑功能正常												
交流参数	输出延迟时间		t_{rHL}	≤ 300	≤ 150	ns	$R_L=1k\Omega$ $C_L=15pF$ $V_{is}=5V$ $V_{C2-P}=10V$ $f_{in}=500kHz$ $V_{DD}=10V$					25
	输入电容		O_i	5		pF	$f_{in}=500kHz$					

对于电子模拟开关,人们感兴趣的问题在于特定负载下输入和输出的线性度,对 C544 来说,在传输正弦信号时,需要双电源工作,因此可以用图 5-30 和图 5-31 来描述 C544 的输入和输出关系曲线。很显然不同负载,线性度也不同。在 $R_L \geq 10k\Omega$ 时,输入和输出基本上呈线性关系。

三、C544 的开关和逻辑功能

C544 四双向开关有两种基本功能,其一是开关功能,这是其主要功能,另外是它的逻辑功能,这是次要的,也是不常用的功能。

1. 开关功能

利用 C544 中四个互相独立的双向开关,只要外部适当配置一些必要的电路,就可以构成下面四种不同的基本开关电路。

(1) 单刀单掷开关 图 5-32(a) 示出用 C544 组成的单刀单掷开关及其等效电路。这是最基本的电路。一块 C544,可以构成四个单刀单掷开关。当 $V_C=“1”$ 时,开关接通; $V_C=“0”$ 时,开关断开。

(2) 单刀双掷开关 图 5-32(b) 示出用 C544 和一个外部 CMOS 反向器构成的单刀双掷开关的原理图,一块 C544 可以构成两个类似的开关,当 $V_C=“1”$ 时,开关打向 G_A ,使 G_A 导通,当 $V_C=“0”$ 时,开关接通 G_B 。由图知,当 $V_C=“1”$ 时,开关 G_A 的控制端 $V_{CA}=“1”$,而 G_B 的控制端 V_{CB} 由于反相器 y 的反相作用使之成为“0”,因此 G_A 接通, G_B 关断。

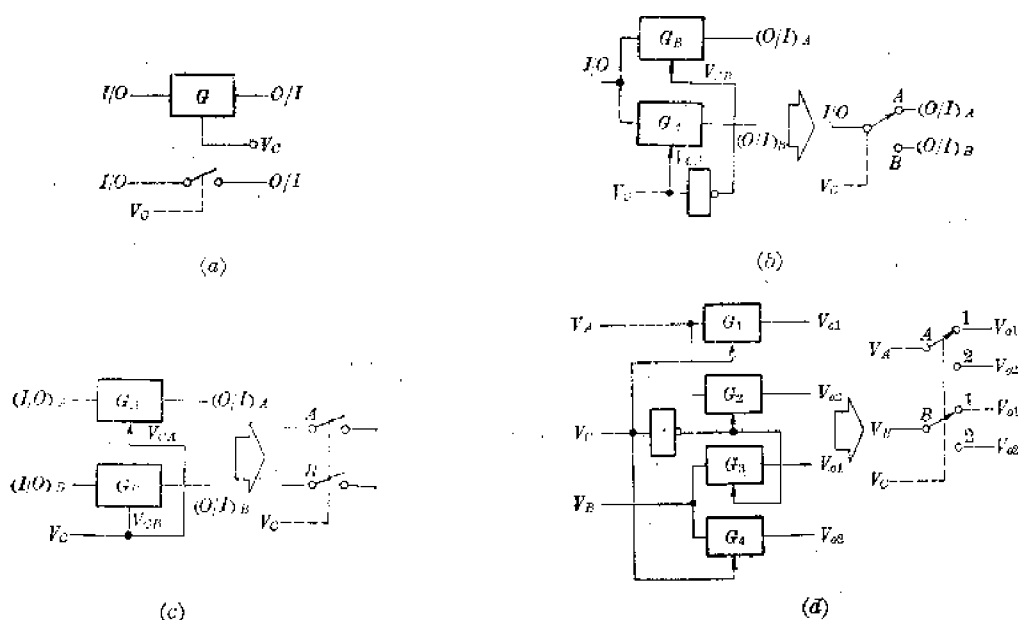


图 5-32 四种开关电路示意图

(3) 双刀单掷开关 图 5-32(c) 示出用 $\frac{1}{2}$ C544 组成的双刀单掷开关的原理图和等效电路。一块 C544 可以组成二组类似的开关。由图知, 当控制端 $V_c = "1"$ 时, G_A 和 G_B 都接通, 当 $V_c = "0"$ 时, G_A 和 G_B 都断开。

(4) 双刀双掷开关 用一块 C544 按图 5-32(d) 的接法, 可以构成双刀双掷开关, 门电路 Y 是反向器, 用来将控制信号 V_c 反相。由图知, 当 $V_c = "1"$ 时, 开关 G_1 和 G_4 闭合, G_2 , G_3 断开, 反之当 $V_c = "0"$ 时, G_2 , G_3 闭合, G_1 , G_4 断开。

2. 逻辑功能

利用四双向模拟开关 C544, 可以完成“与”、“或”、“非”的逻辑操作, 并且不但可以实现逻辑电平的传输, 也可以实现模拟信号的逻辑传输。

(1) “或”操作 图 5-33(a) 示出用 C544 实现“或”操作的接线图。当控制端 V_{cA} 和 V_{cB} 均为“0”时, 输出 V_o 端为逻辑“0”; 当 V_{cA} 和 V_{cB} 中有一个以上为“1”时, 输出 V_o 为逻辑“1”(或者某一模拟电平)。由图知, 开关 G_c 和 G_d 仅在 $V_{cA} = V_{cB} = "0"$ 时导通, 使输出端 $V_o = "0"$ 。当 V_{cA} 或 V_{cB} 中至少有一个为“1”时, G_A 或 G_B 中至少有一个开关接通而 G_c 和

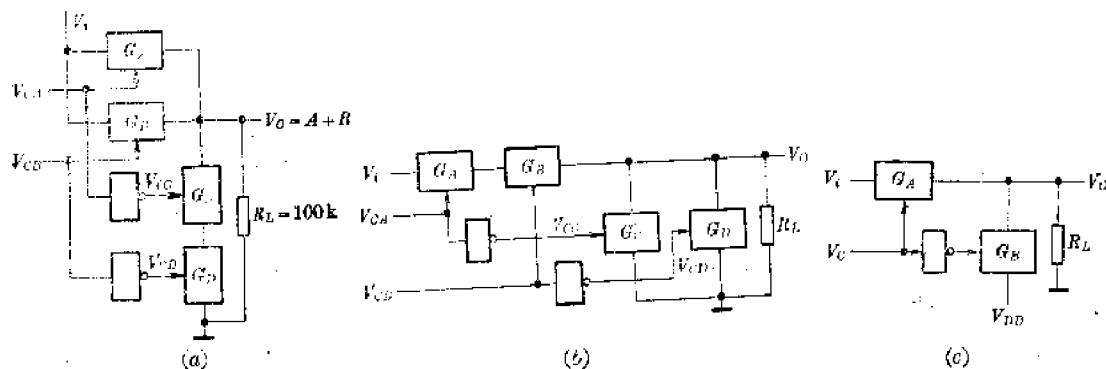


图 5-33 “与”、“或”、“非”操作电原理图

G_D 中至少有一个断开, 从而使 $V_o = V_i$ (或逻辑“1”电平)。这就是“或”操作。

(2) “与”操作 图 5-33(b) 是“与”操作电路, 其接法与图 5-33(a) 刚好相反。由图知, 当 G_A 和 G_B 都导通时, $V_o = V_i$, 当 G_A 或 G_B 有一断开时, $V_o = “0”$, 即“与”操作。

(3) “非”操作 图 5-33(c) 是反向操作。当 G_A 导通时, G_B 断开, G_A 断开时, G_B 接通。于是有: 当 $V_o = “1”$ 时, $V_o = “0”$, 当 $V_o = “0”$ 时, $V_o = “1”$, 完成 $V_o = \bar{V}_i$ 的操作。

传输开关与其他数字电路配置起来, 还可构成触发器、异或门等等逻辑电路, 这里就不再介绍, 因为已经在许多标准数字电路中有所论述。

四、C544 的典型应用实例

CMOS 模拟开关由于功耗低、导通电阻线性好等优点, 已经被广泛应用。在本书第二章运放的应用举例中或是第三章的应用中都已有了例子。对于 C544 的应用, 这里还可以例举出一些, 特别是一些用数字控制来提供频率、阻抗、增益、相移以及带通的电路, 几乎都要用到模拟开关。在取样保持、通信、接收中, 它也是一种基本元件。

1. 数控扫频电路

熟悉数字电路应用的电路工作者都知道, 利用两块反相器, 外接 $R-C$ 网络, 可以构成多谐振荡器。图 5-34 示出用 CMOS 反相器组成的非稳态多谐振荡器的原理图。这种电路的振荡频率可用下式表示:

$$f_o = \frac{1}{RC \ln \frac{V_k(V_{DD} - V_k)}{(V_{DD} + V_{Df})^2}} \quad (5-18)$$

式中 V_k 是反向器的转折电压, V_{Df} 是输入保护二极管的正向电压 (约 0.7 V)。

从 (5-18) 式可知, f_o 与 C 成反比, C 越小, f_o 越大, 改变 C 可以改变 f_o (或者改变 R 可以改变 f_o)。

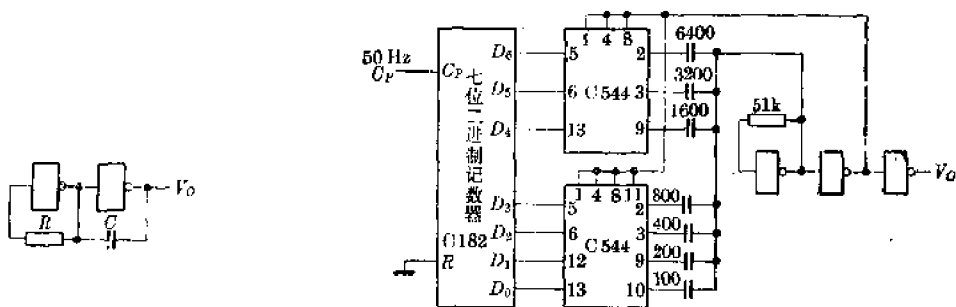


图 5-34 振荡器

图 5-35 扫频振荡器原理图

利用两块 C544 和七只二进制加权电容, 可以组成有 128 个电容增量的等效电容, 用这个电容网络取代图 5-34 的电容 C 则可组成有 128 种频率, 且连续变化的扫频电路。图 5-35 示出这一电路的接线图。用图示的电容值, 输出频率可从 1~70 kHz 连续变化, 频率增量约为 540 Hz。计数器的时钟频率可以用 50 Hz 或其他频率, 一般要低于 1 kHz。

2. 取样/保持电路

用 CMOS 四运放和 C544 可以构成取样/保持电路 (S/H)。图 5-36 示出 S/H 电路的原理图和实际连接图。当 C544 的控制端加入逻辑“1”时, 开关接通, 输入信号经开关 G_1 向

电容 C (高阻电容)充电,这称为取样阶段。当控制端加入逻辑“0”时,开关 G_1 断开,原来存贮在 C 上的电荷因无放电回路而保持,并经 A 缓冲后出现在输出端。由于CMOS运放输入电阻极大,因此取样信号在保持阶段可以寄存下来,这种电路又称模拟存储器。

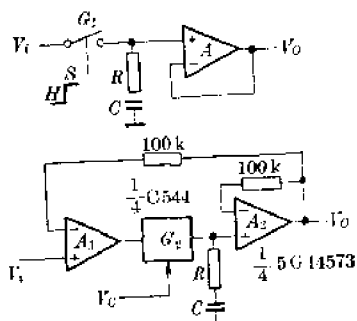


图 5-36 S/H 电路

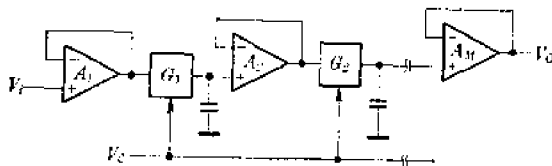


图 5-37 模拟延迟电路

3. 模拟延迟器

取样保持电路的应用之一是用有源器件构成延迟线,从而获得对信号的延迟。图5-37是利用运放和C544外加电容 C 构成的模拟延迟电路。图中所有开关同时接通和同时断开,并由开关时钟 f_s 控制。电路的延迟时间为:

$$t_d = \frac{M}{f_s} \quad (5-19)$$

式中 M 是放大器级数。

4. 静噪电路

用CMOS模拟开关,还可以设计出通信设备中十分有用的静噪电路或者阈值控制电路。这种电路要求输入信号超过某一规定值时,才允许信号输入,否则切断输入回路。图5-38示出用CMOS四运放和C544组合运用的静噪电路。图中运放 A_1 和 A_2 构成信号幅度检测电路,运放 A_3 为信号放大电路。

由图5-38可知,输入信号同时加在开关 G 和放大器 A_1 同相输入端上,如果 V_i 经 A_1 放大 $(1 + \frac{R_1}{R_2})$ 倍后,经二极管 D 整流成正电压,然后送到具有滞后阈值的比较器 A_2 ,与设定的参考电压 $-V_R$ 进行比较,若 $V_{oi} \geq |V_R|$,则 A_2 输出为“0”,经门 Y 反相为“1”,将开关 G 接通。于是 V_i 经开关 G 加到放大器 A_3 放大。若 $V_i < |V_R|$ 则 A_2 输出“1”, G 断开,信号 V_i 不能进入 A_3 ,输出 $V_o = 0$ 。调节 R_1 和 V_R 可改变 V_i 的控制值。这种电路可以用来实现静噪控制,适用于调制接收装置。

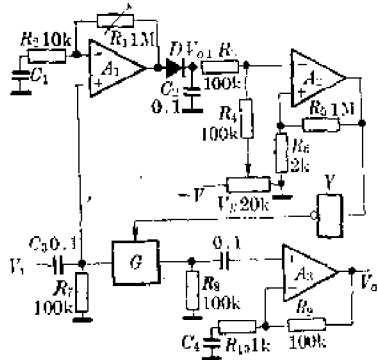


图 5-38 静噪电路

5. 时分制脉冲幅度调制电路(PAM)

在多路通信中,时常采用时分制脉冲幅度调制方式(PAM)。这里介绍一个四通道调制和解调电路。这个电路的原理与上一节中用锁相环构成的电路类似。图5-39示出多路调制和解调电路,也就是发送与接收电路。根据夸奎斯特取样理论,只要取样频率,即图中时钟频率大于所要传输的模拟信号频率的两倍,即 $f_{CP} \geq 2f_M N_C$,则就可以不失真地传送信号。

这里 f_M 是模拟信号的上限频率, N_C 是通道数. 在这个例子中, $N_C=4$, $f_M=10\text{ kHz}$, 于是 $f_{CP}\geq 80\text{ kHz}$, 这里取 $f_{CP}=400\text{ kHz}$, 因此足够精确.

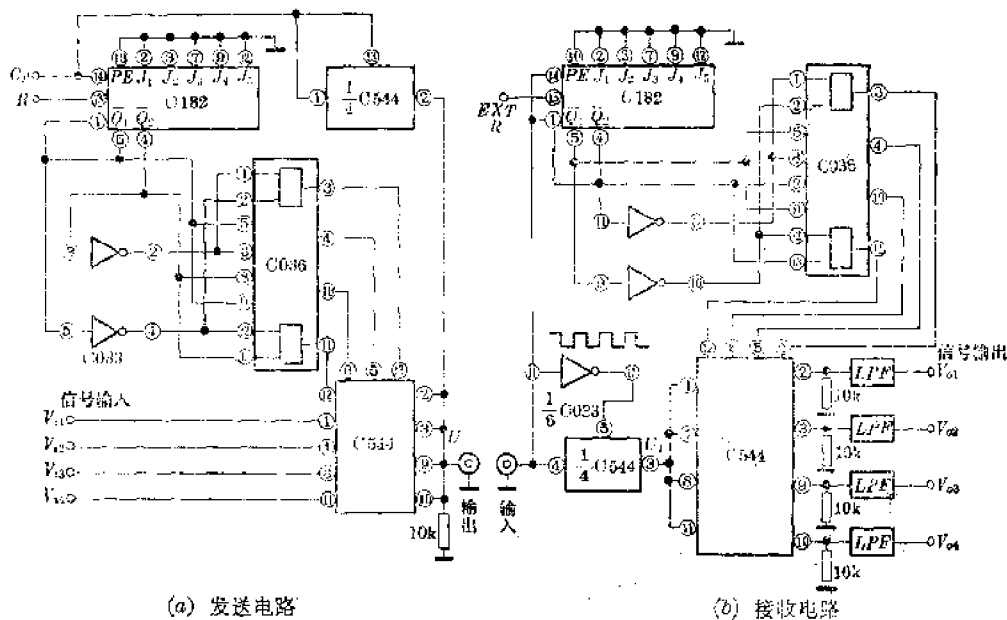


图 5-39 多路调制与解调电路

由图 5-39 可知, 在发送装置中, $1/N$ 计数器 C182 和与非门 C036 构成时序电路, 轮流控制 C544 的四个开关, 同时时钟信号也参与输出总线的工作, 作为同步信号在总线上输出. 在接收电路中, 这个时钟波用作时序的时钟, 去同步地接通解调开关, 解调输出接低通滤波器(LPF), 它滤除时钟信号, 还原出模拟输入信号. 滤波器的截止频率选择在:

$$f_P = \frac{1}{2\pi RC} = 1.33\text{ kHz}$$

(即取 $R=12\text{ k}\Omega$, $C=0.01\text{ }\mu\text{F}$). 输入模拟信号应在 V_{DD} 和 V_{SS} 之间, 全部电路可用标准的 CMOS 数字电路构成.

§ 5-3 CMOS 多路模拟开关 5G4051

除了 CMOS 四双向模拟开关外, 另外一类用 CMOS 技术制作的模拟开关是多路模拟开关. 这种开关在多路检测和数据采集系统中有较广泛的用途. 典型的多路开关有四选一, 双四选一, 八选一, 双八选一和十六选一等五种类型, 除外部引线排列、通道路数不同外, 其工作原理和主要应用方法基本相同, 因此我们以国内生产的 5G4051 为例作一些介绍和讨论.

CMOS 多路开关, 一般由逻辑电平转换电路、地址译码电路、开关通道三个部分构成. 前两个部分是属于数字电路, 后一部分是模拟开关部分. 图 5-40 示出八选一多路开关 5G4051 的逻辑功能图, 图中 A 、 B 、 C 是三位二进制地址输入端, 其输入电平可以与 TTL 逻辑兼容. “INH”(⑥端)是地址输入禁止端, 通道输入(或输出)有八路, 输出(或输入)有一路, 它等效于图 5-41 所示的开关功能. 表 5-5 是输入地址和相应通道选通的逻辑真值表.

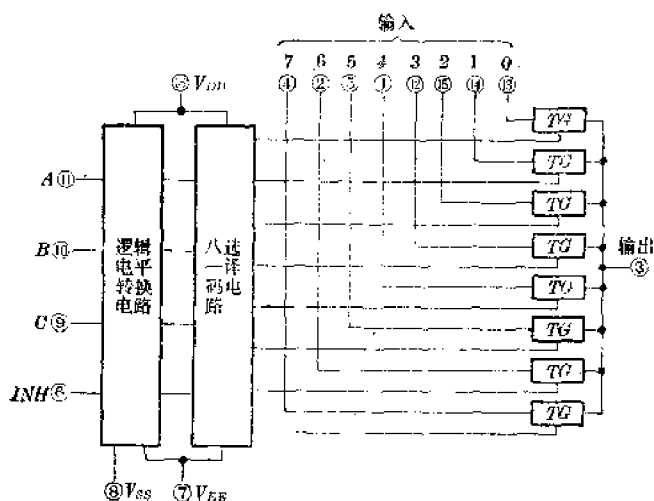


图 5-40 5G4051 原理图

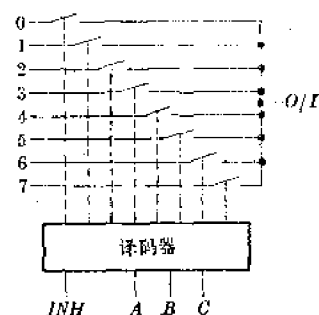


图 5-41 5G4051 等效电路

表 5-5 5G4051 真值表

地址输入和禁止				通道接函数 (ON)
C	B	A	INH	
*	*	*	1	—
0	0	0	0	0
0	0	1	0	1
0	1	0	0	2
0	1	1	0	3
1	0	0	0	4
1	0	1	0	5
1	1	0	0	6
1	1	1	0	7

一、5G4051 内部电路描述

八选一多路开关与四双向开关比较, 在模拟开关结构上基本类似, 但在逻辑输入、电平转换等方面, 则是四双向开关所没有的。

1. 地址译码电路

地址译码电路将来自逻辑控制输入的地址信号(A、B、C)转成相应的通道数, 并使该通道接通。这种译码电路又称为三-八译码器。在 5G4051 中, 用八个三输入端或非门来构成地址译码器, 其原理图如图 5-42 所示, 这些或非门的输入都来自电平转换电路的输出。

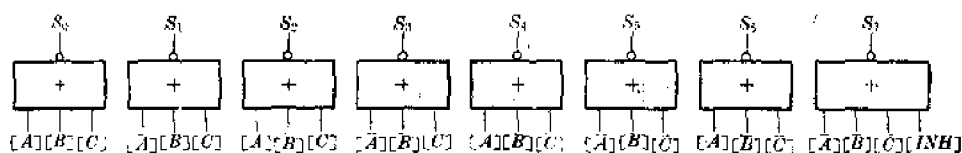


图 5-42 译码电路接线示意图

也就是电平转换器的输出。

对于模拟开关,特别是多路模拟开关,地址控制信号有可能来自计算机或微处理机的输出,一般是 TTL 的电平,因此,希望多路开关的地址输入与 TTL 逻辑电平兼容,因而在 5G4051 中设置了如图 5-43 的电平转换电路。从图可知,或非门 1 和或非门 2 的电源电压 $V_{DD}+V_{SS}$ 可以与 TTL 的电源相同,即使可以使 $V_{DD}=5\text{V}$, $V_{SS}=0\text{V}$,而由 $N_1\sim N_4$ 组成电平转换电路和门 3、门 4 的电源则

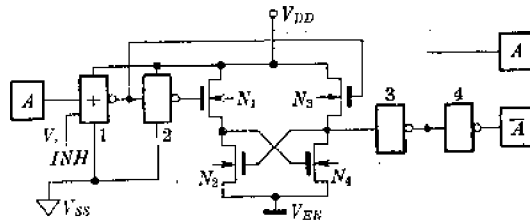


图 5-43 电平转换电路

可用 CMOS 典型的电源, $V_{DD}=5\text{V}$, $V_{EE}=-10\text{V}$ 。只要使 N_1 和 N_3 的 $\frac{W}{L}$ 大于 N_2 和 N_4 的 $\frac{W}{L}$, 则尽管门 1 和门 2 输出电平仅在 V_{DD} (“1”) 和 V_{SS} (“0”) 之间, 但由于 N_2 和 N_4 的源极接在 V_{EE} 上, 因而在门 1、门 2 驱动下, 门 3 的输入电平可接近 V_{DD} 和 V_{EE} , 达到电平转换的目的。门 3 和门 4 的输出, 作为地址的同相和反相信号送到图 5-42 的八个或非门的输入, 使这些或非门的输出来控制通道开关接通与否。

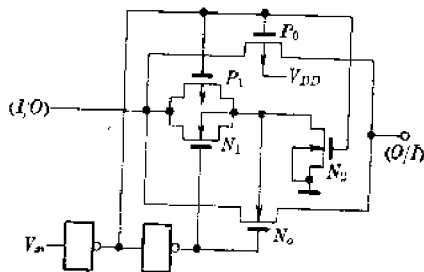


图 5-44 主开关通道结构

禁止信号送到图 5-43 中第一个或非门的输入端, 当 INH 输入为 “1” 时, 门 1 输出 “0”, 而不管 A 是 “1” 还是 “0”, 从而使输出 $[A]$ 为 “1” (或 $[B]$ 、 $[C]$), 图 5-42 中 $S_0\sim S_6$ 均为 “0”, 通道 0 到 6 截止, 通道 7 的译码门除输入 $[A]$ 、 $[B]$ 、 $[C]$ 外, 尚加入 INH 使 S_7 亦为零, 从而起到表 5-5 所示的逻辑功能。

2. 通道开关

5G4051 八路开关中, 有八个完全相同的开关, 图 5-44 示出其中的一个。很显然, 这个电路与第一章中已介绍过的具有克服 N 沟 MOS 管衬底调变效应的电路结构相同。图 5-44 中, 主开关晶体管 P_0 和 N_0 中, N_0 的衬底接在 N_2 的漏极, 并与 P_1 、 N_1 组成的辅助开关的输出相连, 因而在控制信号 V_{ss} 作用下, N_0 的衬底随输入信号而浮动, 从而保持 N_0 的衬底 B 和源 S 之间电位恒定, 将衬底调变效应降到最小。通道电阻 R_{ON} 与 N_0 和 P_0 的 $\frac{W}{L}$ 值有关, 一般在 $V_{DD}-V_{EE}=10\text{V}$ 时, R_{ON} 在 200Ω 左右。

二、5G4051 的主要参数与特性

模拟开关主要性能参数有: 输入模拟通道参数、数字参数、瞬态开关参数三类。下面将分别加以介绍:

1. 模拟通道参数

模拟通道的参数是用来衡量模拟开关通路中的开关特性的参数, 主要有如下几个参数:

(1) 模拟信号输入电压范围 对于 CMOS 模拟开关, 输入模拟电压的范围限制在 $V_{EE}\leq V_i\leq V_{DD}$ 之间, 也就是限制在电源电压范围以内, 如果超过工作电压, 容易引发 CMOS 电路的锁定 (Latch up) 效应, 而造成永久性失效。

(2) 通态电阻 R_{ON} 它是指在规定的输入模拟电压条件下, 通道接通(被地址选中)时,

呈现的等效电阻。

(3) 通道关闭时的输入漏电流 这个参数是指在通道关闭(地址不选中或禁止)时, 通道输入端加上规定电压时的电流, 它表征了通道输入对 P 阱和表面的漏电流。

(4) 通道关闭时的输出漏泄电流 这一参数与输入漏电流类似, 仅是部位不同, 意义完全一样。

2. 数字输入参数

(1) 输入逻辑“1”电平 它是指地址输入端逻辑“1”的最低电平值, 对于 5G4051, 由于能与 TTL 兼容, 因此当输入大于 3.2 V 时为输入逻辑“1”的最低有效电平。

(2) 输入逻辑“0”电平 它是地址输入有效逻辑“0”的最高电平。5G4051 的“0”最高有效电平低于 0.4 V。

3. 瞬态开关参数

传输时间是某一通道从关闭到导通所需要的时间。对 5G4051 是指地址建立到输入信号在输出端建立起来所需要的时间。

另外还有恢复时间, 频率响应等, 就不再叙述, 其定义与其他集成电路类似。

图 5-45(a) 和 (b) 是不同电源电压和环境温度下的输入信号和导通电阻的关系曲线, 图 5-46(a) 和 (b) 是输入和输出电压关系以及开关频率和电路功耗的关系曲线。

表 5-6 示出 5G4051 的电参数规范。从表中可以看出, 8 个通道的电阻仅在 150~200 Ω 之间, 通道与导通之间的电阻差 $\Delta R_{ON}=5\sim 10\ \Omega$ 。对于一般的高阻抗负载情况, 这些性能已是十分优良的。

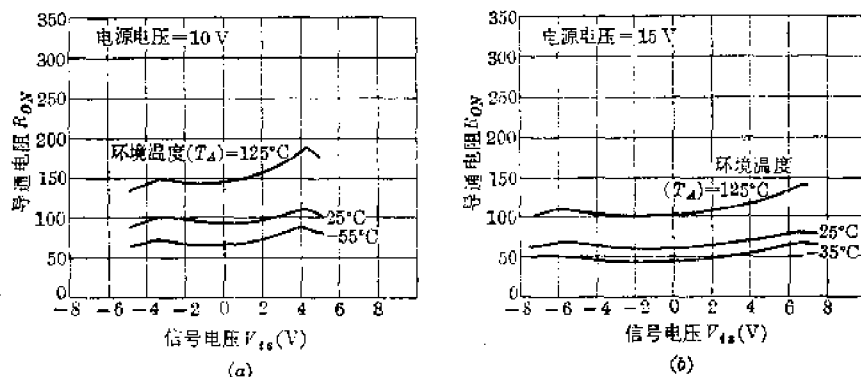


图 5-45 R_{ON} 特性曲线

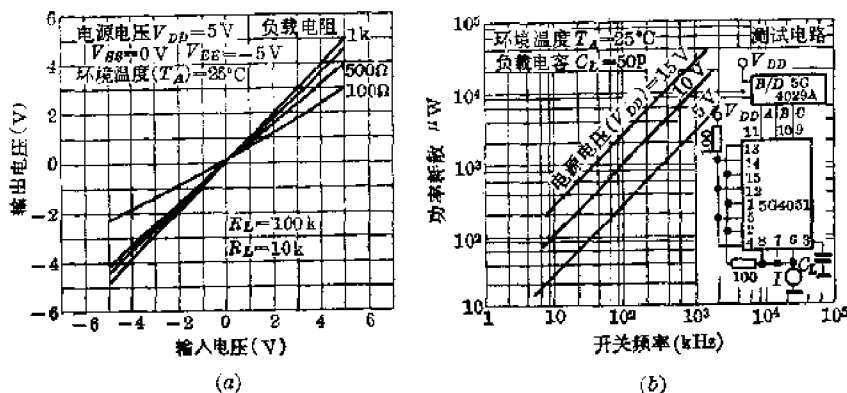


图 5-46 导通电阻特性曲线

表 5-6 5G4051 电参数表

环境温度 $T_A=25^{\circ}\text{C}$

参数名称	符号	测试条件	典型值	单位
通道导通电阻	R_{on}	$R_L=10\text{ k}\Omega$ $V_{DD}=7.5\text{ V}$, $V_{EE}=-7.5\text{ V}$	80	Ω
		(地址选中) $V_{DD}=5\text{ V}$, $V_{EE}=-5\text{ V}$	120	
		$V_{DD}=2.5\text{ V}$, $V_{EE}=-2.5\text{ V}$	270	
导通电阻路际差	ΔR_{on}	$V_{DD}=7.5\text{ V}$, $V_{EE}=-7.5\text{ V}$	5	Ω
		$V_{DD}=5\text{ V}$, $V_{EE}=-5\text{ V}$	10	
正弦波失真度 (非线性)	γ	$R_L=10\text{ k}\Omega$ $+5\text{ V}$, -5 V	0.2	$\%$
		$f_s=1\text{ kHz}$ $+7.5\text{ V}$, -7.5 V	0.1	
导通传输延迟时间	t_{PLH} t_{PHL}	$C_L=15\text{ pF}$ $R_L=10\text{ k}\Omega$ $V_{DD}=+5\text{ V}$, $V_{EE}=-5\text{ V}$	400	ns
关闭通道漏电流	I_{off}	$V_{DD}=+5\text{ V}$, $V_{EE}=-5\text{ V}$	+0.1	nA
通带隔离度	S_{ep}	$f_s=1\text{ MHz}$, $R_L=1\text{ k}\Omega$ $V_{DD}=5\text{ V}$, $V_{EE}=-5\text{ V}$	-40	dB
静态功耗	P_{CD}	$V_{DD}=+5\text{ V}$, $V_{EE}=-5\text{ V}$	100	μW
数字输入端参数	V_{IH}	$V_{DD}=5\text{ V}$, $V_{SS}=0\text{ V}$	3.2	V
	V_{IL}	$V_{DD}=5\text{ V}$, $V_{SS}=0\text{ V}$	0.2	V
端子电容 (模拟通道)	C_i	同 上	5	pF
	C_o	同 上	30	pF
禁止端恢复时间	t_r	$V_{DD}=10\text{ V}$	200	ns

三、多路开关的应用

由于 5G4051 多路开关设置了能于 TTL 电平兼容的电源引出端 V_{SS} , 它与 V_{EE} 可以同电位, 也可以不同电位。图 5-47 示出了不同工作电源的几种接法, 其中图(a)是 V_{SS} 和 V_{EE} 接在同电位, 此时, 模拟输入限制在 $V_{SS} \leq V_{is} \leq V_{DD}$ 即 $0 \sim 15\text{ V}$ 中, 数字信号的参考电位在 0 V 上; 图(b), 模拟信号在 $-7.5 \sim +7.5\text{ V}$ 之间, 数字地在 0 V ; 图(c), 数字地是 0 V , 模拟信号限制在 $-10\text{ V} \sim +5\text{ V}$ 之间; 图(d), 模拟信号在 $-5\text{ V} \sim +5\text{ V}$ 之间, 数字信号在 $0 \sim 5\text{ V}$ 之间。这几种不同的接法可适应不同的应用需要。

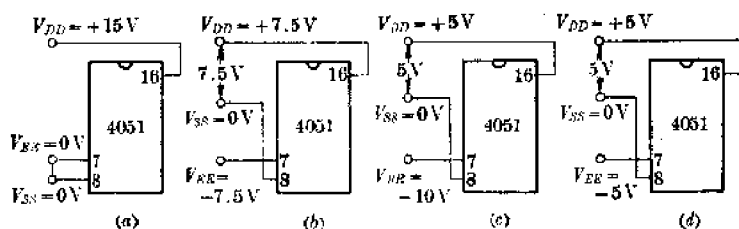


图 5-47 不同工作电源的几种接法

1. 多路开关的通道数扩展方法

在多路遥测遥控系统中,常常需要多于8个通道的开关,这可以选用16选1的多路开关,但通道数再多,就无法集成在同一单片上,此时可以通过几片8选1的电路组合,用扩展地址的方法扩大通道数,即用几片5G4051扩展成16路、32路、64路或更多的通道。基本的方法可以通过对5G4051的禁止端(INH)的控制来加以扩展。图5-48示出用两块5G4051组成16选1的多路开关的连接法。对于16选1地址端有 A_0 、 A_1 、 A_2 、 A_3 四个,在地址为0~7的前八个地址数时, IC_2 的 INH_2 被禁止,即 $INH_2=“1”$,而此时 IC_1 的 INH_1 则置于“0”;在地址数为8~15时,情况正好相反, $INH_1=“1”$, $INH_2=“0”$,于是可通过最高位地址数 A_3 来控制 INH_1 和 INH_2 ,如图5-48所示,最高位地址 A_3 直接加于 INH_1 ,而其反相信号 $\bar{A}_3$ 则加于 INH_2 ,因此在地址数0~7中, $A_3=“0”$, $\bar{A}_3=“1”$, IC_2 被禁止,在8~15地址时, $A_3=“1”$, $\bar{A}_3=“0”$, IC_1 被禁止, IC_2 被选中工作,其通道作为8~15。很显然,禁止端如同片选端,用来选择是否工作。

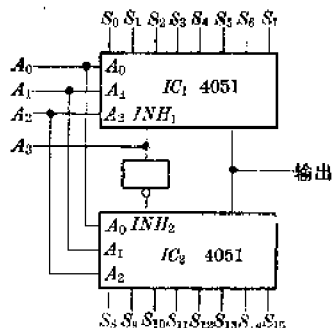


图 5-48 16选1开关接法

图5-49示出四片5G4051构成32路多路开关。此时用五位地址来选择0~31的通道。这五位地址数中,前三位 A_0 、 A_1 、 A_2 用来选择每个5G4051的8个通道,而两个高位 A_3 和 A_4 用来选择四片中的一片,即 $IC_1 \sim IC_4$ 。图5-49中,两块反相器和四块与非门,用来选择四个电路,即构成一个二-四译码器。

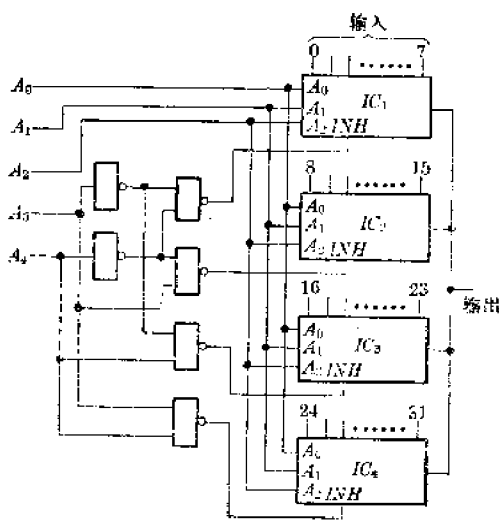


图 5-49 32选1开关接法

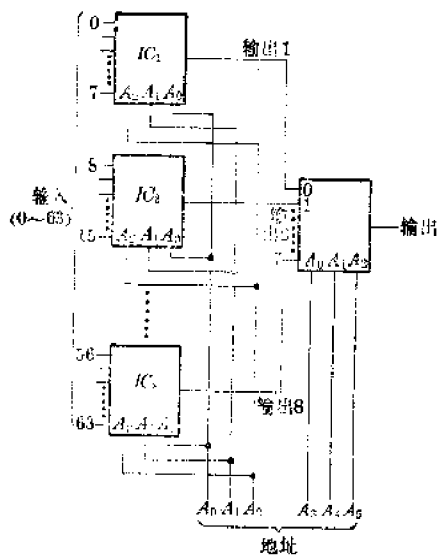


图 5-50 64选1开关接法

更多的5G4051的组合可以利用图5-50所示的结构,即每一个八选一的输出接到一块八选一的一个通道的输入端,这样通过地址控制,每八个地址数使 IC_3 转换一个通道,就可构成 $8 \times 8 = 64$ 路的多路选择开关的结构。这种结构的通道总的电阻将是一个电路的两倍。

原则上,这种方法扩展可以是任意的,而且地址无须译码。

2. 多路开关在数字滤波器中的应用

利用 5G4501 八选一多路模拟开关, 可以构成不用电感的选频电路——数字滤波器。图 5-51 是这种选频电路的原理图, 图中用单刀八掷旋转开关来取代 5G4051。这里两个旋转开关在时间 T 内旋转一周。当开关落在第 i 掷上时, 第 i 个电容接地, 其他电容断开。若开关在 i 位置上无限期地停留不动, 则电路如同图 5-52(a) 所示的简单的 RC 低通滤波器, 它具有图 5-52(b) 所示的幅频特性, 其截止角频率 ω_p 可以表示为:

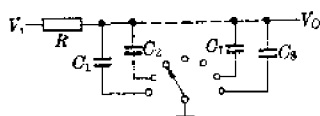


图 5-51 数字滤波器

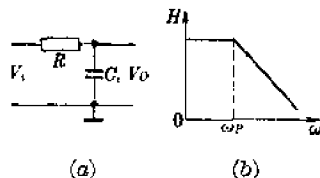


图 5-52 低通特性

$$\omega_p = \frac{1}{RC_i} \quad (5-20)$$

假定 $C_1, C_2, \dots, C_8$ 的电容值都相同, 则图 5-51 的电路可以用图 5-53 的电路来等效, 其中 $a_i(t)$ 为模拟开关的取样函数, $a_i(t)$ 的形状可用图 5-54 来表示。图 5-53 中 $i_i(t)$ 可以表示为:

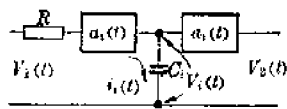


图 5-53 数字滤波器分析模型

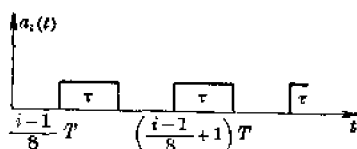


图 5-54 变换原理

$$i_i(t) = a_i(t) \frac{[V_1(t) - V_i(t)]}{R} \quad (5-21)$$

或者:

$$i_i(t) = C \frac{d}{dt} V_i(t) \quad (5-22)$$

输出电压

$$V_2(t) = \sum_{i=1}^8 a_i(t) V_i(t) \quad (5-23)$$

从(5-21)到(5-23)式可知 V_2 , V_1 和 $a_i(t)$ 三个参量间的关系。

用拉普拉斯变换关系, 可以求得 $V_2(t)/V_1(t)$ 的传递函数, 从而可以知道, 图 5-51 的电路可用图 5-55 的等效电路, 并把频率推移 $k2\pi/T$ 后得到, k 是整数, 图 5-55 中 N 是开关的掷数。这就意味着, 当开关的旋转频率为 ω_0 时, 相当于将图 5-52 低通的截止频率外推到 ω'_p , 并且与 ω_0 之间有如下关系:

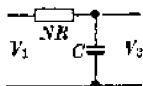


图 5-55 低通等效电路

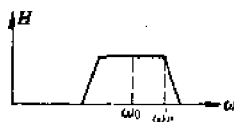


图 5-56 通带特性

$$\omega_p' = \omega_0 + \frac{1}{NRC} \quad (5-24)$$

图 5-51 的传递函数可用下式来表示:

$$\frac{V_0(s)}{V_1(s)} = \left[\frac{\sin(\pi/N)}{\pi \cdot N} \right]^{12} \left[\frac{1}{NRC(s - j2\pi/T) + 1} + \frac{1}{NRC(s + j2\pi/T) + 1} \right] \quad (5-25)$$

十分明显, 数字滤波器的优点在于带宽是 RC 网络的函数。为了获得高 Q 值, 只要用一个低截止频率的网络, 通过控制时钟的频率 ω_0 , 就可转移到高的频率, 构成带通滤波器。图 5-56 示出这种推移的原理。

图 5-51 电路的带宽 BW 为:

$$BW = \frac{2}{NRC} \quad (5-26)$$

$$Q = \frac{\omega_0 NRC}{2} = \frac{\pi NRC}{T} \quad (5-27)$$

数字滤波器另一特点是: 由于它不存在增益器件, 因而无灵敏度问题, 稳定性极好。这种滤波器在使用时要后随低 Q 滤波器, 以消除取样频率的影响。

3. 多路开关在数据采集系统中的应用

多路开关主要应用于数据采集。这在多路检测或工业实时控制中应用十分广泛。图 5-57 示出这种应用的原理图, 这是一个微型计算机控制的实时采集系统。多路开关用来检测诸如温度、压力、声、光、位移、速度以及电压等参量。图中各个被测的参量先进行放大或归一化的电压量, 然后经多路开关分时传输, 然后经取样/保持电路保持, 再经 A/D 转换后, 变成二进制数字量, 最后送到微型计算机进行处理(或运算), 再对所需的部件加以控制。

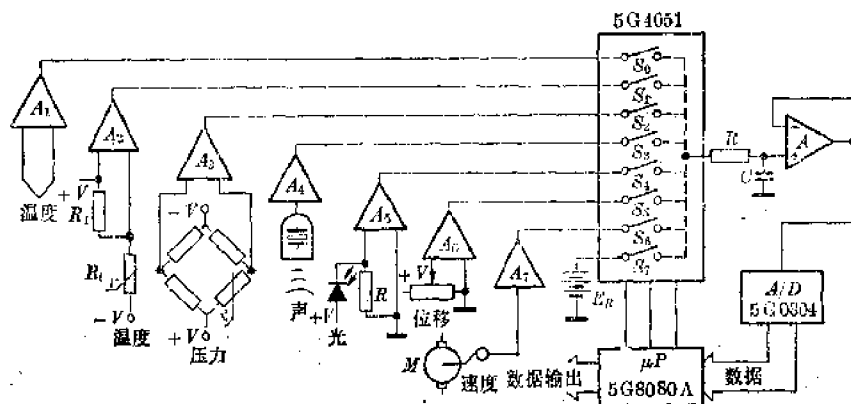


图 5-57 数据采集系统

由于 5G4051 是 CMOS 多路开关, 因此信号可双向传送, 因而可以有多种用途。

4. 键控式音调发生器

用 8 选 1 多路模拟开关和 CMOS 标准数字电路组合在一起可以构成用于电子乐器中的音调发生器, 并且可以实现键盘或按键控制某一所需频率的发生。电路原理十分简单, 仅用五块电路就能产生 8 个音调中任意一个的音调发生器(例如 12345671 等几个音调)。电路如图 5-38 所示。

由图可知, 运算放大器 A_1 (可用 F007) 构成 RC 多谐振荡器, 其振荡频率由 8 选 1 开关 5G4051 (IC_1) 选择的 R_i ($i=1, 2, \dots, 8$) 和 C 确定, 并可预先确定。 IC_2 用作 8 选 1 键盘控

制, 振荡器 A_1 的输出作四位计数器的时钟, 使之记数, 记数输出分别控制两块 8 选 1 开关的地址, 当按下 IC_3 的某一键时 (例如 6 键), 则当记数到 6, IC_3 输出端 ③ 为“1”, 使门 IC_4 打开, 同时使四位计数器 IC_3 停止记数, 门 IC_4 输出的频率为 IC_1 选通的 R_0 和 C 决定的频率上。

这个电路当按下键到输出所选频率 (音调) 最长时间为: $t = \frac{1}{f_1} + \frac{1}{f_2} + \dots + \frac{1}{f_n}$, 最长不超过 10 ms, 由 A_1 的电路形式, 可以知道 f_1 的选择由下式决定:

$$f_1 = \frac{1}{0.69 R_1 C}$$

当键松开时, 由于门 IC_4 被禁止, 故无信号输出。

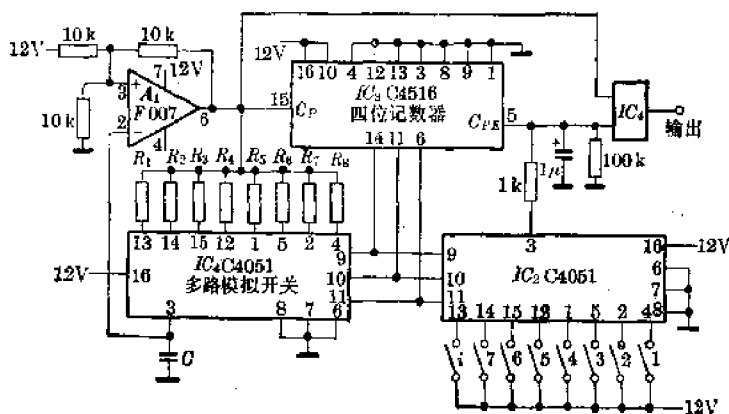


图 5-58 音调发生器电原理图

5. 跟踪滤波器应用于心电信号解调

在生物医学记录装置中, 经常要求设计一种能将两个频率很接近的音频信号分别开来的

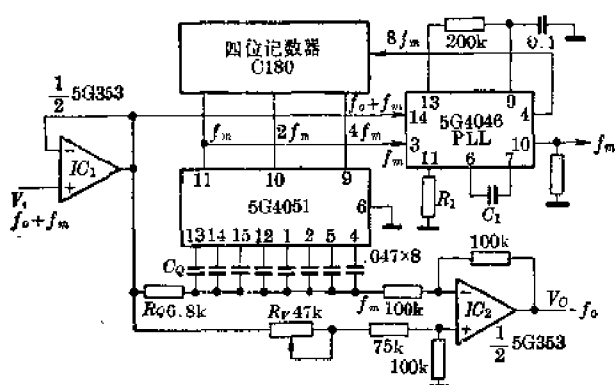


图 5-59 跟踪滤波器

由图 5-59 可知, PLL 5G4046 与 5G4051 以及计数器 (用来作 8 分频), 对输入信号 $f_0 + f_m$ 进行锁相, 使之锁定在 f_m 相位上, 在锁相环路中插入一个四位计数器作 8 分频, 使计数器输出 (三位) 用作 5G4051 的地址控制, 从而使 8 个电容 C_Q 轮流接地, 而转换时钟为 $8f_m$ 。从前面数字滤波器原理知, 此时滤波器 R_Q 和 C_Q 的带宽为:

的解调电路。例如为了将心电信号记录在磁带上, 一般要将心电信号 (几十赫的信号) 用较高的频率加以调制, 才能记录在磁带上。又例如来自超声多谱勒流量计的信号是一个 $0 \sim 6 \text{ kHz}$ 的信号, 它往往要用一个 9 kHz 的信号调制。对于这类生物医学记录装置, 可以用锁相环和 8 选 1 多路开关来组成, 如图 5-59 所示。这种电路比通常用低通滤波器来取出低频成分, 不仅设计方便, 而且性能好, 成本低。

$$BW = \frac{1}{8\pi R_Q C_Q} \simeq 1201 \text{ Hz}$$

中心频率为 f_m ，因此加到运放 IC_2 的反相输入端是 $f_m \pm 0.12 \text{ kHz}$ 的信号，而加在同相输入端的则是 $f_m + f_o$ 的合成信号，由于 IC_2 是减法器，因此输出 $V_o(f) = f_m + f_o - f_m = f_o$ 。也就是说，从 IC_2 输出解调后的低频信号为 f_o 。图中 R_o 用来在无 f_o 时调节输出为零时用的平衡调节器。

第六章 CMOS 数字通信专用电路

近年来,在先进的工业发达国家中,已普遍地将集成电路应用于数字通信领域,其中电话通信的集成电路化更是引人注目。集成电路用于通信系统,不仅能降低设备造价、设备功耗,提高系统可靠性,更重要的是能使通信实现数字化,使其功能迅速扩大,并能易于与计算机组成自动交换网络,彻底改变原有的通信结构。

在本章中,主要讨论用于电话通信的脉冲编码调制(PCM)集成电路以及与此相关的集成滤波器电路。为使读者了解这方面的发展与现状,在介绍具体集成电路前,讨论一下有关 PCM 的基本原理是不无收益的。

§ 6-1 PCM 基本原理

早在 1962 年,音频信号(模拟信号)数字化的技术由美国贝尔实验室提出,但处理的方式至今还有争论。一般地说,可以利用下述方法将音频模拟信号转变为二进制编码的数字信号:脉冲宽度调制(PWM),脉冲幅度调制(PAM), Δ 调制以及脉冲编码调制(PCM)。这些方法各有特色,但在电话通信中,PCM 方式已被普遍接受并正在得到广泛应用。

用 PCM 方法实现模拟信息的数字化,应包含以下三个基本过程:

- (1) 模拟信号(音频信号)的取样;
- (2) 取样信号幅度的量化;
- (3) 用编码方法产生一个数字信号以代表被量化的模拟取样信号。

实现 PCM 的核心是量化。所谓量化,就是将取样得到的幅值加以分层区间化,然后用相应的数字信号来表示,这可以通过第四章中叙述过的 ADC 来实现。

一、PCM 中的量化过程

模拟信号变为数字信号,必须在时间和幅度上加以量化。所谓时间上的量化,就是按照预定的取样速率,每隔一定时间对信息进行取样。而幅度上的量化,就是在模拟信号的动态范围内,将连续幅度分成若干个离散的层,这可以用线性分层或非线性分层。对于 PCM 一般是采用非线性分层。

图 6-1 示出量化编码的原理示意图。若某一被编码的模拟信号是一个在 $0\sim 7\text{V}$ 动态范围内变化的量,现在每隔单位时间 ΔT 对它取样,然后将取样得到的幅度转换成一定位数的数字量,于是在 ΔT 时间内,这个二进制数字量就代表这时刻对应的模拟量。图 6-1 中仅用三位二进制数表示取样幅度值。只要取样速率满足奈奎斯特取样定律,就不会引起还原后信号的明显失真。

图 6-1 中, (a) 是模拟信号; (b) 是在 ΔT 时间内取样得的值; (c) 则是取样值经 A/D 转换后的数字量,在每个对应 ΔT 内,数字量代表对应的取样幅值。显然数字量位数越多,反映模拟量幅值越精确,这与第四章讨论 A/D 变换是一致的。图 6-1 使我们看出,利用这种

方法,就有可能将一个连续变化的模拟信号,变换为一连串用二进制数字量代表的数字信息,从而实现音频信号的数字化。这就是 PCM 的基本过程。

由上述原理可知,一个 PCM 的编码系统,实际上由取样保持部分和 A/D 变换部分构成。但由于在音频通信中,一个重要考虑指标是量化噪声,因此用第四章中线性 ADC 还有问题,必须用另外的方法加以解决。

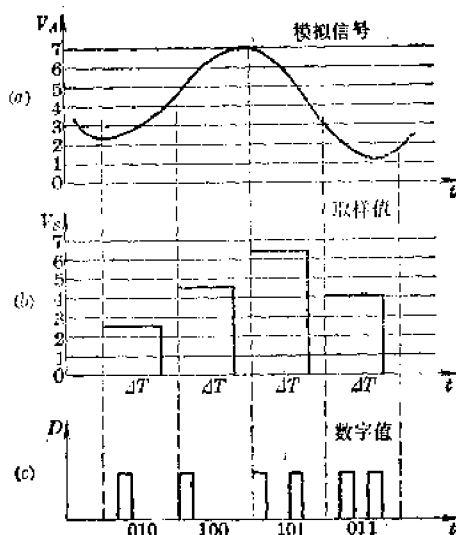


图 6-1 PCM 编码波形

二、PCM 中的量化噪声问题

从图 6-1 中还可以知道,当数字编码的二进制位数不为无限大时,总存在量化误差,对于图 6-1 的情况,量化误差可达 $\pm 0.5V$,这样,在还原成模拟量时,就会引入由误差产生的量化噪声。由通信理论可以证明,量化噪声功率的均方根值可表示为:

$$N_q = \frac{1}{T} \int_{-T/2}^{T/2} n^2(t) dt = \frac{\sigma^2}{12} \quad (6-1)$$

式中: σ ——量化阶的单位幅值(对于图 6-1 的情况 $\sigma=1V$);

$n(t)$ ——量化噪声;

t ——量化阶距的时间。

对于一个被编码的正弦信号,它的平均功率为:

$$S = \frac{1}{\pi} \int_0^\pi (V_m \sin \theta)^2 d\theta = \frac{V_m^2}{2} \quad (6-2)$$

因而信噪比 S/N_q 可表示为:

$$\frac{S}{N_q} = \frac{V_m^2/2}{\sigma^2/12} = \frac{3L^2}{2} \quad (6-3)$$

式中, L 是二进制数的位数,且有:

$$L = \frac{2V_m}{\sigma} \quad (6-4)$$

合并上述表示式,并用分贝表示信噪比,可得:

$$S/N_q(\text{dB}) = 10 \log \frac{3}{2} L^2 = 10 \log \frac{3}{2} + (10 \log 2^{2M}) \approx 2 + 6M \quad (6-5)$$

这样,我们就可得到如表 6-1 表示的 S/N_q 与编码位数的关系。就是说,编码数字量的位数每增加一位,信噪比可增加 6dB。当然位数的增加对改善通信质量有很大好处,但位数增加,除了要增加转换(ADC)时间外,还要增加集成电路制造精密元件的难度。因而要权衡利弊加以解决。

表 6-1 位数与信噪比关系

编 码 位 数	信 噪 比 (dB)
4 位	26
5 位	32
6 位	38
7 位	44
8 位	50
9 位	56
10 位	62
12 位	74

三、压缩与扩张式 ADC——非线性 ADC 的方式

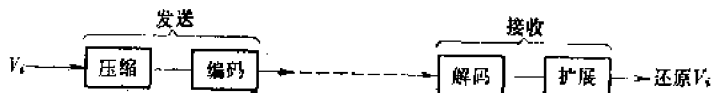


图 6-3 框图

码和解码方式。

对集成化的 PCM 电路, 一般用两种非线性的编码方法, 同样可实现类似于压缩和扩展的转移特性。国际上通用的有两种非线性编(译)码规则, 下面分别加以讨论。

1. “ μ ”律压缩和扩展的原理与特性

目前美国和日本等国家普遍采用对数式 μ 律压缩扩展的方法, 实现非线性编(译)码, 所谓“ μ ”律, 它符合下述数学规律:

设 V 为输入信号电压, U 为压缩器的过载电压(上限电压), 这样, 信号的归一化可用 x 来表示:

$$x = \frac{V}{U} \quad (6-6)$$

并有:

$$0 \leq |V| \leq U \quad (6-7)$$

显然, x 在 -1 到 $+1$ 之间变化。再令 y 为输出的归一化电压, 且是输入归一化 x 值的函数, 即有:

$$y = f(x) \quad (6-8)$$

上式的 μ 型函数可写为:

$$y = f(x) = \pm \frac{\ln(1 + \mu |x|)}{\ln(1 + \mu)} \quad (6-9)$$

从(6-9)式可知, 当 $\mu=0$ 时, $f(x)=1$, 即是均匀量化的情况。当 μ 为不同的值时, y 和 x 的转移关系可用图 6-4 表示。

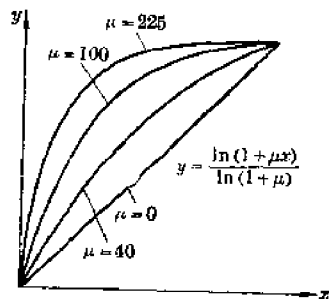
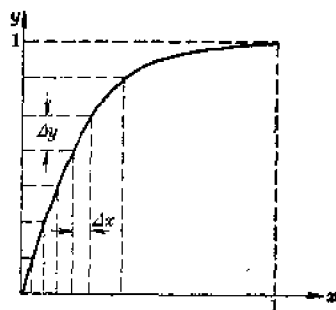
(6-9)式还可以使我们看出, 为使 Δy 为常数, 输入信号的各层 Δx 必然要不等才可, 在每层量化范围内, 其斜率可写为:

$$\frac{\Delta y}{\Delta x} = f'(x) = \frac{\mu}{(1 + \mu x) \ln(1 + \mu)} \quad (6-10)$$

$$\Delta x = \Delta y \cdot \frac{1}{f'(x)} = \frac{(1 + \mu x) \ln(1 + \mu)}{\mu} \Delta y \quad (6-11)$$

由 A/D 定义知道, 最大量化误差为 $\frac{1}{2}$ LSB, 在这里为 $\frac{1}{2} \Delta x$, 则最大量化误差可写为:

$$\frac{1}{2} \Delta x = \frac{\Delta y}{2} \cdot \frac{(1 + \mu x) \ln(1 + \mu)}{\mu} \quad (6-12)$$

图 6-4 “ μ ”律特性图 6-5 “ μ ”律特性关系

可以用 $20 \lg f'(x)$ (dB) 来表示压缩和扩展后对信噪比的改善, 例如当 $\mu=100$ 时, 在弱信号 $x \approx 0$ 的情况, 有:

$$20 \lg f'(0) = 20 \lg \frac{100}{\ln(101)} \approx 26.6 \text{ dB}$$

在强信号 $x \approx 1$ 时, 则有:

$$20 \lg f'(1) = 20 \lg \frac{100}{101 \ln 101} = -13 \text{ dB}$$

这就是说, 用“ μ ”律压扩后, 对于弱信号可以提高 26.6 dB 的信噪比, 对强信号则下降了 13 dB, 而强弱信号的信噪比的均匀性提高了. 当 μ 值大于 100 时, 这种改善更为明显. 一般选用的集成电路, μ 取 255, 这在具体电路中再加讨论, 图 6-5 示出“ μ ”律的输入输出转移曲线.

2. “A”律压缩与扩展原理与特性

在西欧和我国, PCM 的压缩与扩展采用“A”律. 所谓“A”律, 是一种可用下列数学函数表示的对数律:

在信号 x (也是归一化值) 处于 $0 < x \leq \frac{1}{A}$ 时, 有:

$$y = \frac{Ax}{1 + \ln A} \quad (6-13)$$

在信号 x 处于 $\frac{1}{A} < x \leq 1$ 时, 有:

$$y = \frac{1 + \ln Ax}{1 + \ln A} \quad (6-14)$$

上式中 $A=87.6$.

由于“A”律随信号 x 大小变化, 转换关系也要发生变化, 因此对具体电路设计有很多不便, 为此, 国际电报电话咨询委员会 (CCITT) 建议用所谓十三折线法来表示“A”律的压扩特性.

十三折线法的基本思想示于图 6-6, 它将输入信号 x 在 $0 \sim 1$ (对正半部份而言) 范围内分为八个不均匀区间, 而对应的输出却是 8 个均匀区间. 这样, 就用八段直线来逼近一条曲线. 由于小信号区域中, $0 \sim \frac{1}{128}$, $\frac{1}{128} \sim \frac{1}{64}$ 两个区间, 有相同斜率, 因而正负半周有四个区

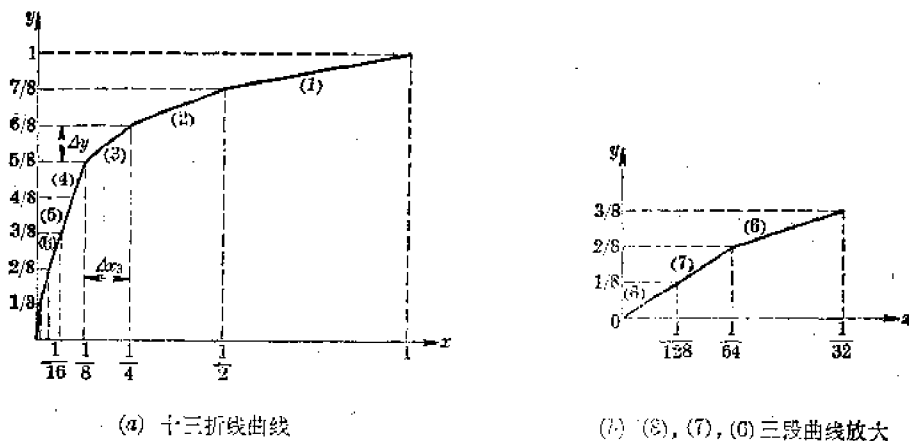


图 6-6 十三折线转移特性

间共用一根折线, 总共有 13 根折线, 因此称 13 折线逼近法。图 6-6(a) 是 $y=f_A(x)$ 的示意图, 而图 6-6(b) 是 x 最小三个区域“放大”后的转移曲线。信号的非线性分割, 正好符合二进加权的规律, 即 $1 \sim \frac{1}{2}, \frac{1}{2} \sim \frac{1}{4}, \frac{1}{4} \sim \frac{1}{8}, \dots, \frac{1}{64} \sim \frac{1}{128}$ 共八个区域。这八个区域可以用表 6-2 来表示它们的斜率。由此可见, 这些斜率也是具有二进加权的特性。从表中还可看出, 从区域(3)到区域(8), 斜率均大于 1。这说明信噪比有所改善。改善量最大为(7)和(8)段, 即 $20 \lg 16 \approx 24.1 \text{ dB}$, 较前述 $\mu=100$ 差 2 dB。如果采用十五折线, 则可接近 $\mu=255$ 的特性。

表 6-2 八个分段斜率

区 域	1	2	3	4	5	6	7	8
斜 率	1/4	1/2	1	2	4	8	16	32

对于“A”律的非线性编(译)码器, 通常的作法是将图 6-6(a) 的每个等分的输出段 Δy , 再细分为 8 等分, 使 x 和 y 都为 64 小段, 但 x 轴的每分段都不相等, 对于第 8 段折线, 经这样细分后, 这个折线段的 x 最小值为满值的 $\frac{1}{128} \times \frac{1}{8} = \frac{1}{1024}$, 也就是一个单位量化值。对于第一折线段, x 的最小值为 $\frac{1}{2} \times \frac{1}{8} = \frac{1}{16}$ 。它较之第 8 折线段要大得多。可见这种十三折线的方法, 使小信号的级差密集化, 而大信号则稀疏了, 从而使大小信号时的信噪比均匀了。

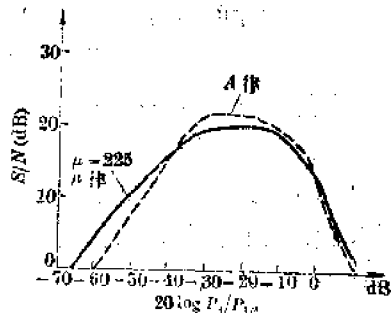
图 6-7 “ μ ”与“A”律的比较曲线

图 6-7 示出通过理论计算后作的“ μ ”律($\mu=255$)与十三折线“A”律两者在不同信号电平下信噪比的对比情况, 可见两者是十分接近的。

四、非线性 A/D 与 D/A 的实现方法及基本结构

上面讨论的两种具有对数特性的压缩(以及反对数特性的扩展)律, 在电路上如何实现呢? 由(6-9)式的 μ 型函数式可以得到输入和输出的关系:

$$x = \pm \frac{1}{\mu} \{e^{y + \ln(1+\mu)} - 1\} \quad (6-15)$$

这个表示式与晶体二极管的电流电压关系, 即 PN 结整流方程有相同的形式:

$$I_{DF} = I_{s0} (e^{\frac{qV_{DF}}{kT}} - 1) \quad (6-16)$$

如果让(6-15)式中的有关参量与(6-16)式中有下列对应关系:

$$\begin{aligned} x &= I_{DF} \\ \frac{1}{\mu} &= I_{s0} \\ \frac{kT}{q} &= \ln(1+\mu) \end{aligned}$$

这样, 对于扩展器来说, 输入即是二极管的正向电压, 输出是二极管的电流, 而压缩器则正好相反。这就是说, 可以利用二极管来构成压缩和扩展电路。

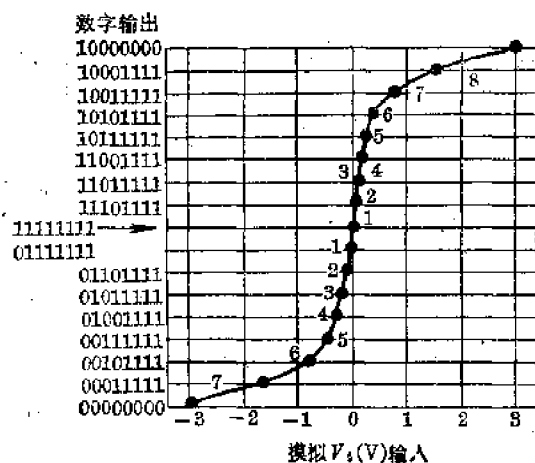
然而实际上用二极管作压、扩电路会受到温度的严重影响,事实上也较难获得特性良好的二极管。近年来,随着大规模集成电路的迅速发展,已经可以制作出上面叙述过的用十三段折线或十五段折线逼近 $\mu=255$ 的非线性压扩式编(译)码器。就是说,无论是“ μ ”律或“ A ”律,原则上都可利用分段折线来逼近所需的对数特性,从而得到非线性的 A/D 或 D/A 转换,完成 PCM 中的编码和译码。

在第四章中,我们对线性的量化方式已有详述,在这一章中,只讨论与前述不同的非线性编码、译码方法及其基本结构。

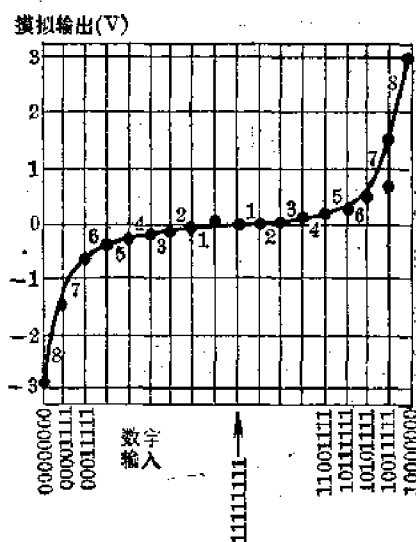
一般在集成化的 PCM 编、译码器中,将压缩器和编码器合在一起,由非线性(折线化)的 ADC 来完成发送电路,而将解码器和扩展器合并成非线性 DAC 来完成接收电路。

例如“ A ”律的非线性编译码电路中,用一位二进制码去判别输入信号的极性,并规定正极性为“1”,负极性为“0”。然后用三位码去判别信号所在的折线段落,三位码可判别八段。由于每个折线段中要细分为 8 个(或 16 个)量化级。因此还要用三位(或四位)码来判决分层值,这样总共要用 8 位码来表示信号的数字量。

对于“ μ ”律的非线性编译码电路,与“ A ”律不同之处仅在于用 15 折线,而不是 13 折线,也就是所不同之处仅在于将图 6-6(b) 中的第(7)和第(8)段取不同的斜率,使正信号(第一象限)内的 8 段的斜率都不同,但在负信号(第三象限)中,第 8 段与正的第 8 段的斜率仍归相同,因而称为 15 折线段。它同样可用 8 位二进制码来表示一个模拟信号的幅度。表 6-3 列出八位编码的示意情况。图 6-8 是“ $\mu=255$ ”律的输入输出转移特性,图 6-9(a)和(b)则是“ A ”律编码和译码的输入输出转移特性。从这两个转移特性上可看出,它们都是属于对数式非线性转移特性。



(a) 编码



(b) 解码

图 6-8 μ 律曲线

PCM 编、译码器集成化电路的基本结构示于图 6-10。它由 DAC、S/H 放大器、比较器和控制逻辑构成。近年来单片编、译码器大都是由 CMOS、NMOS 或者 I²L 技术来制作。由于 CMOS 技术能制作高性能的模拟电路,加之功耗低、电源范围宽,因此成为主

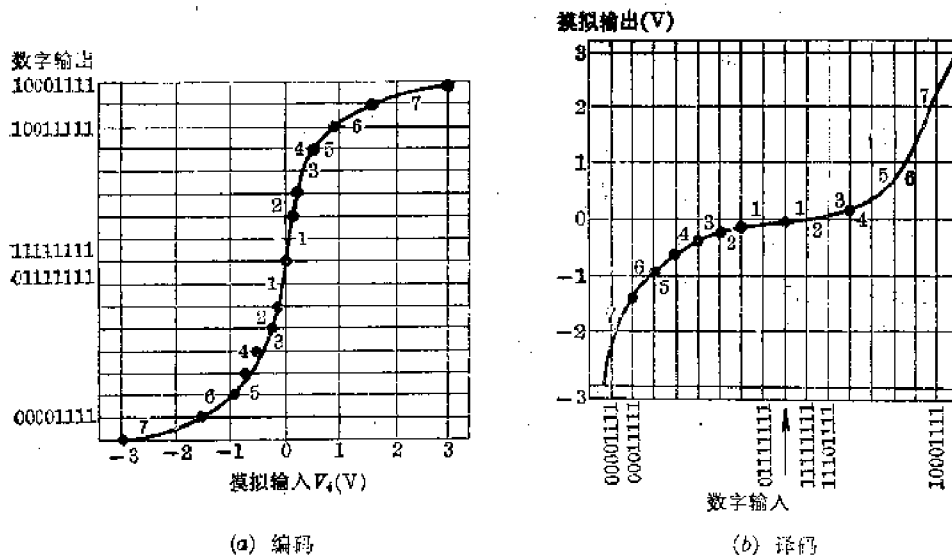


图 6-9 A 律曲线

流, 但 NMOS 易于高集成化, 因此近年来也引起人们重视, 也有不少典型的产品。

从图 6-10 可以看出, PCM 编、译码电路的核心是一个 D/A 转换器, 因为将 DAC 与比较器、逐位近似寄存器 (SAR) 组合在一起就可构成 ADC, 进而再与并行-串行变换缓冲器组合, 构成串行发送的 PCM 编码电路。而 DAC 与串行-并行变换缓冲器组合则可构成 PCM 译码电路。因而我们讨论的重点是非线性 DAC 的工作原理与典型的结构。

在用 CMOS 技术构成的非线性 DAC 中, 以加权电容阵列结构最为典型。这是因为电容加权阵列的几何结构在比例精度上易于做得较高, 并且不需要用修正手

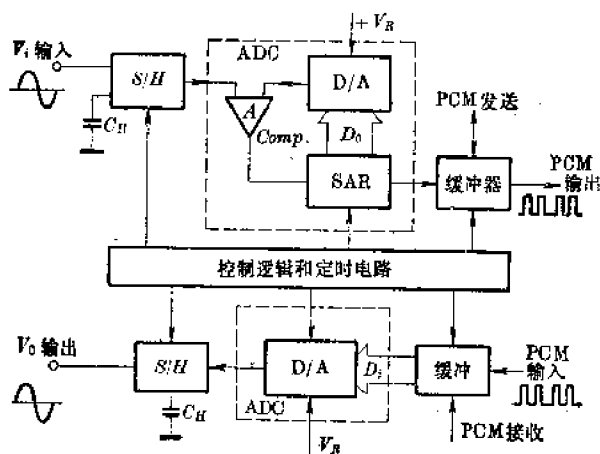


图 6-10 PCM 系统 IC 结构

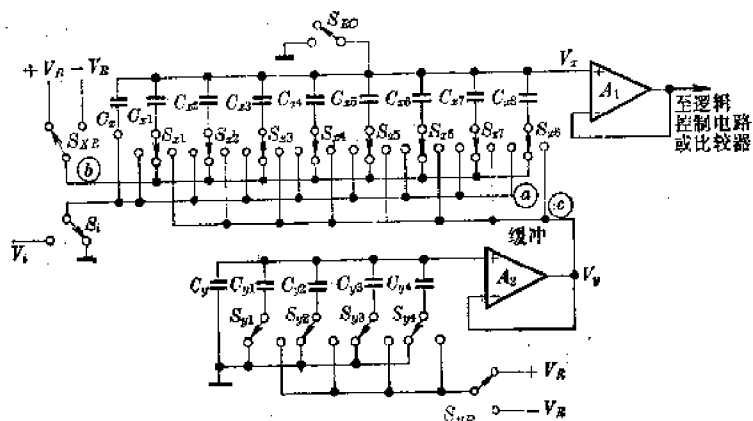


图 6-11 非线性 DAC 原理图

段。图 6-11 示出这种由加权电容构成的 PCM 编码电路, 这个电路只要通过逻辑电路转换, 同样可构成 PCM 的解码电路。图中, 有 C_{xi} 和 C_{yi} 两组二进加权电容阵列, 每组有如下关系:

$$\left. \begin{aligned} C_{xi} &= 2^{i-1} C_x \\ C_{yi} &= 2^{i-1} C_y \end{aligned} \right\} \quad (6-17)$$

这些电容阵列由开关 S_{xi} 和 S_{yi} 分别控制。两个运算放大器 A_1 和 A_2 作电压跟随器。由图知, C_{xi} 阵列用来构成段的阵列, 而 C_{yi} 阵列作为每段中的 16 阶的阵列, 从而满足表 6-3 所列的关系。对于图 6-11 的电路, 我们分两种情况分别加以说明。

表 6-3 编码示值

判决值	段数	量化间隔	八 位 代 码							
			1	2	3	4	5	6	7	8
			按“1” 按“0”	测 度 值 表 示 数						
0~15	1	2	1	1	1	1	1	1	1	1
16~31	2	2	1	1	1	0	1	1	1	1
32~47	3	4	1	1	0	1	1	1	1	1
48~63	4	8	1	1	0	0	1	1	1	1
64~79	5	16	1	0	1	1	1	1	1	1
80~95	6	32	1	0	1	0	1	1	1	1
96~111	7	64	1	0	0	1	1	1	1	1
112~127	8	128	1	0	0	0	1	1	1	1
范 围			段 数	段 数	细 分 值					

1. 作译码器

作译码器也就是作 DAC 时的接法可说明如下: 在控制逻辑控制下, 开关 S_i 接地, S_{R0} 断开。首先由极性码(最高位)来控制 S_{xR} 和 S_{yR} 接到 $+V_R$ 或 $-V_R$ 。例如, 当 D_0 为“1”时, S_{xR} 和 S_{yR} 接 $+V_R$ 。其次 D_1 、 D_2 、 D_3 三位次高位来确定分段数, 使对应于这三位代码值的 $C_{x1} \sim C_{xk}$ 接到 ① 点的位置, 而 $C_{x(k+1)} \sim C_{x8}$ 的电容接 ② 点位置, 即接地。此时 V_x 可写为:

$$V_x = \pm \frac{V_R}{C_{xx}} \sum_{i=1}^k 2^{i-1} C_x = \pm \frac{2^{k-1}}{255} V_R \quad (6-18)$$

式中: $C_{xx} = \sum_{i=1}^8 2^i C_x = 255 C_x$ 。

式中 k 为 D_1 、 D_2 、 D_3 三位代码对应的十进数, $1 \leq k \leq 8$ 。(6-18)式的 V_x 代表扩张特性曲线中第 k 段的端电压值。最后低四位代码 D_4 、 D_5 、 D_6 、 D_7 分别用来控制 S_{y1} 、 S_{y2} 、 S_{y3} 、 S_{y4} 四位开关, 产生分层电平 V_y , 其表示式为:

$$V_y = \pm \frac{\sum_{i=1}^4 y_i 2^{i-1} C_y}{16 C_y} V_R = \pm \frac{\sum_{i=1}^4 y_i 2^{i-1}}{16} V_R \quad (6-19)$$

由(6-19)式可知, V_i 可产生 16 个不同的分层电压。比分层电压经开关 S_{xi} 的控制, 迭加在 V_z 上, 就可完成所在折线段中的判决值的变换, 也就是说, 完成解码的功能——数字量还原为模拟量。

2. 作编码器

如将图 6-11 电路增加一个比较器, 就可在 SAR 逻辑电路控制下构成编码器。参看图 6-11, 若被编码的输入电压为正极性第四段的第七分层的值, 则相应的 PCM 代码应为 11000111。现在来看它的编码过程:

(1) S_{R0} 接地, S_i 接 V_i , 所有 S_{xi} 开关接在 ④ 点位置, 即接到 V_i 上, 使 V_i 对 C_{xi} 阵列充电, 将 V_i 取样在 C_{xi} 电容阵列中寄存起来;

(2) 将 S_{R0} 断开, S_i 接地, 使 $V_x = -V_i$, 比较器判定 $-V_i$ 是大于 0 还是小于 0, 从而判定极性, 给出 D_0 代码值, 若 $-V_i < 0$ 则 $D_0 = "1"$, 反之 $D_0 = "0"$ 。由 D_0 的代码又决定极性开关 S_{xR} 和 S_{yR} 接 $+V_R$ 还是 $-V_R$, 在现在情况下, S_{xR} 和 S_{yR} 都接在 $+V_R$ 上。

(3) 确定线段码 D_1 、 D_2 、 D_3 的值, 即 V_i 落在第几段。此时由 SAR 逻辑通过逐次比较决定 S_{xi} 的位置, 给出线段代码。比较过程是使 S_{x1} , S_{x2} ... S_{x8} 逐个接到 ④ 点上, 判断 $V_x = -V_i + V_R$ 是否为零, 直到 $-V_i \leq -V_R$ 时, 比较结束, 给出段的代码。在这个例子中, 当 $S_{x1} \sim S_{x5}$ 都接到 ④ 点时, 比较结束, 给出代码 $D_1 D_2 D_3 = 100$ 。

(4) 确定这一段中分层代码。此时 S_{x5} 开关接到 ④ 点位置, 即加到 V_y 端上, 使 C_{x5} 的下极板加上 V_y , 然后由 SAR 逻辑使 S_{y1} 逐个接到 $+V_R$ 上, 再行比较, 直到比较器输入为零, 过程结束, 给出四位分层代码, 即 0111, 最后由缓冲器锁存, 串行输出 11000111 代码。

利用图 6-11 的电容阵列, 可以省去图 6-10 原理图中的 S/H 放大器, 因为电容阵列本身就有取样/保持的功能, 因此较多的实际产品都采用这种电容阵列的电路。

由上面分析可以知道, 每次编码, 经过十三次开关动作, 每次开关的时间不能高于 $3\mu s$, 故一次转换约需 $40\mu s$ 。由于 LSI 技术的进步, 一般 A/D 和 D/A 并不合用一个电容阵列, 而是各自分开, 从而节省转换时间, 同时也使控制逻辑简化。

§ 6-2 CMOS PCM 的典型产品简析

早期的 PCM 多路通信, 由于集成电路价格昂贵, 大多采用公用的编、译码器, 对于一个一次群 30/32 路电话终端设备, 三十个电话用户的模拟电话信号, 由一个设在电话局的公用编、译码器来编码与译码。从而减少集成电路的费用。但这种公用的 PCM 方式, 存在一个严重的缺点是话路间有串扰。更为严重的是, 一旦 PCM 公用编、译码器出现故障, 三十个用户就不能通话, 可靠性成为问题。

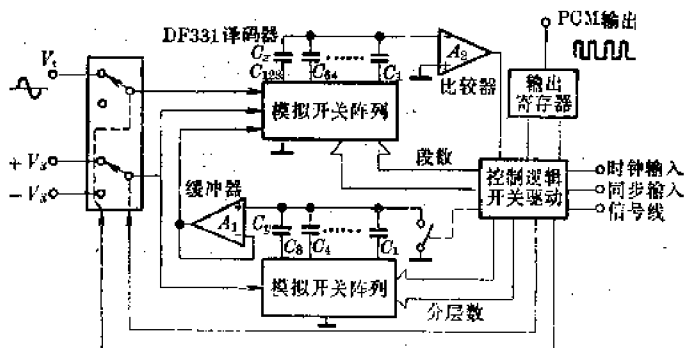
近年来, 借助 LSI 技术, 集成电路的成本已大幅度下降, 因而系统设计人员普遍采用单路编、译码器。一部电话机用一个独立的编、译码器, 这不但提高了设备可靠性, 更重要的是由于 PCM 是以二进制数字方式传送音频话音, 因而它能十分方便地直接与计算机控制的数字交换机联结, 还能在用户电话机终端加置具有“智能”的处理设备, 构成具有自动应答、自动记录、自动转换和一系列处理功能的自动电话。因此本节只介绍集成化单路 PCM 编、译码器, 并且以 CMOS PCM 编、译码器为主。

一、DF331/332 编码/译码器

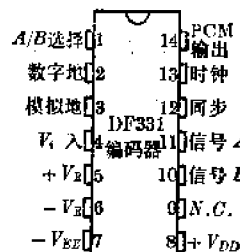
DF331/332 编码/译码器, 是美国 Siliconix 公司 1978 年前的产品(属于集成度较低的一种 μ -255 律的编/译码器)。它是用 CMOS 技术制作的一种典型的 PCM 专用电路。其优点是: 成本低, 功耗低, 使用时外部元件较少, 不需要外置 S/H 放大器, 能在时钟频率 1.25 ~ 3.0 MHz 范围内工作, 适应于音频带宽 3.5 ~ 9 KHz 范围的通信需要。

1. 方框图简述

图 6-12 示出 DF331 PCM 编码器的内部功能方框图以及外引线功能端排列图。从图中可以看出, DF331 编码器, 是由一个 CMOS ADC, 一个控制逻辑和开关驱动电路, 一个输出移位寄存器, 和部分开关阵列组成。用 14 支引线的双列直插式封装, 内部 ADC 的参考基准 $\pm V_R$ 需要外部设置。图 6-13 则是 DF332 PCM 译码器及其引出端功能端排列图。从 DF332 和 DF331 两个方框图的比较, 可以看到, 两者基本上由电容加权阵列为核心的 DAC 组成, 所不同的仅是控制方式和输入输出方式不同。对于 DF332 数字信号(PCM 信号输入)先被输入寄存器寄存, 经串-并变换, 将数字并行置入控制段和层的电容阵列, 使相应的模拟开关接通, 完成 D/A 转换, 然后由取样保持电路将相应于数字输入的模拟量送出。而 DF331 则正好相反, 输入模拟量被电容阵列 C_i 取样后, 在控制逻辑控制下, 进行 A/D 变换, 变换成相应的数字量, 然后再置入输出寄存器, 经并-串变换成串行数字量送出。

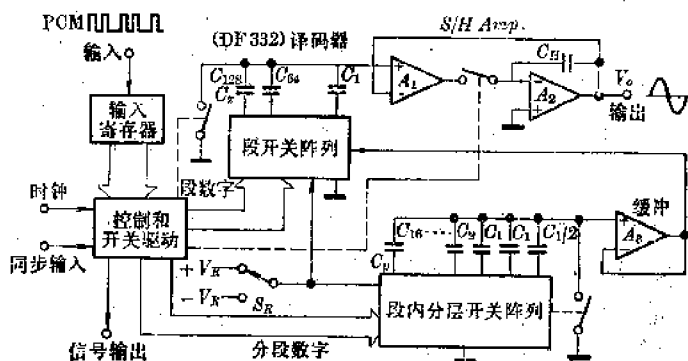


(a) 译码器方框图

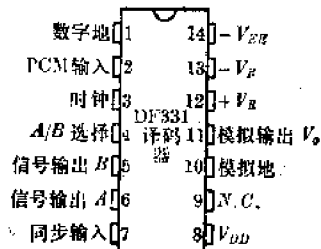


(b) 外形图

图 6-12 DF331 PCM 编码器



(a) 方框图



(b) 外形图

图 6-13 DF332 译码器

2. 电路引出端功能说明

(1) 模拟输入 V_i 它是编码器(DF331)的被编码音频信号的输入端。输入音频信号的幅度(峰值)必须小于或等于参考电压 V_R 。信号最高频率应低于取样速率的 $\frac{1}{2}$ 。

(2) 数字输出 它是编码器(DF331)的输出端,它输出 8 位串行二进制脉冲信息,这个输出端是一个开路漏极,如图 6-14 所示。用这一结构,可以将多块 DF331 的输出并接成“或”的电路形式,以便多路合并一根发送线使用。从图 6-14 知,PCM 输出是一个 NMOS 晶体管,负载能力较强。

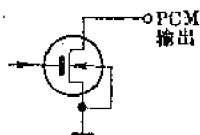


图 6-14 开漏输出

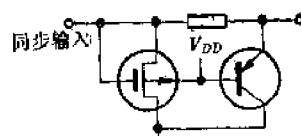


图 6-15 PCM 输入级

(3) 数字输入 它是解码器的 PCM 输入端,其结构如图 6-15 所示,这个端接收 8 位串行二进制数字代码,这个端子是在同步脉冲期间才接收来自编码器的 8 位数字输入。

(4) 模拟输出 V_o 它是译码器(DF332)的音频输出端。其结构如图 6-16 所示,其输出电阻小于 $1\text{ k}\Omega$, 它的输出幅值对应于 PCM 输入的数字量。

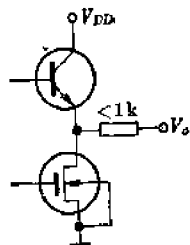


图 6-16 模拟输出级

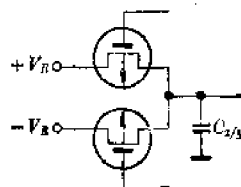


图 6-17 参数输入级

(5) 参考电压 $\pm V_R$ 输入 它用来置定 $+V_R$ 和 $-V_R$ 两个参考电压,其结构如图 6-17 所示(开关结构)。 $\pm V_R$ 用来确定最大模拟输入幅度。

(6) 信号输入 A/B 和 A/B 选择 它是编码器(DF331)中设置的用来在 PCM 数据中插入用户信息的输出端,当使用这种信号端时,可以用 A/B 选择端来选择 A 或 B 端输入。在使用时,允许插入信息,此时,话音信号编码中的最低位(LSB)用作内插信号,而音频信息只有七位码,被占用一位。

(7) 信号输出 A/B 和 A/B 选择 它是译码器(DF332)中设置的信息输出端,当信号 A/B 选择端置“1”电平时,译码器在数字序列的第八位将通过 A 端输出信息,在 A/B 选择端为“0”电平时,则第八位在 B 端输出。

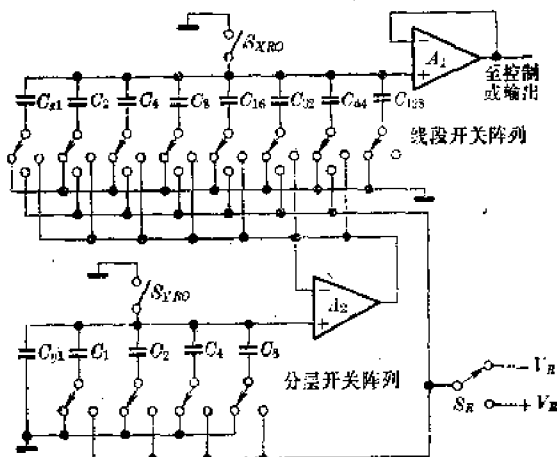


图 6-18 DAC 电路

编译码电路还有与其他 CMOS 电路类同的功能端,如电源端、接地端等,这里就不再一一说明。

3. 电路中的 D/A 转换器

DF331(编码)和 DF332(译码)中的核心部分是 DAC,这个核心电路与图 6-11 基本上相同,由电容加权的解码网络和 CMOS 运放组成。图 6-18 示出它的原理图,工作过程在前面已有简述。这个电路等效于图 6-12 和图 6-13 的电容阵列与模拟开关部分。线段数用来控制线段开关阵列,分层数用来控制分层开关阵列。当加上比较器和 S/H 时就构成 ADC。

4. 主要电学特性

表 6-4 列出 DF331 和 DF332 的主要电学参数。所有参数都在时钟频率为 1.55 MHz, 取样速率为 8 kHz 下测试得出的。

表 6-4 编、译码器主要电特性

$V_{DD}=7.5\text{V}$, $V_{EE}=-7.5\text{V}$

电 参 数		符 号	规 范 值			单 位
直流参数 DF331/332			最小值	典型值	最大值	
输 入 端 参 数	模拟输入端输入电流	I_{IA}		0.5		mA
	数字输入端输入电流	I_{IL}		± 0.1	± 100	nA
	时钟输入端电流	I_{ICL}		± 0.1	± 100	nA
	同步输入端电流	I_{IS}		± 0.1	± 100	nA
	信号输入端电流	I_{IS}		± 0.1	± 100	nA
输出参数	数字输出低电平	V_{OL}		0.3	0.5	V
	数字输出高电平	V_{OH}	7	7.40		V
	信号输出低电平	V_{OLS}		0.3	0.5	V
	信号输出高电平	V_{OHS}	7	7.40		V
电源端参数	V_{DD} 端电流	I_+		4	6	mA
	$-V_{EE}$ 端电流	I_-		-3	-6	mA
	$+V_E$ 端电流	I_{E+}		3.5		μA
	$-V_E$ 端电流	I_{E-}		-3.5		μA
交流参数 DF331/332						
开 关 时	同步到时钟延迟时间	t_{LH}	-/25		100/450	ns
	数字输出到同步延迟时间	$t_{d(ou)}$		75/-	130/-	ns
	模拟输出到同步延迟时间	$t_{d(o)}$	-/5		-/15	μs
	模拟输出上升速率			-0.5		$\text{V}/\mu\text{s}$
时 参 数	数字输出上升时间	t_{r0}		175/-	250/-	ns
	数字输出下降时间	t_{f0}		65/-	130/-	ns
	A/B 选择建立时间	t_{SCS}			1000/1000	ns
	时钟占空比	DCO	30		70	%

DF381/382 的输入和输出转移特性在参考电压 $\pm V_R = \pm 3V$ 时与图 6-8 相同, 也就是符合 $\mu-255$ 的压扩特性。

二、单片 CMOS PCM IC-MC14406/MC14407

上面我们讨论了双片式 PCM 编码/译码器, 由于这是一种初期出现的 CMOS 产品, 集成度不能算很高、使用起来不够简便, 因而人们又研制了单片式 PCM 编/译码器(称为 PCM CODEC), 其中 MOTOROLA 公司的 MC14406 和 MC14407 是较为典型的两种 PCM LSI 产品。

MC14406 和 MC14407 是利用铝栅 CMOS 工艺研制的单片全双工单路 PCM 编/译码器, 整个电路的内部功能方框图示于图 6-19, 其中包括输入和输出 S/H 放大器各一个(保持电容 C_{N0} 和 C_{H0} 为外接, 数值不必精确), 一个八位电流型 DAC, 一个具有压缩和扩展功能的 SAR 逻辑电路, 两个具有自动调零功能的 CMOS 运算放大器, 一个编/译码转换控制器, 一个信号控制逻辑以及两个发送和接收控制接口。

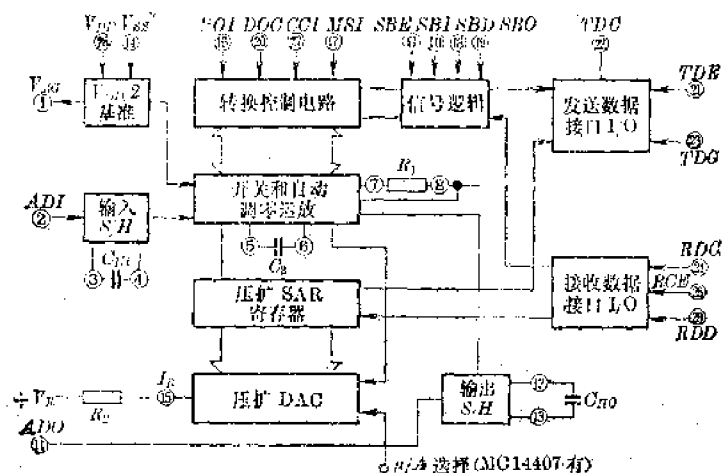


图 6-19 MC14407 内部方框图

1. MC14406/MC14407 引出端功能

- (1) V_{AG} (模拟输入和输出的地端) 一般在应用时, 这端的电位应处在 $\frac{1}{2}(V_{DD} - V_{SS})$ 的值上, 使输入或输出能得到最大的不失真信号。
- (2) ADI (输入被编码的模拟信号的输入端) 它一般接在输入滤波器的输出, 接收经带宽限制后的音频信号, 然后被编码器在 $8kHz$ 频率上取样。
- (3) ADO (译码器的模拟信号输出端) 也就是接收到的 PCM 信号经译码后还原成音频信号, 并在这端输出。实际上这端输出的是 PAM (脉冲幅度调制) 信号。
- (4) RDD (接收数字数据端) 它用来接收 PCM 数字信号, 并送入译码器译码, 这个端子是否能将接收到的 PCM 数字信号置入输入数据寄存器, 由 RCE 端控制, 并在 RDC 端信号的下跳沿置入寄存器。
- (5) RCE (接收时钟允许端) 这一端的时钟的上跳边将接收寄存器打开, 允许 RDD 数据置入寄存器, 经 8 个时钟前沿, 置入 8 位数据。
- (6) RDC (接收数据时钟端) 它用来使接收到的串行 8 位数据移位到接收寄存器中。

(7) TDE (发送允许端) 这是一个三态控制端, 用来控制数据的发送, 采用三态结构可以将多个编码器并接, 实现多路通信。

(8) TDC (发送数据时钟端) 它用来控制数据速率的端子, 它在使用时与 MSI 同步。

(9) DOC (译码控制端) 这个端子通常处于低电位, 当出现高电位时, 器件转入译码, 它将在二个时钟周期内使 ADO 端输出 PAM 信号。

(10) MSI (主同步输入端) 它用来使器件同步工作, 在 MSI 前沿, 器件复位, 转入新的周期的工作。

(11) μ/A (μ 律/ A 律转换端) 这端仅 MC14407 有, MC14406 没有, 用来转换两种压扩律。当 μ/A 为低电平(V_{SS} 电平)时, 进行 A 律工作状态。

(12) SBI/SBO (信号位输入、输出端)。

(13) SBE (信号位允许端)。

(14) SBD (信号位译码端)。

(15) I_R (参考电流输入端) 在这端置入 $80\mu A$ 时, DAC 满度值为 $1.28mA$ 。

2. 电流型 DAC

如前所述, 为了实现 μ 律或 A 律的脉冲编码和译码, 其关键是要有一个能完成压扩的非线性 DAC, 以及必要的模拟辅助电路, 例如运放、比较器。与 DF331/332 不同, 在 MC14406/14407 中, 采用电流型 DAC, 而不用电容阵列来完成 D/A 和 A/D 转换。

图 6-20 示出 MC14406/7 中所采用的电流型 DAC 的原理图。采用这种结构的好处有以下几方面:

(1) 用 MOS 器件阵列取代电阻或电容阵列, 这样做可利用器件在两个表面积上的对称分布消除阈值电压变化, 并能使外扩散和边缘效应的误差减到最小;

(2) 这种结构, 可使电路占用较小的硅片面积, 有利于大量生产;

(3) 这种电路在接收数据逻辑电路控制下, 可以用外加的 8 位数字进行静态试验, 观察它的转换精度。

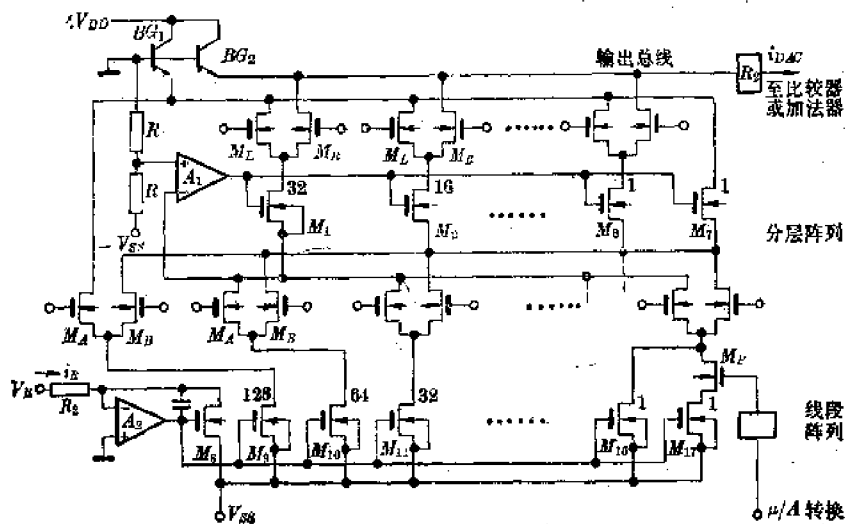


图 6-20 MC14406/MC14407 中的 DAC 原理图

从图 6-20 可知, 通过基准总线的相邻的 16 个单元的漏极可确定第 4 折线的范围。图中上半部用来确定分层, 下半部用来确定折线段数。图中 MOS 器件接成按比例的电流感应结构, 数字信号控制差分对 MOS 器件中两个管子的电流通断流向, 实现 D/A 转换。

由图可以看出, 上半部分中, M_L 和 M_R 组成差分电流开关, 在数字信号控制下确定 M_R 还是 M_L 哪个导通, 当 M_R 接通时, M_L 截止, 使由 M_1 、 M_2 、 $\dots$ 、 M_8 组成的分层电流源的电流有多少流向 i_{DAC} , 此电流在编码时将与图 6-22 所示的由来自输入经取样后的被编码电压转换成的电流 i_{R1} 进行比较, 以确定比较器输出状态。在作译码时, 将加到图 6-23 所示的加法器相加, 然后保持在输出取样保持电路中。图中下半部分 M_8 、 M_9 、 $\dots$ 、 M_{18} 组成八段线段的阵列, 由数字信号来决定 M_A 和 M_B 哪个导通, 确定线段所在的电流值, 并与分层电流迭加到输出总线上。

μ/A 转换是通过控制 MOS 管 M_9 导通 (A 律) 和截止 (μ 律) 对折线斜率进行修正的方法加以转换。

在图 6-20 的 DAC 电路中, 段和分层的二进加权电流的形成是通过 MOS 晶体管栅面积, 即沟道宽长比的设计来实现的。在段阵列中, 运放 A_2 对 M_9 提供基准电流 i_R , 并有:

$$I_{D8} = \frac{V_R}{R_2} = i_R \quad (6-20)$$

由于 M_8 的 $\frac{W}{L} = 16$, 这样, 就可知道, $M_9 \sim M_{18}$ 各管的电流比就是其 $\frac{W}{L}$ 的比值, 即有:

$$\left. \begin{aligned} I_{D9} &= i_R \frac{128}{16} = 8i_R \\ I_{D10} &= 4i_R \\ I_{D11} &= 2i_R \\ I_{D12} &= i_R \\ I_{D13} &= \frac{1}{2} i_R \\ I_{D14} &= \frac{1}{4} i_R \\ I_{D15} &= \frac{1}{8} i_R \\ I_{D16} &= \frac{1}{16} i_R = I_{D17} \end{aligned} \right\} \quad (6-21)$$

在分层的 5 位阵列中, 可以在每一段内分 32 个单位量化值, 并用 A_1 运放的反馈来提供 $M_1 \sim M_7$ 的栅极偏置电压, 使这些按二进加权的电流源在选中时流过的电流按二进数加权。如果图 6-20 被用于编码, 并假定按前面所述处在图 6-6(a) 的第 4 段的第 17 分层内, 则图 6-20 的情况可用图 6-21 的电路来等效。段阵列中的电流源 $M_{12} \sim M_{17}$ 都被开关管 M_B 选中, 而其余电流源则被 M_A 选中, 此时, 电流源 $M_2 \sim M_7$ 的流向由分层数 (低五位代码) 10001 选中, 流到总线的电流为:

$$i_{DAC} = \frac{527}{512} i_R$$

显然, 不同的段和层的数字有不同的 i_{DAC} , 从而实现编码和译码。

3. 自动校零运放和比较器

要用图 6-20 的电流型 DAC 实现双工编、译码工作, 必须要有一组由模拟开关和 CMOS

运放组成的 S/H 放大器和电压比较器。在 MC14406/14407 电路中, 设置了一个能自动消除 CMOS 运放和比较器输入失调电压的模拟辅助系统。这个系统借助于模拟开关, 在图 6-19 框图中的转换控制逻辑的控制下, 能组成用于编码的绝对值取样/保持放大器和电压比较器, 以及组成用于译码时的相加放大和输出取样保持放大器。图 6-22 和图 6-23 示出用于编码和译码时的电路结构。

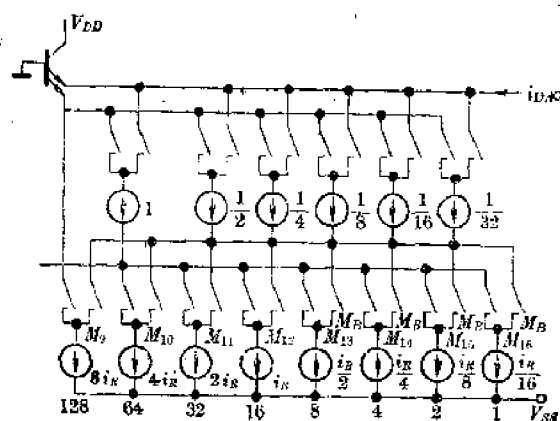
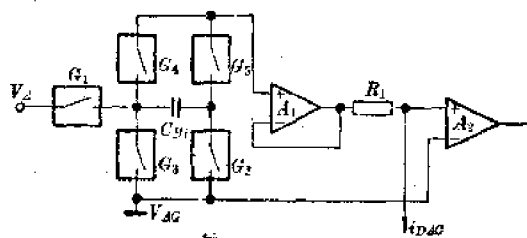


图 6-21 图 6-20 的等效电路

图 6-22 S/H 电路和比较器

由图 6-22 可知, 在编码时, 开关 G_1 和 G_2 将输入被编码的音频信号的幅值送入电容 C_{g1} , 再通过开关 G_2 、 G_4 或 G_3 、 G_5 的同时接通判别输入信号极性, 使 A_1 的输出恒为正值。这就是说, 用判别 A_1 输出正负来决定开关 G_3 、 G_4 接通, 还是 G_2 、 G_5 接通。若 $V_A > 0$ 则 G_4 、 G_2 接通, 否则 G_5 、 G_3 接通, 从而得到绝对值取样保持的特性。 A_1 的输出经电阻 R_1 转换成电流, 并经 A_2 的相加点接到 DAC 的总线上, 仅当 $\frac{V_A}{R_1} = i_{DAC}$ 时, 比较器 A_2 翻转, 完成编码的一次转换。

在译码时, 电路在开关作用下接成图 6-23 的形式, 此时 A_1 作相加器。来自 DAC 的电流 (与 PCM 代码成比例) 加在 A_1 相加端, 从而在电阻 R_1 上产生电压, 使 $V_{o1} = i_{DAC} \cdot R_1$, 经 A_2 跟随后, 通过开关 G_6 和 G_8 向保持电容 C_{H0} 充电, 将 V_{o1} 存贮在 C_{H0} 上, 相应于编码最高位 (极性位) 的代码, 使 C_{H0} 的充电电压在 A_3 的输出处得到对应极性的模拟电压。

当 DAC 的最高位为“1”, 即极性为正时, 将开关 G_7 、 G_9 接通, 反之则将开关 G_8 、 G_{10} 接通, 使 ADO 输出为负。

运放 A_1 和 A_2 在每次编、译码之前, 首先进行自动校零, 此时接成图 6-24 的形式, 将 A_1 和 A_2 接成跟随器, 使两者的失调之和贮存在保持电容 C_2 中, 在随后工作中 C_2 和输入信号串接, 抵消 A_1 和 A_2 的输入失调误差, 其原理与上节中 $3\frac{1}{2}$ 位 ADO 中类似, 这里不再赘述。

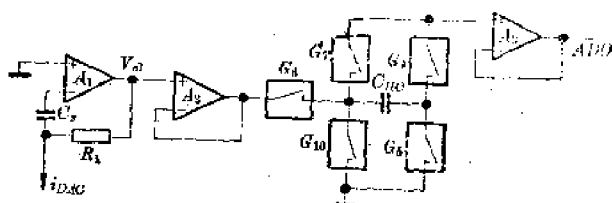
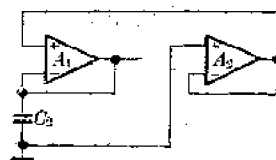
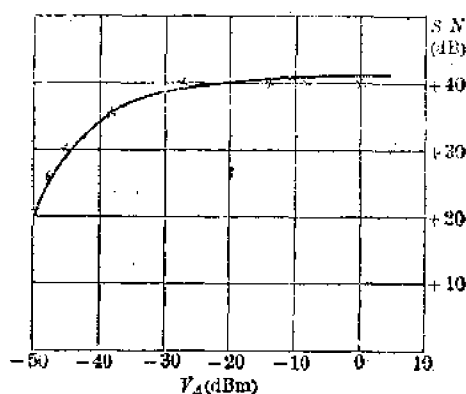
图 6-23 相加放大和输出 S/H 

图 6-24 自动校零原理

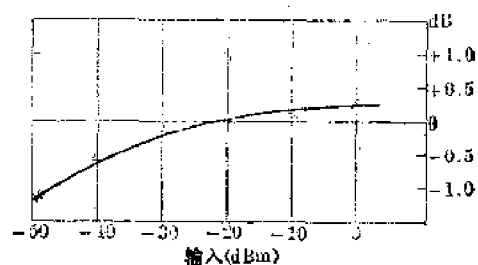
由于全部控制逻辑均是 CMOS 结构, 因此仅在电路跳变时产生功耗, 平均功耗极微, 全部电路仅消耗 90 mW。表 6-5 列出 MC14406/14407 的主要电参数指标。图 6-25 示出电路的信噪比和增益跟踪特性。

表 6-5 主要电特性

参数名称	符 号	测 范 值	单 位
工作电源	$V_{DD}-V_{SS}$	10~16	V
功 耗	P_{DD}	90	mW
数据速率	μ	3.088	Mbit/s
取样速率	f_s	32	kHz
空闲信噪比	$\langle S/N \rangle$	0	dB



(a) 信噪比特性



(b) 增益跟踪特性

图 6-25 MC14406/14407 电路特性曲线

§ 6-3 PCM IC 的应用实例

如前所述, PCM 专用编、译码器, 主要用于短距离、小容量的通信装置。一般用于 24 路或 30 路电话通信。这种电话通信, 大多采用时间分割制, 各话路的通信按时间划分轮流传送。对于带宽为 300~3400 Hz 的语音信号, 一般取样速率为 8 kHz, 其周期为 125 μ s。也就是每隔 125 μ s 取样一次, 每次取样编成 8 位 PCM 码, 对于 30 路的情况, 传送一个 8 位码信息, 实际上只占用 $\frac{1}{32} \times 125 = 3.9 \mu$ s。而在同一话路两个相邻 8 位码之间, 需插入 31 个码组。同一话路每传送一次 8 位码称为一帧。由于同一 PCM 系统要双工工作, 既要收又要发, 因而在 32 个间隔内要设置一个收发同步信号, 也就是所谓帧同步时隙。另外还要设置一个间隔作标志信号码(即用于拨号、占线、挂机、摘机等标志), 因而 30/32 路系统, 实际通话仅 30 路, 它称为一次群或基群。更多的话路由这种基群经频分制加以频率调制成高次群, 用频率搬移的方法加以区分不同的基群。

由于 PCM 专用 IC 已趋向于单路化, 即每个话路独立编译、码。因此其应用也就比较简单。这里以集成块连接组装为例来说明其典型用法, 更详细的应用要参阅专门著述和有关电话通信的资料。

一、DF331/332 应用的一般考虑

在应用双片式编、译码电路时,在输入和输出一般要用滤波器滤除高频噪声或限制带宽,关于这一点在有关专著中已有详述,图 6-26 示出 DF331 和 DF332 在用于单路通信时所需外接必要元件的示意图。

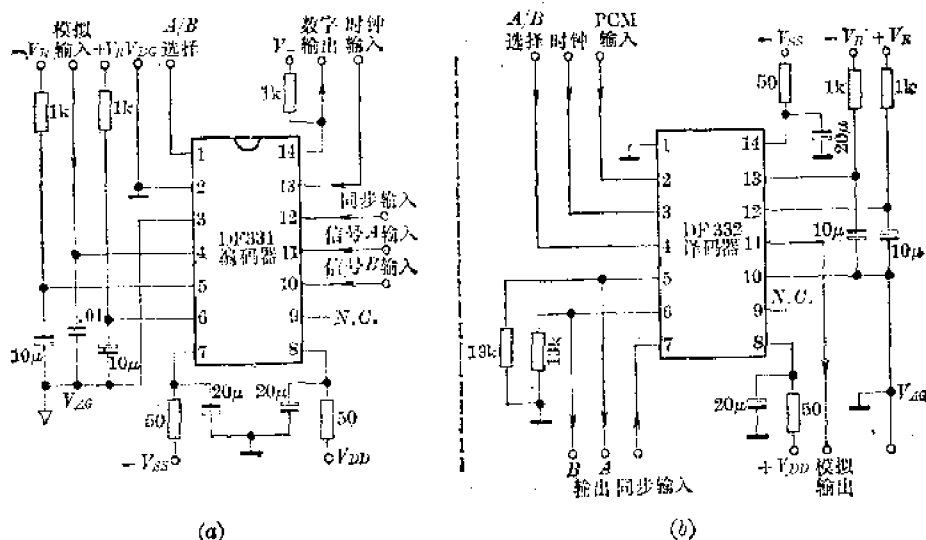


图 6-26 单路发送电路接线图

对于 DF331, 由于编码输出(⑭端)是开路漏极, 因此使用时要对正电源接负载电阻 ($1\text{K}\Omega$), $\pm V_R$ 都经 $R-C$ 低通网络以滤除干扰, 电源采取 50Ω 和 $20\mu\text{F}$ 退耦, 50Ω 电阻又兼有限流作用, 可防止一旦出现 SOR 效应时有保护作用。

在后面的例子中, 两块电路原则上都要按这种接法配置, 就不再详细画出。

1. 16kHz 取样速率的接法

图 6-27 示出将两块 DF331 组成取样速率为 $8 \times 2 = 16\text{kHz}$ 的二路 PCM 编码电路的接法和同步时间分割图。从图知, 在 $125\mu\text{s}$ 间隔中, 每隔 $62.5\mu\text{s}$ 出现一次交替的同步信号, 分别控制活路 A 和 B 的编码, 使数据传送的取样率为 16kHz , 时钟仍取 1.544MHz , 因而数据流速率为 1.544MHz 。

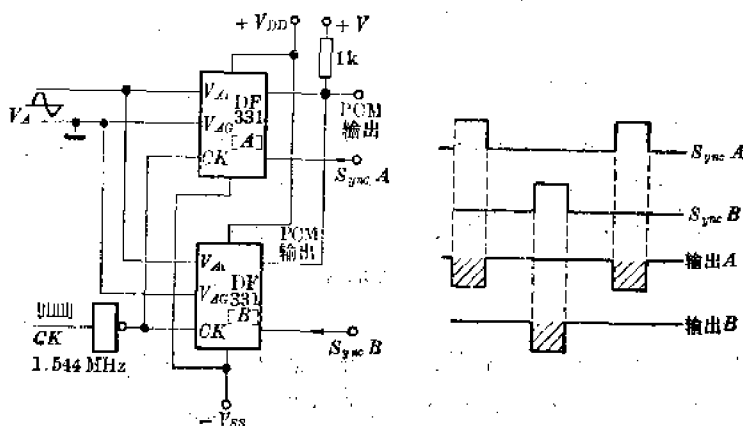


图 6-27 16kHz 取样率电路

2. 多路编译码的接法

图 6-28 分别示出用 DF331 和 DF332 接成的多路通信的连接方法, 其中(a)是编码, (b)是译码。如果接成 24 路通信, 同步(1)~(24)则每隔 $5.2\mu\text{s}$ 发送一次同步脉冲。

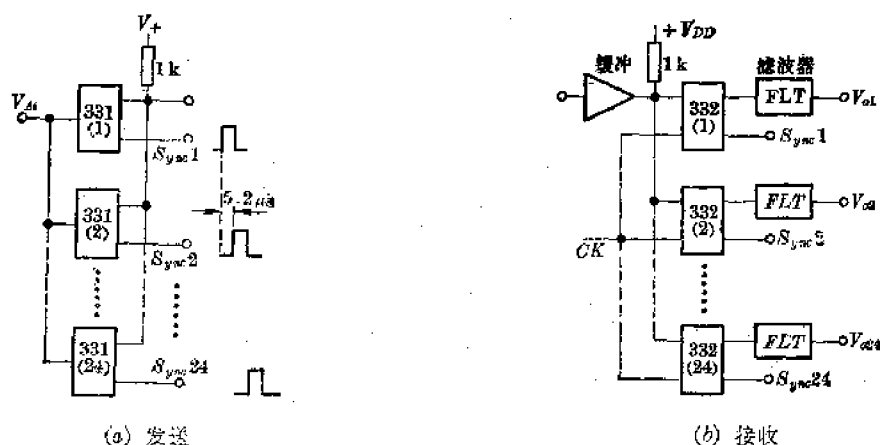


图 6-28 多路编码电路图

3. 与微型计算机的接口应用

DF331 和 DF332 还可与微型计算机接口, 从而使电话通信实现数字控制。图 6-29 示出这种应用时的连接方式。由于 DF331 的数字输出是串行的二进制代码, 因此在输入到微型计算机之前, 要通过一个串行到并行的变换, 这种变换可以方便地用 CMOS 数字电路组成, 图 6-30 即是这种串到并的变换电路。同样, 计算机经过运算后的输出一般是并行码, 在送到译码器 DF332 之前要经过图 6-31 所示的并-串变换, 在时钟和同步时钟控制下就组成与计算机的通信接口。

4. PCM 编码器的输入滤波器

在实现音频模拟信号的数字通信时, 一般要在编码器之前, 用一个特性良好的低通滤波

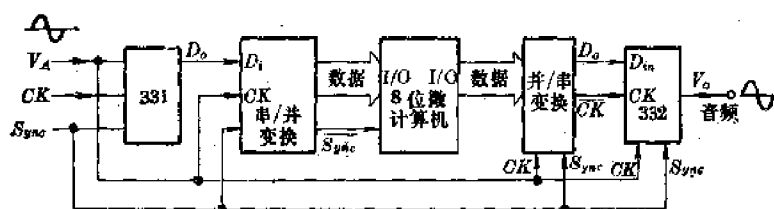


图 6-29 与 μC 接口接法

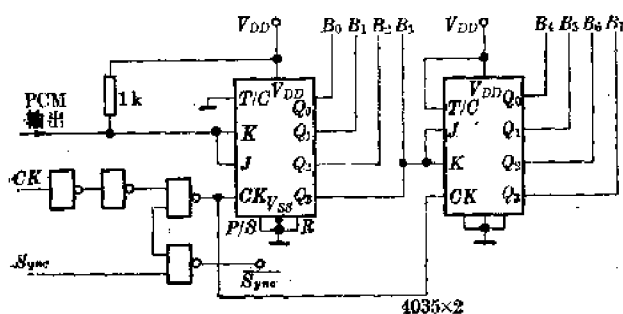


图 6-30 串-并变换

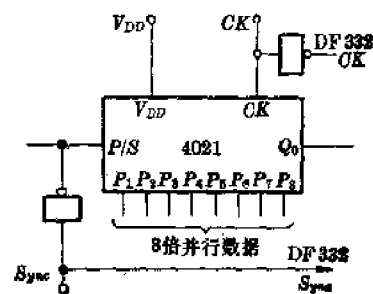


图 6-31 并-串变换

滤波器,使音频信号的带宽限制在 3.4kHz 以内。为此一般可以用一个 CMOS 四运放构成一个

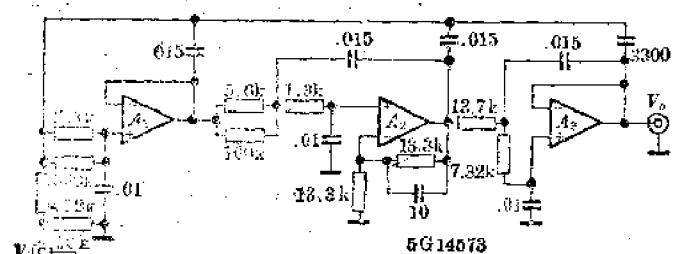


图 6-32 六阶低通滤波器

多重反馈结构的高阶滤波器,使在 3.4kHz 以上的频率信号有 30dB/倍频以上的衰减。早期的滤波器用 $L-R-C$ 结构,体积庞大、成本较高,近年来都用有源滤波器取代 $L-R-C$ 滤波器,或者用开关电容滤波器与编、译码电路集成在一起。

图 6-32 示出用 CMOS 四运放 5G14573 构成的一个六阶有源滤波器。这个滤波器增益为 6.2dB,每倍频程衰减约 36dB,截止频率为 3.4kHz,产生的相移为 500° ,性能比较稳定。图中所有电阻精度 $\leq 2\%$,电容 $\leq 1\%$,电路输出电阻较小,有缓冲作用,输入电阻大于 6kΩ。

二、MC14406/14407 的应用

MC14406 和 14407 与 DF331/332 双片 PCM 编译码器一样,在用作 PCM 编、译电路时,可以有各种用途,所不同的是 MC14406 和 14407 是单片编、译码结构,因此使用更简单方便,它可以在时钟频率 2.048MHz 下工作,取样速率可以是 8kHz, 16kHz, 32kHz 或 64kHz,按不同的需要设置。

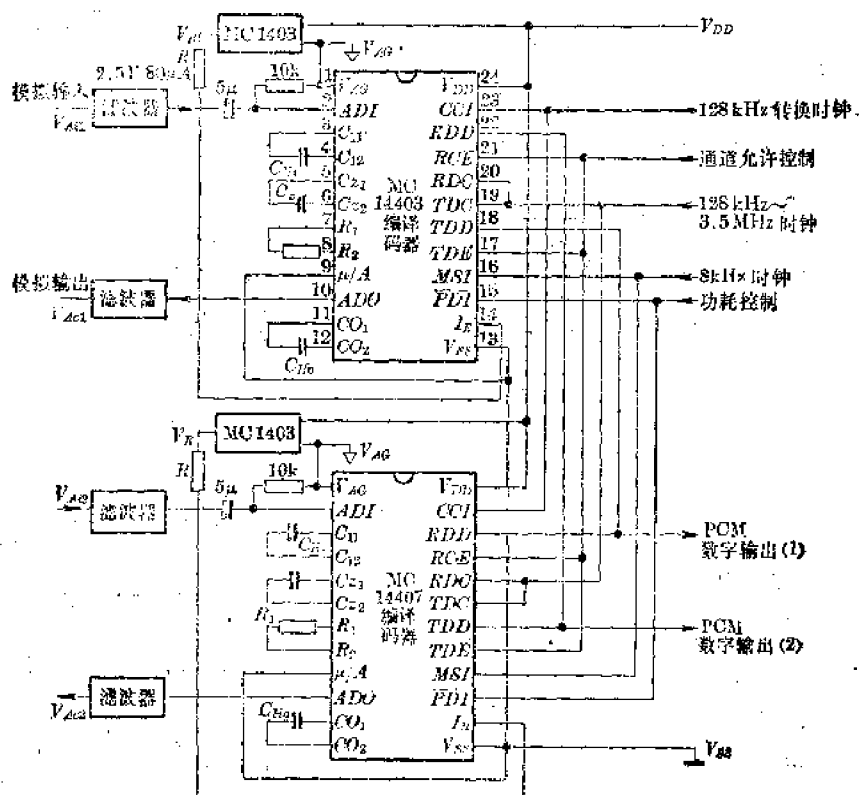


图 6-33 MC14407 的应用

图 6-33 示出两个通道结构的 MC14407 的典型应用接法, 图中用一块 MC1403 稳压电源提供基准电压, 它与 R 产生一个参考基准电流 I_R , 供内部电流型 DAC 作参考电流。

将 30 片 MC14407 组合可以构成 30 路的 PCM 多路通信装置, 此时利用通道允许控制端上加置不同的时序信号, 就可轮流进行多路通信。在这种情况下, 要设置一个公用时钟发生器, 使电路工作需要的 8 kHz 取样时钟、128 kHz 转换时钟以及 2.048 MHz 同步时钟 (数据流时钟) 在这个发生器中取出。图 6-34(a) 示出用标准 CMOS 电路构成的公用时钟发生器的电路图。图中 MC14013 是双 D 触发器, MC14514 是 16 时序发生器 (可用二进制四位记数译码器构成), 两块 16 时序串接用五位二进制数输入, 产生 32 个时序。MC14520 是二进制计数器, 用前六位输出。主振由 2.048 MHz 晶体产生。

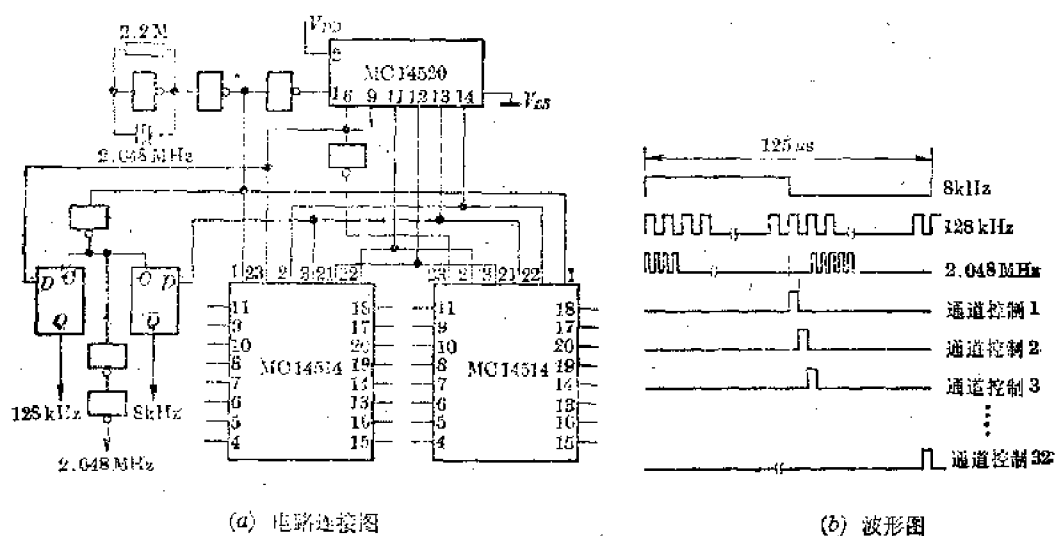


图 6-34 公用时钟发生器

由图知:

$$2.048 \div 2^8 = 8 \text{ kHz}$$

$$2.048 \div 2^4 = 128 \text{ kHz}$$

图 6-34(b) 则是时钟发生器的波形图。

§ 6-4 CMOS 开关电容滤波器

众所周知, 精密的高阶滤波器在电信或电子检测装置中有很大的实用价值。然而早期的高阶滤波器大多用 $R-L-C$ 无源元件构成, 体积比较庞大, 特别是低频滤波器的制作更令人困扰。运算放大器被普遍应用后, 有源滤波器成为人们研究的重点, 但由于有源滤波器对元件要求苛刻, 灵敏度是一个重要的又是麻烦的问题。

在人们就如何实现低频高阶滤波器的研究过程中, 一直在寻找一种对元件精度不敏感, 以便可以集成的滤波器, 这就是本节要讨论的开关电容滤波器。

本节不可能对开关电容滤波器的理论加以详述, 这里仅就一些基本的原理及典型的产品加以简要的说明。应当说这方面的集成化国内刚开始起步, 有待各方面加以发展和完善。

一、开关电容滤波器的基本原理

开关电容滤波器的滤波原理,是在开关电容积分器的基础上建立起来的。我们知道,用运算放大器构成的差动积分电路,可以用作低通滤波器。图 6-35 示出用运放构成的 RO 低通滤波器的典型电路图。这种差动积分器的时间常数 $\tau = RO$ 。如果要获得比较长的时间常数,就要求 R 或 C 的值比较大。

用集成技术制作高值电阻或较大的电容不仅要占用相当大的硅片面积,而且大容量的电容无法在单片上获得。图 6-35 的另一个严重问题还在于集成技术无法使 R 或 C 的容差作得十分精密,因而重复性无法保证,除非用诸如激光修正技术等特殊工艺。

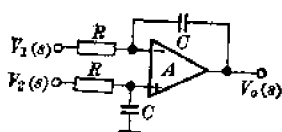


图 6-35 差动积分器

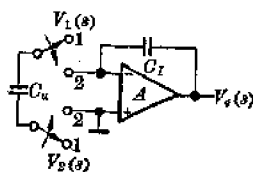


图 6-36 开关电容积分器

然而人们发现,在一定条件下,图 6-36 的电路可以获得图 6-35 相同的特性,而且不存在元件绝对值精确控制问题。由图 6-36 知道,当开关置于 1 的位置时,输入电压 $V_1(s)$ 和 $V_2(s)$ 的差值将被取样存贮在电容 C_u 上,当开关置于 2 的位置时, C_u 上贮存的电荷(正比于 $V_1 - V_2$)将与电容 C_f 进行再分配,并将以 C_u/C_f 的比例转移到电容 C_f 上。若开关的换向频率 f_c 远高于通带截止频率,则图 6-36 的电路其等效的时间常数将为:

$$\tau = R_{eq}C_f = \frac{C_f}{C_u f_c} \quad (6-22)$$

式中等效电阻 R_{eq} 可表示为:

$$R_{eq} = \frac{1}{f_c C_u} \quad (6-23)$$

(这是因为 C_f 上的电荷为: $Q_{cf} = C_f(V_1 - V_2) = i \cdot t_c$ 即 $i = C_f(V_1 - V_2)/t_c = \frac{V}{R_{eq}}$)很显然,若 C_u 取值为 1pF , 时钟频率 $f_c = 100\text{kHz}$, 则 R_{eq} 为:

$$R_{eq} = \frac{1}{10^5 \times 10^{-12}} = 10\text{M}\Omega$$

若 $C_f = 10C_u$, 则 $\tau = 10\text{M}\Omega \times 10\text{pF} = 10^{-4}\text{s}$ 。

从(6-22)式可以看到,图 6-36 电路等效的时间常数仅与两个电容 C_f 和 C_u 的比值有关,而且与时钟频率 f_c 成反比, f_c 越高, τ 越小。也就是说,用 f_c 可以控制滤波器时间常数 τ 。

鉴于上述分析,图 6-36 的电路很容易为集成电路设计人员所接受,因为用 MOS 技术,很容易得到比较精密的电容比值,重复性也有保证。

图 6-36 向我们说明了这样一个事实,可以利用运放、开关和电容在时钟控制下可以用来模拟无源元件。这就有可能用类似的单元组合成一些高阶的滤波器。

1. 有源梯形网络的模拟原理

利用图 6-36 单元电路,只要经过适当的组合,可以用来模拟无源梯形网络,例如 RLC 网络。图 6-37(a) 是一个典型的含有 L 和 C 的低通网络,这里电感 L 和电容 C 均可用图

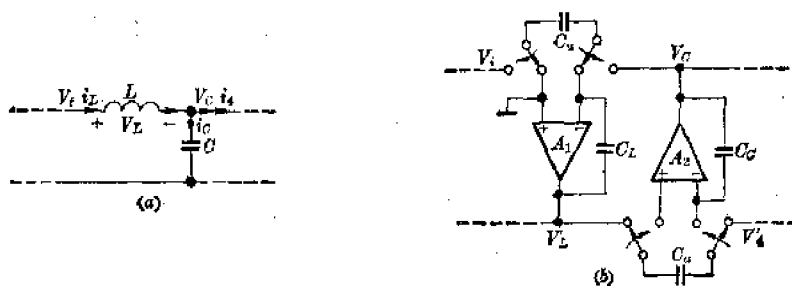


图 6-37 无源元件的模拟电路

6-35 的单元来模拟, 图 6-37(b) 就是它的有源模拟电路。

由图 6-37(a) 可知, 流过电感 L 的电流 i_L 可写为:

$$i_L = \frac{V_L}{SL} = \frac{1}{SL} (V_i - V_C) \quad (6-24)$$

将(6-24)式两边用一个单位电阻 R 相乘, 用电压形式可写为:

$$V'_L = i_L \cdot R = \frac{R}{SL} (V_i - V_C) \quad (6-25)$$

从(6-25)式可知, 它相当于一个差动积分器的输出的表示形式, 为此可以用开关电容积分器来模拟, 图 6-37(b) 的 A_1 就是用来模拟 V'_L 的电路。从图(b)中可得:

$$L = \frac{C_L}{C_u} \cdot \frac{\omega_0}{f_c} \quad (6-26)$$

(6-26)式中 ω_0 为电路的截止频率。同样电容 C 上的电压可写为:

$$V_C = \frac{i_C}{SC} = \frac{1}{SC} (i_L - i_A) \quad (6-27)$$

用电压形式表示时可写为:

$$V_C = \frac{1}{SRC} (R \cdot i_L - R \cdot i_A) = \frac{1}{SRC} (V'_L - V'_A) \quad (6-28)$$

这里(6-28)式同样也是一个差分积分器的输出形式, 因此也能用图 6-36 的单元来模拟, 即用图 6-37(b) 中的 A_2 来模拟, 积分电容 C_C 同样可写为:

$$C_C = \frac{f_c}{\omega_0} C_u \cdot C \quad (6-29)$$

或者:

$$C = \frac{\omega_0}{f_c} \cdot \frac{C_C}{C_u} \quad (6-30)$$

很显然(6-26)式和(6-30)式分别表示被模拟的电感 L 和电容 C 。因此滤波器设计问题成为按 L 和 C 的要求选择 C_L/C_u 和 C_C/C_u 的两组电容比值的设计。

从图 6-37(b) 的电路还可以知道, 这种结构仅仅保持无源 LC 网络的特性, 因而不存在通常有源滤波器的灵敏度问题。这是开关电容滤波器的最大优点。

2. 五阶 RLC 梯形低通滤波器的模拟

根据上面分析的原理, 利用图 6-35 的基本开关电容积分器单元, 有可能模拟多节 LC 或 RLC 的网络, 从而构成所需要的滤波器。图 6-38 是一个低灵敏度的五阶 Chebyshev 低通滤波器网络, 这是一个用无源元件 RLC 组成的低通网络, 额定截止频率为 3.4 kHz, 可用于 PCM 编码器的前置滤波, 其额定通带纹波为 0.1 dB, 零敏度为零。

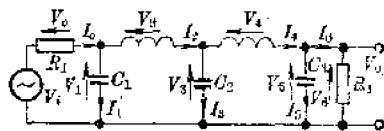
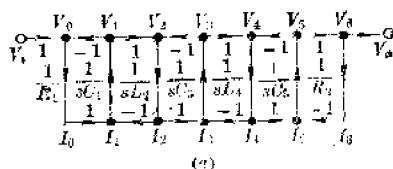
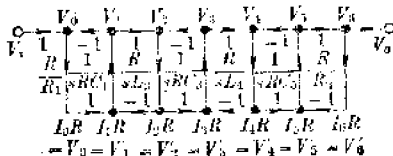


图 6-38 LRC 滤波器



(a)



(b)

图 6-39 LRC 滤波器信号流图

这个 RLC 梯形网络的传递函数可以用节点方程来推导。图 6-39 是它的信号流图, 从图中可列出下列关系:

$$V_0 = V_s - V_1 \quad (a)$$

$$I_0 = \frac{V_0}{R_1} \quad (b)$$

$$I_1 = I_0 - I_2 \quad (c)$$

$$V_1 = \frac{1}{sC_1} I_1 \quad (d)$$

$$V_2 = V_1 - V_3 \quad (e)$$

$$V_3 = \frac{1}{sC_3} I_3 \quad (f)$$

$$I_2 = \frac{1}{sL_2} V_2 \quad (g)$$

$$I_3 = I_2 - I_4 \quad (h)$$

$$V_4 = V_3 - V_5 \quad (i)$$

$$I_4 = \frac{1}{sL_4} V_4 \quad (j)$$

$$I_5 = I_4 - I_6 \quad (k)$$

$$V_5 = \frac{1}{sC_5} I_5 \quad (l)$$

$$V_6 = V_5 \quad (m)$$

$$I_6 = \frac{1}{R_2} V_6 \quad (n)$$

$$V_6 = V_6 \quad (o)$$

将上述各式和电阻归一化(假定 $R_1 = R_2 = R = 1 \Omega$), 则可以由 f_c 取样率对应的截止频率为 1 拉德/秒的标准设计表确定图 6-10 所示的电路中的电容的比值, 并可写为:

$$\frac{C_{01}}{C_n} = \frac{f_c C_1}{\omega_0} \quad (p)$$

$$\frac{C_{02}}{C_n} = \frac{f_c L_2}{\omega_0} \quad (q)$$

$$\frac{C_{03}}{C_n} = \frac{f_c C_3}{\omega_0} \quad (r)$$

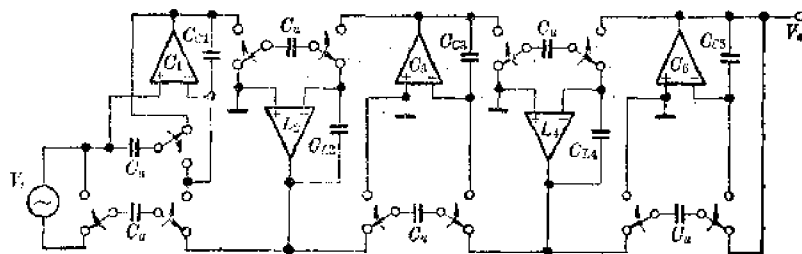


图 6-40 开关电容滤波器电路

$$\frac{C_{L4}}{C_u} = \frac{f_c L_4}{\omega_0} \quad (s)$$

$$\frac{C_{C3}}{C_u} = \frac{f_c C_3}{\omega_0} \quad (t)$$

式(p)~(t)给出图 6-40 中电容的取值。从而使这个电路具有与图 6-38 相同的滤波特性。由图 6-40 可知, 利用 CMOS 技术, 滤波器问题归结为运放和开关以及电容器的设计。开关电容滤波器的原理也基于此。

二、集成开关电容滤波器的设计考虑

上面在叙述开关电容滤波器的基本原理中, 把开关、运放等都视为理想元件。然而实际制作的元件并非都是理想元件。这就存在影响滤波器性能的因素。下面简单地作一些说明。

1. 运放开环增益不为 ∞ 的影响

在开关电容滤波器分析中, 运放的开环增益作为 ∞ 时来考虑。在这种理想情况下, 图 6-41 的积分器的极点处在 S 平面的原点 0 上。如果运放增益不为 ∞ , 而是有限值, 则极点位置会偏离原点 0 向左半平面移动, 如图 6-41(b) 中箭头所指的那样, 若 $A_v=100$, 则极点移到图中位置 ① 上。这样就会造成直流增益误差, 对于图 6-40 所示的五阶滤波器, 将会影响约 0.22dB, 使通带下降约 0.09dB。同样, 当 $A_v=1000$ 时, 通带下降仅 0.02dB。因此一般来说要求图 6-40 中运放的直流增益应大于 60dB。这对于 CMOS 运放来说, 是比较容易实现的。用一个典型的二级放大就能足够满足增益的要求。

2. 寄生电容的影响

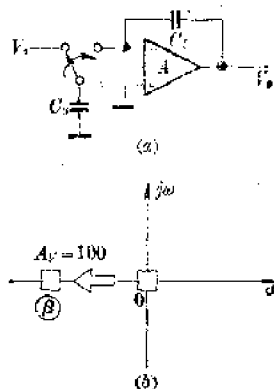
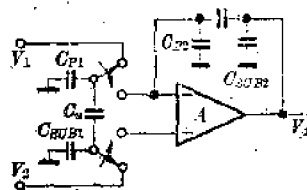
图 6-41 积分器及其 S 平面图

图 6-42 分布参数示意图

对于开关电容滤波器来说,更严重的影响是寄生电容,因为这种寄生电容不仅放大器输入有,而且由 MOS 晶体管做的开关也有栅电容存在,也会产生影响。图 6-42 示出寄生电容影响的原理图。图中电容 C_u 和开关的寄生电容 C_{P1} , C_u 下极板对衬底的电容 C_{SUB1} , 以及 C_I 的寄生电容 C_{P2} 和 C_{SUB2} 。这些寄生电容将参加电路工作,此时应有:

$$V_o = -\frac{f_c}{j\omega_0} \left[\frac{C_u}{C_I} (V_1 - V_2) + \frac{C_{P1}}{C_I} V_1 \right] \quad (6-31)$$

对于图 6-36 的理想情况的输出为:

$$V_o = -\frac{f_c}{j\omega_0} \frac{C_u}{C_I} (V_1 - V_2) \quad (6-32)$$

两者相比,显然(6-31)式方括号中第二项为误差项,其中影响最严重的是 C_{P1} 。一般要使 $C_{P1} \ll C_I$ 才能忽略寄生电容的效应。对于 C_u 最小值为 2 pF 时,要求 $C_{P1} < 0.02$ pF,才能不影响图 6-42 滤波器的特性。

另外,影响滤波器特性的因素是时钟频率 f_c , 因为当 f_c 很高时,运放的输出转换速率必须考虑,一般在 400 kHz 以下才比较能满意地工作,高于这一频率运放设计就会发生困难。

三、积分和加法运算的模拟滤波器

由网络分析知道,如果在 RLC π 型网络的 L 臂上加上一个电容引入一个有限传输零点,在滤波器应用中有很大的作用。图 6-43(a) 就是引入这一零点的网络,图 6-43(b) 则是由(a)网络节点方程等效的一个回路,图 6-43(a) 的节点方程可写为:

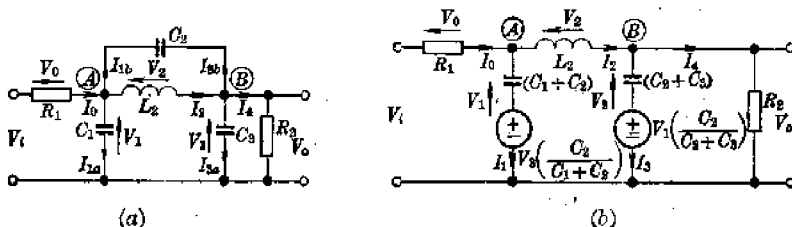


图 6-43 π 型网络

$$V_1 = \frac{(I_0 - I_2)}{S(C_1 + C_2)} + V_3 \left(\frac{C_2}{C_1 + C_2} \right) \quad (6-33)$$

$$V_3 = \frac{(I_3 - I_1)}{S(C_2 + C_3)} + V_1 \left(\frac{C_2}{C_2 + C_3} \right) \quad (6-34)$$

传输零点为:

$$\omega_z = \frac{1}{\sqrt{L_2 C_3}} \quad (6-35)$$

(6-33)和(6-34)式可以用图 6-43(b)的网络等效。它相当于原网络在电容 C_1 和 C_3 支路中引入两个电源。

从图 6-43(b)可以看到,它的节点方程就是需要 V_1 和 V_3 同时执行积分和加法运算,即要用图 6-44 所示的电路来运算。对于图 6-44 的电路,运放既对 V_i 执行积分运算,又对 V_3 执行加法运算。其输出可表示为:

$$V_o = - \left[\frac{f_c C_u}{S C_I} V_i + V_3 \left(\frac{C_3}{C_I} \right) \right] \quad (6-36)$$

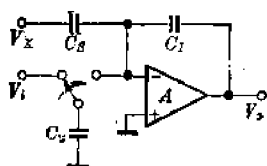


图 6-44 加法积分器

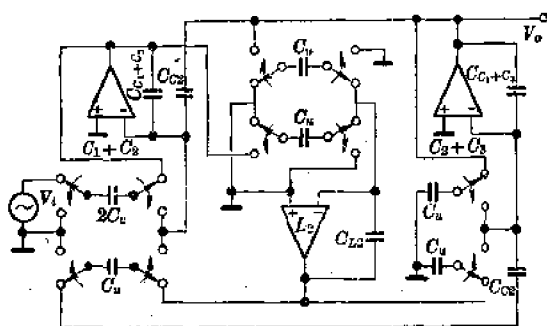


图 6-45 等效电路

将 $OV_i = i_{ci}$ 和 $f_c = 1/t_c$ 代入上式得:

$$V_o = - \left[\frac{i_o}{SC_I} + V_x \left(\frac{C_s}{C_I} \right) \right] \quad (6-37)$$

(6-37)式在形式上与(6-33)式或(6-34)式相似,因而图 6-43(b)的网络,也即图 6-43(a)的网络可以用图 6-45 所示的加法积分器为单元的电网络构成。图中 C_{02} 为加法电容。这是一个所谓三阶的椭圆滤波器。

这种滤波器可分二步来设计:

1. 选取归一化元件值

对 1 拉德/秒截止频率归一化标准表来确定图 6-43(a)的元件值。在通带纹波为 0.117 dB, 阻带抑制为 30.41 dB, 归一化零点频率为 2.6 拉德/秒时, 无源元件值分别为:

$$R_1 = R_3 = 1 \Omega; \quad C_1 = 1.0855 \text{ F}; \quad C_2 = 0.1466 \text{ F}; \\ C_3 = 1.0855 \text{ F}; \quad L_2 = 1.0090 \text{ H}.$$

2. 计算图 6-45 中电容器比值

当滤波器截止频率为 3.4 kHz(语音频率), 即 21363 拉德/秒, 零点频率为 8 kHz, 时钟频率为 128 kHz 时, 则有:

$$\frac{C_{C1} + C_2}{C_u} = \frac{f_c(C_1 + C_2)}{\omega_0} = 7.3824 \quad (a)$$

$$\frac{C_{L2}}{C_u} = \frac{f_c L_2}{\omega_0} = 6.0456 \quad (b)$$

$$\frac{C_{C2} + C_3}{C_u} = \frac{f_c(C_2 + C_3)}{\omega_0} = 7.3824 \quad (c)$$

零点形成电容器比值为:

$$\frac{C_{C2}}{C_{C1} + C_2} = \frac{C_2}{C_1 + C_2} = 0.119 \quad (d)$$

$$\frac{C_{C2}}{C_{C2} + C_3} = \frac{C_2}{C_2 + C_3} = 0.119 \quad (e)$$

只要先预定电容 C_u 的设计值, 例如取 $C_u = 2.5 \text{ pF}$, 则就可求出上述电容的比值, 得到图 6-45 中各个电容器的设计值。

图 6-45 的电路只用三个运放, 因此设计的重点在于电容和开关, 特别要注意分布寄生效应。

四、CMOS 开关电容滤波器典型产品简介

必须说明,上面讨论的开关电容滤波器的技术,较少制作成单独的通用产品,其主要用途在于用作电话通信 PCM 编、译码器的一个附属电路。七十年代末,已经研制成具有滤波器的 PCM 编、译码单片电路,这是电话通信大规模集成化的一项成果。在这之前,也有少数为配合 PCM 编、译码电路的专用话音滤波器产品。下面简要介绍这两类滤波器。

1. CMOS PCM 发送和接收滤波器之一

前已述及,在 PCM 通信系统中,被编码的每一信道的语音模拟信号的频带必须用带通滤波器将其频带限制在 $300\text{ Hz} \sim 3.4\text{ kHz}$ 范围内,这样就允许以 8 kHz 的取样速率进行取样,从而满足奈奎斯特取样原理,不致引起混淆,同时可防止工频干扰。这就是编码器之前的抗混淆滤波器。实际上是用一个低通(3.4 kHz 截止)和一个高通(300 Hz 以上)两种滤波器串接而成的带通滤波器,又称为发送滤波器。另外经译码器译码后的输出信号,如前面所述是 PAM(脉冲幅度调制)的信号,它必须经接收滤波器滤除 4 kHz 以上的高频调制信号,

从而得到平滑的语音信号。

正因上述要求,就研制了能完成发送和接收两种功能的专用集成滤波器。图 6-46 示出用 CMOS 技术研制一种专用于 PCM 通信的滤波器的方框原理图。用一个锁相环(PLL)来再生 128 kHz 和 8 kHz 的同步时钟,分别作低通和高通滤波器的开关时钟。由于 HPF(高通)

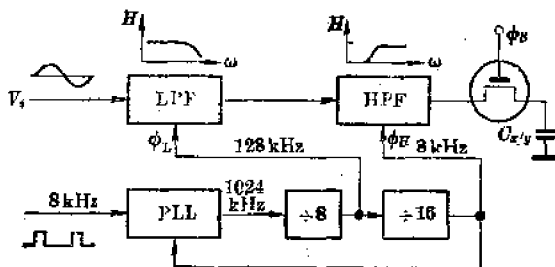


图 6-46 PCM 专用滤波器

仅使 50 Hz 的频率截止,因此只需用 8 kHz 作时钟就可,而对 LPF(低通),则用 128 kHz 作

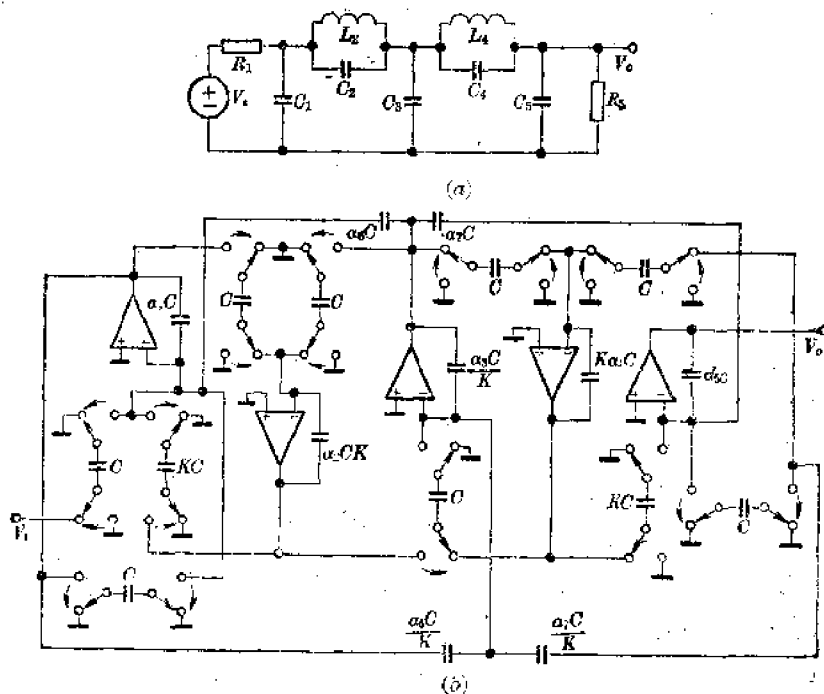


图 6-47 五阶椭圆滤波器

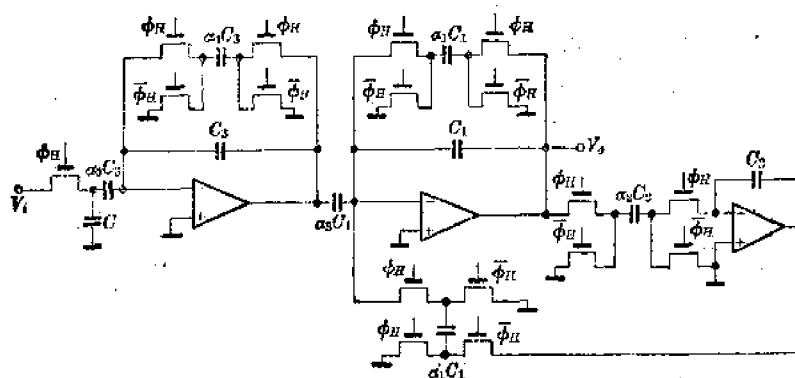


图 6-48 运放与开关示意图

时钟, 因其截止频率为 3.4 kHz 要用足够高的频率, 锁相环工作在 1024 kHz 频率上, 这是 PCM 的数据流速率。

图中低通滤波器按图 6-47(a) 所示的五阶椭圆滤波器来设计, 它可用图 6-47(b) 所示的开关电容积分单元来模拟。从图可见, 这个低通滤波器共用五个 CMOS 运放, 十九个电容以及四个 MOS 开关晶体管组成, 图中所有元件值用计算机辅助优选法计算得到。

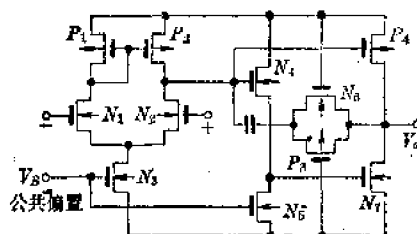


图 6-49 滤波器中的运放

图 6-48 则是高通滤波器的结构原理图, 两种电路串接构成带通滤波器。图 6-48 的电路还是一个三阶 Chebyshev 全极值高通电路。整个发

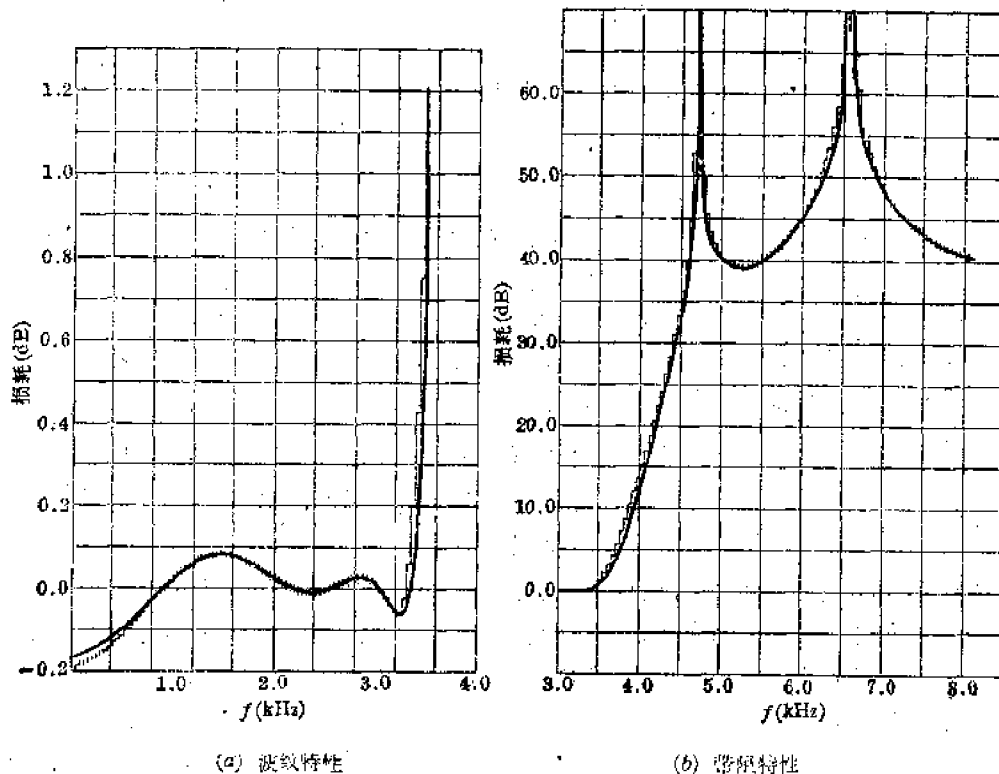


图 6-50 滤波器特性

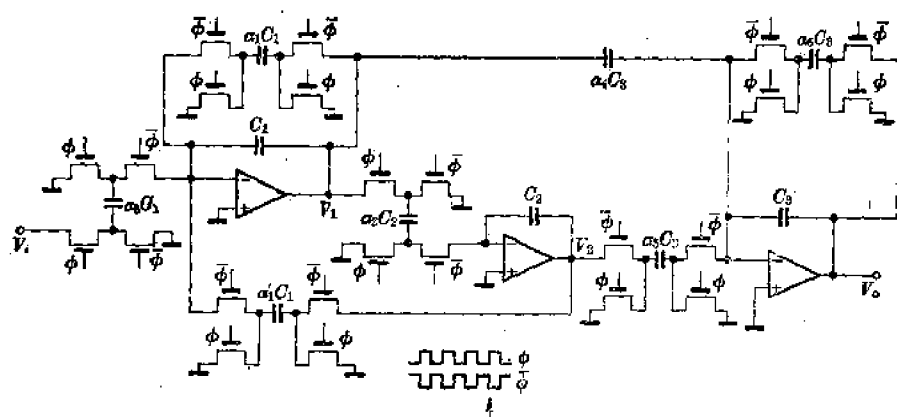


图 6-51 接收滤波器电路

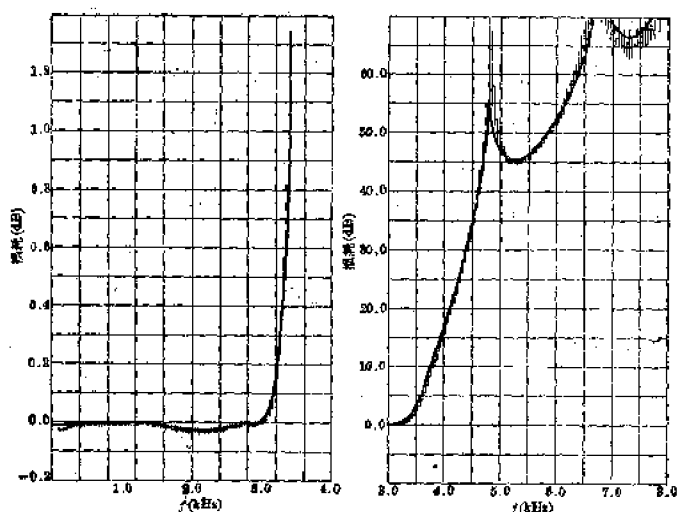


图 6-52 接收滤波器特性

送滤波器具有 91 dB 的动态范围。所用的运放的电路示于图 6-49。十分明显，这是一个典型的二级放大电路，具有 86 dB 开环增益、13 V/ μ s 的转换速率和 70 dB 的共模抑制比，每个运放功耗小于 5 mW。全部电路用十五个运放，总功耗为 175 mW，由于电路设置电源开关，因此在不工作时，总功耗将降低到 1 mW。

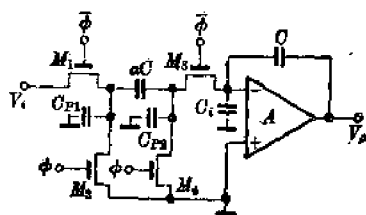


图 6-53 寄生电容消除方法原理图

图 6-50(a) 是发送滤波器的幅频特性中的波纹特性，在通带范围内不平坦度极小。图 6-50(b) 是其带阻特性，在 4 kHz 以上衰减大于 40 dB。

图 6-51 示出这个滤波器电路中的接收滤波器部分的原理图，这是一个状态可变的低通滤波器。它采用串联开关的变换积分单元构成的三阶滤波器。图 6-52 是它的特性曲线。

采用串联开关的变换积分单元，可以有效地消除寄生电容的影响，这一点可利用图 6-53 的原理图加以说明。

由图 6-53 可看出，当时钟信号 $\phi = "1"$ 电平时， M_1 、 M_2 截止， M_3 、 M_4 导通， C_{P1} 和 C_{P2} 通过开关 M_3 、 M_4 放电。当时钟 $\phi = "0"$ 时， $\bar{\phi} = "1"$ ，此时 M_1 、 M_3 导通， M_2 、 M_4 截

止, 在 αC 上存储输入电压 V_i , C_{P2} 经 M_8 开关处于虚地状态, 因此 C_{P2} 不能充电, 就是说 C_{P1} 和 C_{P2} 都不参加工作, 因而消除了寄生电容的影响, 整个集成电路采用栅自对准 CMOS 工艺, 因而开关管电容很小, 电路性能满足 PCM 通信要求。

2. CMOS PCM 滤波器之二

另一种比较典型的开关电容滤波器产品是 MOTOROLA 公司的 MC14413-1-2 和 MC14414-1-2, 这是两种单片 CMOS LSI 电路。这两个型号除引出端略有不同外, 其基本结构相同, 因此只讨论其中一种即可。

图 6-54 示出 MC14413-1-2 的方框功能图和引出端排列图。整个电路与前面提到的类似, 它包括一个发送滤波器和一个接收滤波器以及同步时钟形成电路, 又称定时电路。另外电路中还设置能与 TTL 兼容的电平移位电路和两个独立用于缓冲或放大的运算放大器。这个电路用 16 支引线的双列直插式封装, 这两个电路能与上节中介绍的 MC14407、MC14406 PCM 编译码器配合组成通信系统, MC14413-1-2 中两个滤波器都是开关电容滤波器, 其中发送滤波器由一个五阶 elliptic 低通滤波器和一个三阶 Chebychev 高通滤波器串接构成带通滤波器。接收滤波器则是五阶 elliptic 低通滤波器, 即前面介绍的椭圆型滤波器。这些滤波器在 128 kHz 时钟下同步工作, 这一点与上述电路一样。

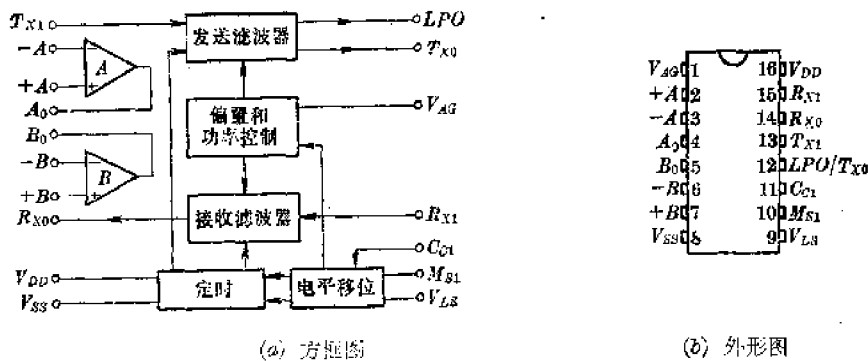


图 6-54 MC14413-1-2 功能图

图 6-54 方框图和引出端功能排列图中, 端子功能如下:

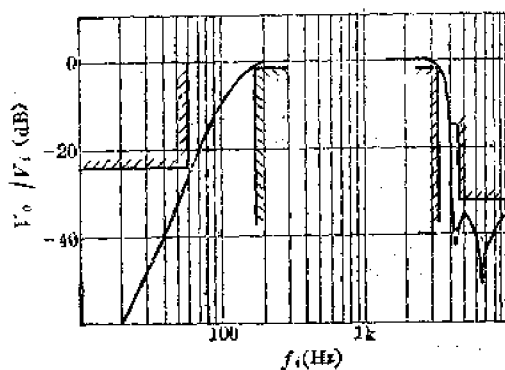
- | | |
|--|------------------------------------|
| (1) V_{AG} : 模拟地约 $\frac{1}{2}(V_{DD}-V_{SS})$; | (9) V_{LS} : 逻辑移位电压输入用来与 TTL 兼容; |
| (2) $+A$: 运放 A 同相输入端; | (10) M_{S1} : 主时钟输入(8 kHz); |
| (3) $-A$: 运放 A 反相输入端; | (11) C_{C1} : 转换时钟输入(128 kHz); |
| (4) A_0 : 运放 A 输出; | (12) LPO/T_{X0} : 发送带通滤波器输出; |
| (5) B_0 : 运放 B 输出; | (13) T_{X1} : 发送滤波器输入; |
| (6) $-B$: 运放 B 反相输入; | (14) R_{X0} : 接收滤波器输出; |
| (7) $+B$: 运放 B 同相输入; | (15) R_{X1} : 接收滤波器输入; |
| (8) V_{SS} : 低电位(数字地); | (16) V_{DD} : 正电源端。 |

表 6-6~表 6-8 分别给出 MC14413-1-2 电路的内部接收和发送滤波器的主要特性参数规范以及两个运放的基本参数性能。两个滤波器的幅频特性可从图 6-55 中看出, 在带外都有 40 dB 左右的衰减, 通带波纹在 0.1 dB 以内。

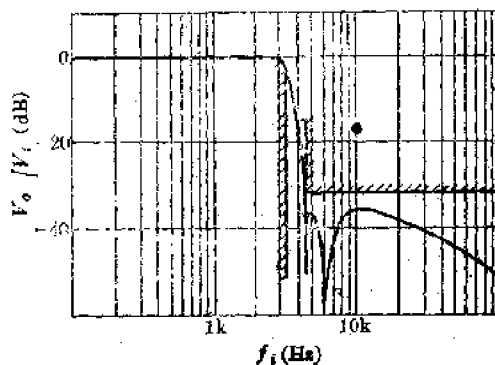
表 6-6 发送滤波器性能表

 $(V_{DD}-V_{SS}=12\text{V}, C_{CL}=128\text{kHz}, M_{S1}=8\text{kHz}, V_i=-10\text{dBm}, \text{满值}=-+3\text{dBm}, 7V_{P-P})$

特 性		0°C		25°C			85°C		单 位
		Min	Max	Min	Typ	Max	Min	Max	
增益(192 Hz)	MC14413-1, -2	-0.3	+0.3	-	± 0.2	-	-0.3	+0.3	dB
	MC14414-1, -2	-0.25	0.25	-	± 0.15	-	-0.25	0.25	
带通纹波 (300~3000 Hz)	1.02 kHz @ 0 dBm	-0.15	0.15	-	± 0.08	-	-0.15	0.15	dB
抑制									dB
50 Hz (1.02 kHz)	MC14413-1, -2 Only	-24	-	-26	-28	-	-24	-	
60 Hz	MC14413-1, -2 Only	-22	-	-22.7	-25	-	-22	-	
180 Hz		-	-0.8	-	-0.3	-	-	-0.8	
3400 Hz	MC14414-1/13-1	-	-0.8	-	-0.5	-0.8	-	-0.8	
	MC14414-2/13-2	-	-1.5	-	-0.6	-1.5	-	-1.5	
4000~4600 Hz		-14	-	-14	-15.5	-	-14	-	
4600 Hz~64 kHz		-32	-	-32	-33	-	-32	-	
噪声输出 (300~3400 Hz)	MC14413-1, -2	-	15	-	10	15	-	15	dBm/Hz
	MC14414-1, -2	-	12	-	7	10	-	12	
动态范围 (7V _{P-P} Max)	MC14413-1, -2	-	-	78	84	-	-	-	dB
	MC14414-1, -2	-	-	81	87	-	-	-	
延迟差									μs
1150~2300 kHz 延迟		-	22	-	12	22	-	22	
1000~2500 kHz 延迟		-	35	-	25	35	-	35	
800~2700 kHz 延迟		-	41	-	31	41	-	41	
隔离度	0 dBm @ 3 kHz	T_{300}, T_{300}	-	-	76	-	-	-	dB
电源抑制比	$V_{DD}=12\text{V}-0.1\text{V}_{FMS}$ @ 1 kHz	-	-	-	40	-	-	-	dB



(a) 发送滤波器幅频特性



(b) 接收滤波器幅频特性

图 6-55 发送、接收滤波器的幅频特性

表 6-7 接收滤波器性能表

($V_{DD}-V_{SS}=12\text{V}$, $C_{C1}=128\text{kHz}$, $M_{S1}=8\text{kHz}$, (无限 $\sin x/x$ 校正,
 $V_i=-10\text{dBm}$, 满值 $=+3\text{dBm}$, $7V_{P-P}$)

特 性	0°C		25°C			85°C		单 位
	Min	Max	Min	Typ	Max	Min	Max	
增益(1000 Hz)	-0.3	0.30	-	± 0.2	-	-0.30	0.30	dB
通带波纹(50~8000 Hz) 1.02 kHz @ 0 dBm	-0.15	+0.15	-	± 0.05	-	-0.15	+0.15	dB
通带抑制 1.62 kHz @ 0 dBm 0 M014414/13-1	-	-0.9	-	-0.5	-0.9	-	-0.9	dB
3400 Hz M014414/13-2	-	-1.5	-	-0.8	-1.5	-	-1.5	
4000~4600 Hz	-14	-	-14.2	-15.5	-	-14	-	
4600 Hz~64 kHz	-28	-	-30	-33	-	-28	-	
输出噪声($P_{out}=V_{AG}$) 0.01	-	-	-	8	12	-	-	dBm
动态范围	-	-	81	83	-	-	-	dB
延迟量	-	-	-	-	-	-	-	μs
1150~2300 kHz 延迟	-	22	-	12	22	-	22	
1000~2500 kHz 延迟	-	35	-	25	35	-	35	
800~2700 kHz 延迟	-	41	-	31	41	-	41	
隔离度 0 dBm @ 3 kHz	-	-	-	76	-	-	-	dB
电源抑制比 $V_{IL}=12\text{V}+0.1V_{rms}$ @ 1 kHz	-	-	-	40	-	-	-	dB

表 6-8 运算放大器性能表

($V_{DD}-V_{SS}=12\text{V}$)

特 性	0°C		25°C			85°C		单 位
	Min	Max	Min	Typ	Max	Min	Max	
输入失调电压	-	± 80	-	-	± 70	-	± 80	mV
开环增益 $Z_L=600\Omega+200\text{pF}\sim V_{AG}$	-	-	-	45	-	-	-	dB
输入电流	-	-	-	± 0.1	-	-	-	μA
输出电压范围	-	-	-	-	-	-	-	V
($R_L=20\text{k}\Omega\sim V_{AG}$)	-	-	1.5	-	10.5	-	-	
($R_L=600\Omega\sim V_{AG}$)	-	-	2.0	-	9.3	-	-	
($R_L=900\Omega\sim V_{AG}$)	-	-	1.5	-	10.5	-	-	mA
输出电流 $V_{in}10.5$	-	5.1	-	7.0	-	-	5.1	
$V_{in}9.5$	-	-5.1	-	-7.0	-	-	-5.1	dBm
输出噪声	-	0	-	-3	-	-	0	
转换速率	-	-	-	2	-	-	-	V/ μs

五、PCM 发送、接收滤波器的典型应用

如前所述,目前开关电容滤波器主要用于电话通信,特别是 PCM 通信系统中,因此专用性比较强,如同 M014413 电路那样,它是专门设计成与 PCM 编、译码器配用的,因此下面仅给出这方面的配套使用连接方法。

图 6-56 示出用 MC14413 组成的工频抑制 2 线制输入滤波器的原理图, 图中利用内部运放 A 组成三阶高通滤波器, 阻止 60 Hz 以下工频进入通道, 运放后用低通串接组成带通滤波器。电路用于二线制电话传输线上。

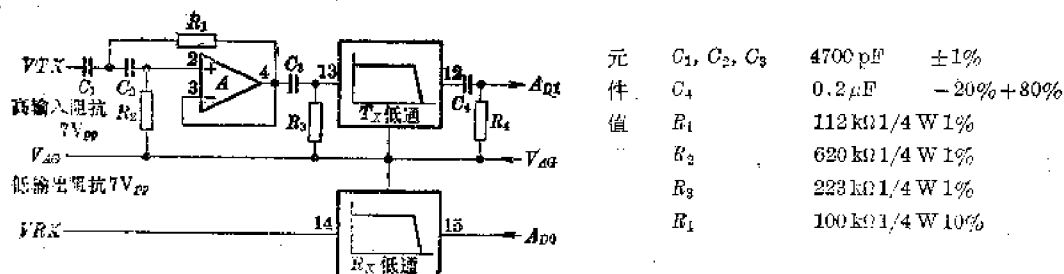


图 6-56 输入滤波器原理图

图 6-57 则是 MC14413 与 MC14407 构成的 PCM 接收和发送双路系统的连接图。这个电路的工作原理已在前面叙述过, 这里就不再赘述。

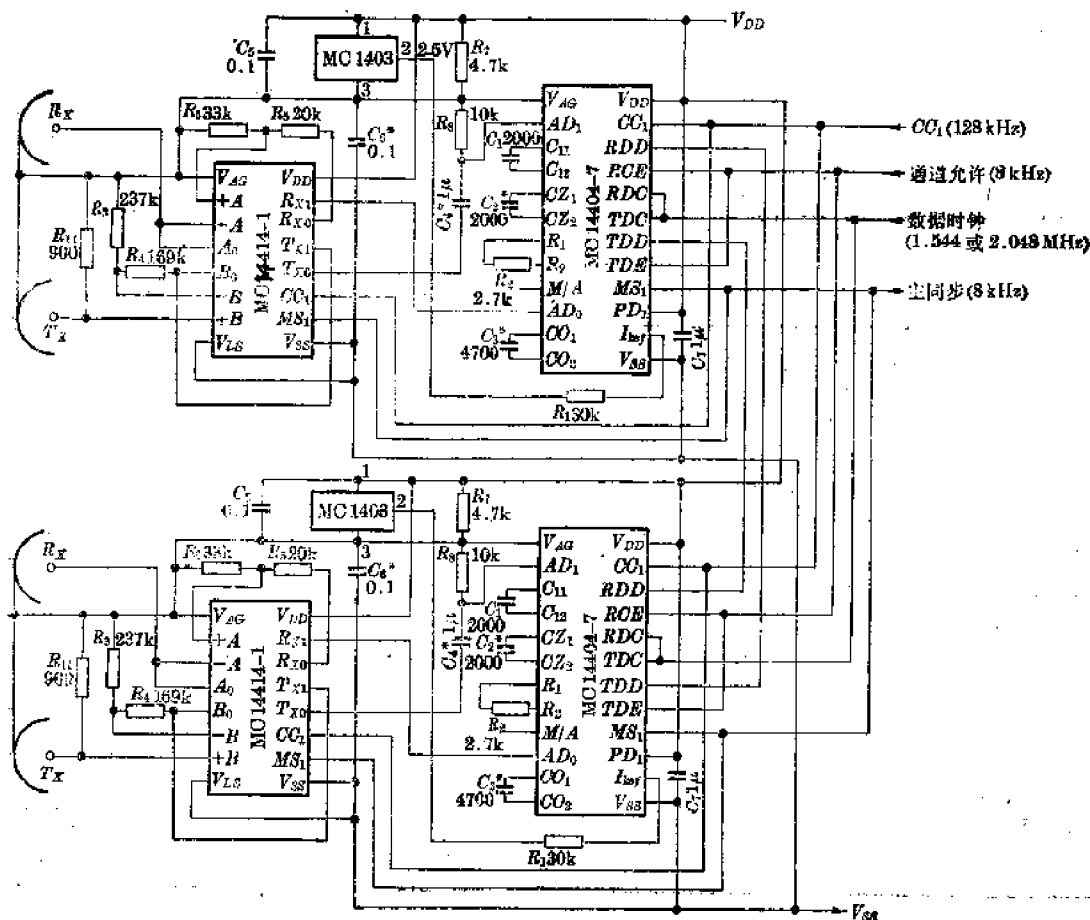


图 6-57 PCM 收、发系统

参 考 文 献

1. 江不榘等:《场效应晶体管及其集成电路》,国防工业出版社,1974年。
2. 南京工学院、西北电讯工程学院编:《半导体集成电路》,国防工业出版社,1980年。
3. Paul R. Gray: «Basic MOS Operational Amplifier Design—An overview», Department of Electrical Engineering and Computer Sciences and the Electronics Research Laboratory University of California.
4. DR. William N. Carr and DR. Jack P. Mize: «MOS/LSI Design and Applications», McGRAW-HILL Book Company.
5. J. A. Connolly: «Analog Integrated Circuit Devices, Circuits, Systems, and Applications» A Wiley-Interscience Publication.
6. 王国定:《集成运放应用基础》,《电子科学技术》,1983年9期。
7. 王国定:《CMOS 四运放 5G14573 的应用》,《电子技术应用》,1983年第11期。
8. Intersil CMOS IC Data Book, 1979年。
9. Motorola CMOS IC Data Book 1978年。
10. 王国定:《运放在变换电路中的应用》,《电子科学技术》,1983年第10期。
11. 王国定:《CMOS 超低漂移运放 5G7650》,《电子科学技术》,1983年第11期。
12. 邵中光:《CMOS 双时基电路 5G7556》,上海元件五厂《晶峰器件应用》,1982年第5期。
13. 王国定:《时基电路 5G1555 的妙用》,《现代通信》,1981年第12期,1982年第1期。
14. J. A. Schoeff: «A Monolithic Companding D/A Converter», in Int Solid State Circuit Conf. Dig Tech. Papers, Feb. 1977.
15. F. H. Musa and R. C. Huntington: «A CMOS Monolithic $3\frac{1}{2}$ digital A/D Converter», in 1976 ISSCC Dig. Tech. Papers.
16. 王国定:《CMOS 10bit MDAC 5G 7520》,《电子科学技术》,1982年第8期。
17. 王国定、朱介炎:《CMOS $3\frac{1}{2}$ 位 A/D 转换器 5G14438》,《电子科学技术》1983年第1期。
18. NSC IC Data Book, 1979年。
19. 王国定:《与微机兼容的 CMOS 8 位 A/D 转换器 5G0801 的原理与应用》,《电气自动化》,1984年第2期。
20. RCA COS/MOS Integrated Circuits Data Book, 1974年。
21. Siliconix Analog Switch Data Book, 1981年。
22. 上海元件五厂:晶峰器件产品手册,1984年。
23. 电子工业部半导体情报网:《中国集成电路数据手册》,1984年版。
24. 陈鸿彬、马世雄:《信息与系统》,国防工业出版社,1980年。
25. 徐秉铮、常得山:《数字通信原理》,国防工业出版社,1980年。
26. P. R. Gray, D. G. Messerschmitt: «Integrated Circuit for Telephony», IEEE. Vol. 63. No. 8 August 1980.
27. Siliconix Telecommunications Data Book July 1978.
28. 王国定:《视听电路数字化》,《无线电与电视》,1984年1~6期,上海科技出版社。
29. Peyton Z. Peebles: «Communication System Principles», Addison-Wesley Publishing Company, 1976.
30. Gordon M. Jacobs, David J. Allstot, et al: «Design Techniques for MOS Switched Capacitor Ladder Filters», in Int Solid State Circuit Conf, Dig Papers, 1979.
31. James B. Cerni, E. M. W. Chow et al: «Per Channel Codes for PCM telecommunications», in Int Solid State Circuit Conf. Dig. Tech. Papers Feb. 1978.
32. W. D. Cragg: «Analog and Digital Communication Concepts, System, Application and Services» John Wiley and Sons, Inc. 1977.
33. McCreary and P. R. Gray: «A High Speed all MOS Successive approximation Weighted Capacitor A/D Conversion technique», in Int. Solid State Circuit Conf, Dig. Papers Feb. 1975.