

半导体集成电路



天津科学技术出版社

内 容 简 介

本书是电子类技工学校教材，全书由三部分组成。第一部分（1～4章）介绍双极型数字集成电路；第二部分（5～8章）介绍MOS数字集成电路；第三部分（9～12章）介绍模拟集成电路基础、典型电路分析和版图。

本书在介绍各种集成电路时，以电路基本工作原理为主，注重基本概念，不引用过多的数学计算。

本书亦可作为有关工厂工人考工定级用书及职业中学、职工业余教育的教材。

本书前四章由林霞同志编写，后八章由姚金生同志编写。全书由姚金生同志修改定稿。清华大学王尔乾副教授担任了本书的主审工作。

全国电子类技工学校试用教材

半导体集成电路

姚金生 林霞 合编

责任编辑：吴孝钧

天津科学技术出版社出版

天津市赤峰道124号

天津新华印刷一厂印刷

新华书店天津发行所发行

开本 787×1092毫米 1/16 印张 18.5 字数 402,000

一九八五年二月第一版

一九八五年二月第一次印刷

印数：1～18,000

书号：15212·143 定价：2.10元

前 言

为了适应技工学校电子类专业的教学需要,不断提高技工学校的培训质量,加速实现我国的四个现代化,国家劳动总局、第四机械工业部委托北京、天津、上海三市和四川、广东两省的劳动局、电子工业主管部门,组织编写了技工学校电子类三个专业(无线电技术、半导体器件、电子计算机)的部分技术基础课和专业课十二种教材。计有:电工基础、电子电路基础、电子测量与仪器、无线电接收设备、电视机原理调试与维修、无线电整机装配工艺基础、半导体器件制造工艺、半导体工艺化学、晶体管原理、制图与钳工知识、半导体集成电路、电子计算机原理。

这套教材对于二年制(招收高中毕业生)和三年制(招收初中毕业生)的技工学校均适用。这些专业的普通课教材没有另行编写,建议采用国家劳动总局和第一机械工业部委托上海市劳动局、上海市第一机电工业局一九七九年组织编写的全国技工学校机械类通用教材中的普通课教材。我们在组织这套教材的编写时,注意到了这两套教材在内容上的衔接。

根据技工学校的培养目标和教学计划的要求,这套教材在强调加强生产实习教学的同时,注意了加强基本理论知识和对新技术、新工艺的吸收。由于技工学校在教学范围内还有许多问题需要探讨,加之这套教材还没有通过教学实践的检验,故先作为试用教材出版发行。

因为时间仓促,编写经验不足,这套教材难免存在一些问题,恳切希望广大读者批评指正,以便作进一步修改。

国家劳动总局培训司

第四机械工业部教育局

一九八一年十二月

目 录

第一章 逻辑代数	(1)
§1-1 二进制数的基本概念	(1)
§1-2 十进制数的二进制编码表示法	(4)
§1-3 逻辑代数的基本原理	(4)
§1-4 逻辑函数的化简	(13)
第二章 TTL门电路	(24)
§2-1 TTL与非门电路	(24)
§2-2 TTL与非门电路的改进形式	(37)
§2-3 其他TTL逻辑门电路	(40)
§2-4 正逻辑与负逻辑	(43)
第三章 TTL触发器	(45)
§3-1 基本触发器	(45)
§3-2 电位触发方式的触发器	(47)
§3-3 主-从触发方式的触发器	(49)
§3-4 边沿触发方式的触发器	(55)
§3-5 三种触发方式的比较	(60)
§3-6 触发器的主要参数及测试方法	(62)
第四章 其他双极型数字电路	(67)
§4-1 发射极耦合逻辑 (ECL) 电路	(67)
§4-2 集成注入逻辑 (I ² L) 电路	(76)
第五章 MOS门电路	(85)
§5-1 MOS场效应晶体管	(85)
§5-2 MOS集成电路的特点	(94)
§5-3 P-MOS反相器	(95)
§5-4 P-MOS门电路	(101)
§5-5 CMOS反相器	(105)
§5-6 CMOS门电路	(108)
§5-7 其他MOS门电路	(111)
§5-8 MOS集成电路的输入输出级	(115)
第六章 MOS触发器	(119)
§6-1 P-MOS静态触发器	(119)
§6-2 MOS动态触发器	(129)

§6-3	CMOS触发器	(132)
§6-4	MOS数字集成电路的参数及测量	(135)
第七章 中规模集成电路		(138)
§7-1	全加器	(138)
§7-2	寄存器和移位寄存器	(140)
§7-3	计数器	(146)
§7-4	译码器	(153)
§7-5	数据选择器	(158)
§7-6	存储器	(160)
第八章 数字集成电路的版图设计与工艺		(172)
§8-1	TTL电路的版图设计	(172)
§8-2	MOS电路的版图设计	(179)
§8-3	MOS集成电路的新工艺	(184)
第九章 模拟集成电路基础		(187)
§9-1	模拟集成电路的发展	(187)
§9-2	模拟集成电路中的元器件	(189)
§9-3	差分放大单元电路	(196)
§9-4	恒压、恒流源电路	(201)
§9-5	电平移动电路	(204)
§9-6	输出级电路	(206)
第十章 集成运算放大器		(209)
§10-1	运算放大器的基本原理和特性	(209)
§10-2	典型运算放大器电路介绍	(209)
§10-3	运算放大器的直流工作状态分析	(214)
§10-4	运算放大器的交流特性	(217)
§10-5	运算放大器的参数及其测量方法	(220)
§10-6	运算放大器的应用介绍	(224)
第十一章 其他模拟集成电路		(228)
§11-1	集成线性放大器	(228)
§11-2	集成稳压器	(234)
§11-3	功率集成电路	(241)
§11-4	非线性模拟集成电路	(247)
第十二章 模拟集成电路的工艺与版图		(253)
§12-1	模拟集成电路的特点	(253)
§12-2	模拟集成电路的工艺	(256)
§12-2	模拟集成电路版图实例	(257)

第一章 逻辑代数

逻辑代数又称开关代数或布尔代数。最近几十年来，由于电话与数字系统，尤其是计算机的迅速发展，它已成为分析与设计开关电路的数学工具。

§1-1 二进制数的基本概念

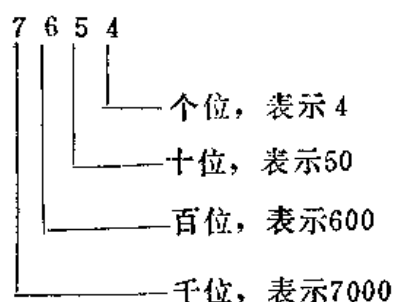
一、二进制数的表示法

在日常工作和生活中，我们最常用、最熟悉的是十进制数，它有十个数码：0、1、2、3、4、5、6、7、8、9。它的进位制是“逢十进一”。

当用一组十进制数码表示数时，数码处于不同的位置，它所代表的数值是不同的。比如一个十进制整数7654，它的最右边第一位是个位（即 10^0 位），表示数值4；从右至左第二位为十位（即 10^1 位），表示数值50；从右至左第三位为百位（即 10^2 位），表示数值600，左边第一位为千位（即 10^3 位），表示数值7000。

十进制数7654可以表示为：

$$7654 = 7 \times 10^3 + 6 \times 10^2 + 5 \times 10^1 + 4 \times 10^0$$



和十进制数一样，当用一组二进制数码表示数时，处于不同位置的数码所代表的数值也是不同的。比如一个二进制数1001，它最右边一位为 2^0 位，从右至左第二位为 2^1 位，从右至左第三位为 2^2 位，最左边一位为 2^3 位。

表 1-1

二 进 制	十 进 制
0	0
1	1
1 0	2
1 1	3
1 0 0	4
1 0 1	5
1 1 0	6
1 1 1	7
1 0 0 0	8
1 0 0 1	9

二进制整数1001表示的量是：

$$1001 = 1 \times 2^0 + 0 \times 2^1 + 0 \times 2^2 + 1 \times 2^3 = 9$$

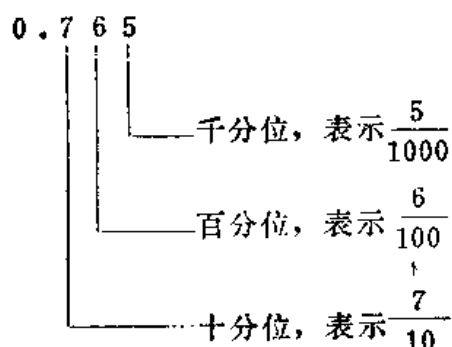
它表示十进制数9。二进制数与十进制数的比较如表1-1所示。

下面介绍二进制小数的表示法。

我们知道，十进制数小数点右起第一位是 10^{-1} 位，第二位是 10^{-2} 位，第三位是 10^{-3} 位。

例如，十进制小数0.765表示的量是：

$$0.765 = 7 \times 10^{-1} + 6 \times 10^{-2} + 5 \times 10^{-3}$$



和十进制小数相似，在二进制小数中，小数点右起第一位是 2^{-1} 位，第二位是 2^{-2} 位，第三位是 2^{-3} 位。例如，二进制小数0.1011表示的量是：

$$\begin{aligned} 0.1011 &= 1 \times 2^{-1} + 0 \times 2^{-2} + 1 \times 2^{-3} + 1 \times 2^{-4} \\ &= 0.5 + 0.125 + 0.0625 \\ &= 0.6875 \end{aligned}$$

二进制小数与十进制小数对照表如表1-2所示。

二、二进制的特点

为什么电子计算机一般都采用二进制呢？

首先，二进制只取0和1两个数码，因此它的每一位数都可以用具有两个稳定状态的元件来表示。比如，可以用继电器的闭合表示“0”，继电器的断开表示“1”；晶体管的截止表示“1”，晶体管的导通表示“0”；可以用高电位表示“1”，低电位表示“0”等，如图1-1所示。一般说来，制造具有两个稳定状态的元件比制造多个稳定状态的元件容易得多。而一个十进制数却要用具有十个稳定状态的元件来表示，所以用二进制要比采用十进制方便得多。

表 1-2

二 进 制	十 进 制
0.1	0.5
0.01	0.25
0.001	0.125
0.0001	0.0625

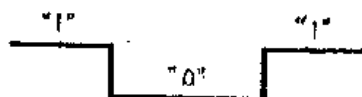


图 1-1 逻辑“0”、“1”表示法

其次，二进制数运算简单。对十进制数作算术运算，必须熟记加法口诀（如 $3 + 4 = 7$ ， $3 + 5 = 8 \dots$ ）和乘法九九表等口诀。对于二进制数，因为它只有两个数码，一位二进制数的加法和乘法只有以下四种情况：

二进制的加法组合为：

$$\begin{aligned} 0 + 0 &= 0 \\ 1 + 0 &= 0 + 1 = 1 \\ 1 + 1 &= 10 \end{aligned}$$

二进制的乘法组合为：

$$\begin{aligned} 0 \times 0 &= 0 \\ 1 \times 0 &= 0 \times 1 = 0 \\ 1 \times 1 &= 1 \end{aligned}$$

因此，二进制实现加法和乘法比十进制实现加法和乘法要简单。

三、十进制数与二进制数之间的相互转换

1. 十进制整数转换成二进制整数

将十进制整数转换成二进制整数，采用“除二取余”法。所谓“除二取余”法，就是将十进制整数不断用2去除，将每除一次得到的余数按低位到高位次序排列起来，就是所要求的二进制整数。

例如，把十进制数725转换成二进制数

725	余数 = 1 (最低位)
362	余数 = 0 (次低位)
181	余数 = 1
90	余数 = 0
45	余数 = 1
22	余数 = 0
11	余数 = 1
5	余数 = 1
2	余数 = 0 (次高位)
1	余数 = 1 (最高位)
0	

较换的结果为：

$$(725)_{十进制} = (1011010101)_{二进制}$$

2. 十进制小数转换成二进制小数

将十进制小数转换成二进制小数，采用“乘2取整法”。所谓“乘2取整法”，是将十进制小数不断用2去乘，将每乘一次得到的整数部分按高位到低位的次序排列起来，就是所要求的二进制小数。

例如，把十进制小数0.6875转换成二进制小数：

0.6875	
× 2	
1.3750	整数部分 = 1
0.3750	
× 2	
0.7500	整数部分 = 0
0.7500	
× 2	
1.5000	整数部分 = 1
0.5000	
× 2	
1.0000	整数部分 = 1

转换结果为：

$$(0.6875)_{十进制} = (0.1011)_{二进制}$$

如果一个数既有整数部分，又有小数部分，则可将整数部分与小数部分分别进行转换。

例如：

$$(2.25)_{十进制} = (10.01)_{二进制}$$

3. 二进制数转换成十进制数

二进制数转换成十进制数是十分方便的，只需将二进制数写成前面所讲的“展开式”，

就能得到所要求的十进制数。

例如，要将二进制数 (101011.1001) 转换成十进制数：

$$\begin{aligned}(101011.1001)_{\text{二进制}} &= 1 \times 2^5 + 0 \times 2^4 + 1 \times 2^3 + 0 \times 2^2 + 1 \times 2^1 + 1 \times 2^0 \\ &\quad + 1 \times 2^{-1} + 0 \times 2^{-2} + 0 \times 2^{-3} + 1 \times 2^{-4} \\ &= 32 + 8 + 2 + 1 + 0.5 + 0.0625 \\ &= (43.5625)_{\text{十进制}}\end{aligned}$$

§1-2 十进制数的二进制编码表示法

十进制数除了可按前一节所讲过的方法转换成二进制数外，还可以用另一种方法来表示，那就是十进制数的二进制编码表示法。

这种表示法是利用四个二进制数码来表示十进制数的每一个数码。这样，它既具有二进制数的形式，又具有十进制数的特点。二进制数码表示法有许多种形式，在这里只介绍最常用的“8421”码，它也称“BCD”码。

表 1-3

“8421”码用四位二进制数来表示一个十进制码。这四位二进制码自左至右其值和二进制数是一样的，即分别是 8、4、2、1。

“8421”码的名称就是由此而来的。例如，

“8421”码 1001 就代表

$$1 \times 2^3 + 0 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 = 9。$$

表 1-3 是一位十进制数的“8421”码的表示法。

用“8421”码来表示十进制数的优点是既简单又方便。例如，十进制数 427 的“8421”码就是

十进制数	8 4 2 1 码
0	0 0 0 0
1	0 0 0 1
2	0 0 1 0
3	0 0 1 1
4	0 1 0 0
5	0 1 0 1
6	0 1 1 0
7	0 1 1 1
8	1 0 0 0
9	1 0 0 1

$$\begin{array}{ccc} 0100 & 0010 & 0111 \\ \hline 4 & 2 & 7 \end{array}$$

“8421”码 1001 1000 0100 就是 984。

在“8421”码中，代码 1010~1111 是不允许出现的，因为它们不能和一个十进制的单个数字符号相对应。

§1-3 逻辑代数的基本原理

一、基本逻辑运算

逻辑代数和普通代数一样，也可以用字母 A 、 B 、 C 、 D ... X 、 Y 、 Z 来表示变量，但是逻辑代数的变量的取值只有“0”或“1”两种。此外，在逻辑代数中，基本运算比较少，只有三种基本运算：与、或、非。以下分别介绍这三种基本运算：

1. 或运算

它又称“逻辑加”运算。在图 1-2 的开关电路中，有两个并联开关 A 和 B ，它们控制一只电灯 F 。不难看出，当开关 A 接通或开关 B 接通（也包括 A 和 B 都接通），电灯 F 亮，开

关 A 和开关 B 都不接通,灯不亮,或者说,灯 F 亮的条件是开关 A 接通或开关 B 接通。

开关只有通和断两种状态,电灯也只有亮和不亮两种状态。如果用“0”表示开关的“断开”状态,用“1”表示开关的“接通”状态;用“0”表示电灯不亮,用“1”表示电灯亮;此外,用符号“+”表示或关系(要注意,“括”号读成或,它不是算术运算中的“加”),那么,上述关于电灯亮和不亮的条件可用以下四个式子表示:

$$\left. \begin{aligned} 0 + 0 &= 0 \\ 1 + 0 &= 1 \\ 0 + 1 &= 1 \\ 1 + 1 &= 1 \end{aligned} \right\} \quad (1-1)$$

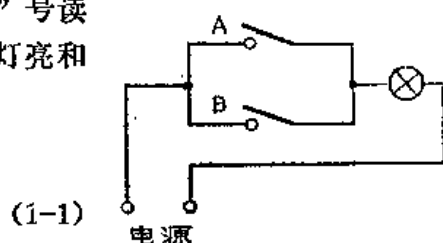


图 1-2 并联开关电路

式中“+”号左边的数字代表开关 A 的状态,“+”号右边的数字代表开关 B 的状态,等号右边代表电灯 F 的状态。电灯 F 亮和不亮的条件还可用表1-4(a)中 F 和 A 、 B 的关系来表示,习惯上称它为真值表。应该说,表1-4(a)和式(1-1)所代表的内容是完全一致的,只是表达形式不同而已。我们把由式(1-1)或由表1-4(a)所表达的运算称为或运算。将描述 A 、 B 和 F 关系的式(1-1)合并写成如下形式:

$$A + B = F \quad (1-2)$$

并把它称为两输入的或运算的一般表达式。在式(1-2)中,当 A 、 B 取一组值后, F 就有另一个确定的值与之相对应,所以 F 是 A 、 B 的或逻辑函数。我们把 F 称为输出逻辑变量, A 、 B 称为输入逻辑变量。

如果图1-2中有三个开关 A 、 B 、 C 并联,那么描述电灯和开关关系的表达式应是一个三输入变量的或逻辑函数表达式:

$$F = A + B + C$$

三输入或运算真值表如表1-4(b)所示。

表 1-4(a)

A	B	F
0	0	0
0	1	1
1	0	1
1	1	1

表 1-4(b)

A	B	C	F
0	0	0	0
1	0	0	1
0	1	0	1
1	1	0	1
0	0	1	1
1	0	1	1
0	1	1	1
1	1	1	1

或逻辑功能可用图1-2所示的开关电路来实现,也可用电子电路来实现。实现或运算的电子线路称为或门。图1-3是几种常用的或门符号,其输入、输出之间的关系为:

$$F = A + B + C$$

2. 与运算

它又称“逻辑乘”运算。如果用两只串联开关 A 、 B 控制一只电灯 F ,如图1-4所示,那么,开关 A 、 B 接通或断开和电灯 F 亮灭之间的关系是:只要 A 、 B 中有一个断开(也包括 A 、 B 都断开), F 就灭;只有当 A 与 B 都接通, F 才亮。如果我们仍用“0”表示开关断

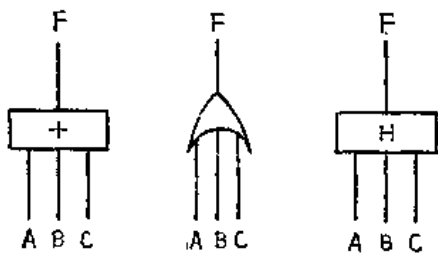


图 1-3 或门符号

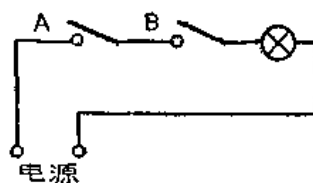


图 1-4 串联开关电路

开和灯不亮；用“1”表示开关接通和灯亮；用“·”表示与，则上述关于电灯亮和不亮的条件可以用以下四个式子表示：

$$\left. \begin{aligned} 0 \cdot 0 &= 0 \\ 1 \cdot 0 &= 0 \\ 0 \cdot 1 &= 0 \\ 1 \cdot 1 &= 1 \end{aligned} \right\} \quad (1-3)$$

（要注意，“·”是逻辑代数中的与，不是算术运算中的乘）如果把上述四个式子用表 1-5 (a) 来描述，那么，它就是与运算的真值表。描述 A 、 B 和 F 关系的式 (1-3) 可用下式来概括：

表 1-5(a)

A	B	F
0	0	0
1	0	0
0	1	0
1	1	1

表 1-5(b)

A	B	C	F
0	0	0	0
1	0	0	0
0	1	0	0
1	1	0	0
0	0	1	0
0	1	1	0
1	1	1	1

$$A \cdot B = F \quad (1-4)$$

并把它称为两输入与逻辑函数表达式

如果图 1-4 中有三个开关串联，那么应当用三输入与表达式来描述：

$$F = A \cdot B \cdot C$$

表 1-5 (b) 为三输入与运算真值表。

用电子线路实现与运算的电路称为与门。图 1-5 是几种常用的与门图形符号，其输入、输出之间的关系为：

$$F = A \cdot B \cdot C$$

3. 非运算

它又称反相运算。如果用一只“单刀双掷”开关控制两个灯 A 和 B ，如图 1-6 所示，当开关上合，则灯 A 亮， B 灭；开关下合，则灯 B 亮， A 灭，即 A 的状态和 B 的状态是“相反”的。

若用“0”表示灯灭，用“1”表示灯亮，则 A 、 B 状态的关系可用表 1-6 表示：

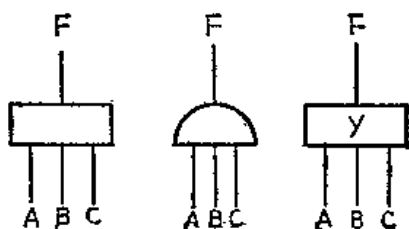


图 1-5 与门图形符号

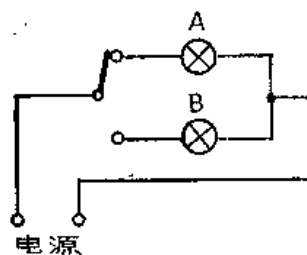


图 1-6 单刀双掷开关电路

表 1-6

A	B
0	1
1	0

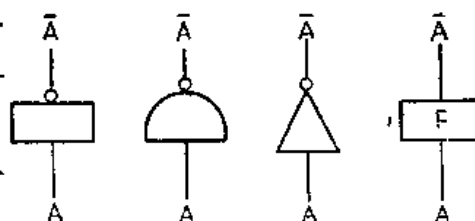


图 1-7 非门符号

我们将这个关系用下式表示：

$$\left. \begin{aligned} A &= \bar{B} \\ B &= \bar{A} \end{aligned} \right\} \quad (1-5)$$

这就是非逻辑函数的表达式。这里， A 、 B 上面的一横读作非。

实现非运算的电路称为“非”门。图1-7是非门的常用符号。

人们常把 A 称为原变量，称 $\bar{A}$ 为 A 的反变量。

二、复合逻辑运算

上面讲了三三种基本逻辑运算——或、与、非。从这三种基本运算可以引伸出很多复合逻辑运算。

1. 与非逻辑运算

与非逻辑是与逻辑和非逻辑的组合，与非逻辑的输入变量 A 、 B 和输出变量 F 之间有以下关系：

$$F = \overline{A \cdot B} \quad (1-6)$$

实现与非逻辑的门电路称为与非门，它由与门和非门串联而成，图1-8给出了它的符号和它的真值表。

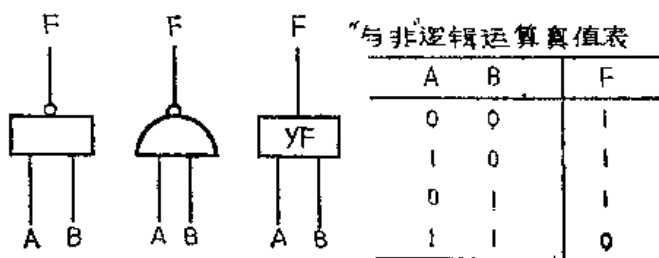


图 1-8 与非门的符号和真值表

2. 或非逻辑运算

或非逻辑是或逻辑和非逻辑的组合。或非逻辑的输入变量 A 、 B 和输出变量 F 之间有以下关系：

$$F = \overline{A + B} \quad (1-7)$$

实现或非逻辑的门电路称为或非门，它是由或门和非门串联而成的。图1-9给出了它的符号

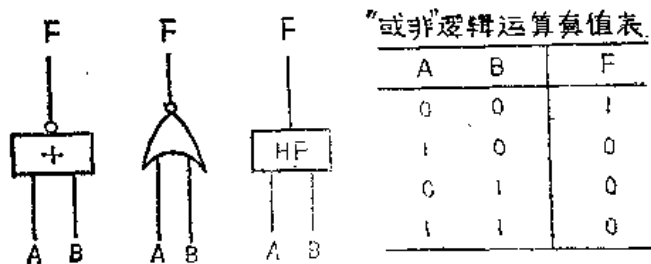


图 1-9 或非门符号和真值表

和真值表。

3. 与或非逻辑运算

与或非逻辑实现以下运算：

$$F = \overline{A \cdot B + C \cdot D} \quad (1-8)$$

它包含与、或及非三种运算。

实现与或非逻辑的与或非门由与门、或门和非门串联而成。图1-10给出了它的逻辑符号和真值表。

4. 异或非逻辑（又称同或逻辑）运算

异或非逻辑在日常生活中是常常会遇到的。例如，装在楼梯上的电灯，为了开灯和关灯方便，常常在楼上、楼下各装一个“单刀双掷”开关，如图1-11所示。上楼时在楼下开灯，照亮楼梯，上楼后顺手用楼上的开关关掉电灯；下楼时在楼上开灯，照亮楼梯，下楼后

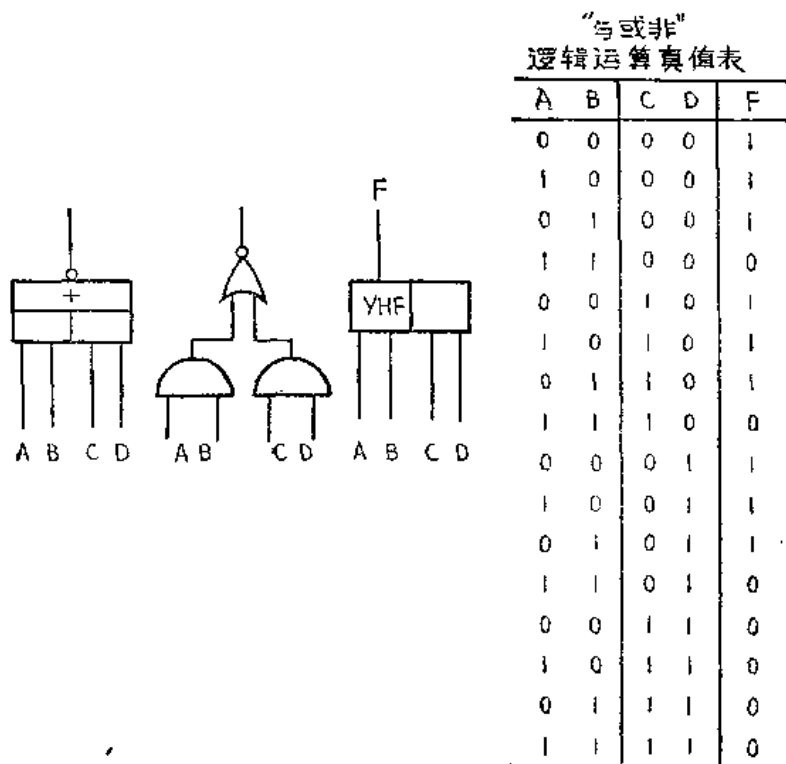


图 1-10 与或非门符号和真值表

顺手用楼下的开关关掉电灯。在图1-11中，开关A表示楼上的开关，开关B表示楼下的开关，F表示电灯。当A与B都扳到上面的位置（即A处于位置1，同时B处于位置3），或者A与B都扳到下面的位置（即A处于位置2，同时B处于位置4）时，F就亮。当开关A、B

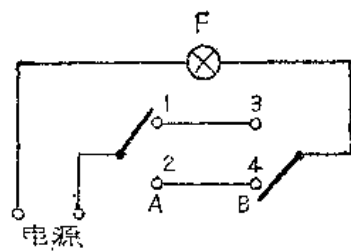


图 1-11 具有异或非关系的开关电路

的位置不处于上述情况（即 A 扳到上面位置， B 扳到下面位置，或 A 扳到下面位置， B 扳到上面位置）时，电灯不亮。如果仍以 $F = 0$ 表示灯灭， $F = 1$ 表示灯亮，“1”表示开关处于上面位置，“0”表示开关处于下面位置，那么，描述电灯 F 状态和 A 、 B 状态关系的表达式为：

$$F = A \cdot B + \bar{A} \cdot \bar{B} \quad (1-9)$$

它所表达的意思是：当 A 与 B 同时处于上面的位置（即“ $A \cdot B$ ”项为“1”），或者（即“+”号）当 A 与 B 都不处于上面的位置（即“ $\bar{A} \cdot \bar{B}$ ”为“1”项），则灯亮（即 $F = 1$ ）。而其余情况下灯灭。式（1-9）就是异或非的逻辑表达式。由图1-12给出了异或非逻辑的符号及其真值表。由真值表可看到，只有当 A 、 B 状态相同时，输出才为“1”， A 、 B 状态相异时，输出为“0”。具有这种特点的逻辑又称同或逻辑。

5. 异或逻辑运算

异或逻辑是异或非逻辑及非逻辑的组合，其逻辑表达式是：

$$F = \overline{A \cdot B + \bar{A} \cdot \bar{B}} \quad (1-10)$$

图1-13给出了它的符号及其真值表。由表可知，只有当 A 、 B 状态相异时，输出才为“1”。因此把具有这种特点的逻辑称为异或逻辑。

用基本逻辑还可以组成很多其它的复合逻辑。

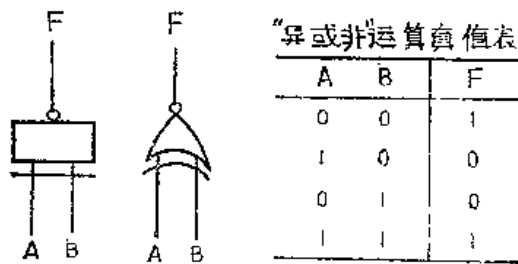


图 1-12 异或非门的符号和真值表

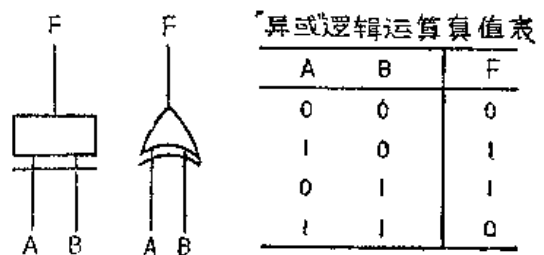


图 1-13 异或门图形符号和真值表

三、逻辑函数的表示方法与逻辑图

上面已讲到过，逻辑运算有两种表示方法，函数表示法及真值表表示法。

逻辑函数表达式是由输入逻辑变量的与、或及非逻辑运算组合而成的。例如， $F = A \cdot B + \bar{A} \cdot \bar{B}$ 就是这样的表达式。

真值表是由逻辑变量的各种可能取值和相应的输出函数值列成的表。表1-7就是逻辑函数式 $F = A \cdot B + \bar{A} \cdot \bar{B}$ 的真值表。

逻辑函数表达式和真值表是逻辑函数的两种不同的表示方法，它们在本质上是相同的，两者可以互相转换。按照逻辑式子，对变量的各种可能取值进行运算，求出相应的函数值，把变量取值和函数值一一对应，列成表格，就得到真值表。上述逻辑函数式中有两个输入变量，它们的取值的可能组合有 $2^2 = 4$ 个，即： $A = 0$ ， $B = 0$ ； $A = 0$ ， $B = 1$ ； $A = 1$ ， $B = 0$ ； $A = 1$ ， $B = 1$ 。按照逻辑式进行运算，当 $A = 0$ 、 $B = 0$ 时，得 $F = 1$ ；当 $A = 0$ 、 $B = 1$ 时，得 $F = 0$ ；当 $A = 1$ 、 $B = 0$ 时得 $F = 0$ ；当 $A = 1$ 、 $B = 1$ 时，得 $F = 1$ 。这样就得到表1-7所示的真值表。反之，由真值表也可以很容易地得到逻辑表达式，其方法为：把真值表中函数等于“1”的变量组合挑出来，变量值是“1”的写成原变量，是“0”的写成原变量的非值，把组合中的各个变量相与，然后把各个与项相或，就得到了相应的逻辑表达式。例如，由表1-7所示的真值表中只有第一栏和第四栏的函数值 F 等于“1”，我们把它们挑出

来。在第一栏中，输入变量 A 、 B 的取值都是“0”，因此，把它们写成 $\bar{A}$ 、 $\bar{B}$ ，再把它们相与，得 $\bar{A} \cdot \bar{B}$ 。在第四栏中， A 、 B 取值都为“1”，因此都把它们写成原变量，即 A 、 B ，再把它们相与得 $A \cdot B$ 。最后，再把这两个与项 $\bar{A} \cdot \bar{B}$ 、 $A \cdot B$ 相或，就可以写出 $F = \bar{A} \cdot \bar{B} + A \cdot B$ 。

表 1-7

A	B	F
0	0	1
0	1	0
1	0	0
1	1	1

表 1-8

A	B	F
0	0	0
1	0	1
0	1	1
1	1	0

下面再举一个由真值表变为逻辑表达式的例子。例如，把表1-8变为逻辑表达式。在这张表中只有第二栏、第三栏的函数值 F 为“1”。在第二栏中， A 取值为“1”， B 取值为“0”，所以把它们写成 A 和 $\bar{B}$ ，再把它们相与，得 $A \cdot \bar{B}$ 。在第三栏中， A 取值为“0”， B 取值为“1”，所以把它们写成 $\bar{A}$ 和 B ，它们相与，得 $\bar{A} \cdot B$ ，最后，把 $A \cdot \bar{B}$ 和 $\bar{A} \cdot B$ 相或，即得函数表达式：

$$F = A \cdot \bar{B} + \bar{A} \cdot B$$

前面已经讲过，可以用门电路的逻辑图符号来表示逻辑表达式，所得到的图叫做逻辑图。每一张逻辑图，其输出与输入之间都具有确定的逻辑函数关系。逻辑图的输入，就是函数的输入逻辑变量，逻辑图的输出就是函数的输出逻辑变量。反之，一张逻辑图也可以用相应的逻辑函数来表示。所以可以把逻辑图看作是表示逻辑函数的一种方法。下面我们通过几个例子来说明逻辑图和逻辑函数是如何转换的。

例1 列出图1-14所示的逻辑图的逻辑函数。

这张逻辑图由两个与非门（门1、2）和一个或非门（门3）组成，我们由输入至输出逐级写出输出端的逻辑表达式：

与非门1的输出表达式 $F_1 = \overline{A \cdot B}$

与非门2的输出表达式 $F_2 = \overline{C \cdot D}$

最后，写出或非门3的输出表达式，即这张逻辑图的逻辑函数为：

$$F = \overline{F_1 + F_2} = \overline{\overline{A \cdot B} + \overline{C \cdot D}}$$

例2 列出图1-15所示的逻辑图的逻辑函数。

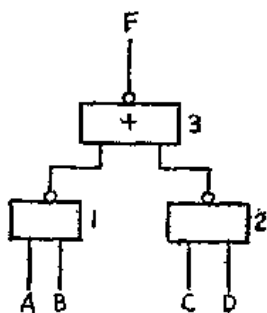


图 1-14 与或非逻辑函数的逻辑图

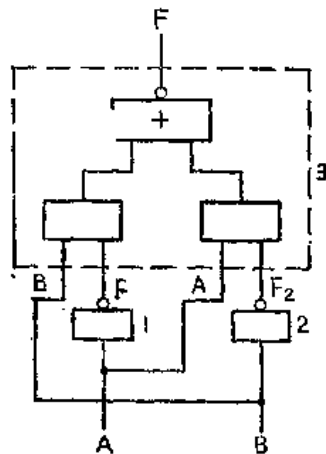


图 1-15 与或非逻辑函数的逻辑图

这张逻辑图由两个非门（门1、2）和一个与或非门（门3）组成。先写出门1、2的输出表达式：

$$F_1 = \bar{A}$$

$$F_2 = \bar{B}$$

然后再写与或非门3的输出表达式：

$$F = \overline{F_1 \cdot B + A \cdot F_2} = \overline{\bar{A} \cdot B + A \cdot \bar{B}}$$

这就是这张逻辑图的输出函数。

下面我们用几个例子来说明如何从逻辑函数画出逻辑图。

例1 画出 $F = A \cdot B + \bar{A} \cdot \bar{B}$ 的逻辑图。

上式中 $(A \cdot B)$ 是与运算，用与门实现； $\bar{A}$ 是 A 的非运算， $\bar{B}$ 是 B 的非运算，它们都用非门实现； $(\bar{A} \cdot \bar{B})$ 是与运算，用与门实现； $A \cdot B + \bar{A} \cdot \bar{B}$ 表示对两个与门的输出进行或运算，用或门实现。这样就得到了实现逻辑函数 $F = A \cdot B + \bar{A} \cdot \bar{B}$ 的逻辑图（图1-16）。

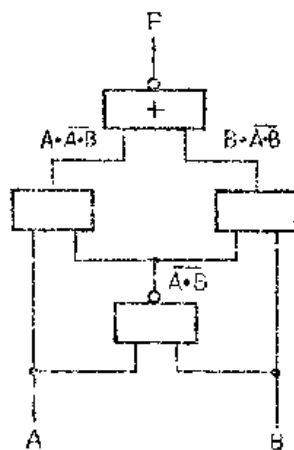
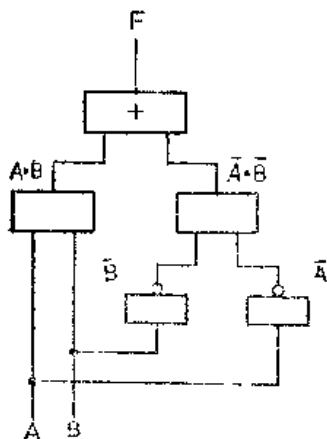


图 1-16 逻辑函数 $F = A \cdot B + \bar{A} \cdot \bar{B}$ 的逻辑图 图1-17 逻辑函数 $F = \overline{A \cdot \bar{A} \cdot B + B \cdot \bar{A} \cdot \bar{B}}$ 的逻辑图

例2 画出 $F = \overline{A \cdot \bar{A} \cdot B + B \cdot \bar{A} \cdot \bar{B}}$ 的逻辑图。

上式中， $A \cdot \bar{A} \cdot B$ 用与非门实现， $\overline{A \cdot \bar{A} \cdot B + B \cdot \bar{A} \cdot \bar{B}}$ 用与或非门实现，这样就可以得到如图1-17所示的逻辑图。

四、逻辑代数的基本公式

逻辑代数是针对二进制数的代数学。这一节我们将着重讨论逻辑代数的基本运算公式。通过这些公式可以了解逻辑代数的基本规律。这些公式有一些和初等代数相似，有些则完全不同。

1. 0 1 律

公式 1 $A + 0 = A$ 公式 1' $A \cdot 1 = A$

公式 2 $A + 1 = 1$ 公式 2' $A \cdot 0 = 0$

公式 3 $A + \bar{A} = 1$ 公式 3' $A \cdot \bar{A} = 0$

2. 交换律、结合律、分配律

公式 4 $A + B = B + A$ (交换律)

公式 4' $A \cdot B = B \cdot A$ (交换律)

公式5 $(A+B)+C = A+(B+C)$ (结合律)

公式5' $(A \cdot B) \cdot C = A \cdot (B \cdot C)$ (结合律)

公式6 $A \cdot (B+C) = A \cdot B + A \cdot C$ (分配律)

公式6' $A+(B \cdot C) = (A+B) \cdot (A+C)$ (分配律)

3. 逻辑代数的一些特殊规律

公式7 $A+A=A$ (重叠律)

公式7' $A \cdot A=A$ (重叠律)

公式8 $\overline{A+B} = \overline{A} \cdot \overline{B}$ (反演律)

公式8' $\overline{A \cdot B} = \overline{A} + \overline{B}$ (反演律)

公式9 $\overline{\overline{A}} = A$ (对合律)

这些等式的正确性都可以用真值表加以证明，其方法如下：

对变量的各种可能的组合取值，如果等号两边式子的值相等则等式成立，反之，等式就不成立。这里作为例子将能证明公式6'和公式8。

证明公式6' $A+B \cdot C = (A+B) \cdot (A+C)$ 的正确性。

列出等号两边的式子的真值表，见表1-9。

由表中可以看出，输入变量共有三个，它们的组合可能有八种，等号两边的式子 $A+B \cdot C$ 和 $(A+B) \cdot (A+C)$ ，在变量前三种情况下都等于“0”，在后五种情况下都等于“1”，它们的真值表是相同的，所以公式成立。

证明公式8， $\overline{A+B} = \overline{A} \cdot \overline{B}$ 。

表1-10是等号两边式子的真值表。由表中可以看出，等号两边的式子 $\overline{A+B}$ 和 $\overline{A} \cdot \overline{B}$ 的真值表是相同的，所以公式成立。

表 1-9

输入 ABC	等式左边		等式右边		
	$B \cdot C$	$A+B \cdot C$	$A+B$	$A+C$	$(A+B) \cdot (A+C)$
0 0 0	0	0	0	0	0
0 0 1	0	0	0	1	0
0 1 0	0	0	1	0	0
0 1 1	1	1	1	1	1
1 0 0	0	1	1	1	1
1 0 1	0	1	1	1	1
1 1 0	0	1	1	1	1
1 1 1	1	1	1	1	1

表 1-10

输入 $A \ B$	等式左边		等式右边		
	$A+B$	$\overline{A+B}$	$\overline{A}$	$\overline{B}$	$\overline{A} \cdot \overline{B}$
0 0	0	1	1	1	1
0 1	1	0	1	0	0
1 0	1	0	0	1	0
1 1	1	0	0	0	0

五、逻辑代数的常用公式

运用基本公式和上述基本规则，可以得到更多的公式。下列公式在实践中是经常遇到的。

公式10 $A \cdot B + A \cdot \overline{B} = A$

证明： $AB + A\overline{B} = A \cdot (B + \overline{B}) = A \cdot 1 = A$

公式11 $A + A \cdot B = A$

证明： $A + AB = A \cdot (1 + B) = A \cdot 1 = A$

公式11说明，如果一个变量和一个与项相或，而与项中又包含这个变量，那么这个与项

是多余的。

公式12 $A + \overline{A}B = A + B$

证明： 根据公式6'有

$$\begin{aligned} A + \overline{A}B &= (A + \overline{A}) \cdot (A + B) \\ &= 1 \cdot (A + B) = A + B \end{aligned}$$

公式12说明，一个变量和一个与项相或，如果与项中包含这个变量的非，则与项中的非项是多余的。

公式13 $\overline{A\overline{B}} + \overline{A}B = \overline{A}B + A \cdot B$

证明： 利用公式8，将 $\overline{A\overline{B}} + \overline{A}B$ 写成：

$$\overline{A\overline{B}} + \overline{A}B = \overline{A\overline{B}} \cdot \overline{A}B$$

再利用公式8'，改写 $\overline{A\overline{B}}$ 及 $\overline{A}B$ 项，得：

$$\overline{A\overline{B}} + \overline{A}B = \overline{A\overline{B}} \cdot \overline{A}B = (\overline{A} + B) \cdot (A + \overline{B})$$

再将上式展开，最后得：

$$\begin{aligned} \overline{A\overline{B}} + \overline{A}B &= \overline{A\overline{B}} \cdot \overline{A}B = (\overline{A} + B) \cdot (A + \overline{B}) \\ &= \overline{A}A + \overline{A}B + AB + B\overline{B} = \overline{A}B + AB \end{aligned}$$

§1-4 逻辑函数的化简

和普通代数一样，逻辑代数也存在着表达式化简的问题。如果表达式比较简单，实现起来使用的元件就少，使设备既简单又可靠，所以化简逻辑表达式，在开关电路的设计中是十分重要的。那么，化简的标准是什么呢？化简的标准很多，常见的一个标准是：表达式中的乘积项的个数应该最少，在满足上述条件下，每个乘积项中的变量最少。例如：

$$F = A + A\overline{B} = A + B$$

显然，这两个表达式中后一个是最简的，因为它和第一个表达式相比，第二个与项中少一个变量。又例如：

$$F = A + AB = A$$

这两个表达式中后一个表达式最简，它只有一项。

常用的化简方法有公式法和图解法。在这一节中我们将分别介绍这两种方法。

一、公式化简法

公式法就是用逻辑代数的基本公式和常用的公式进行化简，下面介绍几种化简方法。

1. 合并项法

利用公式10， $AB + A\overline{B} = A$ 将两项合并为一项，合并时消去一个变量。

例1 $A\overline{B}C + A\overline{B}\overline{C} = A\overline{B}(C + \overline{C}) = A\overline{B}$

例2 $AB\overline{C} + A\overline{B}C = A(B\overline{C} + \overline{B}C) = A$

例3 $A \cdot (BC + \overline{B}\overline{C}) + A(B\overline{C} + \overline{B}C)$

$$= A(BC + \overline{B}\overline{C}) + A\overline{B}C + \overline{A}BC = A$$

2. 吸收法

利用公式11， $A + AB = A$ ，消去多余项。

例1 $A\bar{B} + A\bar{B}CD(E+F) = A\bar{B}[1 + CD(E+F)] = A\bar{B}$

例2 $\bar{B} + A\bar{B}D = \bar{B}(1 + AD) = \bar{B}$

3. 消去法

利用公式12, $A + \bar{A}B = A + B$, 消去多余因子。

例1 $\bar{A} + AB + DE = \bar{A} + B + DE$

例2 $AB + \bar{A}C + \bar{B}C = AB + (\bar{A} + \bar{B})C = AB + \overline{AB}C = AB + C$

例3 $A\bar{B} + \bar{A}B + ABCD + \bar{A}\bar{B}CD$
 $= (A\bar{B} + \bar{A}B) + (AB + \bar{A}\bar{B}) \cdot CD$
 $= (A\bar{B} + \bar{A}B) + \overline{AB + \bar{A}\bar{B}} \cdot CD$
 $= A\bar{B} + \bar{A}B + CD$

4. 配项法

例如, 化简 $F = AB + \bar{A}\bar{C} + B\bar{C}$

在第三项配以因子 $A + \bar{A}$, 而有:

$$\begin{aligned} F &= AB + \bar{A}\bar{C} + (A + \bar{A})B\bar{C} \\ &= AB + \bar{A}\bar{C} + AB\bar{C} + \bar{A}B\bar{C} \\ &= (AB + AB\bar{C}) + (\bar{A}\bar{C} + \bar{A}B\bar{C}) \\ &= \bar{A}B + \bar{A}\bar{C} \end{aligned}$$

下面是综合运用上述几种方法化简与-或表达式的实例。

例1 化简 $F = AD + A\bar{D} + AB + \bar{A}C + BD + ACEF + \bar{B}EF + DEFG$

(1) 首先由于公式中有 AD 、 $A\bar{D}$, 所以可以合并, 合并后为:

$$F = A + AB + \bar{A}C + BD + ACEF + \bar{B}EF + DEFG$$

(2) 由于 F 中有 A , 所以 AB 、 $ACEF$ 都可被吸收。吸收后:

$$F = A + \bar{A}C + BD + \bar{B}EF + DEFG$$

(3) 由于 F 中有 A , 所以 $\bar{A}C$ 的因子 $\bar{A}$ 可消去。消去后:

$$F = A + C + BD + \bar{B}EF + DEFG$$

(4) BD 中有 B , $\bar{B}EF$ 中有 $\bar{B}$, 而 D 、 E 、 F 是 $DEFG$ 的因子, 所以 $DEFG$ 可以消去。即:

$$F = A + C + BD + \bar{B}EF$$

例2 化简 $F = AB + ABD + \bar{A}C + BCD$

(1) 因有 AB , 所以 ABD 可被吸收。吸收后:

$$F = AB + \bar{A}C + BCD$$

(2) AB 中含有 A , $\bar{A}C$ 中含有 $\bar{A}$, 而 B 、 C 又是 BCD 的因子, 所以 BCD 可以消去, 消去后:

$$F = AB + \bar{A}C$$

例3 化简 $F = AB + A\bar{C} + \bar{B}C + \bar{C}B + \bar{B}D + \bar{D}B + ACE(F+G)$

(1) 在 F 中有 $\bar{B}C$, 而 $AB + A\bar{C} = A(B + \bar{C}) = A\overline{B\bar{C}}$, 所以可消去。消去后:

$$F = A + \bar{B}C + \bar{C}B + \bar{B}D + \bar{D}B + ADE(F+G)$$

(2) 在 F 中有 A , 所以 $ADE(F+G)$ 可被吸收。吸收后:

$$F = A + \bar{B}C + \bar{C}B + \bar{B}D + \bar{D}B$$

(3) 用配项法再消去一项, 得:

$$\begin{aligned}
 F &= A + \overline{B}C(D + \overline{D}) + \overline{C}B + \overline{B}D + \overline{D}B(C + \overline{C}) \\
 &= A + \overline{B}CD + \overline{B}C\overline{D} + B\overline{C} + \overline{B}D + \overline{D}BC + \overline{D}B\overline{C} \\
 &= A + (\overline{B}CD + \overline{B}D) + (\overline{B}C\overline{D} + \overline{D}BC) + (\overline{C}B + \overline{D}B\overline{C}) \\
 &= A + \overline{B}D + C\overline{D} + B\overline{C}
 \end{aligned}$$

二、图解化简法

1. 最小项

在介绍图解化简法之前，先引入一个重要的概念——最小项。

设 A 、 B 、 C 是三个逻辑变量。由这三个逻辑变量可以构成 8 个与项， $\overline{A}\overline{B}\overline{C}$ 、 $\overline{A}\overline{B}C$ 、 $\overline{A}B\overline{C}$ 、 $\overline{A}BC$ 、 $A\overline{B}\overline{C}$ 、 $A\overline{B}C$ 、 $AB\overline{C}$ 、 ABC ，这 8 个与项有以下特点：每个与项都只有三个因子；每个变量都以原变量或者反变量的形式作为一个因子在乘积项中仅出现一次。这 8 个变量就称为三个变量 A 、 B 、 C 的最小项。一般地说，对于 n 个变量，最小项有 2^n 个。凡符合以上两个特点的就是最小项，不符合的则不是最小项。比如对 A 、 B 、 C 三个变量， $A\overline{B}$ 不是最小项，因为在因子中既没有 C 也没有 $\overline{C}$ ； $A\overline{B}BC$ 也不是最小项，因为变量 B 既以原量形式出现，又以反变量形式出现； $A(B+C)$ 也不是最小项。因为 B 、 C 都不是独立地作为一个与项的因子出现的。最小项的性质有：

(1) 对于任意一个最小项，只有一组变量取值使得它的值为“1”，而在变量取其他各组值时，这个最小项的值都是“0”，并且最小项不同使得它的值为“1”的那一组变量的取值也不同。

表1-11是三变量的所有最小项的真值表：从表中可以看出，最小项与变量取值是一一对应的对应关系。比如，最小项 $\overline{A}\overline{B}\overline{C}$ 只有在变量取值为 $A=0$ 、 $B=0$ 、 $C=0$ 时，取值才能为“1”，其他任何一种取值只能使最小项 $\overline{A}\overline{B}\overline{C}$ 的值为“0”。

表 1-11

A	B	C	$\overline{A}\overline{B}\overline{C}$	$\overline{A}\overline{B}C$	$\overline{A}B\overline{C}$	$\overline{A}BC$	$A\overline{B}\overline{C}$	$A\overline{B}C$	$AB\overline{C}$	ABC
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

(2) 两个不同的最小项，对应一组变量取值不可能同时为“1”。因此不论在什么情况下，两个最小项相与，结果一定为“0”。

例如，有两个最小项 $\overline{A}BC$ 和 $A\overline{B}C$ ，对于“001”这组变量取值，前者取值为“1”，后者取值为“0”，所以 $\overline{A}BC \cdot A\overline{B}C = 0$ 。

(3) n 个变量的全体最小项的和为“1”。因为对于变量的任意一组取值都有一个最小项的值“1”，因此全体最小项的和恒为“1”。

例如，对于两个变量 A 、 B ，有四个最小项，不管 A 、 B 取值是什么，四个最小项之和恒为“1”。比如， A 、 B 取值为“01”，对应只有 $\overline{A}B$ 的值为“1”，其余三个最小项的值均为“0”，它们全体的和一定为“1”。

任何一个逻辑函数表达式都可以用前面学过的公式展开为若干最小项组成的与-或表达式, 这种类型的表达式是逻辑函数的“标准形式”之一。对于一个逻辑函数“最小标准形”是唯一的。

例如, 将 $F = A \cdot (\bar{B} + C) \cdot B + (\bar{A} + \bar{C})$ 展开成最小项表达式。因为 F 包含了三个变量, A 、 B 、 C , 在 F 的最小项表达式中每一项必须含有三个因子, 每个因子或为原变量或为反变量的形式。

第一步: 反复运用反演律, $\bar{\bar{X}} = X$, 一层层脱去括号, 最后得到一个只在单个变量上有反号的表达式。

$$F = (\bar{A} + B\bar{C}) \cdot B(A + \bar{C})$$

第二步: 应用分配律, 脱去括号, 删除重复的项, 直到最后得到一个与-或表达式。

$$\begin{aligned} F &= (\bar{A} + B\bar{C})(BA + B\bar{C}) \\ &= \bar{A}BA + \bar{A}B\bar{C} + B\bar{C}BA + B\bar{C}B\bar{C} \\ &= 0 + \bar{A}B\bar{C} + AB\bar{C} + B\bar{C} \end{aligned}$$

第三步: 在与-或表达式中, 如果某一项缺少变量 A , 则用 “ $A + \bar{A}$ ” 乘这一项, 把它拆成两项。反复这样做, 再利用公式 $X + X = X$ 进行化简, 最后就能得到一个最小项表达式:

$$\begin{aligned} F &= \bar{A}B\bar{C} + AB\bar{C} + B\bar{C}(A + \bar{A}) \\ &= \bar{A}B\bar{C} + AB\bar{C} + \bar{A}B\bar{C} = \bar{A}B\bar{C} + AB\bar{C} \end{aligned}$$

2. 逻辑函数的卡诺图化简法

图解法是一种直观而方便的化简方法, 利用这种方法比较快地写出最简的与-或逻辑表达式。图解化简法又称卡诺图化简法, 为了介绍这种方法, 先介绍逻辑函数的卡诺图表示法。

(1) 两变量函数的卡诺图表示 把一个大方块分成编号为 0、1、2、3 的四个小方块, 如图1-18所示。图中左列两个小方块的 $A = 0$, 代表 $\bar{A}$, 右列两个小方块的 $A = 1$, 代表 A ; 上行两个小方块的 $B = 0$, 代表 $\bar{B}$, 下行两个小方块的 $B = 1$, 代表 B 。因为第 0 号小方块既代表 $\bar{A}$, 又代表 $\bar{B}$, 所以它代表 $\bar{A}\bar{B}$ 。1 号小方块既代表 A , 又代表 $\bar{B}$, 所以它代表 $A\bar{B}$ 。2 号小方块代表 $\bar{A}B$ 。3 号小方块代表 AB 。我们把图1-18称为两变量函数的卡诺图。在这张图中, 每个小方块代表一个两变量的最小项。

(2) 三变量函数的卡诺图表示 把一个长方形分成编号为 0 ~ 7 的八个方块。如图1-19所示。左起第一列两个方块的 $A = 0$ 、 $B = 0$, 即 AB 取值为 00, 代表 $\bar{A}\bar{B}$; 左起第二列两个方块的 $A = 1$ 、 $B = 0$, 即 AB 取值为 10, 代表 $A\bar{B}$; 左起第三列两个方块的 $A = 1$ 、 $B = 1$, AB 取值为 11, 代表 AB ; 右边一列 AB 取值为 01, 代表 $\bar{A}B$ 。上行四个方块的 $C = 0$, 代表 $\bar{C}$; 下行四个方块的 $C = 1$, 代表 C 。八个方块其编号从 0 开始一直到 7, 分别代表最小项为 $\bar{A}\bar{B}\bar{C}$ 、 $A\bar{B}\bar{C}$ 、 $\bar{A}B\bar{C}$ 、 $AB\bar{C}$ 、 $\bar{A}\bar{B}C$ 、 $\bar{A}BC$ 、 $A\bar{B}C$ 、 ABC 。我们把图1-19称为三变量函数卡诺图。在这里需要指出三点:

①列的取值, 自左向右的是 00、01、11、10, 而不是 00、01、10、11。

②每相邻两列在 A 、 B 取值上仅有一个不同。例如, 第一列是 A 取值不同, B 的取值是相同的。第二、三列是 B 取值不同。第四、一列(它们也是相邻的列)是 A 取值不同, 正是因为图1-19卡诺图有这个特点, 因此可把第一、二列合并起来看作 $B = 0$, 代表 $\bar{B}$; 可以把二、三列合并起来看作 $A = 1$, 代表 A ; 第三、四列看作 $B = 1$, 代表 B ; 第四、一列看作 $A = 0$, 代表 $\bar{A}$ 。

③每相邻两列和行相交的两相邻方格所代表内容, 等于该两列所代表的内容与该行所代

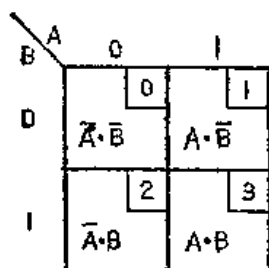


图 1-18 二变量卡诺图

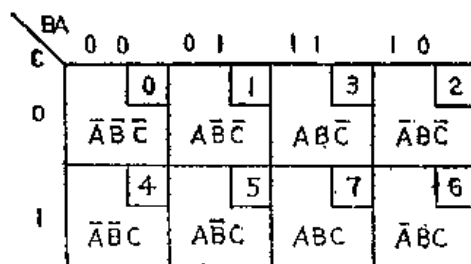


图 1-19 三变量卡诺图

表内容的与。例如，第一、二列和上行相交的方格号是 0、1，它们所代表的内容是 $\bar{A}\bar{C}$ ；第二、三列和下行相交的方格号是 5、7 它们所代表的内容是 $A\cdot C$ ；2、3 方格所代表的内容是 $B\bar{C}$ ；4、6 方格所代表的内容是 $\bar{A}\cdot C$ 。

(3) 四变量函数的卡诺图 把一个大方块分成编号为 0~15 的 16 个小方块，如图 1-20 所示。图中第一列到第四列 A 、 B 取值及其所代表的内容与三变量卡诺图的相同，上起第一行至第四行 C 、 D 取值及其所代表的内容与第一列到第四列相似，即第一行代表 $\bar{C}\bar{D}$ ，第二行代表 $C\bar{D}$ ，第三行代表 $C D$ ，第四行代表 $\bar{C} D$ ；第一、二行代表 $\bar{D}$ ；第二、三行代表 C ；第三、四行代表 D ；第四、一行代表 $\bar{C}$ 。它和三变量卡诺图相似。图中，0 号、1 号、4 号、5 号相邻的四个小方块所代表的内容是一、二列所代表的内容与一、二行所代表的内容之与，即 $\bar{B}\bar{D}$ ；5 号、7 号、13 号、15 号四个相邻小方块所代表的内容为 $A C$ ；4 号、12 号、6 号、14 号四个相邻小方块所代表的内容为 $\bar{A} C$ 。

(4) 逻辑函数的卡诺图表示。

例 1 将 $F = \bar{A} + AB$ 用卡诺图表示。

因为此函数只有两个变量 A 、 B ，因此需用两变量卡诺图。在两变量卡诺图中已讲过， $\bar{A}$ 是第一列 0 号、2 号小方块所代表的内容， AB 最小项是 3 号小方块所代表的内容，在图 1-21 的卡诺图中 0 号、2 号、3 号均填写“1”，剩下的 1 号小方块填写“0”。

例 2 将 $F = \bar{A}\bar{B}\bar{C} + \bar{A}BC + A\bar{C}$ 用卡诺图表示。

首先应看到的是：这个函数有三个变量，因此可用三变量卡诺图。 $\bar{A}\bar{B}\bar{C}$ 和 $\bar{A}BC$ 是最小项，分别是 0 号、6 号小方块所代表的内容，应在 0 号、6 号小方块中填“1”； $A\bar{C}$ 是 1 号、3 号相邻小方块所代表的内容，应在它们中填“1”；而其余小方块均填“0”，如图 1-22 所示。

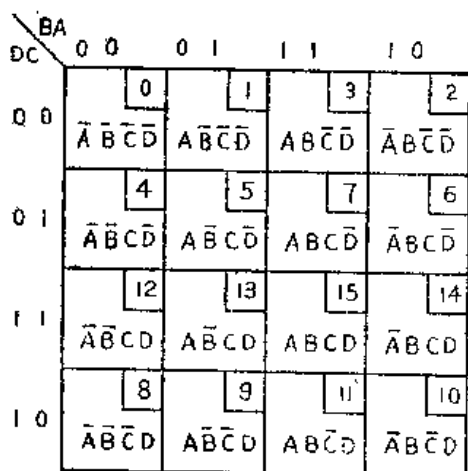


图 1-20 四变量的卡诺图

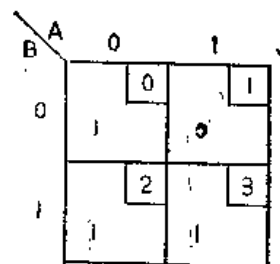


图 1-21 $F = \bar{A} + AB$ 的卡诺图表示

①合并最小项的规律 两小方块相邻或两小方块处于一行或一列的两端时，则可合并成一项，合并时可消去一个变量。举例如下：

在图1-25(a)中，如果1号方块(代表最小项 $A\bar{B}\bar{C}$)和3号方块(代表最小项 $A\bar{B}C$)为“1”，其余方块均为“0”，则由于这两个方块的横向都对应 C ，纵向都对应相同的变量 A ，不同的只是1号方块对应 B ，3号方块对应 B ，所以它们能够合并，这两个方块代表函数 AC 。在图1-25(b)中，4号方块和6号方块也是相邻方块，如果这两个方块为“1”，其余方块均为“0”，则由于这两个方块横向都对应 C ，纵向都对应相同的变量 $\bar{A}$ ，不同的只是4号方块对应 B ，6号方块对应 B ，所以它们能合并成 $\bar{A}C$ 。图1-25(c)~(f)也给出了两相邻小方块合并可消去一个变量的例子。

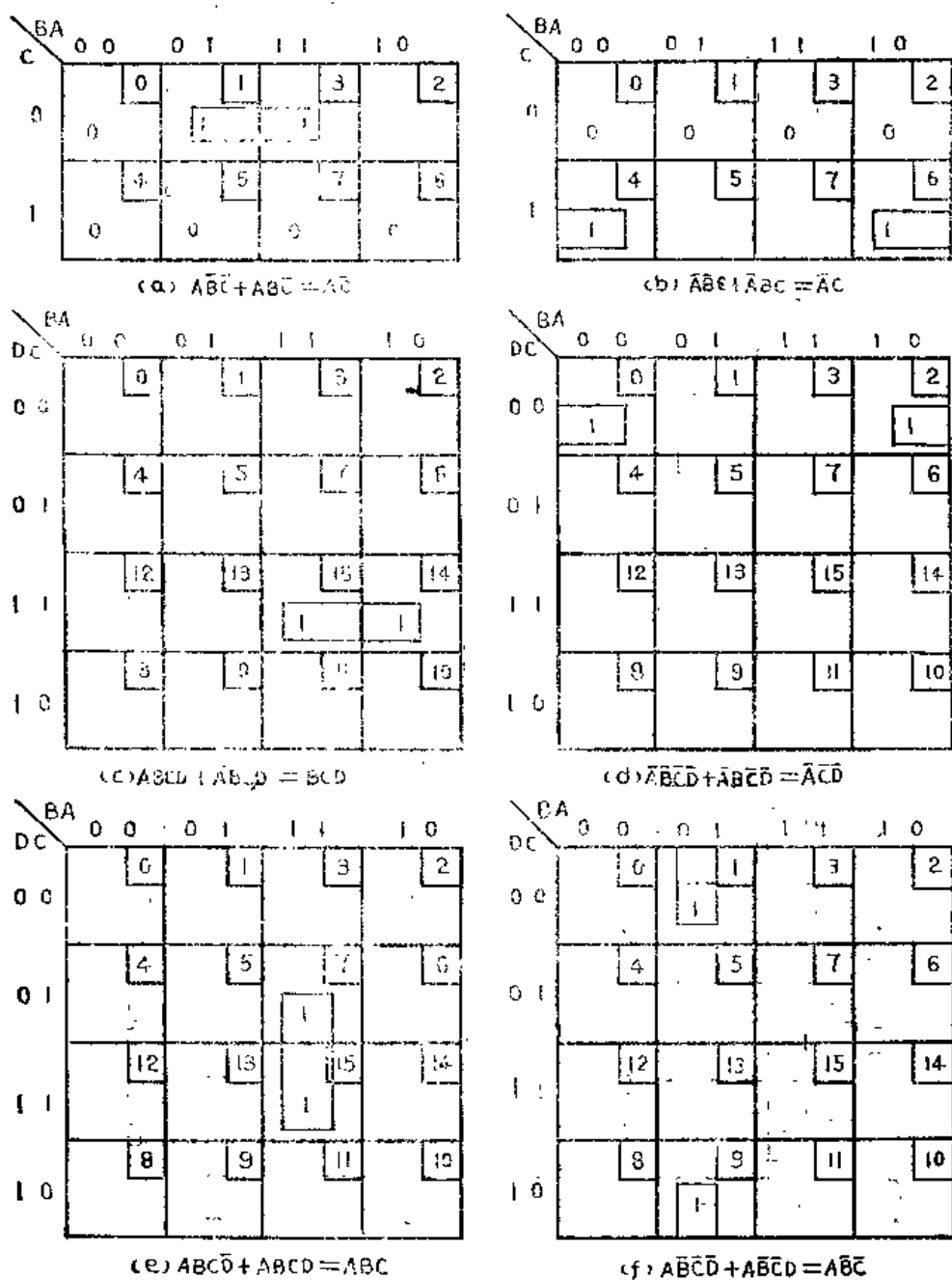


图 1-25 卡诺图两相邻方块化简规律

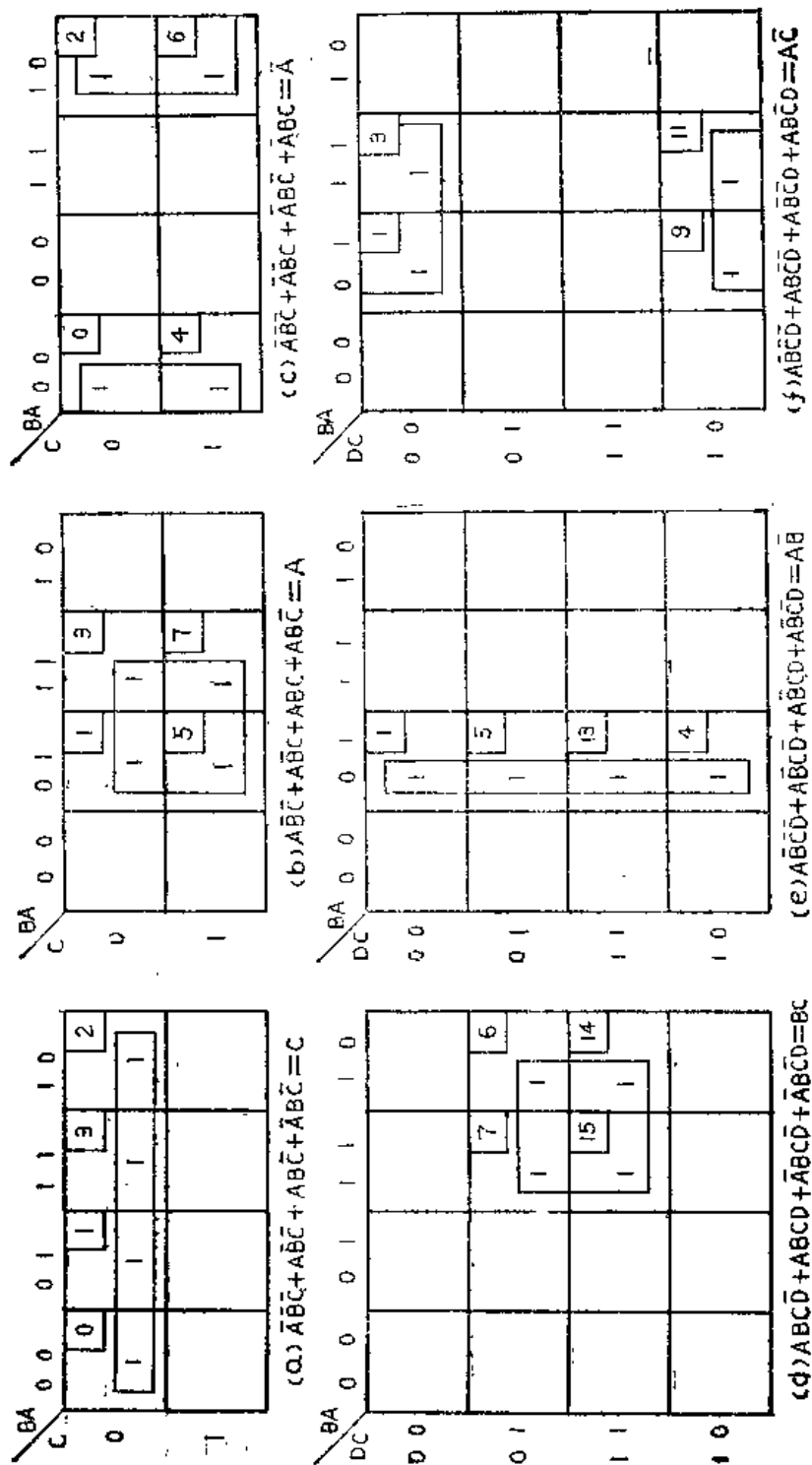


图 1-26 卡诺图四相邻方块化简规律

四个小方块组成一个较大的方块，合并时可消去两个变量。举例如下：

在图1-26(a)中，1号、3号、5号、7号是“1”，其余方块均为“0”。由于1号、3号对应 $C = 0$ ，5号、7号对应 $C = 1$ ，因此它们合并时可消去 C 。又由于1号、5号对应 $B = 0$ ，3号、7号对应 $B = 1$ ，因此它们合并时可消去 B 。这四个方块都对应 $A = 1$ ，所以它们最后合并成 A 。

如果同一行（或同一列）的四个小方块都为“1”，合并时也能消去两个变量。在图1-26(b)中，0号、3号小方块可以合并成 $\bar{C}$ 。

图1-26(c)、(d)、(e)、(f)还给出了四个相邻小方块合并消去两个变量的例子。

若八个小方块组成相邻的两行（或两列），或组成两个边行（或边列），则可合并成一项，合并时可消去三个变量。其例见图1-27。

②卡诺图的简化规则 现举例说明。

例1 将逻辑函数 $F = \bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} + \bar{A}BC + AB\bar{C} + ABC$ 用卡诺图化简。

第一步：先将函数填入三变量卡诺图中（图1-28(a)）。

第二步：把可以合并的相邻小方块用一个较大的方块圈起来。画圈的原则有以下几条：

(a) 每个圈应包括 2^n ($n = 0, 1, 2, 3 \dots$) 个方块。

(b) 相邻的方块应尽可能地圈在一个大圈中。

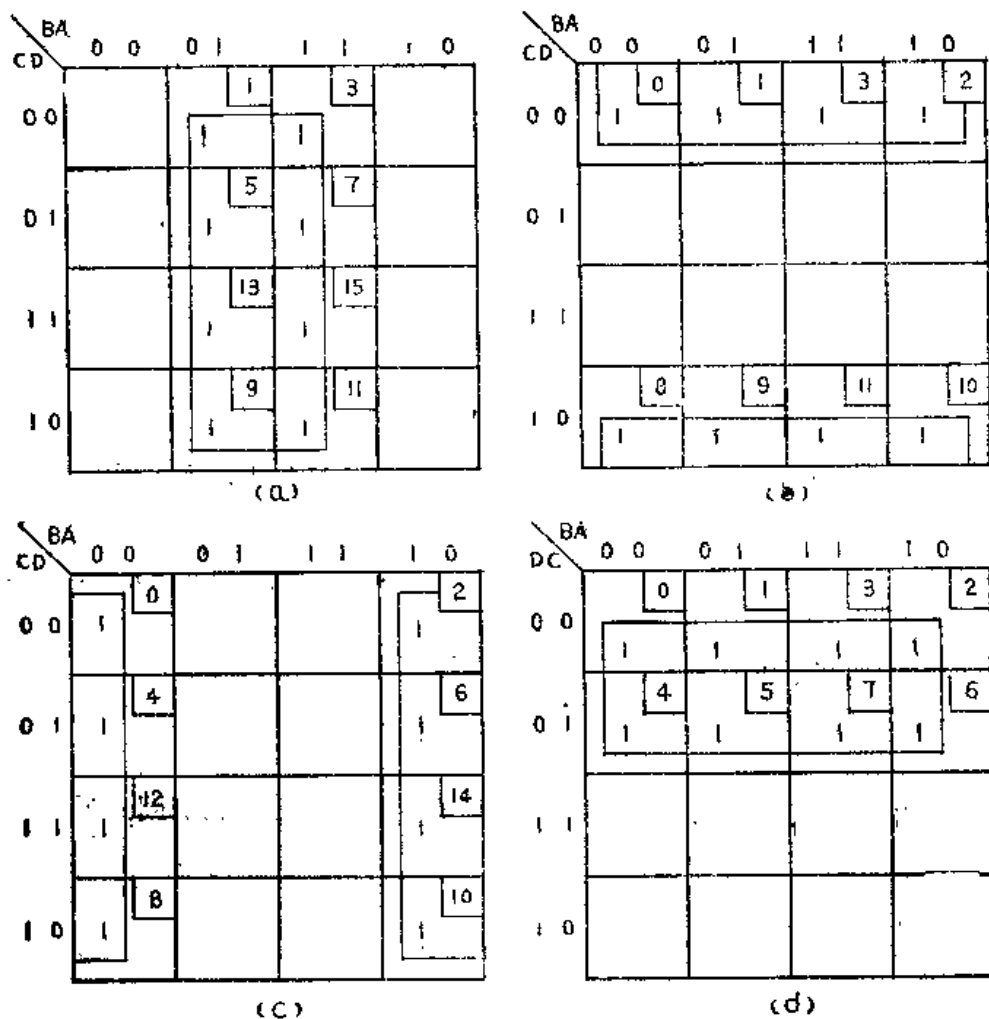


图 1-27 卡诺图相邻两行（列）合并规律

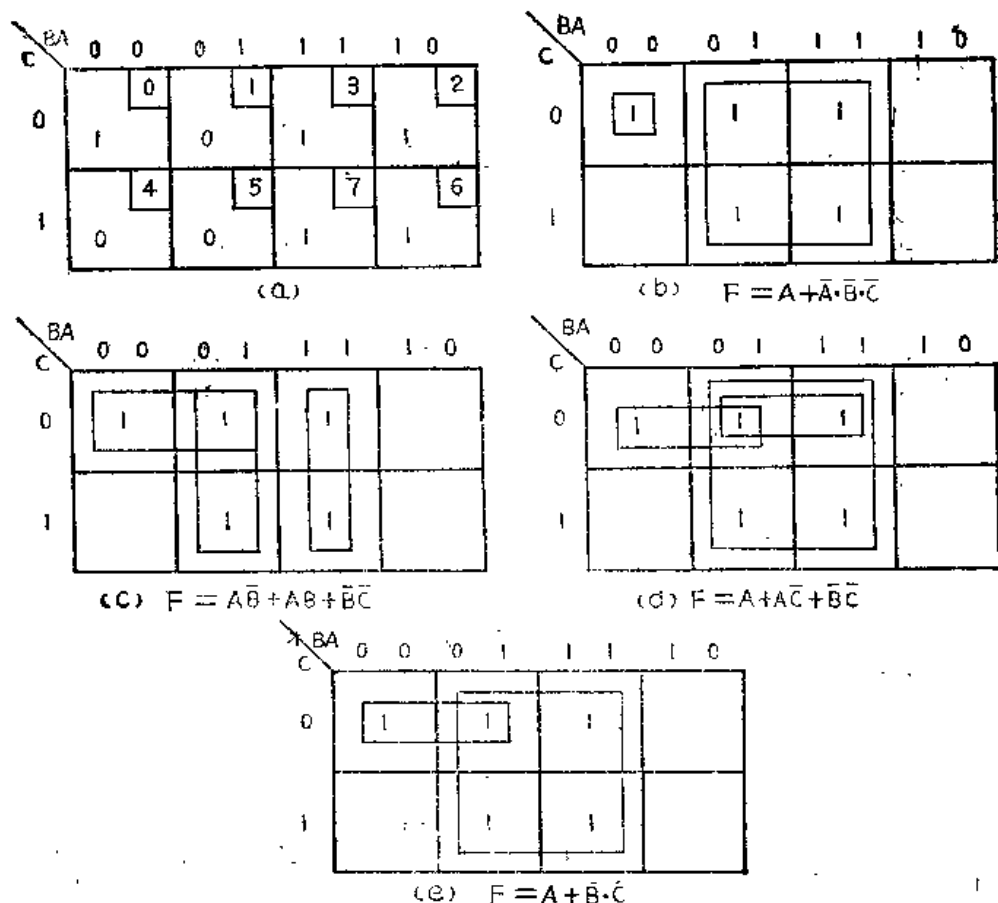


图 1-28 例 1 逻辑函数的卡诺图化简

(c) 一个方块可以包含在不同圈内。

(d) 每个圈至少有一个独立的方块。

(e) 毫无相邻的方块一个一个地圈。

(f) 以最少的圈去包括全部方块。

第三步：把圈用与项写下来，即为化简的表达式。

下面给出卡诺图 1-28(a) 的几种画圈的方法以及它们的简化式，看一看哪一个符合这几条原则，哪一个表达式最简。

从图 1-28(b)~(c) 来看，图 (e) 的结果最简。第一做到了乘积项最少，第二做到了每个乘积项的因子最少，所以它是函数 F 的最简表达式。

图 1-28(b) 的问题在于没有充分利用方块，应圈两个方块的只圈了一个方块。

图 1-28(c) 的问题在于，圈没有画得尽量大，把应用一个圈圈四个方块的改用两个圈来圈，结果多了一个乘积项。

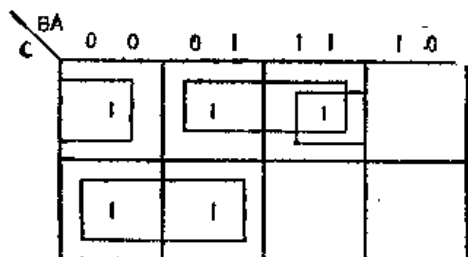
图 1-28(d) 的问题在于多画了一个圈，本来所有的方块都已包括在圈内了，可又重复画了一个圈，所以也多了一个乘积项。

例 2 化简 $F = \bar{A}\bar{B}\bar{C} + AB\bar{C} + \bar{A}B\bar{C} + \bar{A}\bar{B}C + A\bar{B}C$ (见图 1-29)。

得到 F 的最简表达式为：

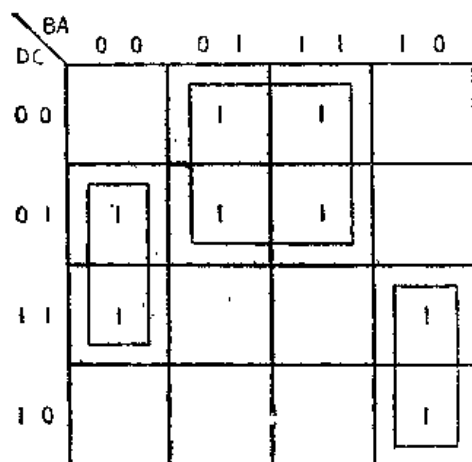
$$F = \bar{A}\bar{C} + B\bar{C} + \bar{B}C$$

例 3 化简 $F = \bar{B}CD + B\bar{C} + \bar{A}CD + A\bar{B}C$ (图 1-30)。



$$F = \bar{A}\bar{C} + B\bar{C} + \bar{B}C$$

图 1-29 例 2 逻辑函数的卡诺图化简



$$F = A\bar{D} + \bar{A}\bar{B}C + \bar{A}BD$$

图 1-30 例 3 逻辑函数的卡诺图化简

这是一个四变量的逻辑函数，所以

第一步：画出四变量的最小项卡诺图，标出 F 所包含的全部最小项。

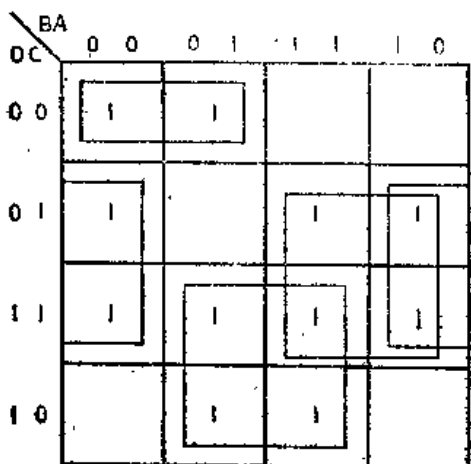
第二步：按化简规则画圈，合并最小项。

得到 F 的最简表达式为：

$$F = B\bar{C} + \bar{A}\bar{B}D + A\bar{B}C$$

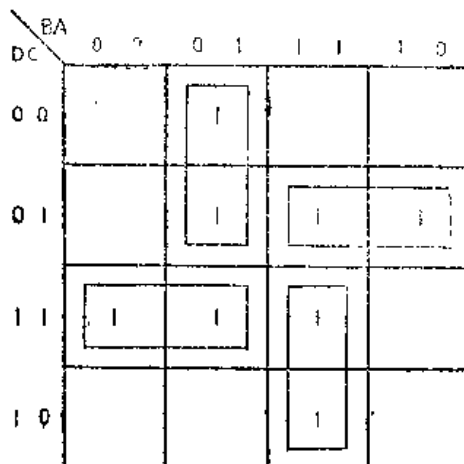
例 4 化简 $F = \bar{A}\bar{B}\bar{C} + \bar{A}CD + \bar{A}B\bar{D} + AD + AC$ (图1-31)。

得到 F 的最简表达式为：



$$F = \bar{B}\bar{C}\bar{D} + AD + BC + \bar{A}C$$

图 1-31 例 4 逻辑函数的卡诺图化简



$$F = \bar{A}\bar{B}\bar{D} + \bar{B}CD + A\bar{B}D + B\bar{C}\bar{D}$$

图 1-32 例 5 逻辑函数的卡诺图化简

$$F = AC + AD + BC + \bar{A}D + \bar{A}\bar{C}\bar{D}$$

例 5 化简 $F = BD + \bar{A}\bar{B}\bar{C} + \bar{A}\bar{C}D + ABC + \bar{A}CD$ (图1-32)。

得到 F 的最简表达式为：

$$F = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{C}D + ABC + \bar{A}CD$$

第二章 TTL 门 电 路

TTL门电路是晶体管-晶体管逻辑集成电路的简称。它是由N-P-N双极晶体管组成的，是双极型集成电路中的一种。TTL电路具有速度快、负载能力强、易于组合等优点。在计算机等数字系统中应用最为广泛。在这一章里我们要对TTL电路中最基本的电路——门电路的工作原理、特性、测试等方面的问题进行分析和讨论。

§2-1 TTL与非门电路

一、TTL与非门电路的原理与结构

TTL与非门电路是TTL门电路中最基本的电路。在这一节中我们将讨论它的特性、参数等方面的问题。

图2-1是与非门的逻辑符号及其真值表。从真值表中可以看到，与非门的逻辑功能可以总结为两句话：当有一个输入端为“0”时，输出必为“1”；当所有输入端均为“1”时，输出为“0”。若用最简单的话来总结，那就是：有“低”必“高”；全“高”为“低”。

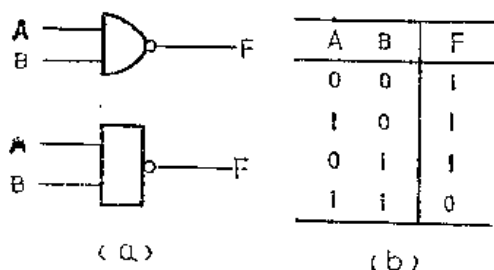


图 2-1 与非门的逻辑符号和真值表

与非门在逻辑上是由一个与门和一个非门串联而成的。图2-2是一个最简单的与非门电路，它的与门部分由三个二极管 D_1 、 D_2 、 D_3 和电阻 R_1 组成，它们的负极分别作为三个与输入端，而其正极并联在一起，作为与门的输出；非门由三极管 T_1 和电阻 R_2 组成， T_1 的基极是非门的输入，它的集电极是非门的输出。下面我们分析图2-2所示电路的原理。在分析中我们用高电平代表“1”，低电平代表“0”。

(1) 假设 A 、 B 、 C 中任意一个输入为“0”（假定 A 接低电平，其值为0V），则有电流自电源 V_{CC} 经电阻 R_1 、二极管 D_1 流向接0V的 A 端，如果二极管的正向压降为0.7V，那么与门输出电位就是二极管 D_1 的正向压降，是低电位。这时，由于 B 、 C 端接高电位（假定高电位是4V），所以 D_2 、 D_3 均处于反向工作状态。如果晶体管的开门电压是0.8V，那么与门输出电位还不能使 T_1 导通，流过电阻 R_2 的电流很小，所以输出 F 的电位接近 V_{CC} （5V），是高电位。这就是所谓“有低必高”的状态。

(2) 假如 A 、 B 、 C 输入均为高电位（4V），那么，有电流自电源 V_{CC} 经 R_1 流向三极管的基极，与门输出电位被箝制在三极管的发射结正向压降（0.8V）上，这时，由于三个二极管均处于反向工作状态，所以无电流自 V_{CC} 经 R_1 流向输入端，流过 R_1 的电流全部进入 T_1 的基极。只要适当地选择 R_1 的数值，使 T_1 的基流足够大， T_1 就能够进入饱和状态，与非门输出端 F 的电位是 T_1 的集射饱和压降（约0V），这就是所谓“全高必低”的状态。

实际上，图2-2的电路是不能使用的，这是因为我们假定输入低电平是0V。如果输入低电平是0.1V，那么与门输出电平（输入低电平加上二极管的正向压降）为0.8V，因而 T_1 不

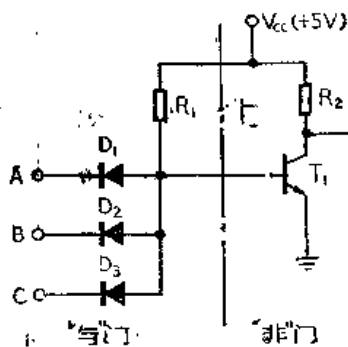


图 2-2 简单的DTL与非门电路

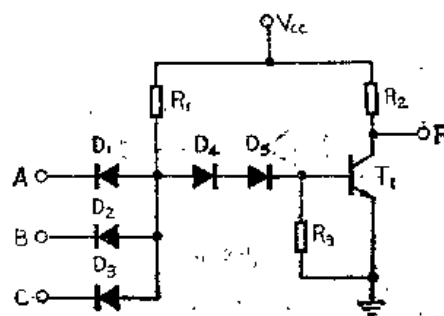


图 2-3 实用的DTL与非门电路

再截止。此外，电路总会存在干扰，难免使输入的“0”电压有零点几伏的波动，这样， T_1 就更不易截止。所以实际的与非门电路如图2-3所示。

在图2-3中，在与门输出和非门输入之间加进了二个二极管 D_4 、 D_5 。这样，输入低电平就不一定非要控制在0.1V以下；此外，即使输入“0”电平上有零点几伏的干扰，也不会把 T_1 打开。事实上，如果输入“0”电平为0.3V，只有当干扰电压幅度为1.9V（即输入达到 $1.9V + 0.3V = 2.2V$ ）时，才能同时打通图2-3中的 D_4 、 D_5 （ D_4 、 D_5 导通电压各为0.7V）和 T_1 发射结（需0.8V），从而使三极管导通。这说明，图2-3所示的电路输入为低电平时，输出高电平是很稳定的。

在图2-3中， T_1 基极还加进了一个电阻 R_3 ，我们知道，三极管从饱和态转换为截止态时，有大量的基区存储电荷需要逸散，如果这个逸散过程能加快，那么，饱和态转换到截止态的过程就能加快。在图2-3中增加了电阻 R_3 ，就给 T_1 基区的存储电荷提供了一条逸散通路，从而加快了电路的开关过程。

图2-3所示的与非门电路通常称为二极管-晶体管与非门电路，简称DTL与非门电路。它的优点是电路比较简单，但是它的驱动负载能力以及开关速度都不够理想。随着计算机的发展，对电路的负载能力以及开关速度提出了越来越高的要求。TTL的电路正是在这些要求下，从DTL电路的基础上发展起来的。

图2-4是典型的TTL与非门的线路图。它由五只晶体管和五只电阻组成。图中 T_1 是一个多发射极管，图2-5是它的结构图。由图2-5可以看到，多发射极管的特点是：在多发射极

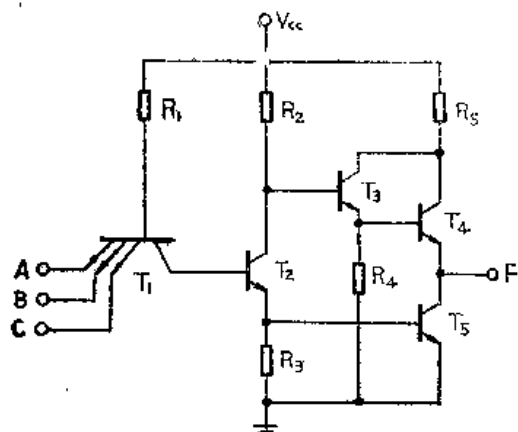


图 2-4 典型的TTL与非门电路

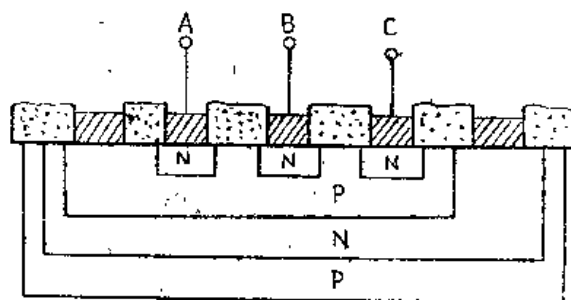


图 2-5 多发射极管的结构图

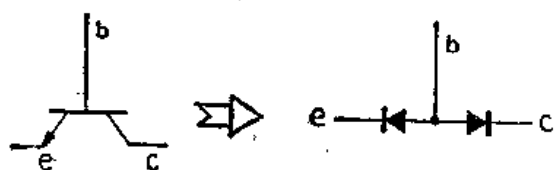


图 2-6 三极管的等效图

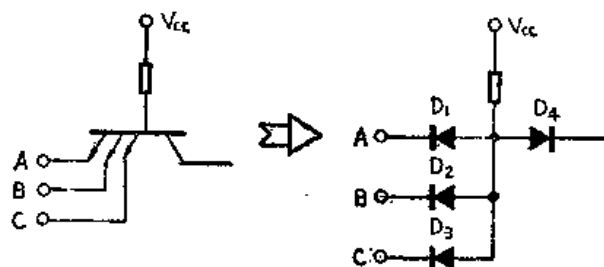


图 2-7 多发射极管的等效图

管的基区上扩散形成多个发射区，因而它的发射极不是一个而是多个。在TTL与非门电路中，多发射极管起到什么作用呢？我们通过它的等效图来理解。大家知道，晶体三极管的发射极和基极之间是一只二极管，基极和集电极之间也是一只二极管，这两只二极管是“背靠背”的，如图2-6所示。同样，多发射极管有多个发射极，每一个发射极和基极之间也可等效为一只二极管，因此，多发射极管可以等效为多个二极管和一只二极管“背靠背”地连接，如图2-7所示。图中 D_1 、 D_2 、 D_3 和 R 是一个二极管与门， D_4 和图2-3中的 D_4 相当，可见多发射极管在逻辑上是实现与功能的。当然，图2-7所示的只是一种不完全的等效，一只晶体管决不完全与两只二极管等效，三极管有放大作用，而两只二极管是没有放大作用的，这种等效完全是为了解释多发射极管的作用。有了这种等效，再来分析TTL与非门的原理

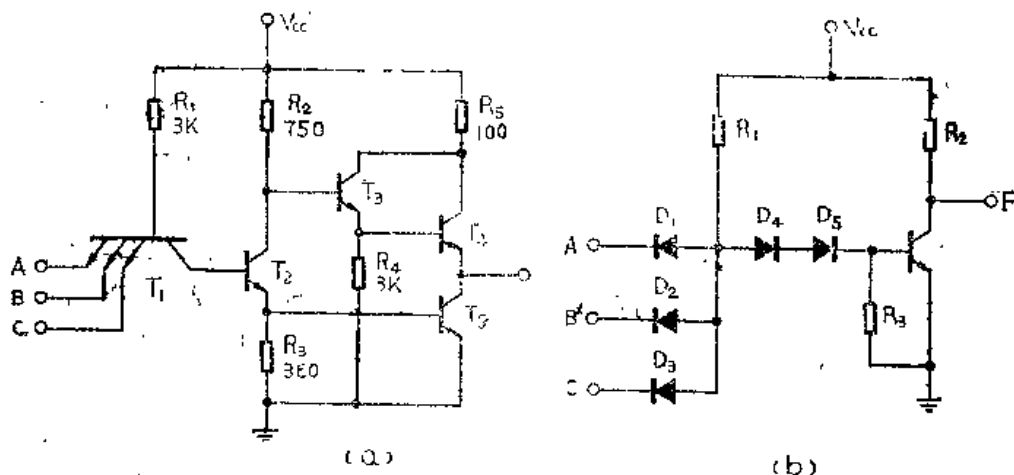


图 2-8 TTL与非门和DTL与非门的比较

就比较容易了。为了分析它的原理，我们把TTL与非门和DTL与非门作个对比（图2-8）。在TTL电路中， T_1 代替了DTL电路中的二极管与门和 D_4 ，TTL电路中的 T_3 管代替了DTL电路中的 R_2 ，TTL电路中的 T_4 代替了DTL电路中的 T_4 ，这些替代有利于提高电路的开关速度和它的驱动负载的能力（我们将在下面几节中分别加以解释）。

下面，我们定性地分析TTL与非门电路是如何实现与非功能的。

(1) 当输入 A 接低电平（0.3V）， B 、 C 接高电平（3.6V），有电流自 V_{cc} 经 R_1 流向接低电平的 T_1 的 A 端，此时， T_1 基极电位为 A 点输入电位加上 T_1 管发射极 A 和基极间的正向压降（约0.7V），约为1V，而把 T_1 的集电结、 T_2 的发射结、 T_3 的发射结打开，所需的 T_1 基极电位为 $3 \times 0.7V = 2.1V$ ，显然 T_2 、 T_3 管都截止。由于 T_2 截止，电源通过 R_1 的电流不会流向 T_2 ，但是却能流向 T_3 基极，使 T_3 导通。 T_3 导通后， T_3 射流的一部分便流向 T_4 基极，因此 T_4 也导通。这样，“与非”门输出端 F 的电位约等于 V_{cc} 减去 T_3 、 T_4 两个射结正向压降

(T_3 基流很小, 在这里忽略 T_3 基流在 R_2 上的压降), 所以输出电位 V_o 约为高电平3.6V。这就是“与非”逻辑的“有低必高”的状态。

(2) 当输入A、B、C均接高电平(3.6V)时, 电源 V_{CC} 的电流不会通过 R_1 流向电位较高的输入端, 它经 T_1 集电极流向 T_2 基极, 只要合适选择 R_1 阻值, T_2 能够饱和, 由于 T_2 的发射极是和 T_3 基极相连的, I_{R2} 的大部分流向 T_3 基极, 并能使 T_3 饱和, 因此, 输出端F为 T_3 的饱和压降, 约为0.3V, 这就是与非门“全高必低”的状态。由于 T_2 饱和, 其集电极电位为 T_2 饱和压降和 T_3 发射结正向压降之和, 约为1V, 因此, 它只能使 T_3 导通, 而不能使 T_4 导通。

通过以上的定性分析, 可以把TTL与非门划分为以下三个部分:

(1) 输入部分, 由 T_1 组成。它完成与逻辑功能。

(2) 分相部分, 由 T_2 组成。它接收来自输入部分的与信号, 从 T_2 集电极和发射极同时形成两个相位相反的信号, 其中 T_2 集电极的信号和与输出信号相位相反, 从而实现非的逻辑功能; T_2 射极信号和与输出信号相位相同, T_2 集电极和发射极信号分别作为 T_3 和 T_4 的驱动信号。

(3) 输出部分, 由 T_3 、 T_4 和 T_5 组成。它的作用在于提高电路的驱动能力。上面已经讲过, 当与非门无“0”输入时, T_4 截止, T_3 导通, 流过 R_1 的电流 I_{R1} 和流过 R_2 的电流 I_{R2} 除一小部分流至 R_3 外, 大部分都流向 T_3 基极, T_3 基流是很大的, 它处于深饱和状态, 所以与非门输出端F可以“吸收”较大的负载电流, 而不致使 T_3 脱离饱和, 也就是说, 与非门在输出为“0”时, 非的功能是由 T_3 来实现的。

当与非门有“0”输入时, T_3 截止, T_3 、 T_4 导通, 它把 T_2 集电极的与非信号传送到F输出端。由于 T_3 、 T_4 是发射极输出, 其输出阻抗很低, 所以与非门在输出为“1”时同样能向F端流出一定的负载电流, 我们把 T_3 、 T_4 管称为与非门的“1”输出驱动级。

根据以上分析, 我们可以把TTL与非门的结构以图2-9来表示。

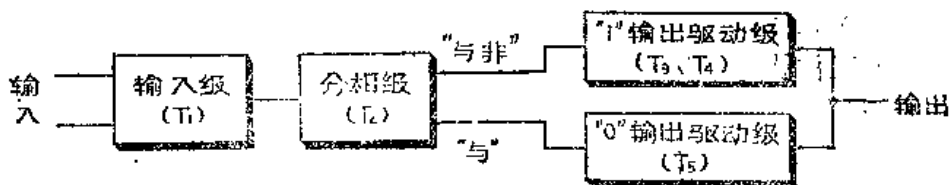


图 2-9 TTL与非门的结构图

二、TTL与非门电路的工作状态分析

TTL与非门电路有两种工作状态, 电路输出低电平时称为导通态(开态); 电路输出高电平时称为截止态(关态)。下面具体分析这两种工作状态。

1. 电路的导通态

TTL与非门的电路在前面已经介绍过, 在这里为了讨论方便起见, 把它重画在图2-10上。

下面分析输入端全部接高电平(3.5V)时, 各晶体管的工作状态、各节点的电位值以及各回路的电流值。

(1) T_1 的工作状态 假设每个结的正向压降为0.7V, T_1 基极电位为 T_1 集电结、 T_2 发射结、 T_3 发射结压降之和, 约为2.1V; T_1 集电极电位为 T_2 发射结、 T_3 发射结压降之和, 约为1.4V。由于 T_1 的发射极电平都为3.5V, 因此, T_1 的发射结均是反向偏置, 集电结则是正

向偏置，所以 T_1 处于倒置工作状态（也就是说，若把 T_1 的集电结、发射结倒过来看，即把它的集电极当作发射极，把发射极当作集电极，那么三极管是处于工作状态的。我们把三极管的这种状态称为倒置工作状态），设基极电流为 I_{b1} ，则 T_1 的每个发射极电流为 $\beta_i \cdot I_{b1}$ ，其中 β_i 是 T_1 的反向电流放大系数， T_1 集电极电流 I_{c1} 应等于基极电流和各发射极电流之和。

$$I_{c1} = I_{b1} + N \cdot \beta_i \cdot I_{b1} = (1 + N \cdot \beta_i) I_{b1}$$

式中 N ——发射极的数目。

图2-11给出了 T_1 处于倒置工作状态时的电流分配的情况。

因为 T_1 处于倒置工作状态，其注射效率很低，所以 β_i 是很小的，往往只有零点几。可以忽略不计，所以 $I_{c1} \approx I_{b1}$ ，因此有：

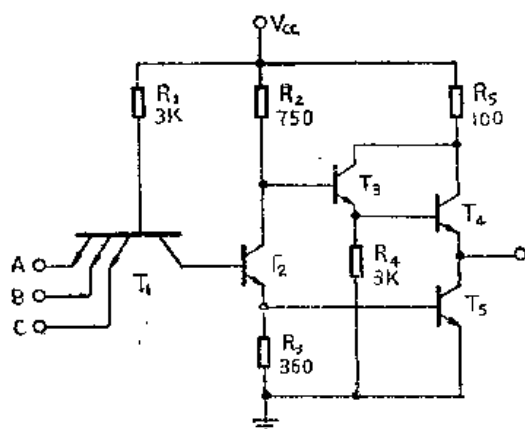


图 2-10 TTL与非门电路

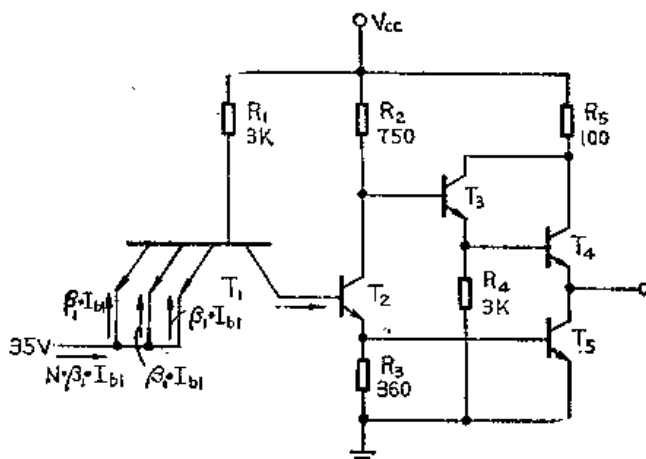


图 2-11 TTL与非门 T_1 倒置工作情况

$$I_{c1} \approx I_{b1} = \frac{V_{CC} - V_{b1}}{R_1} = \frac{(5 - 2.1) \text{ V}}{3 \text{ k}\Omega} \approx 1 \text{ mA}$$

该电流就是 T_2 的基极电流。

(2) T_2 的工作状态 T_2 的基流是 1 mA，它的集电极电平 $V_{c2} = V_{ce5} + V_{ce2} \approx 1.0 \text{ V}$ ， T_2 的集电极电流为：

$$I_{c2} = \frac{V_{CC} - V_{c2}}{R_2} = \frac{(5 - 1) \text{ V}}{750 \Omega} \approx 5.3 \text{ mA}$$

T_2 的电流放大系数 β_2 一般不小于20，能满足 $\beta_2 \cdot I_{b2} \geq I_{c2}$ ，因此 T_2 处于饱和和工作状态 T_2 的发射极电流 I_{e2} 为：

$$I_{e2} = I_{c2} + I_{b2} \approx 6.3 \text{ mA}$$

(3) T_5 的工作状态 T_5 是电路的“0”输出驱动管，由于 T_4 是截止的，因此 T_5 的集电极电流仅是从外接负载流入的电流。

上面已经讲过，因为 R_3 上的压降是 $V_{be5} = 0.7 \text{ V}$ ，流过 R_3 上的电流 I_{R3} 为：

$$I_{R3} = \frac{V_{be5}}{R_3} = \frac{0.7 \text{ V}}{360 \Omega} \approx 2 \text{ mA}$$

所以 T_5 的基极驱动电流是：

$$I_{b5} = I_{e5} - I_{R3} = 4.3 \text{ mA}$$

设 T_5 的电流放大系数 β_5 为20，只要 I_{c5} 小于 $\beta_5 \cdot I_{b5}$ 仍能保证 T_5 处于饱和状态，电路的输出低电平就是 T_5 的饱和压降。

(4) T_3 、 T_4 的工作状态 已经讲过, 当电路处于导通态时, T_2 的集电极电位为 1 V 左右, 这个电位足以使 T_3 导通, 因此 T_3 发射极的电平 V_{e3} 应是:

$$V_{e3} = V_{C2} - V_{be3} = 0.3 \text{ V}$$

因为 V_{e3} 就是 V_{b4} , 所以 T_4 处于截止状态, 通过 R_4 的电流就是 T_3 发射极电流 I_{e3} , 这股电流为:

$$I_{R4} = I_{e3} = \frac{V_{e3}}{R_4} = \frac{0.3 \text{ V}}{3 \text{ k}\Omega} = 0.1 \text{ mA}$$

由于该电流仅 0.1 mA, 它在 R_5 上产生的压降很小, 因此 T_3 处于正向工作状态。设 β_3 为 20, T_3 的基流为:

$$I_{b3} = \frac{I_{e3}}{\beta_3 + 1} \approx 5 \mu\text{A}$$

流过电阻 R_2 的电流 I_{R2} 为:

$$I_{R2} = I_{C2} + I_{b3}$$

由于 I_{R2} 很小, 所以可以认为 $I_{R2} = I_{C2}$ 。

T_3 、 T_4 在电路导通时的工作情况如图 2-12 所示。

根据上述分析计算, 我们将电路处于导通态时各个晶体管的工作状态和电流值列在表 2-1 中:

表 2-1

晶体管编号	工作状态	基极电流 (I_b)	集电极电流 (I_c)
T_1	倒置工作	1 mA	1 mA
T_2	饱和	1 mA	5.3 mA
T_3	工作	5 μA	0.1 mA
T_4	截止	0	0
T_5	饱和	4.3 mA	

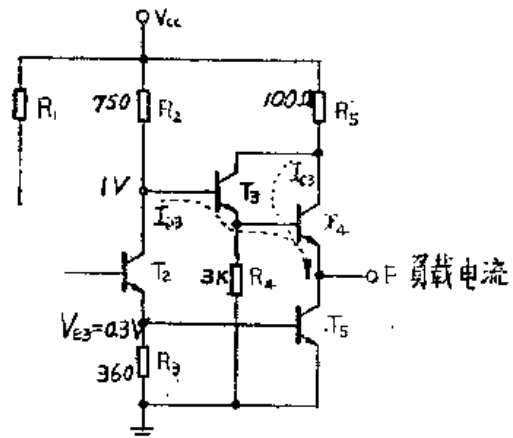


图 2-12 电路导通时 T_3 、 T_4 的工作情况

2. 电路的截止态

下面具体分析电路截止时各晶体管的工作状态、各节点的电位以及各回路的电流值。

(1) T_1 的工作状态 设发射极 A 接低电平 (0.3 V), 其余均接高电平 (3.5 V), 如图 2-13 所示。 T_1 的 $e_A b$ 结导通, V_{b1} 为 1.0 V, 因此 T_1 的基极电流为:

$$I_{b1} = \frac{V_{CC} - V_{b1}}{R_1} = \frac{(5 - 1) \text{ V}}{3 \text{ k}\Omega} \approx 1.3 \text{ mA}$$

V_{b1} 不足以使 T_2 和 T_5 导通, 因此 T_1 的集电极电流 $I_{C1} = 0$, T_1 处于深饱和状态, 其饱和压降 $V_{ce(sat)}$ 约 0.1 V。因此, T_1 集电极电平为: $V_{C1} = V_{ce(sat)} + V_{eA} = 0.4 \text{ V}$

下面估算 T_1 发射极 A 的电流 I_{eA} 。为了估算 I_{eA} , 在这里先引入交叉漏电流的概念。

一个多发射极晶体管, 它包含着多个发射结, 我们分别用 e_{Ab} 、 e_{Bb} 、 e_{Cb} 来表示, 集电结用 b_c 表示。现在三个输入端的情况是 e_A 接低电平 (0.3 V), e_B 、 e_C 接高电平 (3.5 V), 那末, e_{Ab} 正向偏置, e_{Bb} 、 e_{Cb} 则是反向偏置, 因为在这种情况下, T_1 是深饱和的, b_c 结正向偏置, 因为正向偏置的结向基区注入电子可以被反向偏置的结所收集, 所以在正偏结和反偏结

之间有着类似于N-P-N晶体管的作用。例如正向的 e_{Ab} 结和反向的 e_{Bb} 结之间可以形成一个以 e_A 为发射极、 e_B 为集电极、 b 为基极的寄生三极管； e_{Ab} 和 e_{Cb} 也可以构成一个寄生晶体管。这样，接高电平的各输入端都有一定的电流流向接低电平的输入端，如图2-13中标明的 I_{eB} 、 I_{eC} 。我们把 I_{eB} 、 I_{eC} 称为多发射极管的交叉漏电流。

由于交叉漏电流 I_{eB} 、 I_{eC} 的存在， I_{eIA} 应为：

$$I_{eIA} = I_{bI} + I_{eIB} + I_{eIC}$$

交叉漏电流一般都很小（微安数量级），因此

$$I_{eIA} \approx I_{bI}$$

(2) T_2 和 T_5 的工作状态 T_2 和 T_5 均处于截止状态。

(3) T_3 、 T_4 的工作状态 由于 T_2 处于截止态， V_{CC} 通过电阻 R_2 、 T_3 射结和电阻 R_4 到地构

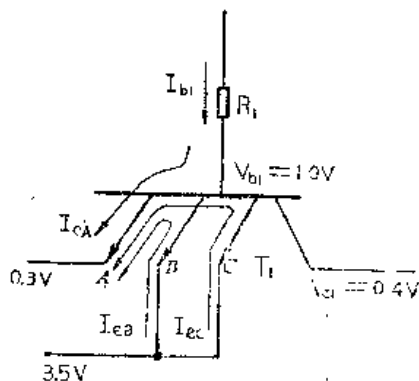


图 2-13 多发射极管的交叉漏电流

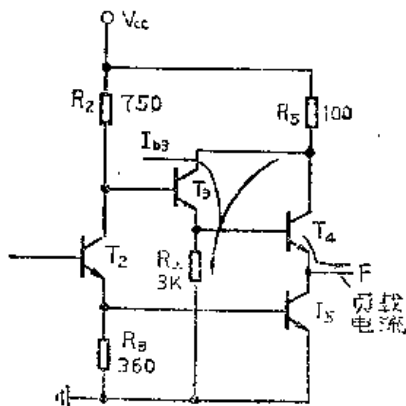


图 2-14 电路截止时 T_2 、 T_5 的工作情况

成一条回路，如图2-14所示。通过 R_2 的电流就是 T_3 的基流 I_{b3} 。因为 T_5 截止， T_4 的发射极电流是与非门的负载电流，这股负载电流一般是很小的， T_4 的基极电流更小，因此通过 R_4 的电流大致上是 T_3 的发射极电流 I_{e3} ，可以忽略，列出回路方程：

$$V_{CC} = R_2 \cdot I_{b3} + V_{eB3} + R_4 \cdot I_{e3}$$

为了求得 I_{b3} ，先假设 T_3 处于工作状态，则有 $I_{e3} = (\beta_3 + 1) \cdot I_{b3}$ ；设 $\beta_3 = 20$ ，于是可以解得：

$$I_{e3} = \frac{V_{CC} - V_{eB3}}{R_4 + \frac{R_2}{\beta_3 + 1}} \approx \frac{4.3V}{3k\Omega} = 1.4mA$$

$$I_{b3} = \frac{I_{e3}}{\beta_3 + 1} \approx 70\mu A$$

$$I_{C3} = \beta_3 \cdot I_{b3} = 1.4mA$$

如果忽略 T_4 的集电极电流，则 T_3 集电极电平为：

$$V_{C3} \approx V_{CC} - I_{C3} \cdot R_5 = 5V - 1.4mA \times 100\Omega \approx 4.86V$$

T_3 的基极电平为：

$$V_{B3} = V_{C2} = V_{CC} - I_{b3} \cdot R_2 = 5V - 70\mu A \times 750\Omega \approx 4.95V$$

虽然 T_3 的基极电位 V_{B3} 比集电极电位约高0.1V， T_3 处于饱和区，但它的饱和程度很低，所以 $I_{e3} = (\beta_3 + 1) \cdot I_{b3}$ 的假设仍然成立。我们称这种工作状态为微饱和。

T_4 的基极电平约4.2V，而集电极电平是4.86V，因此它处于正向工作状态，电路输出高电平的数值为：

$$V_0 = V_{be2} - V_{be3} - V_{be4} = 4.95 - 0.7 - 0.7 \approx 3.6(\text{V})$$

根据上述分析计算,我们将电路截止态时的各晶体管的工作状态和电流值列在表2-2中。

表 2-2

晶体管编号	工作状态	基极电流 (I_b)	集电极电流 (I_c)
T_1	深饱和	1.3mA	0
T_2	截止	0	0
T_3	微饱和	70 μ A	1.4mA
T_4	正向工作	I_{c4}/β_5	负载电流
T_5	截止	0	0

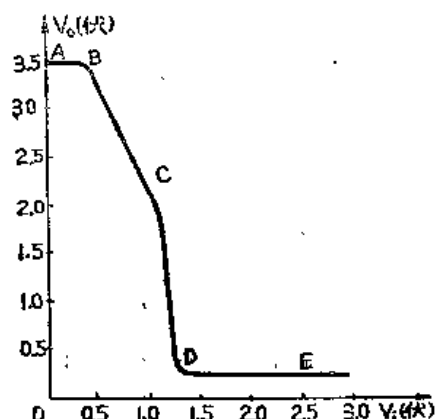


图 2-15 TTL与非门电压转移特性曲线

三、TTL电路的转移特性

输出电平随输入电平变化的转换特性称为电压转移特性。它给出不同输入电平值时电路的输出电平值;图2-15是TTL与非门的电压转移特性曲线。

(1) A-B段 图中A-B段是一条与横坐标平行的直线。这一段的输出电压不随输入电压而变。这是因为,当输入电压 V_i 很小时, T_1 处于深饱和状态, T_2 的基极电位只比 V_i 高 V_{ce1} (0.1V),只要 V_i 还未上升到使 T_2 微导通, T_2 仍处于截止状态,因此输出高电压值也不发生变化。

(2) B-C段 高输入电平 V_i 上升到 $V_i = 0.5\text{V}$ 时, V_{b2} 为0.6V, T_2 开始微导通,这时 T_2 的集电极电流为 I_{c2} , I_{c2} 在 R_2 上形成电压降,随着 V_i 的增加,这股电流不断地增加,使 V_{c2} 不断地降低,于是通过 T_3 、 T_4 的发射结跟随器的作用使输出电平 V_o 不断下降。所以曲线的这一段 V_o 在下降。

(3) C-D段 转移特性在C点发生转折,输出电压急剧下降,比B-C段的下降要陡得多。这是什么原因呢?在转移特性上看到,C点的输入电压 V_i 在1.3V左右,加上 T_1 的饱和压降 V_{ce1} (0.1V),使 T_2 的基极电位达到1.4V。这时, T_3 的基极电位达到 $1.3\text{V} - 0.7\text{V} = 0.6\text{V}$, T_3 开始微导通,随着 V_i 继续增加, I_{b3} 迅速加大;与此同时, V_{c2} 也以更快的速度下降,使 T_4 趋向截止,所以 T_3 便很快地饱和了。

我们把这一段称为转移特性的过渡区,因为过渡区所对应的输入电压,是 T_3 管截止和导通的分界线。人们常常把这个输入电压称为门槛电压。这个门槛电压约为1.3~1.4V。

(4) D-E段 在这一段,转移特性曲线又变成水平,因为这时电路已处于导通态, T_2 、 T_3 都已进入饱和,输出电平已变为低电平,并且不再变化。

四、TTL与非门的抗干扰特性

在实际应用中,一个与非门的输入信号往往就是前一个与非门的输出。在正常情况下,与非门的高电平为3.6V,低电平为0.3V,但是,实际上由于各种干扰的影响,与非门的输入往往不是理想的高电平或低电平。人们希望当输入不是理想的逻辑电平时,电路仍能保持正确的逻辑输出。实际的输入电压与理想的逻辑电平的差值叫干扰电压。人们用能保持正确逻辑关系的最大干扰电压来表示电路的抗干扰能力。下面讨论与非门的抗干扰能力。

(1) 当输入还是正常的“0”电压(0.3V)时,电路的输出为高电平。这时电路工作点和图2-16所示的A点相对应,当输入在“0”信号上叠加了0.7V的正向干扰电压,即输入为1V时,输出已比正常的“1”电平下降了,但仍是比较高的电平,我们认为这电路仍有正常的逻辑关系(图2-16中的B点)当干扰电压使输入电压达到门槛电平 V_T (1.4V)时,由图2-16可看到电路的输出变成低电平,与非门当然不能有正常的逻辑关系了。人们给输出高电平的降低规定了一个极限值,例如2.4V(图2-16中C点),只要高电平不低于2.4V,认为电路的逻辑关系仍是正确的,若低于2.4V,就认为电路的逻辑关系不正确了。我们把这个使输出高电平达到极限值时的输入电压称为关门电平 V_{off} ,把 V_{off} 和输入低电平之差称为“0”输入时的抗干扰容限。

(2) 当输入为正常“1”电压(3.6V)时,电路输出为低电平(图2-16中D点)。当输入在“1”信号上迭加了1V的负向干扰($V_i=2.6V$),输出仍为正常的0.3V,1V干扰对电路没有影响。为了确定电路的“1”输入时的抗干扰容限,我们给低电平确定一个极限值(例如0.45V),和这个极限值相对应的输入电压称为开门电压 V_{on} 。把输入高电平和 V_{on} 之差称为“1”输入时的抗干扰容限。

由图2-16可见,与非门“1”输入时的抗干扰容限要比“0”输入时抗干扰容限大,如果与非门的电压转移特性矩形性好,那么 V_{off} 就大,“0”输入时的抗干扰容限就能提高。

五、TTL与非门开关状态的分析

提高电路的开关速度是集成电路设计的一个主要目标。在这一节里,我们将从与非门的电路结构来分析影响与非门开关速度的主要因素,现分以下几个方面来分析。

1. 在提高开关速度中 T_1 管的作用

在与非门的A输入端加上由高电位到0V的跳变电压,其余输入端接高电平(图2-17)。当A端还是高电平时, I_{R1} 流向 T_2 基极, T_2 饱和;当A突然由高跳向0V时, I_{R1} 就流向 T_1 的发射极A。这时由于 T_2 、 T_5 尚未脱离饱和, T_1 集电极电位仍为1.4V,而 T_1 的基极电位由于

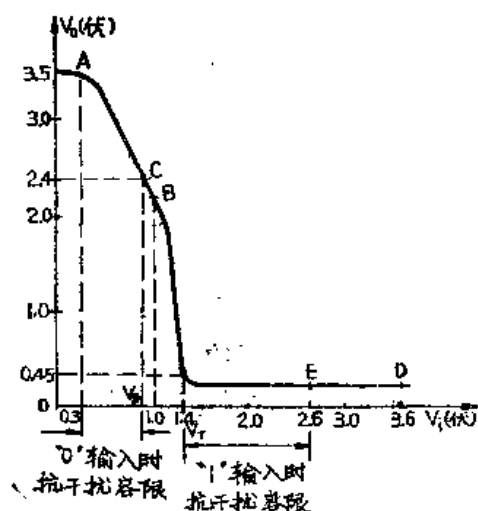


图 2-16 TTL与非门的抗干扰容限

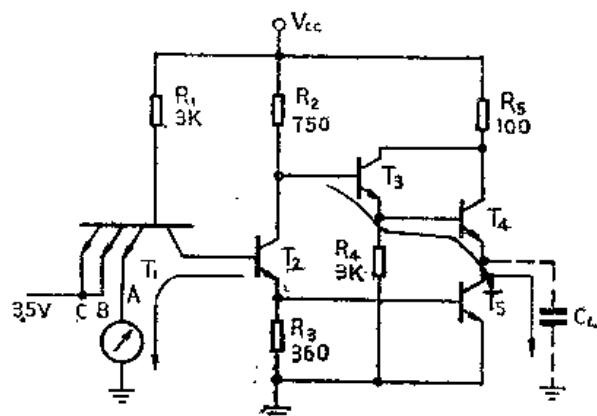


图 2-17 在提高开关速度中 T_1 管的作用

I_{R1} 流向A端,为0.7V。因此,在A输入负向突跳时 T_1 处于放大状态,于是 T_1 集电极有一股被 T_1 管放大的电流流向A端(其值为 $\beta_1 \cdot I_{R1}$)。此股大电流对 T_2 来说恰好是一股反向基流,它能够很快地把 T_2 管基区的多余存储电荷迅速从基区拉出来(如图2-17所示),加速了 T_2 脱离饱和而趋向截止的过程。 T_2 的截止过程加快了, T_5 的截止以及 T_4 的导通过程才可

能加快,从而加速与非门由导通态进入截止态的过程。一旦 T_2 截止,这股反向基流就不存在了。由此可见,多发射极管的引入提高了电路的开关速度,而这在DTL“与非”门中是不存在的。因此TTL门电路的开关速度比DTL门电路要快得多。

2. T_3 、 T_4 和 T_5 组成的“推拉”输出级在提高开关速度中的作用

在输入信号由高电平向低电平变化的过程中, T_2 逐渐趋向截止, V_{C2} 逐渐提高,在 T_2 尚未截止时, T_5 仍处于饱和状态,当 V_{C2} 升高到可以使 T_4 导通时,有一个瞬间, T_4 、 T_5 是同时导通的。由于 T_3 、 T_4 的发射极阻抗很小,从 T_4 的发射极有一股很大的电流流向 T_5 集电极,使 T_5 的集电极电流瞬间变得很大,这股电流破坏了 T_5 的饱和条件,使 T_5 饱和时集电区多余的存贮电荷迅速逸散,加速了 T_5 脱离饱和的过程。

电路在由导通态向截止态过渡时,除了电路内部晶体管的状态要变化外,给门电路的负载电容还必须充电到高电位。充电电流愈大,输出电压上升得愈快,与非门电路在由导通态向截止态转变时, T_3 、 T_4 能向 C_L 提供较大的充电电流,其过程如下:当 T_5 脱离饱和状态进入工作状态时,由于 T_2 向 T_5 提供的基流比较少, T_5 管只需要有限的集电极电流,因此来自 T_3 、 T_4 发射极的电流的大部分便向与非门的负载电容 C_L (见图2-17)充电,使 C_L 迅速充电到高电平。可见,TTL与非门和DTL与非门相比有较强的驱动电容负载的能力。

3. R_3 的作用

在电路由导通态向截止态转换时, R_3 能为 T_5 管基区存贮电荷的逸散提供一条通路,从而加快了电路的截止过程。

六、TTL与非门的参数及其测试方法

在了解了TTL与非门的工作原理以及静态、动态特性以后,我们就可讨论其主要参数指标了。主要的参数有以下几个:

1. “0”输入电流 I_{IL} (又称输入短路电流)

当电路的某输入端接规定的低电位 V_{IL} ,而其余输入端接规定的高电平 V_{IH} 时,流经该输入端的电流称为“0”输入电流。图2-18是测试 I_{IL} 的原理图,测试条件是 $V_{CC}=5.25V$,被测端依次接地,非被测端全部悬空,通常要求对每一个输入端都进行 I_{IL} 的测试。

I_{IL} 主要取决于电阻 R_1 的值,如果忽略交叉漏电流,则 I_{IL} 值为:

$$I_{IL} = \frac{V_{CC} - V_{IL} - V_{be1}}{R_1} = \frac{5.25V - 0V - 0.7V}{R_1} = \frac{4.55V}{R_1}$$

因此,测量 I_{IL} 也可以检验 R_1 的值制造得是否合适。同时,两个与非门级联时,当前级输出为“0”时,后级门的 I_{IL} 实际上是流入前级门的 T_5 管(即灌入前级门电路输出端)的负载电流,如图2-19所示。因此,在前级门所能吸收的负载电流为定值的情况下, I_{IL} 过大,则前级

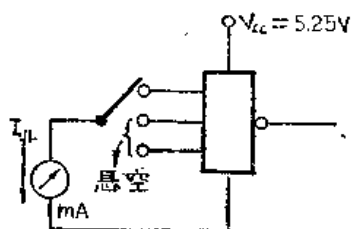


图 2-18 “0”输入电流 I_{IL} 测试原理图

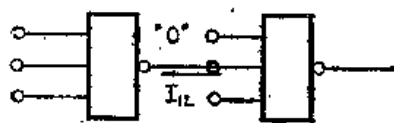


图 2-19 级联时 I_{IL} 的情况

门所能驱动的与非门的数量就要减少。或者说,当前级门驱动门电路的数量确定时, I_{IL} 太大,灌入前级门的负载电流过大,会使前级门输出低电平抬高。所以 I_{IL} 的数值小一些好。

V_{CC} 愈大,测得的 I_{IL} 也就愈大。实际使用时 V_{CC} 总免不了会偏离5V,为了使得在 V_{CC} 偏移的情况下, I_{IL} 不致太大,测试时规定 V_{CC} 可偏移5%,即 $V_{CC}=5.25V$ 。通常要求测得的 $I_{IL}\leq 1.6mA$ 。

2. “1”输入电流 I_{IH} (又称交叉漏电流)

当电路的某输入端接规定的高电平 V_{IH} ,其余输入端均接地时,流过该输入端的电流称为“1”输入电流。图2-20是它的测试原理图。测试条件是 $V_{CC}=5.25V$, $V_{IH}=2.4V$,电流表读数即是 I_{IH} 。通常要求对每一个输入端都进行 I_{IH} 测试。

前面已经讲过,由于多发射极管的各射极之间存在着寄生N-P-N晶体管效应,因此, I_{IH} 包括了各发射极之间的交叉漏电流(如图2-21所示)。

I_{IH} 构成了前级与非门输出为高电平时的 T_4 管流出的负载电流,如果在前级门输出“1”时的负载电流为定值时, I_{IH} 过大,则前级门所能驱动的与非门的数量就要减少;或者说,

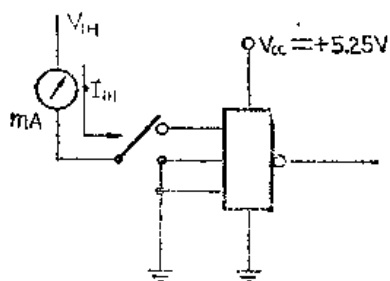


图 2-20 “1”输入电流 I_{IH} 测试的原理图

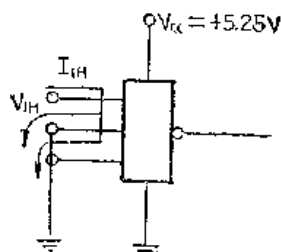


图 2-21 交叉漏电流示意图

当前级门驱动门电路的数量确定时, I_{IH} 过大,会使前级门的输出高电平降低,所以 I_{IH} 小一些好。通常要求 $I_{IH}\leq 50\mu A$ 。

3. “0”电平输出 V_{OL} (又称输出低电平)

V_{OL} 是指当输入为电压值很低的“1”电平时的输出电压,图2-22给出了它的测试原理图,下面我们对图2-22作几点说明。

(1) 测试时,被测门电路的输出端应接规定的负载。在一般情况下,与非门在输出低电平时,应能驱动10个同类与非门。假定每个被驱动的与非门流向前级门的负载电流 I_{IL} 为1.6mA,那么被测门的电流应为16mA,常用的方法是用一个16mA的恒流源来提供负载电流。

(2) 测试时,输入端的高电平规定为2V。如果在输入高电平为2V时能获得合格的 V_{OL} ,那么被测电路的“1”输入时的抗干扰容限至少可达到 $3.6V - 2V = 1.6V$ 。

(3) 测试 V_{OL} 在 $V_{CC}=4.75V$ 下进行。在同样的负载电流下 V_{OL} 是随 V_{CC} 的下降而减少的(这是因为 I_{R2} 和 I_{R1} 随 V_{CC} 的下降而减少),为了使与非门在 V_{CC} 偏离5V的恶劣条件下仍能获得规定的“0”输出电平,要在 $V_{CC}=4.75V$ 下测试 V_{OL} 。

电路的 V_{OL} 愈低,说明它的负载能力愈强。此外,在同样的负载电流下, V_{OL} 愈低,则由与非门组成的系统的“0”输入抗干扰能力就愈强。一般要求 $V_{OL}\leq 0.4V$ 。

4. “1”输出电平 V_{OH} (又称输出高电平)

V_{OH} 是指输入为电压值较高的低电平时的输出电压。图2-23给出了测试原理图,它和测

试 V_{OL} 的图相似。测试 V_{OH} 在 $V_{CC} = 4.75V$ 下进行。此外，被测电路的输出应带规定的负载。在一般情况下，与非门在输出高电平时应能驱动同类门的20个输入端。假定每个被高电平驱动的非门输入端，流向前级门的负载电流 I_{IH} 为 $20\mu A$ ，那么被测门的负载电流应为 $800\mu A$ 。另外，测试 V_{OH} 时，输入的低电平规定为 $0.8V$ ，如果此时能够获得合格的 V_{OH} ，那么被测电路的“0”输入时的抗干扰容限至少可以达到 $0.8V - 0.3V = 0.5V$ 。

在同样的负载电流下， V_{OH} 愈高，则由与非门组成的系统的“1”输入抗干扰能力就愈强。一般要求 $V_{OH} \geq 2.4V$ 。

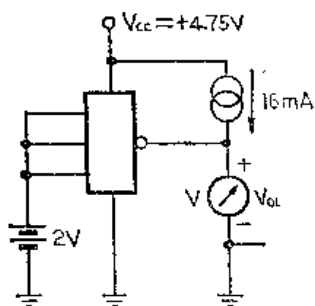


图 2-22 “0”电平输出 V_{OL} 的测试原理图

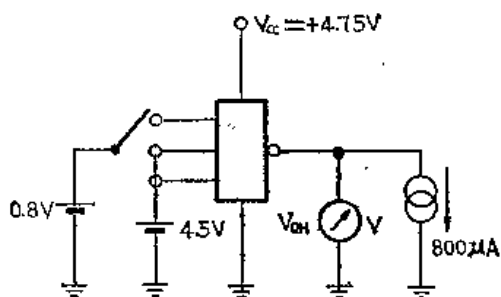


图 2-23 “1”输出电平 V_{OH} 测试原理图

5. 输出短路电流 I_{OS}

在电路的输入端、输出端均接地时，自输出端流出的电流称为输出短路电流。图2-24是它的测试示意图。前面曾经讲过，当与非门由导通态向截止态转变时，由 T_3 、 T_4 组成的发射极跟随器将先向输出集电极电位很低的 T_5 ，然后又向电路的输出负载电容提供一股很大的瞬态电流。测试 I_{OS} 的目的在于检查这股电流的大小。如果 I_{OS} 过小，显然会使 T_5 脱离饱和的时间以及输出电压上升的时间加长。如果 I_{OS} 过大，那么瞬态大电流对 T_3 、 T_4 是很大的冲击，不利于电路可靠工作。一般要求 $20mA \leq I_{OS} \leq 80mA$ 。为了防止测试 I_{OS} 时 T_3 、 T_4 功耗过大，一般要求该项测试在10s以内完成。

6. “1”输出电流 I_{OH}

当电路的输入端全部接地、输出端接规定高电平时，流经输出端的电流称为“1”输出电流 I_{OH} 。图2-25是其测试原理图。它的测试条件是 $V_{CC} = 5.25V$ ，输出端接指定高电平5.25V，电流表中读数即是 I_{OH} 。

测试 I_{OH} 的目的是为了测试电路处于截止态时，输出管 T_6 的 I_{ceo} ，如果这股电流太大会使输出高电平降低。通常要求 $I_{OH} \leq 250\mu A$ 。

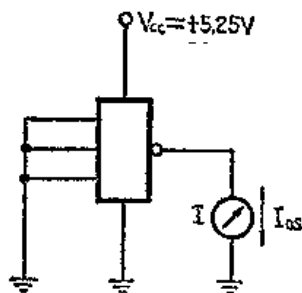


图 2-24 输出短路电流 I_{OS} 测试原理图

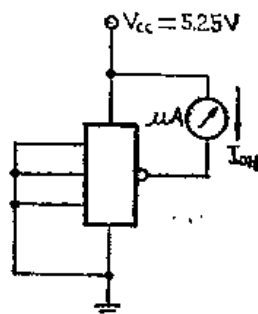


图 2-25 “1”输出电流 I_{OH} 测试原理图

7. 电源电流 I_{CC}

I_{CC} 是指流过集成电路电源端的总电流。 I_{CC} 和电路的工作状态有关,所以 I_{CC} 又分为两种,一种是与非门处于导通态时流过电源的电流,称为导通电流 I_{CCL} ;另一种是与非门处于截止态时流过电源的电流,称为截止电流 I_{CCH} 。图2-26 (a)、(b) 分别是 I_{CCL} 、 I_{CCH} 测试原理图。一般地说,电源电流 I_{CC} 是它们两者的平均值即:

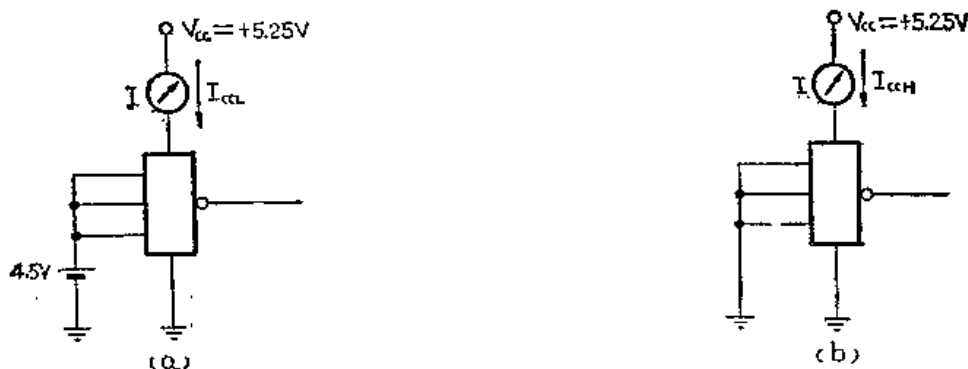


图 2-26 电源电流 I_{CC} 的测试原理图

$$I_{CC} = \frac{I_{CCL} + I_{CCH}}{2}$$

根据前面对电路导通态的分析可知道 I_{CCL} 由三股电流组成: ①通过 R_1 的电流 I_{R1} ; ②通过 R_2 的电流 I_{R2} ; ③通过 R_4 的电流 I_{R4} 。它们的具体数值如下:

$$I_{R1} = \frac{V_{CC} - V_{eb2} - V_{eb5} - V_{be1}}{R_1} \approx 1 \text{ mA}$$

$$I_{R2} = \frac{V_{CC} - V_{eb5} - V_{ce2}}{R_2} \approx 5.3 \text{ mA}$$

$$I_{R4} = \frac{V_{ce2} + V_{eb5} - V_{eb3}}{R_4} \approx 0.1 \text{ mA}$$

导通电流 I_{CCL} 为:

$$I_{CCL} = I_{R1} + I_{R2} + I_{R4}$$

根据前面对电路截止态的分析,可以知道 I_{CCH} 由两股电流组成: ①通过 R_1 的电流 I_{R1} ; ②通过 R_4 的电流 I_{R4} 。它们的具体数值如下:

$$I_{R1} = \frac{V_{CC} - V_{eb1} - V_{OL}}{R_1} \approx 1.3 \text{ mA}$$

$$I_{R4} = \frac{V_{CC} - V_{eb3}}{R_4} \approx 1.4 \text{ mA}$$

截止电流 I_{CCH} 为:

$$I_{CCH} = I_{R1} + I_{R4} = 2.7 \text{ mA}$$

一个电路的总功耗是 V_{CC} 乘以 I_{CC} 。若电路的 I_{CC} 过大,则电路总功耗增加,电路发热量增大,从而影响电路的可靠性。一般要求 $I_{CC} \leq 28 \text{ mA}$, $I_{CCH} \leq 14 \text{ mA}$ 。

8. 传输延迟时间 t_{pd}

传输延迟时间 t_{pd} 是衡量与非门开关速度的一个重要参数。在与非门输入端加一个方波,输出对输入波形总有一定的延迟时间(图2-27),把输出电压下降边的50%对于输入电压上升边的50%的时间间隔称为下降传输延迟时间 t_{PHL} ;把输出电压上升边的50%对于输入电压

下降边的50%的时间称为上升传输延迟时间 t_{PLH} 。传输延迟时间 t_{pd} 定义为 t_{PLH} 和 t_{PHL} 的平均值,即:

$$t_{pd} = \frac{t_{PLH} + t_{PHL}}{2}$$

t_{pd} 又称平均传输延迟时间。

因为与非门常常是好几级串联在一起使用的,通过对 t_{pd} 的测量,可以估计经这几级串接的“与非”门后,信号电压被延迟了多少时间。 t_{pd} 愈小,说明电路的开关速度愈高。一般 $t_{pd} \leq 20\text{ns}$ 。

图2-28是测试 t_{pd} 的原理图。被测门的输出接模拟负载。其中 R_L 用来产生被测门的负载电流, R_L 的阻值一般为 400Ω 。

C_L 模拟作为负载的与非门的输入电容,一般取 $C_L = 15\text{pF}$ 。 D_1 模拟作为负载的与非门 T_1 管的发射结, D_2 、 D_3 、 D_4 分别模拟 T_1 集电结、 T_2 发射结及 T_3 发射结。当被测门输出为“0”时, V_{CC} 经 R_L 、 D_1 向被测门灌入负载电流,此时P点电位约为1V, D_2 、 D_3 、 D_4 均截止;当被测门输出为“1”时, D_2 、 D_3 、 D_4 导通,P点电位约为2.1V,此时, D_1 的反向电流模拟被测门“1”输出时从输出端流出的负载电流。

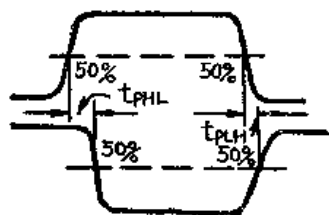


图 2-27 输入、输出波形示意图

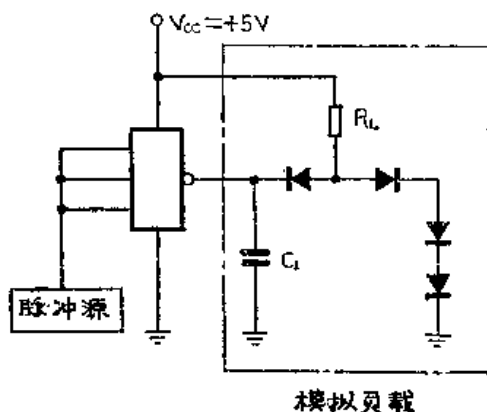


图 2-28 传输延迟 t_{pd} 测试原理图

测试 t_{pd} 时,同时把脉动源的输出波形(即被测门的输入波形)及输出波形送至双线示波器,在示波器上即可读得 t_{PLH} 、 t_{PHL} 及 t_{pd} 。要求脉冲源的上升沿及下降沿均小于7ns,脉冲频率为1MHz,测试环境温度 25°C 。

§2-2 TTL与非门电路的改进形式

一、六管TTL与非门电路

从前面对TTL与非门电路的分析可以看到,它较DTL电路有了很大改进,同时存在一些尚待解决的问题,例如,为使 T_3 获得较大的基极驱动电流,以减小 t_{PHL} ,希望 R_3 取较大的阻值;但从增强 T_3 基区存储电荷的泄放能力、缩短存储时间的角度来看,则希望 R_3 选取较小的阻值,因此如何选取电阻 R_3 就成为如何改进TTL门电路特性的一个重要问题了。又例如,与非门电路的电压转移特性的“矩形性”不好,使“0”输入时的抗干扰能力大为降低,因此,改善电压转移特性的矩形性也是改进电路的另一个重要问题。

如果用 T_4 网络代替 R_3 (如图2-29虚线框中所示),就可以解决上述问题,我们把这个电路称为六管电路。下面具体分析引入 T_4 网络的优点。

1. 提高电路的抗干扰能力

六管电路能大大地改善TTL与非门的电压转移特性的矩形性,如图2-30所示。这是因为 T_2 发射结必须经过 T_5 或 T_6 的射结才能导通,因而在 T_5 与 T_6 导通之前, T_2 是不能导通的。因此不会有一个 T_2 导通而 T_5 尚未导通的阶段了,而这个阶段正是转移特性矩形性不好的原因。

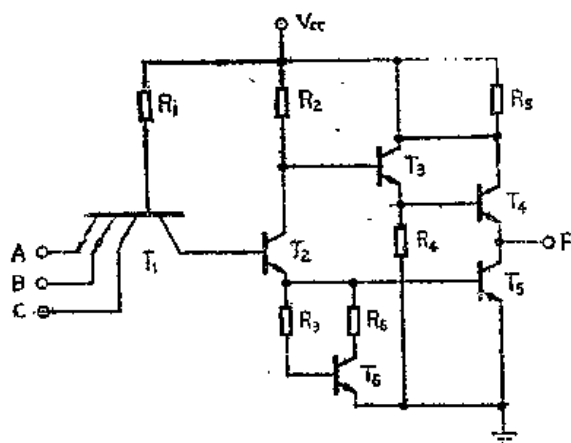


图 2-29 六管与非门电路

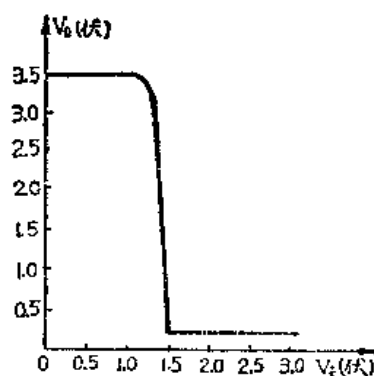


图 2-30 六管与非门电压转移特性曲线

由于改善了电压转移特性,六管电路的“0”输入时的抗干扰能力得到很大提高。从图2-30可见, V_o 达到2.4V时的 $V_i > 1.2V$,因此六管电路“0”输入时的抗干扰能力为: $1.3V - 0.3V = 0.95V$,它要比五管电路提高了0.5V。

2. 改善动态特性

采用 T_6 网络作为 T_5 的基区存储电荷泄放回路,对于改善电路的导通过程和截止过程是有好处的。

(1) T_6 网络对电路导通过程的影响 由于 T_5 的基极串有电阻 R_6 ,其数值较 T_5 的基区串联电阻 V_{be} 大得多,因而 T_5 由截止到导通所需时间要比 T_5 长。在电路导通过程中, T_5 要在 T_2 导通后,经过一定的时间才会导通。在这段时间内,来自 T_2 的射极电流几乎全部流入 T_5 基极,对 T_5 提供瞬态过驱电流,使 T_5 加速导通。在 T_5 导通后, T_6 网络才构成 T_5 基流的分流支路。这种情况是和五管电路不同的,五管电路中的 R_3 对 T_5 基流的分流在 T_5 开始获得基流时就存在了。有了 T_6 网络,就可以在不增加 T_5 饱和深度的情况下,加速电路的导通过程,以减少电路的下降延迟时间。

(2) T_6 网络对电路截止过程的影响 在六管电路的输入高电平变为低电平的过程中, T_2 先截止,由于 T_5 没有加速电荷消散的措施,仍处于导通状态,它的动态电阻很小,只要适当减少 R_3 以增强它对 T_5 基流的分流, T_5 基区存储电荷就能通过 T_6 网络较快地逸散,电路就可以在不增加 t_{PHL} 的情况下减少 t_{PLH} 。

二、抗饱和的TTL电路

抗饱和的TTL电路采用肖特基势垒二极管(简称SBD)箝位的方法来解决三极管饱和问题。因而这种TTL电路也被称为SBD TTL电路(简称STTL电路)。

1. SBD的工作原理

SBD是利用晶体管基极铝条延伸到收集区与下面的N型收集区形成的(图2-31(a)),这就相当于在晶体管的基极和集电极之间并联一个“肖特基势垒二极管”,如图2-31(b)所

示。图2-31(c)是(b)的符号。

在基极和集电极之间的SBD有以下特点：

(1) SBD导通电流的方向是从铝到硅。所以，当晶体管的集电结处于反向偏置时，SBD也是反向偏置，是截止的，并不减弱晶体管的基极驱动电流。

(2) SBD晶体管导通电压较低，约0.4~0.5V，比一般的硅PN结约低0.2V，由于这个特点，当晶体管进入饱和态， bc 结转为正向时，SBD首先导通，基极过驱电流通过SBD旁路流走，并把晶体管集电结箝制在SBD导通电压的电平上。在此电压下集电结尚不能导通，因而集电区也不会产生空穴存贮电荷。

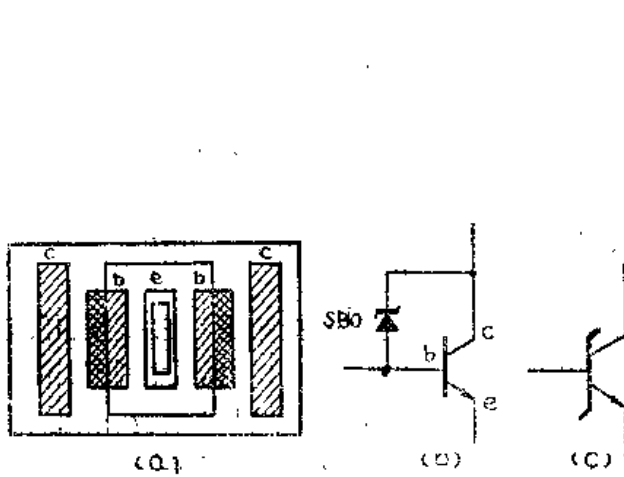


图 2-31 SBD的结构和符号

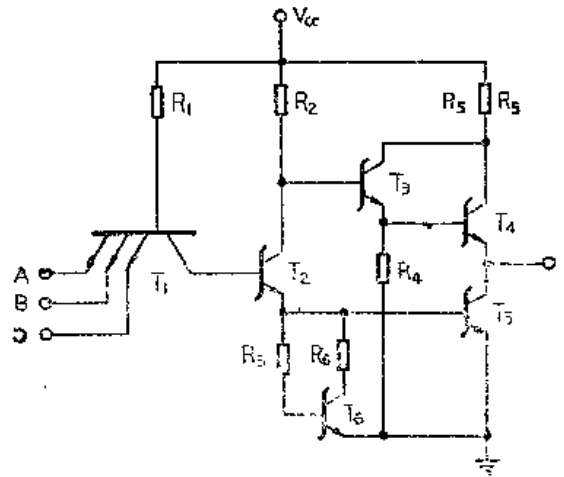


图 2-32 SBD TTL六管与非门电路

(3) SBD的电荷存贮效应可以忽略不计。因此SBD从导通转向截止所需的恢复时间极短，不会影响晶体管截止延迟时间。

由于肖特基箝位的晶体管有上述三个特点，因此作为开关应用时，既可使晶体管得到强的基极电流，缩短了导通延迟时间，又可克服集电区空穴超量存贮现象，缩短了截止延迟时间。

SBD TTL与非门电路如图2-32所示。在这个电路中除 T_4 外，各个晶体管都采用了SBD箝位，其中 T_1 、 T_2 和 T_6 三个管子工作在深饱和区，它们的集电区电荷存贮效应对电路的传输速度影响很大， T_3 、 T_5 管也在一定程度上进入饱和态工作，因此也常在它们的集基结并联上SBD，采用SBD是提高电路速度的关键。

电路采用SBD箝位，较彻底地克服了寄生P-N-P晶体管引起的漏电流问题。采用P-N结隔离工艺的集成电路，基区(P)-集电区(N)-衬底(P)构成一个寄生P-N-P晶体管。当P-N-P晶体管处于饱和态工作时， bc 结正向偏置，基区向集电区注入空穴，其未被复合掉的部分，将被反偏的隔离P-N结收集而进入P型衬底（因为电路衬底一般接地），造成一般从基区到地的漏电流。采用SBD箝位后，消除了N-P-N管的集电结的正向注入现象，也就从根源上克服了寄生P-N-P管的漏电问题。

采用SBD管位方法也有一些不利因素，值得注意的有以下几点：

(1) 采用SBD箝位后，电路的低电平抗干扰能力有所下降。因为输出管 T_6 用SBD箝位后，加大了晶体管的集电极串联电阻，输出低电平将上升0.1~0.2V，输入管 T_1 采用SBD后，它的饱和压降也升高0.1~0.2V，致使电压转移特性曲线的电压转换值下降。这样一升

一降, 就使低电平抗干扰能力下降。为了克服这一缺点, 抗饱和TTL电路均采用六管电路形式。

(2) SBD本身有一定的电容。在抗饱和TTL电路中, SBD和集电极并联, 相当于在原有的集电极电容旁边又并联了一个电容。因而增大了集电极的寄生电容, 这对提高电路的传输速度是不利的。因此在设计SBD时, 在保证箝位效果的前提下, 应尽可能缩小SBD的面积。

综上所述, 采用SBD箝位方法优点很多。在工艺制造中, 既不增加任何工序, 又不显著增加电路面积。为此SBD TTL电路得到了广泛的应用。

§2-3 其他TTL逻辑门电路

前面我们对TTL与非门的各种特性进行了比较详细的讨论。TTL与非门是目前大量生产和使用的门电路, 但在实际使用中光是TTL与非门是满足不了需要的, 还要有其它逻辑功能的电路, 如与门、或门、或非门、异或门及异或非门等。

一、与门

在TTL电路中与门是利用与非-非来实现的。图2-33是与门的线路图, 它和与非门相比, 增加了一级由 T'_2 、 R'_2 、 D 组成的非门, 它插在与非门中间, 组合成与门。插入的非门的 T'_2 射极不直接接地, 而是经二极管接地, 这是为了使与门的门槛电平和TTL与非门一致。前面讲过, 当门电路输入为“1”时, 只有 T_1 集电极电位为1.4V, 则门槛电平才为1.4V, 在 T'_2 射极接二极管就为实现这一目的。

二、或非门

图2-34是一个实现 $F = \overline{A+B}$ 逻辑功能的或非门的线路图。它和与非门的差别在于增加了由 T'_1 、 T'_2 和 R'_1 组成的电路。而这一部分和与非门的 T_1 、 T_2 、 R_1 是相同的。下面讨论这个电路。

由于 T_2 、 T'_2 的集极和射极是分别并联在一起的, 因此, 只要 A 、 B 中有一个为“1”, 就能使 T_2 或 T'_2 导通, 从而使 T_4 导通, T_4 截止, 输出 F 为“0”, 只有当 A 、 B 都为“0”,

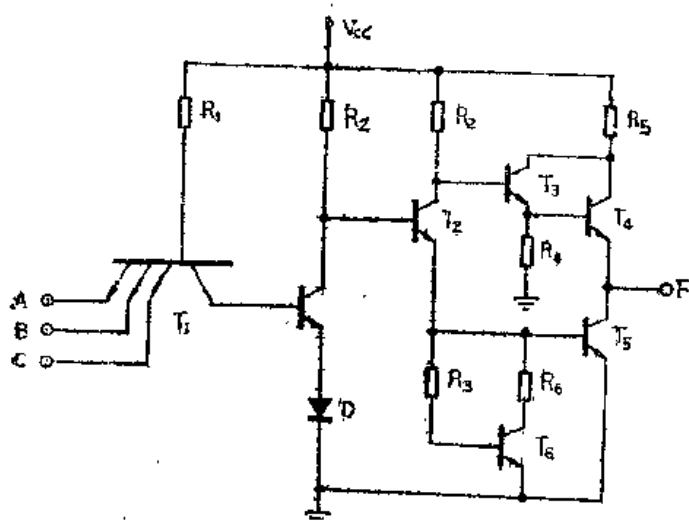


图 2-33 TTL与门电路

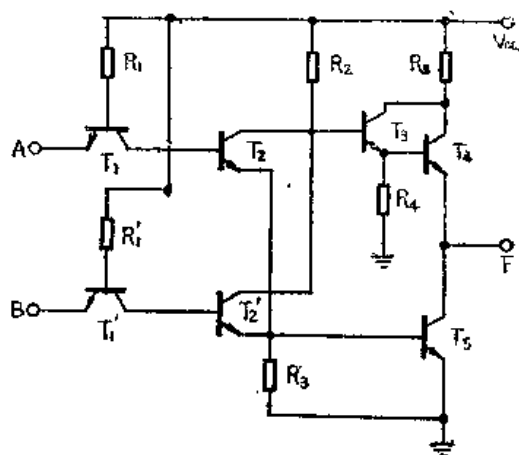


图 2-34 TTL或非门电路

则 T_2 、 T_2' 均截止，从而使 T_6 截止， T_3 、 T_4 导通，电路输出为“1”。因此图2-34的电路实现或非功能。

三、或门

要组成一个或门只要在或非门中间插入一级倒相器就可以了。或门电路如图2-35所示。

四、与或非门

在了解或非门的原理后，我们就很容易地想到，要实现与或非门的功能，只要把或非门中的 T_1 、 T_1' 管设计成具有与功能的多射极管就可以了。图2-36是一个与或非门的电路图。图中 T_1 、 T_1' 实现与的逻辑功能，因此输出 F 的逻辑功能为：

$$F = \overline{A \cdot B \cdot C \cdot D + A' \cdot B' \cdot C'}$$

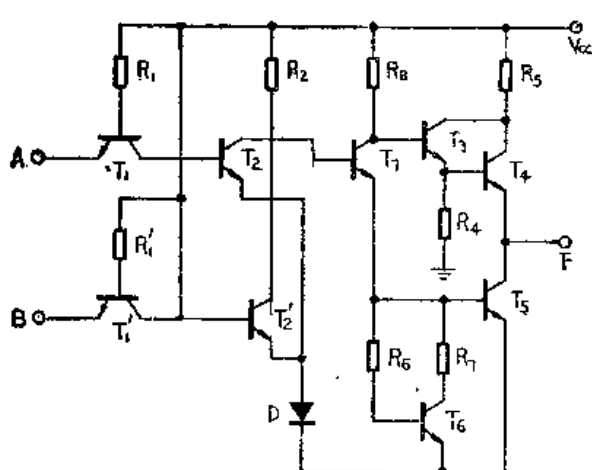


图 2-35 TTL或门电路

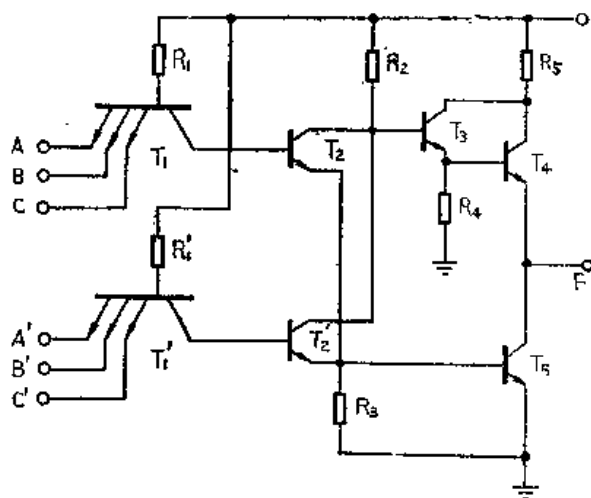


图 2-36 TTL与或非门电路

五、异或门

异或的逻辑表达式为：

$$F = \overline{A}B + A\overline{B} = \overline{AB} + \overline{A\overline{B}} = A \oplus B$$

常把 $\oplus$ 作为异或逻辑运算的符号。

图2-37是常用的一种异或门电路。它采用两级逻辑门的形式，其中 $T_1 \sim T_6$ 是一个没有“1”输出驱动级的或非门，在 T_6 集电极（P）点实现或非功能，即 $P = \overline{A + B}$ 。 $T_6 \sim T_{12}$ 是

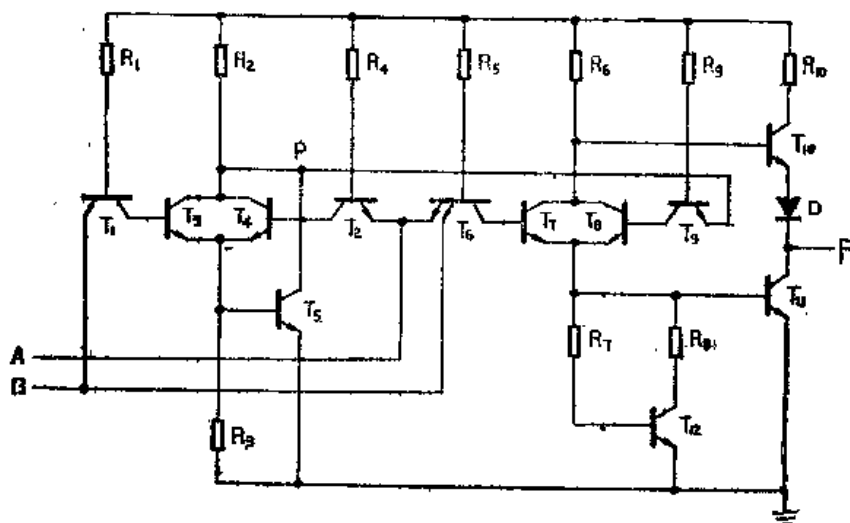


图 2-37 TTL或门电路

一个与或非门，其输出 F 实现的功能为：

$$F = \overline{A \cdot B + P} = \overline{A \cdot B + \overline{A + B}} = \overline{AB + \overline{AB}} = A \oplus B$$

六、异或非门

图2-38是异或非门的电路图，它由一级与非门 ($T_1 \sim T_3$) 和一级与或非门 ($T_4 \sim T_6$) 构成。与非门输出 $P = \overline{A \cdot B}$ ，与或非门实现的逻辑为 $F = \overline{P \cdot A + P \cdot B}$ ，因此输出 F 的逻辑表达式为：

$$\begin{aligned} F &= \overline{A \cdot B A + A \cdot B \cdot B} = \overline{A \cdot (\overline{A + B}) + B(\overline{A + B})} \\ &= \overline{A \cdot \overline{B} + \overline{A} B} = \overline{A \oplus B} \end{aligned}$$

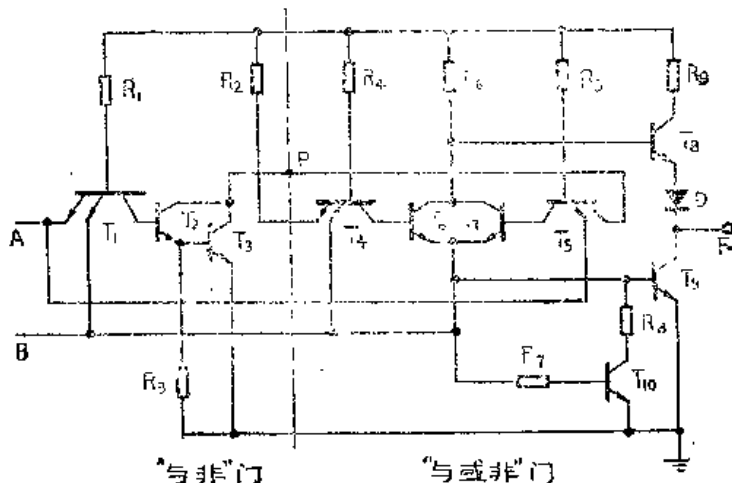


图 2-38 TTL异或非门电路

七、集电极开路与非门

集电极开路与非门电路（简称“OC”电路）是与非门电路的一种。它的电路如图2-39所示。它比普通与非门少了 T_3 、 T_4 管（1”驱动级）。如将它的 T_6 管集电极经负载电阻接至电源（如图2-40所示），那么在电路的输出端同样能获得与非逻辑功能。

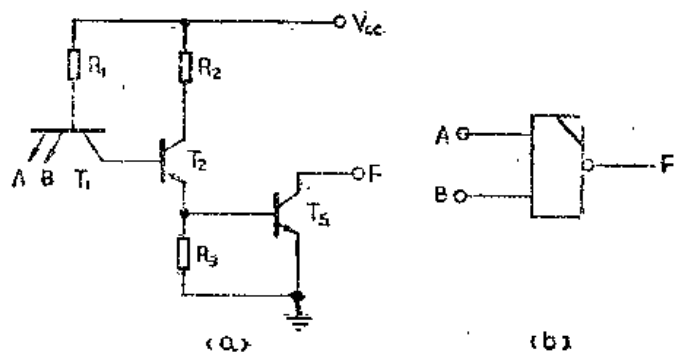


图 2-39 TTL集电极开路与非门电路

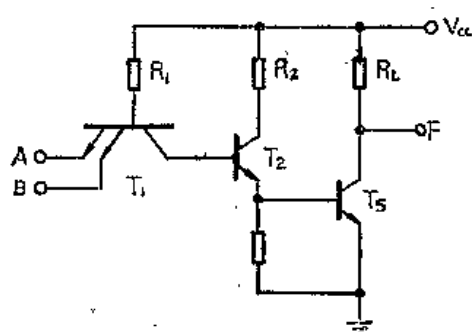


图 2-40 接负载电阻 R_L 的“OC”门

如果将若干个“OC”与非门的输出端并联在一起，接到共同的负载电阻 R_L 上，如图2-41所示，在并联端 F 即可获得几个“OC”门输出的与逻辑：

$$F = A_1 \cdot B_1 \cdot A_2 \cdot B_2 \cdot A_3 \cdot B_3 \cdots A_n \cdot B_n$$

而用普通的与非门是不能将几个门的输出并联在一起的，下面具体分析其原因：

如果把几个普通的与非门的输出端连接在一起，并接有公共负载电阻 R_L （如图2-42所

示), 假定门 I 输出为“1”, T_{41} 是导通的, 而 T_{51} 是截止的; 门 II 输出为“0”, T_{41} 是截止的, 而 T_{51} 是导通的。这样, 从 V_{CC} 经 T_{41} 和 T_{51} 就有一股很大的电流 (一般可达几十 mA 流入地端, 也就是说, 将有几十 mA 电流从门 I 输出端流出, 流入门 II 的 T_{51} 管。这股大电流大大地降低了门 I 的输出高电平, 并大大地抬高了门 II 的输出低电平, 使并联点电位成为一个不高不低的 (1~2V) 电位。显然这不能实现两个电路输出与的功能。

若把两个“OC”门并联在一起 (如图 2-41 所示), 那么, 在两个门的输出级之间就不再存在电流到地的通路了, 此时, 如果这些门中只有一个门的输入全为“1”, 即并联在一

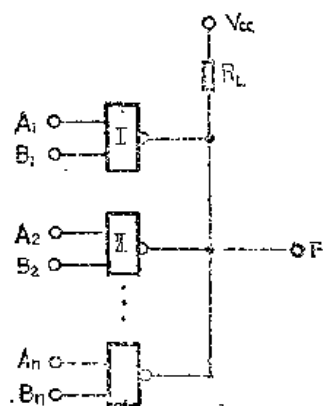


图 2-41 若干个“OC”门输出并联

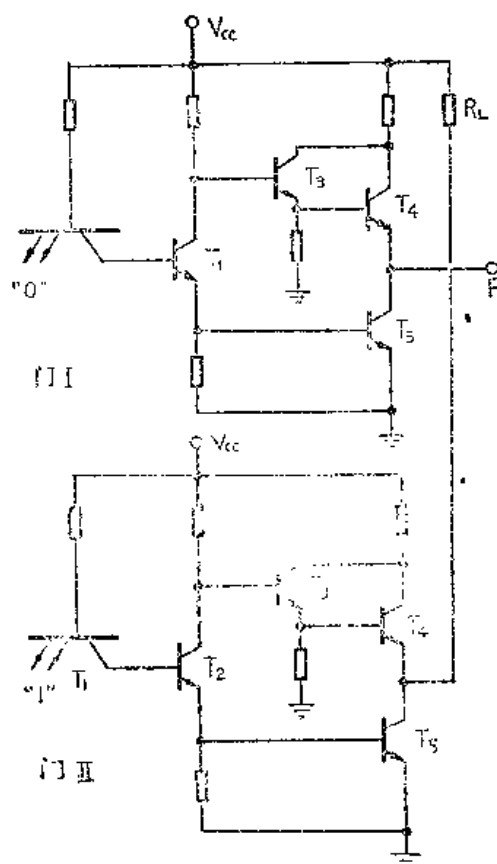


图 2-42 两个普通与非门输出并联

起的 T_{51} 管只有一个导通的, 那么, 只有导通的 T_{51} 能吸收电流, 因此 F 输出的正常的低电平。如果这些门的输入都为“0”, 即并联在一起的 T_{51} 管均截止, 不会有负载电流流向 F 端, 因此 F 的输出电平为 V_{CC} , 即逻辑“1”, 于是在并联端就实现了两个“OC”门输出的与。

在“OC”电路中由于没有 T_{31} 、 T_{41} 网络, 所以电路的输出饱和延迟时间以及上升时间都比较长, 平均延迟时间 t_{pd} 就比普通门大得多。

§2-4 正逻辑与负逻辑

我们在以上讨论到的各种门电路都以电平的高、低来区别逻辑状态。人们可以用高电平来表示“1”, 用低电平来表示“0”, 我们称这种逻辑关系为正逻辑关系; 当然, 也可以用高电平来表示“0”, 用低电平来表示“1”, 我们称这种逻辑关系为负逻辑关系。对于同一逻辑门, 从正逻辑和从负逻辑的角度去分析它, 其逻辑表达式是不同的。

已经讲过与非门的功能是“有低必高，全高为低”，在这里撇开“0”、“1”，而用“H”代表高电平，“L”代表低电平，那么与非门的真值表应如表2-3所示。

如果将它们以正逻辑关系来改写(“1”代表“H”、“0”代表“L”)，则得如表2-4所示的真值表，把这张表写成逻辑表达式，得：

$$F = \overline{A \cdot B}$$

它们同本章所介绍的与非门的真值表和表达式完全相同。

如果将表2-3以负逻辑关系来改写(“0”代表“H”，“1”代表“L”)则得如表2-5所示的真值表。把这张表写成表达式，得：

$$F = \overline{A + B}$$

表 2-3

输 入		输 出
A	B	F
L	L	H
H	L	H
L	H	H
H	H	L

表 2-5

输 入		输 出
A	B	F
1	1	0
0	1	0
1	0	0
0	0	1

表 2-4

输 入		输 出
A	B	F
0	0	1
1	0	1
0	1	1
1	1	0

它们同本章所介绍的或非门的真值表和表达式完全相同。

可见，同一个逻辑门电路，用正逻辑来表示是与非门，用负逻辑表示就成了或非门了。反之，在正逻辑中是或非门，而在负逻辑中就是与非门了。与、或以及与非、或非的概念的差别是相对的，在一定条件下，它们是可以互相转化的。

对于同一电路，可以采用正逻辑，也可以采用负逻辑，这是由使用电路的人来决定的。我们在分析电路时，首先要弄清楚它是采用正逻辑，还是采用负逻辑。在本书中，双极型集成电路都用正逻辑，因为这些逻辑电路采用N-P-N晶体管，电源采用正电压，用正逻辑是比较方便的。在本书的MOS集成电路中，P-MOS采用的是负逻辑，因为它采用的是负电源，N-MOS及CMOS电路均采用正逻辑，因为它采用的是正电源。

第三章 TTL 触 发 器

触发器就是用来寄存二进制数码“0”或“1”的基本逻辑元件。它在计算机和数字仪表中有广泛的应用，可以用触发器来组成寄存器、移位寄存器、计数器等逻辑部件，触发器还是组成半导体存储器的主要元件。由于触发器应用广泛，因此集成化的触发器是集成电路中的一类重要产品。集成化触发器种类很多，功能各异，它们大致从下面两个方面分类：

(1) 按功能分类

- ①R-S触发器。
- ②D触发器。
- ③J-K触发器。

(2) 按触发方式分类

- ①电位触发方式的触发器。
- ②主-从触发方式的触发器。
- ③边沿触发方式的触发器。

在这一章里将通过介绍各种不同触发方式的触发器来叙述常见的触发器的逻辑功能、工作原理、线路、参数及其测试方法。

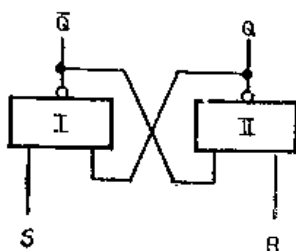
由于各种类型的触发器尽管它们的结构有简有繁，功能也不尽相同，但它们的核心部分都是基本触发器，因此我们就从基本触发器讲起，建立起触发器的基本概念，然后再步步深入介绍一些结构较为复杂的触发器。

§3-1 基本触发器

基本触发器有两种，一种是由两个与非门组成，称为与非型基本触发器；另一种是由两个或非门组成，称为或非型基本触发器。下面分别介绍这两种基本触发器。

一、与非型基本触发器

图3-1是与非门基本触发器的逻辑图和功能表。它由两个输入端的与非门交叉耦合而成，其中与非门I的输出和门II的一个输入相连，门II的输出又和门I的一个输入端相连，我们把这种连接方式称为“交叉耦合”。 $\bar{R}$ 、 $\bar{S}$ 为触发器的输入端。基本触发器有两个输出端，



功能表			
输 入		输 出	
R	S	Q	$\bar{Q}$
1	1	不变	不变
1	0	0	1
0	1	1	0
0	0	1*	1*

图 3-1 与非型基本触发器的逻辑图和功能表

一般情况下,它们的逻辑电平是相反的(把这两个输出端记作 Q 、 $\bar{Q}$)。常常把 $Q=0, \bar{Q}=1$, 记作触发器的“0”状态,把 $Q=1, \bar{Q}=0$ 记作触发器的“1”状态。下面结合与非型基本触发器的功能表来分析它的原理。

(1) 当输入信号 $S=1, R=1$ 时,不论触发器的原来状态如何,都保持这个原来状态不变。如果原来状态为 $Q=1, \bar{Q}=0$,当 $S=1, R=1$ 时,门Ⅱ的两个输入都是“1”,因此 $\bar{Q}=0$ 。而 $\bar{Q}=0$ 加在门Ⅰ输入,所以门Ⅰ输出 Q 仍为“1”不变;如果原来状态为 $Q=0, \bar{Q}=1$,则当 $S=1, R=1$ 时,仍保持 $Q=0, \bar{Q}=1$ 不变,这就是功能表中的第一栏。

(2) 当输入信号 $R=1, S=0$,那么不论触发器的原来状态如何,输出都应为 $Q=0, \bar{Q}=1$ 。这是因为,如果原来状态为 $Q=1, \bar{Q}=0$,在这种情况下,与非门Ⅱ的输出 $\bar{Q}$ 在 S 的“0”电平作用下,必然要从“0”翻转为“1”,因为 Q 为“1”了, Q 因 $R=1$,门Ⅰ输出 Q 必然要从“0”翻转为“1”,因此触发器的最终状态是 $Q=0, \bar{Q}=1$ 。如果触发器的原来状态是 $Q=1, \bar{Q}=0$,那么与非门Ⅱ在 S 的“0”电平作用下,输出 $\bar{Q}$ 为“1”,“与非”门Ⅰ因为 $R=1, \bar{Q}=1$ 使输出 Q 为“0”,触发器状态仍为 $Q=0, \bar{Q}=1$ 。这就是功能表中的第三栏。

(3) 真值表中第三栏的情况和真值表中第二栏的情况类似,分析从略。

(4) 当 $R=0, S=0$,不论触发器的原来状态如何,触发器状态必为 $Q=1, \bar{Q}=1$ 。这就是功能表中第四栏。但是,如果这时 $R、S$ 又同时由“0”跳变到“1”,触发器将出现不定状态,即触发器的状态有可能是 $Q=0, \bar{Q}=1$,也可能是 $Q=1, \bar{Q}=0$ 。真值表中的“*”号就是注明在这种输入条件下触发器的不定状态。下面具体说明这种情况。设触发器原来状态为: $Q=0, \bar{Q}=1$,来输入信号 $S=0, R=0$,触发器输出必然变为 $Q=1, \bar{Q}=1$ 。当 $R、S$ 同时从“0”变为“1”,这时门Ⅰ、门Ⅱ的输入端加的都是“1”信号,门Ⅰ、门Ⅱ的输出就都有变为“0”的趋势,但是,两个门的特性不可能完全一样,总是存在着差异的,两个门的输出由“1”变为“0”的速度不可能完全一样,如果门Ⅰ的输出先变为“0”,那么,门Ⅱ输出 Q 就一定是“1”。反之,如果门Ⅱ的输出先变为“0”,触发器的状态就必为 $Q=0, \bar{Q}=1$ 。由此可见, $R=0, S=0$ 这一组输入信号不但把触发器输出状态的互补破坏了(即 $Q=1, \bar{Q}=1$),而且在 R, S 再同时从“0”变为“1”时,触发器的状态是不定的。图3-2给出了与非型基本触发器的波形图。

通过对与非型基本触发器的分析可以看到,触发器有以下三个性质:第一,它有两种稳定的输出状态($Q=0, \bar{Q}=1$ 或 $Q=1, \bar{Q}=0$)。第二,有“接收信号的功能。在一定的输入信号作用下,不管触发器处于何种原始状态,它能“接收”输入信号,并且将最终变到某一状态。例如,与非型的基本触发器,当 $S=1, R=0$ 时,触发器将最终变到“0”态,我们称触发器“接收”了“0”信号,当输入为 $S=0, R=1$ 时,触发器将最终变到“1”态,我们称触发器接收了“1”信号。第三,它有保持功能。

上述输入信号撤除,对与非型基本触发器而言,当输入为 $R=S=1$ 时,触发器能保持原有状态不变。

正因为触发器有以上三个性质,所以常常把触发器用作能寄存二进制数码的记忆元件。至于与非型基本触发器功能表中的第四栏所指出的情况,在使用中是应当避免的。

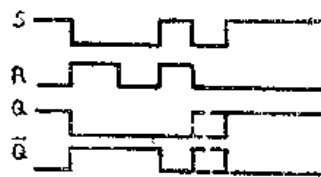
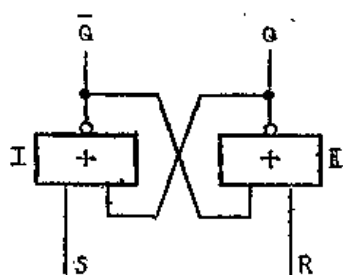


图 3-2 与非型基本触发器波形图

二、或非型基本触发器

基本触发器也可以由或非门构成。图3-3是或非型基本触发器的逻辑图和功能表。由于与非门和或非门的逻辑功能不同，所以与非型基本触发器和或非型基本触发器的功能表也是不同的。在或非型基本触发器中当 $R=0, S=0$ 时，触发器保持原来状态不变；此外，当输入为 $R=1, S=0$ 时，使触发器状态为“0”态；当输入为 $R=0, S=1$ 时，使触发器状态为“1”态；当 $R=1, S=1$ 时，触发器输出互补状态被破坏，此时 $Q=0, \bar{Q}=0$ ，如果这时 R, S 同时由“1”跳变为“0”，触发器的状态将不定。图3-4给出了或非型基本触发器的波形图。



功能表			
输入		输出	
R	S	Q	$\bar{Q}$
0	0	不变	不变
1	0	0	1
0	1	1	0
1	1	0*	0*



图 3-3 或非型基本触发器的逻辑图和功能表

图 3-4 或非型基本触发器波形图

基本触发器的线路比较简单，它是由两个与非门或两个或非门的线路经交叉连接而成的。图3-5是与非型基本触发器的逻辑图和线路图。

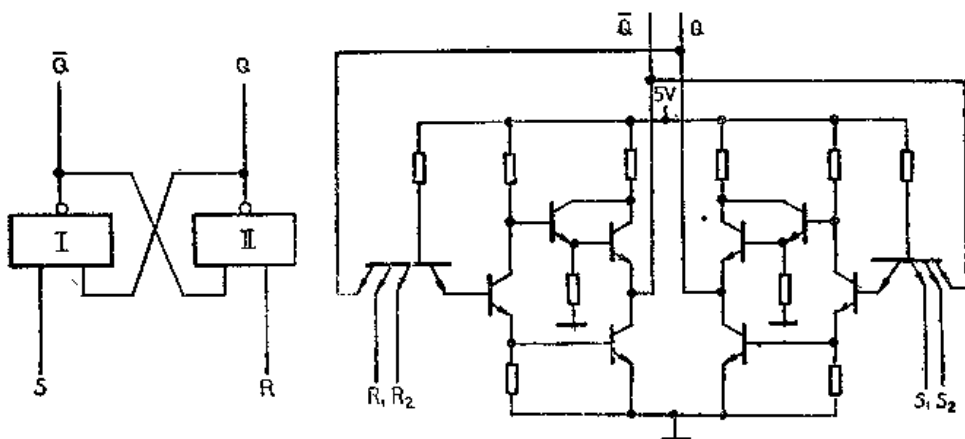


图 3-5 与非型基本触发器的逻辑图和线路图

图中设置了两个 R 端和两个 S 端，其中 S_1, S_2 的逻辑乘以及 R_1, R_2 的逻辑乘分别代表了 S 和 R ，即 $S = S_1 \cdot S_2$ ， $R = R_1 \cdot R_2$ 。

§3-2 电位触发方式的触发器

前面介绍的基本触发器的特点是：只要输入端出现一定的输入信号，输出状态就随之发生变化。这一特点在使用中有时会引起一些不便。人们常常希望触发器仅在一定的时间内接收输入信号，而在另一些时间内不接收输入信号。此时，触发器状态保持不变，或者说，人们常常希望触发器有一个控制端，只有当控制端出现指定的逻辑电平时（例如高电平），触发器才接收输入信号，而当输入端出现非指定的逻辑电平时（例如低电平），触发器状态保持不变。我

们把控制端出现约定电平时才接收信号的触发器称为电位触发方式的触发器。常见的电位触发方式的触发器有两种：同步型基本触发器和锁定触发器。下面对这两种触发器进行分析。

一、同步型基本触发器

图3-6是同步型与非基本触发器的逻辑图和功能表。它由四个与非门组成，门Ⅰ、门Ⅱ是一个与非型基本触发器。门Ⅲ、门Ⅳ是输入控制门（又称接收门）。门Ⅲ、门Ⅳ的公共输入端就是前面提到的控制端。在这个公共输入端上加同步控制信号（又称时钟脉冲 CP ）。这个公共输入端记作 CP 端。 R 、 S 是触发器的信号输入端。下面我们来分析它的工作原理。

（1）当 CP 为“1”时，控制门Ⅲ、Ⅳ打开， R 、 S 信号经门Ⅲ、门Ⅳ反相后，加在与非型基本触发器的输入端。此时，同步型基本触发器相当于一个与非基本触发器。如果 $S = 1, R = 0$ ，门Ⅲ输出为“1”，门Ⅳ输出为“0”，使基本触发器处于“1”态，于是 $Q = 1, \bar{Q} = 0$ 。如果 S 、 R 为其它的输入情况，触发器 Q 、 $\bar{Q}$ 的状态取决于门Ⅲ门Ⅳ的输出，在这里不再重复。

（2）当 CP 为“0”时，控制门Ⅲ、Ⅳ关闭，此时，不管输入信号 R 、 S 为何状态，门Ⅲ、门Ⅳ输出均为“1”。对于与非型基本触发器来说，两个输入端全为“1”时，应保持原来状态不变。可见，当 $CP = 0$ 时，不允许输入信号 R 、 S 进入基本触发器，触发器状态保持不变。

图3-7为同步型与非基本触发器的工作波形图。

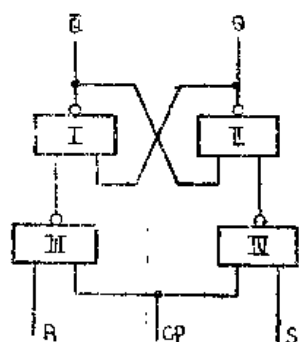


图 3-6 同步型与非基本触发器逻辑图和功能表

功能表				
输入		输出		
CP	R	S	Q	$\bar{Q}$
1	0	0	0	1
	0	1	1	0
	1	1	1*	1*
0	x	x	不变	不变

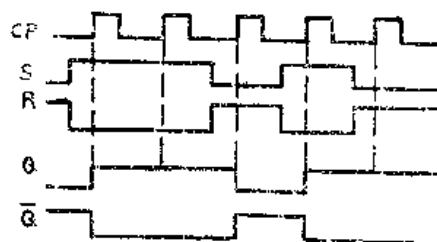


图 3-7 同步型与非基本触发器的工作波形图

同步型与非基本触发器和与非基本触发器一样，存在着不定状态。因为增加了控制门Ⅲ、门Ⅳ，输入信号 R 、 S 是反一次相加在门Ⅰ、门Ⅱ组成的基本触发器上，所以出现不定状态的条件是： $R = 1, S = 1$ 。

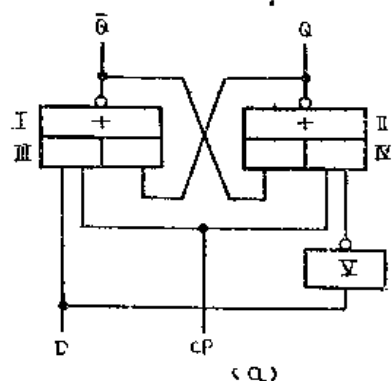
二、锁定触发器

同步型基本触发器有两个信号输入端： R 和 S ，这种触发器有时又称为同步型 R - S 触发器。锁定触发器是只有一个信号输入端的电位触发方式的触发器。图3-8给出了锁定触发器的逻辑图和功能表。锁定触发器是由一个或非型基本触发器加上两个输入信号控制门（门Ⅲ、门Ⅳ）和输入信号反相门（门Ⅴ）组成的。锁定触发器只有一个信号输入端 D 。输入信号通过反相门Ⅴ取得互补信号，加在门Ⅲ、门Ⅳ上。当 $CP = 1$ ，门Ⅲ、门Ⅳ打开， D 的互补信号能通过门Ⅲ、门Ⅳ。如果此时 $D = 1$ ，则门Ⅲ输出为“1”，门Ⅳ输出为“0”，或非型基本触发器处于“1”态；如果此时 $D = 0$ ，门Ⅲ、门Ⅳ输出分别为“0”、“1”，或非型基本触发器处于“0”态。当 $CP = 0$ ，门Ⅲ、门Ⅳ均关闭，这时不论 D 的状态如何，或非型基本触发器的输入均为“0”，触发器保持原来状态不变。由于加在门Ⅲ、门Ⅳ的是 D 的互补信号，门Ⅲ、门Ⅳ输出不可能出现同时为“1”的情况，因此锁定触发器不会出现

Q , $\bar{Q}$ 均为“0”的状态,也不会出现输出状态不定的情况,这是锁定触发器的一个重要特点。

由以上分析可知,在 $CP=1$ 期间, D 是什么状态则触发器就处于什么状态,在 $CP=0$ 期间,触发器保持原来状态不变。正因为锁定触发器存在以上特点,所以常把它用作数码寄存器。图3-9给出了锁定触发器的典型波形图。

上面已介绍了两种电位触发方式的触发器。下面把它们的特点总结如下:



功 能 表			
	输 入	输 出	
	CP	Q	$\bar{Q}$
1	0	0	1
1	1	1	0
0	x	不变	不变



图 3-8 锁定触发器的逻辑图和功能表

图 3-9 锁定触发器的典型波形图

当触发器的同步控制信号 CP 为约定的“1”或“0”逻辑状态时,触发器接收输入信息,此时,输入信息的任何变化都会在输出 Q 、 $\bar{Q}$ 得到反映,当 CP 为非约定逻辑状态时,触发器状态保持不变。由于这类触发器接收信息的条件是同步控制端出现约定的逻辑电平,因此把它称为电位触发方式的触发器。

§3-3 主从触发方式的触发器

主从触发方式的触发器(简称主从触发器)也是常见的一类触发器。主从触发器有主从R-S触发器、主从J-K触发器两种,下面分别介绍这两种触发器的原理,并通过它们来分析主从触发方式的特点。

一、主从R-S触发器

图3-10是主从R-S触发器的逻辑图和功能表。主从R-S触发器是由两个相同的同步型与非基本触发器级联而成的。门I'、I'、II'、IV'构成一个同步型基本触发器,用来接收输入信号R、S,称为主触发器。门I、II、III、IV构成另一个同步型基本触发器,它以主触发器的输出信号为输入信号,称为从触发器。主触发器的控制信号为 CP ,从触发器的控制信号是由 CP 经反向门V形成的,因此这两个电位触发器的控制信号是互补的。

下面分析主从R-S触发器的功能。

CP 为高电平“1”时,主触发器允许接收输入信号R、S,主触发器的输出(即 Q' 、 $\bar{Q}'$)由R、S决定。在此期间,门V输出 CP 为低电平“0”,从触发器被封锁,主触发器的输出不能进入从触发器,从触发器保持原来状态不变,因而此时主从R-S触发器的输出 Q 、 $\bar{Q}$ 也保持不变。这时可看成主触发器和从触发器是隔离的。

当 CP 为低电平“0”时,主触发器的控制门被封锁,输入端R、S的任何变化都不能进入主触发器,因而 Q' 、 $\bar{Q}'$ 应保持 CP 负跳变前建立的状态不变。与此同时由于 CP 为“1”,从触发器允许接收输入信号(即 Q' 、 $\bar{Q}'$),因为主触发器在 CP 负跳变前接收的信号就被传

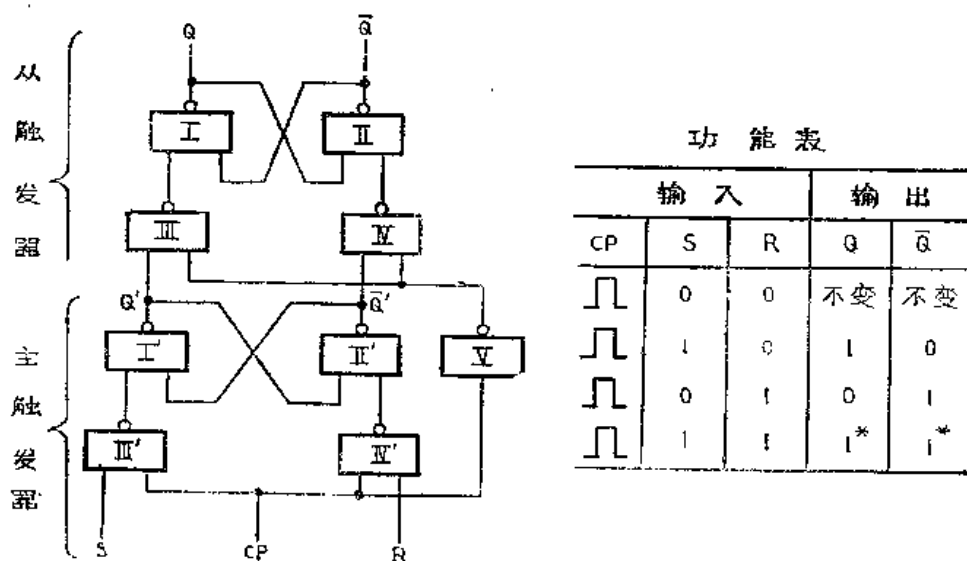


图 3-10 主从R-S触发器的逻辑图和功能表

送到从触发器。

通过以上的分析可以看出，主触发器和从触发器是在互补的时钟控制信号作用下交替工作的。当CP为“1”时，主触发器工作，接收R、S信号，从触发器被封锁；当CP为“0”时，从触发器工作，主触发器被封锁，在CP负跳变来到时，主触发器将CP负跳变前接收的信息传送到Q、 $\bar{Q}$ 端。但是，和同步型基本触发器一样，如果在CP=1期间，R、S同时由“1”变到“0”，主触发器的状态是不定的，这样，在CP负跳变来到后，从触发器的状态也是不变的，这种输入情况在使用中应避免。

在实际应用中常常要求触发器要有直接置“0”和直接置“1”的功能。我们知道，在图3-6所示的同步型基本触发器中，当R=1、S=0，能使触发器处于“0”态（或者说，能将触发器置“0”）；当R=0、S=1能使触发器处于“1”态（或者说，能使触发器置“1”），但是这必须以CP=1为前提，所谓直接置“0”或直接置“1”不受CP逻辑状态的限制，有了这样的功能，人们就可以在需要的时候只要给出直接置“0”命令或给出直接置“1”的命令，就能使触发器置“0”或置“1”，而不受CP的限制。图3-11给出了主从R-S触发器直接置“0”和直接置“1”的方法。在触发器中引入了直接置“0”线 $\bar{R}_D$ 和直接置“1”线 $\bar{S}_D$ ，平时， $\bar{R}_D$ 、 $\bar{S}_D$ 均为“1”电平，要对触发器直接置“0”时，只要在 $\bar{R}_D$ 端加一“0”电平，触发器即可置“0”；要对触发器直接置“1”，只要在 $\bar{S}_D$ 端加一“0”电平，触发器即可置“1”。

粗略一看，似乎只要把 $\bar{S}_D$ 和 $\bar{R}_D$ 线加在门I、门II的输入就可以达到直接置“0”或置“1”的目的。那为什么还要把 $\bar{S}_D$ 和 $\bar{R}_D$ 加至门I'和门II'呢？我们以直接置“0”为例来分析其原因。如果只把 $\bar{R}_D$ 线加在门II不加到门II'，那么在CP=1期间直接置“0”信号 $\bar{R}_D=0$ 是能将触发器置“0”的，这是因为在CP=1期间，主从触发器是隔离的，主触发器的状态不会对从触发器发生影响，因此 $\bar{R}_D=0$ 能将触发器置“0”。而且当 $\bar{R}_D$ 的“0”电平撤除， $\bar{R}_D$ 线恢复“1”电平时，主从R-S触发器能继续保持“0”状态。但是，如果在CP=0期间 $\bar{R}_D=0$ ，那么就不能有效地将触发器置“0”了，其原因如下：如果当 $\bar{Q}'=0$ ， $Q'=1$ 时，那么它们和 $\bar{R}_D$ 的“0”信号将使Q、 $\bar{Q}$ 均为“1”，这样不但达不到置“0”的

目的,而且还破坏了 Q 、 $\bar{Q}$ 互补的要求。当 $CP=0$ 期间, $\bar{R}_D$ 的“0”信号撤除,主触发器的“1”状态又将使从触发器恢复到“1”状态。因此,在主从触发器中,为了使电路在 $CP=0$ 期间能有效地置“0”,必须要把 $\bar{R}_D$ 线引向门II',只有把主触发器置“0”了,从触发器才可能置“0”。

同理,要想使触发器达到直接置“1”的目的,首先主触发器要置“1”,才能保证从触发器置“1”,所以 $\bar{S}_D$ 信号要同时加在门I和门I'的输入。

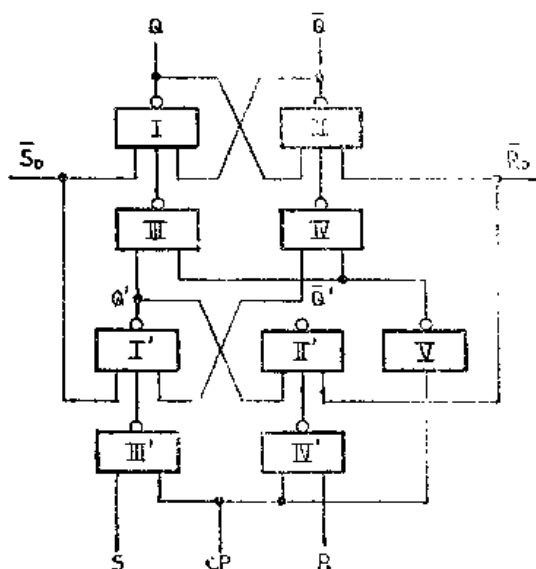


图 3-11 主从R-S触发器直接置“0”和直接置“1”方法

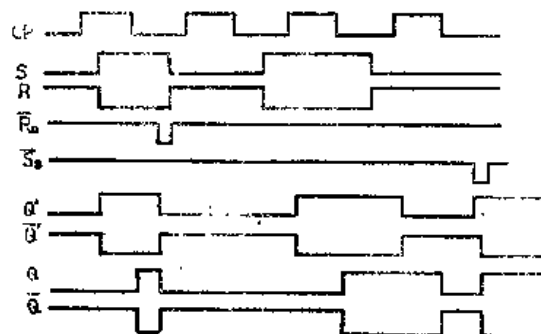


图 3-12 主从R-S触发器的典型波形图

$\bar{R}_D$ 和 $\bar{S}_D$ 不能同时加“0”电平,如果出现这种情况,不但主触发器状态遭到破坏,而且从触发器输出 Q 、 $\bar{Q}$ 都将为“1”。

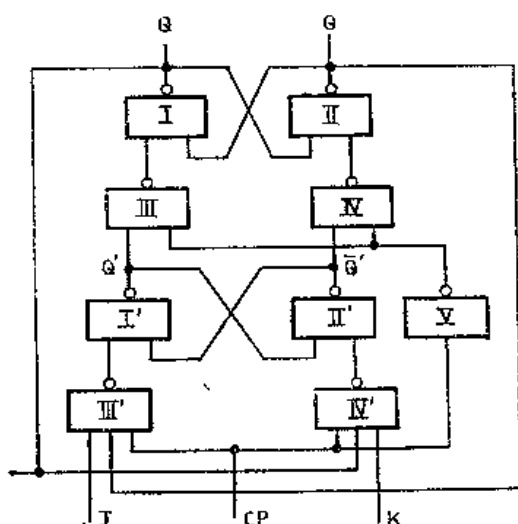
触发器有了直接置“0”和直接置“1”的功能就为触发器的实际应用提供了很大的方便。图3-12给出了主从R-S触发器的典型波形图。

二、主从J-K触发器

把主从R-S触发器的 $\bar{Q}$ 和 S 端相连, Q 端和 R 端相连,并在主触发器的输入控制门门II'和门IV'分别设置 J 端和 K 端,主从R-S触发器就成了主从J-K触发器,图3-13是它的逻辑图和功能表。主从J-K触发器只比主从R-S触发器多了两条反馈线,但它的功能要比主从R-S触发器强很多。

(1) 当 $J=0$ 、 $K=0$ 、 CP 为“1”时,不管 Q 、 $\bar{Q}$ 为何状态, $J=K=0$ 把主触发器的输入控制门封锁,主触发器状态保持不变,即 Q' 和 $\bar{Q}'$ 保持原状态。当 CP 从“1”变为“0”时,从触发器接收的是一组不变的 Q' 、 $\bar{Q}'$ 信号,因此从触发器也保持原来状态。所以在功能表中列出 $J=0$ 、 $K=0$ 时,主从J-K触发器状态不变。这就是主从J-K触发器的保持功能。

(2) 当 $J=1$ 、 $K=0$ 、 CP 为“1”时,主触发器的接收门门II接收的是 $J \cdot \bar{Q}$,接收门门IV接收的是 $K \cdot Q$ 。此时假定 $Q=0$ 、 $\bar{Q}=1$,那么门II输出为 $J \cdot \bar{Q}=1$,门IV输出为 $K \cdot Q=0$ 。这两个信号加在门I'、门II'的输入, $Q'=1$ 、 $\bar{Q}'=0$,当 CP 从“1”变为“0”时,从触发器接收 Q' 、 $\bar{Q}'$ 的状态 $Q=1$ 、 $\bar{Q}=0$ 。如果假设触发器的原来状态为 $Q=1$ 、 $\bar{Q}=0$,那么,当 CP 为“1”时,门II输出为“1”,门IV输出也为“1”,主触发器保持,当 CP 从“1”变为“0”时,从触发器也保持,即触发器状态仍为 $Q=1$ 、 $\bar{Q}=0$ 不变。



功 能 表				
输 入			输 出	
CP	J	K	Q_{n+1}	$\bar{Q}_{n+1}$
	0	0	不变	不变
	1	0	1	0
	0	1	0	1
	1	1	$\bar{Q}_n$	Q_n

图 3-13 主从J-K触发器的逻辑图和功能表

通过以上分析可以看到，当 $J = 0$ 、 $K = 1$ 时，不管触发器原来状态如何，在 CP 负跳变到来后，触发器的输出 $Q = 1$ ， $\bar{Q} = 0$ ，这就是主从 J-K 触发器的置“1”功能。这种置“1”是需要依赖于时钟 CP 的，故这种置“1”又称为时钟置“1”。

(3) 当 $J = 0$ 、 $K = 1$ 时，不管触发器原来状态如何，在 CP 负跳变到来后，触发器状态都应为 $Q = 0$ ， $\bar{Q} = 1$ 。这就是主从 J-K 触发器的时钟置“0”功能。此时电路的工作过程和 (2) 类似，故不在此作详细分析。

(4) 当 $J = 1$ 、 $K = 1$ 时，设触发器原始状态为： $Q = 1$ ， $\bar{Q} = 0$ ，当 CP 为“1”时，门Ⅲ输出为： $J \cdot \bar{Q} = 1$ ；门Ⅳ输出为： $K \cdot Q = 1$ ，它们使 $Q' = 0$ ， $\bar{Q}' = 1$ 。当 CP 从“1”变为“0”时，从触发器接收 Q' 、 $\bar{Q}'$ ，使触发器输出为 $Q = 0$ ， $\bar{Q} = 1$ 。如果设原始状态为 $Q = 0$ 、 $\bar{Q} = 1$ ，那么触发器经过上述类似的过程后，触发器一定翻转为： $Q = 1$ ， $\bar{Q} = 0$ 。

通过以上分析可以看到，只要 $J = 1$ ， $K = 1$ ，来一个 CP 脉冲，触发器就向相反的方向翻转一次。这一功能被称作是计数功能。正因为主从 J-K 触发器具有这样一项重要的功能，常常用它组成计数器。

由于主从 J-K 触发器有输出 Q 、 $\bar{Q}$ 到触发器控制门输入的两条反馈线，主触发器接收的是综合 J 、 K 、 Q 、 $\bar{Q}$ 的信号，由于 Q 、 $\bar{Q}$ 总是互补的，因此门Ⅲ、门Ⅳ接收的不可能全是“1”信号，所以主从 J-K 触发器输出是不会出现不定状态的。

主从 J-K 触发器的直接置“0”线和直接置“1”线的连接方法和主从 R-S 触发器相同。图3-14给出了具有直接置“0”线和直接置“1”线的主从 J-K 触发器的逻辑图。

图3-15为主从 J-K 触发器的典型波型图。

应该指出，主从 J-K 触发器的 J 、 K 输入信号应在 $CP = 0$ 期间发生变化，如果 J 、 K 信号在 $CP = 1$ 期间发生变化，主从 J-K 触发器的功能表有可能不满足。下面通过一个例子来说明其原因。如果把图3-16所示波形加在主从 J-K 触发器的输入端，在 CP 的第二个正脉冲期间， J 信号发生了变化。我们来分析第二个 CP 正脉冲期间触发器工作情况。在图 3-15 所示的 T_1 期间 $J = 0$ ， $K = 1$ ，由于此时 $Q = 0$ ， $\bar{Q} = 1$ ，主触发器门Ⅲ、门Ⅳ输出将分别是 $J \cdot \bar{Q} = 1$ 及 $K \cdot Q = 1$ ，所以主触发器将保持第一个 $CP = 1$ 期间的状态不变，即 $Q' = 0$ ， $\bar{Q}' = 1$ 。在 T_2 期间， J 由“0”变到“1”， K 保持“1”，这时主触发器状态变为

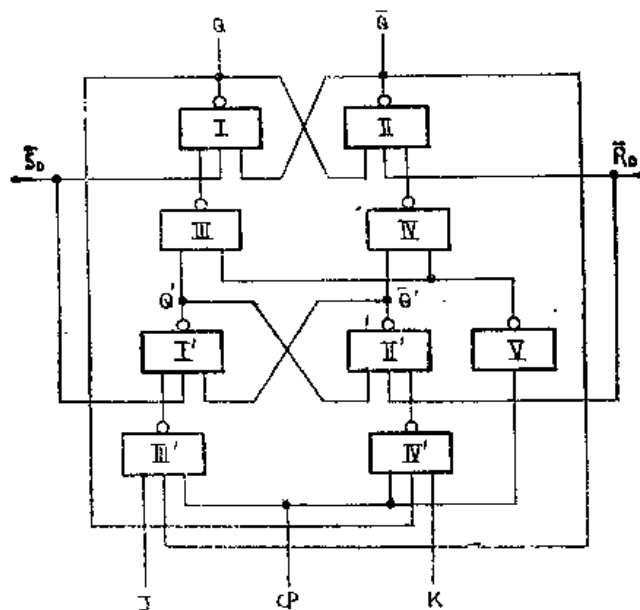


图 3-14 主从J-K触发器直接置“0”、置“1”方法

$Q' = 1, \bar{Q}' = 0$ 。在 T_2 期间, J 虽然由“1”回到“0”, 但由于 $Q = 0, \bar{Q} = 1$, 所以主触发器的状态却并没有随 J 的变化而变化, 主触发器的状态仍保持 $Q' = 1, \bar{Q}' = 0$ 不变。这样在第二个 CP 负跳变来到时, 从触发器接收的将是 $Q' = 1, \bar{Q}' = 0$, 从而使 $Q = 1, \bar{Q} = 0$ 。显然, 它不符合功能表上所示的 $J = 0, K = 1$ 时的输出状态。为了避免这种情况发生, 要求 J, K 信号的变化发生在 CP 为“0”的期间。这是在使用 $J-K$ 触发器时应特别加以注意的。

下面介绍一个实用的主从 $J-K$ 触发器的逻辑图和线路图(图3-17)。图中的逻辑图在形式上与前面介绍的逻辑图(图3-13)不一样了。前面见到的主从 $J-K$ 触发器由九个与非门组成, 现在见到的由两个“与或非”门、两个“与非”门和两只三极管组成, 它显然要比图3-13所示的逻辑图简单得多。图3-17所示的触发器虽然作了简化, 但是, 它的功能和图3-13所示的触发器完全一样。

图3-17所示电路的简化主要在两个方面, 首先是把主触发器(门 I', II', III', IV')用两个与或非门来代替(图3-16(a)中的 A, B)。下面验证它的正确性。在图3-13中门 III' 的输出是 $\overline{Q \cdot J \cdot CP}$, 门 I' 的输入是 $\overline{Q \cdot J \cdot CP}$ 和 $\bar{Q}'$, 因此门 I' 的输出 Q' 的表达式为:

$$Q' = \overline{Q \cdot J \cdot CP \cdot \bar{Q}'} = Q \cdot J \cdot CP + Q'$$

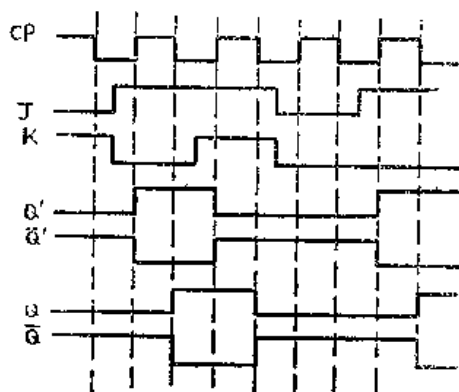


图 3-15 主从J-K触发器的典型波形图

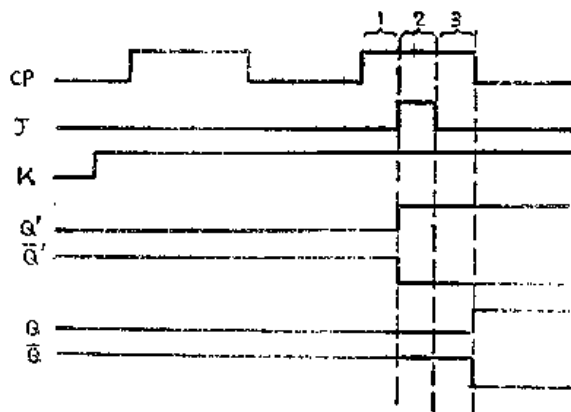


图 3-16 主从J-K触发器的波形图

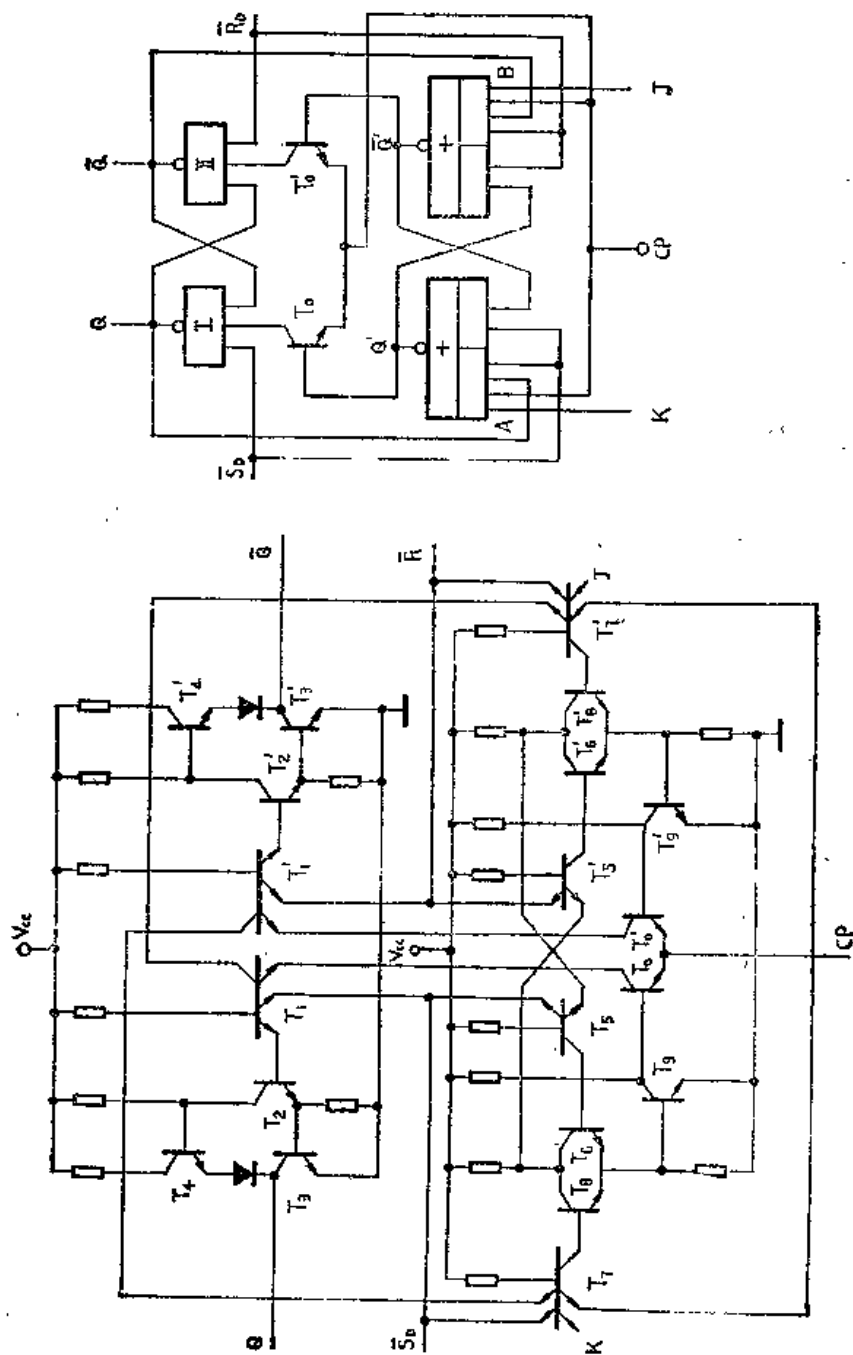


图 8-17 主从 J-K 触发器的逻辑图和线路图

再把式子等号两边都求一次非，得到：

$$\bar{Q}' = \overline{Q \cdot J \cdot CP + Q'}$$

用同样的方法，就可得到 Q' 的表达式：

$$Q' = \overline{\bar{Q} \cdot K \cdot CP + Q'}$$

这两个式子用与或非门来实现，就得到了图3-16 (a) 中A、B的连接。暂先不管 $\bar{R}_D$ 、 $\bar{S}_D$ 线，显然它要比图3-13中门I'、II'、III'、IV'简单多了。

了解图3-16 (a) 的原理后，就很容易了解图3-16 (a) 所示的线路图了，我们只需指出的是，两个与或非门的“1”驱动级用一个电阻来代替了。这是因为两个与或非门的输出端只去驱动两只晶体管 T_0 和 T_0' ，而不驱动外部电路负载，它们的负载电容是比较小的，这样就省去了 T_3 、 T_4 网络。

在图3-14所示主从J-K触发器的逻辑图中还画出了直接置“0”，置“1”线。为了将主触发器清零， $\bar{R}_D$ 线必须和与或非门A的两个与门相连；为了将主触发器置“1”， $\bar{S}_D$ 也必须和与或非门B的两个与门相连。

§3-4 边沿触发方式的触发器

在这一节里我们将介绍边沿触发方式的触发器（简称边沿触发器）。先介绍正边沿触发的D触发器，再介绍负边沿触发的J-K触发器。

边沿触发方式的定义是：当时钟脉冲CP为约定跳变（即为CP的上升沿或下降沿）时，触发器输出状态发生变化。变化后的输出状态由时钟脉冲CP的约定跳变前后输入端信号所决定。当CP为非约定跳变以及CP为“1”或“0”期间，触发器是不接收输入数据的，此时触发器的状态保持不变。

一、正边沿触发的D触发器

图3-18是D触发器的逻辑图和功能表。D触发器是由六个与非门构成，只有一个信号输

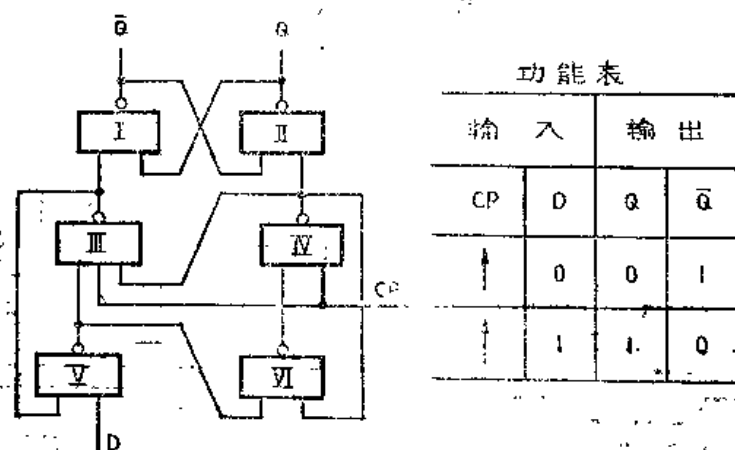


图 3-18 D触发器的逻辑图和功能表

入端D，门I、门II交叉耦合成一个与非型基本触发器。

下面分析D触发器是如何实现正边沿触发的。

当 $CP = 0$ 期间，输入数据D经门V、VI变成互补信号加在门III、IV的输入端。例如，

若 $D = 0$ ，则门 V 输出为 $\bar{D} = "1"$ ，门 VI 输出为 $D = "1"$ 。由于 $CP = 0$ ，门 III、门 IV 被封锁，所以 D 的互补信号 $\bar{D}$ 、 D 不能经门 III、门 IV 进入门 I、门 II 组成的基本触发器，门 III、门 IV 输出为 "1"，基本触发器保持原状态不变。因此在 $CP = 0$ 期间，即使 D 发生变化， Q 、 $\bar{Q}$ 仍保持不变。当 CP 正跳变来到时，门 III、门 IV 被打开，可以接收 $\bar{D}$ 和 D 的状态，若 $D = 0$ ，则门 III 输出为 "0"，门 IV 输出为 "1"。它们使门 I、门 II 组成的基本触发器置 "1"，于是 $Q = 1$ ， $\bar{Q} = 0$ 。

在 $CP = 1$ 期间， D 的变化是不反映到输出端 Q 、 $\bar{Q}$ 的。下面就此问题作如下解释：若 CP 正跳变来到前， $D = 1$ ，则 CP 正跳变使门 VI 输出为 "0"，由于门 VI 输出和 VI 输入相连，因此使门 VI 输出为 "1"，这个 "1" 输出和门 VI 共同作用，从而维持了门 VI 的 "0" 输出，门 VI 的 "0" 输出还和门 III 的输入相连，从而使门 III 的输出维持为 "1"。也就是说，只要在 CP 正跳变来到时，门 IV 的输出为 "0"，就能保持门 IV 输出为 "0"，门 III 输出为 "1"，而不管 D 作何种变化；若 CP 的正跳变来到前， $D = 0$ ，则 CP 正跳变使门 III 输出为 "0"，由于门 III 输出和门 V 输入相连，因此使门 V 输出为 "1"，这个 "1" 输出和 $CP = 1$ 共同作用，从而维持了门 III 的 "0" 输出。此外， CP 的正跳变来到时，门 IV 输出为 "1"，这个 "1" 输出和门 V 的 "1" 输出共同作用，使门 VI 输出为 "0"，而这个 "0" 输出又维持了门 IV 的输出为 "1"，也就是说，只要在 CP 正跳变来到时，门 IV 输出为 "1"，门 III 输出为 "0"，就能保持门 III、门 IV 的输出分别为 "0" 和 "1"，而不管 D 作何种变化。这样，门 III、IV、V、VI 的互相连接就确保 $CP = 1$ 期间 D 的变化不反映到 Q 、 $\bar{Q}$ 端，图 3-19 给出了正沿触发器的典型波形图。

下面介绍 D 触发器的直接置 "0" 和直接置 "1" 的原理，图 3-20 画出了 D 触发器的直接置 "0" 线和直接置 "1" 线。直接置 "0" 线除了和门 I 相连外，还必须和门 IV、门 V 相连；直接置 "1" 线除了和门 II 相连外，还必须和门 VI 相连，我们以直接置 "0" 为例，分析其工作原理。

设触发器的原始状态为 $Q = 1$ ， $\bar{Q} = 0$ ，如果在 $CP = 0$ 期间直接置 "0" 信号，那么由于 $CP = 0$ 期间门 III、门 IV 输出均为 "1"，和门 I 相连的 $\bar{R}_D$ 线是能将基本触发器置 "0" 的。如果在 CP 为 "1" 期间来置 "0" 信号，那么，单靠和门 I 相连的 $\bar{R}_D$ 线是不能达到置 "0" 的目的。这是因为，在 $CP = 1$ 期间门 III 输出为 "1"，门 IV 输出为 "0"， $\bar{R}_D$ 的 "0" 信号来到

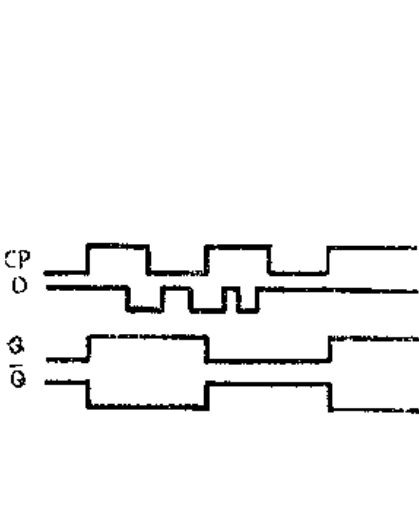


图 3-19 D 触发器的典型波形图

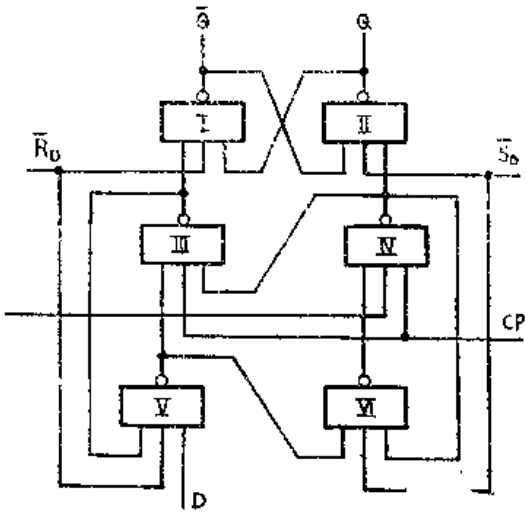


图 3-20 D 触发器的直接置 "0"、置 "1" 方法

时, $\bar{R}_D$ 的“0”信号和门Ⅳ的“0”输出共同作用于基本触发器, 使 Q 、 $\bar{Q}$ 均为“1”, 从而破坏了 Q 、 $\bar{Q}$ 互补的条件。此外, 当 $\bar{R}_D$ 的“0”信号撤除后, 由于门Ⅳ的“0”电平作用于门Ⅰ, 又使触发器回到 $Q = 1$ 、 $\bar{Q} = 0$ 的状态, 从而触发器无法呈现“0”态。

为了能在 $CP = 1$ 期间达到置“0”的目的, 必须将门Ⅳ的状态由“0”改变为“1”, 将门Ⅰ的状态由“1”改变为“0”, 这样, 不但在 $\bar{R}_D$ 的“0”电平作用期间能够置触发器为“0”态, 而且当 $\bar{R}_D$ 信号撤除后触发器仍能保持“0”态。为了改变门Ⅰ、门Ⅳ的输出状态, 还须将 $\bar{R}_D$ 线分别和门Ⅰ、门Ⅳ相连。利用这两根置“0”线, 就能在 $CP = 1$ 期间改变门Ⅰ、门Ⅳ的输出。

直接置“1”的原理和直接置“0”的原理相仿, 其中 $\bar{S}_D$ 和门Ⅵ相连, 是为了在 $CP = 1$ 期间, 把门Ⅳ的输出由“1”改变为“0”, 把门Ⅰ输出由“0”改变为“1”。

下面介绍 D 触发器的线路 (图 3-21)。其中 $T_0 \sim T_8$ 组成门Ⅰ; $T_0' \sim T_8'$ 组成门Ⅱ; $T_7 \sim T_8$ 组成门Ⅲ; $T_7' \sim T_8'$ 组成门Ⅳ; $T_0 \sim T_{10}$ 组成门Ⅴ; $T_0' \sim T_{10}'$ 组成门Ⅵ; 二极管为门Ⅲ、门Ⅳ、门Ⅴ、门Ⅵ公用。

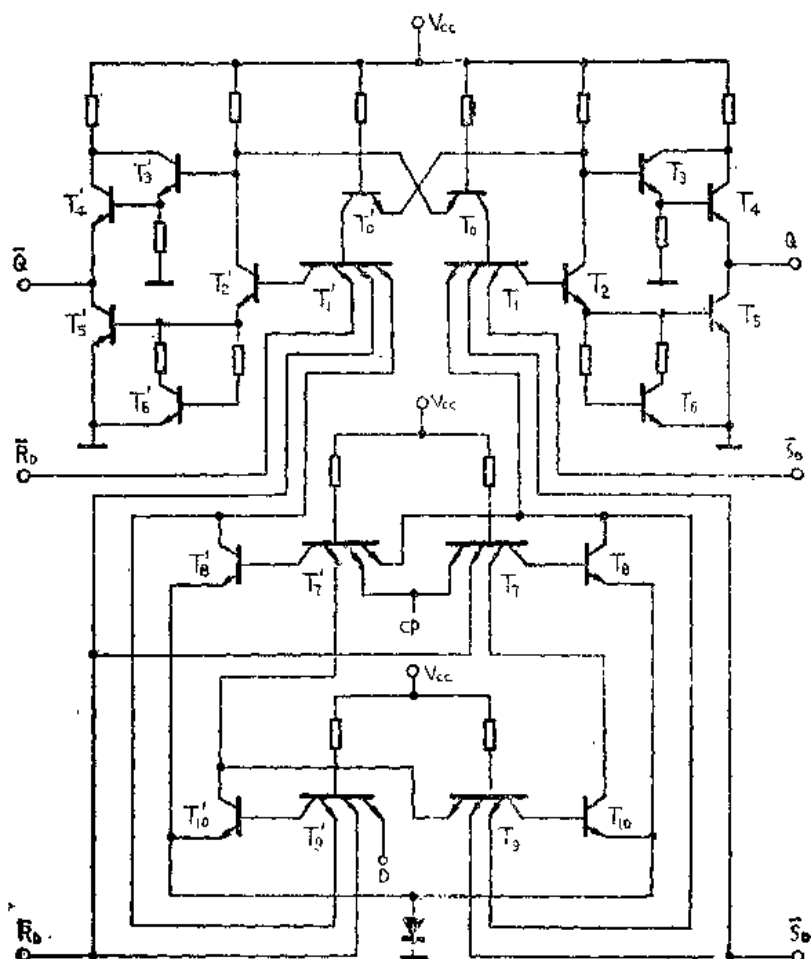


图 3-21 D 触发器的线路图

$\bar{Q}$ 端的负载能力并提高触发器的速度, 在门Ⅰ、门Ⅱ中设置了“1”驱动级 T_8 、 T_4 (T_8' 、 T_4') 网络, “0”驱动级 T_6 (T_6')。为了提高门Ⅰ、门Ⅱ的抗干扰能力和开关速度还采用 T_6 (T_6') 网络结构。门Ⅰ、门Ⅱ组成的基本触发器的交叉耦合不在 Q 、 $\bar{Q}$ 端实现, 而在门Ⅰ、门Ⅱ的集电极实现。我们称这种交叉耦合为内部交叉耦合。这种连接有什么好处呢? 我们知道, T_2

管集电极相位和输出管 T_0 集电极相位相同,所以在 T_2 集电极实现交叉耦合不影响门Ⅰ、门Ⅱ组成的基本触发器的逻辑功能。内部交叉耦合的优点是:

(1) 提高触发器的开关速度,因为 T_2 集电极的开关速度比 T_0 集电极要快得多。

(2) 触发器两个输出端的平均延迟时间不会因 Q 、 $\bar{Q}$ 所带负载情况不同而互相影响。这是因为,如直接将 Q 、 $\bar{Q}$ 分别和门Ⅰ和门Ⅱ相连,那么由于触发器所带负载不同会对 Q 、 $\bar{Q}$ 波形有直接影响,而 T_2 、 T_2' 的集电极不直接和负载相连,负载的情况不同不会对 T_2 、 T_2' 集电极波形产生影响。

(3) 可以使 Q 和 $\bar{Q}$ 的扇出系数有所提高。如果门Ⅰ、门Ⅱ的扇出系数为 N_c-1 ,内部交叉耦合的扇出系数仍为 N_c 。

T_0 、 T_0' 在电路中起什么作用呢?我们先来看一下没有 T_0 、 T_0' 的情形。我们设门Ⅰ导通,门Ⅱ截止。

$$V_{C2'} = V_{Cbs'} + V_{Ces2} = 0.7V + 0.3 = 1V$$

这个1V的低电平加至 T_1 管射极,比标准门低电平0.3V高0.7V(即一个 eb 结压降),而门Ⅱ的开门电平是1.4V,在这种情况下,门Ⅱ的可靠关闭受到影响。为了使门Ⅰ、门Ⅱ在输入低电平时可靠地截止,引入了 T_0 、 T_0' 。由于 T_0 集电极和 T_1 基极相连,加入了 T_0 后,如果要使 T_2 导通所需的 T_0 射极电位为: T_0 射结压降、 T_2 射结压降、 T_1 集结压降、 T_0 集射饱和压降之和约为2.1V,也就是说,引入了 T_0 ,门Ⅱ的开门电平提高了一个结压降。这样,虽然加在 T_0 射极的 $V_{C2'}$ 较高,但仍能保证门Ⅱ可靠地关闭。

门Ⅲ、门Ⅳ、门Ⅴ、门Ⅵ不带外部负载,它们所带内部门也不多,所以可采用简化门形式,即把“0”驱动级 T_0 和“1”驱动级 T_3 、 T_4 网络都省略了,如图3-22所示, T_2 集电极就作为与非门的输出,其中二极管D模拟 T_0 射结,使该电路开门电平和五管与非门相当。电路输出管的集电极电阻省略,由下一级的输入电阻代替。这种电路的优点是所用元件少、功耗小;缺点是输出低电平较高(约0.7~0.8V),抗干扰能力差一些,驱动容性负载能力弱,但在D触发器的线路中是可以满足要求的。

正边沿触发的D触发器,在CP正跳变的作用下,只有置“0”,置“1”功能,因此常用它来组成寄存二进制的寄存器。图3-23是用四个D型触发器组成四位寄存器的实例。图中如把数1011放在D触发器1~4的D端,那么在CP正跳变来到时,1011就存入触发器1~4, $Q_1Q_2Q_3Q_4 = 1011$ 。

从功能表看,正边沿D触发器是没有“计数”功能的,但是,只要把它的 $\bar{Q}$ 端和Q端相连(图3-23(a)),此时D触发器就处于计数状态。下面分析其原因。假定触发器的原始状态是

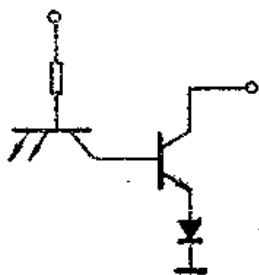


图 3-22 D触发器线路中采用的简化门

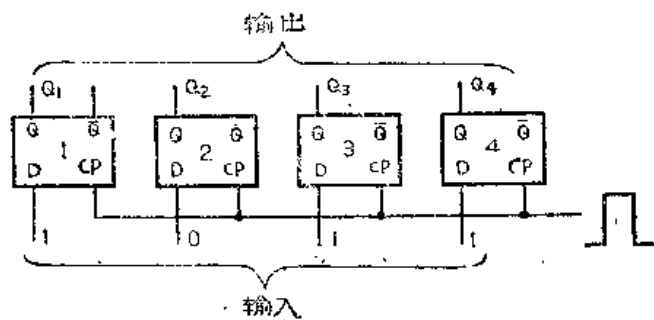


图 3-23 D触发器组成的四位寄存器

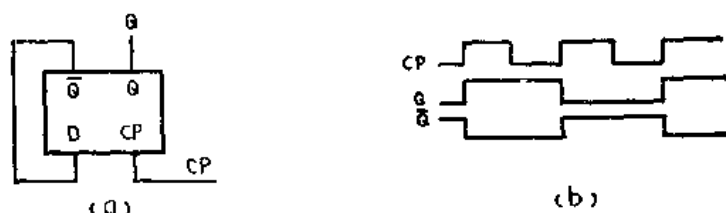


图 3-24 D 触发器计数状态的连接图和波形图

“1”态 (即 $\bar{Q} = 0$ ，由于 $\bar{Q}$ 和 D 相连，此时 $D = 0$ ，当 CP 正跳变来到时，触发器接收 $D = 0$ ，而呈“0”态，此时 $Q = 0$ ，由于此时 $\bar{Q} = 1$ ，故 $D = 1$ ，下一个 CP 正跳变来到时，触发器接收 $D = 1$ ，而又呈“1”态。也就是说，每来一个 CP 正跳变，使触发器改变状态一次；因此说 D 触发器在此种情况下处于计数状态。图 3-24(b) 给出了 D 触发器处于计数工作状态时的输出波形图。

二、负边沿触发的 J-K 触发器

在前一节中介绍了主从 J-K 触发器，下面再介绍一种负边沿触发的 J-K 触发器。负边沿触发的 J-K 触发器的功能和主从 J-K 触发器的功能是一样的。图 3-25 是它的逻辑图和功能表

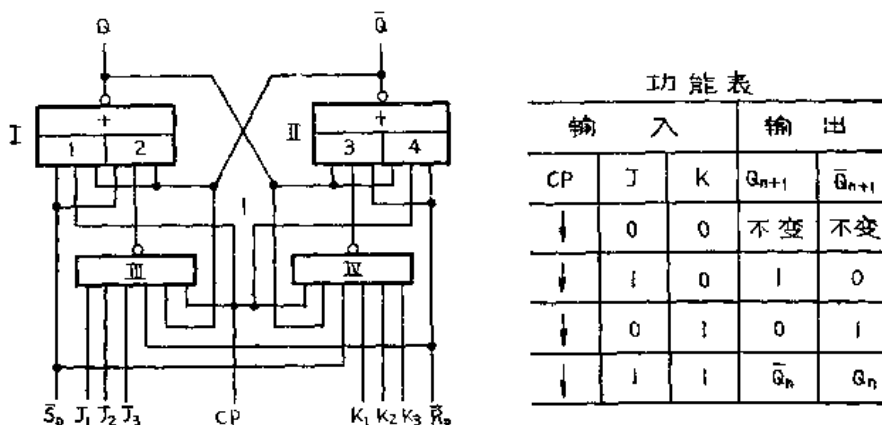


图 3-25 负沿 J-K 触发器的逻辑图和功能表

表。它由两个与或非门 I、门 II 交叉耦合构成基本触发器；与非门 III、门 IV 是输入信号接收门，下面分析其工作原理。

当 CP 脉冲未到来之前，即 CP 为“0”时，信号接收门 III、门 IV 被封锁， J 、 K 信号也被封锁，基本触发器处于保持状态， J 、 K 变化不被基本触发器接收。如果这时触发器的输出为 $Q = 0$ ， $\bar{Q} = 1$ ，在 $CP = 1$ 期间，与门 I 的输入为 $CP \cdot \bar{S}_D \cdot \bar{Q}$ ，其输出为“1”，它维持了输出 Q 为“0”的状态。同时与门 4 的输入为 $CP \cdot \bar{R}_D \cdot Q$ ，其输出为“0”。此外， $Q = 0$ 和与门 3 输入相连，使其输出也为“0”，这样，就维持了 $\bar{Q} = 1$ ，所以在 $CP = 1$ 期间触发器也处于保持状态，虽然接收门 III、门 IV 因 $CP = 1$ 而打开，但是 J 、 K 变化不被触发器接收。

如果在 $CP = 1$ 期间， $Q = 0$ 、 $\bar{Q} = 1$ ，输入为 $J = 1$ ， $K = 0$ ，那么门 III 输出为“0”，门 IV 输出为“1”。在 CP 负跳变来到时，与门 I 关闭，如果线路设计使门 III 截止比与门 I 要慢，那么在 CP 负跳变来到时，与门 I 输出变为“0”时，门 III 输出还来不及变化，门 III 在 CP 负跳变前所接收的信息 (门 III 输出为“0”) 就能进入与或非门 I 使 Q 由“0”变为“1”。同样，在 CP 负跳变来到时，与门 4 也关闭，如果线路设计也使门 IV 截止较与门 4 要慢，那么在与

门4输出变为“0”时，接收门Ⅳ的输出还来不及变化时，门Ⅳ在CP负跳变前所接收的“1”信息就能进入与或非门Ⅱ，使 $\bar{Q}$ 由“1”变为“0”。所以图3-25所示触发器在CP负跳变来到时，就能接收 $J=1$ 、 $K=0$ 信息，使触发器输出为 $Q=1$ ， $\bar{Q}=0$ 。

图3-25所示负边沿触发器在CP正跳变来到时是不会接收输入数据的。这一要求是通过线路设计使门Ⅲ、门Ⅳ导通快于与门1、4来达到的。假如原始状态是 $Q=0$ ， $\bar{Q}=1$ ，当CP正跳变来到时，只要与门1的“1”输出和与门4的“0”输出无建立，触发器就仍处于保持状态，接收门的输出，就无法进入基本触发器。图3-26是它的线路图；图3-27是它的典型波形图。

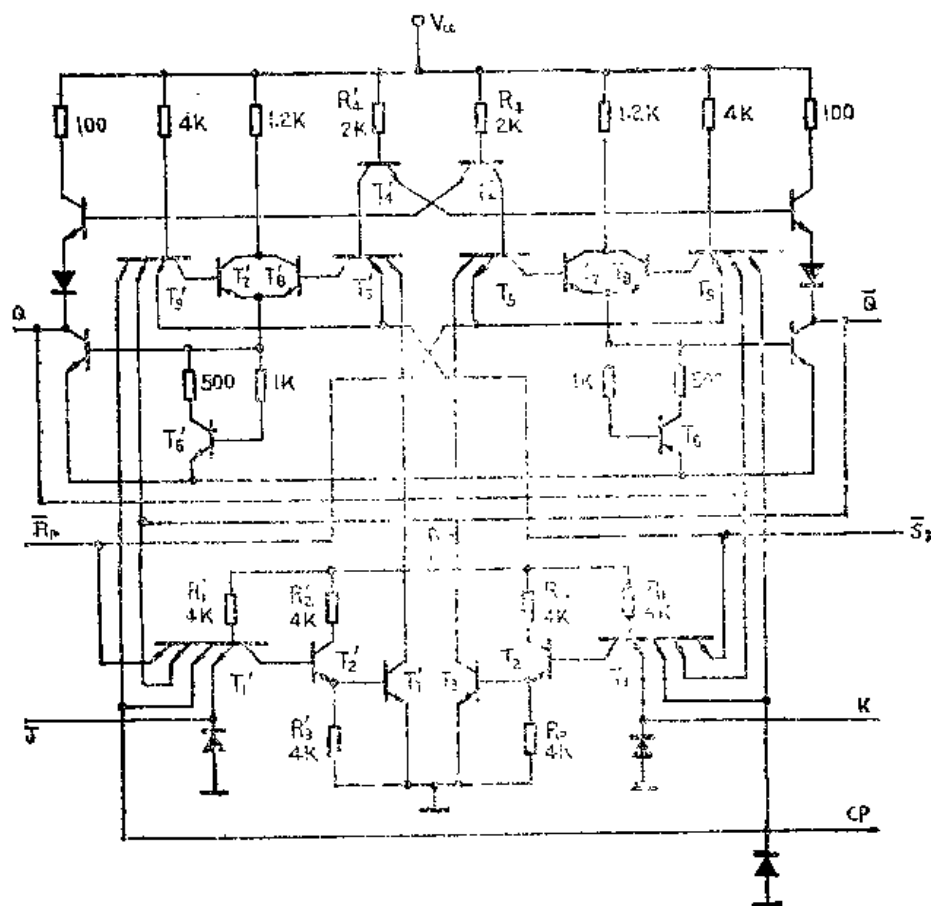


图 3-26 负沿 J-K 触发器的线路图

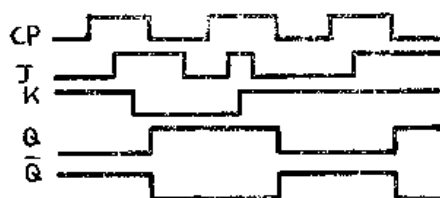


图 3-27 负沿 J-K 触发器的典型波形图

§3-5 三种触发方式的比较

一、电位触发方式和边沿触发方式的比较

电位触发方式的触发器是在CP约定电平期间接收输入信号，而边沿触发方式的触发器仅在CP约定边沿来到时接收输入信号。图3-27给出了锁定触发器和正边沿D触发器在加相

同输入波形时，输出波形的比较由图3-28所示，它们的输出波形是完全不同的。

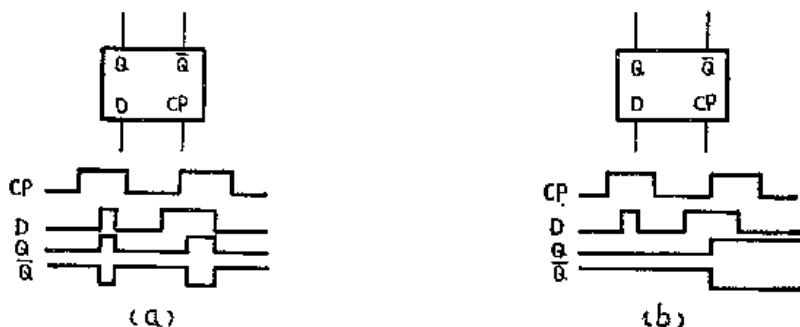


图 3-28 D触发器和锁定触发器的波形比较

已经讲过，只要把正边沿的D触发器的 $\bar{Q}$ 端和D端相连，触发器呈计数工作状态，但是，若把锁定触发器的 $\bar{Q}$ 和D相连，它是不能正确计数的。其原因如下：把锁定触发器的D端和 $\bar{Q}$ 相连，假定触发器原始状态为“0”态，则 $\bar{Q} = 1$ ， $D = 1$ ，那么在 $CP = 1$ 来到时，触发器接收 $D = 1$ ，由“0”态变为“1”态，即 $Q = 1$ ， $\bar{Q} = 0$ 。由于 $\bar{Q}$ 和D相连，则 $D = 0$ 。如果此时 $CP = 1$ 还未撤除，触发器将接收 $D = 0$ ，而使触发器由“1”态变为“0”态，即 $Q = 0$ ， $\bar{Q} = 1$ ，如果还保留 $CP = 1$ ，则触发器又要从“0”态变为“1”态。也就是说，如果CP的正脉冲很宽，那么触发器将反复翻转，直到 $CP = 1$ 撤除，这样，就不能做到来一个CP脉冲，触发器只翻转一次，也就是不能做到正确地计数。因此，锁定触发器不能用作计数。一般在 $CP = 1$ 期间，把 $\bar{Q}$ 和D相连的触发器翻转多次称为“空翻”。

电位触发方式的触发器在输出端和输入端相连时，由于它们是在约定电平期间接收输入信号的，只要约定电平存在，触发器将不停地翻转，也就是出现“空翻”现象，所以电位触发方式的触发器一般都不能用来计数。

二、边沿触发方式和主从触发方式的比较

主从J-K触发器输出的变化发生在CP负跳变到来时，似乎主从触发器和边沿触发器没有什么差别了。但是，它们两者有着很大差别。区别在于：主从J-K触发器的J、K的变化一般不允许发生在 $CP = 1$ 期间，如果在 $CP = 1$ 期间J、K发生了变化，那么当CP负跳变来到时，触发器的状态就有可能不符合功能表中J、K的状态应对应的输出状态。而对于边沿触发器， $CP = 0$ 、 $CP = 1$ 期间，输入信号可以作任何变化，触发器接收的只是约定跳变到来时的输入信息。边沿触发器不会因为输入信号发生在某个时间出现不符合功能表的情况。由于主从触发器和边沿触发器存在着上述差别，所以不能认为主从触发器是边沿触发方式。

图3-29给出了主从J-K触发器和负边沿J-K触发器在相同输入条件下的输出波形。由图

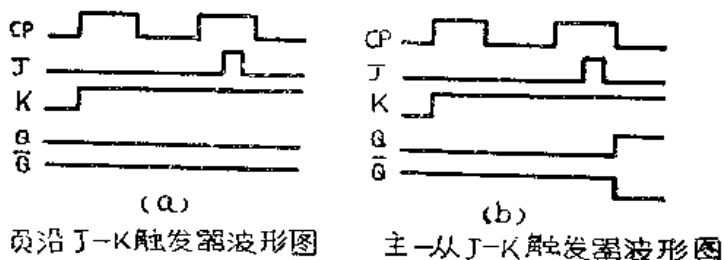


图 3-29 主从J-K触发器和负边沿J-K触发器的波形比较

可见，主从J-K触发器发的输入信号J、K在 $CP = 1$ 期间发生变化，它的输出波形有可能和负边沿J-K触发器的输出波形不同。

§3-6 触发器的主要参数及测试方法

在这一节里将介绍触发器的主要参数和测试方法。触发器的电路参数分为静态参数和动态参数两类，下面分别予以介绍：

一、静态参数及测试方法

1. 电源电流 I_{CC}

门电路的电源电流有低电平电源电流 I_{CCL} 和高电平电源电流 I_{CCH} ，一般 I_{CCL} 比 I_{CCH} 大得多，而 I_{CCH} 和 I_{CCL} 的平均值为平均电源电流 I_{CC} 。

因为触发器由许多门组成，无论Q为“0”时或Q为“1”时，总是一部分门处于导通状态，另一部分处于截止状态，这两种情况的电源电流是差不多的，因此仅用电源电流来表示。当然，触发器电源电流和各输入端的不同连接方式有关，为明确起见，目前的生产单位规定，测量电源电流时，所有的输入端、输出端全部悬空，电源电压 $V_{CC} = 5.25V$ ，这样测得的数据为电源电流 I_{CC} 。J-K触发器的 I_{CC} 测试原理如图3-30所示。电源电流不能太大，否则电路功耗太大，就会使温度升高，造成电路工作不稳定。

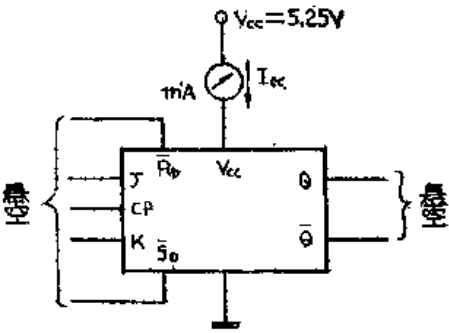


图 3-30 主从J-K触发器 I_{CC} 测试原理图

2. 输出高电平 V_{OH} ，输出低电平 V_{OL}

当触发器处于“1”态时，即可在Q端测得高电平，在 $\bar{Q}$ 端测得低电平；当触发器处于“0”态时，即可在Q端测得低电平，在 $\bar{Q}$ 端测得高电平。问题在于如何使触发器处于“1”态或“0”态。如果触发器有直接置“1”端和直接置“0”端，那么只要分别在 $\bar{S}_D$ 、 $\bar{R}_D$ 端加“0”电平，即可使触发器处于“1”态或“0”态。图3-31给出了有 $\bar{R}_D$ 、 $\bar{S}_D$ 端的D触发器 V_{OH} 、 V_{OL} 测试原理图。如果触发器没有设置 $\bar{S}_D$ 、 $\bar{R}_D$ 端，那么可以借助CP信号，把适当的输入数据送入触发器，使之建立“1”态或“0”态，例如，对于锁定触发器，只要使 $CP = 1$ ， $D = 1$ ，即可使触发器处于“1”态，当 $CP = 1$ ， $D = 0$ 即可使触发器处于“0”态。图3-32给出了测试锁定触发器 V_{OH} 、 V_{OL} 的原理图。对于正边沿D触发器，只要使 $D =$

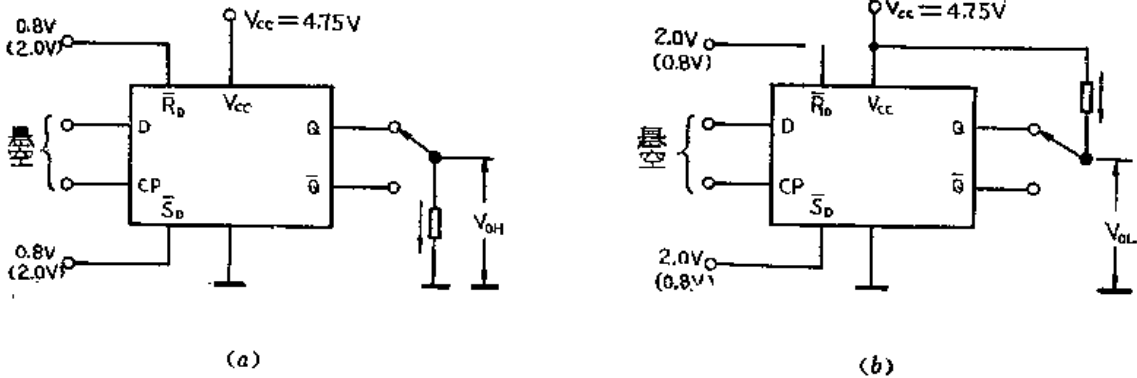


图 3-31 D触发器 V_{OH} 、 V_{OL} 测试原理图

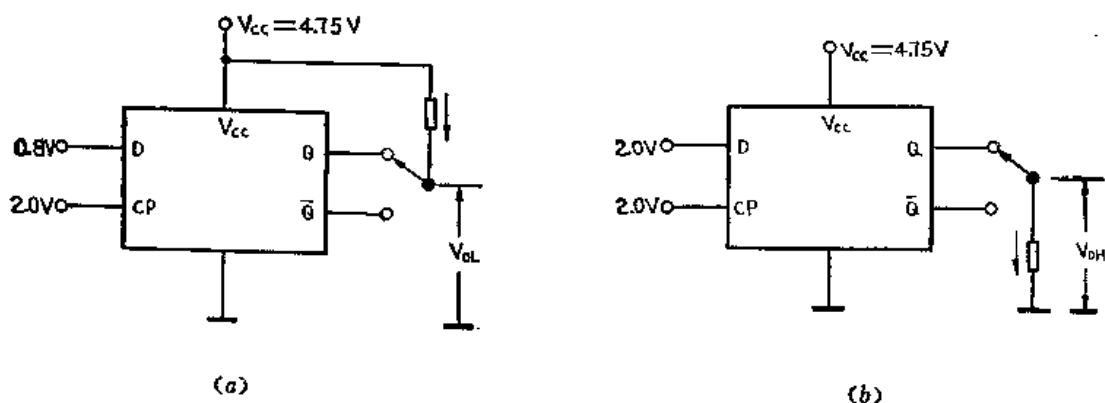


图 3-32 锁定触发器 V_{OL} 、 V_{OH} 测试原理图

1, 并且在 CP 端加一个正脉冲, 那么这个脉冲的正跳变即可把 $D=1$ 送入触发器, 使触发器处于“1”态; 同理, 若 $D=0$, 在 CP 端加一个正脉冲, 那么这个脉冲的正跳变即可把 $D=0$ 送入触发器。图3-33是测试D触发器 V_{OH} 、 V_{OL} 的原理图。

测试 V_{OH} 、 V_{OL} 时, 被测端应带相应的负载, 电源电压 $V_{CC}=4.75\text{V}$ 。

3. “0” 输入电流 I_{IL}

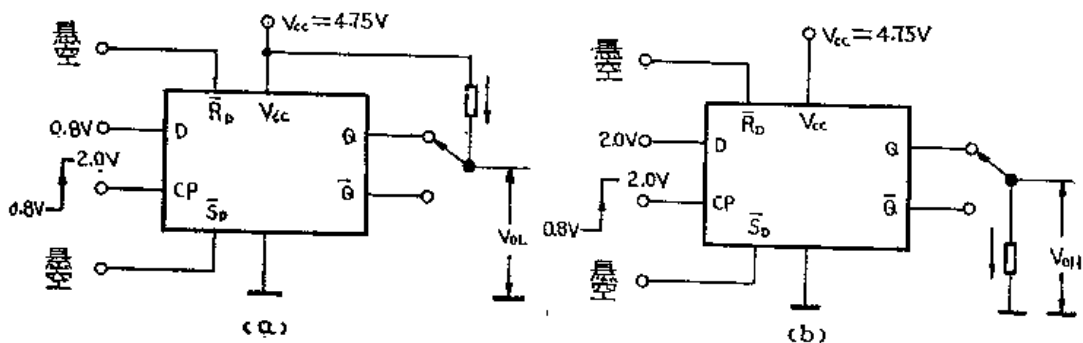


图 3-33 D 触发器 V_{OL} 、 V_{OH} 测试原理图

触发器各输入端的“0”输入电流 I_{IL} 的测试方法和门电路一样。图3-34是J-K触发器的 I_{IL} 测试原理图。测试条件是 $V_{CC}=5.25\text{V}$, $I_{IL}=0.4\text{V}$ (或接地), 非被测端悬空, 电流表中读数即是 I_{IL} 。

触发器各输入端的 I_{IL} 的大小与这些输入端所连接的门电路的个数有关。例如, D 触发器的 D 端只和一个门相连, CP 端以及 $R\bar{S}_D$ 端都和 2 个门相连, $\bar{R}_D$ 和 3 个门相连, 因此, $\bar{R}_D$ 的 I_{IL} 大体上是 D 端的 3 倍, CP 、 $\bar{S}_D$ 和 I_{IL} 大体上是 D 端的 2 倍。

4. “1” 输入电流 I_{IH}

触发器各输入端的“1”输入电流 I_{IH} 的测试方法与门电路基本相同。图3-35是J-K触发器 I_{IH} 的测试原理图。测试条件是 $V_{CC}=5.25\text{V}$, $V_{IH}=2.4\text{V}$ 。非被测端接地, 电流表中的读数即是 I_{IL} 。

和“0”输入电流一样, “1”输入电平 I_{IH} 的大小也和被测端所连接的门电路的个数有关。

5. 输出短路电流 I_{OS}

测量触发器 Q 、 $\bar{Q}$ 端的输出短路电流 I_{OS} , 就要使触发器建立“1”和“0”态。当触发

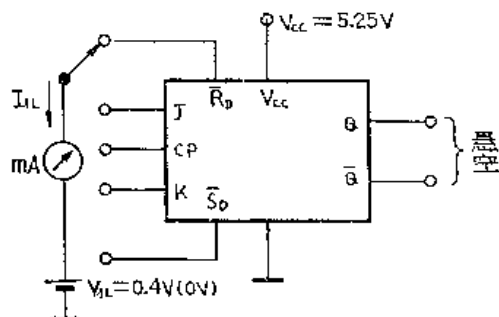


图 3-34 触发器 I_{IL} 测试原理图

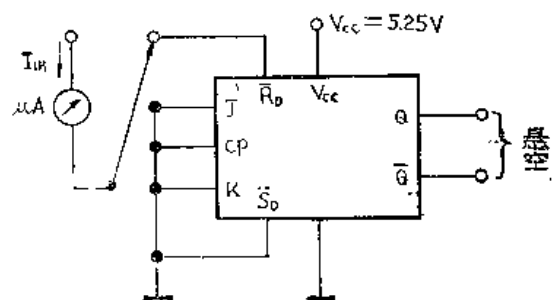


图 3-35 主从 J-K 触发器 I_{IH} 测试原理图

器处于“1”态，即可按测量门电路 I_{OS} 的方法，测得触发器 Q 端的 I_{OS} ；当触发器处于“0”态时，则可以测得 $\bar{Q}$ 端的 I_{OS} 。测量 I_{OS} 时， $V_{CC} = 5.25V$ 。图 3-36 是 J-K 触发器 I_{OS} 的测试原理图。

6. “1” 输出电流 I_{OH} (又称输出漏电流)

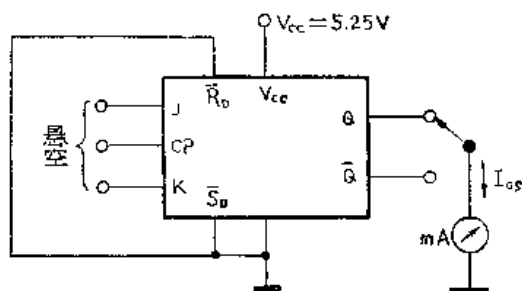


图 3-36 主从 J-K 触发器 I_{OS} 的测试原理图

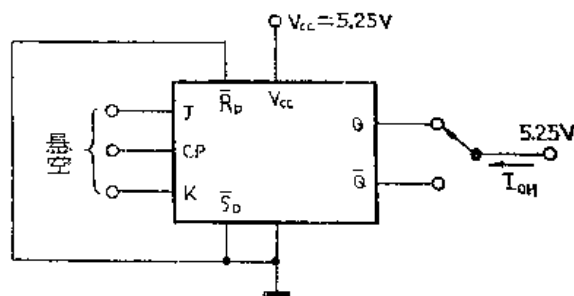


图 3-37 主从 J-K 触发器 I_{OH} 测试原理图

测量触发器的 I_{OH} ，要使触发器处于“1”态和“0”态。当触发器处于“1”态，Q 端加指定电平时，即可测得 Q 端的 I_{OH} ；当触发器处于“0”态时， $\bar{Q}$ 端加指定电平，即可测得 $\bar{Q}$ 端的 I_{OH} 。测量 I_{OH} 时， $V_{CC} = 5.25V$ ，指定电平为高电平 5.25V。图 3-37 为主从 J-K 触发器 I_{OH} 测试原理图。

二、动态参数及测试方法

由于触发器的输入和输出端比较多，因此触发器的动态参数比门电路要多。这里介绍一些常用的动态参数。

1. 传输延迟时间

触发器的传输延迟时间有两类：从时钟 CP 到输出的传输延迟； $\bar{R}_D$ 、 $\bar{S}_D$ 到输出的传输延迟。

(1) 时钟 CP 到输出的传输延迟时间 对边沿触发器来说，时钟 CP 到输出的传输延迟是指从触发器接收数据的约定时钟跳变到 Q、 $\bar{Q}$ 端状态发生变化为止所需的时间，它有 $t_{PLHCP \rightarrow Q}$ 、 $t_{PCHCP \rightarrow \bar{Q}}$ 、 $t_{PHLCP \rightarrow Q}$ 和 $t_{PLHCP \rightarrow \bar{Q}}$ 四个时间，图 3-38 给出了正边沿 D 触发器、主从 J-K 触发器参数的定义。

对于锁定触发器，时钟 CP 到输出的传输延迟是从触发器接收数据的约定电平来到时算起的。图 3-39 给出了锁定触发器的参数的定义表示。

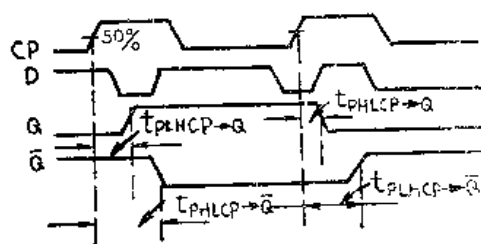


图 3-38 D触发器、主从J-K触发器延迟时间定义

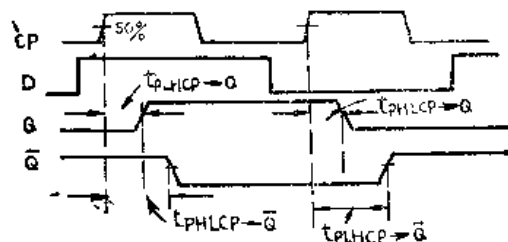
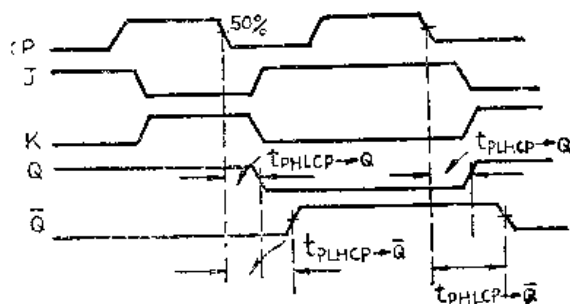


图 3-39 锁存触发器延迟时间的定义

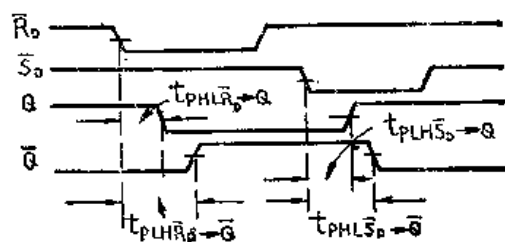


图 3-40 延迟时间定义

其中，D触发器的延迟时间是从CP上升沿作为测量起点的，而主从J-K触发器的延迟时间是从CP下降沿作为测量起点的。

(2) 直接置“0”端($\bar{R}_D$)、直接置“1”端($\bar{S}_D$)到输出的传输延迟时间 触发器的 $\bar{R}_D$ 端、 $\bar{S}_D$ 端到输出的传输延迟时间有： $t_{PHLR_D \rightarrow Q}$ 、 $t_{PLHR_D \rightarrow Q}$ 、 $t_{PLHS_D \rightarrow Q}$ 和 $t_{PHLS_D \rightarrow Q}$ 四个时间。 $t_{PHLR_D \rightarrow Q}$ 是指 $\bar{R}_D$ 的“0”信号来到时到Q端由高电平变到低电平所需的时间； $t_{PLH \cdot \bar{Q}}$ 是指 $\bar{R}_D$ 的“0”信号来到时到 $\bar{Q}$ 端由低电平变到高电平所需的时间； $t_{PHLS_D \rightarrow Q}$ 是指 $\bar{S}_D$ 的“0”信号来到时到Q端由低电平变到高电平所需的时间； $t_{PHLS_D \rightarrow \bar{Q}}$ 是指 $\bar{S}_D$ 的“0”信号来到时到 $\bar{Q}$ 端由高电平变到低电平所需的时间。图3-40给出了这些参数的定义表示。

在测量输出传输延迟时间时，被测端应带上一定的电阻负载和电容负载，要求输入波形有一定的上升沿和下降沿，但不能太长。

2. 建立时间 t_S 和保持时间 t_H

对边沿触发器和主从触发器而言，为了使CP的约定跳变能正确地把输入数据(D或J、K)，输入数据应比时钟约定的跳变先到，这段最小的提前时间称为数据建立时间 t_S 。在时钟脉冲的约定跳变到来后，输入数据至少还要保持一段时间，这段必须保持的最小时间称为数据保持时间 t_H 。

图3-41给出了正边沿D触发器的建立时间和保持时间的定义表示。

图3-42给出了主从J-K触发器的 t_S 、 t_H 的定义表示。对于主从J-K触发器，在时钟CP处

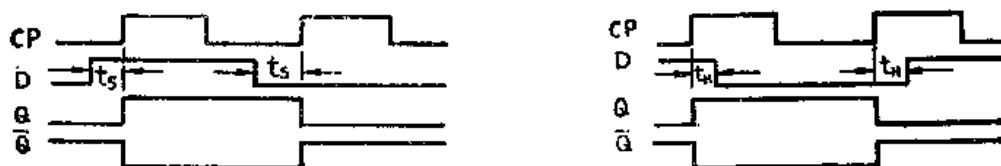


图 3-41 D触发器 t_S 、 t_H 的定义

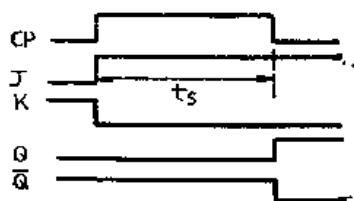


图 3-42 主从J-K触发器 t_s 、 t_H 的定义

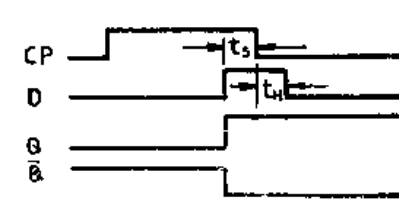
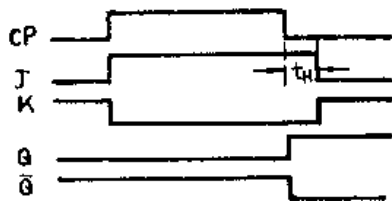


图 3-43 锁定触发器 t_s 、 t_H 的定义

于高电平期间， J 、 K 信号不应变化。因此要求其建立时间大于时钟 CP 的高电平宽度。

对于锁定触发器， t_s 的定义与边沿触发器、主从触发器不同，它被定义为：为了使 $CP = 1$ 命令撤除前到的数据能可靠地被接收，数据应提前在 $CP = 1$ 撤除前建立，这段最小的提前时间称为 t_s ；此外，输入数据在 $CP = 1$ 撤除后应保持一定时间，待触发器处于保持状态后再撤除，从保证数据撤除不对触发器产生影响，这段最小保持时间称为 t_H ，图3-43给出了它的定义表示。

一般不单独测量 t_s 和 t_H ，而是在测量时钟 CP 到输出传输延迟时间时，使输入数据和 CP 的波形满足 t_s 和 t_H ，若时钟 CP 到输出传输延迟时间满足要求，则认为 t_s 、 t_H 符合要求。

3. 最小脉冲宽度 t_w

要求触发器正常工作，对时钟脉冲置“0”或置“1”脉冲的宽度都有一定的要求。对时钟脉冲来讲，高电平必须持续的最小时间，称为时钟脉冲的高电平最小脉冲宽度，记为 t_{wCP+} ；低电平必须持续的最小时间，称为时钟脉冲的低电平最小脉冲宽度记为 t_{wCP-} 。置“0”脉冲和置“1”脉冲都是低电平作用的，所以只提出对低电平脉冲宽度的要求，即 $t_{w\bar{R}_D}$ 、 $t_{w\bar{S}_D}$ 。

4. 最高工作频率 f_{max}

f_{max} 就是保证触发器正常工作时，所允许的时钟脉冲的最高频率。在测试时， Q 和 $\bar{Q}$ 端接上额定的电阻负载和电容负载。要求时钟脉冲的空度比为50%，输入脉冲的上升沿和下降沿不能太长。

对J-K触发器测试时使触发器处于计数工作状态，即 $J = K = 1$ ；对正边沿D触发器，也要求触发器处于计数工作状态，即要将 $\bar{Q}$ 反馈和 D 端相连。图3-44和图3-45为J-K触发器和D触发器的 f_{max} 测试线路图。

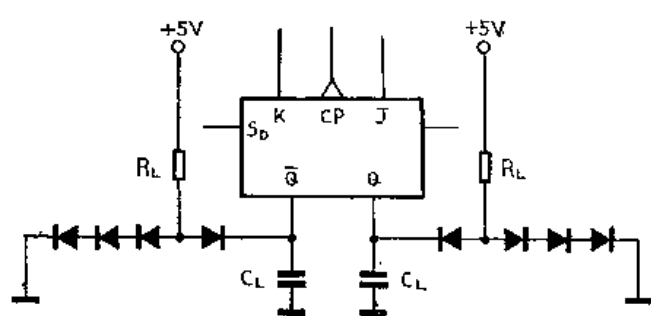


图 3-44 主从J-K触发器 f_{max} 测试原理图

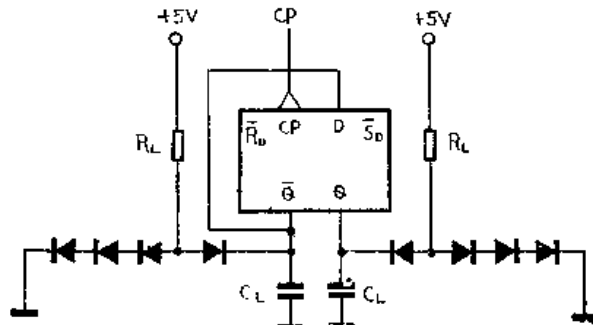


图 3-45 D触发器 f_{max} 测试原理图

第四章 其他双极型数字电路

§4-1 发射极耦合逻辑 (ECL) 电路

TTL电路是利用晶体管的饱和态和截止态来工作的,它的特点是负载能力强,输出逻辑电平比较稳定。但由于晶体管工作在饱和状态,电路的开关速度不能很快,虽然采用肖特基二极管抗饱和措施,可以提高TTL电路的开关速度,但仍不能满足高速运行的要求。这是因为:

(1) 晶体管处于饱和状态,体内多余载流子的存贮效应是造成电路延迟时间长的主要因素。

(2) 晶体管处于饱和状态,收集结处于正向,其集结电容较大,电容的充、放电过程较长,限制了电路开关速度的提高。

(3) 晶体管工作在共射方式,降低了晶体管的频率特性。

发射极耦合逻辑电路是为了适应高速计算机的要求而发展起来的一种电路。它从根本上改变了电路的形式,它使电路内的晶体管工作在放大区,从而避免因饱和而对电路开关速度的影响。所以,它是一种非饱和型的逻辑电路,它每级门的传输延迟可以快达 1ns 。下面我们介绍发射极耦合电路的工作原理,门电路及触发器的电路形成。

一、ECL基本门电路

图4-1是ECL的基本门,它完成或和或非功能。输入信号分别接在输入晶体管 T_1 和 T_2 的基极 A 和 B 上。这两个晶体管的发射极和晶体管 T_3 的发射极连在一起,并通过一个电阻 R_e 接在负电源 V_{EE} (V_{EE} 一般取 -5.2V)上, T_3 的基极接一个固定的参考电压 V_{BB} (V_{BB} 一般取 -1.3V),其射极和 T_1 、 T_2 的射极相连,一般称 T_3 为定偏晶体管。 T_1 和 T_2 的集电极也连在一起,并通过 R_{c1} 接地。这个电路具有 T_1 、 T_2 集电极 Q_1 和 T_3 集电极 Q_2 两个输出端,它们分别实现或非和或逻辑,即 $Q_1 = \overline{A+B}$, $Q_2 = A+B$ 。因为 T_1 、 T_2 、 T_3 的耦合是通过发射极电阻

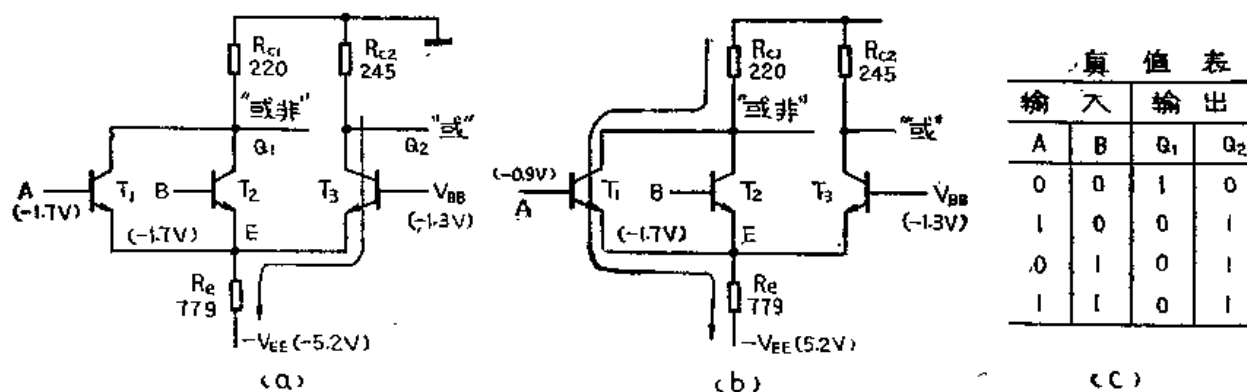


图 4-1 ECL基本门电路和真值表

R_e 来完成的,所以把这种电路叫做发射极耦合逻辑电路。下面来分析它的逻辑功能。

规定电路输入低电平为 -1.7V (它比参考电压 -1.3V 低 0.4V),输入高电平为 0.9V

(它比参考电压高0.4V)，高低电平之差为0.8V。

当输入端A、B都加低电平-1.7V时(图4-1(a))，由于它们低于 T_3 管的基极电位($V_{BB} = -1.3V$)，所以 T_3 导通，E点电位比 V_{BB} 低一个 T_3 的发射结正向压降，即 $V_E = -1.3V - 0.8V = -2.1V$ 。这时A、B两点的电位只比E点高 $-1.7V - (-2.1V) = 0.4V$ ，所以 T_1 、 T_2 管截止， Q_1 输出为高电平0V。

T_3 导通时，其集电极电流在 R_2 上产生一个电压降，所以 Q_2 输出为低电平。 T_3 的射极电流 I_2 可由下式决定：

$$I_2 = \frac{V_{BB} + V_{BE} - V_{eb}}{R_e} = \frac{-1.3V + 5.2V - 0.8V}{R_e} \approx 4mA \quad (4-1)$$

因为 T_3 管的 β_3 较大，所以， T_3 管的集电极电流近似地等于 I_2 ， V_{Q2} 的数值由下式决定：

$$V_{Q2} = -R_{C2} \cdot I_{C2} \approx -R_{C2} \cdot I_2 = -0.98V$$

由于这时 T_3 管集电极电位 V_{Q2} 为-0.98V，基极电位 V_{BB} 为-1.3V。集电极电位高于基极电位，所以 T_3 工作在放大区。

当输入端A为高电平-0.9V，B为低电平-1.7V(图4-1(b))。由于 T_1 基极电位高于 T_3 管基极电位，所以 T_1 导通。这时E点电位为 $-0.9V - V_{be1} = -1.7V$ ， T_3 管基极电位只比 V_E 高0.4V，所以 T_3 管截止， Q_2 输出为高电平0V。又由于 T_2 基极电位仍低于 T_3 基极电位，所以 T_2 仍截止。

T_1 管的射流 I_1 可以由下式算出：

$$I_1 = \frac{V_A + V_{EE} - V_{eb}}{R_e} = \frac{-0.9V + 5.2V - 0.8V}{R_e} \approx 4.5mA \quad (4-2)$$

T_1 的集电极输出 Q_1 为低电平，其数值由下式确定：

$$V_{Q1} = -R_{C1} \cdot I_{C1} \approx -R_{C1} \cdot I_1 = -0.98V$$

这时 T_1 管的集电极电位和基极电位都是-0.9V左右，所以 T_1 管未进入饱和区，可得到较短的开关时间。

当A、B输入均为高电平，电路工作情况和A、B中有一个为高电平时相同，此时， Q_1 输出低电平， Q_2 输出高电平。

把以上分析的ECL基本门电路的工作情况列成表，就是ECL基本门的真值表。如图4-1(c)所示。由表可见， Q_1 完成或非功能， Q_2 完成或功能。

对于ECL电路，从电流流通的角度来看，可以看成通过 R_e 的电流，根据输入信号的不同，或者由 T_3 管通过 R_e 流向负电源，而且 I_1 和 I_2 的数值差别不大，就好象有一股大体稳定的电流，随着输入情况的不同，或者从左边的晶体管射极流向负电源，或者从右边的晶体管的射极流向负电源，所以这种电路又称作电流开关型逻辑(CML)电路。

二、实用的ECL或-或非门电路

图4-1所示的电路虽然说明了ECL基本门的工作原理，但还不能实用。因为输入端高低电平分别为-0.9V和-1.7V，而输出高低电平约为0V和-0.98V。也就是说，通过一级ECL门输出高低电平分别提高了0.9V和0.72V。如果图4-1所示的电路是级联使用，则对后级门而言，输入电平就不是-0.9V和-1.7V而是0V和-0.98V，如果把这个输入电平再送到下一级ECL基本门的输入端，那么其集电极输出电平分别又要抬高0.9V和0.72V，即在0V以上。这样，这级门的 T_1 的基极电位就高于集电极电位， T_1 进入饱和状态，而这正是

ECL所要避免的。所以，为了使ECL电路能够实用，必须使基本门的输出电平和输入电平基本相等。图4-2是一种实用的ECL或-或非门电路，该电路由三部分组成：

第一部分是晶体管 T_1 、 T_2 、 T_3 和电阻 R_{C1} 、 R_{C2} 、 R_3 以及二个 R_P 组成的发射极耦合或非门、或门电路；第二部分是晶体管 T_4 、 T_5 和电阻 R_4 、 R_5 组成的两个射极跟随器输出；第三部分由晶体管 T_6 、二极管 D_1 、 D_2 和电阻 R_1 、 R_2 、 R_3 所组成，以供给 T_3 基极固定偏压的参考电源。

第一部分的原理已经介绍过。第二部分是射极跟随器，它起两个作用：第一是电流放大作用，我们知道射极跟随器输入阻抗很高，而输出阻抗很小，利用它可以驱动更多的负载；第二是降低输出电平。从第一部分的或和或非输出端输出的高、低电平分别为0V和-0.98V，经过射极跟随器，其输出电平再下降 V_{be} ，约为-0.8V和-1.78V。这样输出高低电平和输入高低电平的值就基本相当，相互匹配，解决了ECL电路的级联问题。使前级门的输出端可以直接和后级门的输入端相连，而且不会发生晶体管进入饱和状态。

第三部分为电路提供参考电压 V_{BB} 。

ECL电路利用电阻分压器和射极跟随器提供参考电压 V_{BB} （-1.3V），如图4-3所示。由于发射极跟随器的输入电阻很大，所以基极电位接近于 R_1 和 R_2 的分压：

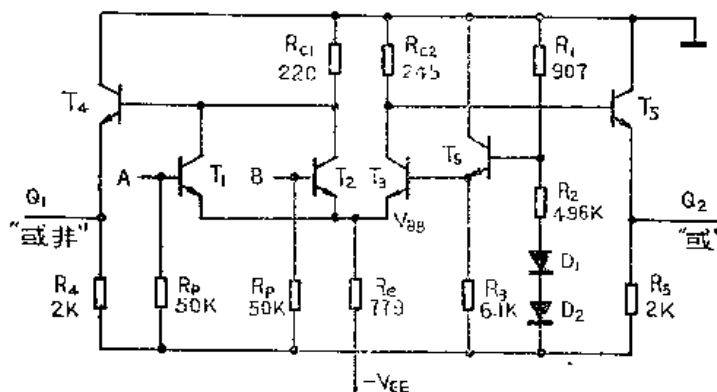


图 4-2 实用ECL或-或非门电路

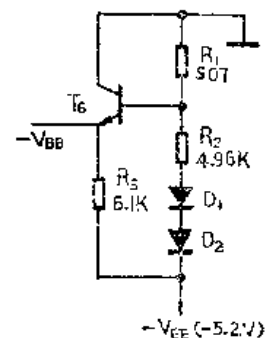


图 4-3 提供参考电压 V_{BB} 的电路

$$V_B = \frac{-V_{EE} - (-V_{O1} - V_{O2}) \cdot R_1}{R_1 + R_2} = \frac{-5.2V - (-1.4V) \times 907\Omega}{4.96k\Omega + 907\Omega} \approx 0.5V$$

再经过 be 结0.8V压降， $V_{BB} = -1.3V$ 。由于采用射极输出，输出电阻很小，所以 V_{BB} 电压受负载的影响较小，比较稳定。二极管 D_1 、 D_2 的作用是，当温度升高时， T_6 的 V_{be} 减小，使 V_{BB} 上升，但 D_1 和 D_2 的正向压降也减小，从而使 T_6 基极电位下降，这就补偿了因 T_6 的 V_{be} 减小而引起参考电压的上升。

在图4-2中，每个输入端均加接50kΩ的下拉电阻 R_P ，以避免输入端悬空而导致不良影响。当输入端无 R_P 而都悬空时， T_1 、 T_2 均应截止， V_{O1} （或非端）应输出高电平。 T_3 导通， V_{O2} （“或”端）输出为低电平。如果这时在 A 、 B 来一个正向的干扰脉冲，且幅度足够大，它就可能使 T_1 、 T_2 导通， V_{O1} 由高电平变为低电平，并使 V_{O2} 从低电平变为高电平，这样就引起逻辑上的错误。增加了 R_P 后，就加大了从干扰脉冲拉出的电流，使干扰脉冲的幅度下降，从而消除干扰脉冲对电路的影响。

三、ECL门电路的特性

1. 电压传输特性

电压传输特性的曲线是输入电压 V_i 和输出电压 V_{O1} 和 V_{O2} 之间的关系曲线。图4-4 是输出电压 V_{O1} 与输入电压 V_i 之间的关系。

在输入电压 V_i 低于 V_{BB} 时, T_1 截止, T_3 导通, V_{O1} 为高电平, 在这一段范围内曲线平坦。

如果 V_i 高于 V_{BB} , T_1 导通, T_3 截止, V_{O1} 为低电平。

在 V_i 接近 V_{BB} 的区域, 存在着一个过渡区, 此时输出电平介于高电平和低电平之间。 V_{IL} 是最大输入低电平; V_{IH} 是最小输入高电平。最小输入高电平和最大输入低电平之差, 即为过渡区宽度 V_W 。

上面介绍的是或非端输出电平 V_{O1} 和输入电平 V_i 的关系, 或输出电平 V_{O2} 和输入电平 V_i 的关系, 同样可以用电压传输特性曲线来表示, $V_{O2} \sim V_i$ 的曲线同 $V_{O1} \sim V_i$ 的曲线相反。图 4-5 是ECL或-或非门电路电压传输特性曲线。其中需要说明的是, 在输入电平 V_i 较高时, 或非端输出电平 V_{O1} 过了过渡区后, 随着 V_i 的增加, V_{O1} 先下降, 这是由于由式(4-2)所表达的电流绝对值增大, 因而输出电平绝对值增大后又上升(这种情况是由于 V_i 过高, 输入晶体管进入饱和区, 使其集流绝对值减少所造成的)。

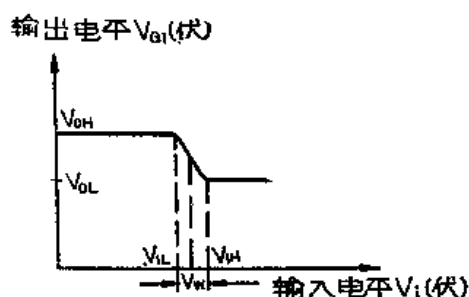


图 4-4 ECL或-或非门电路的电压传输特性曲线 ($V_{O1} \sim V_i$)

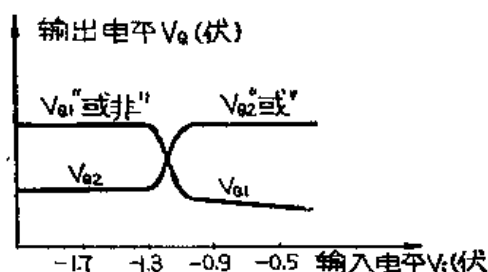


图 4-5 ECL或-或非门电压传输特性曲线

2. 主要直流参数

(1) 输出高电平 V_{OH} 根据以上的讨论, 输出高电平为:

$$V_{OH} = -0.9V$$

(2) 输出低电平 V_{OL} 输出低电平为:

$$V_{OL} = -1.7V$$

(3) 最小输入高电平 V_{IH} 、最大输入低电平 V_{IL} 设 $V_{BB} = -1.3V$, 对扇入为1的ECL电路:

$$V_{IL} = -1.36V$$

$$V_{IH} = -1.24V$$

和TTL电路中关于抗干扰能力的分析相类似, ECL门电路的低电平抗干扰能力为:

$$V_{IL} - V_{OL} = -1.36V + 1.7V = 0.34V$$

高电平抗干扰能力为:

$$V_{OH} - V_{IH} = -0.9V + 1.24V = 0.34V$$

(4) 平均功耗 $\bar{P}$ 图4-2所示的ECL实用门电路的功耗包括三部分: 发射极耦合门的功耗、射极跟随器的功耗和参考电压源的功耗。

发射极耦合门部分的平均电流为:

$$I_0 = \frac{1}{2}(\bar{I}_1 + I_2) = 4.3mA$$

现在计算射极跟随器的平均电流 I_f 。设 V_{Q1} 输出为 -1.7V ， V_{Q2} 输出 -0.9V 。这样，在两个射极跟随器的电阻 R_4 、 R_6 上分别流过的电流 I_{R4} 和 I_{R6} 为：

$$I_{R4} = \frac{V_{Q1} + V_{EE}}{R_4} = \frac{-1.7\text{V} + 5.2\text{V}}{2\Omega} = 1.8\text{mA}$$

$$I_{R6} = \frac{V_{Q2} + V_{EE}}{R_6} = \frac{-0.9\text{V} + 5.2\text{V}}{2\Omega} = 2.2\text{mA}$$

$$I_f = I_{R4} + I_{R6} = 4\text{mA}$$

参考电源部分的电流 I_r 由两部分组成：即经 T_3 、 R_3 的 I_{R3} ，经 R_1 、 R_2 、 D_1 、 D_2 的电流 I_{R2} 。

$$I_{R3} = \frac{V_{BB} + V_{EE}}{R_3} = \frac{-1.3\text{V} + 5.2\text{V}}{6.1\Omega} = 0.6\text{mA}$$

$$I_{R2} = \frac{V_{EE} - 2V_{cb}}{R_1 + R_2} = \frac{5.2\text{V} - 1.6\text{V}}{5.9\Omega} = 0.6\text{mA}$$

总的参考电源电流为：

$$I_r = I_{R2} + I_{R3} = 1.2\text{mA}$$

把三部分电流相加，得总电流为：

$$I = I_O + I_f + I_r = 4.3 + 3.9 + 1.2 = 9.4\text{mA}$$

有了总电流，即可得到平均静态功耗为：

$$\bar{P} = I \cdot V_{EE} = 9.4 \times 5.2 \approx 50\text{mW}$$

(5) 输入电流 I_i 输入电流包括晶体管 T_1 、 T_2 导通时输入基极的电流 I_{bi} 与下拉电阻 R_P 上流过的电流 I_{Pi} 两部分。

$$I_{bi} = I_{Ci}/\beta$$

设晶体管的共发射极电流放大系数 $\beta = 50$ ，当只有一个晶体管导通时：

$$I_{bi} = 110\mu\text{A}$$

$$I_{Pi} = \frac{V_{OH} + V_{EE}}{R_P} = \frac{-0.9\text{V} + 5.2\text{V}}{50\Omega} = 86\mu\text{A}$$

输入电流为：

$$I_i = I_{bi} + I_{Pi} \approx 200\mu\text{A}$$

由此可见ECL电路的输入电流是比较小的。这对提高ECL电路的扇出能力是有利的。

(6) 最大输出电流 I_{OM} 当ECL电路输出高电平时（如图4-6所示）， T_3 截止，流过电阻 R_{C2} 的 T_5 基流 I_{b5} 全部流向 R_5 。在带负载时， T_5 射流增大，而 I_{b5} 也要增大，使 T_5 的发射极电位下降，就是说输出电平 V_{O2} 要随着负载的增大而下降。

按规定输出高电平 V_{O2} 不得因接负载而下降50mV，这个要求可以决定ECL电路所能供给的最大输出电流 I_{OM} 。

在 R_{C2} 上的压降增加值不能超过50mV，所以 R_{C2} 上允许增加的最大电流是（设 $R_{C2} = 245\Omega$ ）：

$$\Delta I_{b5} = \frac{\Delta V_{RC2}}{R_{C2}} = \frac{50\text{mV}}{245\Omega} = 0.2\text{mA}$$

ΔI_{b5} 经 T_5 放大，设 $\beta = 80$ ，则

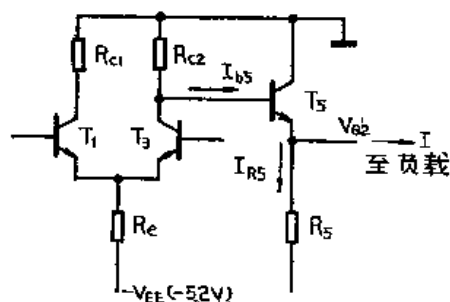


图 4-6 ECL电路输出高电平时带负载情况

$$I_{OM} = \Delta I_{es} \approx \beta \cdot \Delta I_{bs} = 80 \times 0.2 = 16 \text{ mA}$$

β 越大, 则 I_{OM} 也越大。一般要求 I_{OM} 为10mA。

(7) 扇出系数 N_o 有了最大输出电流 I_{OM} 和输入电流 I_i , 就可以估算出扇出系数 N_o 。设 $I_{OM} = 10 \text{ mA}$, $I_i = 200 \mu\text{A}$ 则可得:

$$N_o = \frac{I_{OM}}{I_i} = \frac{10 \text{ mA}}{200 \mu\text{A}} = 50$$

可见, ECL的扇出系数比TTL电路大得多。但是实际上ECL电路接的负载一般都不多。这因为负载门太多势必使连线加长, 而ECL电路是高速电路, 高速脉冲经长线传输容易产生干扰, 从而破坏电路的正常工作, 因而一般ECL电路只带8个负载门。

3. 开关特性

ECL电路的主要优点是开关速度快, 它的平均延迟时间很容易达到4ns以下, 最高可达到1ns以下。总结以上对ECL电路的分析可知, 开关速度高的因素有三个:

(1) ECL电路中各晶体管工作在放大区和截止区, 这样就避免了因工作在饱和区而产生的存储电荷效应对速度的影响, 同时也避免了饱和工作晶体管集电结电容较大对开关速度的影响。

(2) ECL电路的逻辑摆幅比较小, 高低电平之差只有0.8V, 这样对负载电容充放电的时间就减少了。

(3) 电路中晶体管工作在共基方式, 改善了晶体管的频率特性。

四、ECL电路的逻辑扩展

与TTL电路或DTL电路相比, ECL电路在逻辑扩展上具有更大的灵活性。因此在ECL电路构成逻辑系统或设计中规模集成电路时, 可以节省元件和减少级数, 进一步发挥出ECL电路高速的优点。ECL电路逻辑扩展的灵活性主要表现在以下三个方面:

(1) ECL电路有互补输出、多端输出。从前面所介绍的ECL基本门电路可看出, ECL电路同时具有或非和或输出, 因而ECL门电路的逻辑功能较强。此外, 通过增加射极跟随器还可以使ECL电路同时具有几个或和或非端输出。图4-7所示的ECL门电路就是具有两个或输出端和两个或非输出端的门电路。

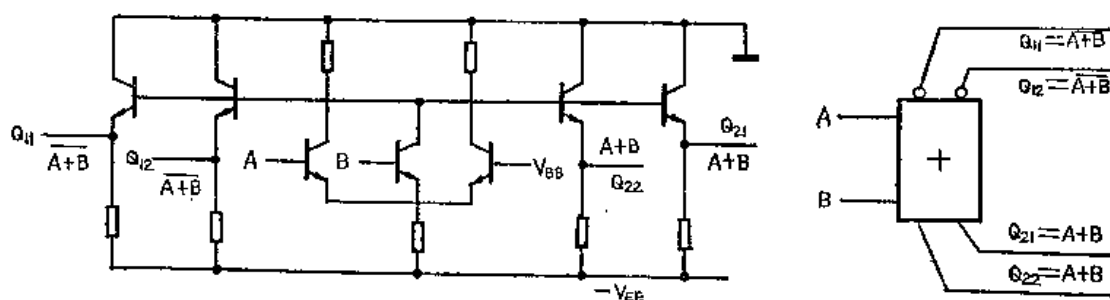


图 4-7 带多个输出端的ECL门电路

(2) 把两个或多个ECL电路的射极跟随器输出连接在一起, 那么连接点可以实现或功能。在图4-8中, T_1 和 T_2 分别为两个射极跟随器, T_1 的基极为A, T_2 的基极为B, 如直接短接 T_1 和 T_2 的发射极, 则互连点的逻辑关系为“ $A + B$ ”, 即具有或功能, 这是因为, 比如 T_1 输入为高电平, T_2 输入为低电平, 则 T_1 导通使 T_1 射极为高电平, 但连接点的高电平使 T_2 射极反偏, 则 T_2 截止, 相连点输出高电平。可见, 射极跟随器的射极相连是实现或逻辑的。

这种连接方式称为“线或”。

同样可以把几个ECL门电路的射极输出端连接在一起，实现或功能。图4-9为两个ECL门电路，把它们的输出端连接在一起，可得到如下四个较复杂的输出：

$$X = (A_0 + B_0) + (A_1 + B_1)$$

$$Y = \overline{A_0 + B_0} + (A_1 + B_1)$$

$$Z = (A_0 + B_0) + \overline{A_1 + B_1}$$

$$W = \overline{A_0 + B_0} + \overline{A_1 + B_1}$$

可见，这两个ECL门电路实现了在TTL电路中需要由许多个与非门才能完成的功能，它们具有元件少、信号延迟的级数少和速度高的优点。

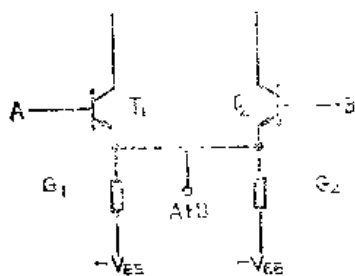


图 4-8 两射极跟随器射极相连

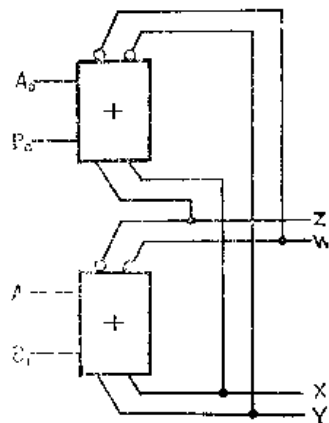


图 4-9 两个ECL门电路的输出相连

(3) 把几个ECL门电路的集电极输出连接在一起，在连接点可以实现与功能。这是因为集电极互连后，仅当两个晶体管都截止时输出才是高电平，否则必为低电平。图4-10是利用ECL电路的集电极连接在一起而形成的一个具有复杂逻辑功能的例子。图中虚线把左

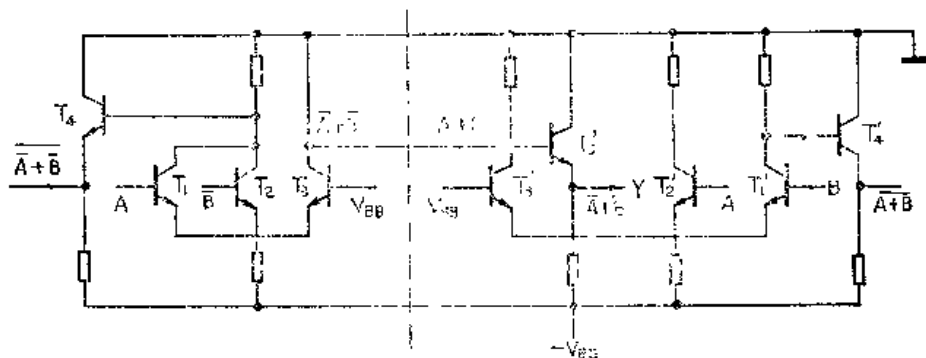


图 4-10 两ECL门电路晶体管集电极相连

边和右边各分为一个ECL门电路，左边门输入 $\overline{A}$ 和 $\overline{B}$ 信号，右边门输入 A 和 B 信号。将 T_3 和 T_4 集电极连接在一起后，并经射极跟随器输出，其输出端 Y 即为：

$$Y = (\overline{A} + \overline{B})(A + B) = \overline{A}B + A\overline{B}$$

这是异或表达式。可见，两个ECL门按图4-10连接就构成了异或门。同时，电路还可在左边提供与非输出： $\overline{\overline{A} + \overline{B}} = A \cdot B$ ；右边提供或非输出： $\overline{A + B}$ 。

五、接口转换门

在实际的逻辑系统或计算机中，如需要TTL电路与ECL电路一起使用，就要设计适当的接口电路，以实现两种逻辑电路输出电平之间的转换。本节将简单介绍ECL与TTL之间

的接口电路门。

1. ECL电路到ECL电路的接口转换门

图4-11是由ECL转换成TTL的接口电路，图中左边为ECL电路，右边为标准的TTL电路。该电路有两个输入端A、B，分别接ECL电路的互补输出。Q为电路的输出端。

设 $A = 0$, $B = 1$ ，即A为ECL低电平 -1.7V ，B为ECL高电平 -0.9V ，则 T_1 导通， T_2 截止。于是正电源 V_{CC} 通过 R_C 对 T_3 提供基极电流， T_3 将 T_6 驱动至饱和，输出端Q的电平为 T_6 的饱和压降，即TTL低电平 $Q = 0$ 。反之，如果 $A = 1$, $B = 0$ ，则A为 -0.9V ，B为 -1.7V ，此时 T_1 截止， T_2 导通。选择 R_C 的数值，使 T_3 基极电位低于其导通电位，因而 T_3 截止，电路输出电平约为 $V_{CC} - V_{ce4} - V_{ce5} \approx 3.5\text{V}$ ，即转换成TTL高电平， $Q = 1$ 。

可见，该电路实现了从ECL到TTL的逻辑电平的转换，而且逻辑关系为： $Q = A$ 。

2. TTL电路到ECL电路的接口转换门

图4-12为TTL转换成ECL的接口电路。在该电路中，Y为输入端，接TTL电路的输出； Q_1 、 Q_2 为接口的两个ECL输出端。

T_2 基极电位取 -2V 左右，即使元件数值满足下列关系式：

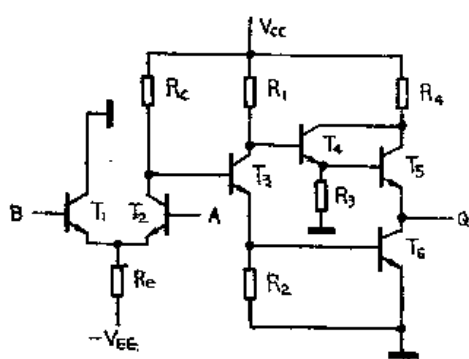


图 4-11 ECL转换成TTL的接口电路

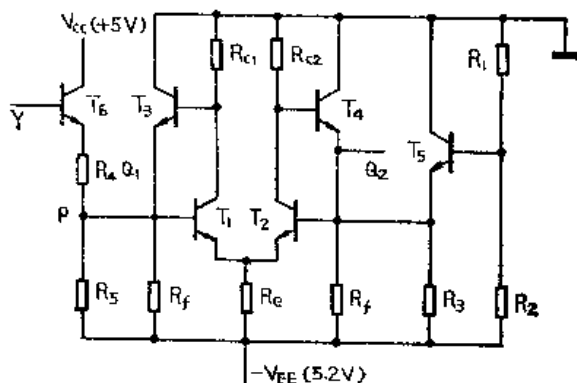


图 4-12 TTL转换成ECL的接口电路

$$V_{BB} = -\frac{V_{EE}}{R_1 + R_2} \cdot R_1 - V_{ce} = -2\text{V}$$

当 $V_{EE} = -5.2\text{V}$ 时，可取 $R_1 = 0.6\text{k}\Omega$ ， $R_2 = 2\text{k}\Omega$ 。 T_1 的基极电位 V_P 为：

$$V_P = \frac{V_Y - V_{ce} + V_{EE}}{R_4 + R_5} \cdot R_5 - V_{EE}$$

我们要求当输入 V_Y 为TTL高电平（即 3.5V ）时， V_P 应至少比 V_{BB} 高 0.4V 。而当输入 V_Y 为TTL低电平（ 0.3V ）时， V_P 应至少比 V_{BB} 低 0.4V 。这样，输入为高电平 3.5V 时， T_1 导通， T_2 截止， Q_2 输出ECL高电平（约 -0.9V ）， Q_1 输出ECL低电平（约 -1.7V ）；反之，当输入为低电平 0.3V 时， T_1 截止， T_2 导通， Q_2 输出ECL低电平， Q_1 输出ECL高电平。从而可完成两种逻辑电平的转换，并且满足如下逻辑关系： $Q = Y$ 。

由上面的讨论可知，电阻 R_4 、 R_5 要满足如下关系：

$$\frac{3.5 - 0.8 + 5.2}{R_4 + R_5} \cdot R_5 - 5.2 > -2 + 0.4$$

$$\frac{R_4}{R_5} < 1.2$$

与

$$\frac{0.3 - 0.8 + 5.2}{R_a + R_b} \cdot R_b - 5.2 < -2 - 0.4$$

若 $R_a = R_b = 1.5k\Omega$, 则能满足以上要求, 并且当输入为TTL高低电平的平均值, 即 $\frac{1}{2}(3.5 + 0.3)V = 1.9V$ 时, V_P 与 V_{EB} 相近, 从而电路的上下限抗干扰能力相同。

六、ECL触发器

ECL触发器的类型和脉冲工作方式与TTL触发器类似。典型的ECL触发器都是由主触发器和从触发器构成的, 从结构上说它是主从结构, 但从触发方式来说它又具有边沿触发的特点。下面仅介绍基本触发器和同步型R-S触发器。

1. 基本触发器

ECL基本触发器由两个或非门构成, 它的逻辑图、功能表和线路如图4-13所示。ECL

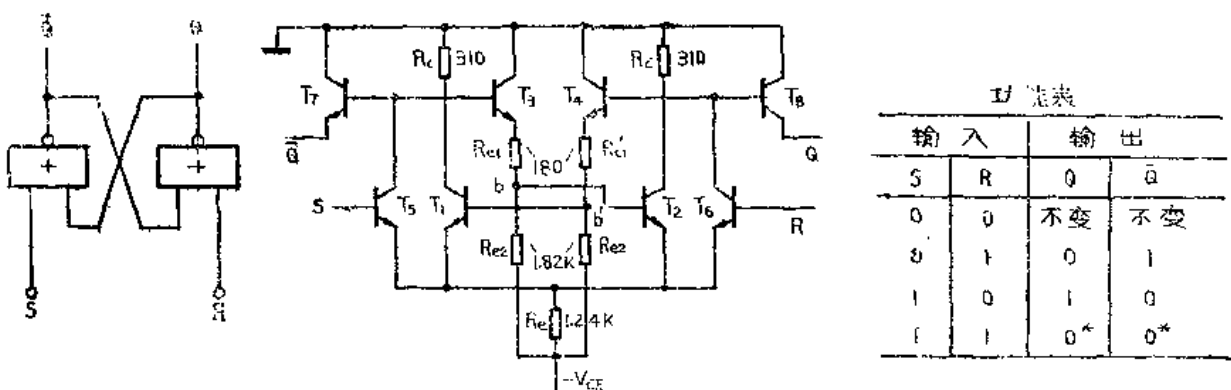


图 4-13 ECL基本触发器的逻辑图、电路图及功能表

基本门除或非输出端以外, 还有或输出端, 而基本触发器不需要或输出端, 因此电路可以简化。ECL基本触发器的线路如4-13(c)所示。这由两个三输入端ECL或非门耦合而成, 每个门的两个输入端分别作为置“0”(R)和置“1”(S)输入, 另一个输入端与输出端交叉耦合。四个晶体管的发射极耦合在一起, 通过耦合电阻 R_7 接电源 $-V_{EE}$ 。图中省略了偏置电源和定偏晶体管。 T_3 、 T_4 是电平转移电路, 其作用如下: 设S、R处于低电平(约 $-1.6V$), 如果 T_3 射极输出高电平(约 $0.8V$), 直接耦合到 T_2 基极, T_2 导通。 T_4 射极输出低电平(约 $-1.6V$)耦合到 T_1 基极, T_1 截止。 T_3 射极输出端确实是高电平, 是一个稳定状态, 即触发器处于“0”态($Q=0$, $\bar{Q}=1$)。如果S端送入一个置“1”电平, 即S端电平抬高到 $-0.8V$, 但此时 T_2 基极电平也是 $-0.8V$, 这就不能保证触发器实现状态翻转。如果置“1”脉冲的高电平高于 $-0.8V$, 这又和ECL的电平不一致。因此 T_3 、 T_4 的射极输出电平应通过电位移动来降低, 使 T_1 、 T_2 基极的高电平输入低于 $-0.8V$, 这样置“0”和置“1”电平就能使触发器可靠翻转。电位移动多少为好呢? 考虑到置“0”和置“1”信号中高低电平抗干扰能力应一致, T_1 、 T_2 基极输入高电平的数值控制在置“0”和置“1”信号高低电平的中点, 即 $1.5V_{CC} \approx 1.2V$ 为宜。在图4-13(c)中, 电平位移动通过 T_3 、 T_4 射极电阻中间抽头(分为 R_{e1} 和 R_{e2})的方法来实现。

2. 同步型R-S触发器

同步型R-S触发器是电位触发方式的触发器, 在这里电位触发方式的定义和TTL电路中电位触发方式是一样的。即当时钟脉冲CP为约定电平(“1”或“0”)时, 触发器接

收输入信号。

图4-14是ECL同步型R-S触发器的逻辑图和功能表。

这个ECL同步型R-S触发器，当 $\overline{CP}$ 为低电平时，置“0”和置“1”输入（即R、S信号）才能进入触发器，而当 $\overline{CP}$ 为高电平时，封锁置“0”和置“1”信号，触发器状态保

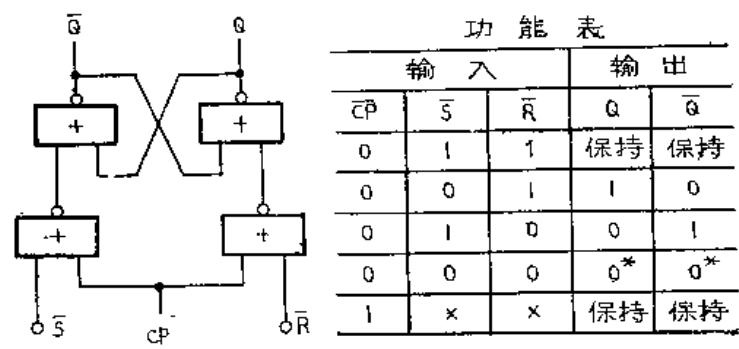


图 4-14 ECL同步型R-S触发器的逻辑图和功能表

持不变。这个触发器的置“0”和置“1”信号的作用正好和基本触发器反相，因此用 $\overline{R}$ 和 $\overline{S}$ 表示。该触发器的电路如图4-15所示。图中省略了两个“或非”输出级和 V_{BB} 的偏置电路。输入信号 $\overline{R}$ 、 $\overline{S}$ 由 T_{13} 、 T_4 和 T_{14} 、 T_3 组成的“线或”门送入。

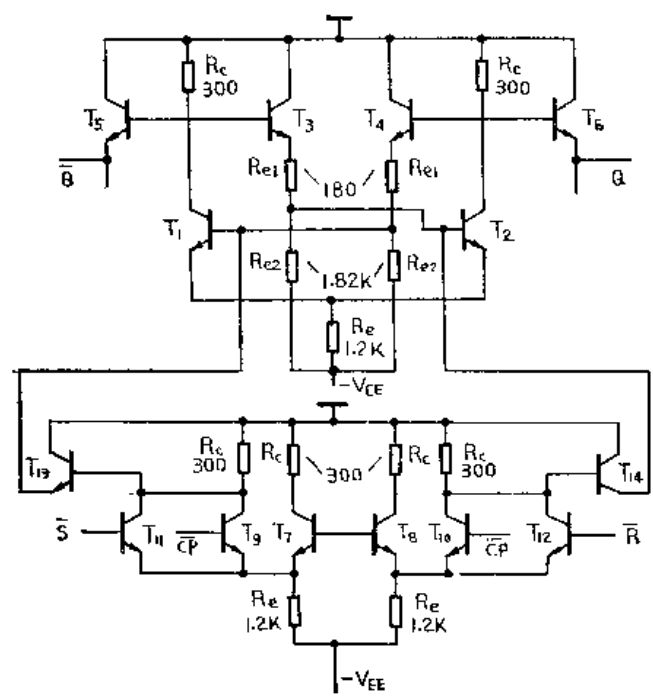


图 4-15 ECL同步型R-S触发器电路

§4-2 集成注入逻辑 (I²L) 电路

这里介绍一种新型的双极型逻辑集成电路——集成注入逻辑(I²L)电路。I²L电路是七十年代初发展起来的一种高集成度双极型逻辑电路。它在常规双极型大规模集成电路工艺的基础上作了改进。它无需隔离，结构紧凑，不用电阻，因而可获得很高的集成度，并可在低功耗下获得较高速度。下面对I²L电路作一简单介绍。

一、I²L的基本逻辑单元

图4-16是集成注入逻辑的基本逻辑单元——反相门的线路及结构图。它由一个横向P-N-P管和一个纵向的N-P-N管组成， V_P 是它的电源端。

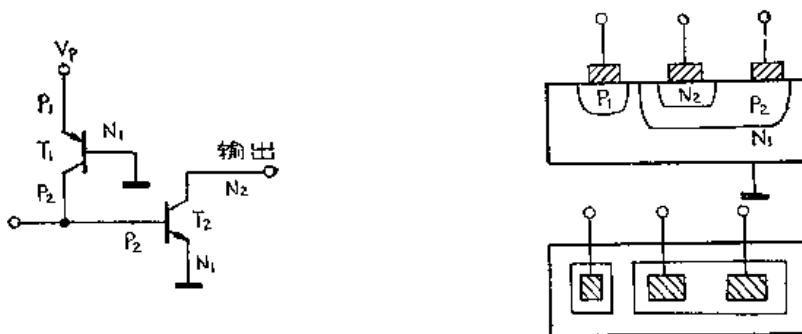


图 4-16 I²L反相门的线路及结构

其工作原理如下：P-N-P管的发射结是正偏的，由电源 V_P 向它提供射极电流。当输入为“1”时，下管的集流不流向输入端而流向N-P-N管的基极， T_2 饱和，输出为“0”。当输入为“0”时，下管的集流流向输入端而不流向 T_2 的基极， T_2 截止，输出为“1”。这里N-P-N管起倒相作用。而P-N-P管起两个作用：当输入为“0”时，它作为前级门的负载；当输入为“1”时，它向本级反相管提供驱动电流，总之，P-N-P管起一个欧姆电阻的作用。和普通双极型逻辑的不同在于，I²L中反相管的基流不是由电源经电阻来形成的，而是由P-N-P管注入形成的（即由 P_1 区向 N_1 区注入的空穴的一部分被 P_2 区收集）。若输入为“1”，这些空穴就不能从输入端流走，而在 P_2 区积累，使其电位升高，于是引起 N_1 区向 P_2 区发射电子，这些电子的一小部分和 P_2 区中的空穴复合，大部分被 N_2 区收集成为反相管的集流。

由图4-16可以看到， T_1 管的基区和 T_2 管的发射区“合并”在同一N型区， T_1 管的集电区又和 T_2 的基区“合并”在同一P型区，这样，P-N-P管巧妙地合并在一起，不但节省了硅片面积，而且反相门内部也不用互连线，使反相门的结构十分紧凑。I²L的逻辑形式可以采用“线与”方式来实现“与”逻辑。图4-17给出的或门是通过将非门Ⅰ和Ⅱ的输出连在一起，使连接点实现 $\overline{A} \cdot \overline{B} = \overline{A+B}$ ，再经非门Ⅲ实现 $A+B$ 逻辑，从而使逻辑系统很紧凑，有利于提高集成度。

由图4-17可以看到，由于N-P-N倒相管的发射极是连接在同一电位上的（即地电位），只

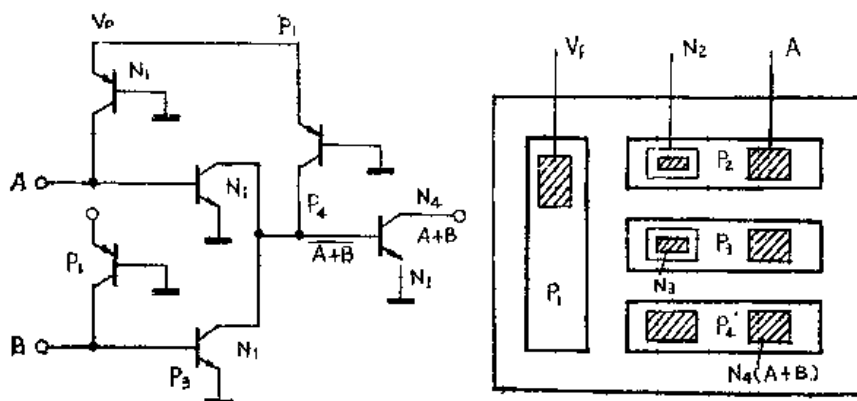


图 4-17 I²L或门电路

要把它们放在同一个N型区里，那么所有反相门之间就完全不必进行隔离了，这样就使集成度大大提高。但是由于各N-P-N管的发射极共用N型衬底，它们实际上是处于倒置（反向）工作状态的（普通正向工作的晶体管的集电区是N型外延层），因此，电路的简单在一定程度上降低了电性能，如电流放大倍数低，开关特性差等等。

从图4-17的布局还可以看到，不用单独设置很多P-N-P管，只要设置一个 P_1 型窄长条（称为注入极），而N-P-N管的基区（P-N-P管的集电区）排列在这个P型长条的两侧，N-P-N管的基区条和注入极对着的那部分即组成该反相门的P-N-P管。每个P-N-P管所分配的基流，取决于它们对着的那部分的尺寸，这相当于电源 V_p 通过一个公用的P-N-P的发射结向大量的电源元件供电。所以在 I^2L 中用面积很小的注入极 P_1 条取代了占面积很大的所有的反相门的电阻。

在整个 I^2L 集成电路中，除了注入极 P_1 外，反相门的其他元件实际上都合并在一个三极管的面积内，显然这又节省了硅片的面积。

用有源元件P-N-P管取代无源负载（电阻）后，反相管的作用是通过横向P-N-P管向开关晶体管基极注入少数载流子来实现的。这样只要将外部电压源的串联电阻 R_p 加大，就可使电路在低电流情况下工作，每个反相门的工作电流极限值可降至几十nA，同时片子上的电源端 V_p 的电压始终被P-N-P管发射结箝制在很低的数值（0.7~0.8V），因此电路的功耗是很小的。如图4-18所示。

由 I^2L 电路的结构图还可以看到，它的工艺过程要比普通的TTL逻辑形式简单，仅需四次光刻，即光刻P区、N区、引线孔以及反刻引线。

综上所述，集成注入逻辑有以下几个突出优点：

（1）高集成度 由于完全不要器件间的隔离，也不用电阻负载，且互补晶体是合并的，反相门内部不用互连，因此集成度很高，如果最小条宽度为 $10\mu\text{m}$ ，集成度可达85门/ mm^2 。若最小条宽度小于 $5\mu\text{m}$ ，集成度可达400门/ mm^2 。 I^2L 的集成度相当于TTL的五倍以上，比N-MOS还高。

（2）延迟时间与功耗乘积小 I^2L 是在低电压、小电流下工作的，其功耗很小，比TTL要小两个数量级。虽然一般 I^2L 的传输延迟时间要大于TTL（为20~30ns），但作为电性能的主要指标——延迟时间与功耗乘积却比TTL、肖特基TTL、MOS电路小，其典型值为0.2~2PJ，而普通TTL为100PJ，一般MOS为10PJ。

（3）工艺简单 下表给出了 I^2L 和普通双极型电路、MOS电路基本性能的比较表：

表 4-1

电 路	集 成 度 (门/ mm^2)	传 输 时 间 (ns)	延 时 功 耗 乘 积 (PJ)
TTL	20	10	100
SBD TTL	20~30	3	30
ECL	20~25	1.5~2.5	30~65
N-MOS	100~140	20~50	2~10
C-MOS	25~90	25~80	10
I^2L	120~400	20~30	0.2~2

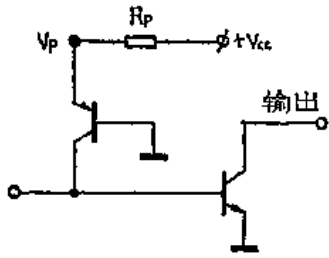


图4-18 带 R_p 的 I^2L 反相门

二、集成注入逻辑的逻辑部件

图4-19是两输入变量或非门的线路图和结构剖视图。图中用恒流源符号表示P-N-P管。

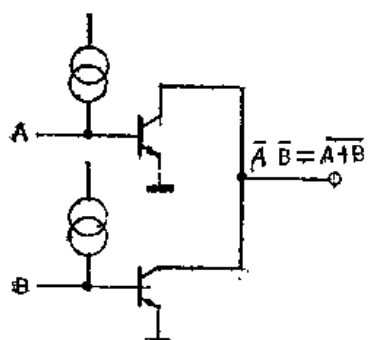


图 4-19 I^2L 或非门线路

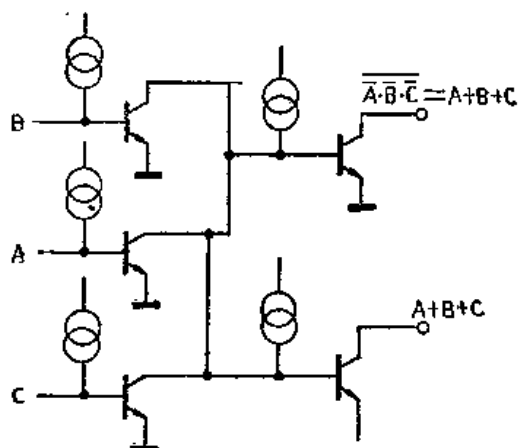


图 4-20 I^2L 或门线路

图4-20是三输入变量或门的线路图。图中以“线与”的方式把 $\overline{A}$ 、 $\overline{B}$ 、 $\overline{C}$ 输出互 相连接在一起，最后形成 $A+B+C$ 。

如果要 A 既和 B 形成或逻辑，又和 C 形成或逻辑，即要得到 $A+B$ 和 $A+C$ ，就需要在反相门 A 设置两个独立的集电极，把 $\overline{A} \cdot \overline{B}$ 及 $\overline{A} \cdot \overline{C}$ 互相隔开。如图4-21所示。多集电极结构在TTL逻辑形式中是不采用的，因为它的基本逻辑单元是与非门，与逻辑是通过与非门的多发射极输入管来实现的，各发射极之间是互相隔离的，它不会将输入 B 、 C 短接在一起，如图4-22所示。 I^2L 中的基本单元是单端输入的反相门，与逻辑是通过“线与”来实现的，因此设置多输出端，将各“线与”项互相隔开是必要的。多集电极结构是单端输入的 I^2L 逻辑形式必然具有的特点。

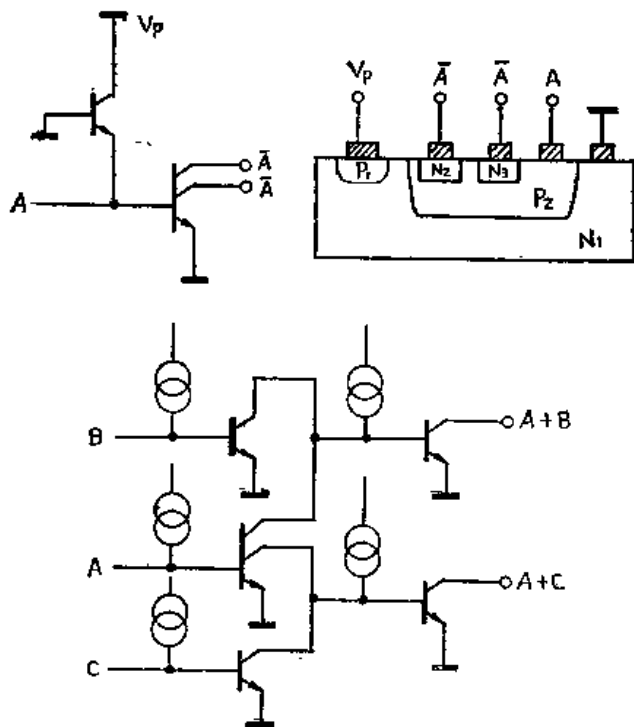


图 4-21 具有两个独立集电极的 I^2L 反相门

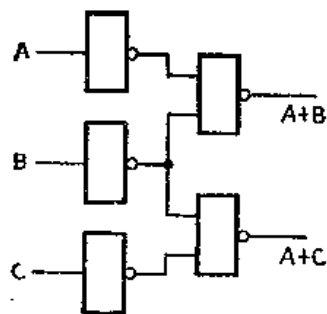


图 4-22 TTL与非门的互连

多集电极结构使 I^2L 具有较强的逻辑功能，图4-23是一个实例，三个四集电极结构的反相门可获得七种逻辑操作。

将一张用TTL与非结构的逻辑图转化为 I^2L 逻辑形式是很方便的。图4-24是 I^2L D触发

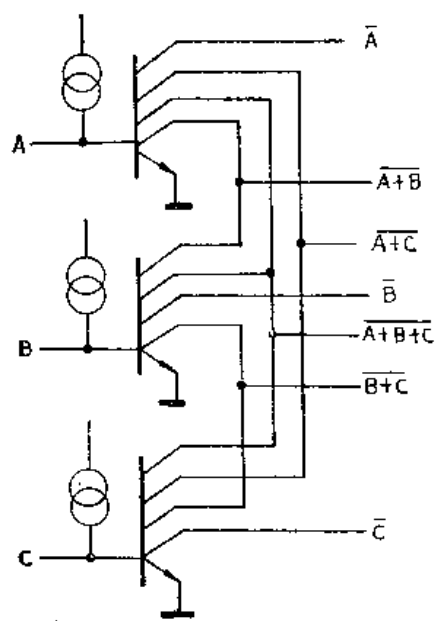


图 4-23 三个四集极反相门互连

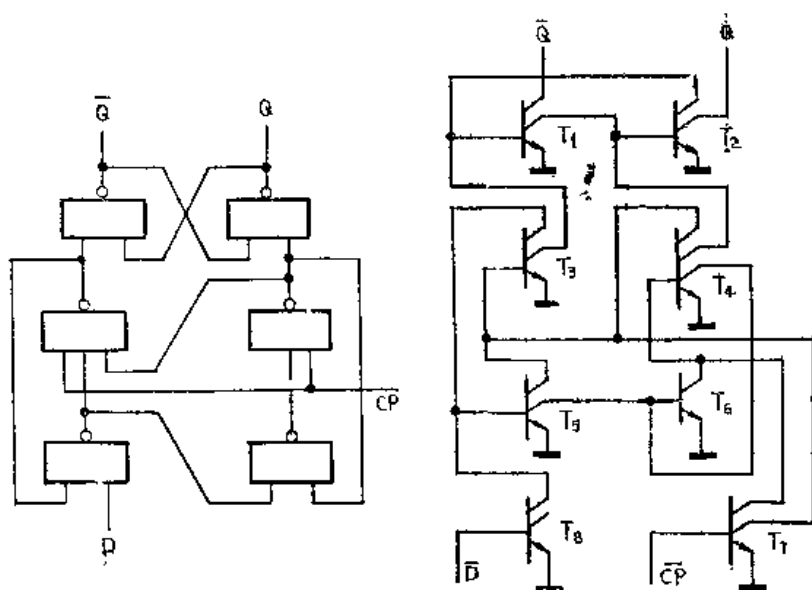


图 4-24 I^2L D触发器

器，它是由TTL形式转化来的，这里TTL的每个与非门对应于 I^2L 的一个反相门。一个TTL与非门的输出与多少个与非门相连，那么该 I^2L 反相门就应该设置多少个集电极，TTL与非门的与逻辑在输入端形成，而 I^2L 是在输出端形成的。由于CP端和 T_3 、 T_4 的输入相连，必须设置两条CP线，分别供给 T_3 、 T_4 。如果D端还要和其它门电路相连，也必须用多集电极隔离。图4-24中 T_7 、 T_8 就是为此目的而设置的，此时 T_7 、 T_8 的输入应是 $\overline{CP}$ 和 $\overline{D}$ 。

有时不允许输入量进行“线与”。为了实现与逻辑应采用图4-25的结构，先经两级反相门缓冲隔离输入量，然后再“线与”。与非逻辑是通过与门串联一个反相门来实现的，如图4-26所示。显然，在不允许输入量直接进行“线与”的情况下，或非逻辑要比与非逻辑容易实现，或非门仅用两个反相门，而与非门却要用五个反相门，在用 I^2L 画逻辑图时应考虑这

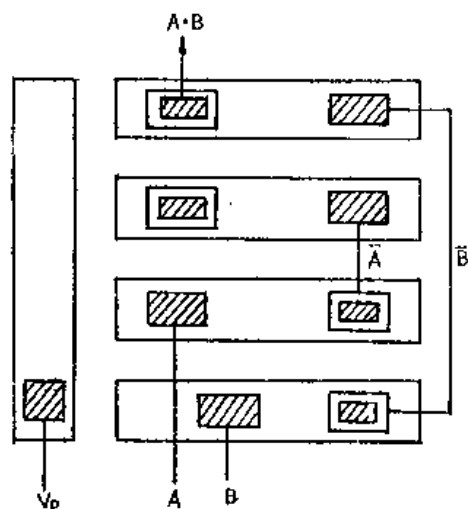


图 4-25 与逻辑结构

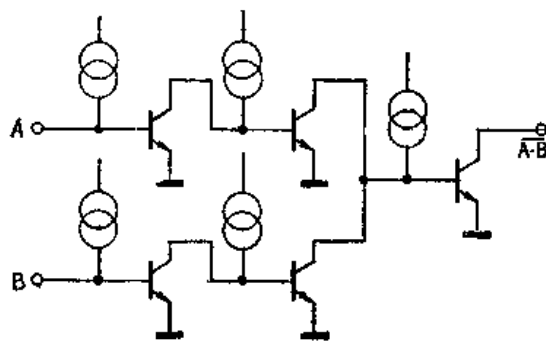


图 4-26 与非逻辑线路

个问题。

用 I^2L 实现比较复杂的组合逻辑网络时，除了尽量减少所用的反相门数、减少反相门的串联级数外，还应尽量减少反相门的集电极数，以确保导通的N-P-N管处于饱和工作状态。图4-27是一个半加器的线路图，它采用如下的半加和表达式：

$$\text{半加和 } S = (A + B) \cdot \overline{A \cdot B}$$

$$\text{进位 } C = A \cdot B$$

它仅用6个反相门，串联级数为3，如果采用的表达式是：

$$S = \overline{AB} + A\overline{B}$$

则需7个反相门，串联级数为4。

三、集成注入逻辑的直流特性

现以两级反相门为例分析电路的工作状态（如图4-28所示）。作为电流源的各P-N-P

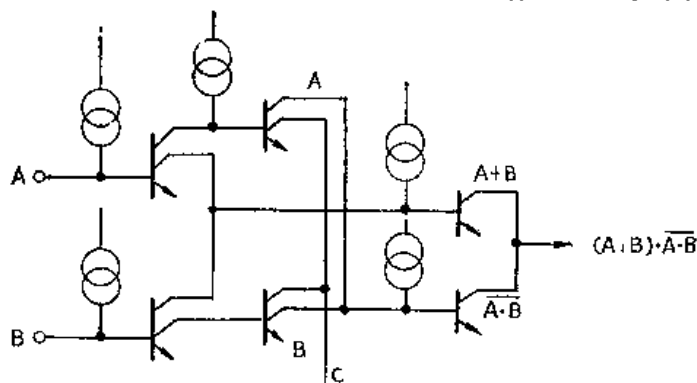


图 4-27 半加器线路

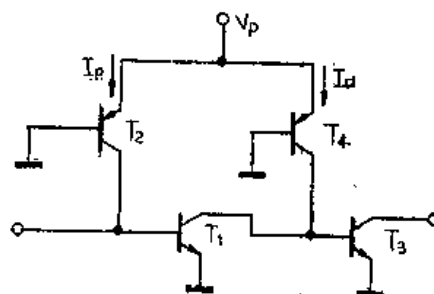


图 4-28 两级反相门电路

管的发射结都是正偏的，它们始终处于导通状态。为分析方便起见，认为由注入极 V_P 向各P-N-P发射极注入的电流 I_P 是相同的。当输入为“1”时， T_1 导通， T_3 截止。若此时 T_2 、 T_4 的电流增益分别为 α_1 、 α_2 ，则 T_2 的集流 $\alpha_1 \cdot I_P$ 为 T_3 的基流， T_4 的集流 $\alpha_2 \cdot I_P$ 为 T_1 的集流，如果 T_1 的 β 足够大，能使 T_1 饱和，则 T_1 输出“0”电平为 V_{ce1} ，约为0.1V，当输入为“0”， T_2 的集流流向前级， T_1 截止， T_3 导电， T_4 的集流成为 T_3 的基流，此时 T_1 输出“1”电平为 T_3 的发射结压降，约0.7V，因此 I^2L 电路的输出逻辑电平落差为：

$$\Delta V = V_{ce1} - V_{ce3} \approx 0.6V$$

此值是比较低的。

在上述两种输入情况下，P-N-P管的工作情况是不同的。当N-P-N管导电时，它的P-N-P管的集电结正偏压为N-P-N管的发射结压降，因此P-N-P管处于深饱和状态。当N-P-N管截止时，它的P-N-P管集电结正偏压为前级N-P-N管的集电极饱和压降，P-N-P管处于临界饱和状态，即 $\alpha_2 > \alpha_1$ 。

当 T_1 导通时，其基流为 $\alpha_1 \cdot I_P$ ，集流为 $\alpha_2 \cdot I_P$ ，N-P-N管的饱和条件为：

$$\beta \geq \frac{\alpha_2 \cdot I_P}{\alpha_1 \cdot I_P} = \frac{\alpha_2}{\alpha_1}$$

若P-N-P管的饱和深度为2，即 $\alpha_2/\alpha_1 = 2$ ，则 I^2L 反相门正常工作的条件是 $\beta \geq 2$ 。当然，这是对单集电极输出情况而言的。如果N-P-N管的集电极数为 m ，则它的饱和条件为：

$$\beta \geq \frac{m \cdot \alpha_2 \cdot I_P}{\alpha_1 \cdot I_P} = m \frac{\alpha_2}{\alpha_1} = 2m$$

开关管的集电极数越多,对 β 要求就越高,或者说,为了确保N-P-N管处于饱和工作状态,集电极数 m 应小于 β/α ,可见 m 是受N-P-N管的 β 限制的。

在 I^2L 中, N-P-N管的 β 不会太大,一般在10以内,其原因如下:

(1) N-P-N管处于倒置工作状态。在正向运用的三极管中,集电区的面积大于射区面积,这样,由射区向基区注入的少数载流子只有比较少的一部分被集电区收集,而相当大部分的少数载流子被复合了,因此其 β 值很小。集电区面积和发射区面积之比愈小,则 β 愈低。

(2) N-P-N管的发射区(即N型衬底)的杂质浓度不能很大。我们知道,三极管发射区浓度和基区浓度之比愈大,发射效率就愈高,电流增益也愈大。但是在 I^2L 中, N-P-N管的发射区是P-N-P管的基区,过多地提高发射区杂质浓度会降低P-N-P管的 α 。为了兼顾P-N-P管的 α , N型衬底的杂质浓度不允许太大。

显然,提高N-P-N管集电区面积和发射区面积之比,减少其基区宽度,工艺过程中实行无金操作,防止其它重金属沾污,适当增大发射区杂质浓度和基区杂质浓度之比,硅材料的表面状态良好,都能增大N-P-N管 β 值。 β 值大,不但能提高电路的带负载能力,还能提高开关速度。

I^2L 中P-N-P管的 α 也不会很大,一般在0.3~0.5,因为它是横向结构的(它的少数载流子的运动方向是横向的)。

(1) 由于它是横向管,只有和集电区对着的那个发射区侧面发射的少数载流子才会被它的集电区所收集,发射区的另一侧面和底面发射的少数载流子是不会被集电区收集的(如图4-29所示)。

(2) 由于注入基区的少数载流子是沿着基区表面向集电区运动的,因此表面复合要比垂直结构的三极管严重得多。

提高P-N-P管的 α 值对改善反相门的开关特性是有好处的。此外,在注入电流 I_p 中,只有 $\alpha \cdot I_p$ 是有用的,而 $(1-\alpha) \cdot I_p$ 是无用的,因此提高电路的 α 值对提高电路的效率是有好处的。

增加发射极侧面积和底面积之比,能提高P-N-P管的 α ,因此注入极的形状应是窄长条。此外,减少P-N-P管基区宽度、减少材料表面缺陷、减少硅材料所含重金属也有利于提高 α 值。

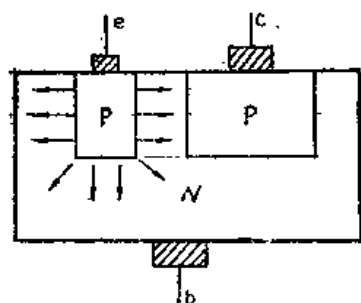


图 4-29 横向晶体管剖面图

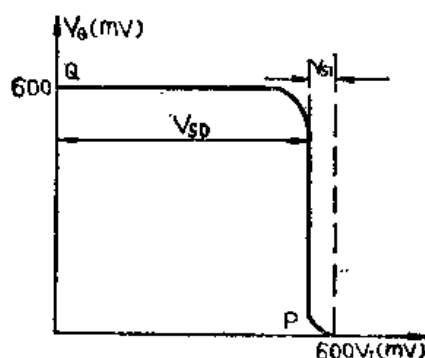


图 4-30 反相门电压转移特性曲线

图4-30是反相门的电压转移特性曲线。 P 、 Q 分别表示开关管饱和、截止工作状态, V_{SD} 是足以使开关管由截止变为导通的正向噪音电压。由于 I^2L 的电平落差比较小,因此其抗噪能力要比TTL电路差。下面对 I^2L 电路的抗干扰能力作一些具体分析。一般认为,在芯片

内部不可能产生很大的噪音，在芯片间的连线中干扰会高一些。为了分析方便起见，以电流 I_s 表示噪音。图4-31表示两个连在一起的芯片， T_1 为前一芯片的最末级， T_2 是后一芯片的最前级，下面分两种情况讨论。

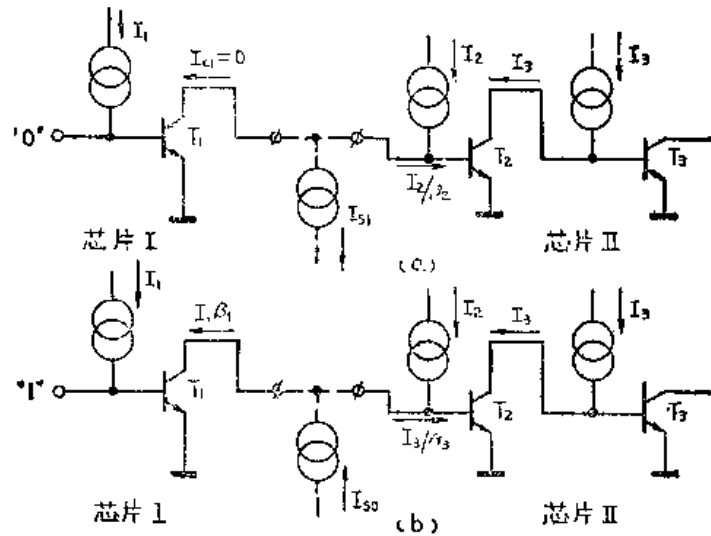


图 4-31 两芯片的互连

(1) 如图4-31(a)所示， T_1 截止， T_2 饱和，使 T_3 由截止趋向导通的噪音源用 I_{s1} 表示。 I_{s1} 不应大到使 T_2 脱离饱和，从而电流源电流 I_3 不能全部被 T_2 所吸收， T_3 就会导通，故有：

$$I_{s1} = I_2 - \frac{I_3}{\beta_2}$$

由式可见， β_2 和 I_2 愈大，允许的 I_{s1} 就愈大，所以芯片的最前级反相门的电流源电流 I_2 要大，N-P-N管的 β 要大。采用适当的图形尺寸可以达到这一点。

(2) 如图4-31(b)所示， T_1 饱和， T_2 截止。使 T_2 由截止趋于导通的噪音源用 I_{s0} 表示。 I_{s0} 不应大到使 T_1 脱离饱和，从而使电流 $I_{s0} + I_2$ 除提供 T_1 集电极所需($I_1 \cdot \beta_1$)外，尚能将 T_2 转移到导通状态。故有：

$$(I_{s0} + I_2) - \beta_1 \cdot I_1 = \frac{I_3}{\beta_2}$$

由式可见，增大芯片最末级反相门的电流 I_1 和N-P-N管的 β 值能提高 I_{s0} ，采用适当的图形尺寸也可以达到这一点。

四、集成注入逻辑的开关特性

上述形式的 I^2L 反相门的传输时间比TTL的要长，一般为30~50ns，先进水平为20~30ns。其开关特性不如TTL好的原因如下：

(1) 在N-P-N管的基区内存在一个注入电子的阻尼场。由于基区是扩散形成的，在靠近衬底处的杂质浓度低，远离衬底处的杂质浓度高。因此在基区内部存在一个电场，其方向自衬底指向硅片表面。在普通晶体管中，这个内电场能加速电子自硅片表面向衬底方向的运动，使少数载流子在基区的渡越时间大为减少。但是在 I^2L 中晶体管是倒置工作的，电子是由作为发射区的衬底注入基区的，电子运动方向正好和正向工作的晶体管相反，因此基区内电场就成为阻尼场了，使少数载流子在基区的渡越时间加长，晶体管的特征频率 f_T 大为降低，开关特性变坏。

(2) N-P-N管发射区存贮电荷较多。我们知道,杂质浓度愈高,体内存贮的少数载流子电荷就愈少,体积愈小,存贮的少数载流子电荷量就愈小。在普通的正向工作晶体管中,发射区的杂质浓度很高,体积比较小(比基区、集电区都要小),发射区内的存贮电荷一般可以忽略。但是,在 I^2L 中,由于N-P-N管是倒置工作的,发射区体积最大,又由于发射区杂质浓度不能很高,因此其发射区内的存贮电荷和正向晶体管的发射区存贮电荷相比就不能忽略了。这就使N-P-N管的开关特性变坏。

由于上述两个原因,N-P-N管的特征频率 f_T 的最大值也只能达到20~50MHz,比一般双极型晶体管要小一个数量级。

(3) 我们知道,TTL门电路在参数及线路结构上采取了很多措施,使三极管既有较大的注入电流和电容充电电流,又有强有力的三极管退饱和回路,这就保证了它有较高的开关速度,但是也使线路变得复杂。而 I^2L 的结构十分简单,P-N-P管又是横向晶体管, α 值较小,当N-P-N管变截止时,对它的发射结电容及寄生电容充电电流较小。当N-P-N管变导通时,它对N-P-N管注入较小,因此P-N-P管的 α 较小,这对 I^2L 门电路的开关特性是十分不利的。当然,由于P-N-P管是常通的,所以它的 f_T 并不重要。

第五章 MOS 门 电 路

MOS场效应晶体管是构成MOS数字集成电路的基础器件。MOS是金属-氧化物-半导体结构的简称。由MOS场效应晶体管组成的集成电路称为MOS集成电路。

MOS场效应晶体管的最大特点是只有一种载流子参与导电的器件。所以场效应晶体管又称为单极型晶体管。它是一种由电压控制而进行工作的晶体管——在这一点上相似于电子管。

MOS集成电路的主要优点是：

(1) 集成度高，每个管芯占用硅片面积很小。

(2) 制造工艺简单，成品率高，成本低。

(3) 耗电省，适合于制造大规模集成电路。

(4) MOS管的输入阻抗高，构成电路时可以直接耦合，电路结构简单。MOS 集成电路这支后起之秀，不论在增长率和绝对产量方面，均已超过双极型数字电路，成为半导体集成电路中的一支主力军。特别是在数字集成电路在向大规模和超大规模发展的今天，MOS 集成电路是一种极有发展前途的集成电路。

为了能够更好地学习和掌握MOS集成电路知识，首先了解一些MOS场效应管的基本知识。

§5-1 MOS场效应晶体管

场效应晶体管是以电场来调制半导体导电特性的一种器件，它具有两种结构类型：一种是利用体内电场效应进行工作的称为结型场效应晶体管。另一种是利用半导体的表面电场效应而进行工作的称为MOS型场效应晶体管。这两种结构不同的场效应晶体管，确具有相似的特性曲线和电气参数。这里主要复习MOS场效应晶体管的原理和特性。

一、MOS场效应晶体管的工作原理

MOS场效应管的结构，如图5-1所示。它是在高阻N型单晶硅片上，通过扩散形成两个相距很近的P⁺区。在半导体表面上生长一层很薄的二氧化硅层，然后再制作上电极引线，这就构成了一个MOS场效应晶体管。两个P⁺区分别称为源区和漏区，对应其上引线电极称为源极（用字母S表示）和漏极（用字母D表示）。在两个P⁺区之间二氧化硅层上的金属电极称为栅极（用字母G表示）。

在图5-1所示出的结构里，P型的源扩散区和漏扩散区之间隔着一段N型区，所以好象两个“背靠背”地连在一起的二极管（和PN结隔离的隔离岛相似），这时在源极和漏极间不论施加怎样的电压，也只有很小的PN结反向漏电流通过，而不会产生随信号变化的电流。这是在栅极上没有施加外加电压时的情况。

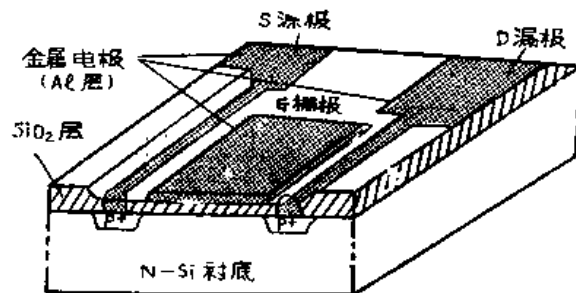


图 5-1 MOS场效应管结构示意图

当按图5-2所示，给各电极施加一定极性电压时，由于源极和衬底是相连的，则在衬底和栅极之间形成一个电场，其方向是由硅片指向栅极。在这个电场作用下，N型硅表面层的自由电子受到电场排斥力的作用，会跑向硅片内部，于是在硅片表面层留下带正电荷的电离施主杂质，形成一层正电荷的屏蔽层，它和外加栅极电压形成的电场相平衡，栅极下面的硅片表面形成耗尽层。如果继续增加栅极和衬底之间的负电压，则栅极下面氧化层和硅片表面的电场更强，这时除了有更多的电离施主的电子被赶走之外，N型硅中的少数载流子——空穴，就会向栅极下面的硅片表面移动，和电离施主一起来构成对外电压电场的屏蔽。显然，当栅极负电压足够大时，会在N型硅片表面层形成以空穴占优势的表面空穴导电层——反型层。由于反型层只存在于源、漏之间的表面区域，这就相当于在源、漏之间形成P型的导电沟道。在源极和漏极之间会形成电流 I_{DS} ，如图5-3所示。

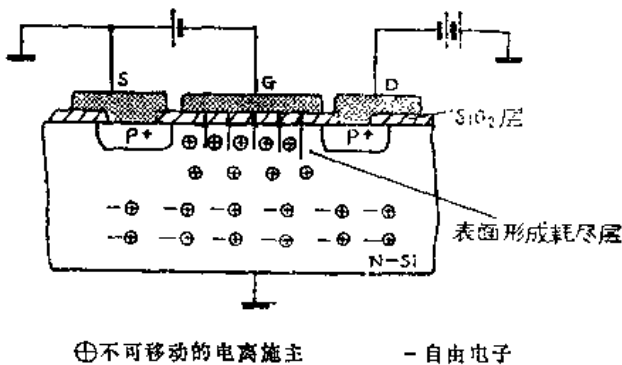


图 5-2 MOS管的表面电场

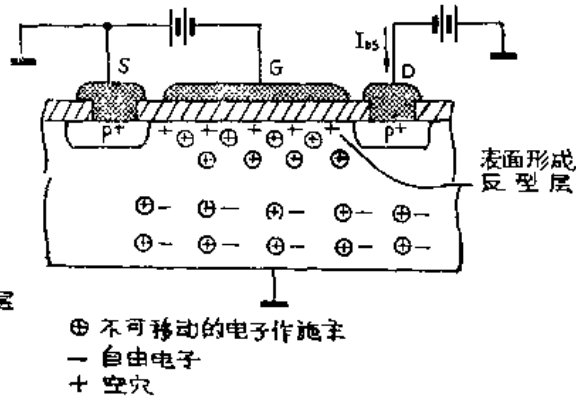


图 5-3 MOS管的表面反型层

如果在栅极和源极间除了施加以产生P沟道的电压外，再加入信号电压 V_i ，而在源极和漏极间除加以源(+)、漏(-)的电压外，再接入一个电阻 R_L (负载)(参见图1-4)，则在负载电阻 R_L 上就得到了放大的信号电压。这是因为栅-源之间的直流电压产生了导电的P沟道以后，栅-源之间的信号电压的变化使积累在P沟道中的空穴浓度也随之改变，从而调制了沟道的导电能力，引起源、漏之间电流 I_{DS} 的改变，在负载 R_L 上产生放大的信号电压。

从图5-4中还可以看出，输出电压的相位与输入信号电压相位相反。在输入信号电压增加时，导电沟道变小，导电能力减弱， I_{DS} 减小，输出电压减小；相反，信号电压减小时， I_{DS} 增加，输出电压增加，所以输入输出是反相的。

同理，如果在P型硅片衬底之上扩散两个N⁺区，覆盖二氧化硅层及金属电极，也可以制造出N型沟道的MOS管，如图5-5所示。工作时，栅、源极之间和源、漏之间电压的极性刚好与P-MOS管相反。

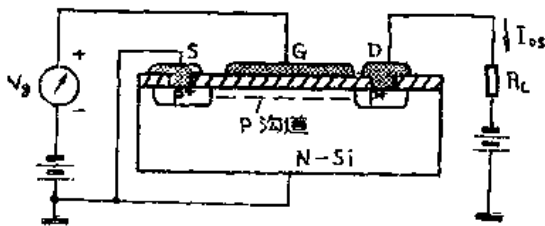


图 5-4 P-MOS管的表面沟道

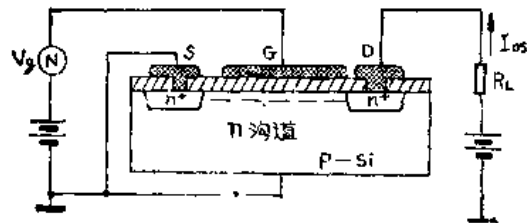


图 5-5 N-MOS管的表面沟道

不论P-MOS管，还是N-MOS管，其基本工作原理都是利用栅极所加的电压在半导体表面形成反型层的导电沟道，而信号电压调制沟道的导电能力，从而使输出电压随信号电压变化而完成放大作用。

二、MOS管的类型

上面在讲述MOS管工作原理过程中，只考虑外加电场对半导体表面产生的影响，没有注意到二氧化硅层(SiO_2)可能引入的影响。实际上二氧化硅层虽然是很好的电介质，但是在他里面往往会有一些带正电荷的杂质或缺陷。这些正电荷就会产生一定的电场，从而对氧化层下而的硅片表面产生影响。

如果氧化层中的正电荷较多，或是衬底P型硅中的杂质浓度很低时（电阻率高），即使在没有栅极负电压的情况下，氧化层中的正电荷也能吸引足够多的电子在硅片表面形成反型层，这时在源-漏之间加有电压时也会产生电流。因此，考虑到二氧化硅层内存在电荷的实际情况下，N-MOS管可能有两种工作方式。一种是在栅极电压 $V_{GS} = 0$ 时，硅片表面已形成耗尽层并生成反型层的导电方式，称为耗尽型N-MOS管；另一种是在栅极电压 $V_{GS} > 0$ 时，即在有栅极电压增强的条件下，才能形成导电沟道的导电方式，称为增强型N-MOS管。

很据相似的道理，P-MOS管也有两种类型，即耗尽型P-MOS管和增强型P-MOS管。

图5-6中画出了四种MOS管的符号和它们的转移特性曲线、输出特性曲线。

在有些电路中，特别是在MOS集成电路中，通常MOS管的符号，不画衬底电极B，也不再画外围的圆圈，如图5-7所示。

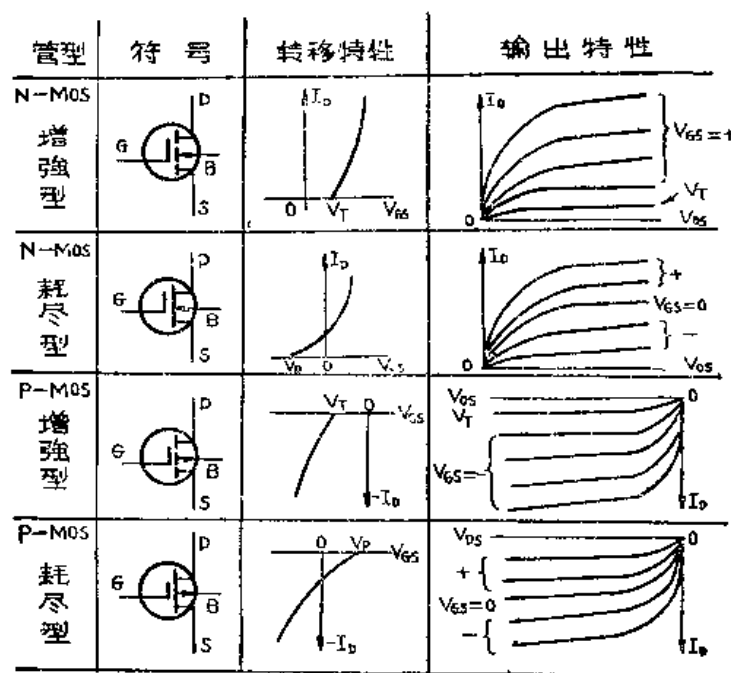


图 5-6 四种MOS管符号及特性

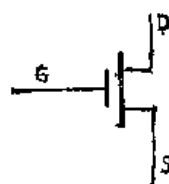


图 5-7 MOS管符号

三、MOS管的参数

和双极型晶体管一样，除了用特性曲线表征器件的特性外，还可以用电气参数来表示器件的特性。MOS管的参数分为直流参数和交流小信号参数。

1. MOS管的直流参数

(1) 阈值电压 对于增强型MOS管，当源漏电压等于零时，产生导电沟道所需的栅

极电压称为开启电压,通常用 V_T 表示。对于耗尽型MOS管,当源漏电压等于零时,使导电沟道消失所需的栅极电压称为夹断电压,通常用 V_P 表示。开启电压 V_T 和夹断电压 V_P 统称为MOS管的阈值电压(有时都用符号 V_T 表示)。

MOS管阈值电压的数值不仅和衬底硅材料的掺杂浓度有关,还和二氧化硅层的厚度、栅极金属材料及氧化层的质量有关,所以阈值电压不仅和器件的结构有关,也和制造工艺有关。

(2) 源漏饱和电流 源漏饱和电流是漏端沟道截止时的漏源电流的数值,它与栅极电压之间有下列关系式:

$$I_{DSS} = \frac{e_0 \varepsilon \mu}{2d} \cdot \frac{W}{L} (V_{GS} - V_T)^2$$

对于P-MOS管而言, $\mu = \mu_p$ (空穴迁移率),对于N-MOS管, $\mu = \mu_n$ (电子迁移率)。分析上式可见:

①源漏饱和电流与沟道宽长比 $\left(\frac{W}{L}\right)$ 成正比, $\frac{W}{L}$ 越大,源漏饱和电流越大。

②源漏饱和电流和二氧化硅层厚度 d 有关。 d 越小,漏源饱和电流越大。

需要指出:沟道中载流子的迁移率不是通常半导体的载流子迁移率,因为沟道处于硅片表面,表面缺陷及垂直于表面的电场的存在使载流子的迁移运动比在体内时要困难得多,因此沟道中载流子的迁移率远比体内迁移率小得多。在沟道中,电子迁移率 μ_n 一般为 $300 \sim 500 \text{ cm}^2/\text{V} \cdot \text{s}$,空穴迁移率 μ_p 为 $200 \text{ cm}^2/\text{V} \cdot \text{s}$ 左右(体内 $\mu_n = 1400 \text{ cm}^2/\text{V} \cdot \text{s}$, $\mu_p = 500 \text{ cm}^2/\text{V} \cdot \text{s}$)。

(3) 栅源直流输入电阻 MOS管的栅源直流输入电阻(又称为直流输入阻抗)是栅极下面二氧化硅层的绝缘电阻。由于二氧化硅是良好的绝缘体,所以MOS管的直流输入电阻 R_{GS} 数值很高,一般在 $10^9 \sim 10^{15} \Omega$ 范围。MOS管的高直流输入阻抗使得其输入电流很小,只有 $10^{-9} \sim 10^{-15} \mu\text{A}$,这也表明MOS器件是靠电压信号进行工作的器件。

MOS管的高输入阻抗在使用时要引起注意。因为栅极是绝缘的,当栅极悬空时,由于外界的静电感应,会在栅极很小的面积上感应出很高的电压,这一电压会造成栅极下面二氧化硅层的击穿而损坏管子。所以MOS管在封装及存贮期间应使各电极间处于短路状态,以避免栅极感应电压造成栅极击穿。

(4) 漏源击穿电压 我们在介绍MOS管特性曲线时已经说过,当漏源电压超过一定限度时,就会产生击穿,造成漏电流的急剧增加。造成漏源击穿的因素很多,主要有以下两个因素:

①漏扩散区与衬底间的击穿 由于应用时源区与衬底相连,所以漏极与衬底之间的击穿就会导致漏源之间电流的剧增。漏极和衬底之间是一个PN结,在漏极——源极反向电压作用下,使得PN结的附近的耗尽区变得很厚,里面产生了很强的电场。当漏源电压大到一定程度时,PN结就会产生雪崩击穿。

雪崩击穿的击穿电压大小是由硅材料的电阻率、扩散结深度和杂质表面浓度所决定的。衬底材料的电阻率越高,击穿电压越高。对于同样的衬底材料和表面扩散浓度,扩散结越深,杂质浓度梯度越小,击穿电压也就越高,这是因为扩散结边缘电场较强的原因。在平面工艺中制造PN结时,杂质在表面向内部扩散的同时也要产生沿硅片表面方向的横向扩散。在杂质扩散区的边界,PN结呈圆弧形。当反向电压加在PN结上时,PN结弯曲处电场最强,如

图5-8所示。在PN结平面部分相对电场强度较弱，所以雪崩击穿会首先在弯曲部分发生。PN结越浅，PN结边缘部分的曲率半径越小，电场就越容易得到加强，击穿电压也就越低。例如，衬底为 $1\Omega\cdot\text{cm}$ 的N型硅单晶，计算得到的PN结反向击穿电压为100V左右，但在浅结扩散 ($x_j = 2\mu\text{m}$) 时的反向击穿电压只有30V左右。

②漏源之间的穿通引起的击穿 当增强型MOS管栅源之间电压 $V_{GS} = 0$ 时，在栅极下面

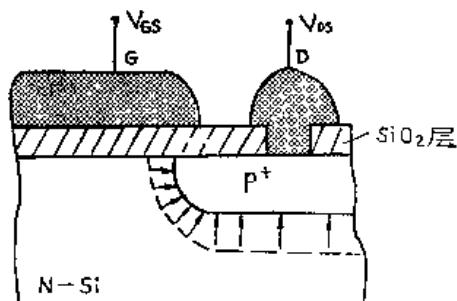


图 5-8 MOS管漏扩散区附近电场分布

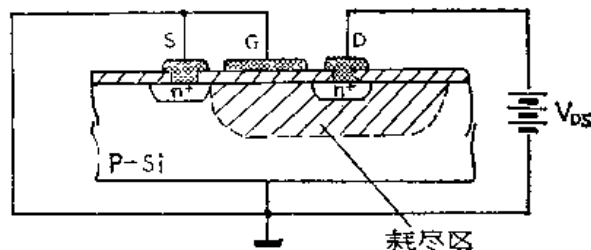


图 5-9 MOS管源漏区的穿通

的硅片表面没有形成反型层，漏区和源区之间相隔一段沟道长度 L_0 ，在漏源之间的电压大到一定程度时，这个耗尽区会与源扩散区相碰，由此产生了“穿通现象”（如图5-9所示）。穿通现象一旦发生，源区中的大量电子就会从源区注入耗尽区，在电场作用下形成漏极电流，形成输出曲线上的雪崩区。

至于上述两种因素中哪种因素对输出特性曲线上雪崩区起作用要视管子的材料和结构而定。例如， $10\Omega\cdot\text{cm}$ 的N型硅单晶（其相应杂质浓度为 $5 \times 10^{14}\text{cm}^{-3}$ ），源漏扩散区结深 $x_j = 1\mu\text{m}$ 左右，其PN结雪崩电压约为100V。如果作为沟道长度 $L = 10\mu\text{m}$ 的MOS管，漏源击穿电压只有35~40V，这时就是穿通现象所引起的击穿起了主要作用。还有一点就是金属栅极的影响：在MOS管中栅极与源漏极扩散区有一定的交迭。这时在交迭部分的边缘只相隔很薄的一层栅氧化层（ $2000 \times 10^{-10}\text{m}$ 左右），参见图5-8。由于栅极与漏极之间总存在一定的电位差，因而在氧化层中形成很强的电场。这一电场和PN结棱角电场的合成有可能导致在更低的电压下就产生击穿，从而降低漏源间的击穿电压。

（5）最大耗散功率 MOS管的最大耗散功率就是在MOS管上允许耗散的最大功率。它等于漏源电压 V_{DS} 和漏源电流 I_{DS} 的乘积，即 $P_D = V_{DS} \cdot I_{DS}$ 。

这个耗散功率在MOS管中将转变成热，使管子的温度升高，特性变坏。应用时不允许超过最大耗散功率使用，否则MOS管将会损坏。

（6）栅击穿电压 在MOS管中，栅极和沟道之间仅隔着一层很薄的二氧化硅层。这种结构很象平行极电容器，当栅极电压超过一定限度就会使氧化层击穿，产生象电容器一样的击穿损坏。这种损坏一旦发生就不能再恢复。而一般PN结在加反向电压产生击穿现象后，在通常情况下并不会损坏。栅击穿电压和栅氧化层质量有关，并与氧化层厚度成正比。当氧化层厚度为 $1500 \times 10^{-10}\text{m}$ 时，其击穿电压在75~150V之间。

由于栅极电容很小（只有几个pF），绝缘电阻又很高，所以少量电荷在栅极的积累就会产生很高的电压，造成栅击穿。这就是MOS管为什么常有“莫名其妙”地损坏的主要原因。为了防止栅击穿的发生，MOS管在储存、焊接、调试中均应十分小心，在不使用时最好将三个电极短路放置；测试仪器及焊接时所用的电烙铁都要接地，以防仪器设备的漏电而

造成管子栅极击穿损坏。

2. MOS管的低频小信号参数

和双极型晶体管一样, MOS管也可以用低频小信号参数来表示它的交流特性。

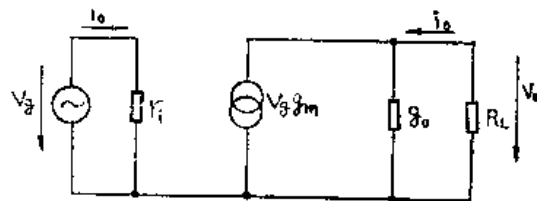


图 5-10 MOS管低频小信号等效电路

(1) 低频小信号等效电路 图5-10 是 MOS管的低频小信号等效电路。图5-10的形式和晶体管低频 h 等效电路很相似, 其中 r_i 为输入电阻, g_m 为跨导, g_o 为输出电导, 对输入输出回路有下列关系式:

$$i_i = \frac{V_g}{r_i}, \quad i_o = g_m V_g - g_o V_o$$

(2) 跨导 跨导 g_m 是栅极单位电压变化所引起漏源电流的相对变化量, 它反映了栅源电压 (V_{GS}) 对导电沟道控制的能力。

$$g_m = \left. \frac{\Delta I_{DS}}{\Delta V_{GS}} \right|_{V_{DS} = \text{常数}}$$

如果管子工作在饱和区, 将前面表达式对 V_{GS} 进行微分, 便得到饱和区跨导:

$$g_m = \frac{\mu \epsilon_0 \epsilon_i}{d} \cdot \frac{W}{L} |V_{GS} - V_T|$$

(对P-MOS管而言, $V_{GS} - V_T$ 为负值, 故公式中 $V_{GS} - V_T$ 取绝对值。)

从上式可以看出, 饱和区的跨导 g_m 和 $|V_{GS} - V_T|$ 及沟道宽度 W 成正比, 与沟道长度 L 及栅氧化层厚度 d 成反比。为了制造大跨导的MOS管, 在图形设计上必须增加沟道的宽长比 (W/L)。沟道长度 L 受光刻及扩散度的限制不能做得太小, 一般最小在 $5 \sim 10 \mu\text{m}$ 之间。因而增大跨导主要靠增加沟道宽度来达到, MOS管的栅氧化层厚度一般在 $1000 \sim 2000 \times 10^{-10}\text{m}$ 之间。如果把 d 做得再小一些, 由于氧化膜中容易出现针孔, 将使管子的成品率下降, 并且氧化层做得太薄时, 击穿电压太低, 很容易造成管子栅击穿。

(3) 漏源输出电导 漏源输出电导 g_D 是反映输出电压对MOS管沟道电阻影响大小的参量。在数量上它等于漏源电压单位变化量所引起漏源电流的变化量, 即

$$g_D = \left. \frac{\Delta I_{DS}}{\Delta V_{DS}} \right|_{V_{GS} = \text{常数}}$$

在讨论输出特性曲线时, 饱和区漏源电流 I_{DS} 随漏源电压的增大稍有增加, 这就是输出电导存在的体现。可以认为是沟道长度在漏源电压增加时, 漏有缩短, 从而造成 I_{DS} 稍有上升。 g_D 的倒数就是漏源输出阻抗, 一般在几十 $\text{k}\Omega$ 的范围内。

四、衬底偏置电压的影响

在一般单个MOS管中, 衬底是和源极连在一起并且接地(共源)使用的。但在MOS集成电路中许多MOS管同制作在一个硅片上, 共用一个衬底。各MOS管的源极电位是不同的, 因此衬底不能再和每个MOS管的源极相连接了, 这样衬底和源极之间就存在着电位差。在设计MOS集成电路时, 为了实现隔离, P-MOS电路的衬底总是接电路中最高电位, N-MOS电路的衬底总是接最低电位, 这样各MOS管都处于反向偏置, 使衬底对各MOS管起到隔离

的作用。下面我们就来分析一下这一反向偏置对MOS管阈值电流电压产生的影响。

图5-11是P-MOS管衬底加反向电压的情况。 V_{BS} 使衬底与源极之间处于反向偏置，由于可动电子的耗尽和不可动施主正离子的出现，则耗尽区会向衬底内部扩展。在相同栅源电压 V_{GS} 之下，耗尽层空间电荷区的增加使沟道区可动电荷减少，致使沟道电导降低，从而漏源电流减小，阈值电压增加。图5-12给出了不同衬底电压时的转移特性曲线。可见，衬底与源极之间反压越高时，P-MOS管的开启电压越负；而对N-MOS管而言，衬底与源极之间反向偏置电压越高时，开启电压越大（越正）。由于衬底电压对MOS管的导电也能起一定的调制作用，有时称衬底为“背面栅”或“第二栅”极。

五、MOS管的工艺与设计

1. MOS场效应管的工艺流程

MOS管的制造工艺过程和MOS集成电路制造工艺过程相似。这里不讲解制造的具体工艺条件，只介绍工艺流程，以使大家对MOS管及MOS电路工艺有一个大概的了解。

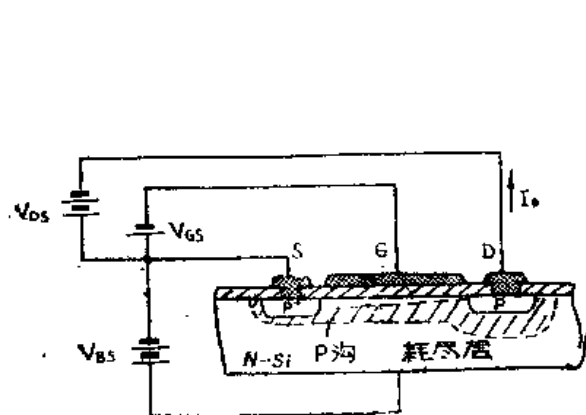


图 5-11 MOS管加衬底偏压的情况

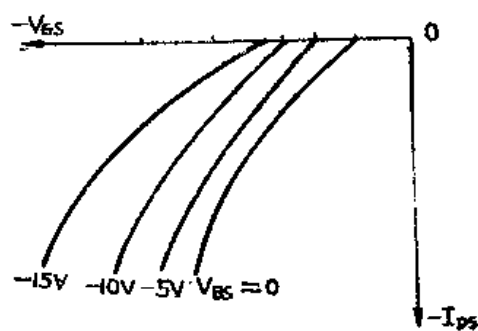


图 5-12 衬底电压对转移特性的影响

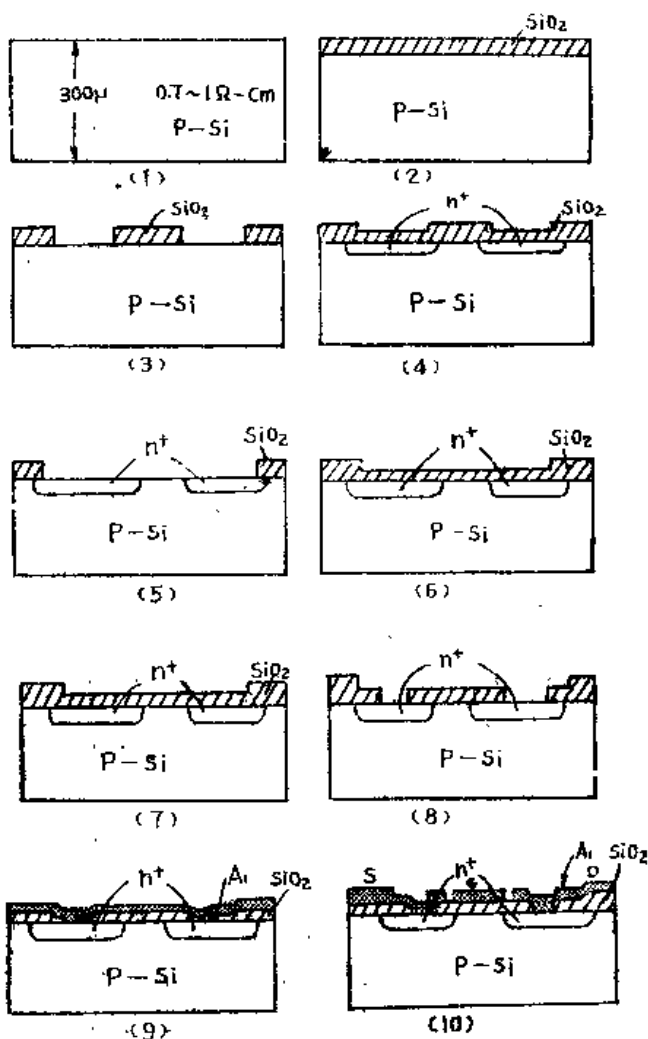


图 5-13 N-MOS管的生产工艺流程图

图5-13是N-MOS管工艺流程图。它和P-MOS管工艺流程完全相同，只要选用N型硅单晶，源漏区扩散为硼扩散区。其它过程完全相同。

从流程图可以看出，MOS管制造过程全部采用硅平面工艺，它只经过四次高温（扩散或氧化）和四次光刻。工艺过程比双极型电路要简单得多。

2. MOS场效应管的设计考虑

这里介绍MOS管设计时的一些考虑,至于结构、图形尺寸及工艺设计等不作具体介绍。

MOS场效应管的基本设计考虑包括原始衬底材料的选取、栅氧化层厚度的确定和管子宽长比(W/L)的设计。下面分别予以介绍。

(1) 衬底材料参数的选取 目前MOS管及MOS集成电路的衬底材料都选用适合平面工艺的硅单晶材料。P-MOS管选用N型硅单晶, N-MOS管选用P型硅单晶。晶向多选用〈100〉面,这是因为载流子在〈100〉面的界面态密度也比〈111〉晶面来得低,以便提高MOS器件的速度和降低阈值电压。

由于MOS场效应管是多数载流子工作的器件,故对材料中的少数载流子寿命及位错密度的要求不象双极器件那样严格。

衬底材料的电阻率的选择要根据对阈值电压 V_T 、漏源击穿电压 BV_{DS} 和漏源饱和电流 I_{DSS} 所决定。

①阈值电压 对P沟道增强型MOS管而言,硅衬底的电阻率 ρ_N 越高,即施主杂质浓度 N_D 越小,则 $|V_T|$ 越小。在一定工艺条件下,可以控制一定的表面电荷密度。为了得到所需要的阈值电压,往往通过对衬底电阻率的选择来满足。

②漏源击穿电压 BV_{DS} 虽然衬底的材料电阻率越高,可以得到较高的漏和衬底(PN结)的雪崩击穿电压。但由于表面棱角电场及栅金属电极的作用,当衬底电阻率高于 $1\Omega\cdot\text{cm}$ 时,最大漏源之间击穿电压已不再取决于衬底材料的电阻率了。特别对于短沟道MOS管,衬底材料的电阻率选择过高,将会引起沟道穿通,反而降低了漏源之间的击穿电压,故不能选用太高电阻率的衬底硅单晶。

③漏源饱和电流 衬底电阻率越高,则漏源电压对沟道长度的调制效应就越显著,因而输出特性曲线在饱和区部分变斜,输出阻抗变低。但是这在数字电路中影响不大。

综上所述,衬底材料电阻率的选择,主要取决于对阈值电压的要求。

(2) 栅氧化层厚度 d 的确定 栅极下面二氧化硅层的厚度 d 对阈值电压 V_T 、跨导 g_m 和栅源击穿电压 BV_{GS} 都有影响。

对开启电压而言,栅氧化层愈薄,单位面积电容越大,则开启电压 V_T 值愈小,同时跨导愈大,所以MOS管的栅氧化层一般比较薄。但是,氧化层太薄将使栅源击穿电压受到限制。氧化层厚度的下限应满足:

$$d_{\min} \geq \frac{BV_{GS}}{E_{DX}}$$

式中 E_{DX} 是二氧化硅临界电场强度,对理想二氧化硅层为 $8 \times 10^6 \text{V/cm}$ 。对 $1500 \times 10^{-10} \text{m}$ 的二氧化硅层 BV_{GS} 可达120V,但由于氧化层中存在缺陷(针孔、不均匀等),实际 $1500 \times 10^{-10} \text{m}$ 的二氧化硅层的 BV_{GS} 约为50V。这已可以满足一般管子及MOS集成电路要求,故栅氧化层厚度一般控制在 $1500 \times 10^{-10} \text{m}$ 左右。

(3) 管子宽长比(W/L)的设计 在耗尽型MOS管中,为了使在栅极上施加夹断电压时导电沟道能完全截断往往采用圆形或其它封闭式的沟道,以防止在栅极之外的沟道不能被截断的现象发生。在增强型MOS管中不存在上述矛盾,主要采用条状结构。MOS集成电路中的管子主要是增强型MOS管。采用条状结构也使MOS集成电路中管子设计很简便。条

状结构主要几何尺寸就是沟道宽度 W 和沟道长度 L 。

由于沟道长度 L 对MOS管的高频特性起着决定性的影响,为了提高管子及电路的工作频率,在工艺条件允许的前提下,应设计得尽量小些。但 L 太小,先刻工艺难度增加,成品率会下降。在 L 选定后就要确定 W/L 比,而后计算沟道宽度 W 。

管子中沟道宽长比(W/L)越大,跨导 g_m 越大,但 W/L 太大会占用大的硅片面积,而且在集成电路中,处于电路中不同地位的管子要求不完全相同。所以在满足电路性能的条件下,也不宜过分加大 W/L 比,以保证电路的合格率及集成率为准则。

3. MOS场效应管制造中的特殊问题

从前而介绍的MOS管工艺流程可以看出,MOS管的制造工艺比较简单。但是MOS管及MOS集成电路作成后往往性能不容易稳定、可靠。其主要表现在管子的开启电压在使用过程中容易发生变化,在高温时这种变化更为严重。通过人们的探索分析发现,这种不稳定和栅氧化层的质量有密切关系。进一步分析发现,氧化层内存在的正电荷是使MOS管特性变坏的根源。前面我们已经讲到过氧化层中主要存在三种正电荷——界面态电荷 Q_{ss} 、固定电荷 Q_{ox} 和可动电荷 Q_D 。这三种电荷中又以可动电荷——主要是金属钠离子的影响最为严重。

二氧化硅层中怎么会跑进钠离子(Na^+)的呢?这需要深入地了解二氧化硅层的性质。利用二氧化硅层作为掩蔽膜这是硅平面工艺的基础。通常的杂质原子,例如磷、硼、锑等即使在 $1000^{\circ}C$ 以上的高温也难于透过二氧化硅膜而到达硅片表面,也就是说,这些杂质原子在二氧化硅中的扩散系数是异常之小的。但是碱金属原子在二氧化硅中的扩散系数却是很大的,特别是钠原子(Na),即使在很低的温度,它也很容易跑到氧化层中去,并且在二氧化硅中可以自由移动。在半导体工艺中钠原子存在于玻璃、石英器皿中。在高温下,这种原子很容易以离子形式进入二氧化硅层中,造成氧化膜的钠离子沾污。被沾污的二氧化硅层在 $150\sim 200^{\circ}C$ 的条件下,钠离子就可以在氧化膜中自由移动。当氧化层中的钠离子集聚在靠近硅片表面一侧时,这些正电荷会在硅片表面形成电场,造成MOS管开启电压的变动(迁移)。在N-MOS管中,由于栅极加有正电压,正好是将钠离子“推”向靠近硅片方向,造成开启电压的减小,甚至变为负值。所以在工艺上制造N型增强型MOS管就比较困难。同样道理,在P-MOS管中制造耗尽型MOS管也比较困难。所以在P-MOS电路中大量广泛采用的MOS管是P沟道增强型MOS管。

钠离子沾污给MOS管带来的恶劣影响在于这些可动离子在外电场作用下产生“离子漂移”现象,造成开启电压的不稳定,甚至破坏MOS管的正常工作。目前在工艺上采用多种措施来提高氧化层的洁净程度,尽量减少钠离子的沾污,例如用氯化氢气清洁管道,采用无钠玻璃器皿等。但要完全清除 Na^+ 的沾污是很困难的。为此,可以在MOS管工艺中采用附加磷硅玻璃保护的工艺。图5-13中,在栅氧化之后,在整个氧化层上生长一层磷硅玻璃作为二氧化硅层的保护层。通过研究发现磷硅玻璃具有这样的特性,就是钠离子在磷硅玻璃中具有很高的溶解度,它可以大量吸收容纳金属钠离子。因此二氧化硅层上生长了磷硅玻璃后,会把二氧化硅层中的钠离子“吸收”到磷硅玻璃层中来,使这些钠离子在电场作用下,不致再迁移到二氧化硅层靠近硅片一边,造成 Na^+ 产生漂移,从而使MOS管的稳定性、可靠性得到改善。

除了采用磷硅玻璃作为保护层之外,还可以利用氮化硅(Si_3N_4)作为保护层。它的特点是各种离子(包括 Na^+)在其中扩散系数均很小,使 Na^+ 不易穿过它。但生长和光刻 Si_3N_4 的

工艺都比较复杂。

§5-2 MOS集成电路的特点

我们已经学过用双极型晶体管作为基本元件制成双极型数字电路。由于MOS场效应晶体管的出现,它具有功耗低、电路简单、制造容易等一系列的优点,很快就为集成电路开辟了新的广阔天地。在各种低、中速逻辑集成电路中,尤其是在集成度高的大规模集成电路中,MOS场效应集成电路得到迅速的发展。

由于MOS晶体管有P型沟道和N型沟道两种类型,所以可以组成几种不同类型的MOS集成电路。全部由P沟道增强型MOS晶体管组成的是P-MOS集成电路,这种电路设计简单,制造容易,但是开关速度比较低。利用N沟道增强型MOS晶体管组成的N-MOS集成电路工艺较复杂,但是开关速度较高。

还可以在电路中同时包括N型沟道和P型沟道两种管子,这种电路称为互补型MOS电路,简称为C-MOS电路。这种电路虽然工艺较复杂,但其突出的优点是功耗极低和开关速度高。

近年来又以耗尽型MOS管和增强型MOS管来组成MOS电路,称为E/D MOS集成电路。E/DMOS电路具有较高的开关速度和较高的抗干扰能力。

在学习具体MOS电路之前,我们先来介绍MOS集成电路的一些特点。

(1) 采用单一形式的器件——MOS管组成MOS集成电路。在双极型数字集成电路和模拟集成电路中除了采用双极型晶体管外,还大量采用扩散电阻,甚至电容等组成电路,而MOS集成电路在电路形式上只采用MOS管,而很少采用扩散电阻。电路中的电阻一律采用MOS管来代替,这样不仅电路形式简单而且MOS管占用硅片面积很小,使得MOS集成电路便于向高集成度方向发展。

(2) 在单沟MOS集成电路中,各器件之间不需要隔离,形成“天然”隔离,从而省去隔离区所占用的硅片面积,有利于提高集成度。

为了在同一衬底硅片上,制造出集成电路,除了需要各器件按一定方式连成电路外,同时还要保证各器件之间相互的电隔离。在双极型集成电路中,是采用专门的工艺措施来达到隔离的目的——PN结隔离或者是介质隔离。而单一沟道的MOS集成电路本身不需要特殊的隔离工艺,就可以达到隔离的目的。例如,P型沟道MOS集成电路,其中包括若干尺寸不同的P沟道增强型MOS管。在P型沟道增强型MOS管里,源扩散区和漏扩散区由于导电沟道而相互连通,但是它们与衬底之间却隔着一层不导电的耗尽区,所以每只管子与衬底之间都是绝缘的。如果在同一硅片上作很多这种增强型MOS管,那末它们之间自然地隔离开了,这就形成了“自然隔离”。在P-MOS集成电路中,衬底和整个电路中电位最高相连,就能保证各管子与衬底之间良好的绝缘。在N-MOS集成电路中衬底和整个电路中电位最低点相连就能起到隔离作用。

(3) MOS集成电路具有低的功耗,MOS场效应晶体管具有很高的输入阻抗。用MOS管组成的集成电路具有低的功耗,通常比同功能的双极型电路的功耗低1~2数量级,特别是C-MOS集成电路的功耗更低,成为微功耗的集成电路。这样电路本身的发热很低,这也是MOS集成电路可以迅速向大规模方向发展的有利因素。表5-1列出了各种逻辑门电路的典

型功耗的水平。

MOS集成电路在低功耗方面占有优势，但在开关速度方面MOS集成电路则存在着劣势。单沟道的MOS集成电路的开关速度比双极型集成电路的开关速度要低1~2数量级。例如，一般双极型（TTL）门电路的平均时延在数十ns。而P-MOS门电路的平均时延在数百ns。

表 5-1

	MOS 集成电路			双极型集成电路		
	C-MOS	P-MOS (动态)	P-MOS (静态)	DTL	TTL	FCL
功耗/门	1 μ W	50 μ W	0.5mW	4 mW	15mW	25 mW

(4) 在MOS集成电路中连线交叉的问题容易得到解决。在一般集成电路里，主要是用铅层作为电路内元器件之间的连线。当电路形式复杂，集成度提高时，连线之间的相互交叉的矛盾就很难解决，尽管可以采用多层布线，但要增加很多工艺。在MOS集成电路中整个硅片上都覆盖着氧化层，氧化层上面可以用铅层作连线，在氧化层下面，在作MOS管源漏扩散区的同时，可以作成各种形状的扩散区作为连接线。这样上下两层既彼此绝缘，又可以互相交叉。这就好象在一座大城市里，除了地面上的大小街道以外，还有地下铁道在地下相通。上下两层交通线路互相交叉，互不干扰。在适当的部位的氧化层上开出引线孔，就可以实现上下两层之间的连接。这种连线尽管有一定的扩散电阻，但由于MOS器件的输入阻抗很高，这点连线电阻的影响完全可以忽略不计了。

在MOS集成电路里，铝层既作为电路的连线，同时MOS管的栅极也是采用这层铝膜。当铝引线跨过两个扩散区时，在铝引线下面就有可能产生感应的寄生沟道——形成寄生MOS的电隔离性能。在MOS集成电路中，通常把栅极处的氧化层作得薄些，把栅极之外的氧化层作得厚一些，使在正常工作电压下，厚氧化层的寄生MOS管的部位不能形成导电沟道，以保持隔离。正是由于MOS集成电路中容易解决器件互连的交叉问题，也为MOS集成电路向大规模方向发展提供了方便条件。

MOS集成电路除了以上几个特点以外，还可以利用MOS管栅极的电荷存储效应来构成动态逻辑电路。利用MOS管源漏极对称的特点，作为双向开关电路等等。所有这些特点，我们在学习MOS集成电路的过程中逐步掌握和进一步深化。

§5-3 P-MOS反相器

MOS反向器是构成MOS数字集成电路最基本的单元电路，反相器又称倒向器。各种复杂的MOS集成电路，原则上都可以分解为以反相器为基础的各种单元电路。因此我们从倒相器入手来学习MOS集成电路。

P沟道增强型MOS管最容易制造，所以P-MOS集成电路是MOS集成电路中首先发展起来的一个系列。

一、基本工作原理

图5-14是以电阻为负载的P-MOS反相器的电路图。其中P型沟道增强型晶体管的漏极D通

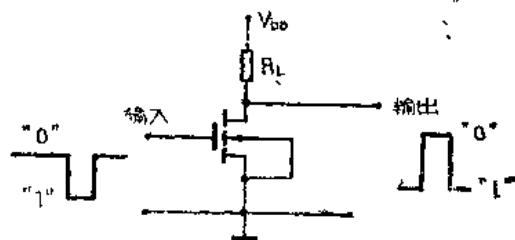


图 5-14 电阻负载的P-MOS反相器

过负载电阻 R_L 与负电源 V_{DD} 相连, 输入信号加在MOS管栅极上, 信号从漏极输出。源极与衬底相连并接地。对P沟道增强型MOS管, 电源电压 V_{DD} 为负值 (设 $V_{DD} = -15V$)。

下面分析P-MOS倒相器的工作原理。当栅极加负偏压 V_{GS} , 且其绝对值大于开启电压 V_T (负值) 的绝对值时, 即 $|V_{GS}| > |V_T|$, P-MOS管呈通导状态。而当 $|V_{GS}| < |V_T|$ 时, P-MOS管截止, 呈现高阻状态。利用已经学过的晶体管电路的知识, 可以在MOS管输出特性曲线上, 作出负载电阻 R_L 的负载线, 如图5-15所示。图中A点, 此时MOS管输入电压绝对值较大 ($V_{GS} = -15V$), 输出电压绝对值小, MOS管工作在输出特性曲线的可调电阻区, 我们称这时MOS输出为“0”状态。图中B点, 此时输入MOS管的电压绝对值较小, 输出电压绝对值大, MOS管工作在输出特性曲线截止区, 称这时输出为“1”状态。显然MOS管输出状态的“0”或“1”是以电压绝对值来规定的, 绝对值大定为“1”电平, 绝对值小定为“0”电平。这与前面学过的以电位高低来定义高电平和低电平的方式刚好相反。在双极型数字电路中以电平低的定为“0”电平, 电平高的定为“1”电平, 采用的是正逻辑。这里采用的是负逻辑——电位低的 (负值大的) 为“1”电平, 电位高的 (负值小的) 为“0”电平。

由图5-15中看出, 当输入信号由“0”变为“1”时, MOS管状态由B变为A, 输出信号则由“1”变为“0”。可见电路具有倒相功能。MOS管在B状态时是截止的, 流过管子的漏源电流只有反向漏电流 I_{DSS} , 数值很小, 因此“1”电平接近电源电压。在A状态MOS管工作在可调电阻区, “0”电平的大小取决于MOS管的通导电阻和负载电阻 R_L 的大小。显然, MOS管的导通电阻愈小, 负载电阻 R_L 愈大, 则“0”电平愈接近于地电位 (即零电平), 则输出幅度愈接近于电源电压之值。欲要得到高的输出信号幅度, 就要力图减小导通电阻, 增加负载电阻的数值。但是减小导通电阻就要增加管子的宽长比 (W/L), 这是有一定限度的, 增加负载电阻倒是很方便的。当然不能采用扩散电阻来制造 R_L , 采用MOS管作为电阻可以大大改善MOS倒相器的性能。

二、用MOS管作为负载

对于P沟道增强型MOS管, 其阈值电压 (开启电压 V_T) 为负值, 漏源之间加电压 V_{DS} 也为负值, 当 V_{DS} 低于 $V_{GS} - V_T$ 时, MOS管就进入饱和状态, 将MOS管栅漏极接在一起时, $V_{DS} = V_{GS}$ 始终满足 $V_{DS} < V_{GS} - V_T$ 的条件, 即它总工作在饱和区。在MOS管输出特性曲线族上, 将 $V_{DS} = V_{GS}$ 的各点, 用曲线连接起来, 就得到不同 V_{DS} 电压下的电流特性曲线 (参见图5-16), 显然, 这条曲线, 因为这时用 V_{DS} 取代 V_{GS} 之值了 ($V_{DS} = V_{GS}$)。

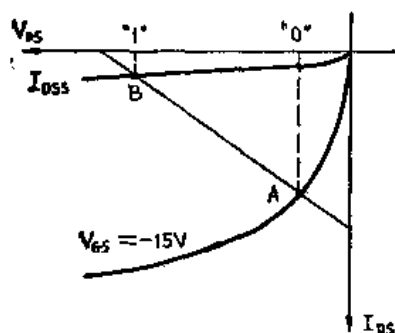


图 5-15 电阻负载特性曲线

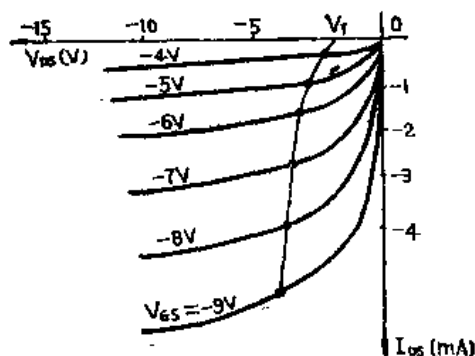


图 5-16 用MOS管作负载的特性曲线

从这条曲线来看,它和电阻的伏安特性曲线不同。电阻的伏安特性是通过座标原点的一条直线。MOS管作为电阻的伏安曲线从开启电压 V_T 开始,在漏源电压较小时,即 $|V_{DS}| = |V_{GS}| < |V_T|$ 时,这时MOS管不能导通,管子中电流很小,只有PN结的反向漏电流。当漏源电压比较大时,即 $|V_{DS}| \approx |V_{GS}| > |V_T|$ 时,有一定电流流过管子,但管子中的电流和电压不完全成正比,管子电压越大,其等效电阻数值越小,这种电压和电流的关系可以用下式表示:

$$I_{DS} = k(V_{DS} - V_T)^2$$

式中 k ——由管子结构材料所决定的常数,即

$$k = \frac{\mu_p \epsilon_i \epsilon_0}{2d} \cdot \frac{W}{L}$$

式中 μ_p ——P型反型层中的空穴迁移率;

ϵ_0 ——真空介电常数;

ϵ_i ——二氧化硅的相对介电常数;

d ——栅氧化层厚度;

W/L ——管子的宽长比。

从曲线及关系式均可看出,栅源共接的MOS管的伏安特性不是线性关系,但这种非线性关系用于数字电路中并不影响电路正常工作。选取较小的宽长比的MOS管作为负载电阻,可以得到高阻值而占用硅片面积很小的等效电阻。

三、用MOS管作负载电阻的倒相器

在MOS集成电路中,用栅极与漏极连在一起的晶体管来代替负载电阻,如图5-17所示。图中 T_1 称为驱动管(或称工作管), T_2 称为负载管。

要使这个电路能起倒相器的作用,就要求在 T_1 导通时使输出电压接近于零,即要求 T_1 导通时的电阻应该比 T_2 的电阻小得多。这种要求并不难得到满足,在MOS管中可以选取宽长比较大的管子作为驱动管,选取宽长比小的管子作为负载管。实际电路版图设计的情况正是这样。

图5-18是采用MOS饱和管为负载的倒相器的特性曲线。图中实线所画的曲线是驱动管

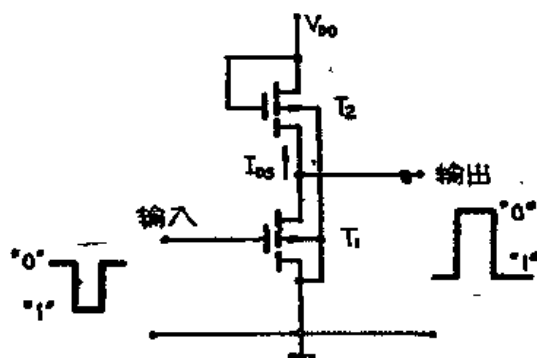


图 5-17 以MOS管为负载的倒相器

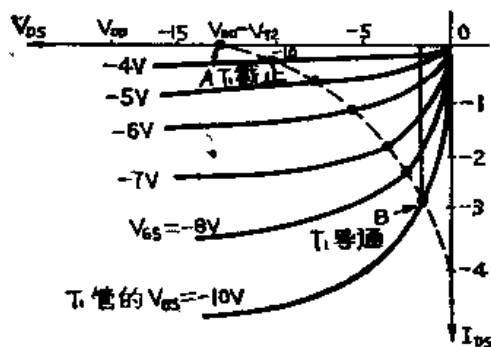


图 5-18 饱和负载倒相器的特性

T_1 的特性曲线,每条曲线代表不同的 V_{GS} 值,也就是代表了不同的输入电压值。在图中同时用虚线画出了负载管 T_2 的特性曲线,也就是一个高阻值“电阻”的特性曲线。图中 T_2 的特性曲线正好和图5-17中曲线相反,这是因为加在 T_2 两端的电压是电源电压减去 T_1 两端的电压

(即 $V_{DD}-V_{DS}$)，所以 T_2 两端的电压坐标轴和 V_{DS} 坐标轴正好相反。当 $V_{DS}=V_{DD}$ 时，加在 T_2 两端的电压为零。所以 T_2 两端的电压坐标轴是以 V_{DD} 为原点；流过 T_2 和 T_1 的电流相同，所以两支管子的电流坐标轴是共同的。

当输入为“0”电平时， T_1 的 V_{GS} 近似等于零， T_1 处于截止态， I_{DS} 近似为零。这时 T_1 的特性曲线就是一根与电压坐标轴重合的水平线，它与 T_2 的特性曲线的交点就是图5-18中的A点，A点的横坐标就是 T_1 的漏源电压，也就是反相器的输出电压，即 $V_{DD}-V_{T2}$ 。 V_{T2} 是 T_2 管的开启电压。

当输入“1”电平时，输入端加上了较大的负电压（ $|V_{GS}| > |V_{T1}|$ ），由于 T_1 导通，有较大的电流 I_{DS} 流过 T_1 和 T_2 。假设输入电压为 -10V ，这时 T_1 的特性曲线（图中对应 $V_{GS}=-10\text{V}$ 的一根）和 T_2 特性曲线相交于B点。由B点的横坐标可以看出，反相器的输出电压很小。

当反相器的输入电压（也就是 T_1 管的栅源电压）变化时，流过 T_1 、 T_2 管的电流 I_{DS} 发生变化。对于一定的输入电压，可以从 T_1 和 T_2 特性曲线交点的横坐标求出对应的输出电压。P-MOS反相器的输出电压与输入电压之间的关系，可用图5-19所示的曲线表示。横坐标代表输入电压，纵坐标代表输出电压。当负的输入电压小于 T_1 的开启电压 V_{T1} 时（ $|V_{GS}| < |V_{T1}|$ ）， T_1 开始导电，输出电压开始由 $V_{DD}-V_{T2}$ 值逐渐变大（绝对值变小）；当输入电压很负时，输出电压接近于零。对应为“0”电平。

对于集成电路中的反相器， T_1 和 T_2 两只管子的开启电压 V_{T1} 和 V_{T2} 是不相同的。 T_1 和 T_2 两个管子作在同一块衬底片子上，而衬底是和电路中电势最高的一点相连，也就是与地相连。对于 T_1 而言，它的源极接地，所以衬底对源极的电压为零。而对 T_2 来说，它的源极对地电压是负的，这样衬底对源极就加上了正电压。因此 T_2 管的开启电压 $|V_{T2}|$ 的数值要比 T_1 管的开启电压 $|V_{T1}|$ 的数值来得大，即 $|V_{T2}| > |V_{T1}|$ 。在上述MOS反相器中 T_2 管工作在饱和区，这种反相器又称为饱和负载反相器。

四、负载管对反相器特性的影响

前面讲到，要制作一个反相器，驱动管 T_1 的宽长比（ W/L ）应该大些，而负载管 T_2 的宽长比（ W/L ）应该小些。MOS管的宽长比（ W/L ）直接影响到MOS管导通电阻的大小。下面分析负载电阻的大小对反相器特性的影响。

图5-20画出了两个不同宽长比的负载管的特性曲线，图5-21画出了两个不同宽长比的输入输出特性曲线。在这两个反相器中， T_1 管的宽长比较小的情况下，相应其负载电阻较大，这时只要输入电压比 T_1 的开启电压 V_{T1} 稍微负一点， T_1 管导通时的电阻就会比负载管 T_2 的电

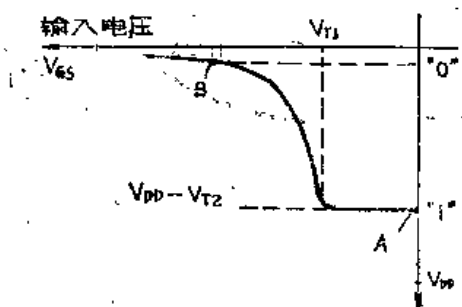


图 5-19 反相器的输入输出电压特性

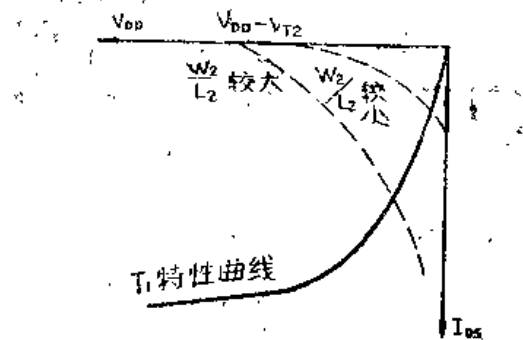


图 5-20 不同负载管对反相器特性的影响

阻小得多，输出电压的绝对值就变得很小。

由此可以看出， T_2 的 W/L 较小时，输入电压的很小变化量，就会产生输出电压的较大变化，即表现为输入对输出具有较强的控制能力。同时，负载电阻的增大对减小反相器的功耗也是有利的，这是因为 T_1 导通时的源漏电流变小了。

在 T_2 的宽长比取得较大时，负载电阻变小，输出电压的“0”电平向负方向变化（绝对值变大），使反相器输出逻辑电平摆幅（“0”与“1”电平之间距）变大，在线路上会带来不良的影响。所以为得到较大的逻辑电压摆幅，负载管 T_2 的 W/L 之比必须选得较小。但也不是越小越好，因为负载管 W/L 越小，输出“0”电平的绝对值越小。负载管的 W/L 较大时的另外一个缺点是降低了反相器的抗干扰能力。为了说明这一点，我们重画出反相器的输入输出电压曲线，并标明各电平的典型数值，如图5-22所示。

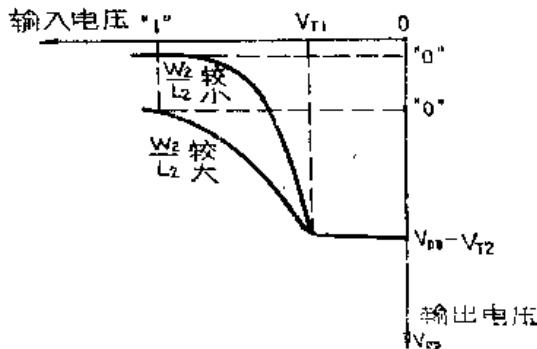


图 5-21 不同负载的转移特性

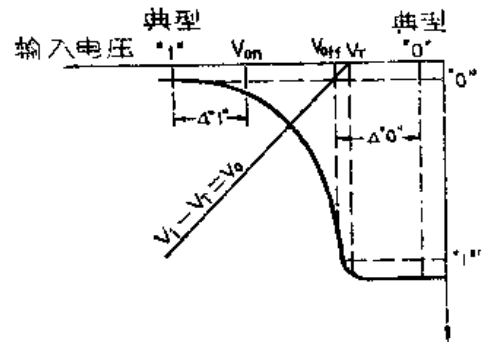


图 5-22 反相器的抗干扰能力

当输入电压 V_i 是“1”电平典型值时，输出电压是“0”电平（它近似为0），当有干扰信号迭加在输入信号上时，输入电压的“0”电平变低（绝对值变大），只要输入电压的“1”电平不超过一定的极限值（ V_{on} 开门电平），输出电压的“0”电平就不会显著变低。输入电压“1”电平的典型值与极限值之差，称为“1”电平的抗干扰电压容限（又称为“1”电平噪声容限 ΔV_1 ）。显然反相器输入“1”电平时，外来干扰电平上不超过“1”电平噪声容限时，输出仍保持正确的逻辑关系——“0”电平。

同样，当输入电压是“0”电平典型值时，输出电压为“1”电平。在有干扰信号存在时，输入“0”电平可能比典型值低（绝对值大）。只要输入电压“0”电平不超过一定的极限值（ V_{off} 关门电平）时，输出电压的“1”电平的绝对值就不会变小。输入电压“0”电平典型值与极值之差称为“0”电平的抗干扰电压容限 ΔV_0 （又称“0”电平噪声容限）。显然反相器输入“0”电平时，外来干扰电平不超过“0”电平噪声容限时，输出仍能保持正确的逻辑关系——“1”电平。

通过以上分析得知，为了使反相器有较强的抗干扰能力，要有 $(\frac{W_2/L_2}{W_1/L_1})$ 的比值应小些，以使转换特性的过渡区更陡一些。也就是要求负载管的开启电压既不能太小，也不能太高，否则使开门电平增加，而降低了“1”抗干扰电平。通常 $3V \leq |V_{T1}| \leq 5V$ 。

但是，也不是负载管的 W_2/L_2 选得愈小愈好， W_2/L_2 太小会降低反相器的开关速度。

五、反相器的开关速度

理想的反相器在输入端加入方波脉冲电压时，输出端应该立即得到一个相位相反的方波，如图5-4，但实际上输出波形如图5-23所示。显然输出波形的边沿变坏了，我们引用上

升时间 t_r （或称开启时间）和下降时间 t_f （或称关闭时间）来表示反相器开关速度的快慢。

上升时间 t_r 是指输出电平由90%“1”电平上升到10%“0”电平的时间。下降时间 t_f 是指输出电平由10%“0”电平下降到90%“1”电平的时间。

为什么反相器的输出波形会变坏？上升时间 t_r 、下降时间 t_f 和哪些因素有关呢？下面来进行分析。

我们知道，MOS管各电极之间都存在一定的电容，例如，栅极电容、漏极与衬底之间反向偏置的PN结电容以及电路中金属引线与衬底之间分布电容等，MOS电路在和下一级电路连接时，下一级的输入电容也会对电路输出产生影响，所有这些都以接在反相器输出端的电容 C 来表示。图5-24画出了反相器的电容影响，电容 C 即包括本级电容，也包括下一级电

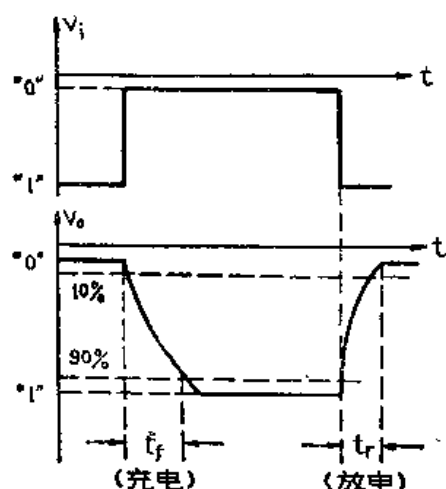


图 5-23 反相器的开关特性

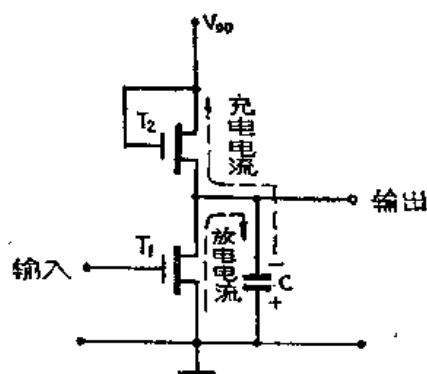


图 5-24 反相器的充放电过程

路的输入电容。

当驱动管 T_1 导通时，反相器输出电压很低（近似为0），这时电容 C 上无储存电荷。当输入电压 V_i 由“1”电平跳到“0”电平时，驱动管 T_1 由导通要变为截止，在理想情况下输出电压应立即由“0”电平跳变到“1”电平（向负电压方向变），但由于电容 C 的存在，输出电压由零变为负值，必然伴随着向电容 C 充电，充电电流的途径是由地经电容向 V_{DC} （如图5-24所示），电容充电需要一段充电时间，所以输出电压也需要经过一段时间才能由“0”电平变成“1”电平（也就是由零逐渐变成负值）。

当驱动管 T_1 截止后，电容 C 上储存了一定的电荷，当输入电压由“0”电平变回到“1”电平时， T_1 管由截止变为导通。由于电容 C 的存在，电压不能突变，电容上的电荷要通过驱动管进行泄动，电容器放电需要的时间就是输出电平由“1”变为“0”的时间。

大家知道，电容器充电和放电的时间大小是由两个因素所决定的，一个是电容量 C ，另一个是充放电回路里的电阻 R ，也就是和电容电阻乘积（ $R \cdot C$ ）成正比。

反相器中 T_1 从导通变为截止后，电容器通过负载管 T_2 充电，由于 T_2 的 W_2/L_2 较小，电阻较大，所以反相器关闭时间（下降时间 t_f ）比较大。 T_1 从截止变为导通后，电容器通过驱动管 T_1 放电， T_1 管的 W_1/L_1 较大，电阻较小，所以反相器的开启时间（上升时间 t_r ）较小。

MOS管 T_1 从导通变为截止后，输出电压由“0”电平变为“1”电平，输出电压即由近似为0变为 $(V_{DD} - V_{T2})$ ，下降时间 t_f 可用下列近似公式表示：

$$t_f \approx y \frac{C}{k_2 |V_{DD} - V_{T2}|}$$

式中 k_2 ——负载管结构决定的参数。

$$k_2 = \frac{\mu_p \epsilon_i \epsilon_o}{2d} \cdot \frac{W_2}{L_2}$$

由此可见, 关闭时间 t_f 与电容 C 成正比, 电容 C 越大, 充电时间越长; 与负载管的 W_2/L_2 成反比, W_2/L_2 越小, 相当于负载电阻越大, 充电时间越长。典型的关闭时间 t_f 在 $2 \sim 3 \mu s$ 。

由上式还可以看出开关速度与抗干扰能力是相互矛盾的。为了提高抗干扰能力, 就要减小 W_2/L_2 之值, 这样 T_2 的电阻变大了, 增加了开闭时间, 降低了开关速度。因此在设计 MOS 集成电路时, 要选择折衷方案, 一般取

$$\frac{W_1}{L_1} \approx 10 \frac{W_2}{L_2}$$

这样的反相器的开启时间 t_r 一般比关闭时间 t_f 约小一个数量级。

显然 P-MOS 反相器的开关速度比 TTL 电路的开关速度低得多, 这就限定 MOS 电路只适用于低速的数字系统中。

六、P-MOS 反相器的结构

前面已经讲过 P-MOS 倒相器的基本原理及特性分析, 为了对这一新电路类型有个形象的认识, 图 5-25 画出了典型 P-MOS 倒相器的版图排列样式和 AA' 剖面结构示意图。

当然倒相器的版图排列可以有多种形式, 具体电极尺寸也不一定如图所示, 但它们的基本情况是相似的。版图设计在本篇的最后一章还要介绍。

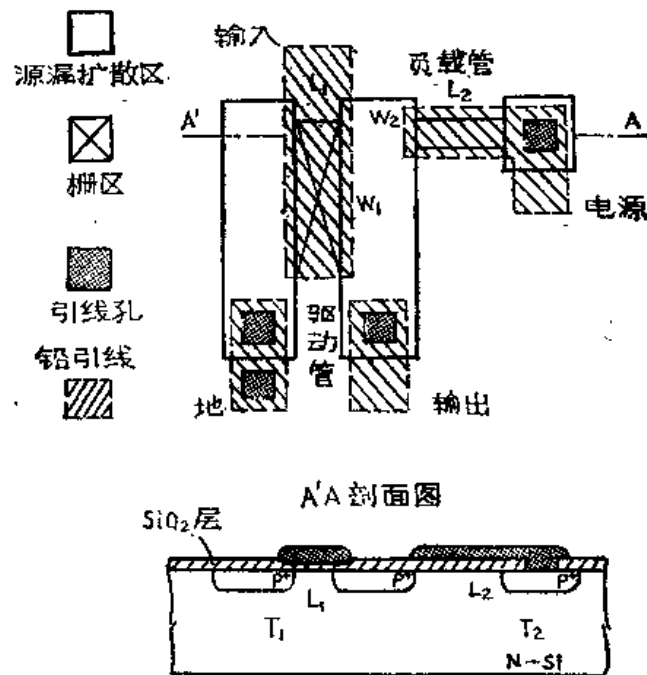


图 5-25 P-MOS 倒相器的版图排列

§5-4 P-MOS 门电路

在学习 MOS 倒相器时讲过, 倒相器是构成各种逻辑电路的基石, 现在具体学习如何用

P-MOS倒相器来组成各种基本逻辑门电路。

一、与非门

图5-26是P-MOS负逻辑二输入端与非门电路，电路形式很简单，由三个P沟增强型MOS管组成。

图中 T_3 管的栅极与漏极相连，作为 T_1 、 T_2 管的饱和型负载电阻。 T_1 、 T_2 是驱动管，它们的沟道宽长比(W/L)选得比较大， T_3 的宽长比选择得比较小。 A 、 B 是与非门的两个输入端， Q 是电路的输出端。下面分析它怎样完成与非的功能。

当 A 和 B 两个输入端中的任何一个为“0”电平时(即对地电压近似为0)，与该输入端相连的MOS管(例如 T_1)就截止。因为电路上 T_1 和 T_3 是串联的，只要有一只管子截止，整个电路就不通了，这时电路就输出负电压($V_{DD} - V_T$)，也就是输出“1”电平。

当 A 和 B 两个输入端全部都“1”电平时(即加上大于 T_1 、 T_2 开启电压的负电压)， T_1 和 T_2 两支管子全部导通，即具有很小电阻，电路中流过较大的 I_{DS} 电流，这时电源电压将大部分降落在 T_3 管上，因此输出电压接近于0，电路输出为“0”电平。

上述这种逻辑关系可以列出真值表：

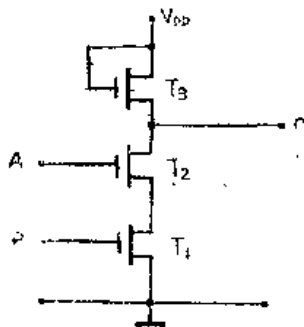


图 5-26 P-MOS与非门

A	B	Q
0	0	1
0	1	1
1	0	1
1	1	0

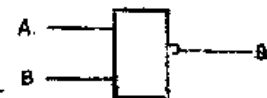


图 5-27 与非门的逻辑符号

这种关系正是与非的功能，也可以用逻辑表达式表示上述逻辑关系：

$$Q = \overline{A \cdot B}$$

图5-27是与非门的逻辑符号。

如果把与非门电路同反相器电路比较的话，不难看出它仅仅是把倒相器中的驱动管置换成了两个串联着的MOS管，这样就构成了两输入端的与非门电路，如果把驱动管用三个、四个或更多个串联的MOS管代替，就可以构成三个、四个或更多输入端的与非门电路。

这种以MOS管串联方式组成的负逻辑与非门电路存在着一些缺点。首先 T_1 、 T_2 管的源极电位不同，而衬底均是接地的，这样 T_1 、 T_2 管的源极与衬底之间的电压不同，因此，两管即使有同样的几何尺寸和相同的制造工艺条件，它们的开启电压和跨导也是不相同的。这就造成与非门中各与输入端的特性不一致。其次，是由于采取串联方式，导通时的通导电阻也是两个串联，如果是三个或更多个串联时，必然带来导通电阻的增加，造成高电平下降。尽管理论上可以采用多个MOS管串联来构成多输入端的与非门。在实际电路上一般最多只采用三个相串联。当电路要求更多输入端的与非门时，将采用其他电路形式去实现。

二、或非门

图5-28是P-MOS负逻辑二输入端或非门电路。其中 T_3 相当于倒相器中的负载管， T_1 、

T_3 并联来完成或功能。 A 、 B 是或非门两个输入端， Q 是电路的输出端。

我们分析这个电路怎样实现或非逻辑功能。当 A 和 B 两输入端都接“0”电平（电压接近于 0）时， T_1 和 T_2 两支 MOS 管均截止，即具有很高的电阻，整个电路不通，这时输出是负电压（ $V_{DD} - V_T$ ），也就是输出“1”电平。

当 A 和 B 两输入端中的任何一个接“1”电平（加上超过 MOS 管开启电压的负电压）时，与该输入端相连的 MOS 管就会导通。因为 T_1 和 T_2 是并联的，所以只要有任一支管子导通，就会有较大的电流流过电路，电源电压大部分降落在负载管 T_3 上，这时电路输出为“0”电平，输出电压近似为 0。

上述电路输入电平和输出电平的关系可列表如下：

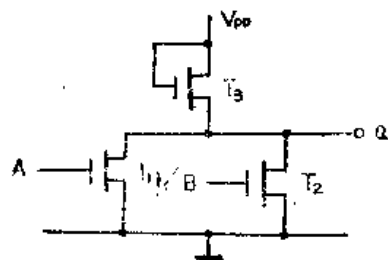


图 5-28 P-MOS 或非门

A	B	Q
0	0	1
0	1	0
1	0	0
1	1	0

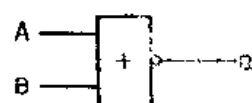


图 5-29 或非门的逻辑符号

从表看出，输入端中只要有一个为“1”，输出就为“0”，这正是或非的逻辑关系，除了用真值表表示外，还可以写出它的逻辑表达式：

$$Q = \overline{A + B}$$

或非门的逻辑符号如图 5-29 所示。

本节在分析与非门和或非门的逻辑功能时，采用得是负逻辑，即把高电位叫做“0”（电压接近于 0），把低电位叫做“1”，但是前述负逻辑或非门电路在采用正逻辑时就成了与非门了。而负逻辑与非门在采用正逻辑时也就变成或非门了。

三、与或非门

利用简单的逻辑门电路，可以组成各种复杂的逻辑电路，组成与或非门就是一例。图 5-30 是 P-MOS 与或非门电路。其中 MOS 管 T_1 、 T_2 串联后再与 T_3 管并联， T_4 是作为负载电阻管。根据前面分析与非门和或非门的原理，我们很容易得到输入和输出的下列关系：

它们的逻辑表达式为：

$$Q = \overline{A \cdot B + C}$$

其逻辑符号如图 5-31 所示。

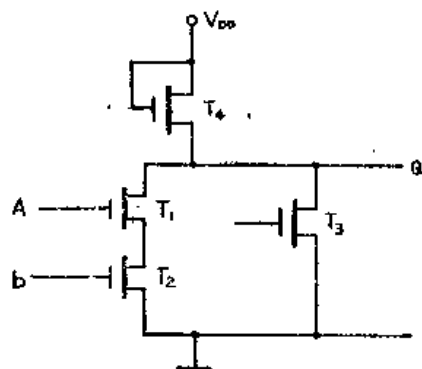


图 5-30 P-MOS 与或非门

A	B	C	Q
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

在下面两种情况下，都可以使输出为高电平（“0”电平），一种是 T_3 导通，另一种情况是 T_1 和 T_2 都导通。为了使这两种情况下的“0”电平相等，就要使 T_1 、 T_2 导通电阻之和等于 T_3 的导通电阻。为此在MOS管的设计上 T_1 、 T_2 、 T_3 的宽长比就不相等，而应该选取 T_1 、 T_2 的宽长比是 T_3 宽长比的两倍，例如选取 $T_1:W_1/L_1=5$ ， $T_2:W_2/L_2=5$ ， $T_3:W_3/L_3=2.5$ ， $T_4:W_4/L_4=0.25$ 。

四、传输门

传输门又叫传送门。P-MOS传输门就是由一个MOS管组成，通常在一个衬底基片上同时创造几个传输门，例如五传输门，就是将五个增强型P-MOS管制作在一个硅片上，其衬底是连在一起的，每个MOS管就是一个传输门，如图5-32所示。

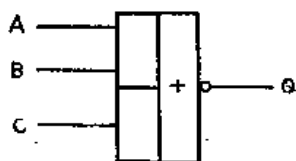


图 5-31 与或非门的逻辑符号

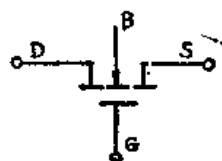


图 5-32 P-MOS传输门

传输门的功能是以漏极为输入端，源极为输出端，当栅极加上负脉冲时，MOS管导通，源漏之间电阻很小，电位接近，信号电压通过MOS管传送到输出端。当栅极为高电平时，MOS管截止，信号不能传输，所以它的作用完全相当于一个受负脉冲控制的单刀单掷开关。各传输门之间是彼此独立的。传输门都具有很小的开态电阻，通常小于 $1k\Omega$ ，具有很高的关态电阻，通常大于 $10M\Omega$ 。

为了保证传输门的良好传输性能，要求MOS管具有较大的跨导和较小的反向漏电流，在设计上，传输门的MOS管的宽长比要取得大些，但 W/L 也不能太大， W/L 太大时，沿沟道宽度方向的漏电流就会增加，同时MOS管的输入电容也要增大，从而影响传输的幅度及传输速度，使传输门的传输特性变坏。

五、异或门

异或门又称半加器或莫2加电路。异或门具有两个输入端A、B和一个输出端Q，其逻辑符号如图5-33所示。

异或门具有这样的逻辑功能，即只有在两个输入端信号相异（不同为“1”，也不同为“0”）的情况下，才有输出。当两输入端相同时，则无输出，也就是具有“相异相加”的逻辑功能。输出和输入间具有下列关系：

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	0

上述逻辑关系的表达式为：

$$Q = \bar{A} \cdot B + A \cdot \bar{B}$$

亦可写成 $Q = A \oplus B$

上述 $\oplus$ 表示异或的意思。

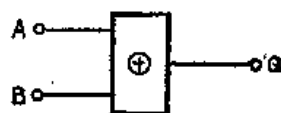


图 5-33 异或门的逻辑符号

根据逻辑关系及表达式，我们可以用简单的门来构成异或门。图5-34(a)是用非、与、或门组成的异或门的逻辑图。可以看出它由与门、或门和非门三者组成。当然异或门的组成不只限于一种逻辑电路形式。用逻辑代数的基本公式，对异或门的逻辑表达式进行变换就可以得到异或门的另一种逻辑表达式。

$$\begin{aligned}
 Q &= \bar{A}B + A\bar{B} \\
 &= \overline{\overline{\bar{A}B + A\bar{B}}} \\
 &= \overline{\overline{\bar{A}B} \cdot \overline{A\bar{B}}} \\
 &= \overline{(\bar{A} + \bar{B}) \cdot B \cdot A \cdot (\bar{A} + \bar{B})} \\
 &= \overline{A \cdot \bar{B} \cdot B \cdot A \cdot \bar{A} \cdot B}
 \end{aligned}$$

上述表达式就是用与非门一种门电路组成异或门的逻辑表达式。图5-34(b)是对应上述表达式的逻辑图。

图5-35是异或门的电路图。现在分析这个电路怎么实现异或门的功能：

当 $A = 0$ 、 $B = 0$ 时，则 T_1 、 T_2 均截止， T_3 、 T_4 管均不能导通， $Q' = 1$ ， T_5 导通，输出 $Q = 0$ 。

当 $A = 1$ 、 $B = 1$ 时，则 T_1 、 T_2 均导通，但是 T_3 、 T_4 仍不能导通， $Q' = 1$ ， T_5 还是导通态，输出 $Q = 0$ 。

当 A 与 B 不同 ($A = 0$ 、 $B = 1$ 或 $A = 1$ 、 $B = 0$) 时， T_1 、 T_2 管总是一只导通一只截止，则 T_3 、 T_4 管也是一只导通一只截止，使 $Q' = 0$ ， T_5 截止，输出 $Q = 1$ 。

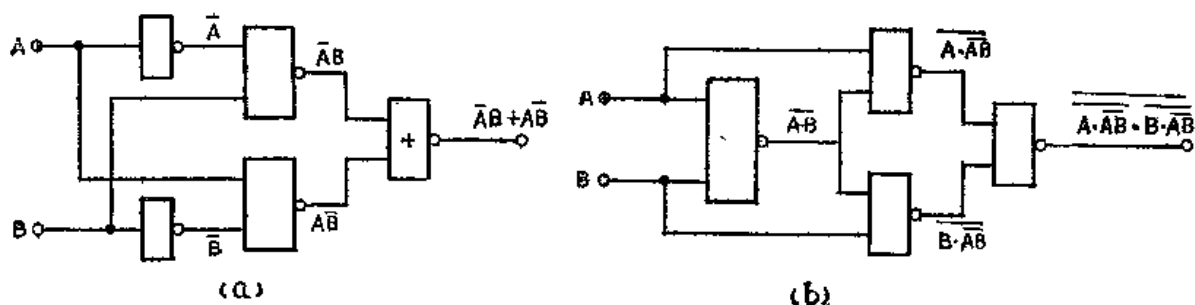


图 5-34 用不同基本门组成的异或门

需要指出，图5-35并不完全“照搬”图5-34逻辑图。它并不是由简单门的机械组合，而是节省了MOS管而达到了相同的逻辑功能。这种巧妙的电路设计在MOS电路中是经常遇到的，这样的电路设计可以使MOS集成电路大为简化，这也是MOS电路中一个很突出的优点。

§5-5 CMOS反相器

互补MOS集成电路简称CMOS集成电路。在CMOS集成电路中有两种类型的MOS晶体管——P沟道和N沟道的增强型MOS晶体管。这种电路突出的优点是：功耗很小和开关速度快，已成为近年来MOS集成电路发展的主流。CMOS集成电路的基本组成部分同样是反相器，所以我们首先学习CMOS倒相器。

一、CMOS反相器的工作原理

采用P沟道增强型MOS管作为负载和N沟道增强型MOS管作为驱动管构成的倒相器称

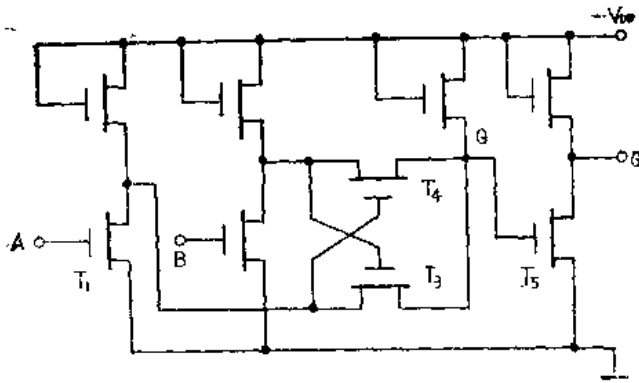


图 5-35 异或门电路图

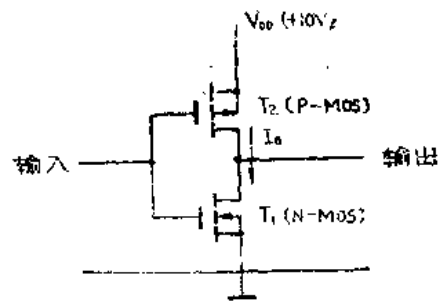


图 5-36 CMOS反相器

为CMOS倒相器。图5-36是CMOS倒相器的电路图。由图中看出，N-MOS管 T_1 和P-MOS管 T_2 的栅极连在一起，成为反相器的输入端，它们的漏极连在一起作为反相器的输出端。它和单沟道反相器不同之处在于，负载管的源极与衬底连在一起，接正电源 V_{DD} ，驱动管的源极与它的衬底连在一起接地。由于CMOS电路中，两种沟道的MOS管是分别制作在不同导电类型的衬底上，所以两管子的源极与各自衬底连在一起是允许的。CMOS集成电路采用正电源电压，为了保证两支管子的正常工作，正电源电压 V_{DD} 应该大于两支管子开启电压的绝对值之和，即 $V_{DD} > |V_{TP}| + V_{TN}$ ，其中 V_{TP} 是P-MOS管开启电压（为负值 $V_{TP} < 0$ ）， V_{TN} 是N-MOS管的开启电压（为正值 $V_{TN} > 0$ ），由于CMOS电路采用正电源电压工作，因此采用正逻辑更方便，下面以正逻辑来分析CMOS倒相器的工作。

当输入端接“0”电平时（输入电压近似于0），这时N-MOS管 T_1 截止，对P-MOS管 T_2 而言，它的栅源之间却有较大的负电压（ $-V_{DD}$ ），因此 T_2 导通。 T_1 截止， T_2 导通，所以流过管子的电流仍很小（近似于0——只有nA数量级电流）。 T_2 导通，其漏源之间压降近似为0，输出电压几乎等于电源电压 V_{DD} ——输出为高电平“1”。在输入电压 $V_i < V_{TN}$ 时，输出一直保持高电平。

当输入电压增加至 $V_i > V_{TN}$ 时，N-MOS管 T_1 开始导电，在电路中开始有较小的电流流过，电流在 T_2 管上开始产生压降，因此输出电压开始下降，当输入电压再继续增大时，输出电压开始急剧下降（参见图5-37所示），在这段输入电压 V_i 很小变化，就会使输出电压 V_o 产生很大变化。这时MOS管 T_1 、 T_2 都工作在饱和区，有较大的电流流过管子。

当输入电压 V_i 再继续增大，使 T_2 管的电阻大于晶体管 T_1 的电阻时，输出电压开始变得较小。这时 T_2 工作在饱和区，而 T_1 工作在非饱和区，流过电路的电流又开始下降了。流过电路的电流和输入电压的关系如图5-38所示。当输入电压接近电源电压 V_{DD} ， $V_i > V_{DD} - |V_{TP}|$ 时，MOS管 T_2 的栅源电压 $V_i - V_{DD} < |V_{TP}|$ ，所以MOS管 T_2 截止，而 T_1 导通。在这时电路中的电流为零， T_1 管上的电压为零，所以输出电压也为零。

参照图5-37和图5-38不难看出，输入低电平“0”时，输出为高电平“1”，输入高电平“1”时，则输出为低电平“0”，正好起到了反相器的作用。CMOS反相器的逻辑符号与P-MOS反相器的逻辑符号相同。

与P-MOS反相器比较，CMOS反相器具有如下几个特点：

（1）CMOS反相器具有极低的功耗。因为不论是高电平还是低电平时，CMOS反相

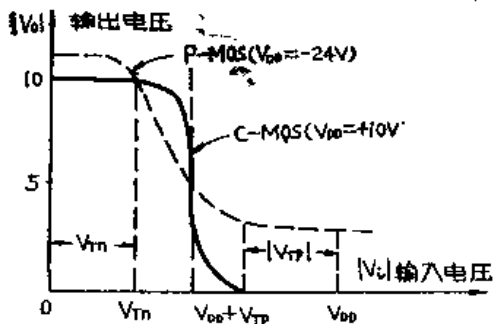


图 5-37 CMOS反相器的转移特性

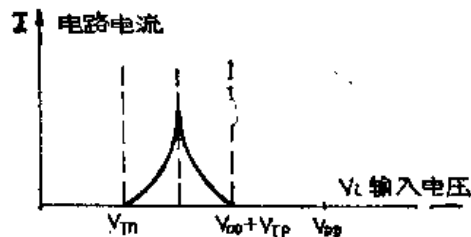


图 5-38 CMOS反相器的电流与输入信号电压的关系

器的两只MOS管中总有一支是处于截止状态，所以稳态时流过反相器电流极小。

(2) CMOS反相器具有很高的逻辑电平摆幅，即输出高电平接近于电源电压 V_{DD} ，输出低电平接近于零。这是因为它不象P-MOS倒相器那样负载管为很大的电阻，在驱动管截止时，输出低电平为负载管和驱动管进行分压，而在CMOS倒相器中 T_1 和 T_2 管是交替导通、截止，所以输出电平的摆幅比P-MOS大得多，且近似等于电源电压。

(3) CMOS反相器具有很高的抗干扰能力。这除了因为它具有很高的输出电平摆幅外，还由于它的转换特性曲线比P-MOS倒相器的转换特性陡得多，使得在相同电源电压的条件下抗干扰能力比P-MOS电路强得多。

二、CMOS反相器的开关速度

在CMOS反相器输入端上加上理想方波信号电压时，它的输出电压信号也会产生象P-MOS反相器那样的输出波形——即方波前后沿变坏的方波波形，如图5-39所示。这同样是由于CMOS反相器的输出端对地总存在一定电容 C （ C 是电路本身的电容、分布电容和后级的输入电容的总和），当输出电压跳变时，要求这个电容进行充电或放电，从而影响反相器的开关时间。

假设开始时输入电压为0（“0”电平），则 T_2 导通（参见图5-40）， T_1 截止，输出电压为 V_{DD} （“1”电平）。这时电容 C 上储存了正电荷。当输入电压由“0”电平变为“1”电平时， T_2 截止， T_1 导通，输出电压应马上由“1”变为“0”，但由于电容 C 的存在，电压不能突变， C 上的电荷要通过导通的MOS管 T_1 进行放电。放电时间为 t_f 。

在输入电压是高电平“1”时，输出电压是低电平“0”，电容上没有储存电荷，输入

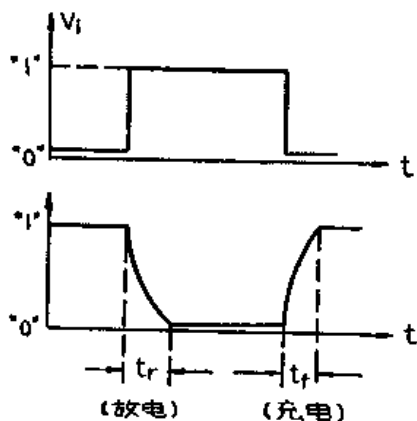


图 5-39 CMOS反相器的输入输出波形

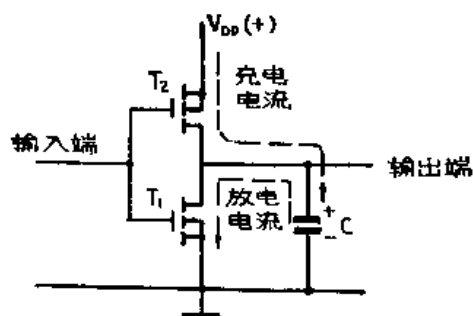


图 5-40 CMOS反相器的充放电回路

电压由“1”跳变为“0”时, T_2 由截止变为导通, 电源电压通过 T_2 向电容 C 充电, 输出由“0”电平逐渐变为“1”电平, 电容充电完毕, 输出电平才达到“1”电平。充电过程有较大充电电流流过 T_2 管。充电时间为 t_1 。

把CMOS倒相器的开关时间和P-MOS倒相器的开关时间比较, 可以发现两者不同之处。对于P-MOS反相器, 负载管的宽长比(W_2/L_2)必须比驱动管的宽长比小得多(一般为1/10左右), 所以负载管导通时电阻很大, 电容 C 的充电时间很长, 所以一般关闭时间 t_1 比开启时间大得多, 有时要差一个数量级。这是阻止P-MOS电路向高开关速度发展的最大障碍。在CMOS集成电路中, 反相器的驱动管和负载管的宽长比可以取得差不多, 从而大大缩短向电容充电的时间, 使得反相器的开闭时间和开启时间相近, 从而大大改善了CMOS电路的开关特性, 使CMOS电路的开关速度大大优越于PMOS电路的开关速度。

三、CMOS反相器的功耗

在分析CMOS反相器的工作原理时已经知道, CMOS反相器具有极低的功耗。在静态条件下几乎没有电流流过电路, 所以CMOS电路的静态功耗在 μW 数量级, 甚至达到 nW 数量级。CMOS反相器消耗功率是发生在反相转换的过程中, 而且这个电流主要是用来对电容 C 的充电或放电。因为这个缘故, 反相器消耗的功率是和反相器动态工作的开关速度有关, 反相器工作的频率越高, 它消耗的动态功率也就越大, 从理论计算可知, 反相器的动态功率 P 为:

$$P = C(V_{DD}) \cdot f^2$$

式中 C ——输出端与地之间的电容;

V_{DD} ——电源电压;

f ——反相器工作的信号频率。

例如, $V_{DD} = +10V$, $C = 10pF$, $f = 1MHz$ 其动态功耗为 $1mW$ 。和P-MOS反相器相比其功耗是低得多了。

四、CMOS反相器的结构

为了对互补MOS电路的结构有一个直观的认识, 图5-41画出了CMOS反相器的结构示意图。图中衬底采用N型硅单晶, 在制作MOS管之前, 先要进行P阱扩散, 以后的N-MOS管就制作在P阱之中, N-MOS管的源漏区进行磷扩散(N^+), P-MOS管的源漏区进行硼扩散(P^+)其后的工艺过程和P-MOS管制造工艺相同。

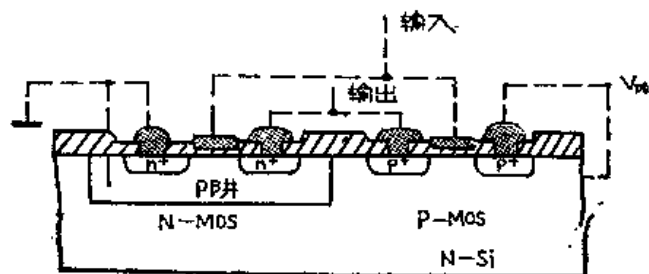


图 5-41 CMOS反相器的结构

§5-6 CMOS门电路

正如P-MOS集成电路一样, CMOS集成电路也由CMOS反相器为基本电路所组成。不

过在CMOS集成电路中我们采用的是正逻辑，在分析电路时要注意和负逻辑相区别。

一、与非门电路

图5-42是具有两个输入端的CMOS与非门电路，其中包括两支N-MOS管和两支P-MOS管。

我们来看图5-42所示的电路，如果完成与非功能，当输入端A、B中有一个接“0”电平（电压为0）时，与该输入端相连的N-MOS管截止，而与该输入端相连的P-MOS管导通。从图中看出，两支N型沟道的管子是串联的，只要其中任何一个截止，输出端与地之间的电阻就非常大；而两个P型沟道的管子是并联的，只要其中一个导通，输出端与正电源 V_{DD} 之间的电阻就很小。所以输入端A和B中只要有一个接“0”电平，输出端就是“1”电平（即高电平）。

只有当输入端A和B两者均为高电阻电平“1”时，两个N型沟道的MOS管才能都导通，两支P型沟道的管子才能都截止，这时输出端Q才表现为低电平“0”。

上述这种逻辑电平关系和P-MOS与非门的真值表完全相同，只不过这里采用的是正逻辑——高电平为“1”，低电平为“0”。逻辑表达式及逻辑符号也和P-MOS与非门相同。

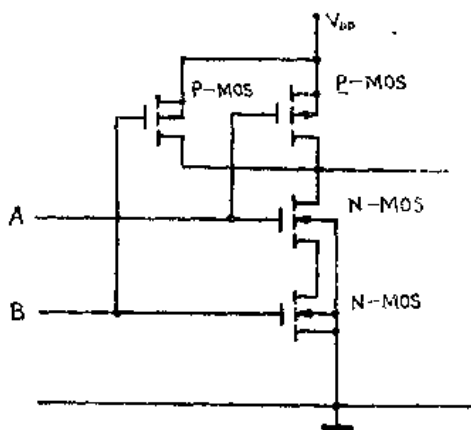


图 5-42 CMOS与非门

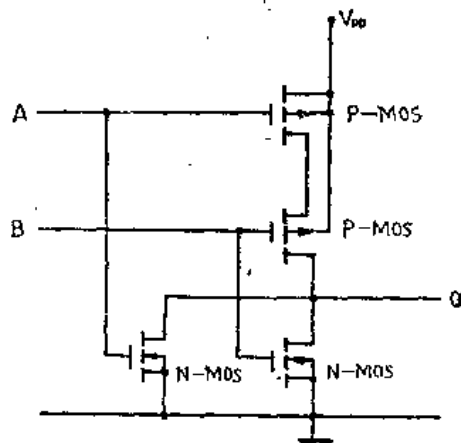


图 5-43 CMOS或非门电路

根据上述电路的道理，如果把更多的N-MOS管串联在一起，同时把更多的P-MOS管串联在一起，组合起来，就可以得到更多输入端的C-MOS与非门电路。

二、或非门电路

用N沟道MOS管和P沟道MOS管也可以方便地构成或非门电路，图5-43是两输入端的或非门电路。其中包括两个P-MOS管和两个CMOS管。它和与非门电路在电路结构上不同之处在于，这里两个N型沟道的管子是并联的，而两个P型沟道的管子是串联的。

当A、B两个输入端都是“0”电平时，两个N型MOS管都截止，同时两个P型MOS管都导通，所以这时输出端Q上是“1”电平（高电位）。当A、B这两个输入端中一个是“1”电平时，则与该输入端相连的N沟道管子导通，而与该输入端相连的P沟道管子截止，这时输出端Q为“0”电平（0电位）。

从上述逻辑关系可以看出，它具有或非的逻辑功能。真值表、逻辑表达式及逻辑符号和P-MOS或非门电路完全相同。不过这里采用的是正逻辑，而P-MOS或非门采用的是负逻辑。

辑。

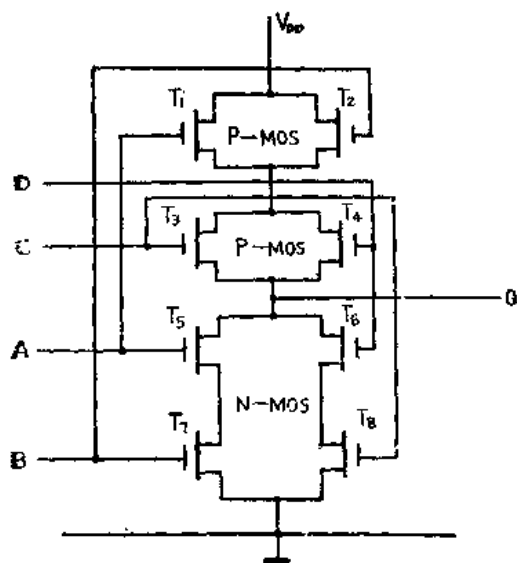
如果按照上述电路格式多用几支P-MOS管串联和多用几支N-MOS管并联，就可以组成更多输入端的或非门。

三、与或非门电路

图5-44是CMOS与或非门电路，它有A、B和C、D两组输入端，Q为输出端。为了画图方便，在图5-44中MOS管的衬底电极没有画出，但衬底电极仍然要和相应电位连接——P-MOS管衬底接正电源 V_{DD} ，N-MOS管衬底接地。在一般CMOS集成电路中通常均不画出衬底电极，只画出栅极、源极和漏极。

在图5-44中，当输入端A、B、C、D均接高电平“1”时，N-MOS管 T_5 、 T_6 、 T_7 、 T_8 均导通， T_1 、 T_2 、 T_3 、 T_4 均截止，输出为“0”电平。当A、B或C、D两组输入端分别有一组都为“1”时，相应N-MOS管（ T_5 、 T_7 或 T_6 、 T_8 ）就有一组导通，和它们相接的P-MOS管就有一组截止（ T_1 、 T_2 或 T_3 、 T_4 ），则输出为“0”电平。当输入端A、B、C、D均为“0”时，则N-MOS管全部截止，P-MOS管完全导通，故输出为“1”电平。

当A、B和C、D不是成组的为“1”时，则 T_5 、 T_7 或 T_6 、 T_8 不能同时导通， T_1 、 T_2 或 T_3 、 T_4 也不能同时截止，故在这些情况下输出均只能为“1”。我们把上述逻辑关系用列真值表的方式列出，就可以一目了然。



A	B	C	D	Q
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

图 5-44 CMOS与或非门

它的逻辑表达式为：

$$Q = \overline{A \cdot B + C \cdot D}$$

与或非门的逻辑关系，实际上可以看成是与门和或非门的组合，如图5-45所示。图5-46是它的逻辑符号。

四、传输门

CMOS传输门是采用一个P沟道MOS和一个N沟道MOS管，按图5-47所示方式连接构成。

为了保证衬底的反向偏置，它们的衬底分别要接电路中的最高电位和最低电位点。对于P-MOS管其衬底接 V_{DD} ，对于N-MOS管衬底接地。

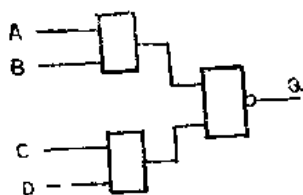


图 5-45 与或非门的逻辑图

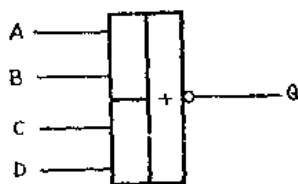


图 5-46 与或非门的逻辑符号

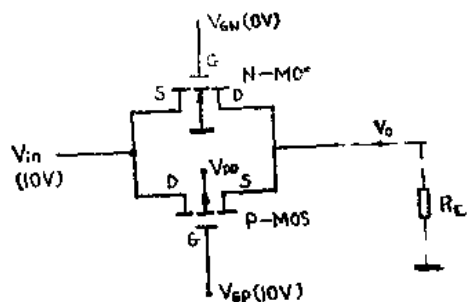


图 5-47 CMOS传输门

电路工作时，当P-MOS管栅极电压 $V_{GP} = V_{DD}$ ，N-MOS管栅极电压 $V_{GN} = 0$ （地电位）时，P沟MOS管和N沟MOS管都截止（不论 V_{in} 电压为 V_{DD} 或接地），相当于开关断开，信号不能从 V_{in} 端传输至 V_o 端。当 $V_{GP} = 0$ ， $V_{GN} = V_{DD}$ 时，P沟MOS管和N沟MOS管均具备了导通条件，它们导通相当于开关接通，这时MOS管电阻很小，使 $V_{in} \approx V_o$ 信号得以传输。当然这种传输信号的最大幅度要小于 V_{DD} 才行，信号电压幅度超过 V_{DD} 时，传输门将不能正常工作。下面用具体数值来看一下传输门的工作情况。假设P沟道MOS管和N沟道MOS管的开启电压相等，为3V，即 $|V_{TP}| = |V_{TN}| = 3V$ ，如果 $V_{GN} = +10V$ ， $V_{GP} = 0V$ ，输出电压起始值为0V。当输出电压上升到7V时，N-MOS管的栅源电压为3V，则它由导通变为截止，但此时P-MOS管的栅极电位为-7V，大于其开启电压，仍处于导通状态，输出电压将会继续上升到接近10V，所以在 $V_{GP} = 0V$ ， $V_{GN} = +10V$ 时，传输门导通能把0~10V的输入电压 V_{in} 全部输送到输出端 V_o 。反之，当 $V_{GP} = 10V$ ， $V_{GN} = 0V$ 时，传输门关闭，输入电压就不能传送到输出端。CMOS传输门具有比P-MOS传输门更良好的传输特性——它更接近于理想的单刀单掷开关特性。图5-48是传输门的符号。

传输门与反相器结合起来就可以组成模拟开关，图5-49是模拟开关的逻辑图。由倒相器供给传输门的控制电压 V_{GP} 及 $\bar{V}_{GP} = V_{GN}$ ，当控制电压为“1”（高电平）时，传输门打开。当控制电压输入为“0”（低电平）时，传输门关闭。在CMOS触发器及A/D，D/A变换中常要采用模拟开关。

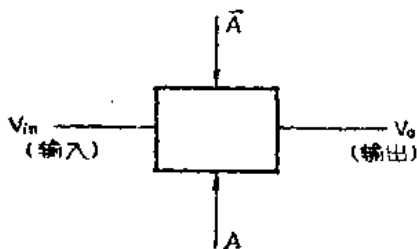


图 5-48 传输门逻辑符号

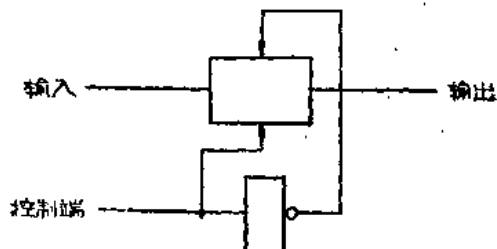


图 5-49 模拟开关

§5-7 其他MOS门电路

CMOS电路具有比P-MOS电路更优越的性能，但是CMOS电路中的N-MOS管要制作在另外扩散的P阱中，这不仅增加了工序，同时占用硅片面积，在一定程度上丧失了MOS电路工艺简单、集成度高的优点。单沟MOS电路工艺是很简单，最大的缺点是开关速度慢

和转抗特性不陡（电平摆幅小，抗干扰能力低）。为此人们对单沟道MOS路进行改进。

一、用耗尽型MOS管作负载管的集成电路

前面讨论的P-MOS电路及CMOS电路，都是采用增强型MOS管（P型沟道和N型沟道）组成集成电路，能不能用增强型和耗尽型MOS管共用组成MOS集成电路呢？答案是肯定的。图5-50就是用增强型管为驱动管，用耗尽型MOS管为负载管的MOS反相器。为简便起见，人们称这类MOS电路为E/D MOS电路。

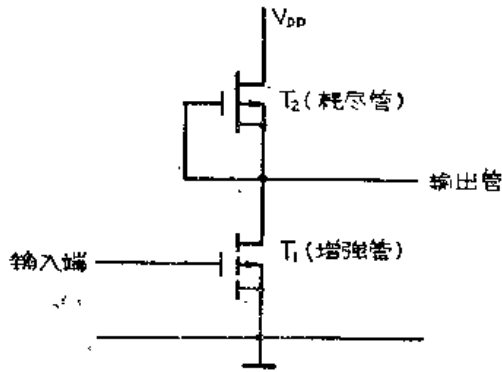


图 5-50 E/D MOS反相器

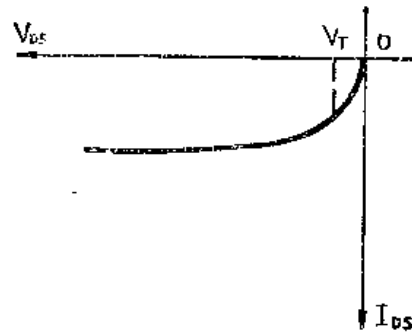


图 5-51 耗尽型共栅源MOS管的伏安特性

图5-50中驱动管 T_1 是增强型P-MOS管，负载管 T_2 是耗尽型P-MOS管。它的栅极和源极相连，即在 $V_{GS} = 0$ 的条件下工作。对于耗尽型P-MOS管，其阈值电压为正值，它的源漏电压为零时流过管子的电流才等于零。图5-51是耗尽时，源漏电流 I_{DS} 将趋于恒定值。

图5-52是E/D MOS反相器的特性曲线，结合特性曲线，我们来分析E/D MOS倒相器的工作原理。

当输入电压 V_i 为高电平 V_{OH} 时，倒相器驱动管截止，工作点在图5-52中的B点，输出电压为 V_{OL} （低电平），由于负载管特性曲线在 V_{DS} 电压较大范围内（负载管 V_T 附近）变化急速，所以 V_{OL} 接近于电源电压 V_{DD} （负值）。如果倒相管截止时漏电流为0，则B点将落在 V_{DS} 轴上 V_{DD} 点，输出低电平即为 V_{DD} 。这时的负载管是处在非饱和区。

当输入电压 V_i 为低电平 V_{OL} 时，倒相器驱动管导通，工作在图5-52中A点，输出为高电平 V_{OH} 。由图可见 V_{OH} 接近于0，这时负载管的 V_{DS} 较大，处于饱和区。

为了便于和P沟增强型负载管的P-MOS电路（有时又称E/E MOS电路）比较，也将其负载特性曲线画于图5-52中，当输入为“0”电平时，E/D MOS反相器输出电压近于 V_{DD} ，而E/E MOS反相器的输出电压为 $V_{DD} - V_T$ 。当输入电压由“0”电平变为“1”电

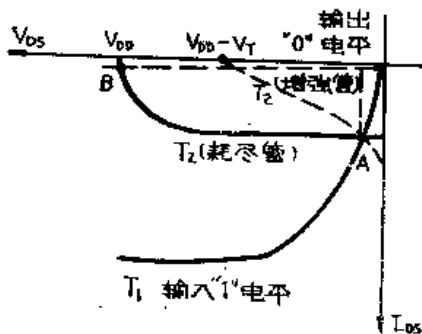


图 5-52 E/D MOS反相器特性曲线

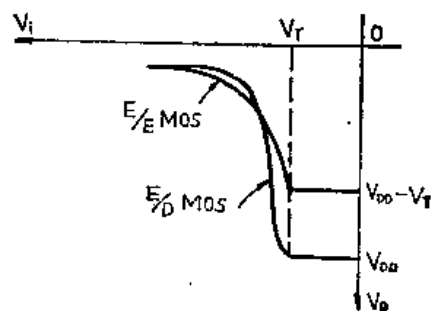


图 5-53 E/D MOS反相器和E/E MOS反相器特性比较

平时, E/D MOS反相器的输出电压只在一个狭小的输入电压范围内才发生急剧变化, 而 E/E MOS反相器的输出电压变化缓慢。由此可见E/D MOS反相器的抗干扰能力要比E/E MOS反相器的抗干扰能力强的多。并且输出“1”电平的绝对值较大。图5-53是两种反相器输出-输入转换特性曲线的比较。从图中看出E/D MOS反相器的转换特性要陡得多。

下面分析E/D MOS反相器的开关时间。在E/E MOS反相器中开关时间(上升时间 t_r 和下降时间 t_f)主要是由电容C通过驱动管的放电时间和通过负载管的充电时间所决定的。由于负载管的宽长比取得较小, 负载电阻较大, 所以充电时间是开关时间的主要部分。在E/D MOS反相器中, 当输入电压由“1”电平(较大负值)变成“0”电平(接近0的较小负值)以后, 驱动管 T_1 截止, 电容C通过负载管对 T_2 充电。对于同样的输出“0”电平, 在输出电压向负方向变化过程中, 通过耗尽型负载管的电流基本不变, 相当于在E/E MOS电路中负载管电阻减小, 因此, 充电时间较短。图5-54是E/E MOS反相器输出电压由“0”变为“1”的下降时间比较曲线, 由曲线看出E/D MOS反相器具有较优良的下降时间特性。

至于上升时间特性E/E MOS和E/D MOS反相器都取决于通过驱动管的放电时间的长短, 对于相同宽长比的驱动管, 放电时间长短是差不多的。

在常规工艺条件下, 制造P沟道耗尽型MOS管是困难的。故在E/D MOS集成电路制造工艺中多采用离子注入技术。关于离子注入工艺将在工艺课中专门介绍。

二、用不饱和MOS管作负载的反相器

既然在单沟道MOS反相器中, 影响开关速度的因素主要是负载管, 有没有办法改变一负载来改善开关特性呢? E/D MOS是一种方法, 采用不饱和型的负载管是另一种方法。

图5-55是用不饱和负载管的反相器。在这个电路中, 负载管的栅极不与漏极相连, 而是接在另一电压 V_{GG} 上。我们让 $|V_{GG}| > |V_{DD}| + |V_{T2}|$, 这样 T_2 就会总处于导通的。这样负载管工作在不饱和区, 即 $(V_{GS} - V_{T2}) < V_{DS} < 0$ 。称这种反相器为不饱和负载反相器。

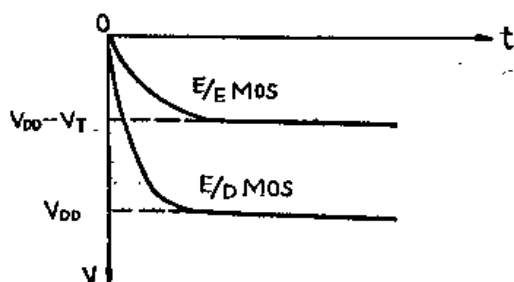


图 5-54 E/D MOS反相器的下降时间

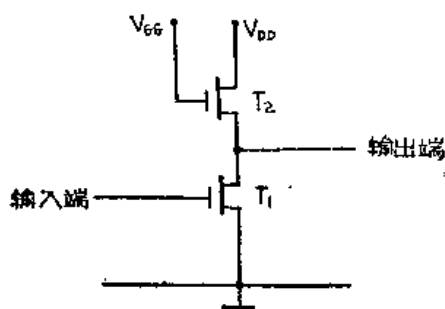


图 5-55 用不饱和负载管的反相器

图5-56是不饱和负载反相器 T_1 和 T_2 的特性曲线。由于MOS管 T_2 总处于导通状态, 所以 T_2 特性曲线的起点坐标是电源电压 V_{DD} , 而不饱和型负载管那样是 $V_{DD} - V_{T2}$ 。

当输入为“0”电平时(负逻辑), T_1 的 V_{GS} 近似为0, T_1 截止, 这时在特性曲线上A点。反相器输出电压 $V_O = V_{DD}$ (而不是过去的 $V_{DD} - V_{T2}$)。

当输入为“1”电平时, 输入端加上了较大的负电压, T_1 导通, 这时在特性曲线上B点, 反相器输出电压 V_O 近似为0。当然在MOS管设计上要使 T_1 管的 W_1/L_1 比 T_2 管的 W_2/L_2 大得多, 才能保证输出电压近似为0。

图5-57是不饱和负载反相器的转移特性曲线。我们把饱和负载反相器的转移特性曲线也同时画在图5-57上。可以看出， T_1 截止时的输出电压由原来的 $V_{DD} - V_{T2}$ 变成了 V_{DD} 。这说明不饱和负载反相器输出电压“1”电平的绝对值大，这也是不饱和负载反相器的一个优点。为了降低“0”电平数值（更接近于0），驱动管的宽长比 W_1/L_1 应取得大些。

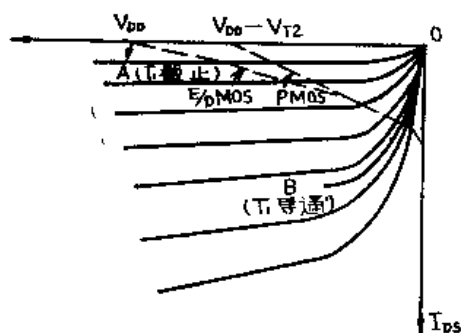


图 5-56 不饱和负载反相器中MOS管的特性曲线

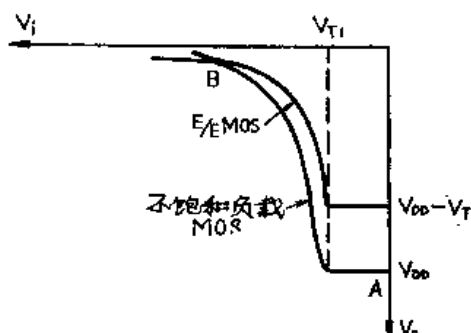


图 5-57 不饱和负载反相器的输出特性

在饱和负载反相器中， T_1 截止后，关闭时间较大，不仅是由于电容 C 通过负载管进行充电，而且在输出电压变负的过程中， T_2 管两端的电压降逐渐变小，电阻逐渐变大，更拖长了充电时间。而在不饱和负载反相中，由于 T_2 一直处于导通状态，当 T_2 管漏源电压变得很小时，它两端的电阻不会变得很大，而是趋近于一个常数，因此可以加快充电的速度，减少了充电时间，提高了开关速度。

不饱和负载反相器开关速度的提高是以加大功耗为代价的，同时还要增加一组负电源。所以应该寻求改善开关速度的新途径。

三、动态MOS反相器

图5-58是一种称为动态反相器的新型电路。它的负载管不是总接高的负直流电压 V_{GG} ，而是只在需要的瞬时与 V_{GG} 接通，也就是在负载管 T_2 的栅极上接一负脉冲电压，使 T_2 处于动态工作。其工作原理如下：

如果输入电压 V_i 为“0”电平时， T_1 截止。当 T_2 导通时，输出端的电容 C 即被充电至 V_{DD} （当然 $|V_{GG}| > |V_{DD}| + |V_{T2}|$ ），当 T_2 截止时，由于 T_1 也是截止的，输出端电容 C 无放电回路，对地仍保持着负电压。实际上输出端至地之间总有一些漏电，在 T_2 截止时输出端上负电压的幅度也会略有减少。但是只要让 T_2 导通的次数较多（即栅极上负脉冲的重复频率较高），输出电压就会保持在一定的数值。图5-59是动态反相器的工作波形图。

如果输入电压 V_i 为“1”电平时， T_1 导通，在动态反相器中，往往使 T_1 导通时间正好是

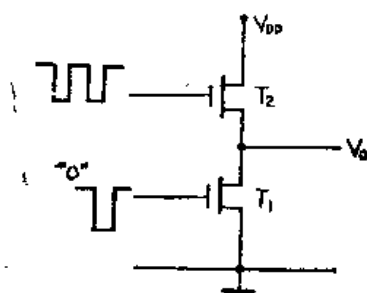


图 5-58 动态MOS反相器

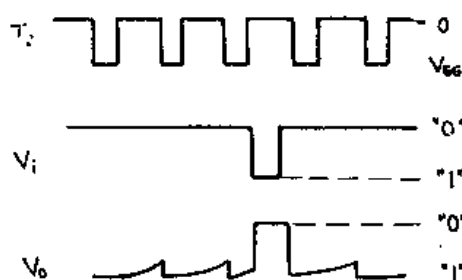


图 5-59 动态反相器的工作波形图

T_2 不导通的时间。这样, T_1 导通时输出电压为0, 直到 T_2 下一次导通, 输出电压才又变为负(参见图5-59)。将图中输入、输出电压波形加以比较, 可以看出输入输出波形反相, 但输出脉冲波形的宽度与输入电压稍有不同。动态反相器工作电路较复杂, 但其优点很多。

如果我们使输入电压负脉冲与 T_2 栅极电压负脉冲不重叠, 也即使 T_1 和 T_2 不在同一时间导通, 输出电压的“1”电平就是 V_{DD} , “0”电平就是0电位, 而与 T_1 和 T_2 的宽长比无关。

另外, 在静态反相器中(饱和负载和非饱和负载型), 开关速度和抗干扰能力是互相矛盾的。如果增加 T_2 的 W_2/L_2 , 可以减少关闭时间, 但降低了抗干扰能力。在动态反相器中, 可以把 W_2/L_2 作得较大, 这时输出电平没有任何影响, 但是却减少了关闭时间, 使得它和开闭时间差不多, 提高了开关速度, 克服了开关速度与抗干扰能力的矛盾。

动态反相器的另一个优点是功耗小。在静态反相器中, 只要 T_1 导通, 就有一定电流流过电路。在动态反相器中, 可以使 T_1 和 T_2 交替导通, 这样在任何时候, 电源与地之间都没有直流通路, 电路的平均功耗可以很小。动态反相器的这些优点在组成大规模集成电路时, 显得更为突出。动态反相器是构成各种动态MOS集成电路的基础。

§5-8 MOS集成电路的输入输出级

一、MOS集成电路的输入级

在MOS集成电路里, MOS管的栅氧化层容易被击穿, 击穿后造成MOS管的损坏, 从而使集成电路失去功能。经验表明, 接在集成电路内部的MOS管一般不容易损坏, 最容易损坏的是那些栅极与外引线连接的MOS管, 即输入级的MOS管。为了防止输入级MOS管的栅击穿, 在MOS集成电路输入级的设计制造上要采用预防措施。防止输入级MOS管的损坏, 最常用的方法是在输入管栅极上作各种“保护管”。这种保护管和集成电路作在同一块硅片上, 成为MOS集成电路不可缺少的一部分。当外引线上感应或积累了过量电荷时, 就可以通过保护管泄放掉, 防止损坏输入级的MOS管, 达到保护集成电路的目的。在MOS集成电路中, 最常用的保护方法有以下几种:

1. 二极管保护

在输入MOS管的栅极上, 制造并联保护二极管, 其结构如图5-60所示。

当外引线上出现正电压时, 保护二极管处于正向偏置, 正电压为保护二极管所短路。当外引线上出现负电压时, 当负电压超过二极管反向耐压时, 二极管将会被击穿。当然二极管反向击穿电压的数值应该小于输入MOS管栅极击穿电压的数值, 二极管才能有效地完成保护作用。同时二极管反压要大于栅极输入工作电压的数值, 才不至影响MOS电路的正常工作。

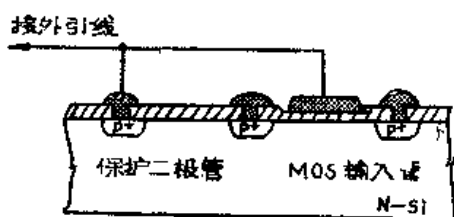


图 5-60 输入二极管保护

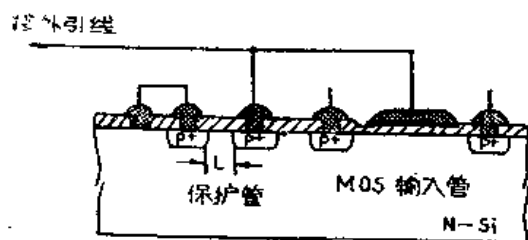


图 5-61 利用穿通进行保护

保护二极管的制作非常方便，在进行源漏扩散时，同时进行扩散，引出电极就可以得到保护二极管了。保护二极管的反向击穿电压主要由衬底材料的电阻率、结深及表面浓度所决定。在较浅的结深度 $\rho_N = 5 \sim 6 \Omega \cdot \text{cm}$ 时，其反向击穿电压在70V左右， $\rho_N = 10 \Omega \cdot \text{cm}$ 时，其反向击穿电压在100V左右。

二极管保护法的击穿电压较高，有时不能很好地起到保护作用。

2. 利用“穿通现象”进行保护

在讲解MOS管的击穿电压时，我们讲过穿通现象。图 5-61 是利用穿通现象进行保护的原理图。

当外引线上出现正电压时，这个正电压也加到与它相连的P⁺扩散区上，因而使P-N结处于正向偏置，从而短路了正向电压。如果在外引线上出现较大负电压时，P⁺扩散区就会向外扩展，造成保护管两扩散区的穿通现象，被保护的MOS的栅极电压就会限定在这个击穿电压上，而不至发生栅击穿。

穿通现象引起的击穿电压取决于衬底材料的电阻率和两P⁺扩散区之间的距离L，对于 $\rho_N = 10 \Omega \cdot \text{cm}$ 的单晶，取 $L = 10 \sim 15 \mu\text{m}$ 时，穿通电压在40~50V，这种保护管制造容易，保护效果也比利用反向二极管的效果好。

3. 利用MOS管进行保护

在上述保护方法中，稍加改动就得到了利用MOS管进行保护的电路，如图5-62所示。

图中用于保护作用的MOS管是一个共栅漏的MOS管，但它的栅氧化层是厚氧化层($d = 10000 \times 10^{-10} \text{m}$ 以上)而不采用一般MOS管的薄栅氧化层($d = 1000 \sim 2000 \times 10^{-10} \text{m}$)，尽管它和用于倒相器中的负载管具有相同的结构，但其开启电压要比薄栅管高得多，它的开启电压在-20V至-50V之间，当外引线上的负电压较高时，保护管将会开启导通，泄放掉这一可能继续积累的电荷，从而保护的输入MOS管在外引线上出现正电压时，保护管是处于正向的PN结，也起到保护作用。

需要指出：不论采用何种保护措施均应以不影响电路正常工作为原则。保护MOS电路的输入阻抗要有所下降，为了确保MOS集成电路可靠安全地工作，付出一定代价是值得的。

二、MOS集成电路的输出级

MOS集成电路的输出级要和外电路相连，或是连接同类型的MOS集成电路，或是连接TTL电路，或是连接其他电路。总之，MOS电路输出级要接一定“负载”，根据负载性质的不同，MOS电路输出级亦有不同的电路形式。

1. “图腾柱”输出级

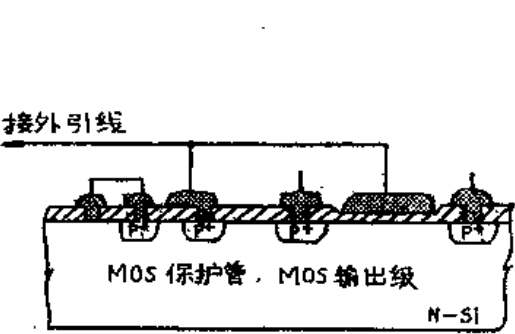


图 5-62 利用MOS管进行保护

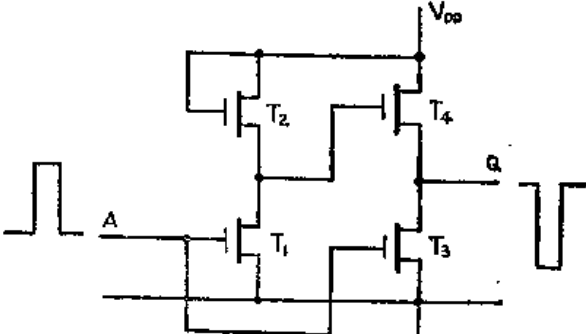


图 5-63 反相图腾柱输出电路

在双极型TTL电路中，为了加大扇出系数，电路的输出级采用了推挽结构电路——图腾柱电路。在MOS集成电路中，电路是靠电压信号进行工作的，似乎带动相同类型电路的数目可以不受限制，其实不然。每一个MOS集成电路输入端对地都有一定的电容，如果后一级是许多个MOS集成电路并联，各个电路的输入电容将成为并联，这一并联大电容就直接影响到电路的开关时间，使得电路充电时间拖得很长，为了保证电路有一定的开关速度，一个电路的负载能力必然受到限制。

为了提高MOS集成电路输出级的负载能力，也就是推动较大电容而不使关闭时间过长的能力。只采用加大负载管宽长比的方法是不够的，因为它还牵涉到电路的其它指标（例如功耗，高电平等）。在单沟道P-MOS电路中，为此设计了图5-63所示的电路结构，称为图腾柱输出级。它由四个MOS管组成。 T_1 和 T_2 组成反相器。 T_3 、 T_4 组成推挽输出，它们的宽长比 W/L 选择得较大。当输入端A是“0”电平时， T_4 导通而 T_3 截止；当输入端A是“1”电平时， T_3 管导通而 T_4 管截止。也就是说在稳定的条件下， T_3 和 T_4 管总有一个是截止的，所以这对管子的静态功耗很小。因此 T_3 和 T_4 管的宽长比可以不受简单反相器电路的限制，我们把 T_3 和 T_4 管的宽长比选择相等，并取得较大。当输出由“0”电平变为“1”电平时，电容C将通过 T_4 进行充电；当输出由“1”电平变为“0”电平时，电容C通过 T_3 进行放电。这将会大大缩短电容的充放电时间，提高了电路的开关速度。 T_3 、 T_4 是在脉冲条件下轮流地进行工作，称为图腾柱输出电路（也有称推挽输出电路），图5-61是反相推挽输出级。如果将 T_3 和 T_4 管栅极的位置调换一下，就可以得到同相推挽输出级，如图5-64所示。其工作原理和反相推挽输出级相同，只是输入信号和输出信号具有相同的相位。

图5-63和图5-64所示电路虽然提高了开关速度，但其输出低电平（“1”）的绝对值有所下降。仍以图5-63说明，当输入端A是“0”（高）电平时， T_1 和 T_2 截止， T_4 栅极电压为 $V_{DD} - V_T$ ， T_4 只有在它的栅源电压的绝对值大于它的开启电压 V_T 绝对值时才能导通，所以输出“1”（低）电平为 $V_{DD} - V_T - V_T = V_{DD} - 2V_T$ 。为了克服这一缺点，在实际电路中可以在 T_4 源漏之间并联一个共栅漏的负载管，如图5-65所示，这个电路的输出“1”电平之值仍可保持为 $V_{DD} - V_T$ 。

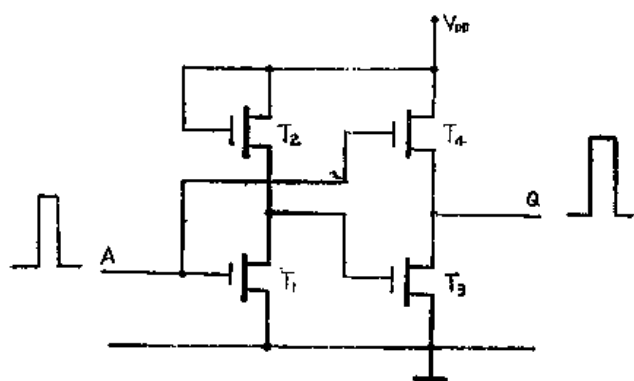


图 5-64 同相图腾柱输出电路

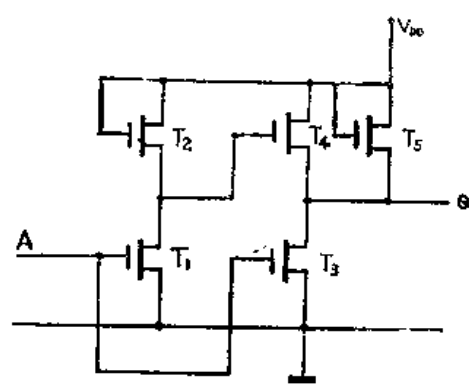


图 5-65 改进的输出电路

上述的同相和反相图腾柱输出级广泛用在各种集成电路的输出级，在保持原电路功能的条件下，增加了电路的负载能力。

2. 推动TTL电路

用MOS集成电路来推动TTL双极型数字集成电路，需要满足如下条件，TTL电路的电

源电压为 $+5\text{V}$ ，输入低电平小于 0.8V ，并有 2mA 左右的输入短路电流从输出端向外流出，输入高电平大于 1.8V 。

如果 P-MOS 集成电路的电源电压 $V_{DD} = -15\text{V}$ ，可以采用图 5-66 所示电路。图中电源接法进行了改动，TTL 电路仍旧接在 $V_{CC} = +5\text{V}$ 的电源上（地电位为 0），负电源接 $V_{DD} = -10\text{V}$ 。这样 MOS 电路输出的“0”（高）电平可以使 TTL 电路导通。MOS 电路输出“1”（低）电平时，TTL 门管 T_1 截止，TTL 电路的输入电流可以通过外接电阻 R 流到负电源 V_{DD} 。为了使输出电压的低电平小于 0.8V ，以保证 TTL 电路的关闭， R 阻值不能太大，一般取几 $\text{k}\Omega$ ，MOS 管的 W/L 应取得较大。

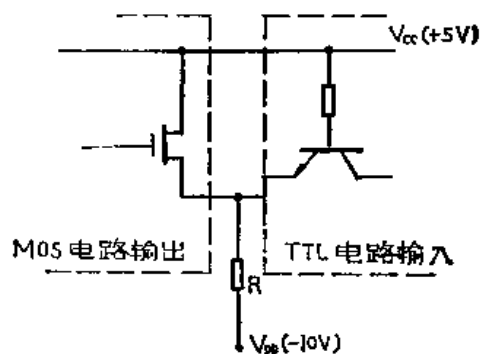


图 5-66 用 MOS 电路推动 TTL 的电路

图 5-64、图 5-65 的推挽输出级，用来推动 TTL 电路时，只要把电源接法照图 5-66 改动一下也就可以了。

第六章 MOS触发器

触发器是在一定的输入条件下,具有两个可能的稳定状态的电路。触发器的计数过程是,当触发器处于某一稳定状态时,它能长期保持这一状态,直至在输入触发信号作用下“翻转”到另一稳定状态为止。然后它又保持这一新状态,直至下一个触发信号到来才进行新的“翻转”。触发器是构成各种时序电路的基础。所谓“时序电路”是指具有一定“记忆”功能的逻辑电路,这种电路的工作状态不仅取决于某一瞬时的输入信号,而且还和电路本身原始状态有关。很显然,各种门电路不具有这种功能,它们的输出状态单一地取决于当时的输入信号,我们称这类电路为“组合电路”。触发器的输出状态要由输入信号和原始状态所决定,它是最基本的时序电路。各种计数器、分频器、寄存器、存储器等都是时序电路,构成它们的基本单元电路就是触发器。

MOS触发器的种类很多,按照工作方式分有静态触发器和动态触发器两类。双极型触发器绝大多数是静态触发器,而在MOS电路中广泛采用动态触发器。

§6-1 P-MOS静态触发器

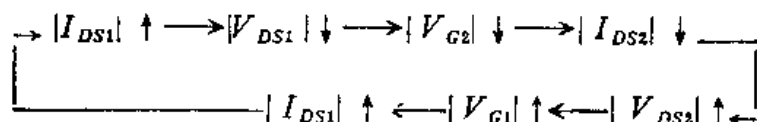
静态触发器以静态反相器为基础(由静态反相器组成),其特点是可以在很低的频率下工作,乃至直流状态,它可以长时间地处于一个稳定状态。由静态触发器构成的逻辑电路叫做静态时序逻辑电路。

一、基本电路

利用两个P-MOS反相器就可以构成最基本的触发器,图6-1是触发器的基本电路。

图中 T_1 和 T_3 是一个反相器, T_2 和 T_4 是一个反相器,其中 T_3 、 T_4 是它们的负载管。每个反相器的输出都和另一反相器输入端相连。 Q 和 $\bar{Q}$ 表示触发器的两个输出端。这个电路具有两个稳定状态:一个稳定状态是 T_1 导通、 T_2 截止,另一个稳定状态是 T_1 截止、 T_2 导通。在不受外界影响的情况下,电路永远处于某一稳定状态。

触发器是一个具有正反馈的对称电路,当电路电源接通后, T_1 和 T_2 管中总有一个管子导电较强,例如 T_1 管导电较强,则在很短暂的时间里就会发生正反馈的连锁反应:



这种短时间的连锁反应导致 T_1 管导通, T_2 管截止,使触发器处于这种稳定状态。如果开始时是 T_2 管导电较强,则会发生相反方向的连锁反应,导致 T_2 导通、 T_1 截止,触发器则处于另一稳定状态。

触发器的这两个稳定状态通常叫做“0”状态和“1”状态,触发器能够把电信号“1”电平或“0”电平长期保持下去,起到存储电信号的作用。这两种状态可以列成下表:

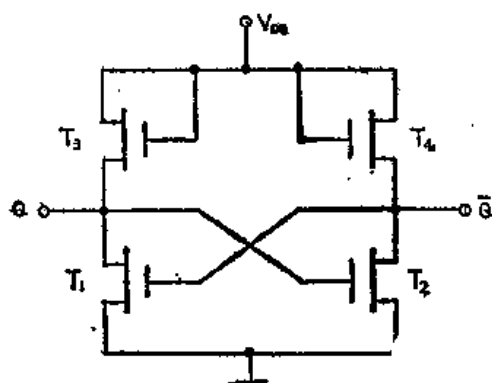


图 6-1 基本触发器

触发器状态	Q	$\bar{Q}$	T_1	T_2
“1”	1	0	截止	导通
“0”	0	1	导通	截止

触发器状态的改变，只有在“外力”作用下才能发生。假设触发器原处于“1”状态—— $Q = 1$ 、 $\bar{Q} = 0$ 。如果用一导线将 Q 与地连一下，则这一“外力”迫使 T_2 截止（因为 T_2 的栅极与 Q 连在一起），触发器变为“0”状态—— $Q = 0$ 、 $\bar{Q} = 1$ ，状态的改变称为触发器“翻转”。在触发器的基本电路中，输出端 Q 和 $\bar{Q}$ 既是输出端，又作为使触发器发生翻转的信号输入端，使用起来很不方便，实际触发器的输出端和信号输入端（控制端）是分开的，以便完成各种更为复杂逻辑功能。

二、R-S触发器

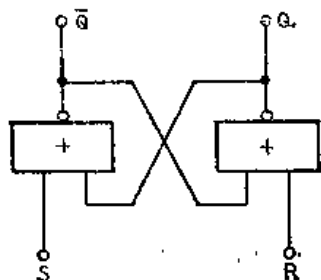


图 6-2 R-S触发器

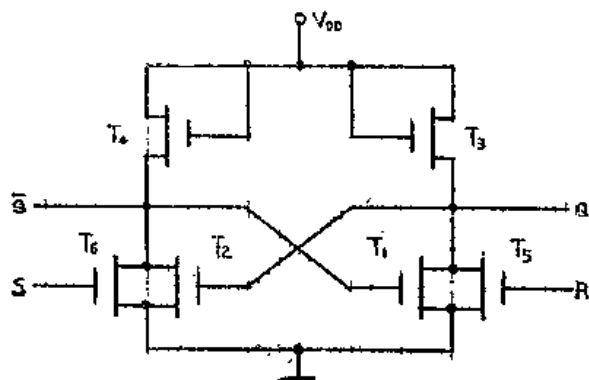


图 6-3 R-S触发器电路

R-S触发器又叫置位-复位触发器，它由两个P-MOS负逻辑或非门交叉连接而成。图6-2是R-S触发器的逻辑图，图6-3是其电路原理图。图中 Q 和 $\bar{Q}$ 仍是输出端，信号输入端为 R 和 S 端。下面分析一下它的工作原理（参见图6-3）。

假设开始时触发器处于“0”状态，即 T_1 导通、 T_2 截止， $Q = 0$ ， $\bar{Q} = 1$ 。为了使触发器翻转——由“0”状态变为“1”状态，只要让输入端 R 保持为0电平，并在输入端 S 接一下负电压就可以了。 S 端加负电压后， T_6 导通，使 $\bar{Q}$ 的电压近似变为0，使 T_1 截止， T_2 的截止使 Q 的电压变为负，反过来使 T_2 导通。当 S 端负电压接过以后，触发器还会保持在“1”状态—— T_1 截止、 T_2 导通。因此输入端 S 称置“1”输入端，又叫置位输入端。

要使触发器由“1”状态恢复到“0”状态，只要使输入端 S 保持0电压，而在输入端 R 上接一下负电压就可以了。因此输入端 R 叫置“0”输入端，又叫复位输入端。

如果R-S触发器的 R 和 S 两输入端都为“0”电平，则 T_6 、 T_5 都截止，触发器保持原来的状态不变。如果 R 、 S 两输入端都加上“1”电平，则 T_6 、 T_5 都导通，输出 Q 和 $\bar{Q}$ 都变成了“0”电平。这不是一个稳定状态，当 R 、 S 端的“1”电平撤消后，触发器仍要恢复

稳定状态,但是这时是“1”状态还是“0”状态不能肯定。因此,在R-S触发器的工作过程中,不能在R、S端上同时加“1”电平(负电压)。我们把上述逻辑关系列成下表:

上述关系也可以用波形图来表示,如图6-4所示。

R	S	Q
0	0	Q _s
0	1	1
1	0	0
1	1	不定

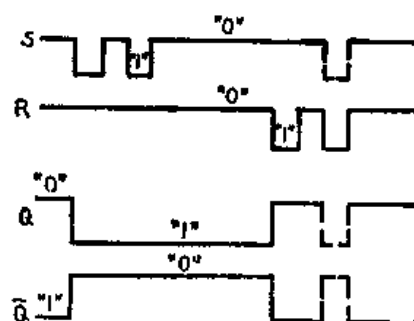


图 6-4 R-S 触发器的波形图

当然,触发器的实际输出波形和输入波形都不可能是理想的矩形脉冲,而有一定的上升时间和传输延迟时间,这些将影响触发器的翻转速度和最高工作频率。

简单的R-S触发器存在着如下两个主要缺点:

(1) 这种触发器在R、S端同时为“1”时其状态不确定,可见它在逻辑功能上不够完善。

(2) 它可以用于寄存信号,但不便于用在计数电路上。

所谓计数,就是每输入一个脉冲信号,触发器就翻转一次。在R-S触发器中,在R端加“1”使触发器为“0”状态后,要让触发器变回“1”状态,还得在S端上加“0”电平才行。这种输入信号倒来倒去很不方便,为此有图6-5所示的R-S触发器。它是在简单R-S触发器基础上改进的时钟R-S触发器。图6-6是它的逻辑图。

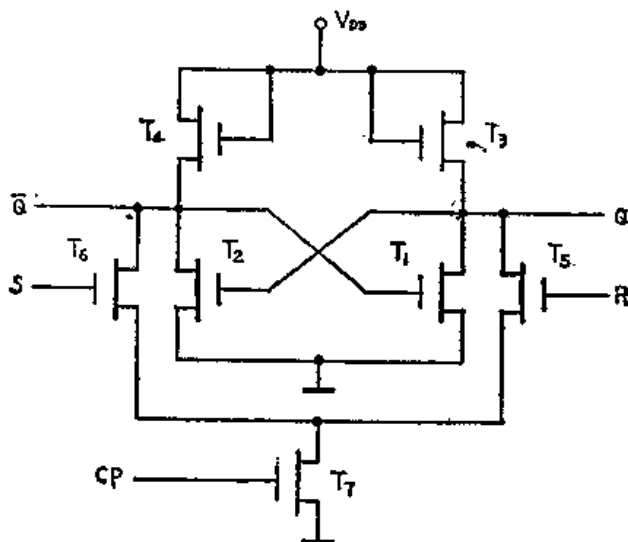


图 6-5 带时钟的R-S触发器电路

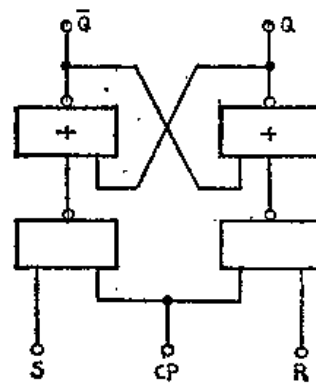


图 6-6 带时钟的R-S触发器

在简单R-S触发器的 T_5 、 T_6 管的源极上串接入MOS管 T_7 , T_7 的栅极作为时钟输入端CP。

当时钟脉冲没有到来时, T_7 截止, 不管R、S两输入端电平是什么, Q、 $\bar{Q}$ 与地之间都是不通的, 触发器会保持原来状态。

当负时钟脉冲到来时, T_7 导通, 根据R、S两输入端上电平的不同, 有下列可能:

(1) $R = 0, S = 1$. 当时钟脉冲到来时 ($CP = 1$), T_6 、 T_7 管导通, 使 $\bar{Q}$ 与地连通, $\bar{Q}$ 端为 “0” 状态, 由于 $R = 0$, Q 端输出为 “1”, 则触发器为 “1” 状态。当 CP 消失后 ($CP = 0$), 触发器保持 “1” 状态不变。

(2) $R = 1, S = 0$, 当时钟脉冲到来时 ($CP = 1$), 触发器变为 “0” 状态, $Q = 0$ 。 T_6 、 T_7 管导通, Q 端为 “0” 状态, $S = 1$, T_6 管不通, $\bar{Q}$ 变为 “1” 状态, 则当时钟脉冲消失后 ($CP = 0$), 触发器保持为 “0” 状态。

(3) $R = 0, S = 0$, 时钟脉冲到来与否 T_6 、 T_7 均截止, 尽管 T_7 可能导通, 但 Q 和 $\bar{Q}$ 都不能和地连接, 因此触发器保持原状态不变。

(4) $R = 1, S = 1$, 时钟脉冲来到后, Q 和 $\bar{Q}$ 都和地连通, 使 T_1 、 T_2 都截止, 时钟脉冲消失后, 触发器的状态不定, 可能是 “1”, 也可能是 “0”。

时钟脉冲控制 R-S 触发器和简单 R-S 触发器具有相同的逻辑关系, 真值表和简单 R-S 触发器的完全一样, 只是多了一个时钟控制端, 图 6-7 是它的工作波形图。但是这种触发器仍然没有克服 $R = S = 1$ 状态不确定的缺点, 还需要进一步改进。

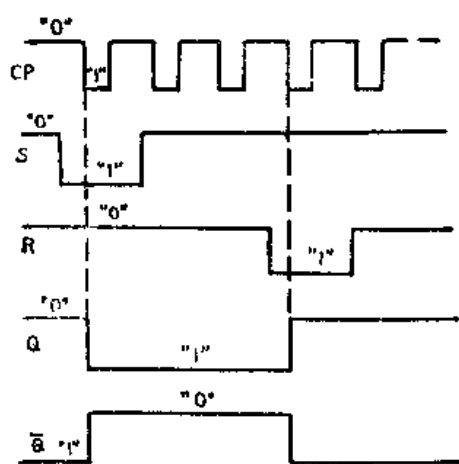


图 6-7 带时钟的 R-S 触发器波形图

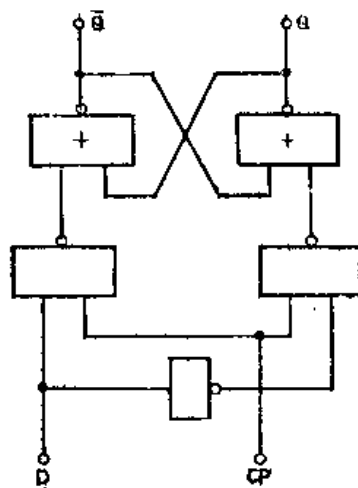


图 6-8 锁定触发器

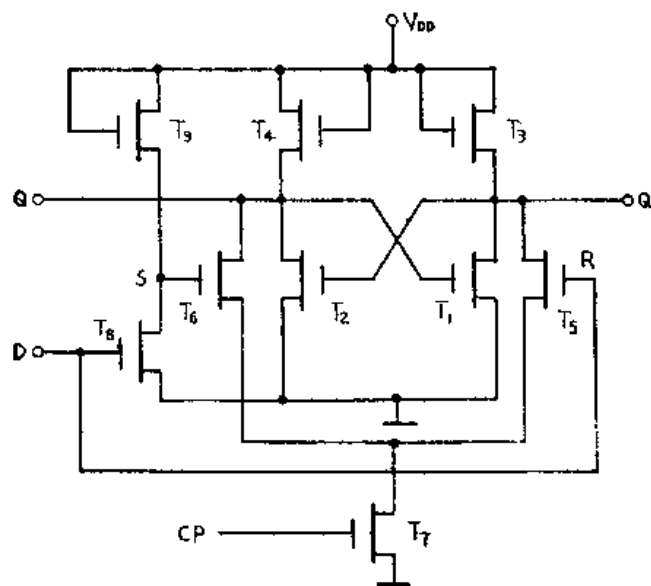


图 6-9 锁定触发器电路

三、锁定触发器

为了克服R-S触发器在 $R = S = 1$ 时状态不确定的缺点，可以把R、S端用一个非门连接起来，其逻辑图如图6-8所示，这种触发器称为锁定触发器。信号从D端输入，由于R、S端接在反相器两端，就避免了R和S同时为“1”的可能，从而克服了触发器存在不确定状态的缺点。图6-9是锁定触发器的电路图。

锁定触发器的逻辑关系是这样的：在某一时刻 t_n ， $D = 0$ ，则在时钟脉冲CP作用后，在下一时刻 t_{n+1} 的输出 Q_{n+1} 也是“0”。若 t_n 时刻 $D = 1$ ，在下一时刻 $D = 1$ ，则在下一时刻 t_{n+1} 的输出 Q_{n+1} 也是“1”。其关系用真值表表示为：

这种触发器的D端称为数据输入端。锁定触发器又称D锁存器。它当作寄存器用是很方便的。但是，尽管它克服了D触发器的不确定状态，但是它并不是尽善尽美的触发器。

用锁定触发器接成计数器时，将数据输入端D与 $\bar{Q}$ 端连接，从CP送计数脉冲即可进行计数。如图6-10所示。

t_n	t_{n+1}
D	Q_{n+1}
0	0
1	1

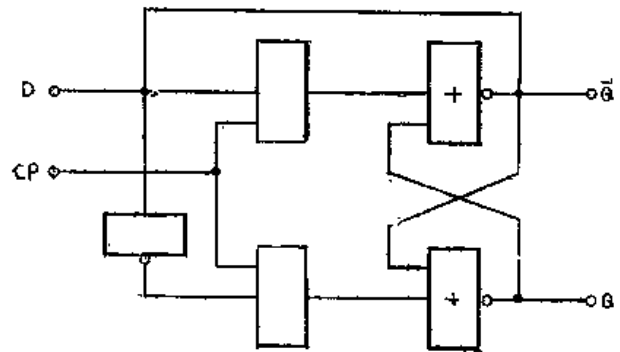


图 6-10 用锁定触发器作计数器

当计数脉冲从CP端送入后，经两级门的传输延时后到达输出端Q及 $\bar{Q}$ ， $\bar{Q}$ 端将输出信号反送至D端，如果CP脉冲的持续时间（脉宽较宽）较长——在 $\bar{Q}$ 端由“1”状态变为“0”状态（或相反）后，CP仍存在的话，则触发器很可能会立即又由“0”状态变回“1”状态（或反态）。也就是说，在CP存在期间触发器发生了两次（或多次）翻转——计数，这完全是由门延时造成的，当然CP时间足够长还可能进行更多次的翻转。这就是触发器的“空翻”。“空翻”是一切简单触发器中都存在的弊病。为了解决“空翻”，一是对输入计数脉冲提出严格要求；二是输入信号加以正确的引导；克服在时钟脉冲作用期间输入电平发生变化可能引起的空翻。引导电路主要有两种类型，即主-从型电路和维持-阻塞型电路。利用这两种类型的引导电路，可以组成功能更加完善的触发器。

当计数脉冲从CP端送入后，经两级门的传输延时后到达输出端Q及 $\bar{Q}$ ， $\bar{Q}$ 端将输出信号反送至D端，如果CP脉冲的持续时间（脉宽较宽）较长——在 $\bar{Q}$ 端由“1”状态变为“0”状态（或相反）后，CP仍存在的话，则触发器很可能会立即又由“0”状态变回“1”状态（或反态）。也就是说，在CP存在期间触发器发生了两次（或多次）翻转——计数，这完全是由门延时造成的，当然CP时间足够长还可能进行更多次的翻转。这就是触发器的“空翻”。“空翻”是一切简单触发器中都存在的弊病。为了解决“空翻”，一是对输入计数脉冲提出严格要求；二是输入信号加以正确的引导；克服在时钟脉冲作用期间输入电平发生变化可能引起的空翻。引导电路主要有两种类型，即主-从型电路和维持-阻塞型电路。利用这两种类型的引导电路，可以组成功能更加完善的触发器。

四、T型触发器

t_n	t_{n+1}
T	Q_{n+1}
0	Q_n
1	$\bar{Q}_n$

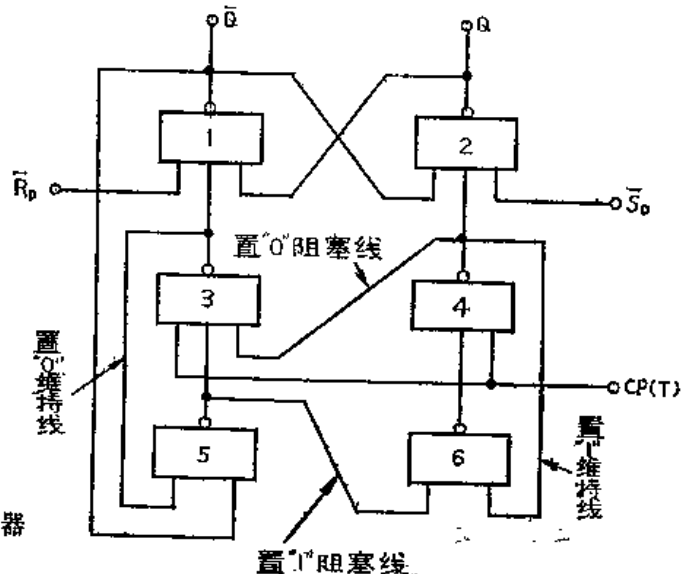


图 6-11 六个与非门组成的T型触发器

图6-11是由六个与非门组成的T型触发器，它的引导门的形式是维持-阻塞型电路。图中 $\bar{R}_D$ 和 $\bar{S}_D$ 是直接置“0”和置“1”输入端，用于计数之前的置数或清“0”。CP（即T）为计数脉冲输入端，它控制触发器的计数翻转。图6-12是T触发器的工作波形图。T触发器的功能为，每加入一个时钟脉冲触发器即翻转一次，如上图旁边的真值表所示。可以利用逻辑图对T触发器进行分析：

（1）假设触发器起始处于“0”状态（即 $Q = 0$ ， $\bar{Q} = 1$ ）。在时钟（计数）脉冲到来之前（ $CP = 0$ ），门3、门4输出为“1”，于是由门1、门2组成的R-S触发器保持原状态不变，这时门5输入均为“1”，故门5输出为“0”，则门6输出为“1”。这在图6-12中对应时刻 t_0 。

（2）在时钟脉冲到来时（ $CP = 1$ ，对应 $t_3 = t_1$ 时刻），门3有一个输入端为“0”，故其输出仍为“1”。而门4的两个输入端均变为“1”，故门4输出为“0”，这就促使门2输出为“1”，即 $Q = 1$ ，则 $\bar{Q} = 0$ 。

（3）在 $t = t_2$ 时，即在时钟脉冲结束时，门3、门4输出又都为“1”，故R-S触发器会维持上述状态（ $Q = 1$ ， $\bar{Q} = 0$ ）。由于门4和门5输出均为“1”，所以门6输出为“0”。

（4）在 $t = t_3$ 时，即第二个计数（时钟）脉冲到来时， $CP = 1$ ，由于门5输出为“1”，门6输出为“0”，所以门4输出为“1”，故门3的三个输入端均为“1”，门3输出为“0”。这样计数脉冲就通过门3被引导到门1输入端，使触发器又翻转一次，回到 $\bar{Q} = 1$ ， $Q = 0$ ，门5输出为“1”，门6输出为“0”。

（5） $t = t_4$ 时， CP 变到“0”，门3、门4输出均为“1”，而门5输出为“0”，门6输出为“1”， Q 、 $\bar{Q}$ 维持原状态。此时各门全部回到初始状态，上述分析从图6-12中可以清楚地看出。需要指出，上述分析均未考虑各级门的延迟时间，实际上每级“与非”门都有传输延时，故计数脉冲的脉宽应大于两倍电路的平均延时。

上述电路是怎样实现维持-阻塞功能的呢？在 $t_1 \sim t_2$ 期间，由于门4的输出同时也作为门3的输入，所以在 CP 为“1”期间，门4输出为“0”，它封住了门3，使门3输出稳定为“1”电平，而门4的输出又送至门6。当门4输出为“0”时，门6输出为“1”。 CP 为“1”，故门4输出就稳定为“0”电平。所以置“1”维持线和置“0”阻塞线的作用就是在 CP 作用期间，使触发器维持住“1”状态（ $Q = 1$ ）。这样不论时钟脉冲多宽，触发器都不会发生空翻。同样道理，置“0”维持线和置“1”阻塞线的作用是保证在另一个

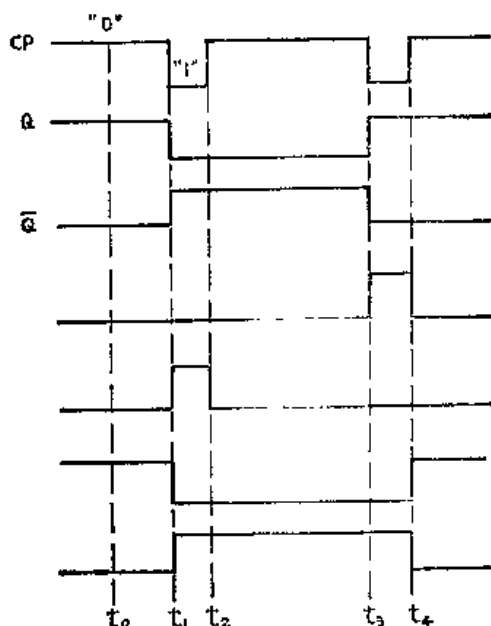


图 6-12 T触发器的工作波形图

CP作用期间（即 $t_3 \sim t_4$ ），触发器稳定为“0”状态而不至空翻。

上述T触发器是靠时钟脉冲前沿进行工作的。

五、D触发器

D型触发器的逻辑图如图6-13所示。图6-14是它的逻辑符号。

D触发器的逻辑功能非常简单：即在 t_{n+1} 时刻Q的状态，也就是 t_n 时刻D的状态。即Q的状态总比输入D信号状态延迟一个节拍。这一点与D锁定触发器不同，D触发器又称延迟触发器。其延迟原理如下：

当 $t = t_n$ 时，若 $D = 0$ ，门3输出为“1”，这时CP尚未到来（ $CP = 0$ ），门3、门4输出为“1”，门6输入均为“1”，门6输出为“0”。

当 $t = t_{n+1}$ 时（CP到来），门3输出为“0”则数据输入端D输入的负脉冲通过门3传到门1的输入端，使触发器状态发生翻转，输出 $Q_{n+1} = 0$ （ $\bar{Q} = 1$ ），此时即表示在 t_{n+1} 时刻 $Q_{n+1} = 0$ ，也就是 t_n 时刻的 $D = 0$ 传到输出去了。

同理，若 $t = t_n$ 时， $D = 1$ ，则 $t = t_{n+1}$ 时 $Q_{n+1} = 1$ 。D触发器的工作波形如图6-15所示。

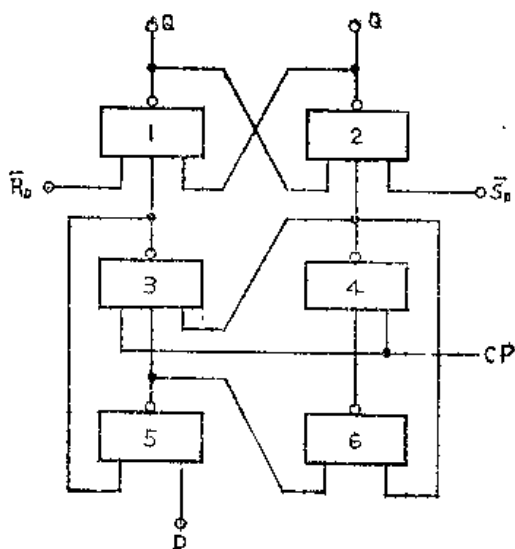


图 6-13 用与非门组成的D触发器

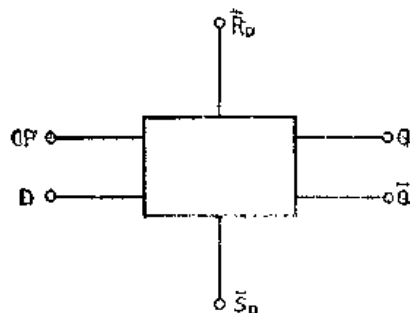


图 6-14 D触发器的逻辑符号

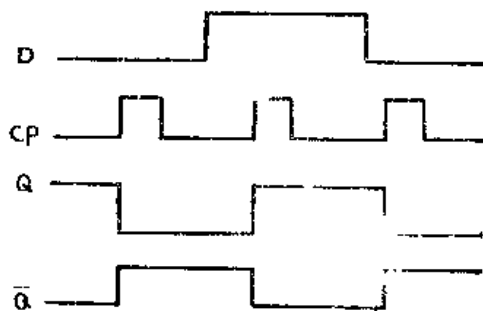


图 6-15 D触发器的工作波形图

六、J-K触发器

图6-16是一种P-MOS主从型J-K触发器的电路图，图6-17是它对应的逻辑图。它由上下两部分组成，上部分电路称为从触发器，它就是图6-5所示的触发器，下部分电路称为主触发器，它的作用是将信号正确引导到主触发器的R、S端上去。其工作原理如下：

当 $J = 0$ 、 $K = 0$ 时，和它们相连的 T_{13} 、 T_{15} 均截止，时钟脉冲CP不起作用，触发器保持原来的状态不变。

当 $J = 1$ 、 $K = 0$ 时， T_{16} 导通， T_{13} 截止。假设触发器原来是“0”状态（ $Q = 0$ ， $\bar{Q} = 1$ ），这时 T_{12} 截止， T_{14} 导通。因此在时钟脉冲到来时（即CP由“0”→“1”）， T_9 、 T_{14} 、 T_{16} 、 T_{10} 支路导通，则主触发器输出 $\bar{Q} = 0$ ，通过反馈线使 $Q' = 1$ 。在CP由“0”→“1”

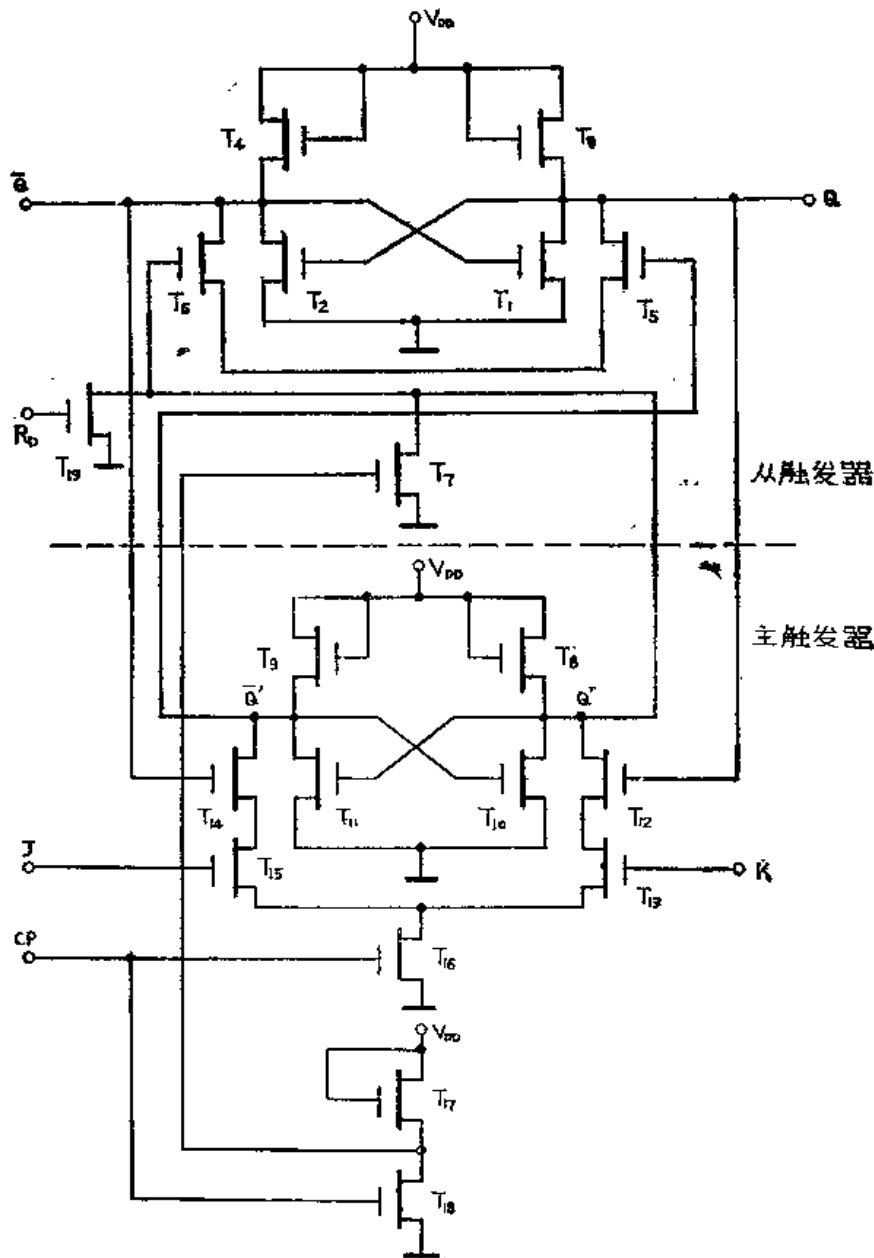


图 6-16 P-MOS主从J-K触发器

时，反相器 (T_{17} 、 T_{18} 组成) 输出由“1” $\rightarrow$ “0”， T_7 导通，由于 $\bar{Q}' = 0$ ， T_5 截止，而 $Q' = 1$ ，则 T_6 导通，由 T_4 、 T_6 、 T_7 组成的回路导通，使 $\bar{Q} = 0$ ，相应 $Q = 1$ ，使触发器由原来的“0”状态变为“1”状态。假设触发器原来是“1”状态 ($Q = 1$ ， $\bar{Q} = 0$)，则即使 $J = 1$ ，使 T_{15} 导通，但由于 $\bar{Q} = 0$ ， T_{14} 仍然截止，则 T_{10} 、 T_{14} 、 T_{15} 、 T_{16} 组成的回路不通。而 $K = 0$ ，使 T_{13} 截止，则使 T_{13} 、 T_{12} 、 T_{13} 、 T_{16} 组成的回路截止，因而时钟脉冲 CP 对触发器不起作用，触发器仍会保持原来的“1”状态。于是在 $J = 1$ ， $K = 0$ 时，不管触发器原始状态是什么，经过时钟脉冲 CP 的作用，触发器肯定是处于“1”状态。

当 $J = 0$ 、 $K = 1$ 时， T_{13} 导通， T_{17} 截止。假设触发器的原始状态为“1” (即 $Q = 1$ ， $\bar{Q} = 0$)，此时 T_{12} 导通， T_{14} 截止，因此在时钟脉冲到来时，使 $Q' = “0”$ ，相应的 $\bar{Q}' = “1”$ 。当时钟脉冲 CP 由“1”变为“0”时，经 T_{17} 、 T_{18} 组成的反相器输出由“0”变成“1”，

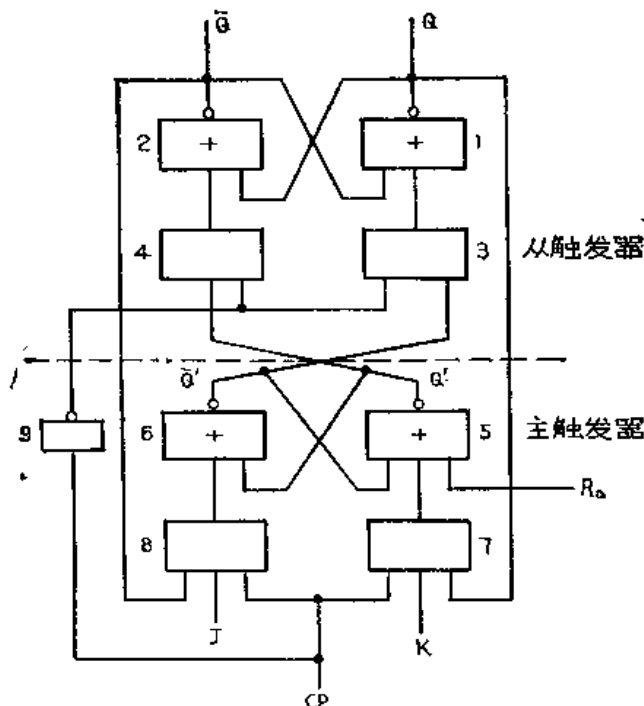


图 6-17 主从J-K触发器逻辑图

T_7 导通，由于 $Q' = "0"$ ， T_8 截止，而 $\bar{Q}' = "1"$ ，则使 T_6 导通，由 T_3 、 T_6 、 T_7 组成的回路导通，使 $Q = 0$ ，相应 $\bar{Q} = 1$ ，即使触发器的“1”状态变为“0”状态。如果触发器的原始状态为“0”状态（即 $Q = 0$ ， $\bar{Q} = 1$ ），则即使 $K = 1$ 使 T_{13} 导通，但由于 $Q = 0$ ， T_{12} 截止，则由 T_3 、 T_{12} 、 T_{13} 、 T_{16} 组成的回路仍是截止的，因而时钟脉冲 CP 对触发器不起作用，触发器就会保持原始的“0”状态。可见，在 $J = 0$ 、 $K = 1$ 时，不管触发器原始状态怎样，经时钟脉冲 CP 的作用，触发器肯定处于“0”状态。

当 $J = 1$ 、 $K = 1$ 时， T_{19} 、 T_{16} 均导通，此时 T_{12} 、 T_{14} 的状态由触发器原始状态决定，若触发器原始为“0”状态，则 T_{12} 截止， T_{14} 导通，在 $CP = 1$ 时，使 $\bar{Q}' = 0$ ， $Q' = 1$ 。当 CP 由“1”变回到“0”时，则经过反相器的输出由“0”变为“1”使 T_7 导通，由于 $\bar{Q}' = 0$ ，则 T_8 截止， $Q' = 1$ 则 T_6 导通，使 T_4 、 T_6 、 T_7 回路导通，使 $\bar{Q} = 0$ ，相应 $Q = 1$ 。即触发器由“0”状态翻转为“1”状态。若触发器原来为“1”状态（ $Q = 1$ ， $\bar{Q} = 0$ ），则 T_{14} 截止， T_{12} 导通，在 $CP = 1$ 时，使 $\bar{Q}' = 1$ ， $Q' = 0$ ，当 CP 由“1”变为“0”时，则经 T_{17} 、 T_{18} 反相器的输入由“0”变为“1”，使 T_7 导通，由于 $Q' = 0$ ，则 T_8 截止。 $\bar{Q}' = 1$ ，则 T_6 导通，使 T_3 、 T_6 、 T_7 组成的回路导通，所以 $Q = 0$ ，相应 $\bar{Q} = 1$ 。触发器由“1”状态翻转为“0”状态。可见在 $J = 1$ 、 $K = 1$ 时，不管触发器原始状态怎样，在时钟脉冲 CP 作用下，触发器的状态总要发生翻转。由J-K触发器的上述逻辑关系可列出真值表（见下页）。

我们也可以根据图6-17所示的逻辑电路图来进行分析。其中门1、2、3、4组成从触发器，门5、6、7、8组成主触发器，门9是反相器，根据各个门的逻辑功能进行分析，很易得到前述的逻辑关系。在复杂的逻辑电路中，往往采用逻辑图来进行逻辑分析，而不直接利用电路图进行分析。

同样，可以画出J-K触发器的工作波形图。如图6-18所示，MOS J-K触发器的逻辑符号和TTL J-K触发器的逻辑符号相同。

七、触发器的比较与变换

我们从基本触发器开始，讲了R-S、T、D、J-K触发器，现将这四种触发器的性能列表于右下：

t_n		t_{n+1}
J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	$\bar{Q}_n$

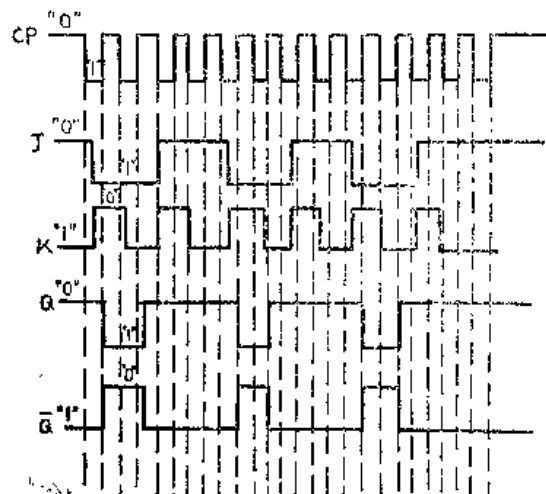


图 6-18 J-K 触发器的工作波形图

触发器名称	真 值 表		
R-S 型	R	S	Q
	0	0	Q_n
	0	1	1
	1	0	0
	1	1	不定
D 型	t_n	t_{n+1}	
	D	Q_{n+1}	
	0	0	
T 型	t_n	t_{n+1}	
	T	Q_{n+1}	
	0	Q_n	
J-K 型	t_n	t_{n+1}	
	J	K	Q_{n+1}
	0	0	Q_n
	0	1	0
	1	0	1
	1	1	$\bar{Q}_n$

这四种触发器各有其适用的场合，而且通过一定的外接线路或简单门电路可以相互变换，下面举例说明：

例 1 R-S 触发器变为 T、D、J-K 触发器，变化过程于图 6-19 示出。

图 6-20 是用 D 触发器转变为计数 T 触发器的变换图。从图中看出，只需将 D 触发器的 $\bar{Q}$ 端与 D 端相连，信号从 CP 送入即可完成计数功能。

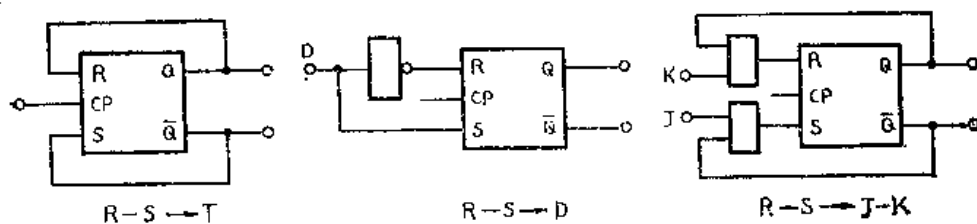


图 6-19 R-S 触发器变换为 T、D、J-K 触发器

例 2 D 触发器变为 T 触发器。

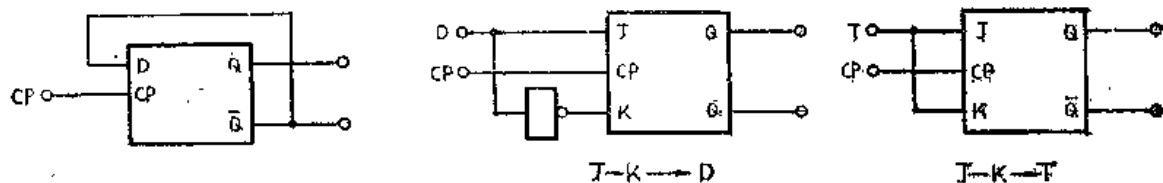


图 6-20 D 触发器变换为 T 触发器

图 6-21 J-K 触发器变为 D、T 触发器

例3 J-K触发器转换为D、T触发器。

图6-21是J-K触发器转变为D、T触发器的变换图。至于由J-K触发器转换为R-S触发器意义就不大了,因为J-K触发器的功能可以包括R-S触发器的功能。

§6-2 MOS动态触发器

MOS动态逻辑电路,是利用MOS场效应管栅极对电荷具有储存效应的原理,来完成各种逻辑门、触发器或更复杂的逻辑功能的电路。由于动态逻辑电路具有集成度高、速度快、功耗低等的优点,近年来发展很迅速。目前许多大规模集成电路,例如,存储器、移位寄存器等,都是以动态方式进行工作的。

为了更好地学习和理解MOS动态触发器,我们先学习动态电路的基本概念。

一、MOS管栅极上的电荷储存

在学习MOS的高频特性时已经知道,MOS场效应管从输入端看进去存在着输入电容。输入电容是由沟道电容 C_{GL} 、栅源间电容 C_{GS} 和栅漏间电容 C_{GD} 三部分组成的,这三个电容用统一的输入电容 C_i 表示。MOS管的输入电阻很高($10^9 \sim 10^{15} \Omega$),我们用 R_G 表示。所以MOS管输入端可以用等效电阻 R_G 和输入电容 C_i 表示, R_G 和 C_i 组成一个 $R \cdot C$ 回路。

为了说明栅极上的电荷储存,我们画出P-MOS饱和反相器,其输入端接有 R_G 和 C_i (图6-22)。输入端还通过一个开关 S 和一个负电压 V_G 相连。假设原来 T_1 的栅极上无电压($V_G = 0$),然后开关 S 闭合一断时间,随后立即断开,则栅极上被 V_G 充上了负电荷(即向 C_G 充电为 V_G)。由于 C_G 数值很小,充电时电源内阻又很小,所以充电时间很短。图6-22画出了充放电的波形图。但当开关断开时,输入电容 C_i 上储存的电荷要通过高电阻 R_G 放掉,则需要很长时间,其放电的时间常数 t 为 R_G 和 C_i 的乘积,即

$$t = R_G \cdot C_i$$

输入电容 C_i 在0.01pF至2pF之间,所以放电时间常数在ms~s的数量级。这个放电时间要比反相器的开通时间和关闭时间长得多(不是一个数量级)。因此在输入回路开关 S 断开的很长一段时间里,反相器仍处于导通状态,只有在 C_i 上的电荷接近放完时,反相器才输出“1”电平。如图6-23所示。

如果输入信号的周期比 $R_G \cdot C_i$ 时间常数小得多,就可以认为储存在栅电容上的电荷没有衰减。MOS动态电路就是利用MOS管栅极电荷储存效应来工作的。

二、动态门控电路

和静态MOS倒相器电路一样,动态门控电路是构成各种动态逻辑电路的基础。图6-24是一种P-MOS动态门控电路,它具有倒相功能。和静态倒相器电路相比,它多了一支 T_3 管,它的作用相当于传输门。 T_2 管(负载管)不再接成栅漏短接电路,而是将栅极接在时钟输入端 CP 上,因而 T_2 的导通和截止也要受时钟脉冲的控制。 T_3 管的作用是控制信号的传输,称为“门控管”。

下面来看动态门控电路是怎样进行工作的。当输入端 A 输入“1”电平(负脉冲)时,则倒相管 T_1 处于导通状态, D 点电位接近0V。此时如果时钟负脉冲到来,且足以使 T_3 和 T_2 管导通的话,则 D 点的信号电压很快通过门控管传输到输出端 Q 。由于 T_3 管充分导通,其源漏之间压降很小,所以输出端和 D 端的电位基本一样。这样输出信号就存储在下一级的输入

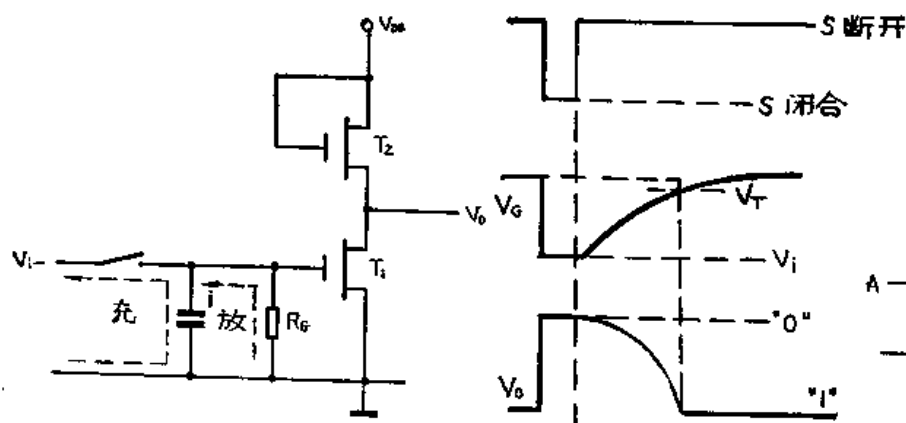


图 6-22 栅极上的电荷储存

图 6-23 栅电容电荷放电过程

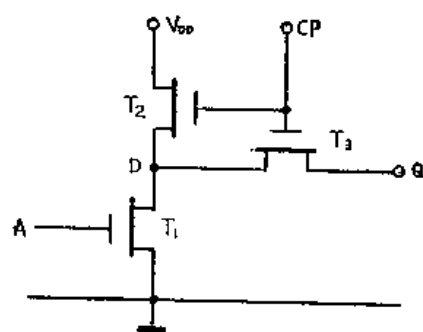


图 6-24 P-MOS 动态门控电路

电容 C_i 上。当一个时钟脉冲过后，负载管 T_2 和门控管 T_3 又重新恢复到截止状态，这时 D 点电位会因输入端“1”电平的消失而仍然下降到接近 V_{DD} 之值。但输出端的电位由于 C_i 的存储作用，仍保持在高电位，因为 C_i 上的电荷只能通过截止态的门控管（有极小的漏电流）和下一级倒相管的输入电阻 R_i 放掉。由于时间常数很大，输出端电位在时钟脉冲消失期间变化很小，栅极电容 C_i 就起到把 D 点信号暂时存储的作用。当下一个时钟脉冲到来时， T_2 、 T_3 又导通，把输入倒相后的状态，重新存储到 C_i 中去。

在动态门控电路中，为了提高速度，通常时钟脉冲电压 V_{CP} 比电源电压 V_{DD} 更负一些。因为当输入由“1”（低电平）变为“0”（高电平）时，倒相管截止。输出由“0”变为“1”，电源电压 V_{DD} 会通过受 CP 控制而导通的负载管和门控管向下一级 C_i 充电，由于很负的时钟电压会使负载管和门控管充分导通，通导电阻很小，则充电时间很短，因此在负载管具有相同的宽长比的条件下，动态反相器的下降时间比静态反相器短得多。因此动态反相器中MOS管的图形可以比静态的小得多，从而提高了集成度。

下面分析一下动态倒相器的输出电压幅度。假定起始时下一级输入电容 C_i 已经充电，当动态倒相器输入端为“0”（高电平）时， T_1 管截止，流过 T_2 管的电流等于零，则 D 点电压 V_D 近似等于电源电压 V_{DD} 。如果在 CP 作用下， T_3 虽然导通，但由于下一级输入电容 C_i 已经充电，则流过它的电流也等于零，所以输出的低电平和 D 点电压相等，并近似等于 V_{DD} ，这就和静态倒相器输出的低电平 $V_{DD} - V_T$ 不同，即动态倒相器具有较大的输出电压幅度，也就是具有较大的逻辑电平摆幅。

另外，动态反相器的负载管和门控平时处于截止态，只有在 CP 出现的短暂时间才有电流流过反相器，因此动态反相器的功耗很低。

综上所述，动态反相器具有开关速度快、功耗低、逻辑摆幅大（抗干扰能力强）和集成度高等的优点。

动态倒相器虽有上述优点，但也增加了一支MOS管和时钟脉冲，从而电路更复杂些。

三、动态逻辑门电路

在动态反相器的基础上再增加几支管子，就可组成动态与非门，或非门等。图6-25是动态与非门电路。图6-26是动态或非门电路。它们的逻辑功能和静态门完全类似，只是输出信号除了由输入信号的逻辑电平决定以外，还必须受时钟脉冲的控制。

四、动态D触发器

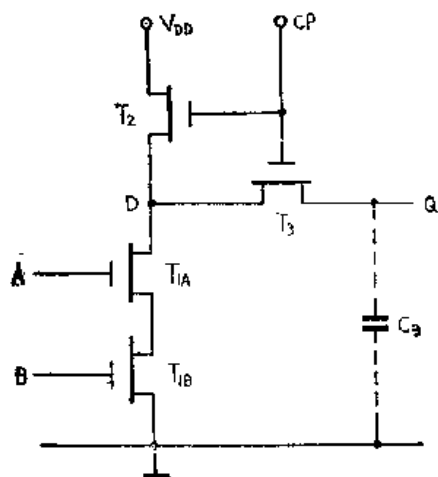


图 6-25 动态与非门

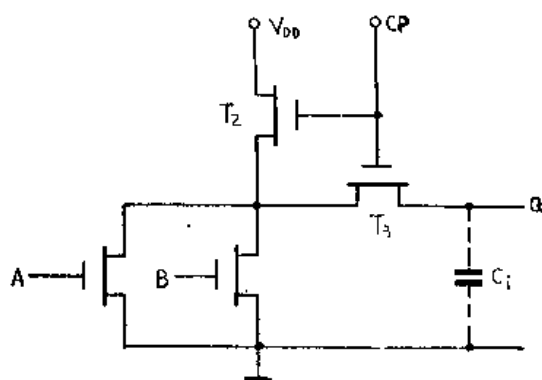


图 6-26 动态或非门

图6-27是用P-MOS两级动态倒相器串联起来组成的动态D触发器（或称动态移位寄存器）。图6-28是它的逻辑图。这个电路是在二相时钟脉冲 CP_1 和 CP_2 驱动下工作的。 CP_2 在时间上恰好比 CP_1 落后半个周期（如图6-29所示），下面分析其工作过程。

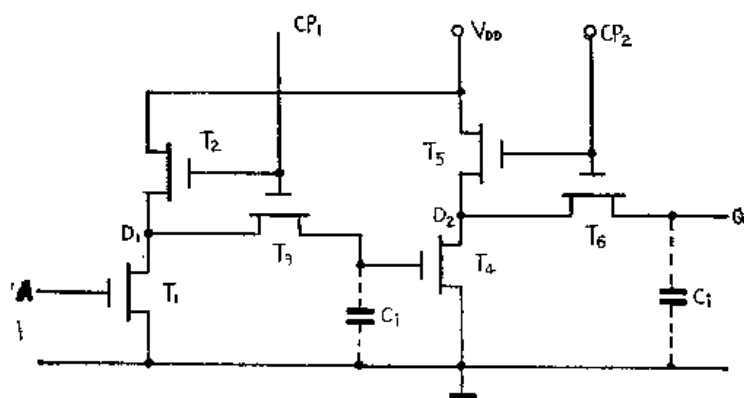


图 6-27 动态D触发器

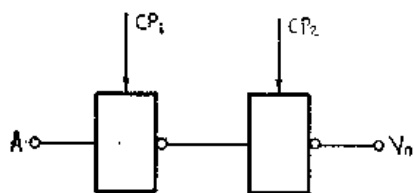


图 6-28 动态D触发器逻辑图

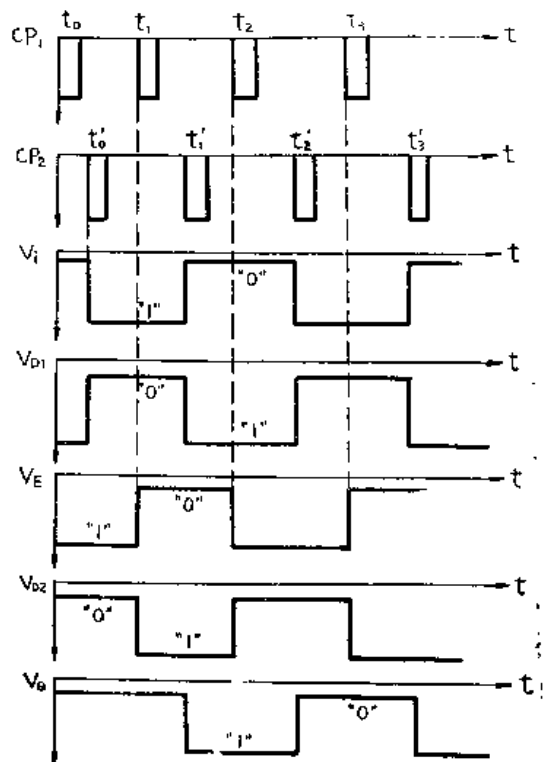


图 6-29 动态D触发器工作波形图

假设输入端A在 $t = t_1$ 时刻以前是“1”（低电平）电平，则由于驱动管 T_1 的倒相作用， D_1 点的电位应为“0”（高电平）。当 $t = t_1$ 时，第一相时钟脉冲 CP_1 出现，此时负载管 T_2 和门控管 T_3 得到充分导通，因而E点电位很快上升为“0”（高）电平， CP_1 很快消失， T_2 和 T_3 也随即截止。由于 T_4 栅极电容的储存效应，E点电位在时钟的间隔时间内基本保持不变，即保持“0”（高）电平，驱动管 T_4 的漏极 D_2 的电位为“1”电平。当 $t = t'_1$ 时，第二相时钟脉冲 CP_2 出现，第二级的负载管 T_5 和门控管 T_6 在 CP_2 作用下会充分导通。 V_{DD} 通过 T_5 对 D_2

充电, D_2 点电位为 V_{DD} , 经 T_6 , 输出电位 V_O 也为 “1” 电平。 CP_2 很快消失, T_5 、 T_6 也随即截止, 但输出信号将暂存于下一级寄存单元的输入电容 C_{i2} 上, 输出信号继续进行传递。由此可见, 在第一相时钟脉冲 CP_1 和第二相时钟脉冲 CP_2 的连续作用以后, 输出信号 V_O 相对输入信号 V_i 延迟了一个时钟周期。所以这个电路具有 D 触发器的逻辑功能, 即 $Q_{n+1} = Q_n$ ——输出信号是前一时刻输入信号的状态, 也可以看成输出信号等于输入信号向右移过了一位, 这相当于移位寄存器功能。如果将图 6-27 的电路多级串联起来, 就可以构成多级动态移位寄存器。

§6-3 CMOS 触 发 器

一、CMOS D 触发器

利用 CMOS 倒相器和传输门可以构成 CMOS D 触发器, 图 6-30 是其电路图, 图 6-31 是它的逻辑图。这是一种主从型触发器, 主触发器由反相器 1 和 2 及传输门 (T_1 、 T_2 和 T_7 、 T_8) 组成, 从触发器由反相器 3 和 4 及传输门 (T_4 、 T_{10} 和 T_{15} 、 T_{16}) 组成。 $T_{17} \sim T_{20}$ 组成两个反相器, 目的是向传输门提供 CP 和 $\overline{CP}$ 的时钟信号。下面来看一下这个电路是如何来完成 D 触发器的逻辑功能的。

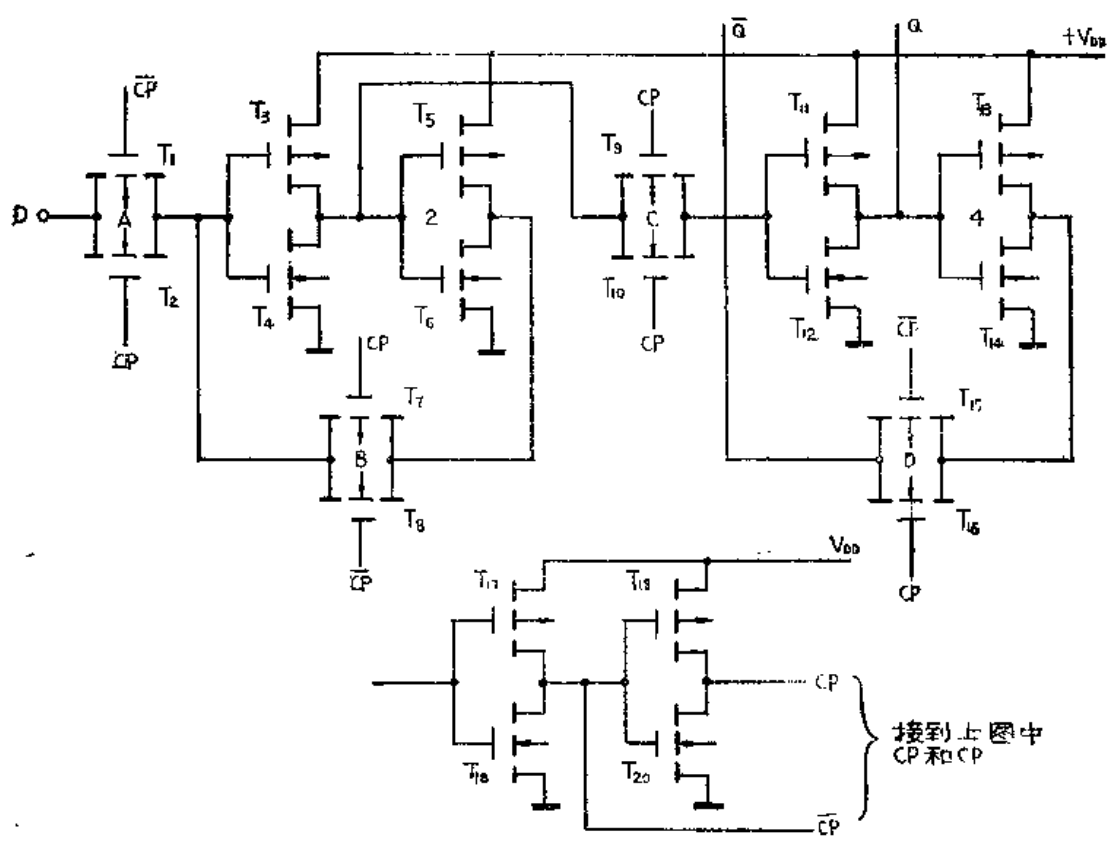


图 6-30 CMOS D 触发器

当 CP 进行正跳变时 (即由 “0” 电平变为 “1” 电平), T_1 、 T_2 组成的传输门 A 导通, 输入端 D 的信号可以通过传输门送入主触发器, 这时 T_7 、 T_{10} 组成的传输门 C 不能导通, 因为它和传输门 A 的时钟信号的相位恰好相反, 因而使主触发器和从触发器隔离开, 从触发器保持原状态。

当 CP 进行负跳变时（即由“1”电平变为“0”电平），传输门 A 截止，传输门 C 导通。主触发器的状态通过传输门 C 送入从触发器，这时输出状态 Q 就是输入端 D 的状态， D 端输入为“1”， Q 输出为“1”； D 输入为“0”， Q 端输出为“0”。传输门 B 和 D 的作用是保证在传输门 A 和 C 截止时，它们和反相器1、2以及反相器3、4形成正反馈，以使主从触发器各保持在一定的稳定状态。其逻辑功能如右下：

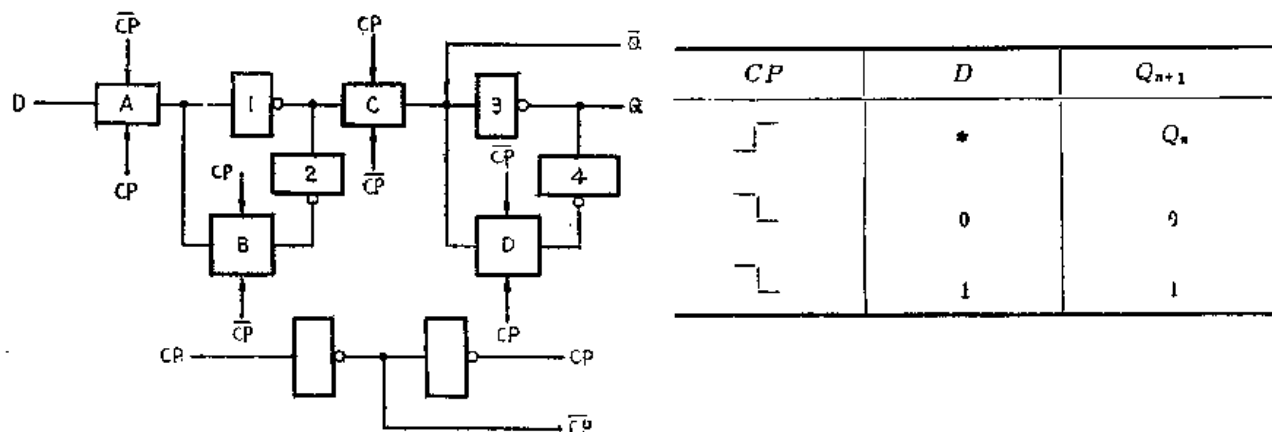


图 6-31 CMOS D型触发器的逻辑图

需要指出，上述CMOS D触发器是一种以脉冲负沿触发的主从型触发器。

为了使D触发器具有复位（ R ）和置位（ S ）功能。可以将图6-31中的倒相器改为2输入端“或非”门就可以了，如图6-32所示。

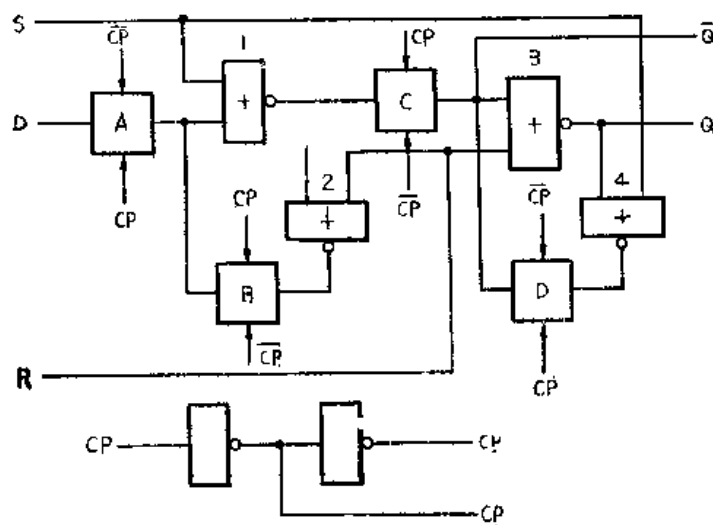


图 6-32 带有复位（ R ）和置位（ S ）功能的CMOS D触发器

图中 R 端的输入和或非门2、3的一个输入端相连，当 R 端输入“1”时，或非门3有一个输入端为“1”，输出为“0”（ $Q=0$ ）。或非门2有一个输入为“1”，使主触发器维持“1”输出，从而保证 R 信号消失后仍可以保持 $Q=0$ 的输出。

S 端的作用原理和 R 端相似，它的功能是使 Q 置“1”，其逻辑功能可以用下表（p.134）表示：

二、CMOS J-K触发器

图6-33是CMOS J-K触发器的逻辑电路图。它和CMOS D触发器的逻辑电路图（图

6-31) 相比较, 可以看出, 这也是一种主从型的触发器, 或非门 1、2 和传输门 A、B 组成主触发器, 或非门 3、4 和传输门 C、D 组成从触发器。在输出端加的反相器 5、6 的作用是提高触发器的负载能力, 它对逻辑功能并不起什么作用。在主触发器前加入由门 7、8、9 组成的 J-K 触发, 使它有 J、K 输入端的功能。它实际上是用 D 触发器组成的 J-K 触发器。

当 $J = K = 0$ 时, 门 8 输出为 “1”, 门 9 的输出将随门 7 输出为 “1”, 门 7 将输出高电平。在时钟正跳变时, 门 1 输出将为 “0”, 但由于传输门 C 截止, 门 “1” 的 “0” 不能传至门 3, 触发器保持原状态不变。如果门 3 输出为 “0”, 则门 7 输出为 “0”, 门 8 输出为 “1”, 门 9 输出为 “1”, 触发器仍保持原状态不变。

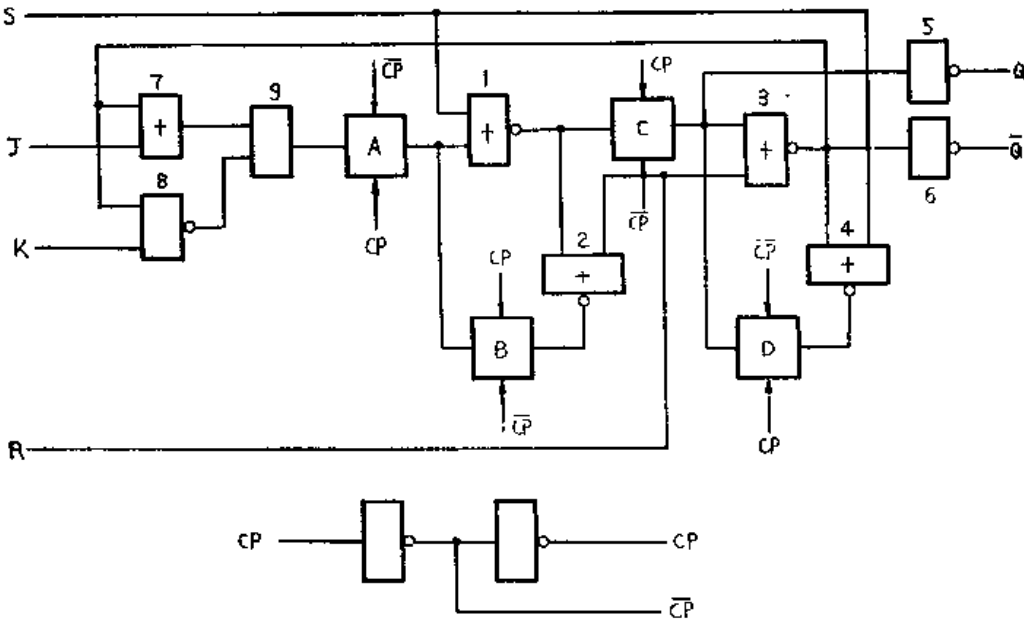


图 6-33 CMOS J-K 触发器

当 $J = 0, K = 1$ 时, 门 7、8 的输出均随门 3 输出而变化。如果门 3 输出为 “1”, 门 7 输出为 “1”, 门 8 输出为 “0”, 门 9 输出为 “0”。在 CP 为正跳变时, 门 9 的 “0” 传给门 1, 使门 1 输出为 “1”。在时钟负跳变时, 门 1 的 “1” 传给门 3, 经门 5, $Q = 0$ 使门 3 输出为 “1”, 经门 6 使 $\bar{Q} = 1$ 。如果门 3 输出为 “0”, 门 7 输出为 “0”, 门 8 输出为 “1”, 门 9 输出仍为 “0”, 同样有 $Q = 0, \bar{Q} = 1$ 的结果。

当 $J = 1, K = 0$ 时, 不管门 3 输出为 “1” 或 “0”, 门 9 输出为 “1”, 和上述情况相似, 可得到 $Q = 1, \bar{Q} = 0$ 的结果。

当 $J = K = 1$ 时, 门 8 的输出要随门 3 输出而变, 如果门 3 输出为 “0”, 门 8 输出为 “1”, 门 9 输出为 “1”, 在 CP 负跳变时, 使门 1 输出为 “0”。在 CP 正跳变时, 传输

CP	R	S	D	Q_{n+1}
	0	0	0	0
	0	0	1	1
	0	0	ϕ	Q_n
ϕ	1	0	ϕ	0
ϕ	0	1	ϕ	1

t_n		t_{n+1}	
J	K	Q_{n+1}	$\bar{Q}_{n+1}$
0	0	Q_n	$\bar{Q}_n$ (无变化)
0	1	0	1
1	0	1	0
1	1	$\bar{Q}_n$	Q_n (翻转)

门C导通, 门3输出将为“0”。于是, 在每次时钟脉冲到来时, 触发器将发生翻转。

综上所述, 可以列出如134页的J-K触发器的真值表。

需要指出: 上述CMOS J-K触发器是以脉冲负沿触发的主从结构形式的触发器电路。

§6-4 MOS数字集成电路的参数及测量

MOS数字集成电路的品种很多, 每一种电路都有它自己的逻辑功能, 测试的首要目的是检查它的逻辑功能是否正确。由于电路的种数和测试方法很多, 不可能一一介绍, 下面以P-MOS小规模电路为例, 介绍测试中的一些带有共性的问题。

一、电路功能的测试

每种电路都有它自己特定的逻辑功能, 功能测试可以根据电路的真值表来进行, 也可以在电路输入端施加脉冲波形, 利用示波器观察相应输出端波形的方法来判别电路逻辑功能的好坏。简单的小规模MOS集成电路的逻辑功能测试, 也可以在测量直流参数和交流参数的同时进行。

利用已知好的电路波形和测试电路波形进行比较, 是鉴别中、小规模集成电路功能好坏的简便易行的方法。这种比较鉴别的方法也可以通过异或门来实现。图6-34是一种比较测量法的方框图。

脉冲信号发生器同时向好电路及被测电路送相应脉冲信号(接工作波形图要求送信号), 两块电路的输出接一个异或门, 当它们的功能完全相同时, 异或门无输出, 当被测电路的功能不正常时, 异或门的输入不同, 异或门有输出。异或门的输出可以用示波器监视。

由于各种电路功能互不相同, 送入电路的脉冲信号波形也不同, 但这种比较测试的方法是行之有效的, 特别是对功能较复杂的中规模电路更为适用。

二、直流参数的测试

直流参数又叫做静态参数, 它包括: 输出高电平(V_{OH})、输出低电平(V_{OL})、输入端(漏)电流(I_i)、开门电平(V_{on})、关门电平(V_{off})、静态功耗(P_{DD})等。现将各参数的测量方法分别介绍如下:

1. 输出高电平(V_{OH})

V_{OH} 是数字电路中输出为“1”的电平。例如P-MOS与非门电路中, 当有一个输入端为“0”电平时, 输出端就是“1”电平。图6-35是输出高电平 V_{OH} 的测量原理图。

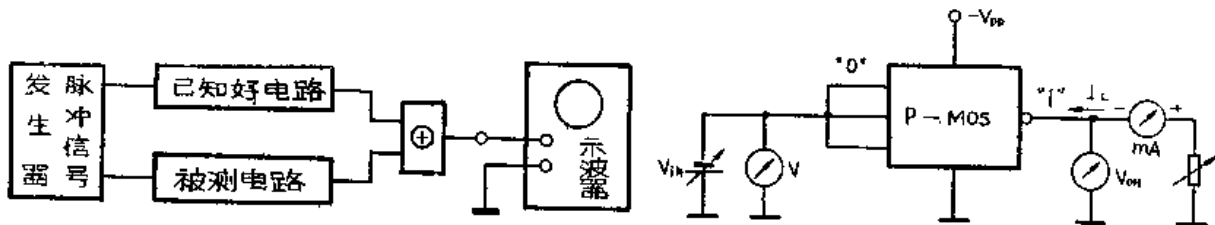


图 6-34 用比较法测电路功能

图 6-35 测量输出高电平的原理图

输出“1”电平是在输出电流 I_i 一定的条件下测量的, 所以一定要在规定的拉电流 I_i 之下测量输出高电平。电源为-24V的P-MOS电路, 输出高电平数值为-2V左右。

2. 输出低电平 V_{OL}

V_{OL} 是数字电路输出为“0”的电平。例如P-MOS与非门，当全部输入端均接“1”电平时，输出端才是“0”电平。图6-36是输出低电平 V_{OL} 的测量原理图。

输出“0”电平也与负载电流 I_L 的大小有关，所以必须在规定的负载电流下测量输出低电平。电源电压为 $-24V$ 的P-MOS电路，输出低电平数值为 $-12V$ 左右。

3. 开门电平 V_{on}

V_{on} 是数字电路由“1”电平转变为“0”电平的输入电压的临界值。图6-37是P-MOS与非门电路 V_{on} 的测量原理图。

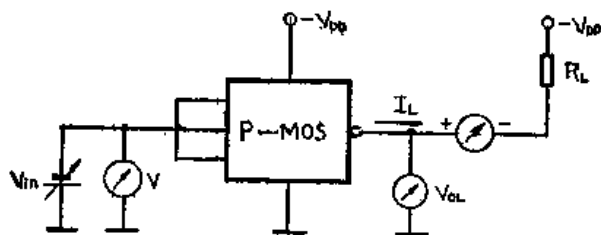


图 6-36 测量输出低电平的原理图

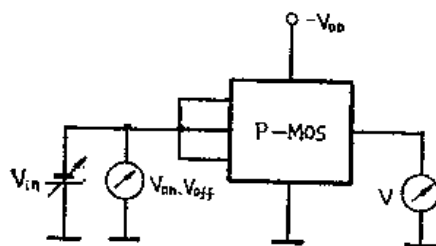


图 6-37 测量开关门电平的原理图

调节输入电压 V_{in} 的数值，当电路输出电平由“1”转变为“0”时由电压表测得的输入电压值即为 V_{on} 。 $-24V$ 的P-MOS与非门的开门电平数值为 $-9V$ 左右。

4. 关门电平 V_{off}

V_{off} 是数字电路由“0”电平转变为“1”电平的输入电压临界值。图6-37电路图也可以用来测量关门电平。测量时，调节输入电压 V_{in} 的数值。当电路输出电平由“0”电平转变为“1”时，由输入电压表测得的电压值就是 V_{off} 。 $-24V$ 的P-MOS“与非”门的关门电平数值为 $-3V$ 左右。

5. 输入端（漏）电流 I_i

在电路输入端加一定电压时，输入端流过的电流就是该输入端的电流 I_i ，图6-38是输入电流的测量原理图。其它不测量的输入端应接地。

在工作电压为 $-24V$ 的P-MOS电路输入端加 $-20V$ 时， I_i 的数值为 $3\mu A$ 左右。

6. 静态功耗 P_{DD}

P_{DD} 是指电路处于静止（稳定）状态时，电路加正常工作电压 V_{DD} 时所消耗的电功率。图6-39是测量静态功耗的原理图。

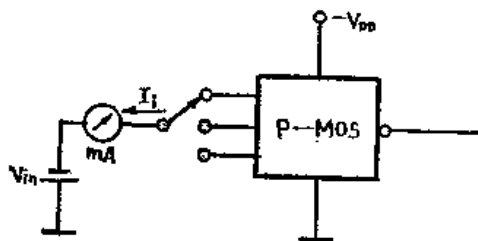


图 6-38 测量输入电流的原理图

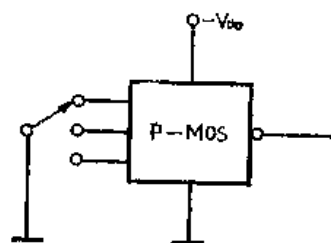


图 6-39 测量静态功耗的原理图

测量 P_{DD} 时，输入端应加一定的输入电压，测得的电流 I_{DD} 与电源电压 V_{DD} 之乘积就是静态功耗 P_{DD} 。

$$P_{DD} = V_{DD} \cdot I_{DD}$$

例如，P-MOS四与非门的静态功耗为 $100mW$ 左右。

三、交流参数的测量

数字电路的交流参数又称动态参数，它包括平均传输延迟时间 t_{pd} 和最高工作频率 f_m 等。

1. 平均传输延迟时间 t_{pd}

t_{pd} 是输入信号通过电路到输出端所产生的时延平均值。图6-40是测量延迟时间的测量原理图。图6-41是电路的输入、输出波形图。

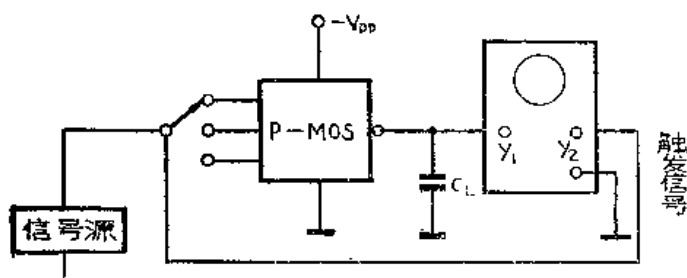


图 6-40 延迟时间的测量原理图

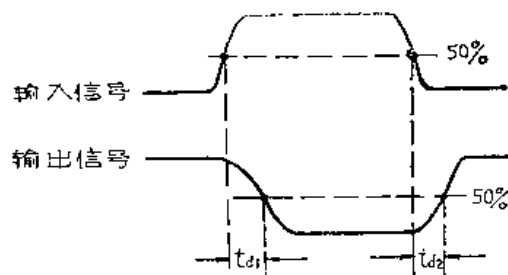


图 6-41 测量延迟时间的波形图

测量 t_{pd} 时，电路输出端应接规定的负载电容 C_L ，在二踪示波器上测得上升延时 t_{d2} 与下降延时 t_{d1} ，则 $t_{pd} = \frac{1}{2}(t_{d1} + t_{d2})$ 。

P-MOS电容的平均延迟时间 t_{pd} 为 $1.5\mu s$ 左右

2. 最高工作频率 f_m

f_m 是集成电路可以正常工作的最高信号频率。组合逻辑电路多测量平均延迟，时序逻辑电路（例如触发器等）多测量最高工作频率。图6-42是测量最高工作频率的原理图。

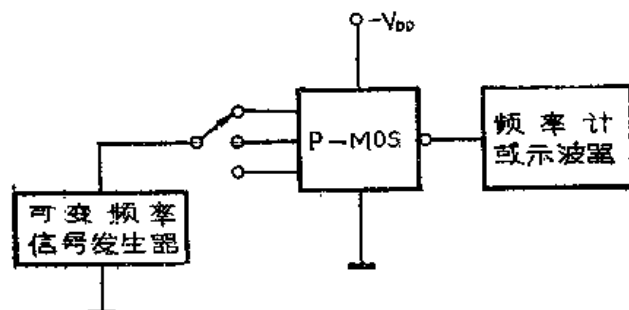


图 6-42 最高工作频率的测量原理图

P-MOS电路的最高工作频率 f_m 一般为 $100kHz$ 至 $500kHz$ 范围内。

最后需要指出：MOS电路参数的测量原理很多和双极数字电路原理相似，但由于MOS电路具有很高的输入阻抗，测量时要注意测量仪器、仪表必须接地良好，焊接用的电烙铁也应接地，以防止由于仪表漏电而损坏电路。

第七章 中规模集成电路

逻辑门和触发器电路是数字电路中最基本的单元电路。各种复杂功能的逻辑电路原则上都可以用基本单元电路组合而成。但是为了提高电子设备的性能——可靠性、速度及降低成本。将各种门和触发器组合制成单块的逻辑功能电路，例如，各种算术运算器、计数器、移位寄存器、译码器等都属于中大规模集成电路。

一般认为，在一个半导体芯片上同时制作10~100个简单门电路的集成电路称为中规模集成电路（MSI），在一个芯片上同时制作100个门以上的集成电路，称为大规模集成电路（LSI）。

逻辑功能电路可以分为两大类，一类叫组合逻辑电路，另一类叫时序逻辑电路。

组合逻辑电路一般由门电路组成，它的特点是输出状态只同现时的输入有关，而同前一时刻的输入、输出状态无关，例如，译码器、加法器等。

时序逻辑电路一般由触发器和门电路组成，它的特点是输出状态不仅同现时的输入有关，而且还和前一时刻的输入、输出状态有关，例如，计数器、移位寄存器等。

§7-1 全 加 器

加法器是数字系统中运算器的基础，在数字电子计算机和自动控制系统中普遍采用。

一、半加器

大家知道，两个一位二进制数相加时，可能有四种组合方式。我们用 A 表示被加数， B 表示加数， S 表示和数， Q_c 表示进位数，它们之间关系可以用下表表示：

上述逻辑真值表同异或门逻辑真值表比较可以发现，两者基本相同，只是异或门没有表示进位的关系项。我们用异或门和与门组合就可以得到满足上述逻辑关系的电路，称为半加器，如图7-1所示。它不能完成一个完整的加法运算，因为一个完整的加法运算中，还要包括一位的进位数（ C_0 ）。

A	B	S	Q_c
0	0	0	0
1	0	1	0
0	1	1	0
1	1	0	1

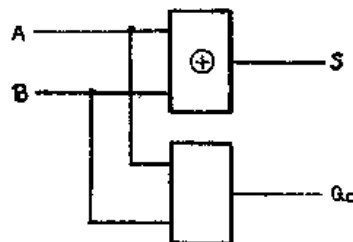


图 7-1 半加器

二、全加器

全加器由被加数 A 、加数 B 、上一位（低位）进位数 Q_c 、三个输入端和和数 S 、本位输出进位（高位）数两个输出端组成，它们之间的逻辑关系如下表所示。

上述真值表利用逻辑代数或卡诺图进行化简可以得到逻辑表达式：

$$S = A \oplus B \oplus C$$

$$Q_c = AB + BC + AC$$

A	B	C	S	Q _c
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

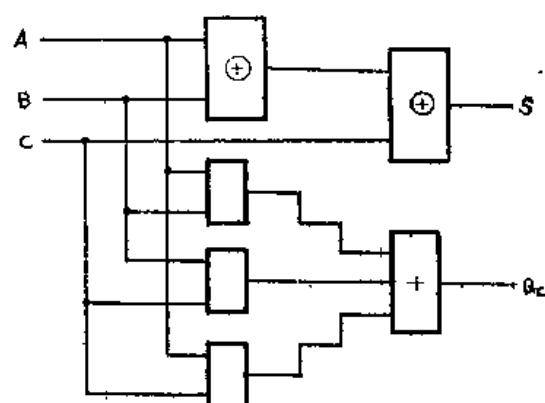


图 7-2 全加器

根据上述表达式可以画出全加器的逻辑图，如图7-2所示，当然根据化简后的不同形式的逻辑表达式，全加器还可以有其他的组成方式。也就是说，同一逻辑关系可以有不同的逻辑门的组合来实现。这些内容在逻辑代数中已学过了，这里不再赘述。

为了运用上的方便和提高集成度，在实际产品中常把几位全加器制作在一个硅片上，例如作成双全加器或四位全加器。

图7-3是P-MOS四位全加器的单元逻辑电路图。全加器的逻辑表达式为：

$$S = A \oplus B \oplus C = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$$

$$Q_c = AB + AC + BC$$

经化简逻辑交换后，可以得到下列逻辑表达式：

$$S = C\bar{C}_0 + B\bar{C}_0 + A\bar{C}_0 + ABC$$

$$Q_c = AB + AC + BC$$

这是一个用与门、或门和非门组成的加法器，根据逻辑表达式可以画出图7-3的逻辑图。

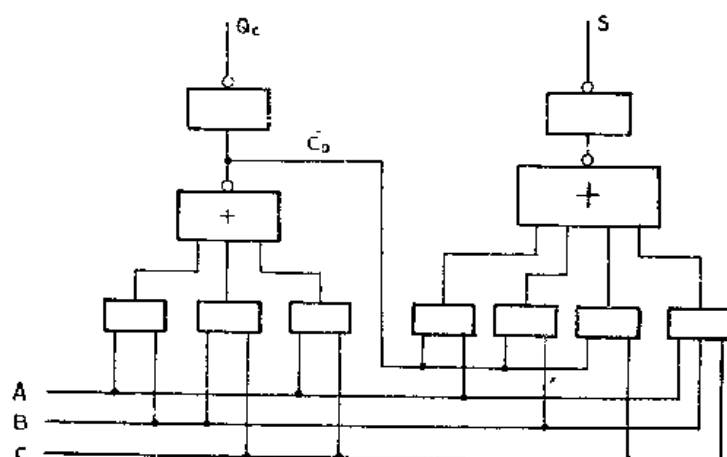


图 7-3 用与门、或门和非门组成全加器

图7-4是根据逻辑图画出的电路图（采用负逻辑），其工作原理，读者可以根据MOS电路的工作原理自行分析。

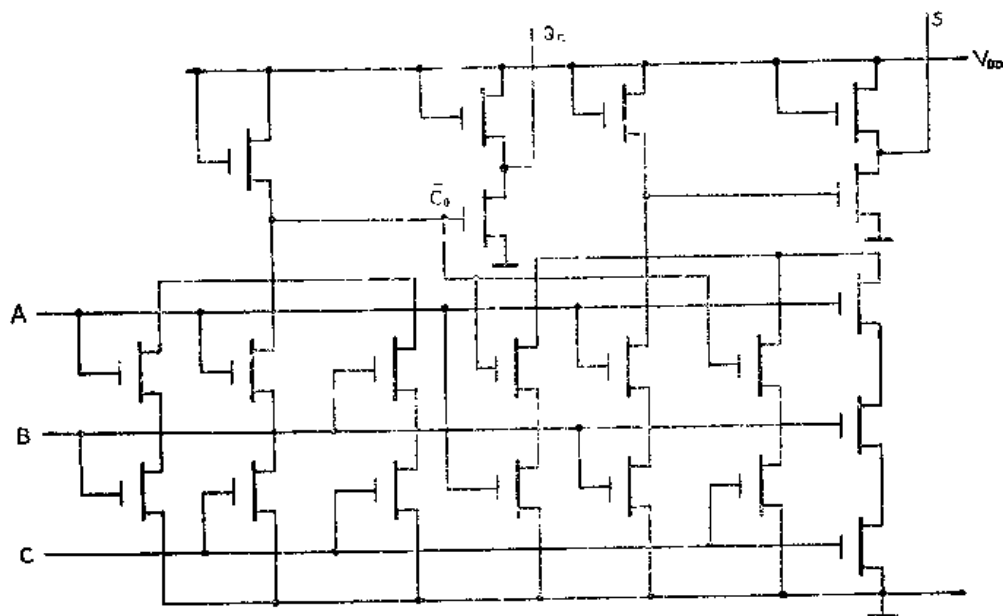


图 7-4 P-MOS全加器电路

§7-2 寄存器和移位寄存器

寄存器和移位寄存器都是暂时存放数码的逻辑功能电路，是电子计算机和数字系统中不可缺少的基本部件。

在电子计算机中进行运算的数码先要寄存在寄存器中，然后在控制脉冲作用下，将寄存器中的数码送到运算器中去进行运算，运算的结果也要存放在寄存器中。在运算过程中有时要对数码进行移位。例如，乘法运算需要将部分积右移。因此，寄存器往往需要有能进行数码移位的功能，称这类寄存器为移位寄存器。

寄存器和移位寄存器是具有“记忆”功能的逻辑电路，一般要用具有记忆功能的触发器组成，它们都是时序逻辑电路。

一、寄存器

寄存器由若干个触发器组成，它不具有移位功能。图7-5是一个最简单四位寄存器的逻辑图。由于每个触发器可以寄存一位二进制数，所以四位寄存器要用四个触发器。如果要寄存 N 位二进制数码，就需要用 N 个触发器级联组成。一般寄存器的数据是并行输入——输入各级数码同时输入，并行输出——由各触发器同时取出数码。图中 P_A 、 P_B 、 P_C 、 P_D 是数据输入端， Q_A 、 Q_B 、 Q_C 、 Q_D 是数据输出端。每一位寄存器由一个与非门和一个触发器组成，其中触发器可以采用各种类型的触发器，图中画了最简单的R-S触发器。各R端复联起来作为复位端。当复位端R输入一个负脉冲($R=1$)时，寄存器中各触发器复位至“0000”状态。

存放脉冲输入端的作用是控制寄存数码的控制端，如果存放脉冲没有到来时（即存放脉冲输入端为“1”电平——0电位），各触发器的S端均为“1”，寄存器维持原来的“0000”状态，数据不能输入寄存器。当存放脉冲到来时（负脉冲），就将各输入端数码存入寄存器中。例如数码“1010”由 P_A 、 P_B 、 P_C 、 P_D 输入，在存放脉冲作用下，相应与非门

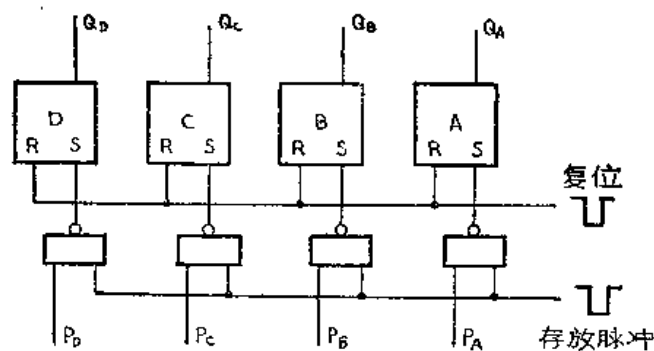


图 7-5 简单四位寄存器

输出为“0101”作用到触发器，使触发器B、D变为“0”状态，触发器A、C仍保持“1”状态，四个触发器输出变为“1010”从而完成了数据寄存的功能。

利用简单R-S触发器组成的寄存器有一个严重的缺点，就是数码从S端输入，S端只能置“1”不能置“0”，所以每次存放数码之前，必须先对寄存器进行清0，否则将会造成存数的错误。例如，寄存器已存入“0101”的数码（加0），想再存入“1010”数码，结果寄存器输出为“1111”，这就和第二次想存入的数码“1010”大不相同了。要克服上述缺点就不能采用单边输入，而要采用双边输入，就是寄存器寄存“1”数码由S端输入，寄存“0”数码由R端输入。这种方法在原理上是可行的，但是我们无法用人工的方法选择数据是送R端，还是S端。实际上用D型锁定触发器组成的寄存器就可以完成双端输入的功能。因为D锁定触发器实质上是一个R-S触发器在R-S端之间接入了一个非门构成，从D端输入的数据会始终使触发器的R、S端一个为“1”，另一个为“0”。例如，当D端为“1”就使“0”作用在R端，“1”作用在S端，触发器输出为“1”，当D端为“0”，就使“1”作用在R端，“0”作用在S端，触发器输出为“0”。

图7-6是用D触发器组成的四位寄存器，各D触发器的时钟输入端CP复联起来作为有效脉冲输入，在各触发器输入端加入与门作为读出脉冲的控制电路，存入寄存器的数码，只有在读出脉冲作用下才能读出。

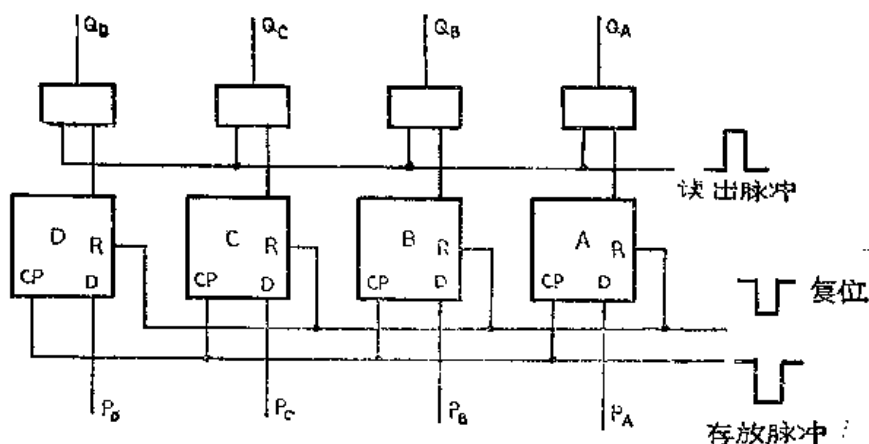


图 7-6 用D触发器组成的四位寄存器

这种由D触发器组成的寄存器，只要数据从各数据输入端输入（不需要清0），就可以正确的把数据存入寄存器中。例如，四位寄存器原来的状态是“0110”，若把“1110”数码

存进去，则 $P_A=0$ ， $P_B=1$ ， $P_C=1$ ， $P_D=1$ （相应 $D_A=0$ ， $D_B=1$ ， $D_C=1$ ， $D_D=1$ ），在CP脉冲负沿作用下， $Q_A=0$ ， $Q_B=1$ ， $Q_C=1$ ， $Q_D=1$ ，完成存入“1110”的任务。这样就把想要存入的数码一点不差的存入寄存器中了。

多位寄存器可以用多个D触发器进行复联来实现。

二、静态移位寄存器

静态移位寄存器是由静态触发器和门组成的电路，它的功能不仅仅是寄存数码，而且能在移位（控制）脉冲作用下使数码向右移位，或向左移位，或不产生移位（保持），同时，数码的输入和输出也是既可以并行，又可以串行。

1. 单向移位寄存器

图7-7是一种串行输入、并行输出的单向四位寄存器，它由四个D触发器级联而成。每个触发器输入接下一个触发器输入，公共的时钟加到各个触发器，使它们同步工作。数据从第一个触发器的D端输入，而从各个触发器的输出端并行输出，也可以从最后一个触发器的输出端串行输出。

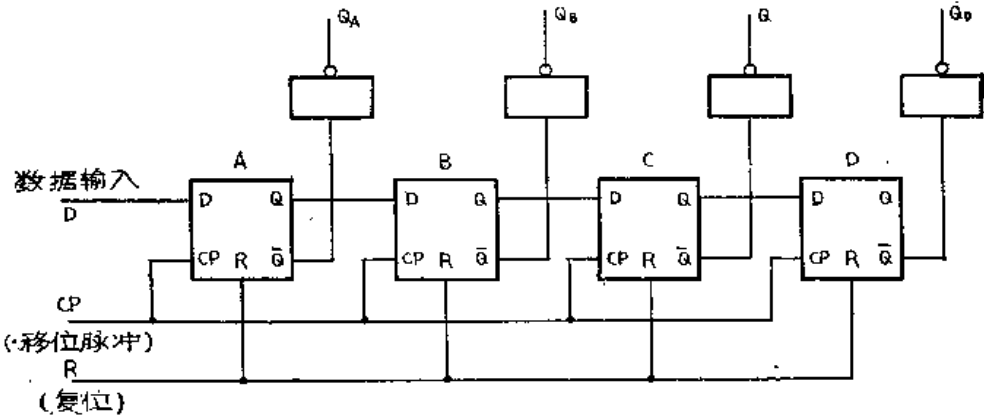


图 7-7 四位移位寄存器

下面说明它的工作原理。如果在第 n 个时钟脉冲以后开始有一个四位二进制数码向移位寄存器输入。例如这个串行输入的数码是1010，那末在第 $n+1$ 个时钟作用下，触发器A的状态变为0，在第 $n+2$ 个时钟作用后，触发器A的数码“0”右移给触发器B，而数码“1”移入触发器A，经过第 $n+3$ 个时钟1数码又右移1位，到第 $n+4$ 个时钟之后，这个四位数码就全部寄存在触发器A、B、C、D中，这时在寄存器输出端就可以并行输出寄存数码。如果想要得到串行输出，在最后一个触发器输出端上在 $n+4$ 脉冲以后，再经过四个时钟脉冲，就得到了四位串行数码输出。上述这种关系可以用下表形象地表示：

同理，可以用多个触发器串联组成多位移位寄存器。将12个触发器集成在同一硅片上，制成12位移位寄存器。更多有64位移位寄存器等等。

图7-8是一种串并行输入、串并行输出的四位单向移位寄存器的逻辑图，它是由四个D触发器和一些与、或门来实现的。

当并行输入控制端保持“0”电平时，接于控制端的反相器输出为“1”，并行数据输

时钟脉冲CP	数据输入D				触发器状态			
					A	B	C	D
n	1	0	1	0				
n+1	1	0	1		0			
n+2	1	0			1	0		
n+3	1				0	1	0	
n+4					1	0	1	0

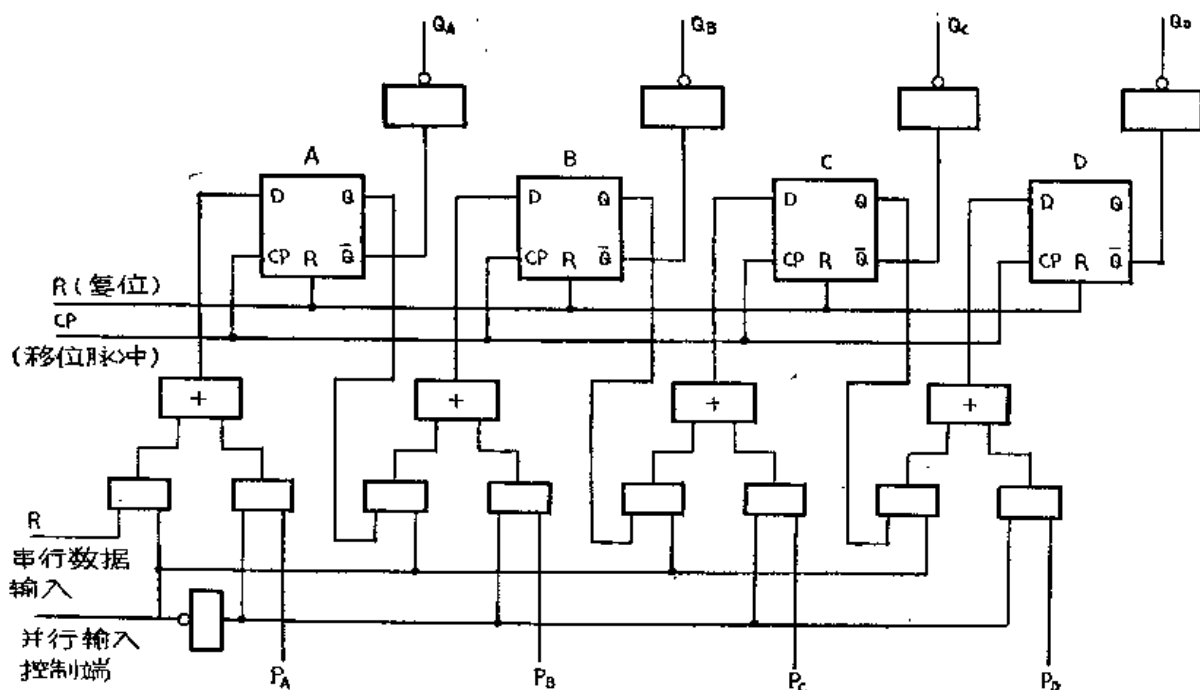


图 7-8 串并行输入、串并行输出移位寄存器

入端 P_A 、 P_B 、 P_C 、 P_D 在 CP 脉冲作用下，可以将并行数码输入到各触发器去，在寄存器输出得到并行的输出数码，这就是一般寄存器的功能。

当并行输入控制端保持“1”时，经反相器输出为“0”，封锁了全部并行输入端，使 P_A 、 P_B 、 P_C 、 P_D 不能输入数码，数码可以从串行输入端输入，寄存器变成串行输入、并行输出的单向移位寄存器。

当在并行输入端加一负脉冲时，在 CP 作用下数码进行并行输入，当负脉冲消失后，在 CP 作用下，寄存器的数据向右移位，所以它的功能又是一个并行输入串行输出的移位寄存器。

2. 双向（可逆）移位寄存器

图7-9是一种既有右移又有左移功能的双向移位寄存器，又称可逆移位寄存器。

现在来看一下它的工作过程。当左右移位控制端输入为“0”时， CP_2 被封锁，通过两级反相器后的“0”信号封锁并行数据输入端，在 CP_1 时，钟脉冲负沿作用下，数据从串行输入端输入，并行输出，并且具有右移位功能，和图7-8电路功能相同。

当左右移位控制端输入为“1”时，通过一级反相器的“0”将封锁住 CP ，这时在 CP_2 的负沿作用下，寄存器实现并行输入，这时串行输入和级间的进位线被封锁，如果需要实现向左移位，只要将 Q_D 输出接至输入端 P_C ， Q_C 输出接至输入端 P_B ， Q_B 输出接至输入端 P_A （如图中虚线所示）， P_D 端作为左移位寄存器的输入端， Q_A 作为左移位的串行输出端。上述 $Q \rightarrow P$ 的连线并不影响移位寄存器串行右移位的功能，这样就完成了左右移位寄存器的功能。

需要指出：由于构成移位寄存器中的门都存在着传输延迟时间，所以左右移位控制脉冲和时钟脉冲之间必须满足一定的时间关系。由于左右移位控制信号，是通过一个反相器后才加到各数据输入端和时钟输入端“与”门上的，因此移位控制信号要有一定的建立时间，即要先于时钟信号一段时间建立，而迟于时钟信号一段时间除去。否则会使存入数据发生错误。

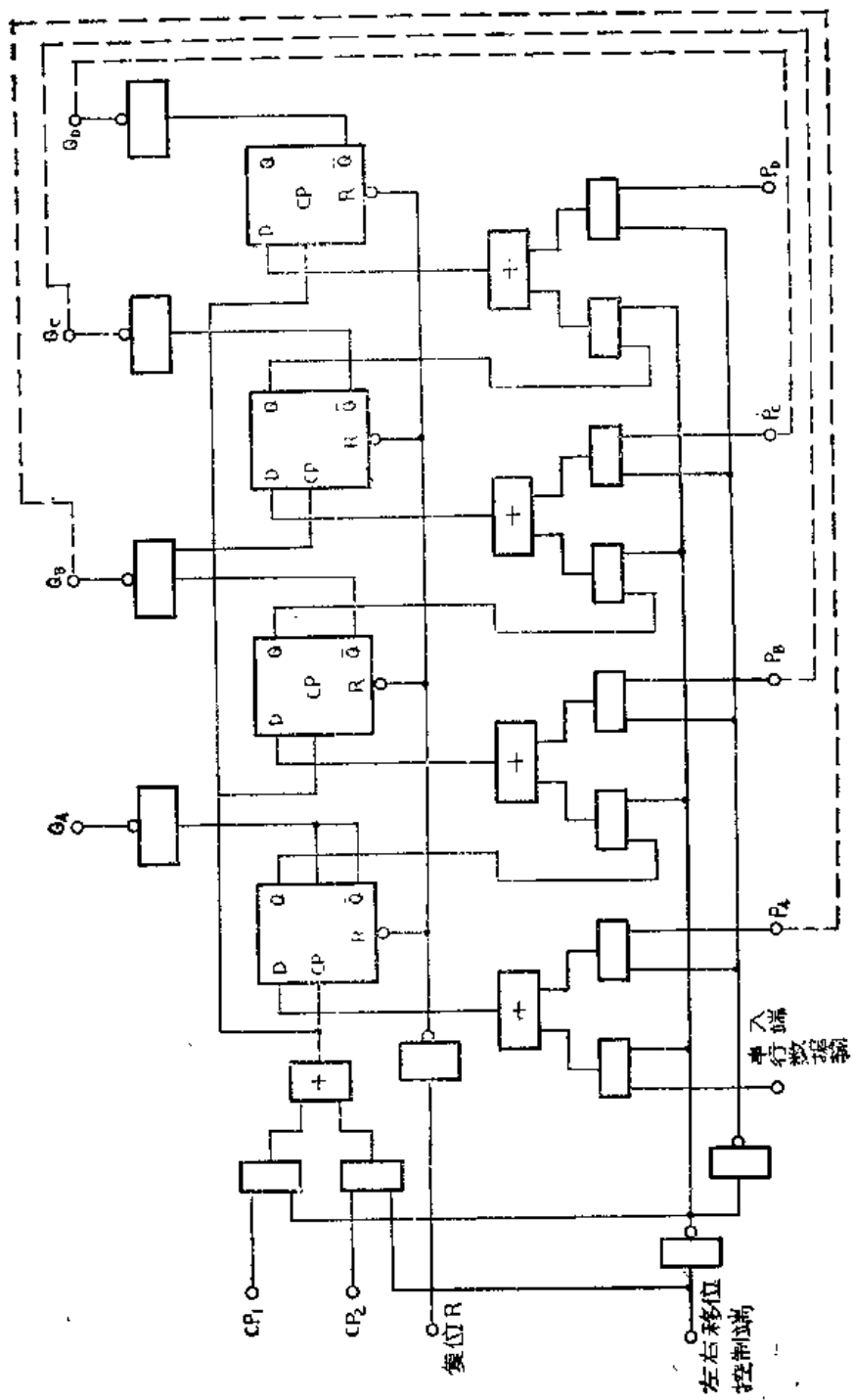


图 7-9 双向移位寄存器

三、动态移位寄存器

前面讲过的静态寄存器都用静态触发器组成，它们可以是双极型TTL电路，也可以是MOS电路，这样组成的寄存器线路比较复杂。在MOS集成电路中，可以利用MOS管栅极上的电荷储存现象来构成动态触发器，同样可利用这种效应组成动态移位寄存器。动态移位寄存器具有功耗小、集成度高、工作速度快和使用元件少等优点，在微处理机中得到广泛应用。

图7-10是动态移位寄存器的单元电路。它的基本原理是利用MOS管栅极电容 C_g 对电荷的存贮作用，在输入电压发生变化后，输出电压的变化要等下一个输入电压的变化到来时才能产生——延迟了一段时间。图7-10电路中输入信号到A点延迟了一段时间，并且信号反相，信号从A到B又延迟一段时间，B点信号相位与输入信号相同。图中两级电路的样子虽然相同，但是为了使输入信号能逐步传递下去，两级的时钟脉冲是不同相的。时钟脉冲 CP_1 和 CP_2 的幅度一样，周期相同，但在时间上相互错开，称为两相时钟脉冲。

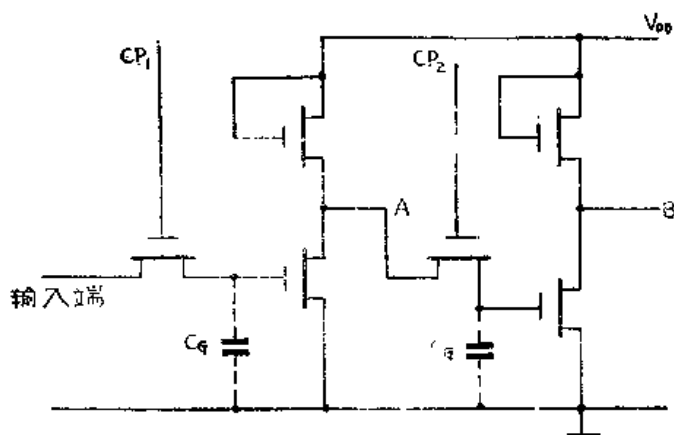


图 7-10 动态移位寄存器单元电路

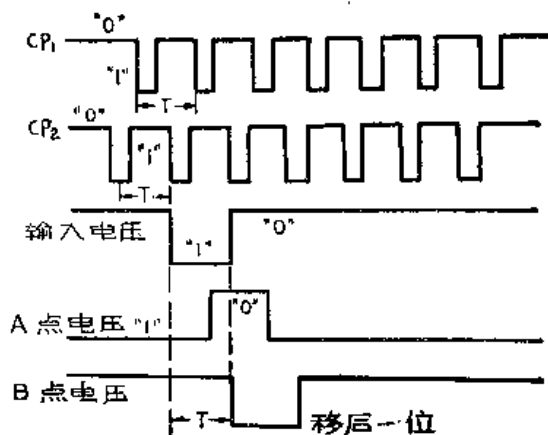


图 7-11 动态移位寄存器工作波形图

图7-10电路的工作波形如图7-11所示。从图中可以看出，当一个负的脉冲信号到达电路输入端以后，在第一级输出端A点上会出现一个延迟的反相信号，这个信号输入到第二级以后，在第二级输出端B上则得到一个与输入信号相位相同的输出信号。由于它们是在 CP_1 和 CP_2 两相时钟作用下去工作的，所以延迟时间恰好等于时钟脉冲的周期 T 。也就是说，信号脉冲在经过图7-10单元电路后产生了一个时钟脉冲周期的移位。左集成电路中，人们将若干个上述单元电路制作在一起并串接起来，它就形成了若干位的动态移位寄存器中的移位脉冲。

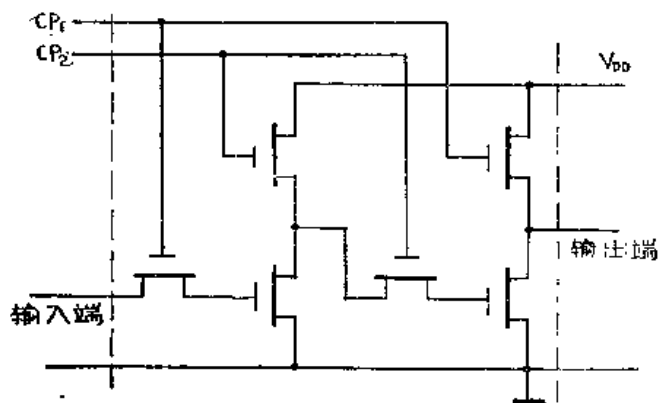


图 7-12 采用非饱和负载管的动态移位寄存器单元电路

图7-10电路中由于采用饱和管为负载，所以功耗比较大。为此，可以把上述单元电路中的反相器改为动态反相器——负载管的栅极不再连接电源 V_{DD} ，而由时钟来控制，这样负载管只是瞬时地导通（如图7-12所示），从而大大降低了电路的功耗。

图7-13是由 N 个单元电路组成动态移位寄存器逻辑图，它的输出信号是输入信号移位了 NT 时间， T 是时间脉冲的周期。

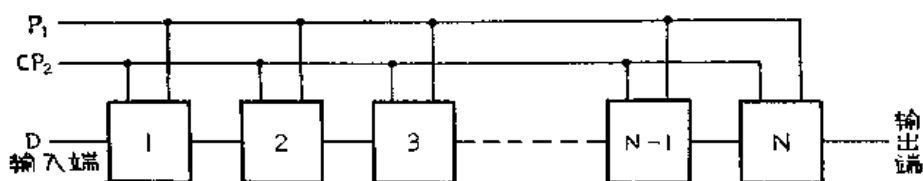


图 7-13 N 位动态移位寄存器

在动态移位寄存器里，时钟脉冲的频率不能太低（即 T 不能过长）。因为动态移位寄存器是靠栅极上的电荷贮存特性进行工作的，如果周期太长，栅极上电荷就会泄漏掉，电路就不能正常工作。在用动态移位寄存器作为存储器应用时，为了使信号长时间地“存储”在寄存器中，可以使动态移位寄存器的输出和输入相连，在两相时钟脉冲的控制下，信号可以在动态移位寄存器中不停地循环，而不消失。

动态移位寄存器具有线路简单、功耗低的优点，便于进行中、大规模的集成。目前64位乃至256位的动态移位寄存器均有产品，这比相同位数的静态移位寄存器的制造要容易得多。

§7-3 计 数 器

计数器是由触发器和门电路组成的一种时序电路，广泛用于各种数字装置中。

计数器按其工作方式可以分为非同步计数器和同步计数器两大类。按计数的进制又可以分为二进制计数器、十进制计数器等多种。按组成计数器的器件来分，又有P-MOS计数器、C-MOS计数器和TTL计数器等几种，尽管它们内部的工作过程是不同的，但是它们工作原理是一样的。

一、二进制计数器的工作原理

二进制计数器是由很多位组成的，每一位二进制计数器由一个触发器组成。每一个计数脉冲使对应的触发器翻转一次，也就是在其输出端将输入脉冲记录下来。这便是二进制计数的最基本原理。

1. 非同步计数器的工作原理

非同步计数器（又称异步计数器）中的触发器是以串联方式相连接的，后面触发器的翻转是靠前面一个触发器的输出去触发的。它们是以串联方式连接的。图7-14是四位二进制非

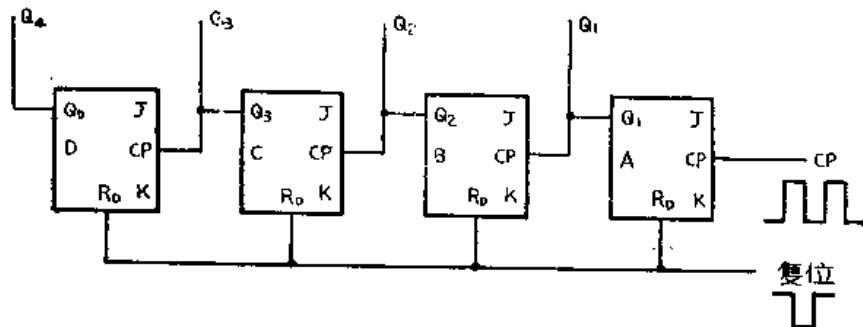


图 7-14 非同步二进制计数器

同步计数器的逻辑电路图，它由四个 J-K 触发器组成。

每个触发器有两种输出状态，四个触发器输出状态有 16 种组合方式 ($2^4=16$)。因此它最多能对 0~15 个脉冲进行计数，其计数状态可以用下表表示。

从图 7-14 中很容易看出，信号输入首先使触发器 A 翻转，使 $Q_1=1$ ；第二个计数脉冲输入时，使 $Q_1=0$ ， $Q_2=1$ ；第三个计数脉冲输入时，使 $Q_1=1$ ， $Q_2=1$ ；……它是一级一级接下去进行计数的，前一级计满 ($Q=1$ ，逢二进一) 后，后一级开始计数，直至全部计满 (全部为 1) 为止。计数器的工作波形如图 7-15 所示。由于信号经过每一级触发器都要有延时，而且触发器不是同时进行计数翻转的，所以非同步计数器的计数速度不能太快，这是非同步计数器的主要缺点。为了克服非同步计数器的缺点，人们又设计了同步计数器。

计数脉冲	Q_4	Q_3	Q_2	Q_1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

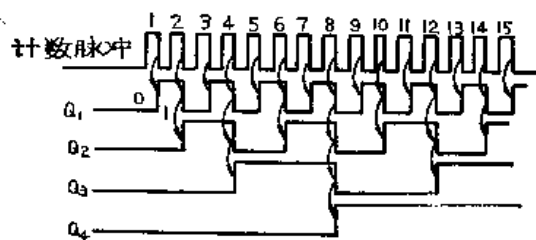


图 7-15 非同步计数器的工作波形图

2. 同步二进制计数器的工作原理

同步计数器是在计数脉冲到来后，该进行翻转计数的触发器同时进行翻转，省去逐级传递的延迟时间，加快计数器的工作速度。

为了得到同步计数的规律，我们对二进制计数真值表进行分析。

当第一位触发器输出状态是“1” ($Q_1=1$)，下一个计数脉冲到来时，对第二位必有进位，第二触发器跳变一次。当第一、二位触发器输出状态是“1” ($Q_1=1, Q_2=1$)，下一个计数脉冲到来时，对第三位必有进位，第三触发器跳变一次。类推，当第一、二、三位均为“1”时，计数脉冲到来时，第四位触发器才跳变一次。从上述现象中可以找到一个规律：即在计数脉冲作用下，每位触发器是否要翻转，要看比它低的所有位是不是都处于“1”状态来决定。为此我们将计数脉冲直接送到各触发器的 CP 端，而触发器的数据输入端 (例如，J-K 触发器的 J、K 端) 由低位输出根据上述逻辑关系加以控制，来保证在计数脉冲到来时，该翻转的触发器同时翻转，完成同步计数。

图 7-16 是一种四位同步二进制计数器的逻辑图，它由四个 J-K 触发器和两个与门组成。

当前面所有低位输出全部为“1”时，经过与门使该位的输入端 $J_n=K_n=1$ ，计数脉冲到达后触发器即进行翻转。前面低位输出有不为“1”时，与门输出为“0”，则该位触发

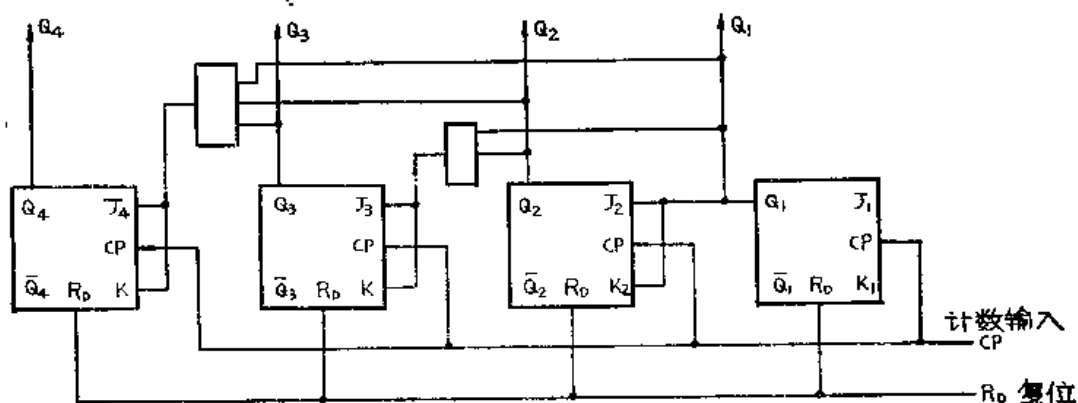


图 7-16 同步二进制计数器

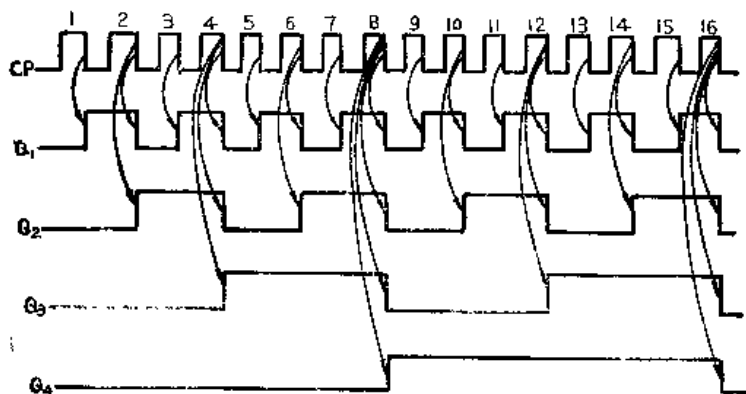


图 7-17 同步计数器的工作波形图

器不发生翻转。图7-17是同步计数器的工作波形图。比较图7-15和图7-17可以更清楚地理解非同步计数器的差别。

同步计数器的工作速度较快，而且不因计数级数的增加而使速度变慢，这些都是它优于非同步计数器之处。同步计数器的计数脉冲要同时送到很多触发器的CP端去，因此要求产生计数脉冲的电路具有较大的负载能力才行。

目前对于位数较多的计数电路，往往照顾多方面要求，采用分组进行计数方法。即组内采用同步进位，组间采用非同步进位。

二、十进制计数器的工作原理

日常生活中，人们更习惯于十进制计数，采用二进制计数单元进行十进制计数至少要用四位才行，因为三位二进制计数单元，只能表示出8种不同的组合状态，四位则有 $2^4=16$ 种组合状态，我们可以选择10种组合状态代表十进制数中0~9十个数字。十进制计数特点是“逢十进一”，组成十进制计数器时，当计数脉冲到10个以后，计数器就要从头开始计数。

二-十进制计数器的编码方法有很多种，我们采用最广泛的编码——8421码，来说明二-十进制计数器的工作原理。

计数脉冲	二进制数码				十进制数码
	Q_4	Q_3	Q_2	Q_1	
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	0	0	0	0	10

8、4、2、1编码方式是取四位二进制计数的前十种组合代表0~9十个数字，即如上表所示。

它的特点是 $Q_4 = 1$ 代表8， $Q_3 = 1$ 代表4， $Q_2 = 1$ 代表2， $Q_1 = 1$ 代表1，因此称8、4、2、1码。在8421码中计数状态最高位是“1001”代表9，而高于9的位数，“1010”（10）至“1111”（16）是被禁止的（不采用的）

1. 非同步十进制计数器工作原理

在四位二进制计数器中，在0~9个脉冲时和二进制计数中0~9的计数完全相同，要实现十进制计数的关键在于9为“1001”到第10个脉冲变为“0000”，并实现向高位的进位。计数器为“1001”（9）状态，表示第一位、第四位触发器为“1”状态，而第二位、第三位为“0”状态。下一个计数要求第一、四位转成“0”状态，第一位由“1”状态变为“0”状态，在二进制计数器中本来就是这样变化的。问题是要阻止第二位由“0”变为“1”，在十进制计数中要保持第二位为“0”。第四位在二进制计数中要保持为“1”，现在要求在下一脉冲到来时，变为“0”。综上所述，就是要保持 Q_2 为“0”状态， Q_4 由“1”状态变为“0”状态。这样就可以实现十进制计数了。

图7-18是非同步二-十进制计数器的逻辑图，它是在二进制计数器的基础上加以一定反馈而构成的。这些反馈线的作用就是为了保证完成十进制计数的功能，同时对0~9的计数不产生影响。下面我们结合图7-18来看它的计数过程。

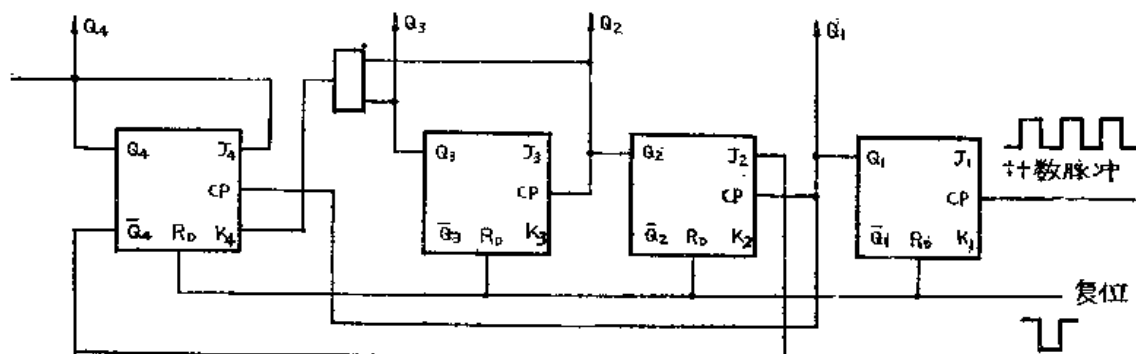


图 7-18 非同步十进位计数器

第一个计数脉冲输入后， $Q_1 = 1$ ， $Q_2 = Q_3 = Q_4 = 0$ ；第二个计数脉冲输入后， $Q_1 = 0$ ， $Q_2 = 1$ ， $Q_3 = Q_4 = 0$ ；第三个计数脉冲输入后， $Q_1 = 1$ ， $Q_2 = 1$ ， $Q_3 = Q_4 = 0$ ；…直至第七个计数脉冲输入，触发器仍按二进制计数翻转，反馈线不产生影响；当第八个计数脉冲输入后， Q_1 由“1”变为“0”，因此对触发器4有触发作用使 Q_4 由“0”变为“1”，所以计数到8时，第四个触发器， $Q_4 = 1$ ， $J = 1$ ， $K = Q_2$ ， $Q_3 = 0$ ；当第九个计数脉冲到达后， Q_1 由“0”变为“1”，对触发器4无触发作用，所以仍然是 $Q_4 = 1$ ， $J = 1$ ， $K = 0$ ；当第十个计数脉冲到达后， Q_1 由“1”变为“0”，对触发器4有触发作用，使 Q_4 由“1”变为“0”，这个由“1”→“0”的变化将成为向高位（十进制数的十位）的进位信号，在 Q_4 由“1”→“0”时， Q_2 则由“0”→“1”，通过反馈线至第二位J端。 $J_2 = 0$ ， $K_2 = 1$ ，在CP作用后 $Q_2 = 0$ ，这就实现了在第十个脉冲时计数器为“0000”状态。

图7-19是非同步十进位计数过程的波形图。十进制非同步计数器在计数过程中各位触发

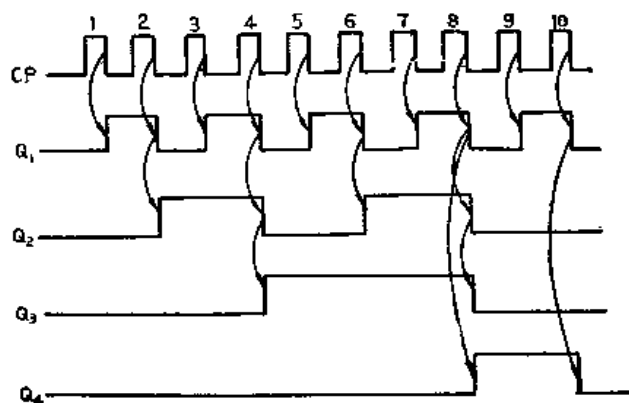


图 7-19 非同步十进制计数器工作波形图

器不是同时进行翻转的，而是按串行顺序翻转的，所以其工作速度不能太高。

2. 同步十进制计数器工作原理

结合前面讲过的二进制同步计数器和非同步十进制计数器原理, 不难得到用J-K触发器组成的同步十进制计数器的原理。结合前面的两张真值表可以看出:

第一位触发器，它的变化规律与二进制计数没有区别——即每个时钟脉冲翻转一次。因此计数脉冲可以直接接到 Q_1 的 CP 端。

第二位触发器，它与二进制稍有不同，即 $Q_1 = 1$ 和 $Q_4 = 0$ 的情况下，计数脉冲应使它翻转一次，而当 $Q_4 = 1$ 时，不管 Q_1 如何， Q_2 均不翻转，因此触发器 2 输入端 (J 、 K) 应由 Q_1 和 $\bar{Q}_4$ 来控制，即当 $Q_1 \cdot \bar{Q}_4 = 1$ 时， $J_2 = K_2 = 1$ 。

第三位触发器，这一位和二进制同步计数器的情况不同， Q_3 、 Q_2 、 Q_1 为“1”“1”“1”时，下一个计数脉冲使 Q_4 由“0”变为“1”，而当 $Q_1=1$ ， $Q_2=1$ 时，下一个计数脉冲使 Q_4 由“1”变为“0”，前者通过 Q_1 、 Q_2 、 Q_3 ，使 $J_4=K$ ， $K_4=0$ ，在计数脉冲作用后，使 Q_4 由“0”变为“1”，后者通过 Q_1 、 Q_2 使 $J_4=0$ ， $K_4=1$ ，在计数脉冲作用后， Q_4 由“1”变为“0”。

根据上述原理，我们用J-K触发器和门组成的同步十进制计数器如图7-20所示。图7-21是它的计数工作波形图。

同步计数器具有较高的工作速度，和用同样触发器组成的非同步计数器相比可以对更高的频率计数。

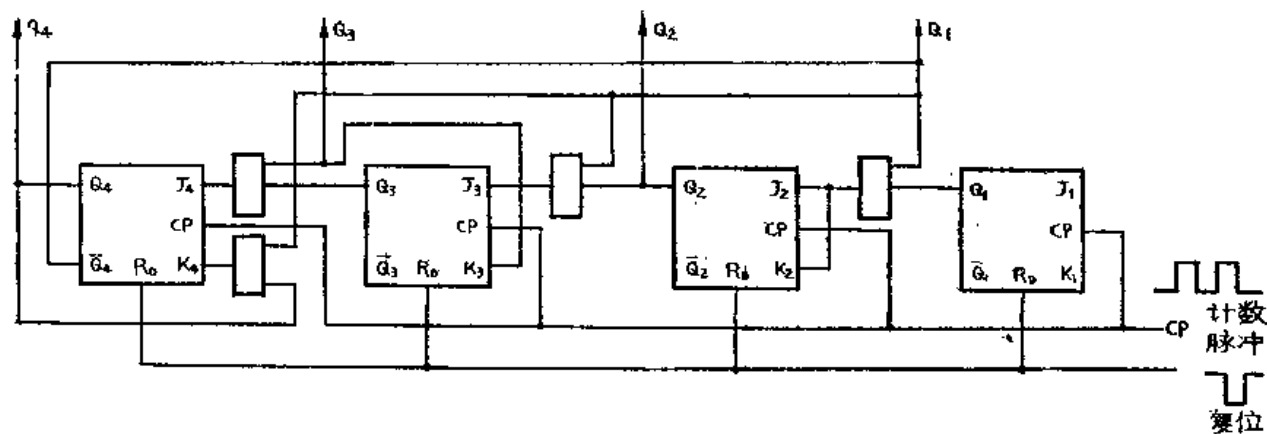
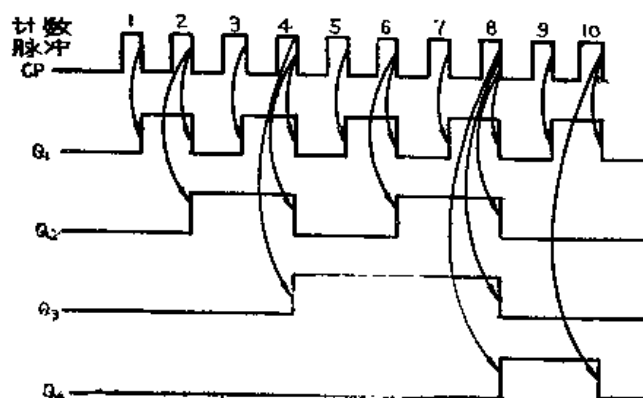


图 7-20 同步十进计数器

3. 十进制可逆计数器的工作原理

前面介绍的同步计数器和非同步计数器，都是每输入一个计数脉冲，计数器的数码增加1，就是对计数脉冲做加法。所以说它们都是加计数器。在实际工作中有时还需要这样一种计数器，就是每输入一个计数脉冲，数码就减少1，即对计数脉冲做减法，称为减计数器，兼具备加计数功能和减计数功能的十进计数器，称为十进制可逆计数器。

十进制可逆计数器在加法运算时，符合前面讲过的真值表，在做减法运算时，其真值表如下所示：



计数脉冲	二进制数码				十进制数码
	Q_4	Q_3	Q_2	Q_1	
0	0	0	0	0	0
1	1	0	0	1	9 借位
2	1	0	0	0	8
3	0	1	1	1	7
4	0	1	1	0	6
5	0	1	0	1	5
6	0	1	0	0	4
7	0	0	1	1	3
8	0	0	1	0	2
9	0	0	0	1	1
10	0	0	0	0	0

图 7-21 同步十进计数器工作波形图

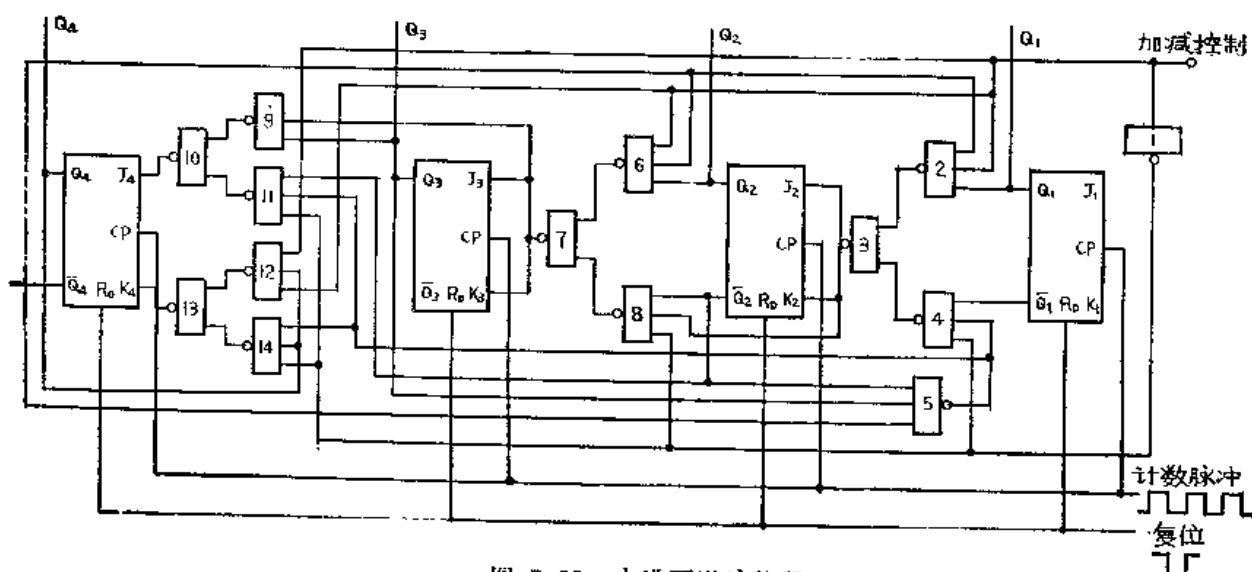


图 7-22 十进可逆计数器

从表中可以看出，如果计数器原来是置“0”则第一个计数脉冲输入后需要向高位借位。图7-22是由四个J-K触发器和一些与非门组成的一种十进可逆计数器的逻辑图。

图中加减法控制端是控制做加法计数或做减法计数用的，控制端接高电平“1”时，计数器做加法计数；控制端接低电平“0”时，计数器做减法计数。

先来看加法计数，控制端接“1”，经反相器“1”输出的“0”信号去控制与非门4、8、11、14，使它们输出为“1”，因此这四个门对四个J-K触发器的J、K端不发生控制作用。则与非门2、3相当于“与”门的功能去控制 J_2 、 K_2 端；与非门6、7也相当于

与门去控制 J_3 、 K_3 端，与非门9、10也等于与非门去控制 J_4 ，“与非”门12、13等于与门去控制 K_4 。在这种情况下计数器的工作情况和前面介绍的同步十进制计数器相同，仅是在与门上多了一个加减法控制输入端，而这个输入端现处于“1”电平，因此对原控制门的工作不发生任何影响，所以这时计数器做加法计数。

再来看做减法计数，加减控制端接“0”，则与非门2、6、9、12的输出是“1”，因此这些门对四个触发器的 J 、 K 端的控制门不发生作用。与非门3、4等于与门，控制 J_2 、 K_2 ；与非门7、8等于与门控制 J_3 、 K_3 ；与非门10、11和与非门13、14也相等与门，分别控制 J_4 端和 K_4 端。反相器1输出为“1”，对和它相连的门不产生影响。结合减法计数的真值表，我们来看如何实现减法计数。

第一位，每输入一个计数脉冲，触发器要翻转一次，因此触发器的 J 、 K 端不接（即为高电平）就能满足要求。

第二位， Q_2 的翻转条件是 $Q_1 = 0$ （ $\bar{Q}_1 = 1$ ）以及 Q_2 、 Q_3 、 Q_4 中至少有一个不等于“0”（ $\bar{Q}_2$ 、 $\bar{Q}_3$ 、 $\bar{Q}_4$ 中至少有一个等于“0”），所以 Q_2 的控制端应满足 $J_2 = K_2 = \bar{Q}_1 \cdot (\bar{Q}_2 \cdot \bar{Q}_3 \cdot \bar{Q}_4)$ ，这就是图7-22中的情况。

第三位，在实现十次减法计数过程中， Q_2 翻转四次，有两次 Q_3 同时翻转，这两次 $Q_2 = “0”$ （ $\bar{Q}_2 = “1”$ ）。另外两次 Q_3 不翻转，这时 $Q_2 = “1”$ （即 $\bar{Q}_2 = “0”$ ），所以 Q_2 的翻转条件是： $J_3 = K_3 = \bar{Q}_2 \cdot J_2 \cdot K_3$ 。图7-22中 J_3 、 K_4 在做减法计数时，恰好满足上述条件。

第四位，从真值表看出，它只是在第一个计数脉冲作用后由“0”变为“1”，第三个计数脉冲作用后由“1”变为“0”，其他计数时 Q_4 均保持为“0”不变。 Q_4 由“0”变“1”时， Q_1 由“1”→“0”， $Q_2 = 0$ ， $Q_3 = 0$ ， $Q_4 = 0$ （ $\bar{Q}_2 = \bar{Q}_3 = \bar{Q}_4 = “1”$ ）； Q_4 由“1”变回“0”时， $Q_1 = “0”$ ， $Q_2 = “0”$ ， $Q_3 = “0”$ ， $Q_4 = “1”$ ，为此第四位触发器的 J_4 和 K_4 端应满足下列关系式：

$$J_4 = \bar{Q}_1 \cdot \bar{Q}_2 \cdot \bar{Q}_3$$

$$K_4 = Q_4$$

当 $Q_1 = \bar{Q}_2 = Q_3 = Q_4 = 1$ 时，则 $J_4 = “1”$ ， $K_4 = “0”$ ，即计数脉冲作用后 $Q_4 = “1”$ ，实现 Q_4 由“0”变“1”。当 $\bar{Q}_1 = \bar{Q}_2 = \bar{Q}_3 = 1$ ， $\bar{Q}_4 = “0”$ 时，则 $J_4 = “1”$ ， $K_4 = “1”$ ，即在计数脉冲作用后 Q_4 翻转，实现 Q_4 由“1”变“0”。但是 Q_4 尚需要满足在其他计数对不再发生翻转，所以其他计数时要保证 $J_4 = “0”$ ， $K_4 = “0”$ 。在其他计数时（3~10计数）， $Q_1 Q_2 Q_3$ 都不是全为“0”（至少有一个是“1”），因此 $J_4 (= \bar{Q}_1 \cdot \bar{Q}_2 \cdot \bar{Q}_3) = “0”$ ，得到满足，但其他状态 Q_4 并不全是“0”，第二个计数脉冲输入时， $Q_4 = “1”$ ，要求这时 Q_4 要保持不变，但此时 $Q_1 = “1”$ （ $\bar{Q}_4 = “0”$ ），所以 K_4 端还应加入 $\bar{Q}_1$ 的条件，即 $K_4 = \bar{Q}_1 \cdot Q_4 \cdot K_4$ 中加入 $\bar{Q}_1$ 对 Q_4 翻转无影响，因为 Q_4 翻转时 $\bar{Q}_1$ 总是为“1”。这样就实现了第四位的减法计数。

减法计数器的另外一个问题是，当计数器处于“0000”状态时，输入第一个计数脉冲后，计数器状态变为“1001”，而且要向十进制的十位数（高位）借位，此时 Q_4 由“0”变“1”，则 Q_4 要由“1”变“0”，因此可以用 $\bar{Q}_4$ 负跳变作为计数脉冲，送入十进数字高位的第一位，以便实现借位。

减法计数器的工作波形图如图7-23所示。

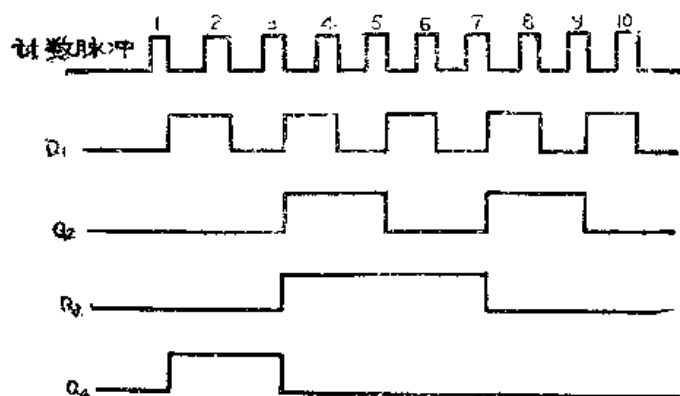


图 7-23 减法计数工作波形图

§7-4 译 码 器

译码器是一种数码变换电路，它的作用是将一种数码变换为另一种数码，然后用它的电平去进行操作或显示。例如，在小型计算器中，进行运算的都是采用二-十进制数码，要将它的运算结果用荧光或液晶数码管显示出来，就需要采用译码器；另外，在按下十进制数字键时，输入的十进制数码需要经过一个编码器将它转换成二-十进制数码，才能送入运算器进行运算。

习惯上把译码器、编码器和码制转换器都统称为译码器。译码器是一种组合逻辑电路，它是由各种门电路组成的。

一、变量译码器

变量译码器是用来表示输入变量状态的译码器。变量译码器的输出反映了输入变量的不同组合所对应的各种不同状态。

比如一个两变量的变量译码器，它有两个输入端，两个变量都可以有两种状态(0或1)，这两个输入变量则有四种不同的组合状态(00、01、10、11)，所以对于两变量的变量译码器就一定要有四个输出端与这四种组合状态相对应。因此，变量译码器若有几个输入变量，则有“2”个输出端。

功 能 表

输入		输出			
A	B	Y_0	Y_1	Y_2	Y_3
0	0	0	1	1	1
1	0	1	0	1	1
0	1	1	1	0	1
1	1	1	1	1	0

图7-24是二变量译码器的逻辑图和它的功能表。它有两个输入端和四个输出端。输入端的每一种组合状态，只有一个相应的输出端为“0”状态，其他三个输出端均为“1”状态。例如，输入状态为 $A=0$ 、 $B=0$ 时，对应 Y_0 输出端为“0”，而 Y_1 、 Y_2 、 Y_3 均为“1”；输入状态为 $A=1$ 、 $B=0$ 时，对应 Y_1 输出端为“0”，而 Y_0 、 Y_2 、 Y_3 均为“1”。上述译码器的功能如何实现呢？输入数码 A 、 B 通过两级非门可以得到 $\bar{A}$ 、 A 和 $\bar{B}$ 、 B 。对任何一组输入状态，这四个数码(A 、 B 、 $\bar{A}$ 、 $\bar{B}$)总是有两个是1，例如输入数码 $AB=01$ ，则 $\bar{A}B=11$ ，因此只要将 $\bar{A}$ 、 B 作为与非门的两个输入端，多数码输入是01时，此与非门的输出为“0”，此输出端就是 Y_1 。于是，可得译码器各输出端的逻辑表达式为：

$$Y_0 = \bar{A} \cdot \bar{B}$$

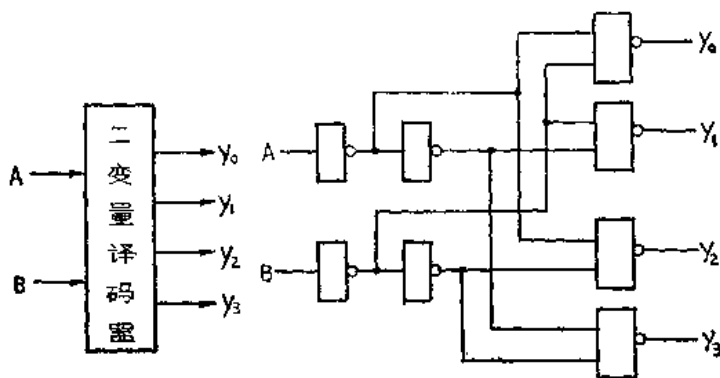


图 7-24 二变量译码器

$$Y_1 = \overline{A} \cdot B$$

$$Y_2 = A \cdot \overline{B}$$

$$Y_3 = \overline{A} \cdot \overline{B}$$

人们可以从哪个输出端“0”，来判断输入变量的状态。例如，当 Y_1 为“0”时，就知道输入变量的状态为 $A=1, B=0$ ；当 Y_3 为“0”时，就可知， $A=1, B=1, \dots$ 。

三变量译码器和四变量译码器的工作原理和二变量译码器是一样的，只是更加复杂，这里不再多述。

二、八段译码器

八段译码器又称八划译码器，它是为驱动八段数码管而设计的。它以四位二进制数码输入，用八段数码管不同笔划组合，来组成0~9十个十进制数码。

1. 八段译光数码管

八段荧光数码管是由阴极（灯丝）、栅极和阳极组成的电子管，其内部结构及外型如图7-25所示。其简单工作原理是：阴极在灯丝电流加热下，产生热电子发射，最外层的阳极是在一块绝缘板上制成八个笔划的金属电极，各笔划上涂以荧光物质，电子在阳极加速电压作用下，轰击荧光物质，发出荧光显示数字。荧光所显示的数字，由相应各阳极上是否加上加速的正电压所决定，例如a、c、h阳极加上正电压，就显示出数字“7”（参见图7-25所示），在荧光数码管的阴极与阳极之间还有一个网状的栅极，用以控制发射电子的运动。当荧光数码管栅极接负电位时（相对阳极），热发射电子不能通过栅极到达阳极，笔划全部不亮，当栅极加正电位时，热发射电子可以通过，在阳极电场加速下到达阳极，使相应笔划发光。

2. 八段译码器的原理

图7-26是荧光数码管和MOS译码器组成的显示电路的原理图。

图中MOS管 T 是控制荧光管栅极电位用的，当 $u_b=0$ 时，MOS管截止，无电流流过电阻 R_c ，使其上电压降很小，荧光管栅极上无正电压，尽管荧光管阳极电压可能存在，不会产生电子的定向运动，荧光管不亮。当电压 u_b 负值时，MOS导通，电流在 R_c 上产生压降，这一压降成为栅极的加速正电压，荧光管的阳极热发射电子在栅极正电压及阳极加速电压作用下，飞向涂有荧光物质的阳极，使之发光。译码器相当于接在阳极通路内多路开关。译码器输入端A、B、C、D加以不同二-十进制代码时，相当于译码器内部的相应开关的接通，使正电压 E_a 通过译码器加到数码管的相应阳极上，我们用“1”（地电位）代表开关闭合，用“0”（负电位）代表开关断开，阳极笔划接“1”时，这一笔划就发光，阳极笔划接“0”

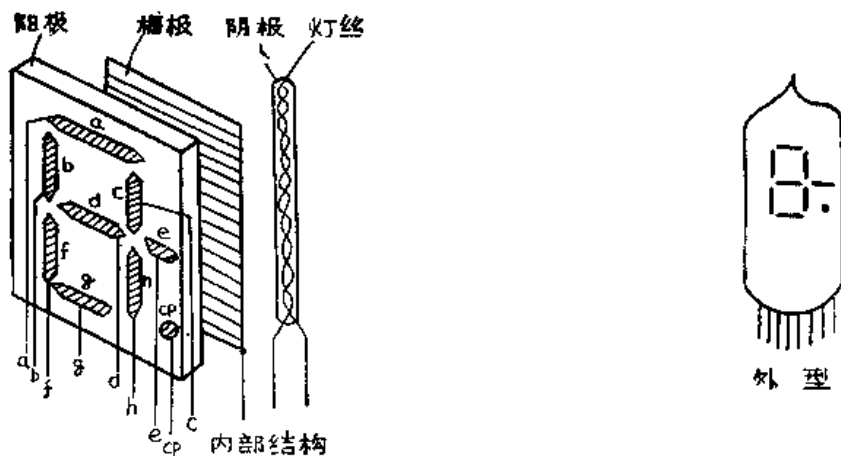


图 7-25 八段荧光数码管

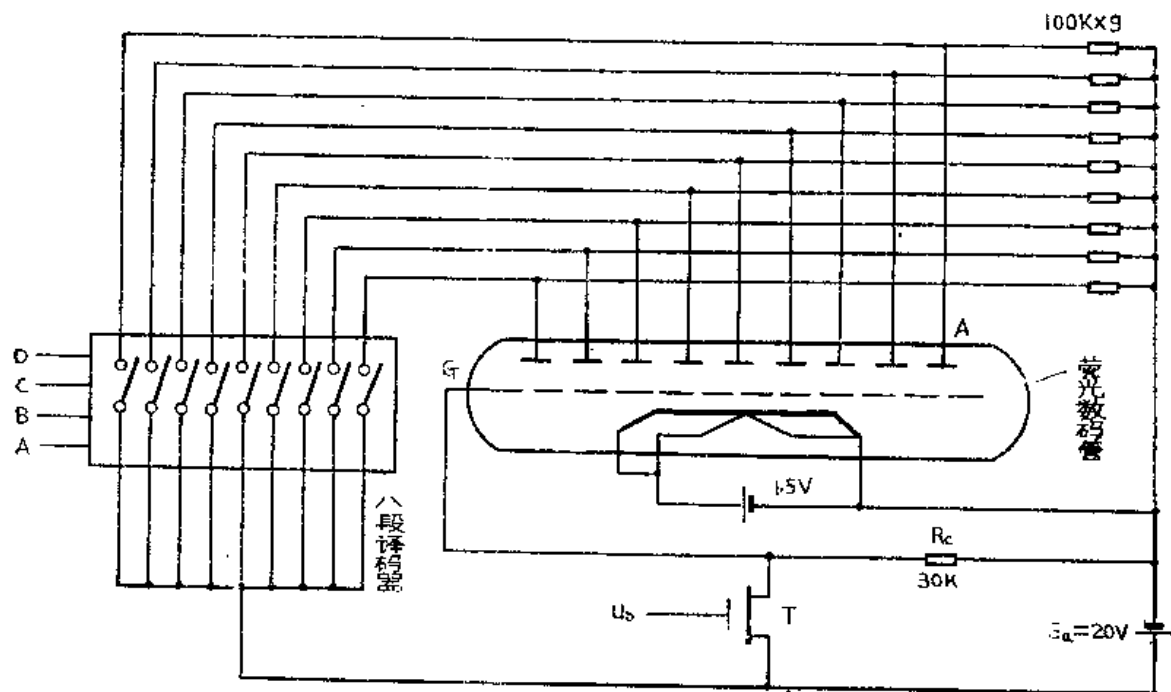


图 7-26 八段译码器原理图

时，该笔划就不发光，各笔划的不同组合，就可以显示出不同的数字。

下面给出了采用8421二进制代码和相应阳极发光笔划的关系表。表中用“0”表示不发光笔划，用“1”表示发光笔划。

根据上述真值表，可以写出每一阳极笔划发光的逻辑表达式。例如，笔划a亮的条件是各含“1”项相加，即 $a = 0 + 2 + 3 + 5 + 6 + 7 + 8 + 9$ ，也就是 $a = \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \bar{D} + \bar{A} \cdot B \cdot \bar{C} \cdot \bar{D} + \bar{A} \cdot B \cdot C \cdot \bar{D} + \bar{A} \cdot \bar{B} \cdot C \cdot \bar{D} + A \cdot \bar{B} \cdot C \cdot \bar{D} + \bar{A} \cdot B \cdot C \cdot \bar{D} + A \cdot B \cdot C \cdot \bar{D} + \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot D + A \cdot \bar{B} \cdot \bar{C} \cdot D$ 。同理，可以解出笔划b、c…的逻辑表达式。利用卡诺图进行化简，从而得到各笔划的化简的逻辑表达式。

$$a = \bar{A} \cdot \bar{B} \cdot \bar{C} + D + A \cdot \bar{B} \cdot C + \bar{A} \cdot B + A \cdot B$$

$$b = A \cdot \bar{B} \cdot C + D + \bar{A} \cdot C + \bar{A} \cdot \bar{B} \cdot \bar{C}$$

$$c = \bar{A} \cdot \bar{B} \cdot C + \bar{B} \cdot \bar{C} + A \cdot B + B \cdot \bar{C}$$

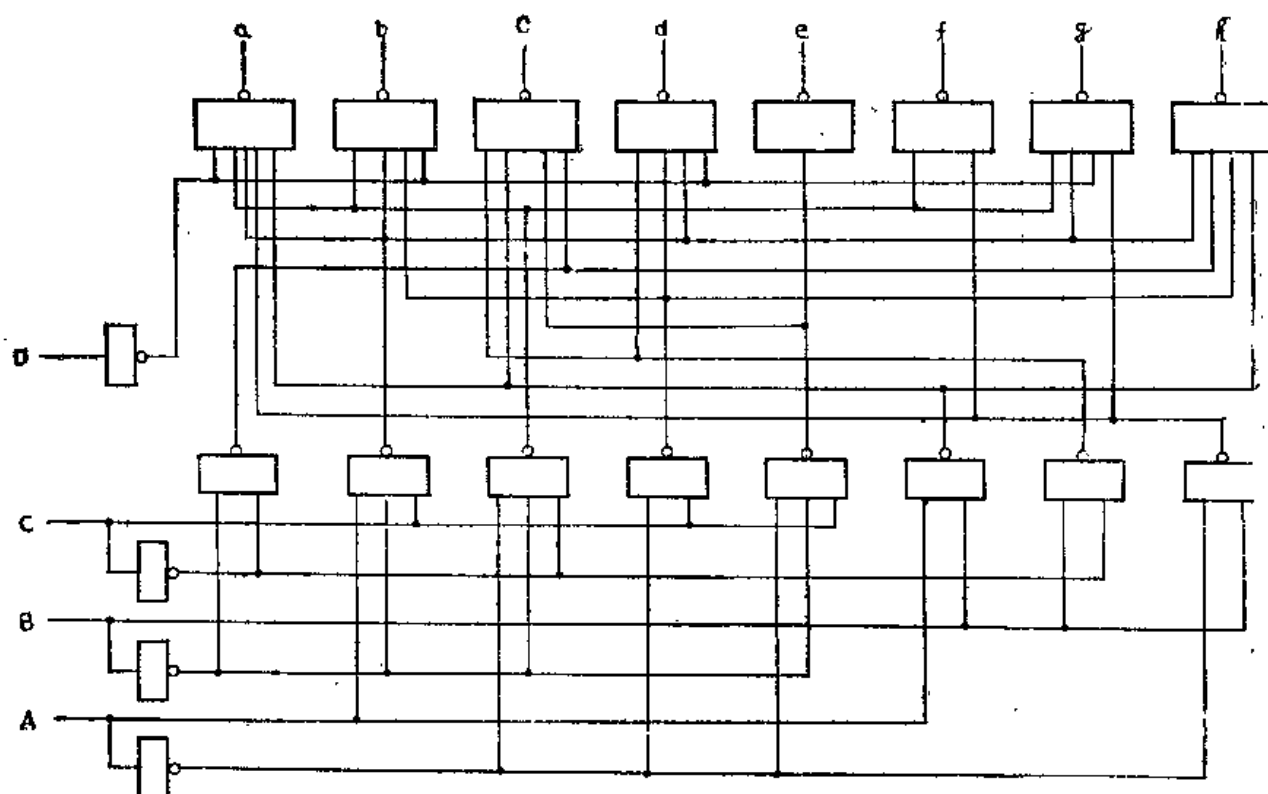


图 7-27 八段译码器的逻辑图

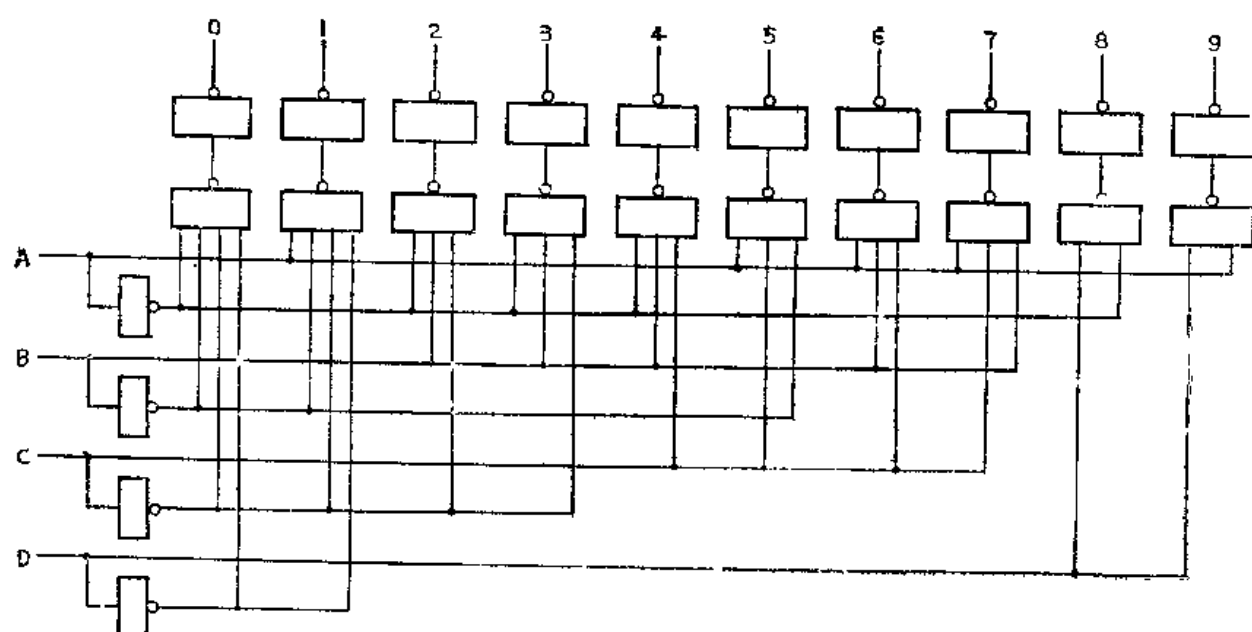


图 7-28 二-十进制译码器

不包括多余项的二-十进制时序译码器的设计与上述方法相同，只是在利用卡诺图进行函数化简时，不能再利用多余项，其逻辑表达式为：

$$\begin{aligned}
 0 &= \overline{D}\overline{C}\overline{B}\overline{A}, & 1 &= \overline{D}\overline{C}\overline{B}A, & 2 &= \overline{D}\overline{C}B\overline{A}, \\
 3 &= \overline{D}\overline{C}BA, & 4 &= \overline{D}C\overline{B}\overline{A}, & 5 &= \overline{D}C\overline{B}A, \\
 6 &= \overline{D}CB\overline{A}, & 7 &= \overline{D}CBA, & 8 &= D\overline{C}\overline{B}\overline{A}
 \end{aligned}$$

输入				输出
D	C	B	A	0 ~ 9
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

多余项

为了满足工艺制造上的要求，每一项都采用非-非的结构——即采用与非门的组成形式，其逻辑图如7-29所示。

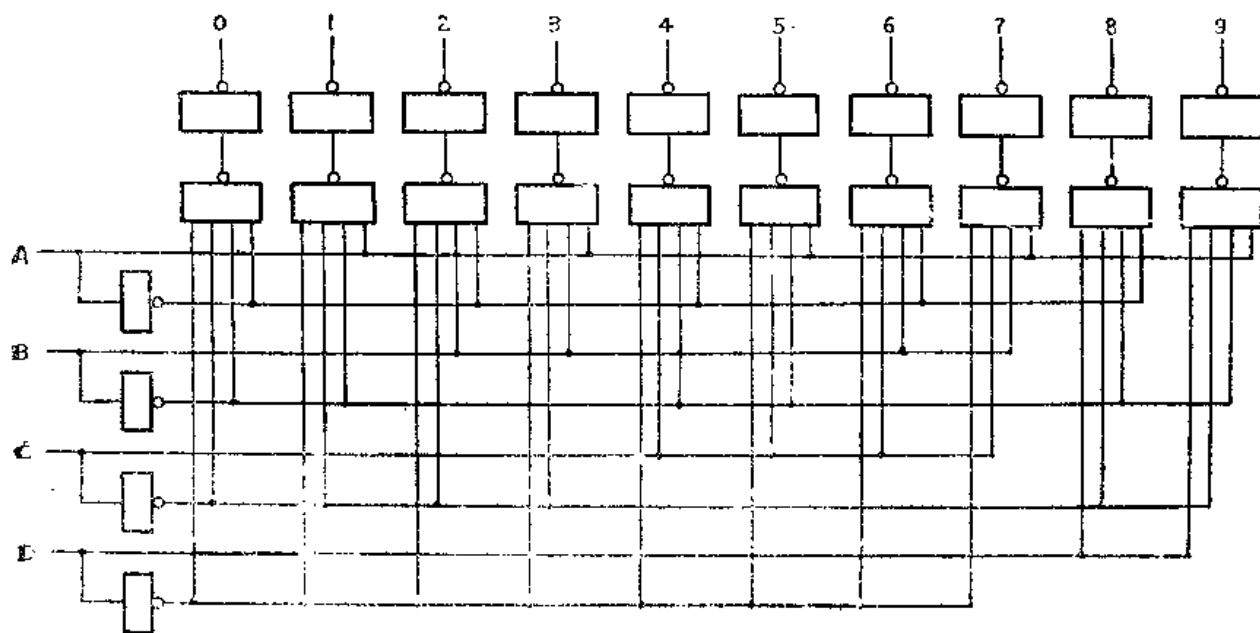


图 7-29 二-十进制译码器

§7-5 数据选择器

数据选择器又称多路开关，它是一种以“与非”门为主的门阵列。在选择控制信号下，从多通道数据输入中选择某一通道的数据作为输出信号，在作用原理上相当于一个“多刀多掷”的波段开关。

图7-30是四通道选一数据选择器的逻辑图，其中 $D_0 \sim D_3$ 是输入数据， S_0 、 S_1 是通道选择控制命令。当 $S_0 S_1 = 00$ 时，“与”门4被打开，数据 D_0 从输出端Y通过；当 $S_0 S_1 = 10$ 时，

“与”门1、2、4被封锁，则Y选择 D_1 ；当 $S_0S_1 = 01$ 时，与门1、3、4被封锁，则Y选择 D_2 ；当 $S_0S_1 = 11$ 时，则 D_3 被选择。输出Y的表达式为：

$$Y = \bar{S}_0\bar{S}_1 \cdot D_0 + S_0\bar{S}_1 \cdot D_1 + \bar{S}_0S_1 \cdot D_2 + S_0S_1 \cdot D_3$$

常见的集成化的数据选择器，举例如下：

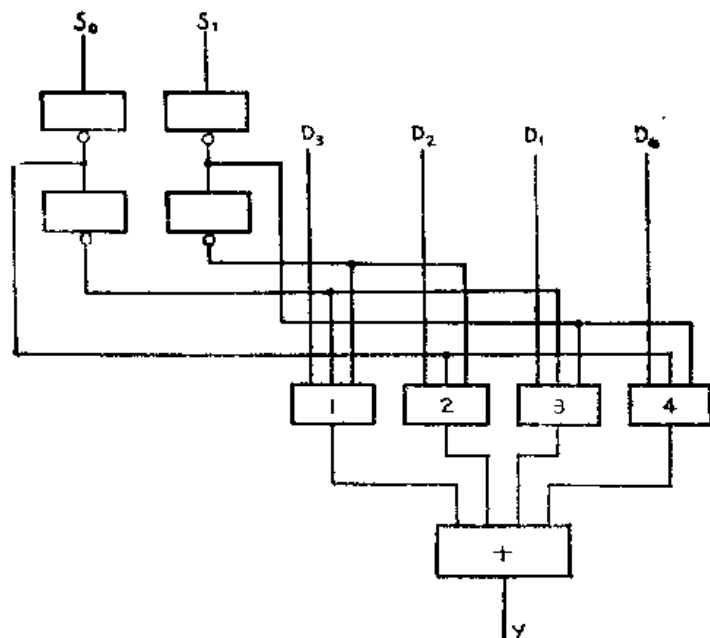


图 7-30 四选 一数据选择器

1. 四位二通道选 一多路开关

图7-31是它的逻辑图和功能表。这种多路开关没有允许控制端 $\bar{E}$ ，当 $\bar{E} = 0$ 时，多路开关正常工作；当 $\bar{E} = 1$ 时，不管数据输入状态如何，输出均为“0”，多路开关被禁止。当选择控制 $S = 0$ 时，选择各位上A通道的数据从各Y端输出；当 $S = 1$ 时选择各位上B通道的数据，从各Y端输出。

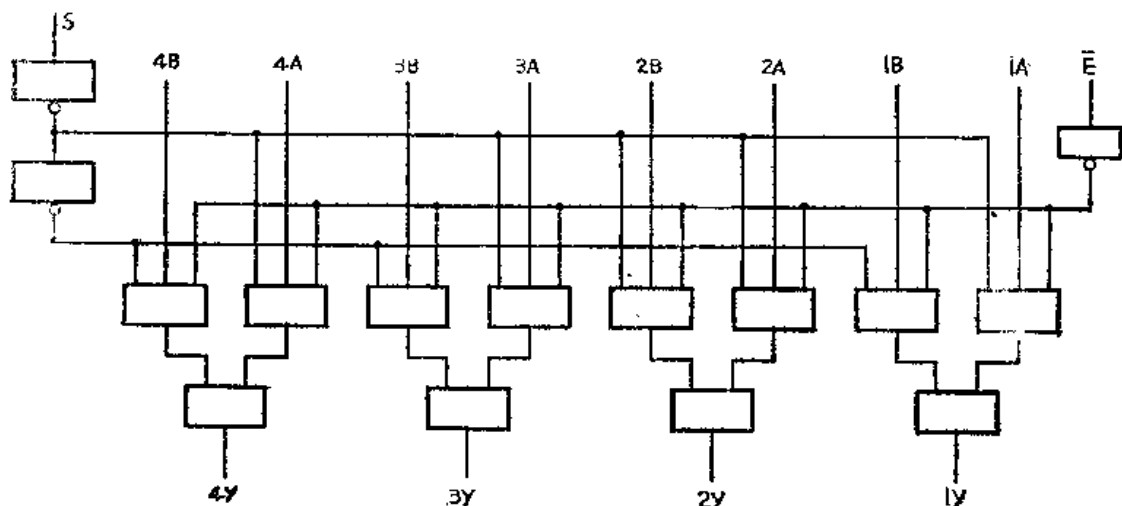


图 7-31 四位二选 一数据选择器

2. 具有“允许”端和互补输出端的八通道选 一多路开关

图7-32是它的逻辑图和功能表。

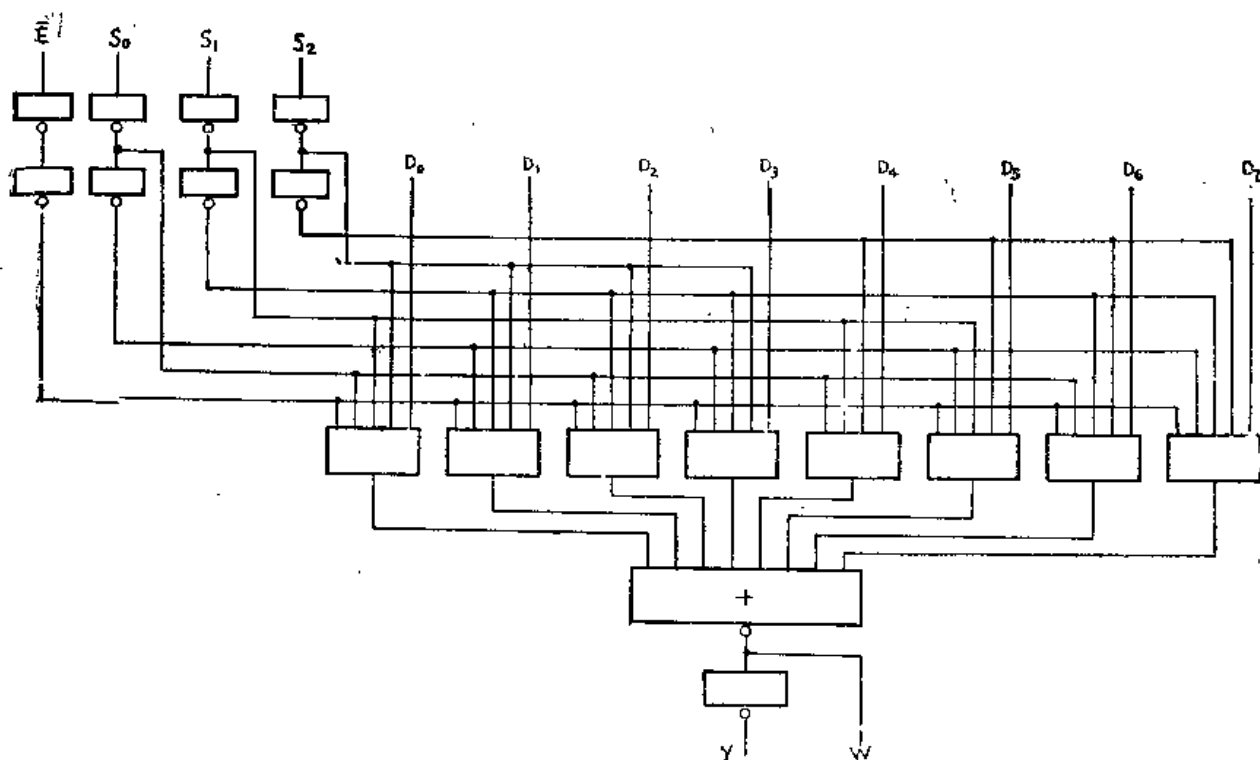


图 7-32 八选一数据选择器

功 能 表

E	S_0	S_1	S_2	
1	×	×	×	D
0	0	0	0	D_0
0	1	0	0	D_1
0	0	1	0	D_2
0	1	1	0	D_3
0	0	0	1	D_4
0	1	0	1	D_5
0	0	1	1	D_6
0	1	1	1	D_7

§7-6 存 贮 器

存贮器是一种能存取逻辑信息的功能部件，用存贮器组成的存储系统是电子计算机的重要组成部分。图7-33是一台电子计算机的方框图，它由运算器、存贮器、控制器、输入设备和输出设备五部分组成。各部分的作用可以和用算盘作计算的过程相比喻。运算器相当于算盘，输入、输出设备相当于手和笔的作用，控制器象人的大脑，而存贮器则相当于演算用的纸，具体地说存贮器的作用是，数据和指令通过输入设备送入存贮器，存贮器将指令送给控制器，控制器可根据指令的内容，命令存贮器向运算器提供计算数据，运算器按照控制器的指令，存贮器提供的数据和计算程序进行运算，运算器按照控制器的指令，存贮器提供的数据和计算程序进行运算，运算过程中还可以将中间结合再存入存贮器中，直至运算过程完毕，结果从输出设备送出（显示或打印）为止。由于电子计算机要进行大量复杂的运算，存

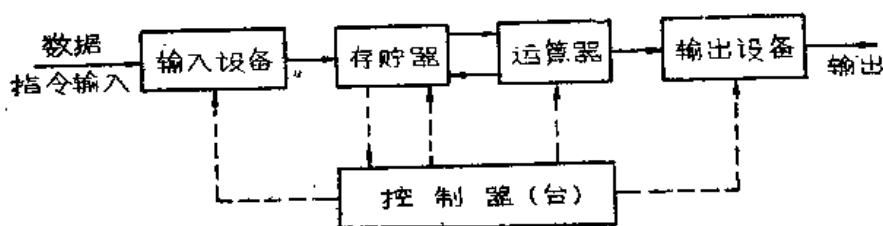


图 7-33 电子计算机组成的方框图

贮器就要存放成千上万个数据和指令，人们形象地将存贮器比作存贮数据的大仓库。

存贮器存贮的数据能力的大小，用存贮容量来表示。所谓存贮容量，就是存贮器中存贮单元的总数，它等于存贮字数与位数的乘积。在大型电子计算机中，大多采用三级存贮系统，即高速小容量的缓冲存贮器，低速大容量的外存贮器，和速度与容量介于两者之间的主存贮器。

在半导体存贮器出现之前，计算机中普遍采用的是磁芯存贮器。和磁芯存贮器相比半导体存贮器具有高速度、低功耗、低成本和高可靠性等一系列优点。所以半导体存贮器一经出现就以惊人的速度向前发展，不少缓冲存贮器都已大量采用半导体存贮器。半导体存贮器根据构成的器件又有双极型和MOS存贮器两种。

双极型存贮器具有工作速度高，存取数据快的优点，常在缓冲存贮器中采用。而 MOS存贮器具有制造工艺简单适于大规模集成，功耗低等优点，在主存贮器中得到广泛采用。

存贮器按其功能分类：有随机存贮器和唯读存贮器。

随机存贮器又称随机存取存贮器，它的功能是对数据可以进行随机（任意）的存入和取出。数据信息的存入称为“写”（入），数据信息的取出称为“读”（出）。随机存贮器用英文缩写“RAM”表示。

一、随机存贮器（RAM）

前面已经提到随机存贮器是随时可以存入数据、随时可以取出数据的存贮器。它的主要构成部分是存贮矩阵，另外还有它的外围电路地址译码器和读出、写入电路。图7-34是一个 16×1 随机存贮器的逻辑图，我们将以它为例来分析随机存贮器的工作原理和各部分结构。

1. 工作原理

图7-34中的小方格表示存贮单元。16个单元排成 4×4 矩阵，每个单元是一个双稳态存贮器，用以记忆“1”或“0”信号，要往16个单元中的某一个单元写入信息，或读出某个单元的信息，是由X地址译码器和Y地址译码器控制的，存贮单元地址码A。A₁部分加到X译码器，A₂A₃部分加到Y译码器。每个译码器有四根线（分别称为X选择线和Y选择线）和存贮单元相连，当存贮器接到地址输入信号后，译码输出线X₁~X₄，Y₁~Y₄分别有一条为“1”，其余均为“0”，和输出为“1”的X、Y译码线相交的单元，即是被选中的单元。例如，若X₂选择线和Y₂选择线均为“1”，则图7-34中打斜线的存贮单元被选中，而其余15个单元由于它的X线和Y线不同时为“1”，均未被选。每个单元的左边有写“1”读“1”端（简称“1”位线端），右边有写“0”读“0”端（简称“0”位线端）。它们的写“1”读“1”端均和写“1”放大器的输出及读“1”放大器的输入相连，每个单元的写“0”读“0”端均和写“0”放大器的输出及读“0”放大器的输入相连。要往某单元写入信息，是在存贮单元被选中的同时，通过写入线路把信息存入存贮单元。例如，给

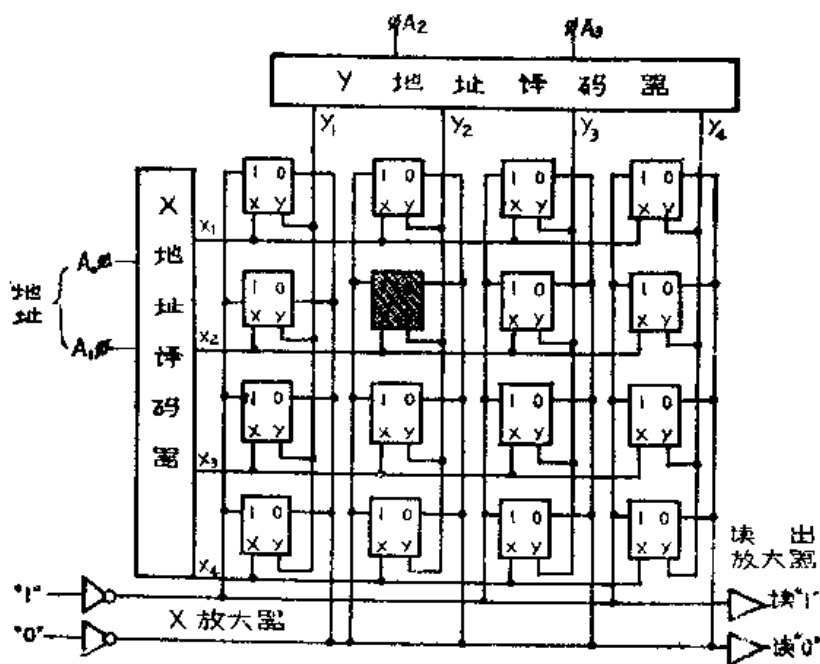


图 7-34 4 × 4 随机存储器逻辑图

单元写入“1”，应给写“1”放大器输入一个“1”信号而给写“0”放大器输入一个“0”信号，读存储单元就呈“1”态；要往某单元写入“0”，则给写“0”放大器输入“1”，给写“1”放大器输入“0”，读单元就呈“0”态，这就是写入过程。如果要把某单元的信息读出来，只要使该单元被选中，该单元存储的信息就会从读出放大器读出来。例如，存储信息是“0”，则读“1”放大器输出为“1”，读“0”放大器输出为“0”，若存储的信息是“1”，则读出放大器输出状态相反，读出过程是非破坏性的，读出信号时，存储单元的状态不完全发生变化。

随机存储器的核心是由存储单元（相当于触发器那样具有记忆功能的电路单元）组成的阵列。为了实现把外数据存入指定单元或从指定单元取出数据，必须引入外围电路，以实现这种数据交换的控制。所以，完整的存储器要由存储单元阵列和外围电路组成。

2. 存储单元

(1) 双极型电路存储单元 存储单元是由两个多发射极晶体管和两个电阻组成的双稳态电路，图7-35是存储单元的线路图。两个晶体管的发射极 e_1 作为位线端， e_a 为“1”位线， e_{a1} 为“0”位线；射极 e_2 、 e_3 为字选线（或称地址线）。存储单元有三种工作状态。

①维持状态 维持状态就是保持已经存储的内容（数码）不变。这时存储单元未被X选择线和Y选择线选中，XY选择线中至少有一根为“0”（低电平0.3V）。“1”位线端和“0”位线端均保持在一个较高的不变电平（约1.5V）。由于位线的电位比X、Y选择线的电位高约一个结压降的数值，三极管的发射极电流是自选择线流出的。假如存储单元寄存“1”信号（ T_1 饱和、 T_2 截止）并且X线为“0”，Y线为“1”， I_{R1} 、 I_{R2} 分别经 T_1 的集电极和基极流向射极 e_{13} （X选择线），如图7-36所示。 I_{e13} 的值为：

$$\begin{aligned} I_{e13} &= I_{c1} + I_{b1} \\ &= I_{R1} + I_{R2} \\ &= \frac{V_{CC} - V_x - V_{ce1}}{R_1} + \frac{V_{CC} - V_x - V_{cb1}}{R_2} = 1.2 \text{ mA} \end{aligned}$$

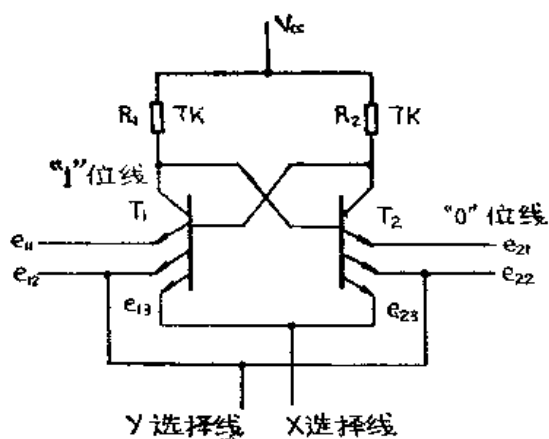


图 7-35 双极存储单元

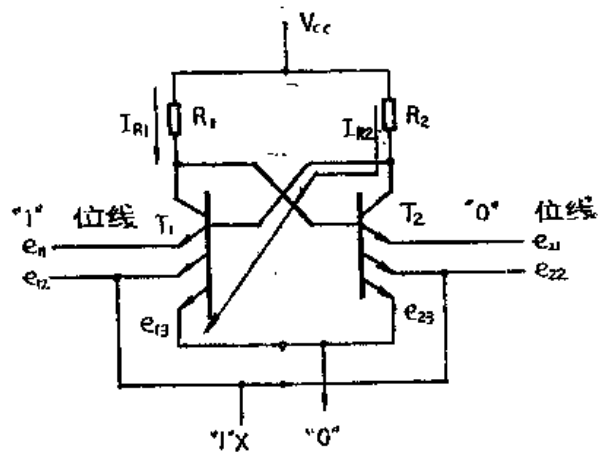


图 7-36 维持状态的电流

电流 I_{e13} 称为维持电流，即维持存储单元的逻辑状态所需的电流。假如，存储单元存“0”信息（ T_2 饱和， T_1 截止），则 I_{R1} 、 I_{R2} 分别经 I_2 的基极和集电极流向 e_{23} ， I_{e23} 也为1.2mA。

②读出状态 “读出”就是将存储在单元中的信息取出。读出状态时，“1”位线和“0”位线的电位仍均保持在1.5V，若存储单元寄存的是“0”，即 T_1 截止、 T_2 饱和。当X选择线和Y选择线均由“0”变为“1”状态（存储单元被选中）。由于原来存储的是“0”， $V_{e1} > V_{e2}$ ，所以，选择线电位抬高后，仍然是 T_2 导电、 T_1 截止，所不同的是 T_2 射流不由 e_{23} 流出，而由“0”位线流出。如图7-37所示。 I_{e21} 为：

$$\begin{aligned} I_{e21} &= I_{R1} + I_{R2} \\ &= \frac{V_{CC} - 1.5 - V_{ce}}{R_1} - \frac{V_{CC} - 1.5 - V_{ce3}}{R_2} \\ &= 0.85 \text{ mA} \end{aligned}$$

自“0”位线流出的电流为读出“0”电流，当X、Y选择线的“1”电平消失后，该“0”过程便结束，如果原来存储的是“1”，当X、Y选择线的正脉冲来到后，原来流向 e_{12} 或 e_{13} 的电流改由“1”位线流出， I_{e11} 的大小也为0.85mA，称该电流为读出“1”电流。

③写入状态 “写入”就是将新的信息存入存储单元中。如果要给存储单元写入“1”，

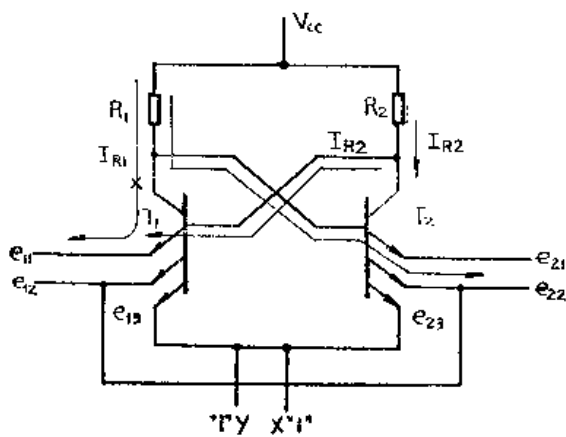


图 7-37 读出状态的电流

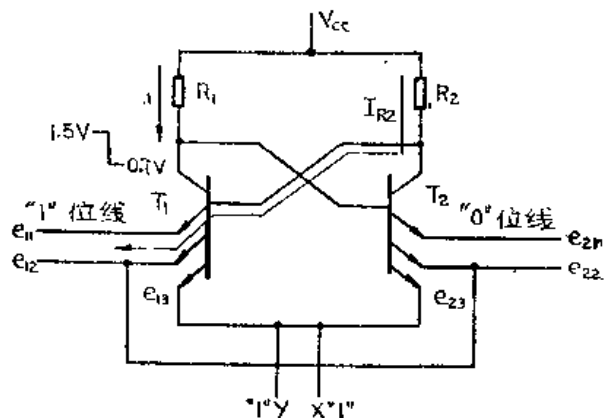


图 7-38 写入状态的电流

首先应使 X 、 Y 选择线均为“1”，然后使“1”位线的电位由1.5V变为0.7V，“0”位线仍为1.5V，由于此时“1”位线的电位是存贮单元的最低的电位，所以不论存贮单元原来的状态如何， I_{R1} 、 I_{R2} 经下集极、基极流向“1”位线，使不处于饱和状态， T_2 截止。如图7-38所示。这时 I_{e11} 为：

$$I_{e11} = I_{R1} + I_{R2} \\ = \frac{V_{CC} - 0.7V + V_{ce1}}{R_1} + \frac{V_{ce} - 0.7V}{R_2} = 1.1\text{mA}$$

于是“1”信息就被存入了单元，如果要写入“0”，应使“0”位线的电位变为0.7V，这样 I_{R1} 和 I_{R2} 便经 T_2 基极和集电极流向“0”位线，使 T_1 截止， T_2 饱和，信息被写入存贮单元后，即使位线的负脉冲消失，单元的状态也不会变化。

(2) MOS管存贮单元 运用任何一种MOS器件都可以构成MOS随机存贮器的存贮单元，但是N-MOS器件比P-MOS器件具有更多的优点，所以N-MOSRAM是半导体存贮器中发展最快的一种，和P沟道器件相比其主要优点是：

(a) 由于N沟道导电的载流子是电子，电子迁移率比空穴迁移率高2~3倍，所以在同样电路结构形式下，N沟道器件具有更高的速度。

(b) N沟道器件易于做到在较低电流、电压下工作，且采用正电流供电，在输出电平接口上可以作到与TTL电路相匹配，给应用带来很大方便。

①静态六管存贮单元电路 存贮单元是构成存贮器内存贮阵列的基本单元，它是一个简单触发器组成的。图7-39是N沟道增强型MOS管静态存贮单元的电路图。其中 T_1 、 T_3 和 T_2 、 T_4 是两个反相器，它们交叉耦合构成触发器，在它们输出端 D_1 、 D_2 上分别接入 T_5 、 T_6 门控管，通过门控管的作用，可以将需要写入（或读出）的信息送入（或取出）该存贮单元。

两个门控管 T_5 、 T_6 的栅极接到一个选址控制电位上，当该单元被选中时， Z 线上来的正脉冲打开 T_5 和 T_6 ，使存贮单元的输出点 D_1 与读出-写入控制 W 连通。在图7-39中采用的双臂读出-写入控制线可以大大提高存贮单元的工作速度。

该存贮单元可以分为三个工作状态：即

(a) 保存信息状态 在未选状态下，字线上为低电平， T_5 、 T_6 管均截止，控制线 W 、 $\bar{W}$ 与存贮单元被 T_5 、 T_6 完全隔离，存贮单元保持原有状态不变。

(b) 读出信息状态 当需要自该单元读出信息时，先自 Z 选择线上送入选址脉冲， Z 线电平由“0”电平上升到“1”电平，门控管 T_5 、 T_6 被打开，如果原来存入该单元的信息为“1”（即 D_1 点为“1”电平， D_2 点为“0”电平），则通过 T_5 管的连接使 W 线上读到一个高电平电压，而在 $\bar{W}$ 线上通过 T_6 管得到一个低电平电压。假如原来存入该单元的信息为“0”，则读出电平电压相反。

③写入信息状态 写入时，也必须送入字选脉冲，使控制线 W 及 $\bar{W}$ 通过 T_5 、 T_6 与触发器相连，写“1”时，控制线 W 上加入高电平，而 $\bar{W}$ 加入低电平。如果写入前触发器已处于“1”状态，则 D_1 点为高电平，存贮单元不发生变化，即完成写“1”。如果写入前触发器为“0”状态，即 D_1 点为低电平， D_2 点为高电平，则通过 T_5 的连接将 W 线上的正电压加到 T_2 管的栅极上使其导通， D_2 点由高电平变为低电平，同时 $\bar{W}$ 线上低电平也在 D_2 点电平发生转换之前到达 T_1 的栅极， T_1 由导通变为截止，则 D_1 点由低电平变为高电平，完成写“1”状态。

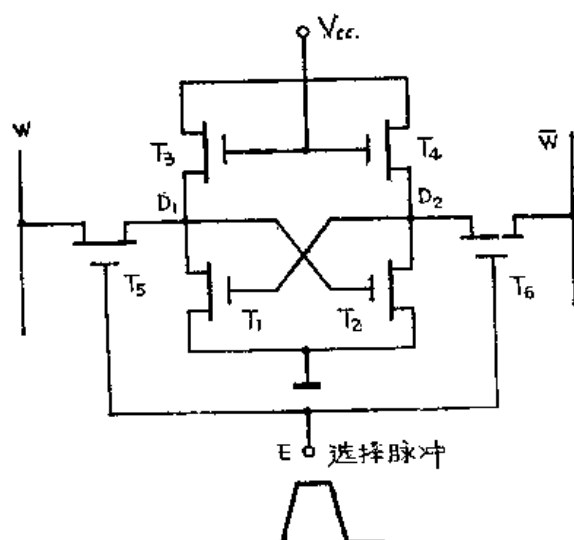


图 7-39 MOS静态六管单元

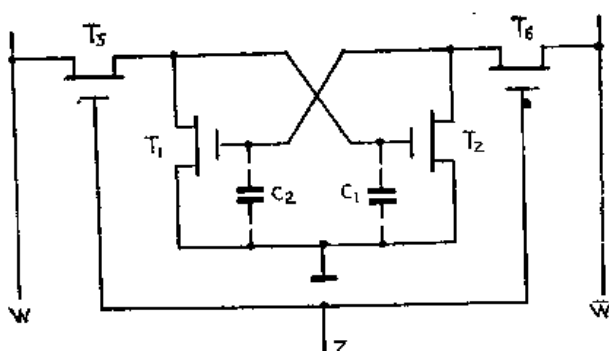


图 7-40 MOS动态四管单元

②动态四管MOS存储单元 利用MOS管栅极电容能暂存电荷的特点,可以制造出动态工作的存储单元。把图7-39所示的六管存储单元中的 T_3 、 T_4 管去掉,就构成了一个四管存储单元电路。图7-40是它的电路图。

图中 T_6 、 T_7 管的作用同静态存储单元一样，电容 C_1 、 C_2 分别代表 T_2 和 T_1 管的栅极对地的电容。现在来看动态四管单元是怎样进行工作的。它可分为三个状态来分析：

写入信息时，首先由选址脉冲送来高电平，通过 Z 线使 T_5 、 T_6 管开通，读出-写入控制线 W 及 $\bar{W}$ 通过门控管与 T_1 、 T_2 管栅极电容（ C_2 、 C_1 ）相联接。假如写“1”， W 线为高电平， $\bar{W}$ 线为低电平，如果该存贮单元本来存的就是“1”（电容 C_1 上有高电位），则 W 线上的高电平对 C_1 进行补充充电， $\bar{W}$ 线的低电位使 C_2 维持“0”电平，如果原来存贮的信息是“0”（ C_1 上为低电位）。此时， W 线上的高电位通过 T_5 管对 C_1 进行充电，使之达到 W 线上的高电位，而 C_2 上原存在的高电位通过 T_6 管经 $\bar{W}$ 线放电至“0”电平。这样就实现了从“0”态向“1”态的翻转，完成写“1”过程。写入过程完结后， Z 线恢复到低电平，门管 T_5 、 T_6 关闭存贮单元与写入-读出线（ W 及 $\bar{W}$ ）隔离。这样信息即保存在存贮电容 C_1 （或 C_2 ）上了。

显然, 利用动态元件电容来保存信息的时间总是有限的, 不可能很长。因为电容上的电荷总会通过 T_1 、 T_2 管栅极对地的电阻慢慢泄放掉。因此其存贮信息的时间一般在 μs 的数量级 (尽管栅极电容的数值很小, 但由于 MOS 管栅极是处在良好的介质-二氧化硅层之上, 所以放电时间相对是较长的)。

在动态单元保存信息阶段, T_1 、 T_2 管与外界控制完全隔离, 虽然这两管中总有一个管子的栅极处于高电位, 另一支管的栅极处于低电位。栅极为低电位的管子处于截止状态, 但是截止管子上的漏极高电位 (例如, 存贮“1”时的 T_1 管) 完全是由于 T_2 管栅极上电容 C_1 上保存的电荷提供的, 而在静态存贮单元中, 截止管的高电位是由电源经负载供给的。同时还应看到, C_1 上的高电位并不能使 T_2 管导通, 因为这时没有提供 T_2 电流的电源, 可以认为 T_2 管栅极高电位只是为 T_2 管的开启准备了导通条件, 这一点也不同于静态存贮单元。根据以上分析可知, 上述动态四管存贮单元尽管可以存贮信息一定时间, 但不能有读出信息的能力。为了能使动态四管单元正常工作, 图7-41是一种实际四管单元电路, 它在 $\bar{W}$ 、 $\bar{W}$ 线上各串联一

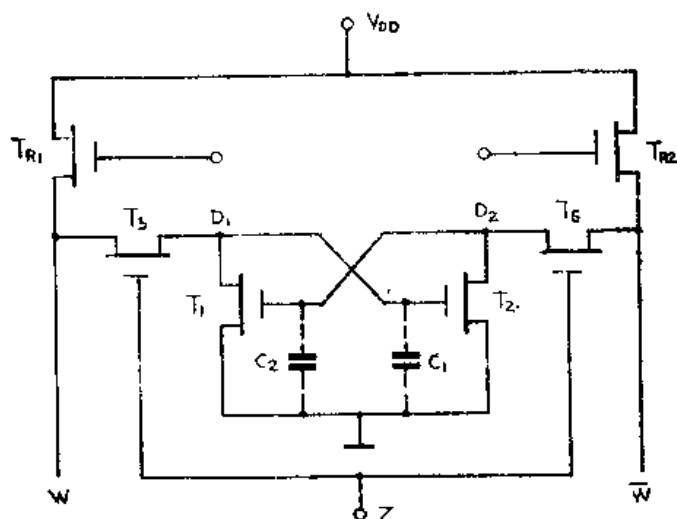


图 7-41 实用的MOS动态四管单元

支MOS管 T_{R1} 、 T_{R2} ，这一对预充电管子是为许多存贮单元所公用，而不是每一个单元都需要这样一对管子。其作用正是为读出信息用的。

读出信息时，当有正控制脉冲加到 T_{R1} 、 T_{R2} 栅极上时，则 T_{R1} 、 T_{R2} 开启，使 V_{DD} 电源加到 W 、 $\bar{W}$ 线上，当该单元选中时， Z 线上送来高电位，门控管 T_{S1} 、 T_{S2} 被打开，这时可以把存贮单元连同 T_{R1} 、 T_{R2} 在内看成一对反相器—— T_{R1} 、 T_{R2} 为负载管， T_{S1} 与 T_1 串联， T_{S2} 与 T_2 串联为输入管。假设原来存贮信息为“1”，则 T_{R2} 、 T_{S2} 、 T_2 组成的反相器两输入端栅极均为高电位，因此该反相器有电流流过，这时 T_2 管漏极（ D_2 点）为低电平，而读出线 $\bar{W}$ 上得到一个比 D_2 略高的“0”电平。如果忽略门管 T_{S2} 上的压降，我们认为 $\bar{W}$ 上的电平就是 T_2 管的输出低电平。

再看 T_{R1} 、 T_{S1} 和 T_1 组成的反相器，由于它的一个输入管 T_1 的栅极为低电平， T_1 管截止，所以该反相器没有电流流过，因此在 W 线上得到一个近似 V_{DD} 的高电平，这就完成了读“1”过程。

至于写“0”和读“0”的过程与上述写“1”和读“1”的过程是完全相似的，只是 W 、 $\bar{W}$ 线上电平交换而已。

在读“1”的过程中还应当注意到，由于 T_1 管的截止，除向 W 线读出“1”信息外， D_1 点电位也是 V_{DD} ，正是这个高电压可以向原来存贮电容 C_1 进行充电。所以动态存贮单元，每经过一次写操作，栅极电容上的信息就得以重新安排，而每经过一次读操作电容上的电荷就得以补充。若长时间动态存贮单元不进行读写操作，贮存在栅极上的电荷就会泄放掉，信息便会丢失。因此动态存贮单元的存贮器在其维持信息的时间限度内必须不断向存贮单元补充电荷，通常把这种过程称为再生或刷新。刷新就是周期性的进行读写操作，但是读出信息不送到读出放大器去鉴别。为此，动态存贮器的外围电路要比静态存贮器复杂些。

③动态三管存贮单元 在图7-41的动态四管单元中， T_1 、 T_2 管的状态总是反相的，因此如果用一个管子使其处于通导或截止，也就是用栅极电容充有电荷或失去电荷来表示信息的“1”或“0”，就可以将动态四管单元改为动态三管单元。图7-42就是动态三管存贮单元电路。

图7-42是将四管单元中去掉左半边存贮管而得到的一种三管单元的电路形式。它的控制

线功能与四管单元电路不同，将原来的位线 W 作为写入线，而 $\bar{W}$ 线作为读出线，字线也分为写入选择线和读出选择线，通常称这种电路结构为 $2X-2Y$ 型。意思是三管存贮单元有两根选择线（在 X 方向）、两根数据线（在 Y 方向），其贮存、读写原理如下：

写入：由写入时钟脉冲将门 T_2 打开，设写入线 W 原来为“1”，则 C_1 被充电，写脉冲结束时，信息就保存在 C_1 上，完成写“1”。

读出：读脉冲打开 T_3 管，如果原来存“1”，由于 T_1 导通，则读出线 $\bar{W}$ 上得到“0”电平，若原来存“0”， T_1 不通， $\bar{W}$ 线上将得到预充电的高电平。

由上可见： C_1 上是否存有电荷与读出线 $\bar{W}$ 上的电位正好相反，即读出信息与存入信息在相位上正好相反。因此这种动态三管单元的读出信号还应经一个再生倒相放大器后方能同写入信息电平一致。

为了减少布线，动态三管单元还有几种其他电路形式，图7-43是共用地址线方案——读

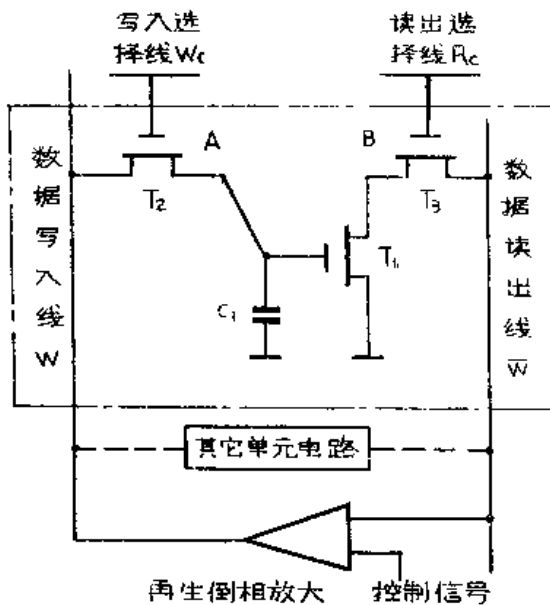


图 7-42 $2X-2Y$ 型动态三管存贮单元

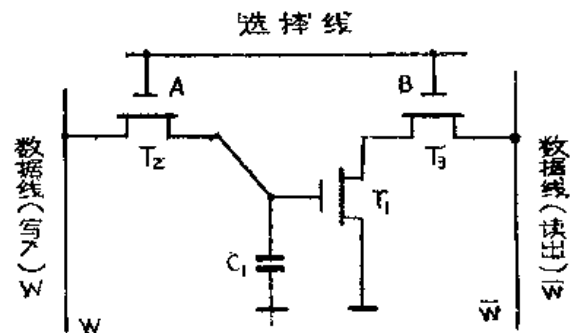


图 7-43 $1X-2Y$ 型动态三管存贮单元

出、写入共用一根选择线称为 $1X-2Y$ 型，这种结构的特点是存贮管的漏极电位根据所存的代码不同而异，所以读写脉冲的电压幅度要严格控制，以免产生读写错误。由于这种电路对读、写脉冲幅度要求较严格，故目前较少应用。

图7-44是动态三管单元的另一种结构方案，称为 $2X-1Y$ 型。它是读出数据线和写入数据线合并为一根，读写数据线这种电路由于公用数据线而使读出与写入本身形成环路，因而能在读出后立即来一个写入信号。将读出的数据写回存贮管，这对于存贮器的刷新是很方便的。这种公用数据线的结构，每读出一次，存贮信息就要翻转一次。为了正确地读出实际存贮信息，在存贮器中必须有一个记录存贮单元读出次数的电路，并且对写入后翻转过奇数次的单元取反相输出，故这种电路又称反相单元电路。 $2X-2Y$ 电路的读写都与 $2X-2Y$ 电路基本一致，记录及取反电路也不复杂，故在一些产品中采用。

动态三管单元中还有 $1X-1Y$ 方案，其引出线数目最少，单元面积可以作得很小，基本工作原理是 $1X-2Y$ 与 $2X-1Y$ 的综合，即读写信号采用不同的幅度，读出信号的取反用记录装置控制，所以整个外围电路较为复杂。

④动态单管单元 为了减少每个存贮单元占用硅片的面积,便于存贮器向更高位数发展,MOS随机存贮单元问世后不久,又出现了更为简单的电路结构,即单管动态存贮单元。

图7-45是动态单管存贮单元的电路形式,它是由MOS管和特别设计的存贮电容 C_s 组成的。为了使电路完成读写功能,在电容 C_s 的一端C点上应接以固定电压,其极性应可正、可负,下面就结合图7-46来说明其工作原理。

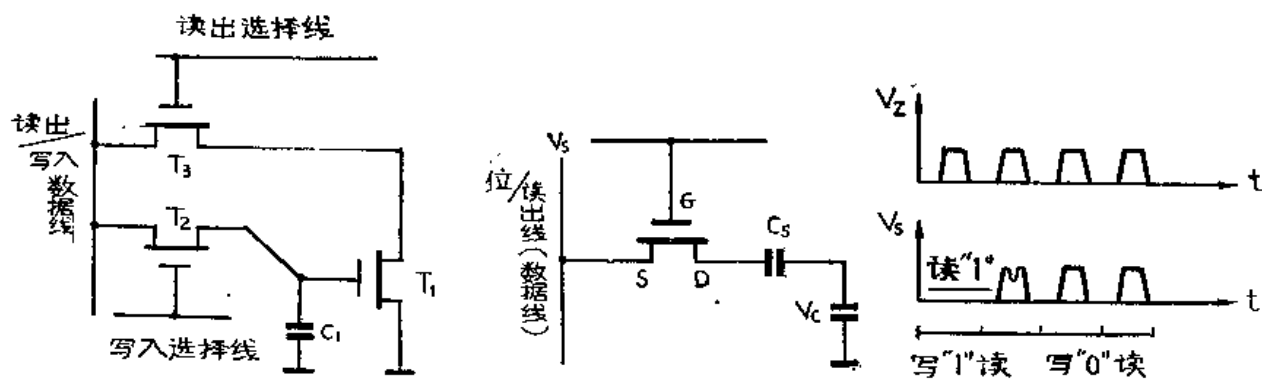


图 7-44 2X-1Y型动态三管存贮单元 图 7-45 动态单管存贮单元 图 7-46 单管单元工作波形图

V_c 为直流正电压时, V_s 在读及写“0”时为正脉冲,不在 C_s 上存有电荷,在写“1”时 V_s 值为“0”。无论在读或写时,字线 V_z 上均加有高电平,以保证MOS管导通。由于在导通前C端已有正电压 V_c ,写“1”时, V_s 应该为“0”,当管子导通后 V_c 向电容 C_s 充电。读“1”时,由于 V_s 上的正电位在读出期间与 V_c 相抵消,故在字线被选通后, C_s 在该串联回路中放电,如在数据线上串上一定电阻,放电电流在电阻上产生的压降即可辨别出“1”信息。由于 C_s 的放电,有可能将所存电荷全部放光,故这时读出是破坏性的,所以单管单元在读出后需进行重写。

如果要将“0”写入单元,则将 V_s 加正脉冲,在写数期间该正脉冲与 V_s 相抵消, C_s 上没有电荷充电,即使原存信息为“1”,也会与读“1”情况类似把电荷放光,也就是实现了写“0”。写“0”时 C_s 上不存有电荷,读“0”时也就无电荷可放了。

在结束动态存贮单元的讨论时,顺便指出:动态存贮单元电路省去了负载管,同时在引线数目上力图减至最少,这都大大节约了硅片面积,为动态大规模存贮器发展提供了有利的条件。今天大规模动态存贮器的水平,已经成为集成电路发展水平的标志。

二、唯读存贮器

唯读存贮器(ROM),又称只读存贮器,它是一种存贮固定不变信息的存贮器,可以存放固定的常数、函数、指令、标准的子程序等,使用时只能从这些存贮器中读出预先写入的信息,不能用简单的办法去改变(改写)存贮器里的信息内容,所以称这种存贮器为唯读存贮器,用英文缩写“ROM”表示。

唯读存贮器是一种固定存贮器,具有快速、可靠、简单、经济等优点,目前在电子计算机中它广泛用来存贮各种指令(微程序)所需的控制信息,即作为控制存贮器来使用。

半导体唯读存贮器有三种类型:即掩膜编制程序的ROM、电编程序的ROM(简称PROM)以及电可改写程序的ROM(简称RROM或EPROM)。

1. 掩膜编制程序的唯读存贮器

这种存储器的信息程序是在集成电路制造时实现的。图7-47是一个三地址，每地址四位的MOS只读存储器阵列。从固定一位来观察，实际上它是一个多输入端的或门反相器，最上边一排MOS管为各位反相器的负载管，在矩阵上某一位上作一个MOS管，表示信息“1”，

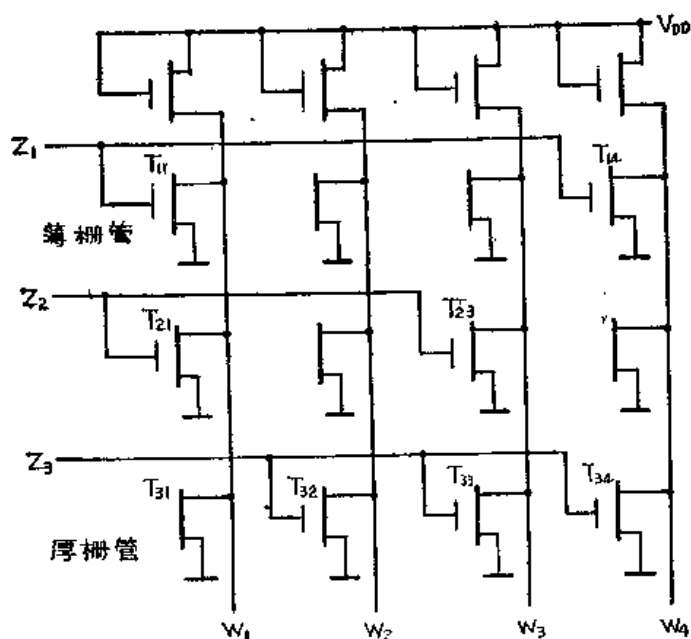


图 7-47 只读存储器矩阵

不作MOS管的位置表示信息“0”，因此第一个字线 Z_1 上存的数为1001，而 Z_2 上数为1010， Z_3 上数为0111。

以上举阵列为例，来说明一下怎样在制造过程中完成存入信息的。

根据对存入信息的要求，编制ROM的光刻版图。在二次光刻时，有数据“1”的位置进行栅光刻，二次氧化后生成薄栅二氧化硅层，有数据“0”的位置不刻栅氧化区，保留原二氧化硅层。然后进行下面制管其它工艺，这样在数据“1”的位置形成正常开启电压的MOS管，而在数据“0”的位置上存在厚二氧化硅层（厚栅）不能形成正常开启电压下的MOS管，当字线上加入控制信号时，有MOS管位置MOS导通，读出数据“1”，而厚栅管在字线控制信号下不能开启，读出数据“0”，这样就完成了固定信息的存入。

它的读出操作很简单，假设以N-MOS、ROM为例，读出时在相应字线上加入高电位，来选中的字线处于低电位。例如， Z_1 字线为高电位，这时 T_{11} 、 T_{14} 管导通，位线 W_1 、 W_4 为低电位，而 W_2 、 W_3 为高电位，这样就读出数码0110，是所存数码的反码。

现在以具有代表性的文字发生器为例，来说明ROM的工作原理。简单的文字发生器是由 $5 \times 7 = 35$ 或 $7 \times 9 = 63$ 的点阵来构成，总共可有64个或128英文字母、数字、记号等，它们一起被收存在一个ROM里，图7-48就是 $5 \times 7 = 35$ 点阵和由它组成的几种文字图形。图中每个文字图形是通过控制这35个点的明暗来显示，假设“1”代表亮，图中用圆圈表示，“0”代表暗，图中用点表示。

实际上这种ROM就是字符发生器，35个点的点阵可以显示64个字符，也就是只有64个字形码，所以总容量是64个字，每字35位，ROM总容量为 $64 \times 35 = 2240$ 位，称为2240位ROM。

2. 电可改写程序的只读存储器 (EPROM)

MOS电可改写的可编程序的只读存贮器，用缩写“RROM”表示，或者称可擦去只读存贮器，用缩写“EPROM”表示。目前应用最广泛的是使用浮动栅雪崩注入型MOS管结构，简称为“FAMOS”管结构。

FAMOS管的基本工作原理：FAMOS管本质上是一个P-MOS管，但它的栅极不暴露在表面，而是完全被埋在SiO₂层之中，并没有电极引出线（如图7-49所示），也就是它的栅极处浮动状态通常浮动栅上是不带电的，所以管子源漏之间是不通的，这时是关闭状态，相当于“0”状态。当其源极和衬底接地，而漏极加一定负电压后，首先在漏极引起雪崩击穿，产生高能电子。这些高能电子在强电场中，以很快的速度由P⁺区向外射击，由于速度很快，就有一部分电子会透过很薄的栅氧化层（约 $100 \times 10^{-10}\text{m}$ ，而到达浮栅，并贮存在浮栅上，使其带上了负电荷。由于这些负电荷的存在就使源漏之间形成导电沟道，于是MOS管导通相当于存“1”。

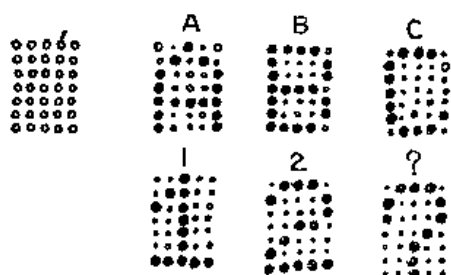


图 7-48 5 × 7 点阵字符

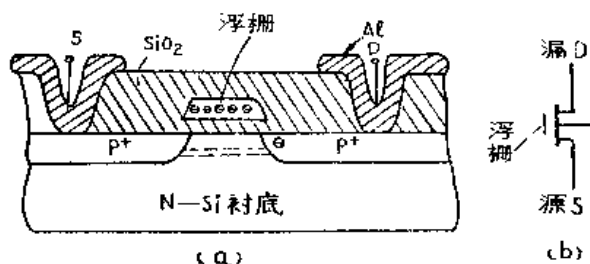


图 7-49 浮栅MOS管结构示意图

浮栅由多晶硅制造，它被介质SiO₂所包围，它上面的电子克服了多晶硅与SiO₂之间的势垒，因而这些电荷很不容易跑掉，所以源漏之间的沟道也就是永久性的。有文献记载，浮栅上的电荷在+70℃下保持一年，浮栅上电荷只减少1%（也就是电荷全部跑掉要100年之久！）。但是消除浮栅上电荷的方法是有的，这就是用紫外线或X射线进行照射，在这些高能射线照射下，浮栅上的电子获得较高的能量，越出上述的势垒而逃掉。

根据这一原理，FAMOS管存贮矩阵在制造时，可以先将全部单元写成“1”，用户使用，根据自己的需要，用紫外线擦去某些存“1”单元，而变为存“0”单元。反之，用户若要将某些某元内容由“0”改写为“1”也可以用加电的办法，重新使浮栅获得电子，可见FAMOS管组成的ROM是一种很方便进行改写的唯读存贮器。

3. 电可编程序只读存贮器 (PROM)

电可编程序只读存贮器，简称PROM。这种存贮单元如图7-50所示。

这种PROM出厂时，每个单元位置上都有MOS管，即表示存贮器全为“1”状态，每个

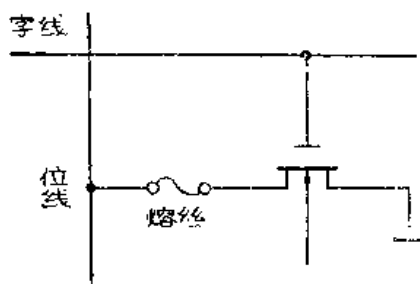


图 7-50 熔丝型可编只读存贮单元

单元管的漏极都有一根可熔断丝,接到相应的位线上。熔丝材料为多晶硅或镍铬锰合金丝。运用前用户可以根据自己的需要编制程序,需保存“1”信息的位置不动。在需要得到逻辑“0”的单元通过较大的电流(一般为20~50mA),将熔丝熔断。这样用户可以进行一次性编制程序。程序一旦编好,就不能再改动。在TTL电路中也有这种熔丝型的只读存储器,有关它存储阵列等和TTL电路是相同的,这里不再多述。

第八章 数字集成电路的版图设计与工艺

通过前几章的学习,了解了数字集成电路的工作原理。那么怎样把一个逻辑电路变为数字集成电路呢?这就要通过电路设计及工艺来实现。下面仅对基本设计的考虑及工艺问题进行简单介绍,更深的内容有待在今后工作实践中去学习。

§8-1 TTL电路的版图设计

要想设计出一个好的TTL电路,需要考虑许多细致的问题。在本节中将以TTL门电路为例,介绍版图设计和工艺制造方面的思想方法和图形,并给出设计实例。

一、各元件设计思想和图形

1. 多发射极晶体管的设计

采用多发射极晶体管作为输入“与”门是TTL门电路的主要特点,但多发射极晶体管的输入漏电流较大,下面分析其原因和克服方法。

前面讨论过产生输入漏电流的机理,多发射极晶体管输入漏电流并不是工艺控制不善造成的 EB 结漏电,而是晶体管内部形成的反向晶体管的电流放大作用,以及各发射极之间形成的交叉NPN型晶体管的电流放大作用,是形成输入漏电流的根源。通过实验证明,起主要作用的是反向晶体管,也就是说反向晶体管的电流放大系数 β_r 是决定漏电流的主要原因。以下是减小 β_r 的措施:

(1) 减小反向晶体管的发射结注入效率。反向晶体管的发射极就是正向晶体管的集电极 e , e 向 b 的注入效率,决定于 c 区和 b 区的掺杂浓比 $\frac{N_c}{N_b}$,也决定于两区的少数载流子有效扩散长度,要减小注入效率可以采取下列措施。

①减小 N_c ,即外延层电阻率做得高,或在可能的情况下,取消晶体管下面的埋层来减小外延层中实际的杂质浓度。

②掺金工艺可以减小外延层中空穴的寿命,这一工艺和一般饱和型逻辑电路减小存贮时间的要求是一致的。

③加大基区浓度 N_b 。

④加大基区宽度 W_b ,以减小基区的注入效率。

(2) 减小反向晶体管的集电极收集效率。对反向晶体管的某一个集电极来讲,只有注入到内基区的电子才有可能被收集。减小集电极收集效率的方法有:

①减小反向晶体管集电极的面积和基区面积的比例。显然,正向晶体管 T_1 的发射极个数和各发射区的间距越大,每个发射区所占基区面积的比例也越小,在不增大隔离区的情况下,适当加大基区的面积也是可取的。

②加大基区宽度 W_b ,增加了基区复合作用,也就减小了集电极收集效率。

上述方法对减小输入漏电流是有效的,但也存在一些副作用。减小集电极收集效率虽然可以减小 β_i ,但同时引起正向晶体管电流增益下降,基区宽度太大还会引起晶体管频率特性下降,外延电阻率太高将引起饱和压降升高,因此上述一些措施都只能适当采用,以免影响其他参数。

(3) 用基区“长脖子”的办法减小反向漏电流。为减小反向晶体管的作用,除了设法减小 β_i 外,还可以减小反向晶体管的发射结偏压,从而大大减小反向发射作用。这里介绍采用基极串联电阻箱位来减小反向晶体管发射结偏压的方法,俗称“长脖子”。这种方法不需要增加额外工艺,效果却很显著,因此是目前TTL电路设计中广泛采用的方法。

图8-1(a)是一个双发射极晶体管的图形。

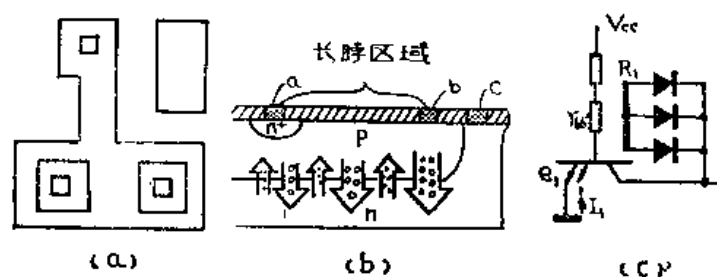


图 8-1 双发射极晶体管图形及其等效电路

由图可见基区引出了一个“长脖子”,基区引线孔开在“脖子”的上端,这样就人为地引进了一定的基极串联电阻 $r_{bb'}$ 。在基极有电流注入时,先从引线孔流入,经过“长脖子”在 $V_{bb'}$ 上产生一定的压降。在 T_1 未进入饱和时, bc 结反偏,这时 $r_{bb'}$ 的阻值附加在外电路的电阻 R_1 上,其影响是减小基极注入电流。但是,当 T_1 饱和时, bc 结进入正偏状态,由于集电极串联电阻比较小,基区下面集电区各部分可以近似看成等电位,而基区情况就不一样,在基极引线孔附近电位最高,沿着“脖子”逐渐下降,因此基区各处 bc 结的偏压就不同,在引线孔附近 bc 结的正向偏压最大,电流密度也最大,离引线孔越远处, bc 结正向压降减小,电流密度也随之减小。因此基区“长脖子”的作用使 bc 结的注入比较集中在远离晶体管基区的引线孔处(如图8-1(b)所示),因而不易为反向晶体管的集电极收集,减小了 β_i 。

也可以用图8-1(c)中的等效电路来说明“长脖子”基区的作用, $r_{bb'}$ 表示“长脖子”基区的体电阻,各二极管表示“长脖子”各段的收集结,下面的多射极管则代表各发射区所在的那部分。由于沿着 $r_{bb'}$ 的压降,各二极管的正偏是不同的,最上端的正向偏压最大,通过的电流也最大。当 $r_{bb'}$ 足够大时,大部分电流将集中通过最靠上端的二极管而流掉,在这种情况下,流过发射区所在那部分的基极电流已经很小,而对发射区的反向收集结的反向发射作用已经很弱,因而使输入漏电流大大减少。

显然“脖子”越长越细, $r_{bb'}$ 越大,减小反向电流的作用也越大。但由于 $r_{bb'}$ 对集电极的影响,使 T_1 的饱和压降 V_{ces} 上升,有损于TTL电路的抗干扰能力。所以“脖子”并非拉得越长越好。

实验证明,随着拉出的“脖子”加长,反向漏电流开始很快减小,基区长度由0增长到2方时,可使 β_i 减小一个数量级;而在基区长度增加到2方以后,反向漏电流的减小就越来越不显著了。因此在一般设计中,常把“脖子”的长度设计在2~3方,即基区串联电阻 $r_{bb'}$ 在60~400 Ω 范围内。

版图设计采取这样的措施后,再加以适当的工艺控制,反向电流不难控制在10 μ A以内,

完全可以满足一般要求。

实际上TTL单门电路中 T_1 的发射极一般有五个，发射极之间的距离可能很大，各个发射极对应的 r_{be} 就可能存在很大差别，在这种情况下，可以在基区上开出一长条引线孔，并在上面布铝以使各发射区附近的基极电位相等。图8-2为这种情况的设计实例。

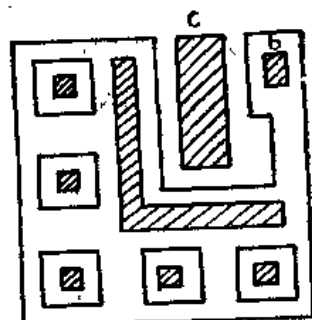


图 8-2 多发射极管的图形

前面介绍了减小反向漏电流的措施，这些方法有一定的副作用，使用不当会引起电路的其他性能下降，主要副作用有以下几点：

①使晶体管的饱和压降升高。提高外延层的电阻率，不做隐埋、掺金，“长脖子”都会使晶体管的串联电阻和饱和压降升高。电路中 T_1 的饱和压降升高，使电路的最大输入低电平下降，不利于抗干扰。

②降低电路抽出能力。加宽基区，增加基区浓度和金扩散，有使晶体管 β 下降的作用，加大基区串联电阻会减小 T_1 正向工作时的驱动电流，使 T_1 在正向工作时抽出能力下降，不利于提高速度。

③增加寄生电容。加大发射区之间的间距，“长脖子”等都会使基区面积增大。基区面积大了，势必加大隔离电容 C_S ，影响电路的导通速度。

可见，在设计中不要一味追求减少输入漏电流，实际上TTL电路中有一点输入漏电流是允许的。我们只要把它控制在一定的范围内就可以了。

2. 倒相管 T_2 的设计

T_2 是TTL电路速度的关键元件之一，它的设计主要是考虑提高电路开关速度。 T_2 的上升时间和下降时间与它的 f_T 、 C_{T2} 有关，因此必须尽量减小发射区和基区的面积，以提高 f_T 和减小 C_{T2} ，从而减小 T_2 的开关时间。

在一般 $10\mu\text{m}$ 光刻精度条件下， T_2 采用最小尺寸的单基极条结构时，有效发射区周长约为 $30\mu\text{m}$ ，对于 6mA 的最大工作电流已经足够了。如果希望电路的延迟时间做到 10ns 以下，那么光刻精度就要缩小，可以采用 $8\mu\text{m}$ 的套刻精度。工艺水平高可以采用 $4\mu\text{m}$ 的套刻精度，同时适当加长发射区的长度以保证足够的电流容量，这样做对提高引线孔光刻成品率，减少 r_{be} 和减小集电极串联电阻也有利。

T_2 基极既有采用单条结构，也有采用双条结构。图8-3为单条结构，图8-4为双条结构。



图 8-3 单基极晶体管



图 8-4 双基极晶体管

采用单条结构比较简单，有利于减小隔离区面积。采用双条结构，使 T_3 的基极和电阻 R_2 的结点分开，使得 T_3 的基极电位基本上不受 T_2 的收集极串联电阻影响，保证电路在导通时， T_3 管能更好地截止。这样就能避免因 T_3 基极电位较高而造成 T_3 管导通的情况。电路导通态时， T_3 管导通，将使电路功耗增大，负载能力下降。

3. T_3 、 T_4 网络设计

T_2 的作用要通过 T_3 和 T_4 发挥出来，所以要求 T_3 、 T_4 有较快的频率响应。一般 T_3 的电流

比较小, 尺寸可取小些, T_4 要流过瞬态大电流, 尺寸应适当大一些。并且一般都采取双基极条, 以得到大电流容量, 并尽可能减少基极电阻。

T_3 、 T_4 集电极是同电位的, 可以做在同一个隔离区内, 这样有利于减小面积, 也便于减小集电极串联电阻。

4. 输出管 T_5 的设计

输出管 T_5 对电路的特性有很大影响, 设计时考虑的主要问题有:

(1) 要有大的电流容量 T_5 的负载电流比较大, 特别是 T_3 、 T_4 瞬态导通时, 最大工作电流可达 40mA。为此要有一定的发射区有效周长, 以保证足够的电流容量。根据一般数据 (0.4mA/ μm), 有效发射区周长取 100 μm 。因发射区有效周长较长, 通常采用双基极或双发射极结构。

(2) 集电极串联电阻要小 集电极串联电阻是 T_5 设计的一个关键问题。 T_5 集电极串联电阻 r_{CS} 偏大, 会造成电路输出低电平偏高。对 TTL 电路来讲, 要把 r_{CS} 设计在 15 Ω 以下, 才能满足要求。一般讲, 发射区和集电区越长, 越靠近, 面积越大, 则 r_{CS} 就越小。通常采用双集电极或马蹄形集电极结构。

目前 T_5 管多采用双集电极结构。图 8-5 就是双集电极结构的纵剖面图和平面图。

采用这种结构收集极电流分两股流入发射极, 效果相当于两个 $(r_1 + r_2 + r_3)$ 的并联, 使串联电阻减少一倍。

在进行图形设计时, 还必须结合工艺数据, 如外延层电阻率及厚度、扩散结深、埋区 N^+ 区的宽度等影响 r_{CS} 的因素。考虑这些因素在工艺上的变化, 要留有一定的余地。

(3) 减小基极串联电阻 $r_{bb'}$ 在设计中除了考虑到电路的瞬态特性, 还要求 T_5 的基极串联电阻 $r_{bb'}$ 尽可能小一些, 因为在 T_5 导通过程中, 基极驱动电流要通过 $r_{bb'}$ 对 T_5 的寄生电容 C_{Te} 、 C_{TC} 充电, $r_{bb'}$ 过大将影响 T_5 的导通速度。另外 $r_{bb'}$ 大, P_3 点电位升高, 电阻 R_3 上分路的电流加大, 势必减小了 T_5 的驱动电流, 影响 T_5 的导通速度, 如图 8-6 所示。

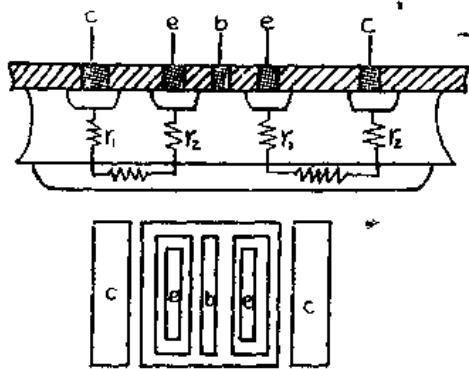


图 8-5 双集电极晶体管的结构

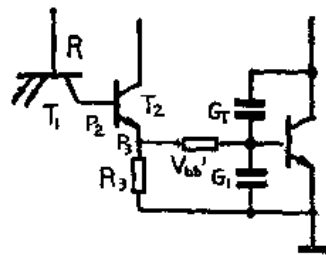


图 8-6 减小基极串联电阻的方法

减小基极串联电阻的方法就是加大发射区有效周长, 减小发射区和基极引线孔的间距。

(4) 减小面积 在上述各项考虑的基础上, 要尽可能减小 T_5 尺寸, 以减小寄生电容。这对提高速度有利, 对提高成品率也有好处。

总结上述各点, 输出管的图形一般有双发射极条、双基极条两种, 它们的集电极则总做成双集电极或马蹄形, 并且条宽取得较大, 以保证较小的集电极串联电阻。双发射极条结构的集电极串联电阻可做得更小, 但面积和电容较大, 如图 8-7。

5. T_6 网络的设计

在有 T_6 网络的电路图形设计中, 因为 T_6 的基极接在电阻 R_6 上, 并不需要引出, 所以常把 T_6 和 R_6 连在一起, 和电阻 R_4 做在同一隔离区中, 以减少面积, 如图 8-8 所示。

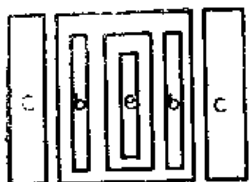


图 8-7 输出管的图形

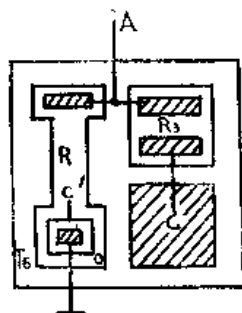


图 8-8 T_6 管网络的图形布置

利用 T_6 的基区延伸构成电阻 R_6 , 电阻 R_3 的一端连通外延层 (即是 T_6 的基极)。其中 A 点接做 T_6 的基极, 电位不很高, 隔离岛的电位则与 T_6 集电极电位相同, 两点电位差小于 0.7 V, 因此电阻 R_3 、 R_6 和外延层之间并无导通的可能, 也就不必担心因为 R_3 、 R_6 没有做在电阻岛上, 而产生横向的 PNP 管漏电。

6. 箝位肖特基二极管 (SBD) 的设计

为了消除晶体管的饱和存储现象, 晶体管可以采用 SBD 作为箝位二极管。这种 SBD 的图形和工艺设计应考虑以下几个问题:

(1) 对于 SBD 的面积, 有以下两个互相矛盾的要求。

① 面积不宜过大 SBD 的金属-半导体结是一个单边面的突变结。因为它做在收集区的外延层上, 单位面积的电容和收集结基本相同 (因收集结电容主要由外延层一边决定)。SBD 大了就相当于加大收集结的电容, 这将影响速度, 从这方面讲, SBD 的面积越小越有利。

② 面积不能太小 这是由于 SBD 下面的外延层起一个串联电阻的作用, 阻值和面积有关, SBD 面积越小, 则串联电阻越大, 以致使 SBD 的箝位作用减弱。当 SBD 串联电阻较大时, V_{be} 就加大, 从而减弱了它的抗饱和能力, 如图 8-9 所示。

为了解决好 SBD 的面积问题, 就一定要使以上两个矛盾相对地统一起来。SBD 的面积较难用计算解决, 一般由实验来决定。

(2) SBD 的位置 在设计中适当选取 SBD 的位置, 实际上最常用的是把基极铝电极延伸到收集区外延层上形成 SBD, 如图 8-10 所示。

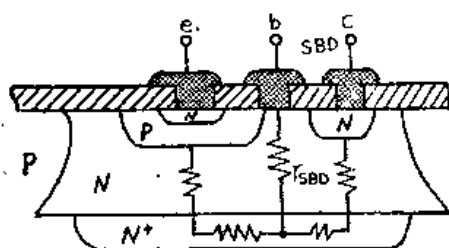


图 8-9 肖特基管的结构示意图

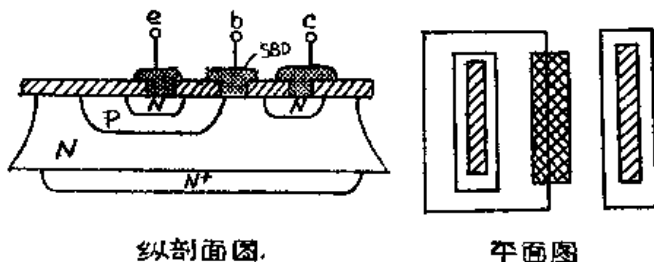


图 8-10 肖特基管的位置示意图

这种做法结构简单, 与其它的一些做法相比, 对缩小基区和隔离区的面积也是有利的。

在这种结构中, SBD直接和P型基区相邻, 边缘的其它部分则利用复电极的结构。这种结构一般能满足反向击穿电压的要求, 不致发生因为SBD反向电压低而造成的低压击穿问题, 因此被广泛采用。

7. 电阻的设计

(1) 一般电阻 集成电路中大量采用的电阻都在 100Ω 到几十 $k\Omega$ 的范围内, 这个范围内的电阻一般用基区扩散来制作。图8-11中画出基区硼扩散电阻的纵部图和平面图, 阻值大致等于 $R_{\square}(L/W)$ 。其中 $R_{\square}$ 为基区表面扩散电阻。

利用基区扩硼制作电阻还有一个优点, 就是在 $-50\sim 120^{\circ}\text{C}$ 的范围内, 阻值变化比较小, 因为基区扩硼形成的扩散电阻由于有了较高的掺杂浓度, 使杂质散射和晶格散射造成的温度变化在 $-50\sim 120^{\circ}\text{C}$ 的范围内大致相抵消, 所以阻值随温度的变化是比较小的。

(2) 低阻值电阻 由于基区的方块电阻一般为 $100\sim 200\Omega/\square$, 这样几十 Ω , 甚至更小的电阻实际上就很难做准, 因此需要采取其他的方法。

利用发射区扩散同时做出 N^+ 型电阻, 其纵剖面图如8-12所示。由于发射区浓度很高, 方块电阻只有几个 Ω , 这样很容易做出阻值很低的电阻来。

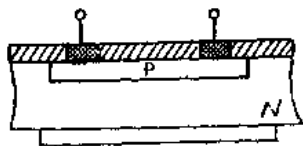


图 8-11 一般电阻的图形及其结构

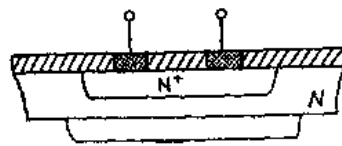


图 8-12 低阻值电阻的结构

利用体电阻, 有时恰好需要在晶体管的收集极上串联一个阻值很小的电阻。例如TTL标准门中的 R_s 电阻, 这时不必单做一个电阻。而且可以适当设计图形, 利用晶体管本身的收集极串联电阻, 就是 r_1 、 r_2 、 r_3 三段电阻的总和。这样做既节约了面积, 又使布线简单。这个电阻如图8-13所示。

(3) 高阻值电阻 在做扩散电阻时, 电阻条宽不能做得太窄, 否则电阻的精度极差。这样当阻值较高时, 如几 $k\Omega$ 或几十 $k\Omega$, 电阻就要做得很长, 则占用硅片的面积就很大。这时可用如图8-14所示的沟道电阻。

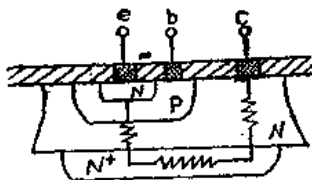


图 8-13 体电阻的示意图

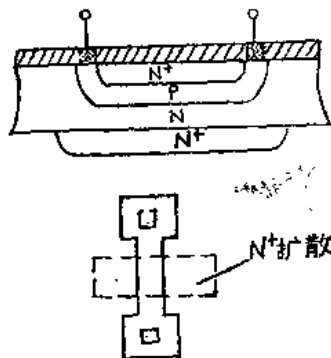


图 8-14 高阻值电阻的结构

它是利用基区和发射区两次扩散后形成的狭窄的P型沟道做成的, 方块电阻可达 $5\sim 10k\Omega/\square$, 这样就容易做出高阻值的电阻来。但是为了减小寄生效应, 整个N型区都接在最高电位, 当反偏压较高时, P型沟道很薄。反偏压太高时, 可能把沟道截断。因而这种电阻

只能用在电压电路里（一般小于 $6 \sim 9 \text{ V}$ ）。这种电阻分散性较大，不易控制。上面介绍的三种构成电阻的方法，其中硼扩散电阻使用最广，我们将着重讨论它。

（2）扩散电阻的设计 设计扩散电阻的一个首要问题是确定条宽。电阻条越窄，误差越大，因此当阻值要求比较准确时，条宽应当大一些，例如TTL标准门中的 R_2 电阻，对电路的功耗影响大，要求比较准确。一般 R_2 的条宽可取 $30\mu\text{m}$ 。但是电阻条宽也不是越宽越好。不必要的增大条宽会加大寄生电容，降低成品率，过多占用硅片面积。因此在可能的条件下，应尽可能减小条宽。

常用的电阻形式如图8-15所示的两种。一般称(a)为大头电阻，称(b)为平头电阻。大头电阻适于作为较大的阻值，平头电阻一般在阻值不大、要求精度较高的情况下采用。它的阻值可用下式计算：



图 8-15 电阻的形状及其阻值位算

$$R = R_{\square} (L/W + 2K_1)$$

其中 K_1 是电阻的端头修正因子，它可以由实验或一定的理论计算得到。

对阻值较大的电阻，往往需要拐弯，这样可以使整个电路图形布局合理，但拐弯太多将使阻值不准，一般每 $1 \text{ k}\Omega$ 允许有一个拐弯。有拐弯的电阻阻值可按式估算：

$$R = R_{\square} \left(\frac{L_1 + L_2}{L_0} + 2K_1 + K_2 \right)$$

图8-16是拐弯电阻的图形。



图 8-16 拐弯电阻及其阻值计算

扩散电阻设计时应注意以下两点：

（1）在两端，长度从端头边缘算起，拐弯处长度算到内侧，如图8-16(a)所示。

（2） K_2 代表拐弯的修正因子，可取 $K_2 = 0.5$ ，有几个拐弯就加几个 K_2 。

一种比较简易的算法是按中线算起，如图8-16(b)所示，在两端，以引线孔算起，对端头和拐弯可不作修正，即

$$R = R_{\square} \left(\frac{L_1 + L_2}{W} \right)$$

这样算法不很精确，但对一般阻值的精度要求不高时还是可行的。

前面已经指出，电阻的P型区及N型外延层和P型衬底之间形成了一个PNP晶体管，可以造成一股从电阻到衬底的漏电流，因此一般都将N型外延层接电路中最高电位，使两个PN结都处于反向偏置。

二、图形设计的一般原则

图形设计的总原则是,既要充分利用硅片面积,又要在工艺条件允许的情况下尽可能提高成品率

(1) 一个晶体管是否独占一个隔离区,主要根据它的收集极电位决定,收集极电位相同的晶体管可以放在同一个隔离区内。电路中全部电阻可以放在同一隔离区内,也可分放在几个隔离区内。

(2) 用P-N结隔离的电路,隔离槽应接电路最低电位,使包围各隔离区的PN结都处于反向偏置。

(3) 电路中的功率主要耗散在电阻上,所以电阻隔离区最好放在版面的中心部分,使热分布比较均匀。

(4) 参数要求相互一致的元件应放在邻近的区域,以免由于工艺上的不均匀造成各元件参数上的差异。

(5) 金属引线应尽可能安排在较厚的氧化层上。这样避免因氧化层针孔造成和下面的半导体短路,同时对于减少金属引线孔和下面半导体之间的寄生电容也是有利的。

(6) 金属连接不宜过细过长,以免光刻腐蚀时断线。地线、电源线、输出、输入线要尽可能宽些。

(7) 电源接触孔、接地孔以及低阻值的电阻的引线孔要开得大一些,以减小接触电阻。

(8) 压焊点要按封装管脚的顺序排列,以免造成引线之间交叉。

(9) 图形中引线不能交叉,但集成度高的电路,互连比较复杂,有时不可能完全避免交叉,则应采用一定的跨接的结构。一种常用的方法是在交叉点单独作一个隔离区,扩散一个低阻层作为一条引线,上面覆盖氧化层,在上面再另走引线。低阻层可以与发射区同时形成。这种跨接交叉增加了隔离区,同时引进新的寄生电容,而且还存在一定的引线电阻,所以只是在迫不得已时才采用,如图8-17所示。

TTL电路的典型版图设计如图8-18所示。

(10) 元件外边界至隔离墙的距离、元件之间的距离、元件内电极间的距离等要根据横向扩散、光刻掩膜和套刻精度来确定。

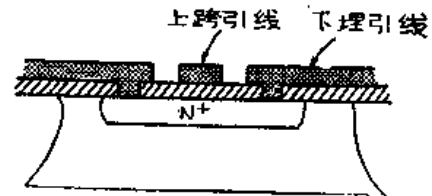


图 8-17 引线交叉的结构示意图

§8-2 MOS电路的版图设计

MOS集成电路的设计工作应该包括以下几方面的内容:

1. 逻辑电路及器件设计

根据应用系统对电路功能的要求,设计或选择逻辑电路;确定电路结构形式;考虑采用静态逻辑电路还是动态逻辑电路。当这些明确后,根据电路的指标和工作条件来决定组成电路中各器件的参数(如电源电压)、工作频率等等,进而确定器件的阈值电压及器件的几何尺寸(如沟道的宽长比等)。

2. 工艺设计

依据已经确定的电路形式及器件参数,决定满足这些参量的工艺参数和工艺条件,例如,根据电源电压及器件耐压选择衬底材料的电阻率,确定氧化层厚度,选择常规工艺或特殊工艺制造器件等。

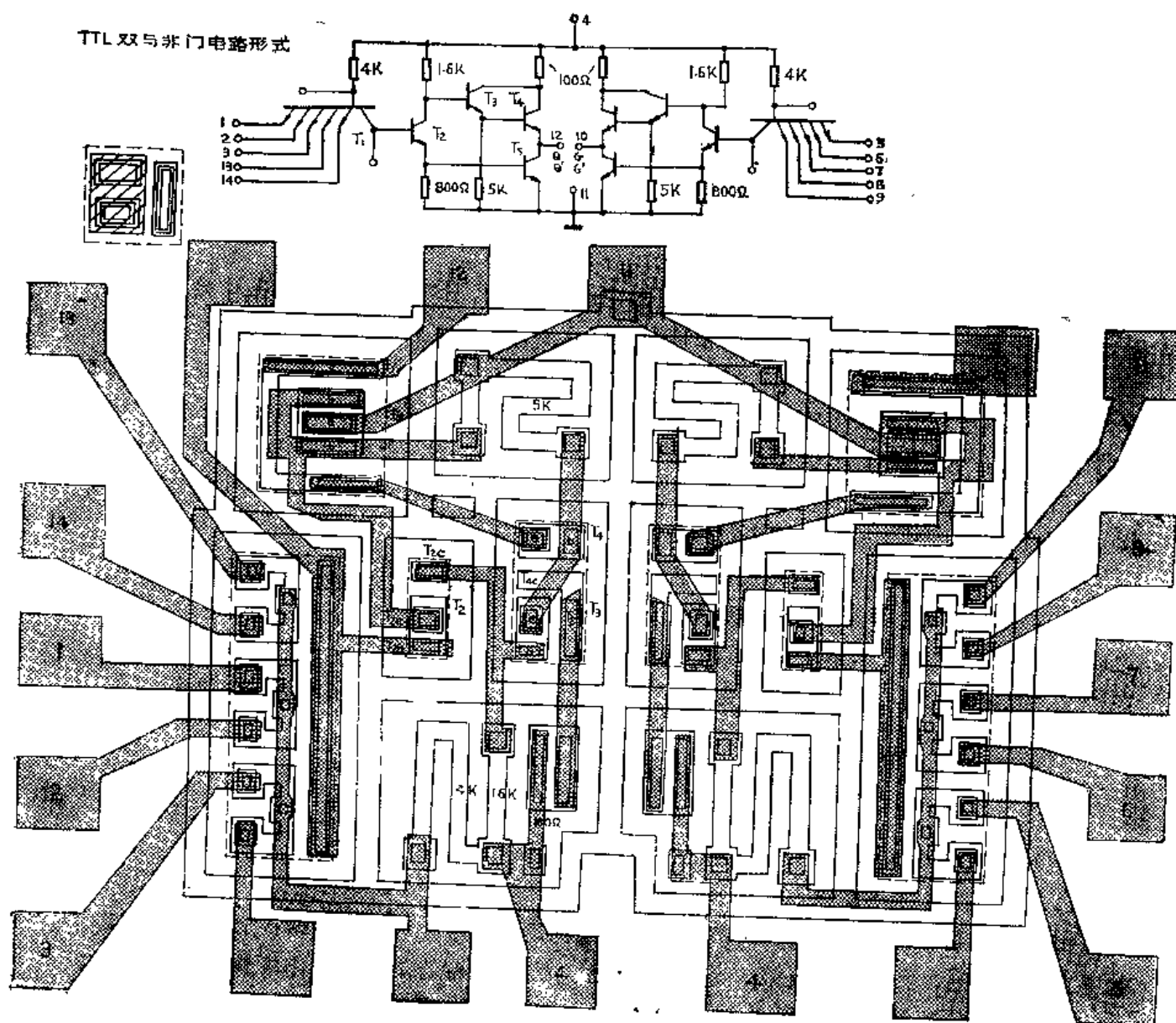


图 8-18 TTL与非门的复合版图

3. 版图设计

根据器件的几何尺寸和互连关系,合理排列器件的相对位置,绘制电路版图,以便制造电路光刻掩膜用版,实现工艺生产。

上述几方面的设计并不是相互独立的,而往往是相互连系的。例如良好的器件设计要求阈值电压匹配,但是由于现行工艺条件不一定能得到满足,这就需要由现实工艺条件出发,用改变器件参量来达到尽可能好的匹配性能。

需要指出:上述这三方面是电路设计的完整过程,并不是每一个电路(特别是简单逻辑电路)都要经历这个全过程,因为不论在逻辑电路、器件参数、工艺参数等方面,都有很多标准的或典型的资料可供选用,设计者无需对每一设计步骤都要自己从头做起。选用标准工艺不仅节约时间,而且保证不脱离现行正常的生产条件。

下面我们对MOS集成电路设计中的某些问题加以说明。

(1) MOS数字集成电路在电路形式上大体可以分为两类,一类是一般逻辑电路(又称逻辑陈列电路),另一类是规则阵列电路,如多位的移位寄存器、存贮器等。一般逻辑电路的版图排列,可以用手工也可以用计算机辅助来进行布局设计,布局必须考虑的主要问题是在不影响性能的条件下使尺寸减到最小,和TTL电路版图设计相似。规则阵列的版图则是由若干相同单元重复排列而成,在这类电路版图设计时,先要对单元电路及布局排列进行标准的设计,然后再进行整个电路的布局设计。版图设计的主要出发点是有效地使用硅片面积,但是也要保证性能及工艺条件的可行性。往往需要在最佳的面积,最好的性能和可行的工艺等几个因素之间进行多次协调才能得到满意的结果。

(2) MOS数字集成电路的电源电压比TTL数字电路要高(P-MOS一般为 $-20 \sim -30$ V, CMOS为 $+3 \sim 18$ V)。这个电压有可能使金属铝引线和氧化层下面的扩散区之间形成寄生的MOS管。寄生MOS管的开启导通将使电路的逻辑功能紊乱,影响电路的正常工作。解决这一问题的方法除了在工艺设计时要使氧化层厚度保证不发生厚栅开启(即无厚氧化层处的寄生MOS管发生开启),在版图设计上要尽量避免金属铝引线横跨两个扩散区,也就是要尽量克服寄生MOS管的生成,以保证电路逻辑功能正常。

(3) 在设计MOS电路版图布局及确定图形尺寸时,有两种因素的影响要考虑。一种是只与工艺有关的几何尺寸,如最小套刻间距等,它是受光刻工艺精度的限制。另一种是与

电气参数有关的几何尺寸,如MOS管的宽长比等,它的几何尺寸直接会影响器件的电学参数。这两类因素都不能脱离现行的工艺条件及对电路性能指标的要求,在充分考虑这些因素后再着手进行具体的设计。

目前,在一般工艺条件下,MOS电路的图形的几何尺寸如下(参见图8-19):

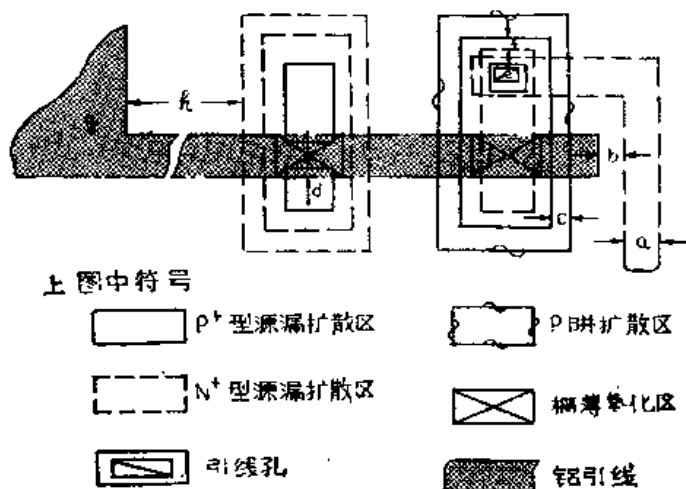


图 8-19 MOS电路版图的一部分

最小铝引线宽度 (图中 a)	$6 \sim 15 \mu\text{m}$
铝引线间最小距离 (图中 b)	$8 \sim 15 \mu\text{m}$
扩散区最小宽度 (图中 c)	$8 \sim 15 \mu\text{m}$
栅敷盖 (每边) (图中 d)	$5 \mu\text{m}$
最小引线孔面积 (图中 e)	$6 \times 8 \mu\text{m}^2$
扩散区最小间距 (图中 f)	$10 \mu\text{m}$
键合点面积 (图中 g)	$100 \times 100 \mu\text{m}^2$
键合点到硅片边界距离 (图中 h)	$100 \mu\text{m}$
各芯片之间距离	$500 \mu\text{m}$
影响电气参数的几何尺寸如下:	
MOS管的最小沟道长度 (图中 i)	$8 \sim 10 \mu\text{m}$
最小扩散区宽度 (图中 j)	$8 \sim 15 \mu\text{m}$
铝引线中最大电流密度	$1 \text{ mA}/\mu\text{m}$

(4) 在版图设计中, 在工艺条件允许前提下, 应尽可能缩小有源区 (即器件及互连线) 面积, 这不仅可以减小芯片面积, 而且有利于提高电路成品率。电源及地线走向要通畅, 宽度要适当大些以减小串联电阻, 保证电路参数指标。在可能条件下引线孔要开大一些, 以保证良好的欧姆接触。压焊点面积不宜太小, 距离不宜太近, 以免给后边工艺带来不便, 影响电路可靠性。在具体版图排列上, MOS电路与双极电路排版相近, 这里就不再重述。图8-20是MOS门电路的复合版图。

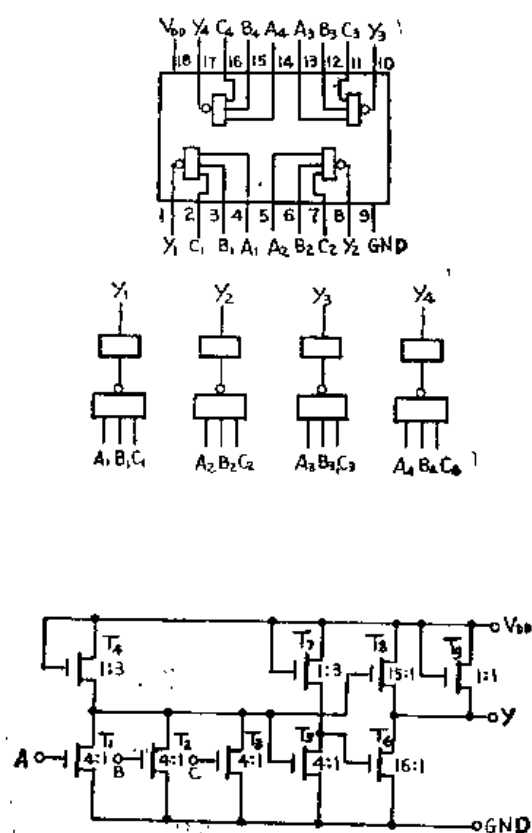


图 8-20(a) MOS门电路的形式

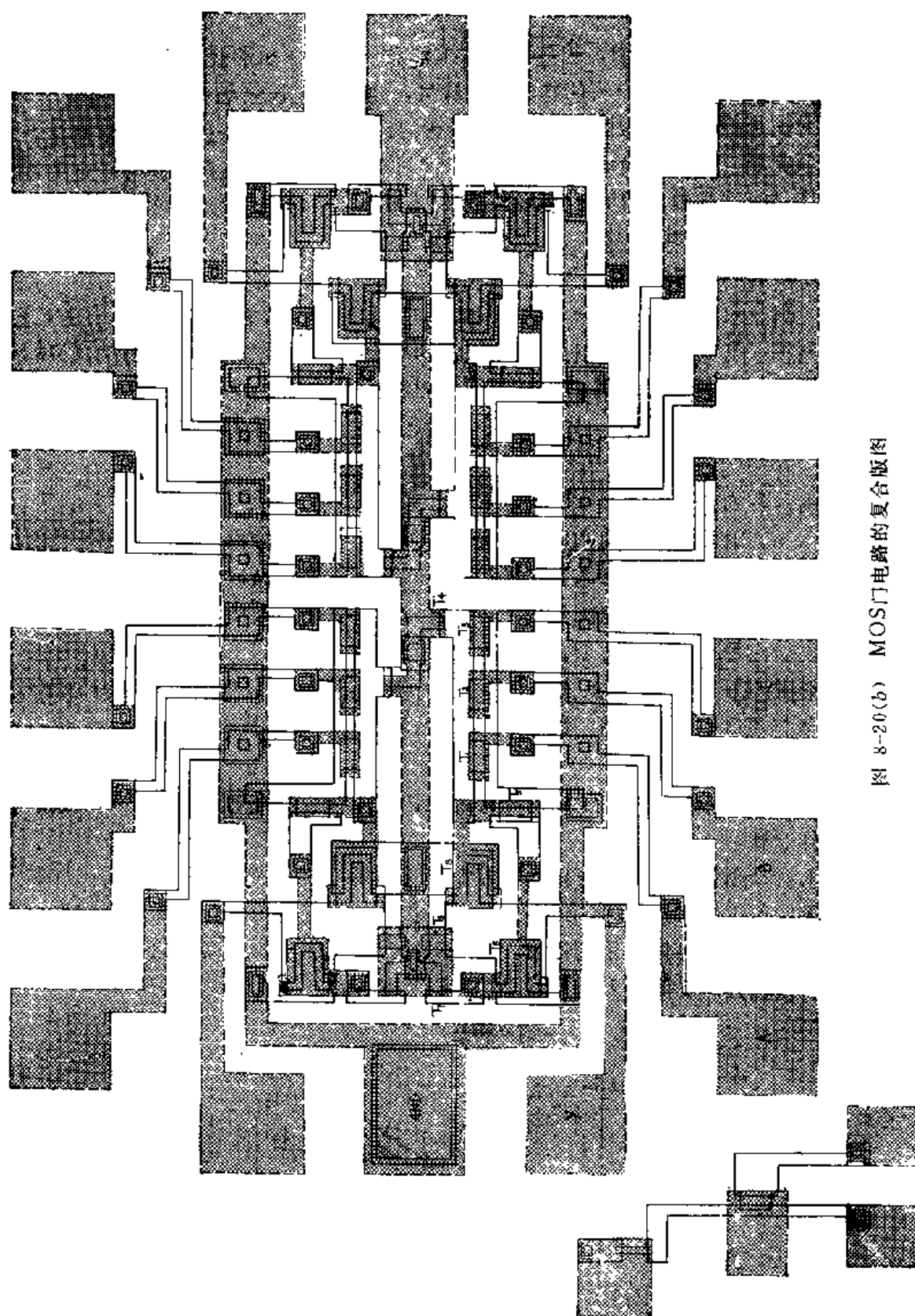


图 8-20(b) MOS门电路的复合版图

§8-3 MOS集成电路的新工艺

在MOS电路的生产工艺中,控制阈值电压的数值是一个非常重要的问题。MOS场效应晶体管的阈值电压 V_T 不仅和材料的物理参数有关,也和工艺有密切关系。对阈值电压影响最大的是:金属栅极与衬底的接触电位差、等效表面电荷密度和栅极下面耗尽离化杂质的电荷密度及栅极材料。其中接触电位差与栅金属材料有关也和衬底掺杂浓度有一定关系。等效表面电荷密度与衬底硅单晶的关系很大, $\langle 100 \rangle$ 面最小, $\langle 111 \rangle$ 面最大。在工艺中它与栅氧化的条件(如清洁度、湿氧、干氧)以及退火处理的条件有密切关系。栅电容主要取决于栅介质的介电系数和栅极厚度。

在采用一般气相扩散法和热氧化法的标准MOS工艺时,影响阈值电压的主要工艺参量是表面电荷密度,即栅氧化和磷处理等工艺是影响阈值电压的关键工艺。为改进MOS电路的特性和提高MOS器件的稳定性、可靠性,近年在MOS电路生产中,日益广泛地采用很多新工艺。例如:离子注入工艺、硅栅工艺、复合栅工艺等,下面对这几项新工艺原理予以介绍。

1. 离子注入工艺

离子注入工艺就是将电离的杂质原子在电场加速下射入硅片内部,实现对硅片的局部掺杂,用以代替传统的高温扩散工艺。离子注入掺杂的好处是:杂质浓度、结深容易控制,工艺均匀性、重复性好;没有横向扩散以及可以形成各种需要的杂质分布。在CMOS电路中离子注入技术主要应用在以下三方面:

(1) 形成P阱 用离子注入代替P阱扩散中的预淀积,形成低表面浓度均匀的P阱区。

(2) 调整阈值电压 对栅区衬底局部掺杂,增加或补偿衬底上的杂质浓度,调节阈值电压。

(3) 漏源区自对准 用离子注入局部掺杂,实现漏源区的自对准,消除栅覆盖区,提高电路的工作速度。

离子注入掺杂剂量的多少,可以通过控制加速电场电压而加以精确地控制。通常其掺杂的表面浓度差别可以在10%以内,这大大优于热扩散掺杂的均匀性。离子注入的表面掩蔽层可以用二氧化硅层,也可以利用光刻胶。图8-21绘出了用光刻胶及二氧化硅厚度与注入能量之间关系的实验曲线。P阱注入所需能量在50keV左右。

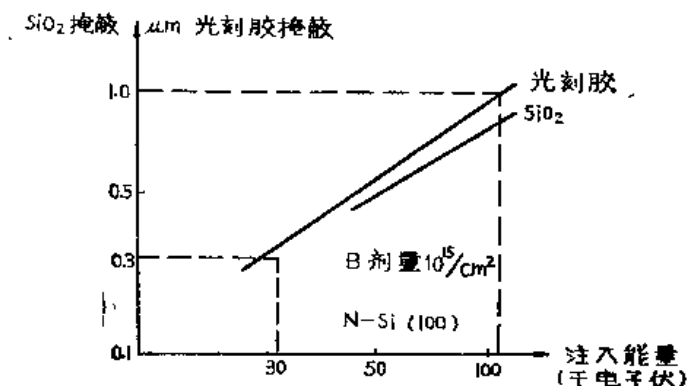


图 8-21 掩蔽层与注入能量的关系

具体的P阱注入可以在一次光刻后进行, 然后进行高温再分布, P阱深度在 $10\mu\text{m}$ 左右。其余仍可采用标准工艺。

离子注入还可以用以调整阈值电压。在栅氧化以后, 利用较高能量让离子通过薄栅层进入硅片, 调整栅区局部的杂质浓度, 用以改善阈值电压(提高或降低)。为了消除注入对晶格造成的破坏和活化注入的离子, 需要在 $550\sim 900^\circ\text{C}$ 炉中退火15分钟左右。

利用离子注入技术来实现源漏区的自对准是改进标准工艺、提高电路速度的有效方法。在标准工艺中, 栅对源漏区的覆盖是工艺本身不可克服的缺点(参见图8-22(a))。离子注入自对准工艺是在形成铝栅电极之后进行的。高能离子通过薄栅氧化层注入硅片, 使源区和漏区形成新的补偿区(参见图8-22(b)), 而栅极铝层掩蔽作用使得栅极下面部分无离子注入。由于离子注入几乎不存在横向扩散, 所以这就形成不存在栅覆盖区的沟道自对准。需要说明, 由于离子注入的杂质是源、漏区的一部分, 因而要求杂质浓度较高并有一定结深。注入能量一般约在 100keV 。注入后的退火温度亦应降低, 不能超过硅铝合金共熔点温度。

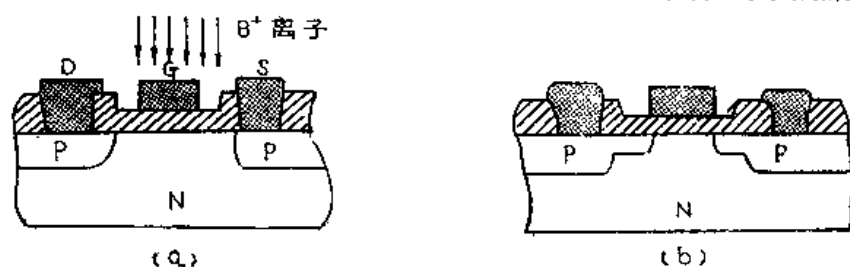


图 8-22 自对准的工艺示意图

2. 硅栅工艺

硅栅工艺是用化学气相淀积(通常称CVD技术)法生长的掺杂多晶硅做为栅电极的一种工艺。采用硅栅工艺的好处是: 实现自对准, 提高电路性能, 改变掺入多晶硅中的杂质类型及浓度, 实现对阈值电压的控制, 也可以实现低阈值电压电路(如, 手表电路); 多晶硅层电阻率较低(可以做到小于 $100\Omega/\square$) 可以作为电路中联线, 同时多晶硅表面形成纯化层, 因而它可以自由地走过铝线, 这为电路版图设计提供了灵活性。

图8-23是硅栅工艺的流程。首先可采用标准工艺形成P阱, 在栅氧化之后, 淀积多晶硅, 然后用等离子刻蚀法(或普通光刻法)刻蚀出P型及N型MOS管的源漏区。此后分别制作N-MOS管和P-MOS管, 最后形成硅栅MOS电路。

3. 复合栅工艺

由于热氧化生长的二氧化硅层内容易有较多的正电荷, 它们将影响P-MOS管及N-MOS管的阈值电压数值, 在C-MOS电路中会影响阈值电压的匹配。热氧化二氧化硅层的钠离子沾污将影响电路的可靠性。复合栅工艺正是针对二氧化硅薄膜的上述缺点而发展起来的一种新型MOS电路工艺。MOS电路中采用三氧化二铝和氮化硅膜代替单一的二氧化硅膜。下面介绍一下用化学气相淀积生长的三氧化二铝及二氧化硅复合栅的优点。

(1) 三氧化二铝膜中含有负电荷, 采用厚度适当的二氧化硅膜和三氧化二铝膜的复合栅结构, 可以使介质中电荷相互补偿, 大大降低等效表面电荷密度(甚至为零), 有利于阈值电压的控制及匹配。

(2) 三氧化二铝的介电系数较高($8\sim 10$), 比二氧化硅大, 所以相同厚度复合栅层的栅电容较大, 使MOS管跨导加大。

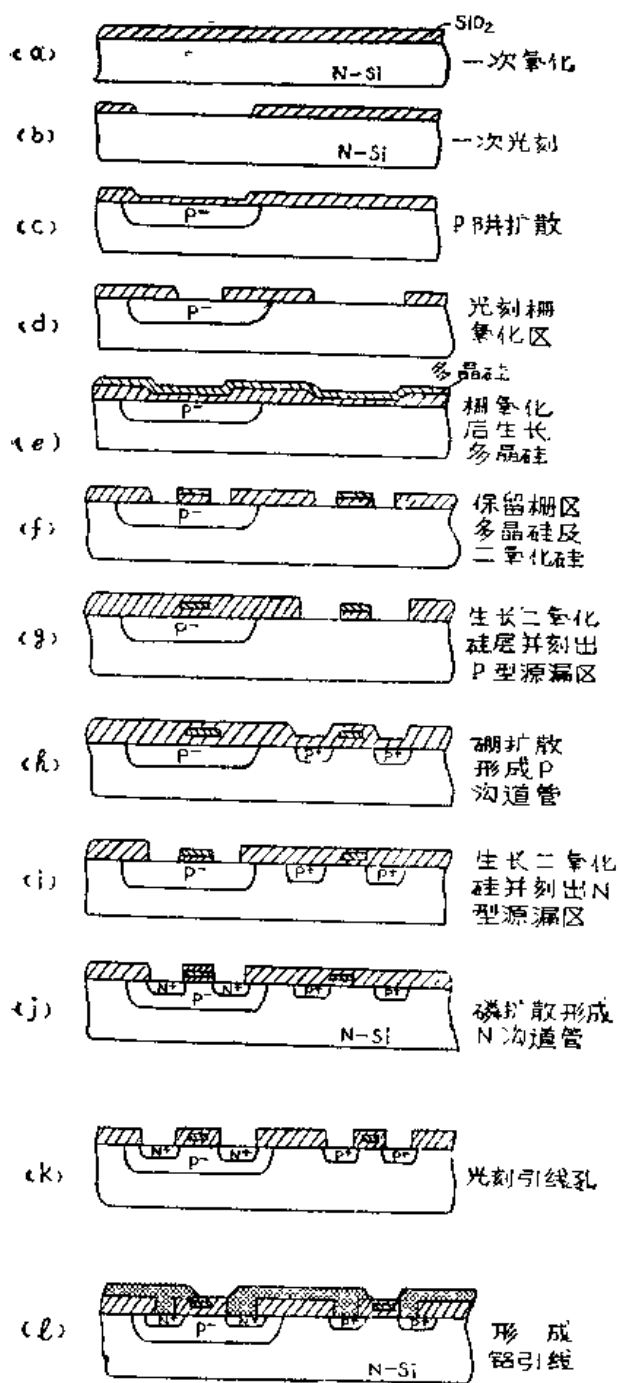


图 8-23 MOS硅栅工艺流程示意图

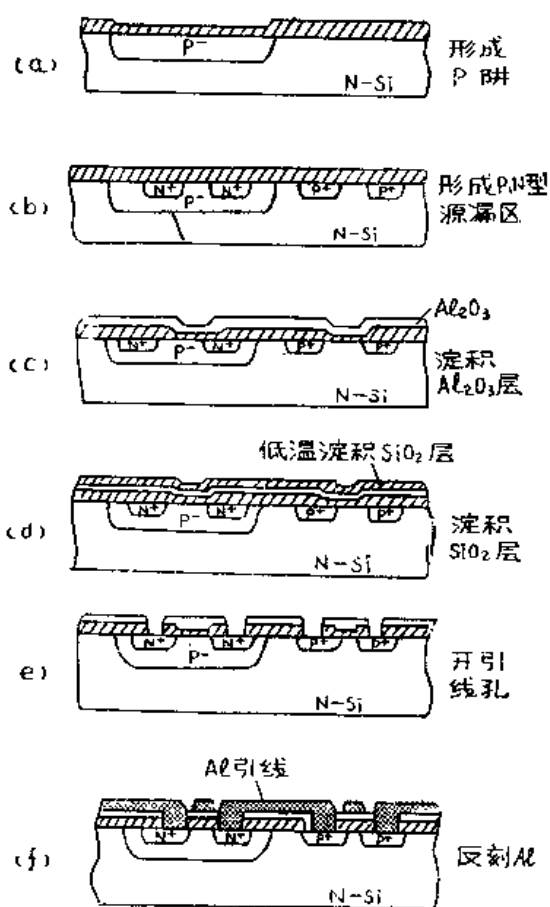


图 8-24 MOS复合栅工艺流程图

(3) 三氧化二铝层具有更强的抗辐射能力, 使电路稳定性改善。图8-24是三氧化二铝-二氧化硅复合栅的工艺流程图。其工艺过程是先用标准工艺生成P阱, 然后, 硼、磷扩散分别形成P型和N型的源漏区。栅氧化后不再进行磷处理, 而是淀积一层三氧化二铝(利用三氯化铝和氢气)。然后在其上低温淀积一层二氧化硅层做为光刻三氧化二铝层的掩蔽膜(因为用热磷酸腐蚀三氧化二铝层, 一般光刻胶不足保护), 刻出引线孔后再去掉三氧化二铝上而的二氧化硅层, 最后蒸铝、反刻即可完成管芯工艺。

至于氮化硅工艺本书将不再讲解。除此之外, MOS新工艺还有很多。例如, 在蓝宝石上外延技术——MOS技术等, 请参阅专门工艺书。

第九章 模拟集成电路基础

§9-1 模拟集成电路的发展

模拟集成电路是相对数字集成电路而言的。可以说除数字集成电路之外的集成电路都统称为模拟集成电路。早期的概念是把数字电路以外的集成电路都称为线性集成电路,这种定义方式不够严格。1967年国际电工技术委员会(IEC)正式提出用模拟集成电路的概念,以此来取代狭义的线性集成电路的提法。

模拟集成电路可以分为线性集成电路和非线性集成电路两大类。输出对于输入信号的变化成线性关系(或说成比例关系)的电路称为线性电路。例如,各种直流、低频、高频放大器等。非线性电路是指输出对输入信号的变化不成线性关系的电路。例如,对数放大器、振荡器、检波器、变换器等。

近年来,模拟集成电路的工作频率已扩展到了微波频段(频率高于300MHz以上)。工作在这个频段的各种集成电路称为微波集成电路。这样一来,模拟集成电路应该是指在微波频段以下的各种线性和非线性集成电路。

众所周知,数字集成电路和电子计算机正象一对孪生兄弟,是共同诞生和成长起来的。模拟集成电路则是在它们之后诞生的。1964年美国P.J.Widlar设计研制的 $\mu A702$ 集成运算放大器,开始揭开了模拟集成电路的序幕。由于模拟集成电路不象数字集成电路那样,品种少、数量大,便于大批量工业生产。同时还由于模拟集成电路制造工艺的难度较大,致使它的发展及产量迟迟落后于数字集成电路。但近年来由于集成电路技术和工艺不断发展和应用范围的日益广泛,使得模拟集成电路的品种和数量得到了迅速的发展。例如,仅运算放大器,到1979年世界各国已发展到近4000种。目前,模拟集成电路正在以比过去更快的速度向前发展。当今,如果说数字集成电路是以大规模和超大规模为其主要发展方向的话,那么模拟集成电路则是以综合利用集成电路各种工艺手段来实现通用性和高性能作为主要发展方向的。换句话说,衡量模拟集成电路水平的标准,不能象数字集成电路那样单纯用集成度这一概念,而要考虑模拟集成电路的工艺难度和水平。

模拟集成电路尽管可以分为线性集成电路和非线性集成电路两类,但这种分法太粗糙了。通常还以应用场合把模拟集成电路分为以下几大类:

(1) 线性放大器 其中包括直流放大器、运算放大器、中频放大器、视频放大器、宽频放大器、音频放大器等。由于集成电路放大器级间无例外地采用直接耦合方式,所以,所有线性放大器都具有从直流信号开始放大的性能,但不同的放大器最佳的运用场合是不同的。在各种放大器中以运算放大器为最有代表性,这不仅因为它是一种“万能电路”,还因为它几乎集中了集成电路各种工艺方法之大成,达到了极高的技术指标。

(2) 集成稳压器 稳压器的应用很广泛,几乎所有电子设备都要用到稳压器。这便在集成电路中产生了集成稳压器的系列。

(3) 波形的产生和变换器 这类电路多是非线性电路,如振荡器、电压比较器、数-

模转换器（又称D/A变换器），模-数转换器（又称A/D变换器）、读出放大器等等。

（4）功率集成电路 能承受较高电压和输出较大电流的模拟集成电路又称为功率集成电路。例如输出功率在3W以上的音频放大器和射频放大器，大功率的变换器和输出电流在0.5A以上的稳压器都可以称得上是功率集成电路。这类电路在制造工艺上要解决一些特殊问题，才能保证电路正常稳定的工作。

当然，模拟集成电路还可以有各种各样分类方法。但不论怎样的分类方法，模拟集成电路本身都具有一些和数字电路显著不同的特点。这些特点主要表现在：

（1）模拟集成电路所处理的是连续变化的模拟电量。一般说来，这种电量的输入是小信号量而输出是大信号量。而数字电路所处理的是突变的大信号电量。所谓小信号和大信号，是指信号工作在器件的线性区和非线性区来区分的。数字集成电路工作电源电压较低，例如TTL电路工作的电源电压为5V，模拟集成电路的电源电压较高。例如，不少运算放大器的电源电压为 $\pm 15\text{V}$ 或者更高。

（2）模拟集成电路的电路形式比较复杂，模拟电路不同于数字电路，后者只工作在开关状态。为了保证模拟电路各器件工作在线性区域，就必须给电路中各晶体管一定的偏置（偏压或偏流），同时为了使模拟集成电路在同一电路上具有适应范围更广泛的功能，这就使电路的结构形式更加复杂。这种电路形式的内部复杂反而给电路外部特性带来好处——使电路性能改善，应用方便。

（3）模拟集成电路中元器件品种多，制造工艺比较复杂。对数字集成电路来说，在一块组件上通常只用到电阻和一种器件。例如，TTL电路中只用到硼扩散电阻和NPN晶体管。但对模拟集成电路来讲，一块组件中不仅大量用到NPN晶体管，还广泛用到PNP晶体管，甚至也用到MOS晶体管。除了硼扩散电阻外，还用到磷扩散电阻、外延层电阻等。另外模拟集成电路还经常用到电容。模拟集成电路中对元器件参数要求也比数字集成电路中要求高得多。这一切都使得模拟集成电路的制造比数字集成电路更为复杂、困难。

（4）模拟集成电路的功能都远比数字集成电路复杂，所以一般不用集成度这一单一概念来表示模拟集成电路的水平或难度。而数字电路则由于电路形式的规一化和工艺的标准化，常用大、中、小规模电路的概念来表示电路的水平和难度。

模拟集成电路和分立元器件组成的电路相比，又有以下几个显著的特点：

（1）通过学习数字集成电路的内容已经知道，在半导体集成电路中，由于制造晶体管并不比制造电阻困难，而且晶体管所占用硅片面积较小，所以在电路设计上常常多用几个晶体管来保证电路性能。这样，模拟集成电路结构往往比分立元件电路复杂。但这种做法除了使电路光刻版复杂些外，并不会增加电路制造上的困难。

（2）半导体集成电路目前还不能制造电感元件，电路中必须用电感线圈时只能外接。制造电容和高电阻都要占用较大硅片面积，在电路设计上应尽量避免。模拟集成电路的级间耦合都采用直接耦合方式联接。电路中必不可少的高电阻可用晶体管来代替。

（3）集成电路中元件本身的制造精度不高。但是由于各元器件是在同一工艺条件下做在很小的硅片之上，所以邻近元器件的一致性较好。而它们受温度和干扰等外界条件的影响也是一样的。也可以说，集成电路中元件的“先天”条件和“后天”条件的一致性较好。为充分利用这些特点，在模拟集成电路中，一般都采用要求元件对称性好，对温漂可以进行补偿的差动式放大电路，还采用放大倍数只取决于电阻比值的负反馈放大电路，而不采用对元件精

度要求高的一般放大电路。

模拟集成电路的特点很多，我们将通过具体章节的学习得到深化。

由于模拟集成电路种类繁多，各种具体电路更是千姿百态，为了更好的学习掌握模拟集成电路知识，我们将首先介绍组成电路的各种元器件和广泛采用的基本电路形式。这样做的目的正是为了分析复杂模拟集成电路打下基础。

§9-2 模拟集成电路中的元器件

一、模拟集成电路中的晶体管

任何模拟集成电路中，都大量采用各种晶体管。在数字TTL电路中通常采用的是NPN型晶体管、二极管和电阻；在模拟集成电路中除仍大量采用NPN型管外，还采用了PNP型管，也采用了结型场效应管和MOS场效应管。

1. 集成电路中的二极管

集成电路中的二极管大多是与晶体三极管同时制成的，它可以单独利用一个结，也可以先做成三极管，然后以一定的方式短接成二极管。它的基本结构方式有以下六种：

- (1) 将三极管的 BC 短接构成的二极管。
- (2) 将三极管的 EB 短接构成的二极管。
- (3) 发射极开路，三极管的 BC 结构成的二极管。
- (4) 将三极管的 EC 短接构成的二极管。
- (5) 集电极开路，三极管的 BE 结构成的二极管。
- (6) 集电结单结构成二极管。

这六种形式的二极管，由于结构不一样，它们的特性也各有差异。现将主要特性参数列于表9-1。

表 9-1

电路接法						
击穿电压 BV	6~9 V	大于20 V	大于20 V	6~9 V	6~9 V	大于20 V
正电压向	0.63 V	0.66 V	0.7 V	0.7 V	0.72 V	0.7 V
电荷存储时间	短	长	长	最长	长	长
结电容 C_j	4.5 pF	8 pF	7.5 pF	10.5 pF	4.5 pF	10 pF

需要说明，表中正向压降的数值是在一定电流和结构尺寸下的数值。击穿电压则是典型值。

二极管在模拟集成电路中，主要用于耦合、电平移动及电压基准等场合。有些地方不但要考虑击穿电压、正向压降等参数，还应注意二极管的温度特性。反向运用的二极管，具有雪崩型击穿结构，其击穿电压具有正的温度系数（温度系数是指温度每升高1℃电压变化的百分数），其数值约为0.1%/℃。典型数值为+2~5 mV/℃。集电结的反向击穿属于这种

类型。发射结的反向击穿电压具有雪崩型和隧道型两种结构，由于隧道型击穿具有负温度系数，所以发射结反向击穿电压可以具有较小的温度系数。二极管正向压降一般具有较大的负温度系数，也就是说，二极管正向压降随温度上升而下降。在室温附近每升高 1°C ，正向压降要下降 2mV 左右，典型的温度系数值为 $-1.9\sim 2.1\text{mV}/^{\circ}\text{C}$ 。

2. 集成电路中的三极管

(1) NPN型晶体管 通过数字集成电路知识的学习得知，在N型外延层上进行两次杂质扩散就可以很方便地制成NPN型三极管。图9-1是NPN管的剖面结构，图9-2是最常采用的几种NPN管图形。

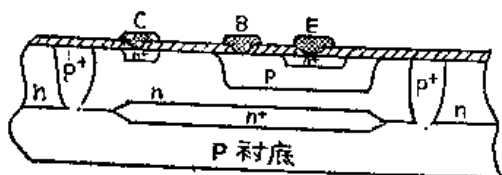


图 9-1 集成电路中NPN管的剖面结构

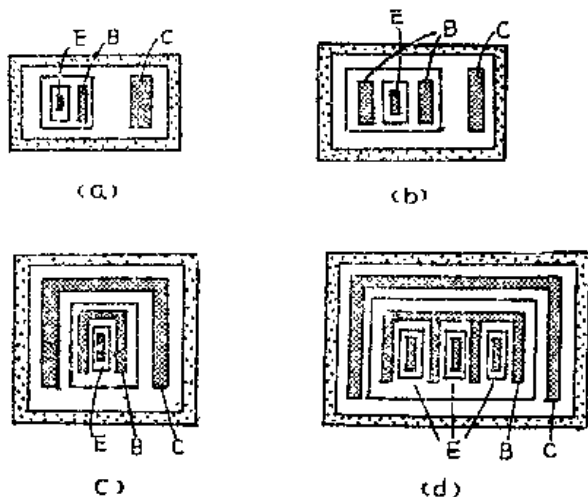


图 9-2 集成电路中常用的NPN管图形

①单基极结构，这是用得最广泛图形之一，它所占用硅片面积小，这样的管子特征频率 f_T 较高，但基极电阻较大，电流较小。

②双基极结构，这种结构亦广泛采用，其基极电阻较小，电流较大。

③马蹄形结构。马蹄形结构的集电极串联电阻比前两种小得多，电路输出级管子常采用这种结构方式。

④梳状结构。这种结构的好处是增加了发射极周长，允许有更大的发射电流，它和单纯增加发射极面积相比较，可以在增加发射周长的同时不增加基极电阻。所以梳状结构具有功率大、频率高的特点，最适宜做大功率输出管。

⑤在晶体管原理课程中已经知道，晶体管的击穿电压和材料的电阻率以及工艺条件等有关，而最大工作电流是取决于发射极有效周长。需要指出，在模拟集成电路中，由于对晶体管电流放大倍数有线性度（即 β 与工作电流之间）方面的要求，因此单位发射极有效周长应取得严格一些，一般为 $0.04\sim 0.16\text{mA}/\mu\text{m}$ 。如果取的电流密度过大，将会影响晶体管电流放大系数 β 的线性度。至于晶体管其它直流参数和工艺与设计的关系，则和数字电路是一致的。下面就对影响晶体管特征频率的几个因素加以介绍。由分析和计算得知，载流子在基区的渡越时间、集电极串联电阻、发射极电流和结电容是影响 f_T 的主要因素。为提高晶体管的特征频率，就要在工艺上尽量减小基区厚度——最常用的方法是浅结扩散，以减小载流子在基区的渡越时间。在设计及工艺上设法减小集电极串联电阻，而采用梳状结构可以提高发射电流和不致过多的增加结电容，这对提高 f_T 显然是有好处。

(2) PNP型晶体管 由晶体管电路知识知道，NPN管在放大区运用时，集电极电位总

要比基极电位高，直接耦合的共发射极多级放大器，如果在一定的电源电压条件下工作，其能够输出的电压幅度就会随级数的增加而下降。为了解决这个问题，采用PNP型晶体管进行电平移位是模拟集成电路中必不可少的办法。在集成电路中的PNP管，有横向PNP管和纵向PNP管两种类型。下面分别介绍两种PNP管结构及主要参数。

横向PNP晶体管 横向PNP晶体管是在集成电路外延层的横向方向作成晶体管，其结构如图9-3所示。图中两个P型区，一个是发射区，一个是集电区，它们是与NPN管基区硼扩散时同时完成的，基区就利用N型外延层。为了减小引出的接触电阻，在N型外延层上进行 N^+ 扩散为基区引出线。外延层下边的 N^+ 层是隐埋层，其作用是减小从发射极到衬底的寄生PNP管效应，它是同其它隐埋层一起制作的。可以看出这种横向PNP管的制作，不需要另外附加工艺过程，很容易制造。但由于结构及工艺水平的限制，其参数指标远不及NPN管。在结构上基区不能做到很薄，再加上发射区载流子纵向注入，集电区是横向收集，所以集电极的收集效率不可能很高，因此电流放大系数很难做得高。在发射区与集电区之间距离为 $10\mu\text{m}$ 时，电流放大系数一般只能做到 $1\sim 5$ 之间，如果缩小发射区和集电区之间的距离，不单是受到工艺水平的限制，而且，由于基区电阻率比发射区和集电区都高，势垒主要向基区扩展，容易造成发射极和集电极之间的穿通。由此可见，横向PNP晶体管的电流放大系数和 V_{CE} 电压之间存在着矛盾。另外，横向PNP管的基区宽度较大，所以特征频率不易做高，一般最高也只能做到十几MHz，也限制了高频应用。

改进横向PNP管特性的方法很多，改善电流放大系数最方便的方法是采用PNP管和NPN管的复合管，这种管子的电流放大系数为两者之积，即 $\beta = \beta_1 \cdot \beta_2$ 。图9-4是复合管电路及其等效电路。改进横向PNP管频率特性，可以采用在发射极和集电极之间附加漂移电场的结构。图9-5给出了这种结构示意图。以示意图看出，它是在横向PNP管的发射极和集电极两侧，附加一个由E指向C的电场，发射极注入的载流子（空穴），除进行扩散运动外，还在电场作用下，产生由发射极至集电极的漂移运动，这就缩短了载流子的基区渡越时间，从而达到了提高管子的最高工作频率的目的。漂移电场电极是在N型外延层上进行 N^+ 扩散造成欧姆接触而形成的，在版图设计上设法将它们同线路上相应电位联接，这样就形成从E指向C的漂

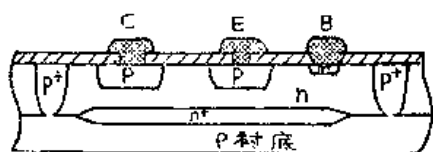


图 9-3 横向PNP晶体管

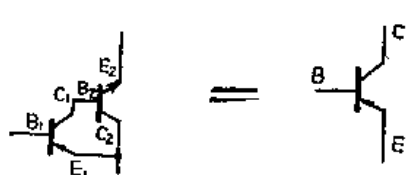


图 9-4 复合PNP管及等效电路

移电场。这种附加漂移场的横向PNP管，特征频率 f_T 可以达到50MHz以上。

②**纵向PNP晶体管** 纵向PNP晶体管是以P型衬底为集电极，N型外延层为基极，硼扩散P型区为发射区，在纵向上形成的PNP结构。图9-6是它的结构剖面示意图。采用这种结构制得的PNP晶体管，由于以外延层为基区，而外延层为适应制作NPN管基区及扩散电阻的需要不可能做得很薄，因此纵向PNP管的电流放大系数和特征频率也受到限制，不可能做得很高。当外延层为 $6\sim 10\mu\text{m}$ 时，管子特征频率约在30MHz至10MHz之间，其电流放大系数在10至30之间。另外因为P型衬底的电阻率比外延层电阻率高，所以集电结在反向偏置时，势垒区主要是向衬底方向扩展，不会产生横向PNP管那样的穿通现象，因此纵向PNP管耐

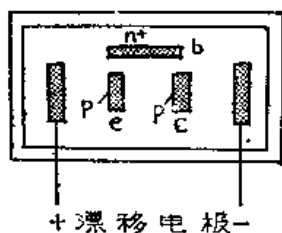


图 9-5 附加漂移电场的PNP晶体管

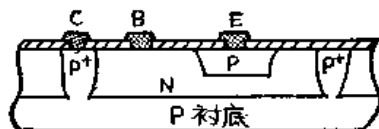


图 9-6 纵向PNP管结构

压较高，适用于模拟电路的输出极。

由于P型衬底作为集电区之用，集电极引线由PN结隔离的隔离槽上引出。在PN结隔离方式中，P型衬底及隔离槽必须接电路中最低电位点，所以这种结构的纵向PNP晶体管只能运用于集电极接最低电位的电路中。

至于在电路中究竟采用横向PNP管，还是采用纵向PNP管，那就要视电路具体情况而定。顺便指出，无论是横向PNP管，还是纵向PNP管，由于它们的电流放大系数都难以做得很高，所以在工艺上不能象数字电路那样进行金扩散。因为掺金会导致基区复合增加，空穴寿命下降，影响电流放大系数。

（3）超电流放大系数管 超电流放大系数管，又称为超 β 管。这种晶体管具有极高的电流放大系数。在模拟集成电路中，输入级有时要求很高的输入阻抗，很小的输入电流，例如，高精度运算放大器等，这就要求放大器的输入级管做成超 β 管。超 β 管不但可以有极小的基极电流，高 β 值也会给放大器带来高增益。目前工艺上可以方便地制作 β 在1000以上的超 β 管。图9-7是两种超 β 管和普通管结构比较的示意图。从结构图中不难看出，超 β 管的主要特点是使晶体管基区宽度变窄，这可以通过两种方式来达到。左边的一个是把基区作得比较浅，而发射区还是和普通晶体管一样深，这里就需要附加浅硼区扩散工艺。右边的一个超 β 管，是把发射区作得比较深，而基区还是和普通晶体管一样深，这里就需要附加浅磷扩散工艺。由于超 β 管的基区有效宽度变窄，相应它的发射极——集电极间的击穿电压 BV_{CEO} 将变得很低，通常只有5~10V，超 β 管多工作在集成电路的输入级，在电路加上专门的措施，可以使超 β 管在低耐压电路上正常工作。

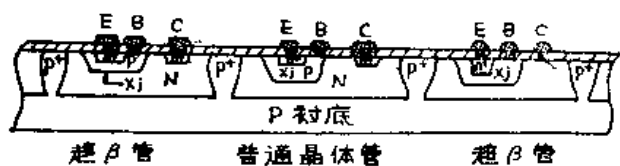


图 9-7 普通管和超 β 管结构比较

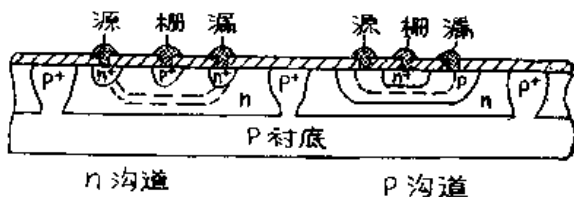


图 9-8 结型场效应晶体管结构示意图

（4）场效应晶体管 在模拟集成电路中，除了大量采用双极型晶体管外，也常用场效应晶体管作输入级和恒流源。场效应晶体管分为结型场效应晶体管和金属氧化物半导体（即MOS）场效应晶体管两种。

①结型场效应晶体管 图9-8是结型场效应晶体管结构图。这种管子的基本作用原理是用栅极电压的变化调制导电沟道的宽度。图9-8左边是利用外延层形成的N沟道管。图9-9左边是相应的电路图和正常工作的电压极性。图9-8右边是利用硼扩散区形成的P沟道管。图9-9右边是它的电路图和正常的电压极性。结型场效应管在电参数上的主要特点是输入阻抗高，

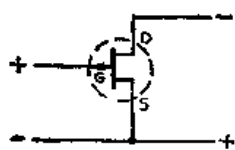


图 9-9 结型场效应晶体管符号及电压极性

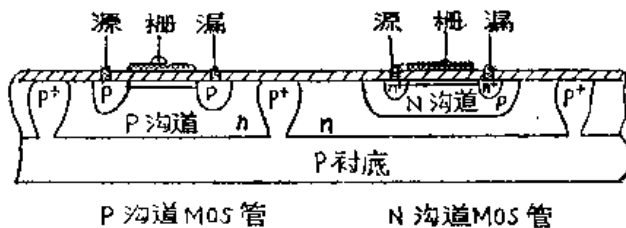
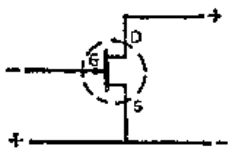


图 9-10 MOS场效应管结构

其数值通常在 $10^7 \sim 10^{12} \Omega$ 之间，和MOS管相比它的输入端有较大的电压过载能力。

②金属-氧化物-半导体场效应管 (MOS管) 利用半导体和表面上的绝缘层二氧化硅及最上面的金属层构成的MOS管，如图9-10所示。栅极是铝层，其下面的二氧化硅层为绝缘层，两边为源极和漏极。MOS管的基本工作原理是用栅极电压调制源、漏极之间的导电沟道。图9-11是与图9-10相应的P沟和N沟管的电路符号和正常工作的电压极性。MOS管具有比结型场效应管更高的输入阻抗，可以达到 $10^{13} \Omega$ 以上。为了保护MOS管不被击穿，在输入级MOS管的输入端常加入一定的保护电路，但在电路图上往往不画出来。

二、模拟集成电路中的元件

在数字集成电路中，电路内的元件主要是电阻，用得最多的电阻是硼扩散电阻。在模拟集成电路中，由于电阻数值范围较大，除了硼扩散电阻外，还采用了磷区扩散电阻、外延层电阻以及其它精密电阻。在模拟集成电路中还采用了电容器。

1. 集成电路中的电阻器

(1) 硼扩散电阻 硼扩散电阻是在制作NPN晶体管基区的同时进行的。为了同时满足晶体管参数要求，硼扩散区的方块电阻不允许任意选择，一般选择在 $150 \Omega/\square$ 到 $300 \Omega/\square$ 之间。硼扩散电阻通常采用长条形状，长条形扩散电阻的值可以用下面的公式计算：

$$R = R_s \frac{L}{W}$$

式中 R_s ——硼扩散薄层方块电阻，

W ——电阻条的宽度，

L ——电阻条的长度。

电阻条的宽度受到工艺水平的限制，电阻条长度和占用硅片面积成比例，因此硼扩散电阻一般为 $50 \sim 20 \text{ k}\Omega$ 。硼扩散工艺造成的方块电阻误差在 $\pm 10\%$ 左右，再加上光刻误差等原因造成电阻阻值误差约在 20% 左右。在数字电路中 20% 的电阻误差是可以允许的，在模拟集成电路中这样的误差就太大了。为了减小电阻数值的偏差，在电路设计中应尽量采用对称的电路形式，因为相邻电阻之间的相对误差（不论是扩散或光刻造成的误差，均会得到补偿），可以控制在 5% 以内。

(2) 磷扩散电阻 磷扩散电阻是在制作NPN晶体管发射极扩散时完成的。因为磷扩散的杂质浓度比硼扩散高，磷扩散薄层的方块电阻一般在 2 至 $4 \Omega/\square$ ，所以，磷扩散电阻最适于制作低阻值的电阻器，最大不超过 100Ω 。磷扩散区由于具有很小的电阻，还可以用于电路上元件与元件之间的短连线，以解决铝条的交叉连接。

(3) 磷硼扩散区之间的夹层电阻 在模拟集成电路中，高阻值电阻器是会常用到的，单纯用硼扩散电阻制造高阻值电阻会占用过大的硅片面积。在硼扩散电阻层之上再进行磷扩

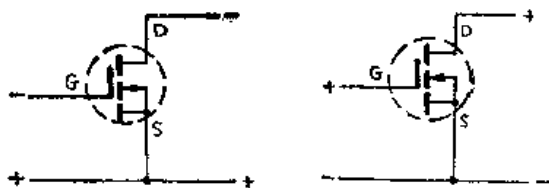


图 9-11 MOS管的电路符号和电压极性

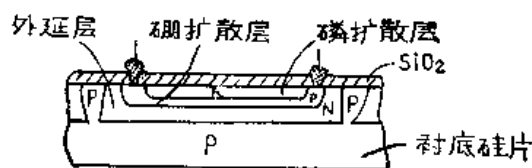


图 9-12 夹层电阻的示意图

散，可以得到高阻值电阻。图9-12是这种电阻结构的示意图。从图中看出，磷扩散层使构成电阻的硼扩散层变窄，也就是减小了电阻条的截面积，这种电阻又称致窄电阻或夹层电阻，实际工艺上这种夹层电阻可以做到每方 $5\text{k}\Omega$ 至 $10\text{k}\Omega$ 。但由于扩散深度、浓度控制的重复性、均匀性不容易很精确，所以夹层电阻的误差较大。另外夹层电阻在硼扩散区（P型区）和磷扩散区（N型区）之间，它的反向电压的最大值，取决于硼扩散区的杂质浓度，一般在 7V 左右，换句话说，夹层电阻的击穿电压要比单纯的硼扩散电阻的击穿电压低。

（4）外延体电阻 由于制造集成电路的基础半导体层——外延层具有较高的电阻率。例如，制造模拟集成电路典型的电阻率为 $1\sim 2\Omega\cdot\text{cm}$ ，深度为 $10\mu\text{m}$ 的外延层，其方块电阻为 $2\text{k}\Omega/\square$ 。利用这一层亦可制造高阻值电阻。需要指出：对于一般工艺水平，在电阻率误差为 $\pm 20\%$ ，外延层厚度偏差 $\pm 10\%$ 的条件下，外延层体电阻的阻值偏差约在 $\pm 30\%$ 左右。外延层体电阻具有正温度系数，其数值在 $\pm 3500\sim 5000\text{ppm}/^\circ\text{C}$ 之间。

（5）离子注入电阻 前面介绍的四种电阻，都是在制造晶体管进行杂质扩散的同时进行的，也可以说是用常规工艺制造的电阻。随着半导体集成电路生产工艺的改进，除了用扩散法制造电阻外，也采用离子注入方法制造电阻，这种方法不但可以大大扩大电阻的数值范围，精度也容易控制。离子注入就是把电离的杂质原子在高电场下进行加速，使其强行打入半导体内部，实现对半导体进行掺杂的目的。控制离子流的强弱及加速电场的电压高低和注入时间的长短，就可以实现对半导体掺杂的精密控制，从而制造出各种数值的电阻。不过这种制造，方法是要增加“离子注入”这样一道工序。离子注入法制造的方块电阻范围是 $5000\Omega/\square$ 至 $30\text{k}\Omega/\square$ ，其误差可以在 10% 以内。

（6）精密膜电阻 在模拟集成电路中，某些电路需要采用精密电阻。例如在A/D、D/A变换器中的电阻网络。精密电阻用扩散电阻便不能满足要求了。目前有一种新方法，是将金属或半导体材料用蒸发或溅射工艺覆盖在半导体表面，再用阳极氧化或激光剥蚀方法对电阻数值进行微调，达到电路所要求的阻值。这种方法尽管增加了工序，也比较复杂。但在精度、温度系数要求高的某些电路中是一定要采用的。制造膜电阻的材料有以下几种：

镍-铬（Ni-Cr）薄膜具有 $40\sim 400\Omega/\square$ 的薄层方块电阻，适于制造 $20\Omega\sim 40\text{k}\Omega$ 的电阻。这种电路的温度系数为 $100\text{ppm}/^\circ\text{C}$ 。

二氧化锡（ SnO_2 ）薄膜具有 $80\Omega\sim 4\text{k}\Omega/\square$ 的薄层方块电阻，适于制造 $100\Omega\sim 3\text{M}\Omega$ 左右的电阻。这种电阻的温度系数在 0 至 $1500\text{ppm}/^\circ\text{C}$ 之间。

钽（Ta）薄膜具有 $200\Omega\sim 5\text{k}\Omega/\square$ 的薄层方块电阻，适于制造几百 Ω 至几 $\text{M}\Omega$ 的电阻，具有 $100\text{ppm}/^\circ\text{C}$ 左右的温度系数。

经过微细调整，上述电阻的相对误差均可做到 $\pm 5\%$ 以内。除了精度高之外，由于薄膜电阻是制造在绝缘的二氧化硅之上，因而可以经受 $100\sim 200\text{V}$ 的反向击穿电压，同时还可以

承受0.5W左右的功耗，因此在高压功率集成电路中，薄膜电阻是经常采用的。

(7) 电阻的误差和温度系数 从电阻阻值的基本计算公式 $R = R_s \frac{L}{W}$ 可知，造成阻值误差有以下几个原因：一是电阻条长度 L 的偏差。由于电阻条长度的几何尺寸相对地较大，故同一工艺偏差绝对值造成的长度相对变化值很小，所以长度偏差造成的误差也就很小，可以忽略。二是电阻条宽度 W 的偏差。由于一般电阻条较窄（例如 $20\mu\text{m}$ ），而工艺可能造成绝对偏差较大（例如 $\pm 2\mu\text{m}$ ）。这种偏差在电阻条越细时相对误差越大。三是方块电阻 R_s 的偏差。在一般工艺条件下，同一炉内的扩散片子之间方块电阻相对误差可以在10%以内，而批与批之间方块电阻的相对误差约为20%左右。总的说来，常规工艺条件下电阻的相对误差在20%左右。但在集成电路中电阻的相对误差可以很容易地控制在5%以内，因此在模拟集成电路中，应尽量把对阻值绝对误差要求高的电阻，转化成为对阻值之比要求高的电路形式，以利于工艺实现。

电阻温度系数是指温度每升高 1°C 时阻值的相对变化量。因为方块电阻 R_s 是温度的函数，所以电阻阻值是随温度变化的。集成电路中的电阻的温度系数远高于分立元件中的电阻温度系数值。但集成电路中电阻比的温度系数可以化分立元件的更低，所以在电路形式上多采用对称形式，这不仅对降低电阻的误差有好处，而且对电路的热稳定性也是有利的。

电流流过电阻会产生热量，电流过大不仅会引起阻值变化，甚至会使电阻烧毁。集成电路中的电阻功耗同电路散热及封装形式有关。根据一般经验，扩散电阻的功耗应限制在 $5 \times 10^{-3}\text{mW}/\mu\text{m}^2$ 以下，例如 $R_s = 200\Omega/\square$ 的硼扩散电阻，宽度为 $10\mu\text{m}$ 时，其最大工作电流为 1.6mA 。在模拟集成电路中，一般电阻的允许电流应取得更低些。

集成电路中的电阻，都是以镶嵌的形式存在于半导体之中，大多数是以P-N结的形式存在的，这样就存在着寄生PN结电容。P-N结之间的寄生电容同PN结的面积有关，还和构成PN结的半导体杂质浓度（也就是电阻率）有关，还和PN结之间所加的反向偏置有关。在高频模拟集成电路中，电阻条的寄生电容在设计电路及分析电路时是不容忽略的。

2. 集成电路中的电容器

在数字集成电路中，电容器几乎不被使用，而是以对电路不利的寄生电容的形式存在。在模拟集成电路中，常常要采用电容器。集成电路中的电容器主要有三种形式：

(1) P-N结电容 大家知道，任何一个PN结都存在着电容，电容量的大小和结的形式（突变结、缓变结）有关；和结两边半导体的杂质浓度有关；和结上所加电压有关。计算结电容比较繁琐，我们给出一些实际数据，作为PN结电容估算的依据。

衬底（P型硅单晶）电阻率为 $10\Omega \cdot \text{cm}$ ，外延层厚度为 $8\mu\text{m}$ ，基区结深为 $2.7\mu\text{m}$ ，发射区结深为 $2\mu\text{m}$ 时，各PN结单位面积的电容如下（零偏压下的电容）：

外延层电阻率为 $\rho_c = 0.5\Omega \cdot \text{cm}$ 时，

EB结侧面电容为 $1000\text{pF}/\text{mm}^2$ 左右，

EB结底面电容为 $450\text{pF}/\text{mm}^2$ 左右，

BC结电容为 $200\text{pF}/\text{mm}^2$ 左右，

外延层与衬底之间电容为 $150\text{pF}/\text{mm}^2$ 左右，

可以看出，PN结两边的杂质浓度越高，它的单位面积电容量就越大。但相应的反向击穿电压越低，EB结电容的击穿电压为 $6 \sim 9\text{V}$ ，BC结击穿电压为几十V，外延与衬底之间

的击穿电压可以到上百伏。另外PN结电容与加在PN结上反向电压有关，反向偏置越大，电容量越小。

(2) 金属-二氧化硅-半导体电容 (MOS电容) 中利用集成电路表面的铝引线金属和表面绝缘层 (SiO_2 层) 及半导体构成的电容。图9-13是它的结构形式，这种结构形式相似于平行板电容。平行板电容器的容量：

$$C = \epsilon \epsilon_0 \frac{A}{d}$$

式中 ϵ_0 ——真空介电系数 ($8.85 \times 10^{-14} \text{F/cm}$)；

ϵ ——二氧化硅介电系数 (2.7~4.2)；

A ——金属电极面积；

d ——极板距离，即 SiO_2 层厚度。

单位面积电容在 $400 \sim 600 \text{pF/mm}^2$ ，其温度系数为 $+15 \text{ppm/}^\circ\text{C}$ ，以 SiO_2 层为介质的电容器的耐压和二氧化硅层的厚度 d 有关，由于 SiO_2 层是良好的绝缘体， $1 \sim 2 \mu\text{m}$ 厚的 SiO_2 层电容器耐压很容易做到上百伏。

(3) 薄膜电容器 实际上，上面讨论的以二氧化硅层为介质的电容器，也是一种薄膜电容器，但这种电容器和半导体之间存在一定的寄生效应。更理想的薄膜电容器如图9-14所示，电容器的两个极板都是金属，中间夹以介质材料。常用的介质材料有 Al_2O_3 、 Si_3N_4 、 Ta_2O_5 等，它们的单位面积电容量在 $500 \sim 5000 \text{pF/mm}^2$ 之间。

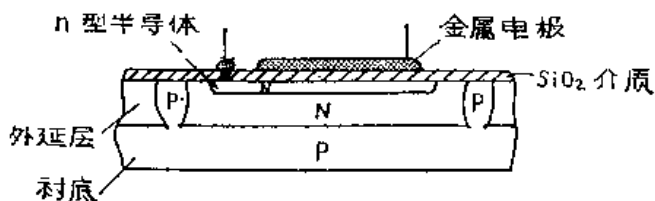


图 9-13 MOS电容器的示意图

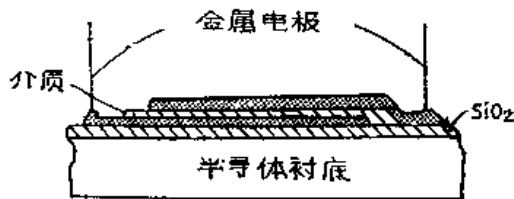


图 9-14 薄膜电容器的示意图

需要指出，尽管在模拟集成电路中可以制造电容，但还是应尽量避免采用。一是电容要占用硅片面积，二是增加工序，从而降低了成品率，使电路的成本增高。

§9-3 差分放大单元电路

差分放大电路 (又称为差动放大电路) 是模拟集成电路最基本的单元电路，最基本的电路形式如图9-15所示。相同的两个晶体管 T_1 和 T_2 的发射极连在一起。信号从两管的基极间输入，取两基极信号之差进行放大，所以叫做差动放大。放大后的信号从两支晶体管的集电极间输出。这种差动放大级受电源电压变化影响小，温度变化时产生的漂移小。对以相同相位加到两管基极的干扰不敏感。最重要的是这种电路形式最符合集成电路的工艺特点。

大家知道，晶体管对温度最敏感的参数是电流放大倍数 β 、发射结正向压降 V_{BE} 和集电结反向饱和电流 I_{CBO} 三个参数。在差动放大电路中，为了保持差动放大的优点，就需要有 β 、 V_{BE} 、 I_{CBO} 特性完全相同的一对三极管，也就是对管。在一般用分立元器件组成的差动放大器中，挑选一对特性完全相同的对管是很困难的。即使找到一对特性相近的晶体管，也很难

保证在运用的温度范围内,或是电压、电流的变化范围内,使对管特性总能保持一致。但是在半导体集成电路中,要得到特性相同的晶体管是很方便的,因为我们可以同一硅片上制造图形完全相同的晶体管。由于制造时的工艺条件也是完全相同的,做成的管芯又封装在同一管壳中,这些都很容易保证晶体管的对称性。在运用过程中,即使温度变化,由于管芯在同一硅片上,彼此距离很小,管温度影响总是一样的,所以对管的相对特性总可以保持一致。由此可见,差动放大电路的优点在集成电路中能得到更好的发挥。这是模拟集成电路中广泛采用差动放大电路的第一个理由。其次,差动放大器不一定要用高电阻,而且也不需要用电容,这也有利于制作集成电路。第三,差动放大电路的通用性很强,它不但可以用于直流放大、音频放大、也可以用作高频放大,还可以用于调制、限幅、自动增益控制等电路中。正是由于这些原因,使得差动放大电路成为模拟集成电路中最基本的放大单元。

一、差动放大原理

我们将图9-15改绘成图9-16,图中忽略了偏流电阻 R_{b1} 、 R_{b2} 。我们假定两只晶体管特性完全相同,负载电阻也相等时,放大器电压放大倍数为,

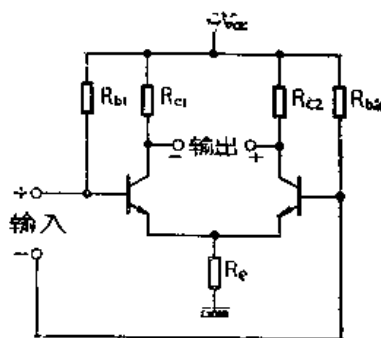


图 9-15 差分放大单元电路

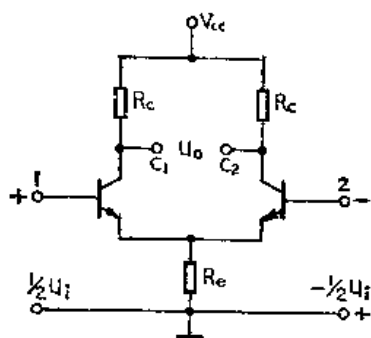


图 9-16 差分放大级原理电路

$$K = - \frac{u_o}{u_i}$$

从上式可以看到,

- (1) 差动放大器的放大倍数和一般没有发射极电阻 R_E 的单管共发射极放大器相同。
- (2) 这个放大倍数与发射极电阻 R_E 无关。在单管共发射极放大器中, R_E 的存在会产生负反馈,使放大器的放大倍数下降;但在差动放大器中,放大管 T_1 和 T_2 在 R_E 上产生的交流负反馈电压正好大小相等、方向相反,相互抵消,因而对交流信号没有影响,故差动放大的增益与 R_E 无关。

两管加反相信号电压的情况称为差动输入或差模输入,这时差动放大器的放大倍数称为差模增益。差动放大器的差模增益等于没有 R_E 的单管共发射极放大器的增益,它的大小与 R_E 无关。

在输入端加以同相电压的情况下,输出电压 $u_o = u_{c1} - u_{c2} = 0$,这种情况称为共模输入。共模输入时差动放大器的放大倍数称为共模增益。

由此可见,完全对称的差动放大器对同相输入信号不起放大作用,即共模增益为0。换句话说,差动放大对共模输入信号具有抑制能力。

集成电路中的差动放大对管,均制作在一个很小的硅片上,它们可能受到的外界干扰也大致相同。这种干扰可以看成是同时作用在两个输入端上的共模输入信号,因此对输出没有

影响, 所以差动放大电路具有较强的抗干扰能力。

在单个晶体管放大级中, 当温度升高时, 由于晶体管电流放大倍数 β 的增加, 发射结压降 V_{BE} 的下降和反向饱和电流 I_{CBO} 的增加, 会使得集电极电流增加, 从而使集电极电压下降, 这就造成了放大器输出电压的温度漂移。但差动放大器就不同了。因为温度升高时, 两支晶体管的集电极电流同时增加, 两管集电极电压就同时下降, 而输出电压为两集电极电压之差, 所以它仍然保持不变, 这就抵消了(或补偿了)温度变化所产生的影响, 也就改善了放大器的温度特性。

根据同样道理, 电源电压波动对两管的影响也是相同的, 在输出中相互抵消, 所以差动电路受电源电压变化的影响也比单管放大器小得多。

前面的分析都是在假定两只晶体管完全相同的理想情况下进行的。实际上, 任何对称的晶体管总会有些差异, 这就造成了差动放大的不对称。下面我们来分析一下, 两只晶体管电流放大倍数 β 不同对差动放大的影响。两只晶体管的 β 不同会造成差动放大器两边电压放大倍数不同, 这样, 在没有输入信号时, 两管的集电极电压也就不相等, 使得静态输出电压不为0。这一静态输出的直流电压, 就是在今后将要介绍的集成运算放大器中引起电压失调的原因, 因为输入级的失调电压的存在及后级的迭加, 将造成整个放大器在无信号时, 已有一定的直流电压输出, 这就是放大器的失调电压。当有差模信号输入时, 输出电压还要迭加上静态输出电压的数值。当有共模输入信号时, 由于不对称的放大倍数, 会使共模电压不能完全抑制, 共模增益不为0, 在输出端有共模电压输出。同样道理, 由于差动放大的不对称, 也会破坏对温度变化的补偿作用和其它特性。

很明显, 电路越不对称, 对共模信号的抑制能力就越小。共模抑制比就是衡量对共模信号的抑制能力大小的参数, 用符号CMRR表示。

$$\text{共模抑制比 (CMRR)} = \frac{\text{差模电压放大倍数}}{\text{共模电压放大倍数}}$$

完全对称的差动放大器, 共模放大倍数为0, 共模抑制比就是无穷大。可见差动放大器的共模抑制比越大越好, 共模抑制比越大, 电路的抗干扰能力等就越强。

为了提高差动放大电路的性能、减小失调电压、提高共模抑制比, 首先就要使晶体管和其它电路元件尽量对称。另外, 要尽量增大发射极电阻 R_e , 前面讲过, 对差模输入的情况, R_e 对增益没有影响, 而对共模输入的情况, R_e 的存在会产生负反馈, 使放大器的放大倍数下降。 R_e 越大, 产生的负反馈越强, 共模放大倍数下降越多, 从而共模抑制比就越大。那么, 是不是 R_e 越大越好呢? 需知 R_e 越大, 直流电源在 R_e 上产生的压降就越大, 消耗的直流功率也就越大, 这显然是不利的。为了改善差动放大器特性, 在差动放大器中常引用恒流源来代替发射极电阻 R_e , 这种办法既提高了电路性能, 又可以不增加电源消耗。图9-17是用恒流源代替发射极电阻 R_e 的差动放大级电路。关于恒流源的工作原理, 在下一节将专门介绍。

前面我们讲述了差动放大电路的基本原理。在小信号条件下, 输出电压与输入电压成线性关系。当输入信号逐渐加大后, 输出电压将如何变化呢? 图9-18给出了恒流源差动放大级的转移特性曲线。从特性曲线上很容易看出, 当输入电压较小时(小于13mV), 输出电压和输入电压为线性关系; 输入电压高于13mV时, 输出电压不再成线性增加而是逐渐趋于饱和; 当输入电压大于50mV以上时, 输出电压则完全饱和, 这是因为此时差动放大对管中已有一支管子处于截止状态, 恒流源电流全部流过另一支管子和集电极电阻的缘故。为了扩大差动

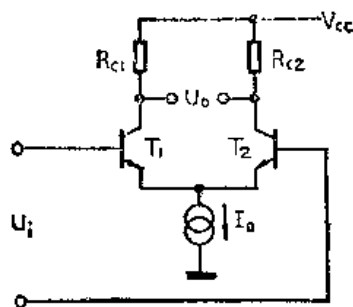


图 9-17 采用恒流源的差分放大级

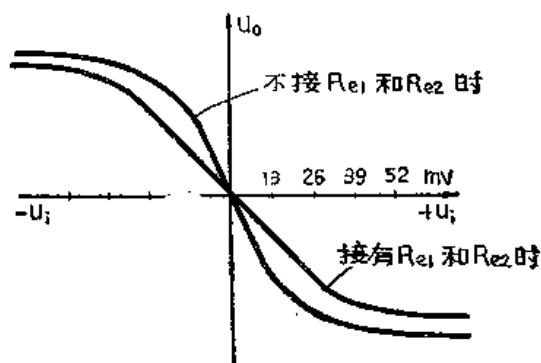


图 9-18 差分放大级的转移特性曲线

放大级输入信号电压的范围，可以在每支管子的发射极内分别接入两个小电阻 R_{e1} 和 R_{e2} ，如图9-19所示。

发射极接电阻后，产生负反馈，使放大器的输入线性范围扩大，输入阻抗增加。因为一般晶体管基极、发射极间的电压-电流呈二极管特性，是指数函数关系。在不加发射极电阻的情况下，只有在非常微小的信号下差动放大级输入才显示出线性特性；加入 R_e 后，由于负反馈作用，二极管特性影响减轻，因而放大级的线性电压范围扩大（参见图9-18），输入阻抗提高；但也由于负反馈的作用，差模增益将有所下降。

二、几种差动放大级

上面介绍的是差动放大最基本的电路形式。为了改善差动放大级的特性，还常采用几种变型差动电路。

为了减少输入晶体管的基极电流，可以采用电流放大系数高的超 β 管，也可以用复合管组成差动电路，如图9-20所示。图中 T_1 和 T_1' 与 T_2 和 T_2' 组成复合管差动放大级，由于复合管的电流放大倍数为两管电流放大倍数之积，所以在相同的集电极电流下，基极电流将低很多，同时差分放大级的输入阻抗要比单管的差分放大级的输入阻抗提高很多。

另一种改进的差动放大电路是用NPN管和PNP管组成的互补差动放大，如图9-21所示。

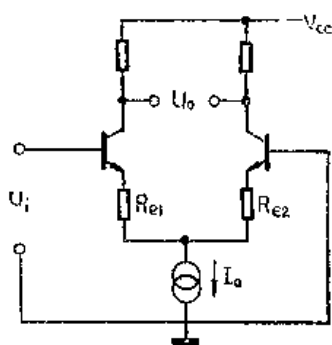


图 9-19 改善差分放大级特性的方法

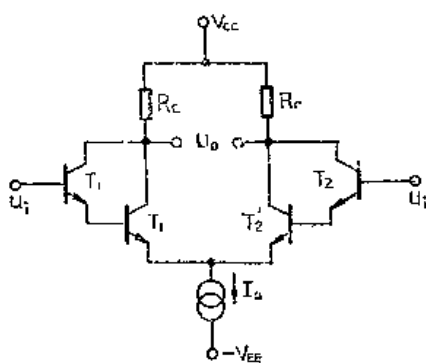


图 9-20 采用复合管的差动放大电路

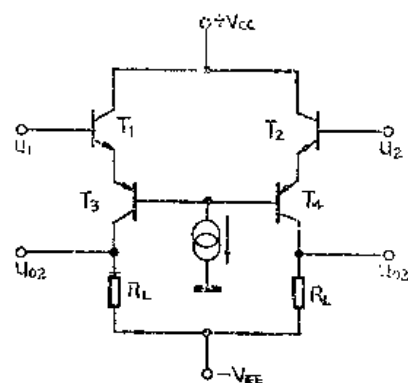


图 9-21 用NPN和PNP管组成的互补差动放大级

图中 T_1 、 T_2 为NPN晶体管， T_3 、 T_4 为PNP晶体管。输入信号加到 T_1 、 T_2 基极，经发射极再送到 T_3 、 T_4 发射极，由 T_3 、 T_4 集电极输出。 T_3 、 T_4 在电路中是共基极组态，它们可采用横向PNP晶体管，该互补差动放大级允许较大的差模电压输入。这种差动电路是从PNP管集电极输出，因此可以采用NPN型晶体管为有源负载，从而大大提高了放大级的增益，而且

便于进行电平移动。

三、差动放大电路的各种接法

上面分析的差动放大电路，信号都是从两支晶体管基极间输入，由两个集电极之间输出。不论是输入信号或输出信号，都是不接地的，这种接法是对地平衡的，称为双端输入-双端输出，如图9-15所示。

但是，在实际电路中，输出、输入信号有时要以地为基准，即要一端接地。为了适应各种不同情况，差动放大电路可以有不同接法。

当输入、输出均有一端接地时，可采用如图9-22所示接法，称为单端输入-单端输出接法。这时由于输出电压不是两只管子输出电压的相减，所以两管的零点漂移不可能完全抵消。但是由于 R_c 的存在，对共模信号的强烈负反馈作用，仍可使输出端的零点漂移比单管放大电路小得多。这种接法当 $R_{b2} = 0$ 时，放大倍数为单管放大倍数的一半。

图9-23所示的是双端输入-单端输出的接法。它可以将双端输入信号转变为单端输出信号。在多数放大器中，输入级及中间级常采用这样电路形式。和前述情况相似， R_c 的负反馈作用可以减小零点漂移，其放大倍数为单管放大电路的一半。

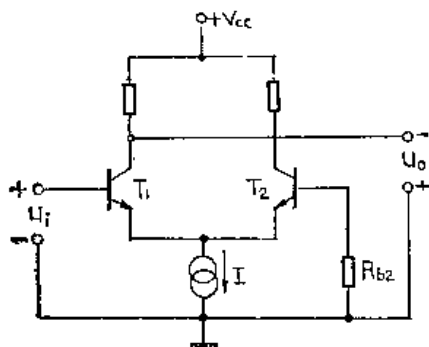


图 9-22 单端输入-单端输出电路

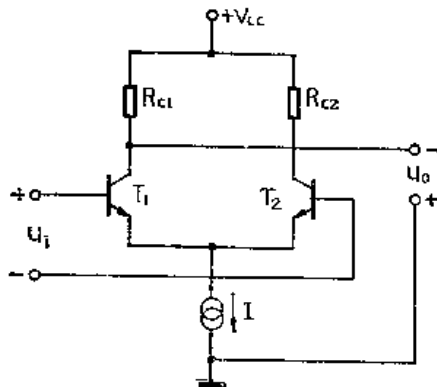


图 9-23 双端输入-单端输出电路

当只有输入一端接地时，可采用图9-24所示的单端输入-双端输出的电路接法。它可以将单端输入信号转变为双端（平衡）输出的信号。这种放大级在 $R_b = 0$ 时，放大倍数与单管放大电路一样。

图9-25是一种双端输入变为单端输出的电路。其中 T_1 和 T_2 管与恒流源组成第一级差动放大级。在一般差动输入、单端输出的电路里，放大倍数是双端输出电路的一半，这里利用 T_3 管将没有利用的一半电压转化到 T_2 管的集电极供电回路，加强了送到第二级放大管 T_4 的基极

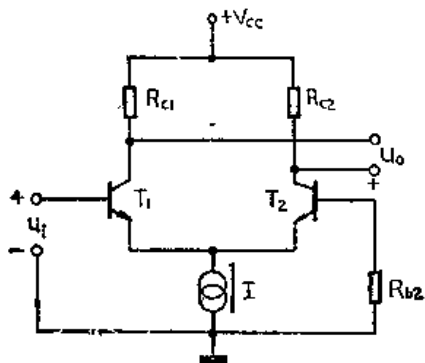


图 9-24 单端输入-双端输出电路

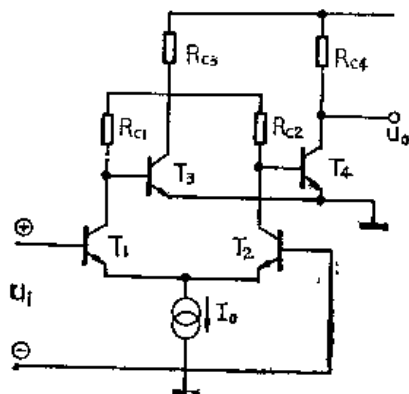


图 9-25 双端输入变为单端输出的电路

信号,这就可以使本级的放大倍数基本上和双端输出一样。

下面我们来分析一下 T_3 管为什么会起到这样的作用:假设在放大级输入端加上如图1-25所示的信号。在 u_i 作用下, V_{C2} 增加, V_{C1} 下降; V_{C1} 的下降使 V_{C3} 增加, V_{C3} 的增加通过电阻 R_{C2} 加到 T_4 管基极上;而 V_{C2} 的增加又直接作用在 T_4 基极上,两者信号相位相同、幅度增加,从而使 T_4 基极上得到的是近似于双端输出的变化量。这样差分放大级 T_1 、 T_2 经 T_3 作后变为单端输出的电路,而电路增益仍保持为双端输出的水平。有时称 T_3 的这种功能为单位增益。

此外, T_3 管还能起到抑制共模变化的作用。例如 V_{C1} 和 V_{C2} 都趋向增加时, V_{C1} 的增加通过 T_3 的基极将使 V_{C3} 下降,从而削弱了 V_{C2} 的增加。

§9-4 恒压、恒流源电路

恒压、恒流源电路的作用,主要是向模拟集成电路中各晶体管提供合适的工作点电流,或一定的基准电压。在数字集成电路中,晶体管大多数只工作在两种稳定的状态——截止状态和导通状态,所以数字电路中的晶体管一般不需要起始的工作点电流,因而也就很少采用恒流源电路。

在分立元器件组成的晶体管模拟电路中,偏流的供给通常是在基极上接有偏流电阻,级间用隔直流电容耦合。发射极电阻产生直流负反馈用来稳定直流工作点,交流负反馈通过发射极电容进行旁路。显然,在模拟集成电路中这种偏置方式是不能沿用了,因为制造数十 $k\Omega$ 的电阻要占用很大硅片面积,制造数 μF 电容也不可能。另外,模拟集成电路级间均采用直接耦合方式,如何保证各级晶体管工作点电流的稳定就更为重要。所以,在模拟集成电路中,提供各级晶体管所需要的稳定的偏置电流是极为重要的。

一、简单的恒压电路

为了向恒流源提供参考电压和向集成稳压器提供基准电压,恒压电路是必不可少的。在分立元件中稳压二极管可以向电路提供各种数值的恒定电压。在模拟集成电路中常采用两种恒压电路。一种是利用二极管的正向特性,因为硅二极管的正向压降在 $0.7V$ 左右,而且在一定的电流变化范围内,二极管的正向压降变化很小,可以看成是其值为 $0.7V$ 左右的恒压源。图9-26是这种恒压源电路。实验得知,二极管正向压降在温度升高时减小,每升高 $1^\circ C$,压降约减 $2mV$ 。当多个正向二极管串接时,可以得到不同的恒定数值的电压。

恒压源的另一种电路形式,是采用反向击穿的稳压二极管,如图9-27所示。在常规工艺

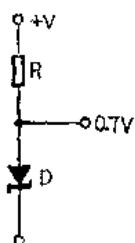


图 9-26 简单恒压源的电路

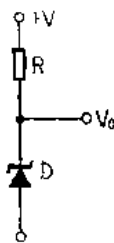


图 9-27 反向稳压二极管恒压源电路

条件下,晶体管发射结的反向击穿电压为 $7V$ 左右。由实验得知,该反向击穿电压(在反向电流恒定时),温度每升高 $1^\circ C$,约增加 $2.8mV$ 。也可以用正向二极管和反向击穿二极管串联组合得到不同数值的恒压源。考虑到正、反向二极管电压的温度系数符号相反,恰当地组

合可以得到温度系数很小的恒压源。

二、简单恒流源

利用双极型晶体管在工作区集电极电流恒定的特性，可以直接作成最简单的恒流源电路。图9-28示出了一个晶体管的输出特性曲线。从图上可以看出，集电极电流 I_C ，在 V_{CE} 电压较高时基本上由基极电流 I_b 所决定。当 I_b 一定时，只要 V_{CE} 大于 $2 \sim 3V$ 以后， I_C 就基本上保持恒定（恒定电流），不随 V_{CE} 变化了；只有当 V_{CE} 接近晶体管击穿电压时， I_C 曲线才开始明显上升， I_C 电流基本上不随 V_{CE} 电压变化的特性就是恒流特性，利用这种特性可以组成恒流源电路。

我们进一步来分析一下恒流源的特点。图9-28输出特性曲线上任一点 Q ，都可以提供 I_Q 的恒定电流。当 V_{CE} 变化一定数值 ΔV_{CE} 时，会引起 I_C 很小的变化 ΔI_C ， $\Delta V_{CE} / \Delta I_C$ 即单位电流的变化所对应电压的变化，就是该点的交流电阻 R_c ， $R_c = \frac{\Delta V_{CE}}{\Delta I_C}$ 。 R_c 数值一般很大，可达几十 $k\Omega$ 。显然，恒流特性越好（电流曲线越平坦），交流电阻 R_c 越大。而 Q 点的直流电阻 R_Q 应为 V_Q / I_Q ，即 $R_Q = \frac{V_Q}{I_Q}$ ，数值就比 R_c 小得多。由此可见，晶体管恒流源具有可以提供所需恒定电流、直流电阻小、交流电阻大的特点。所以，对前面分析的差动放大级，用恒流源代替 R_e 是极为恰当的。它可以向差分放大对管提供偏流，由于它的直流电阻较小，电源 V_{CC} 在它上面的损失较小，而对交流信号来讲它的电阻很大，因而可以增大对共模输入信号的负反馈作用，提高共模抑制比。

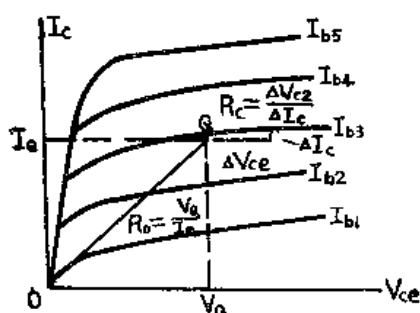


图 9-28 晶体管的输出特性曲线

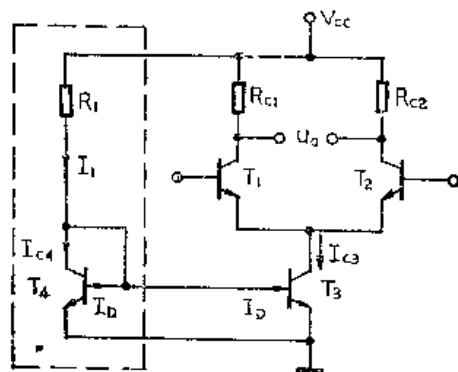


图 9-29 用恒流源代替 R_e 的差动放大电路

图9-29是一个以简单恒流源电路代替发射极电阻 R_e 的差动放大电路。图中 T_3 是恒流源晶体管，左面虚线框内是为了确定 T_3 管工作点 Q 而设置的偏流电路。图中 T_3 和 T_4 图形相同，制作在靠近一起的硅片上，因此它们的特性完全一样，即 $\beta_3 = \beta_4 = \beta$ ， $V_{BE3} = V_{BE4} = V_{BE}$ ，它们的基极电流 $I_{B3} = I_{B4} = I_B$ ，则 $I_{C3} = I_{C4}$ ，当 $\beta > 10$ 时， $I_{C4} \gg I_B$ ，所以 $I_{C4} \approx I_{C3} \approx I_1 = \frac{V_{CC} - V_{BE}}{R_1} \approx \frac{V_{CC}}{R_1}$ （ $\because V_{CC} \gg V_{BE}$ ）。由此可见，在 V_{CC} 一定时，适当选取（设计） R_1 之值，就可以保证 T_3 管所需的工作电流 I_{C3} （ I_{C3} 即是向差分放大级提供的偏流）。另外，当温度变化时，由于 T_3 和 T_4 的特性随温度的变化是一致的，上述分析仍然成立，即 $I_{C3} \approx I_1 \approx \frac{V_{CC}}{R_1}$ ——差分放大器的工作点与提供偏流的晶体管特性无关，所以这种电路具有在温度变化时，能使晶体管工作点保持稳定的作用。

上述简单恒流源电路的缺点是耗电较大。由于 $I_1 \cong I_{C3}$ ，所以当提供的恒流 I_{C3} 较大时，流过恒流源偏置电路的电流 I_1 也较大，这样在 R_1 上白白消耗很大电功率。因此，实际上常使用图9-30所示的恒流源电路。它和图9-29电流源不同的地方是在 T_3 和 T_4 管发射极中分别串接了电阻 R_2 和 R_3 。这样由于 T_3 和 T_4 的 V_{BE} 近似相等，所以 R_2 和 R_3 上的电压降相等。

$$I_{e3} \cdot R_3 = I_2 \cdot R_2$$

$$I_{e3}/I_2 = R_2/R_3$$

一般晶体管的 β 很大， I_b 可以忽略，所以 $I_{e3} \cong I_{C3}$ ， $I_1 \cong I_2$ ，由此可得：

$$I_{e3}/I_1 \cong R_2/R_3$$

而

$$I_1 \cong \frac{V_{CC} - V_{BE}}{R_1 + R_2} \cong \frac{V_{CC}}{R_1 + R_2}$$

这就是说，为了得到所需的恒定电流 I_{C3} ，不必象前面那样提供和 I_{C3} 相等的 I_1 。例如，若选 $\frac{R_2}{R_3} = 10$ ， $\frac{I_{C3}}{I_1} = 10$ ，则 I_1 只有 I_{C3} 的十分之一了。这样就大大降低了在 R_1 上消耗的功率。 I_1 的大小在 V_{CC} 一定时，基本上只取决于 $R_1 + R_2$ 的大小，而受温度的影响较小，所以这种电路的工作点稳定性也较好。这种恒流源电路采用得很广泛。

三、其它恒流源电路

在模拟集成电路中，除了这种独立的恒流源电路外，还利用集成电路版图设计上的特点，制成多集电极恒流源。这种恒流源可以同时提供多个恒流，这样既节约了版图面积，又可以简化电路结构。

多集电极恒流源的基本原理是，根据晶体管原理中晶体管的发射电流和发射区周长成正比，收集电流和能收集电流电极的面积成正比。依据这种原理，如果做为恒流源为晶体管有多个集电区，引出多个集电极，也就可以得到多个恒流输出，变更集电区面积，就可以得到不同（或是相同）的恒流源，但它们的各股电流之和应等于发射极电流。

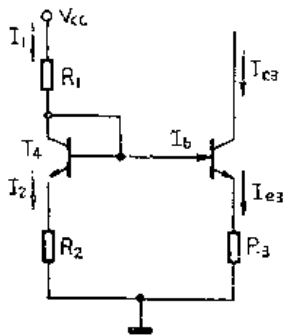


图 9-30 常用的恒流源电路

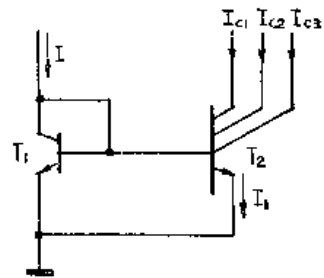


图 9-31 多集电极恒流源电路

图9-31是多集电极恒流源电路，图中集电极有三个，可以提供三股恒流，即 I_{C1} 、 I_{C2} 、 I_{C3} ，它们彼此之间的大小比例，取决于各自集电区面积之比。

根据相同道理，也可以用改变发射区面积的方法控制所需要的偏置电流的大小。

向模拟集成电路提供恒流源的办法，除了采用双极型晶体管外，也可以采用场效应管提供恒流，因为工作在饱和区的场效应晶体管的源-漏极之间的电流 I_{DS} 呈现恒流特性。图9-32是利用P沟道场效应管供给偏流的电路。所需电流由恒流管的漏极输出送到放大管的基极。 $I_C = \beta \cdot I_{DS}$ ， β 为放大管电流放大系数， I_{DS} 是场效应管的饱和电流。和前面分析双极型管恒

流电路一样，改变场效应管栅极-源极之间偏压大小，就可以得到不同数值的恒流输出。

四、电流源负载

恒流源除了可以向电路提供偏流外，在模拟集成电路中，用恒流源作放大级的负载电阻可算是电流源的妙用了。

根据晶体管放大电路原理，放大级的增益和集电极负载电阻成正比。在分立元件电路中，选取高集电极电阻借以得到高增益是轻而易举的事，但在模拟集成电路中，由于制造高电阻（例如几十 $k\Omega$ ）比制造晶体管更不合算，这样人们自然会想到，用晶体管电流源对交流呈现的高阻抗，是不是可以当负载以得到高增益呢？回答是肯定的。电流源对交流呈现高阻抗，而对直流表现为低电阻，用它来作放大级负载不仅可以得到高增益，也不用特别提高集电极电压，可以一举两得。图9-33是用恒流源作负载的一个例子。在模拟集成电路中，特别是在运算放大器中广泛采用恒流源负载，借以得到高增益。

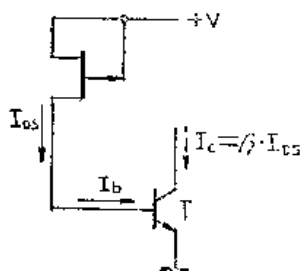


图 9-32 用 P 沟道场效应管的偏流电路

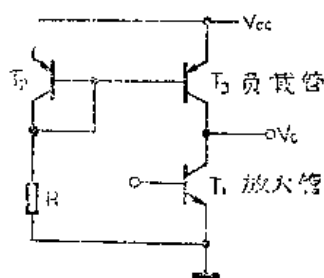


图 9-33 用恒流源作负载的电路

§9-5 电平移动电路

在模拟集成电路中，多级放大电路的直接耦合，会产生直流电位逐级升高的问题。因为用NPN晶体管作共发射极放大时，信号从基极输入，由集电极输出，而集电极电位总是比基极电位高，因此每经过一级放大，直流电位就抬高一些。经多级直接耦合放大后，静态输出电位不断升高，越来越靠近电源电压，这就使得在一定电源电压下，放大器能够输出的电压幅度减小，甚至使后面的放大级无法正常工作。不仅如此，在大多数直流放大器或运算放大器中，都要求在无输入信号时，输出端的电位为零，这就需要进行电平配置（或称电平移动）的方法来加以解决。所以在多级直接耦合放大器中，必须解决电位不断抬高的问题。要采取措施降低直流电位，使各级电位移动到所需的数值，也就是说，要对放大器中的各级进行适当的电平配置。

对直流电平进行移动的方法很多。在模拟集成电路中，常用的有下面几种。

一、利用电阻进行电位移动

大家知道，在分立元器件中，利用电阻分压，借以得到不同数值电压是非常普遍的。图9-34示出了电阻分压电路。输入端A点的电位 V_A 经电阻 R_1 、 R_2 分压后，在输出端B点得到电位 V_B ， $V_B = \frac{R_2}{R_1 + R_2} V_A$ ， V_B 要比 V_A 低，也就是说，利用分压器的原理可以把直流电位以A点的 V_A 降低到B点的 V_B 值。这种方法的缺点，不仅在于制造电阻要占用较大硅片面积，还在于在降低直流电位的同时，信号电压也同样被衰减了。所以纯电阻分压电平移动电路在集

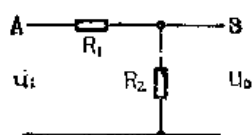


图 9-34 电阻分压电路

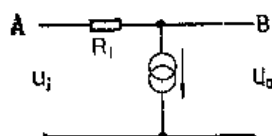


图 9-35 电阻-恒流源电平移动电路

成电路中应用较少，常采用的是电阻与恒流源组成的电平移动电路。

二、电阻-恒流源电平移动电路

针对电阻分压电平移动电路的缺点，以恒流源来代替分压电阻 R_2 ，便得到了一种电阻-恒流源电平移动电路，如图9-35所示。

前面讲过，恒流源具有直流电阻小、交流电阻大的特点，以恒流源代替电阻 R_2 后，在 B 点直流电位降低为 $V_B = \frac{R_i}{R_1 + R_i} V_A$ ， R_i 为恒流源的等效直流电阻，而 B 点的交流信号电位为 $u_B = \frac{r_i}{R_1 + r_i} u_A$ ， r_i 为恒流源的等效交流阻抗，由于 $r_i \gg R_1$ ，所以 B 点输出的交流信号电压衰减很小，而直流电位进行了较大的移动，适当选择 R_1 的数值，就可以得到适合于 B 点的直流电位。这种电阻-恒流源电平移位电路，在模拟集成电路中广泛采用。

三、二极管电平移位电路

在上一节中已经讲过，硅二极管的正向压降为0.7V左右，在电平移位电路中常用正向压降进行电平移位。从二极管的正向伏安特性曲线上可以看出（参见图9-36），正向二极管在导通时，直流电阻大而交流电阻小，例如 A 点直流电阻为 $R_A = \frac{V_A}{I_A}$ ，交流（动态）电阻为 $r_o = \frac{\Delta V}{\Delta I}$ 。利用这种特性组成图9-37的电路形式来进行电平移位，则信号衰减损耗非常小。这样每经一个正向二极管，直流电位即可移动0.7V左右，而信号损失不大。电路上还可以采用多个二极管串接进行较大范围的电平移动，二极管可以采用前面讲述过的多种二极管形成（如图9-37（a）所示）。

反向击穿的硅二极管，当其工作在一定电流范围内时，可利用来进行较大范围的电平移动。图9-36上同时绘出了二极管的反向击穿电压特性曲线。在击穿时，二极管同样具有较大的直流电阻和较小的交流电阻，同样可以组成图9-37（b）所示的电平移动电路，信号在电

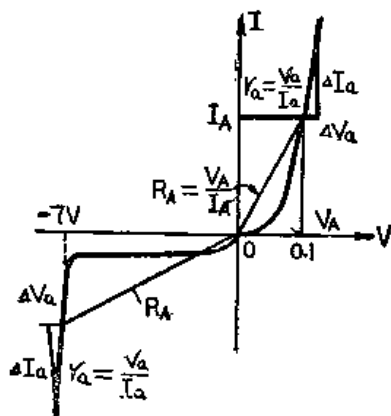


图 9-36 二极管的伏-安特性曲线

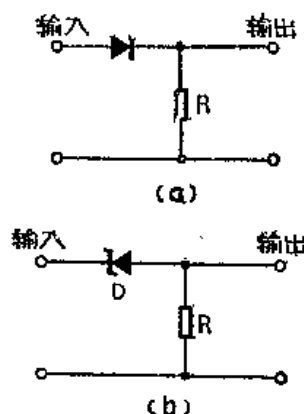


图 9-37 利用二极管进行电平移动

平移动中损耗也是很小的。

图9-38示出了一个既利用二极管又利用电阻-恒流源分压器进行电位移动的例子。图中输入端A点的电位为 V_A ，经过射极输出器 T_1 的be结，使B点电位比A点降低了 $0.7V$ ，B点电位再经 R_1 和恒流源分压在C点输出，C点电位比B点又降低了 $I_C R_1$ ，所示输出端C点电位应该是 $V_C = V_A - 0.7 - I_C R_1$ 。如果恰当选取恒流源电流的大小及电阻 R_1 ，使 $0.7 + I_C R_1 = V_A$ ，则可使得 $V_C = 0$ ，这就是说，经过电平移动电路的作用，可以使这级射随输出级静态输出电压为0。另一方面，信号经正向二极管衰减很小，电阻和恒流源进行信号分压，由于恒流源交流电阻很大（远大于 R_1 之值），可以认为交流输入信号 u_i 差不多不经衰减地传到输出 u_o 。这样既移动了直流电平又不引入过大的信号衰减。

四、PNP管电平移动电路

在NPN管电路中，如果同时使用PNP型晶体管，就可以很方便地达到电位移动的目的。图9-39是利用PNP管进行电平移动最简单的例子。图中 T_1 是NPN管，起放大用，工作在线

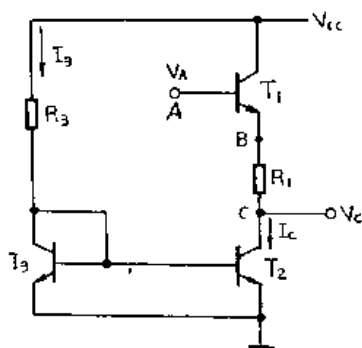


图 9-38 利用二极管、电阻、恒流源的电平移动电路

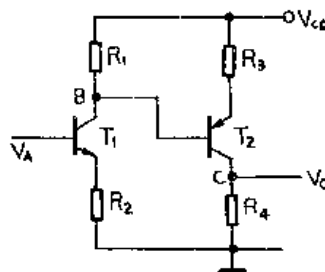


图 9-39 利用PNP管进行电平移动电路

性区，放大运用时NPN管的集电极电位总是比基极电位高，所以 T_1 输出端B点直流电位高于A点电位； T_2 是PNP管，主要用于电平移动，工作在放大区，也有一定的放大作用。而PNP管在正常放大运用时，集电极电位总是低于基极电位的，所以经过 T_2 以后输出端C点的电位又比B点降低了。适当选择电路中各个电阻，就可以在输出端C点得到所需的电位（ $V_C = I_2 R_4$ ），电路中的电阻 R_4 也可以用恒流源来代替。这种电位移动电路比较简单，而且输入信号不仅不会衰减，反而经过 T_1 和 T_2 得到放大，所以在直流放大器中常常采用。

在模拟集成电路中，往往灵活采用各种电平移动方式，在今后学习具体电路时再进一步分析。

§9-6 输出级电路

模拟集成电路的输出级往往需要能输出较大的电流、较高的电压或一定的功率。同时，在大多数的电路中都希望输出级的输出阻抗比较小。模拟集成电路输出级电路形式主要有以下几种：

一、射极输出器

最简单的输出级是共集电极电路，又称为射极输出器。图9-40是简单的射极输出器电路。

射极输出器的特点是具有较高的输入阻抗、较低的输出阻抗和略小于1（接近于1）的

电压增益。其缺点是在发射极电阻 R_E 上要消耗一部分直流功率以及效率比较低。所以，这种射极输出级只用于简单模拟集成电路，即对负载能力要求较小的输出电路中。

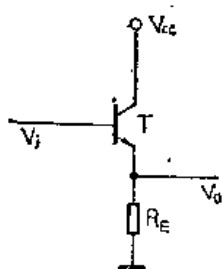


图 9-40 简单射极输出器电路

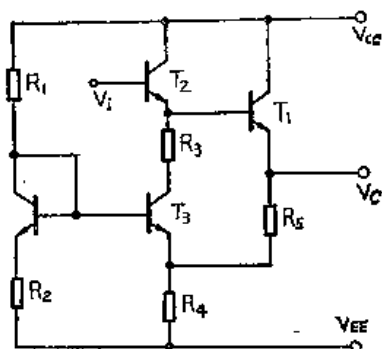


图 9-41 改进的射极输出器电路

图9-41是简单射极输出器的改进电路。图中 T_1 是输出级，它的发射极电阻 R_6 不直接接电源； T_2 是推动级， T_1 、 T_2 均为射极输出电路； T_3 是恒流源。输出管 T_1 的交流电流流经电阻 R_4 产生反馈电压，这一反馈电压成为 T_3 管的输入信号，经 T_3 管共基极放大后又反加至 T_1 管基极上，形成信号电压的正反馈。可以这样理解：假设 V_i 增加时，输出电压则向正方向变化，此时，输出电流会增加，则流过 R_5 及 R_4 的电流增加，使 T_3 恒流源的电流减小，于是经 R_3 流入 T_1 的电流就会增加，这正体现了正反馈的作用。由于这一正反馈的存在，使得这两级射极输出器的电压增益大于 1。图中电阻 R_1 的大小可以调整输入端和输出端之间直流电位差的大小，具有电平移动的功能。

二、推挽输出级

在要求输出电压或功率较大的模拟集成电路中，常采用推挽输出电路。图9-42是甲乙类推挽放大输出级。 T_1 是推动级倒相晶体管， T_2 、 T_3 是推挽放大管，二级管 D 是供给偏置用的，以保证 T_2 、 T_3 工作在甲乙类。信号经 T_1 作分负载倒相后，正负半周信号分别经 T_2 、 T_3 进行放大后输出，保证输出级有较大的动态范围和较小的失真。

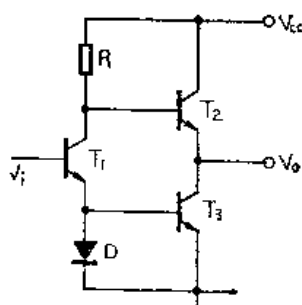


图 9-42 推挽输出级电路

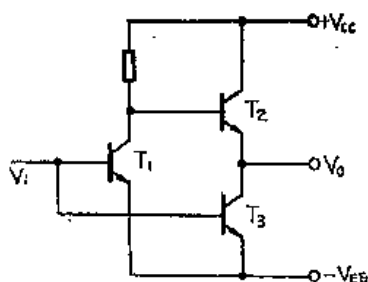


图 9-43 乙类推挽放大级电路

图9-43是乙类推挽放大级，这种电路输出管的起始偏流很小。 T_1 为推动管，当信号正半周输入时， T_3 管工作，当信号负半周输入时， T_2 管工作。由于 T_2 、 T_3 输入信号的不同，这种电路本身会产生较大的失真，因此在实际电路上需要加负反馈来改善失真。乙类推挽电路的好处是效率高、输出电压幅度大，是广泛采用的输出电路形式。其缺点是输出阻抗变化较大，不利于匹配输出。

三、互补输出级

利用NPN管和PNP管组成的推挽输出电路，称为互补输出级或互补推挽输出级。由于NPN管和PNP管是不同导电类型的三极管，它们输入端基极可以直接接同一信号，不需要倒相级。输入正极性信号时，由NPN管进行放大，输入负极性信号时，由PNP管进行放大。图9-44是互补输出级的电路原理图。这种电路的最大缺点是由于没有起始偏流，信号会产生交越失真，正象一般乙类推挽放大电路一样，即在小信号时，输出管不能充分导通，因而出现小信号失真，也就是通常称为的交越失真。解决它的办法很简单，就是给输出的PNP和NPN管以一定的偏流，使无信号时输出管仍处于微导通状态。图9-45是加入二极管的互补推挽电路。由于目前集成电路中PNP管的频率特性远不及NPN管的好，所以互补输出级在高频电路上的采用受到了一定的限制。

四、输出保护电路

在输出功率较大的模拟集成电路中，为了保护输出级在短路时不致损坏，往往设有输出保护电路。输出保护的方法很多，这里介绍了一种保护电路，如图9-46所示。

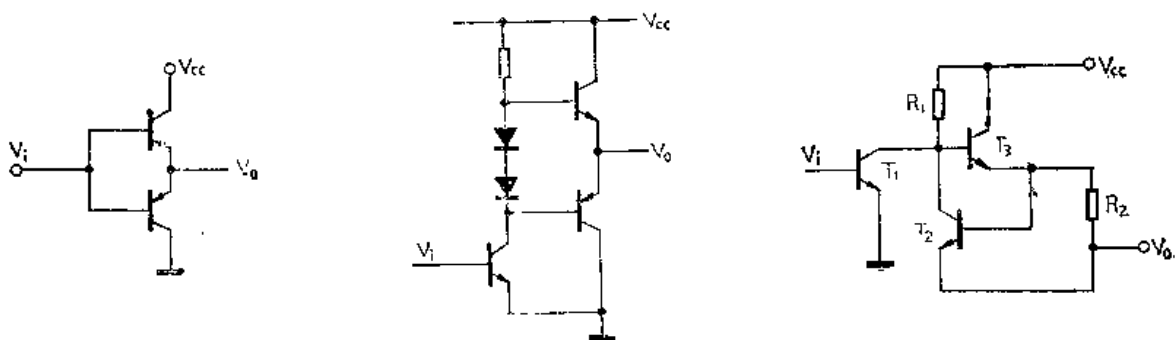


图 9-44 互补输出级电路 图 9-45 减小交越失真的推挽电路 图 9-46 一种输出保护电路

图中 T_3 是输出级放大管， T_2 管和电阻 R_2 组成保护电路。在正常负载情况下， R_2 上的压降小于0.5V，这时 T_2 处于截止状态，对电路不起作用。但当负载过重（例如输出短路）时，使 T_3 管电流增大，这时 R_2 上压降也增大，促使 T_2 管导通， T_2 管集电极电流在 R_1 上产生压降使 T_3 管基极电位随之下降，这将使 T_3 管输出电流减小，从而可以避免由于过载而烧毁 T_3 的可能，完成自动保护的作用。有些模拟电路输出级还有过热、过压等保护电路。这些将在学习具体电路时再作介绍。

第十章 集成运算放大器

集成运算放大器是模拟集成电路中发展最为迅速的一大类。集成电路的各种优越性在集成运算放大器里得到了最好的体现。正因为如此,集成运算放大器的技术指标大大超过了分立器件的运算放大器的技术指标,成为近代电子计算技术、电子测量技术中极为重要的核心元器件。本章将利用第九章的基础知识通过对典型电路的分析学习,掌握模拟集成电路中一些本质的内容。

§10-1 运算放大器的基本原理和特性

运算放大器就其本质讲,是一种高增益、高性能的直接耦合的直流放大器。在这种放大器外部接入适当电路(大多数情况是深负反馈运用),就可以对模拟信号量进行加法、减法、积分、微分等数学运算,故称这类放大器为运算放大器。但是运算放大器的用途并不只限于作数学运算,还在自动控制中信号获得、测量技术中信号处理以及波形发生等领域中得到广泛应用。

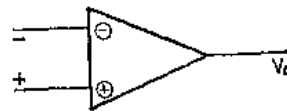


图 10-1 运算放大器的符号

运算放大器的符号如图10-1所示。它有两个输入端,即同相输入端(标以“+”符号)和反向输入端(标以“-”符号),以及一个输出端。信号从“+”端输入时,输出信号与输入信号相位相同;信号从“-”端输入时,输出信号与输入信号相位相反。

运算放大器的高性能主要表现在以下几个方面:

(1) 运算放大器具有很高的电压增益 K_v 。理想运算放大器的电压增益 K_v 应为无穷大,实际运算放大器的电压增益在60dB至120dB(即放大倍数为1000倍至1000000倍),高增益运算放大器的增益在120dB以上。

(2) 运算放大器具有高的输入阻抗。因为运算放大器适用在测量电路中时,高输入阻抗对测量电路引入的并联作用就很小,因此对电路的影响可以忽略不计,运算精度高。理想运算放大器的输入阻抗 Z_i 趋于无穷大,实际运算放大器的输入阻抗在几十k Ω 至几百k Ω ,高输入阻抗运算放大器 Z_i 可达 $10^{10}\Omega$ 以上。

(3) 运算放大器具有良好的平衡性能及热稳定性。通常在无输入信号时,放大器静态输出电压应为零,在温度变化时所产生的输出电压的漂移应很小。

此外,运算放大器还要求具有低的功耗、高的电压(或功率)输出、低的输出阻抗、高的共模抑制比等等,以及各种特殊要求的参数指标。总之,集成运算放大器的高技术性能是通过各种参数指标来体现的,我们在具体介绍运算放大器以后再作详细讨论。

§10-2 典型运算放大器电路介绍

集成运算放大器品种繁多,线路各异。在课程中,对每一种具体电路都进行分析是不可

能的，也是不必要的。我们只对典型电路的工作原理进行分析介绍，使读者掌握分析方法。对于各种不同的电路，善于分析出它的共同性及特殊性的东西就可以做到由此及彼，举一反三，遇到新的电路也不至于束手无策了。

一、F001电路分析

运算放大器F001是最早的一种集成运放，它是由九支NPN管和几个电阻组成的低增益运算放大器。电路如图10-2所示。F001是第一代运算放大器（相当于国外的 $\mu A702$ ）。但由于它线路简单，同时具有较宽的频带，所以至今仍有很多应用场合，它是国产运算放大器通用I型的一种。F001电路可以分解成四大部分：

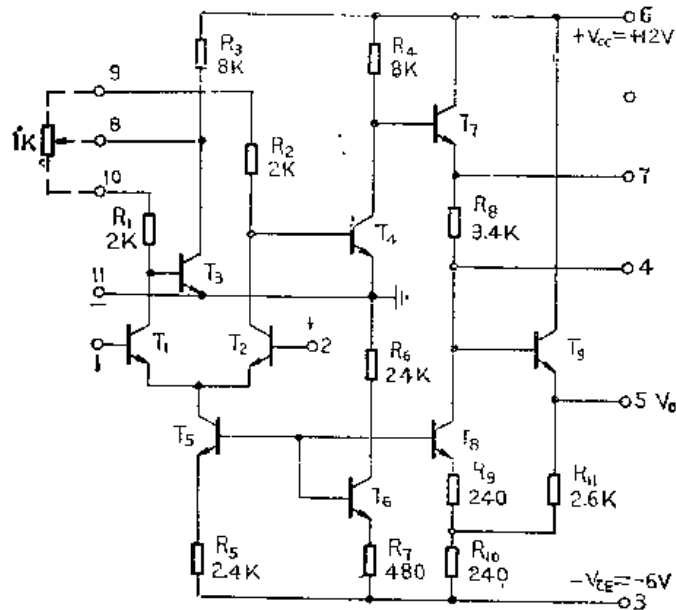


图 10-2 F001型运算放大器

1. 输入级

T_1 、 T_2 和 R_1 、 R_2 组成差分放大输入级， T_5 、 T_6 和 R_5 、 R_6 、 R_7 组成一个恒流源电路，作为差分放大级的发射极电阻。晶体管 T_6 的基极和集电极相连，成为一个BC短接的二极管，是恒流源晶体管 T_5 的温度补偿二极管。晶体管 T_1 、 T_2 的基极为信号输入端，经差分放大后的信号由 T_1 、 T_2 管集电极平衡输出至 T_3 、 T_4 管。负载电阻 R_1 、 R_2 连接的8、9、10三端为外加补偿端，在8、9、10端接一个 $1k\Omega$ 电位器（如图中虚线所示），调节电位器可以对放大级的失调电压（由于放大器的不对称性引起的）进行补偿，保证在无信号输入时，放大器输出为“0”。在对失调电压要求不高时（例如作交流小信号运用时），补偿端8、9、10也可以短连，但这三个端不能悬空，因为悬空将使正电源加不到负载电阻 R_1 、 R_2 上，输入级无法正常工作。

2. 第二级

T_3 、 T_4 和 R_3 、 R_4 组成第二级差分放大级，信号从 T_3 、 T_4 管的基极输入，经放大后由 T_4 管集电极单端输出。下面具体分析一下第二级的放大原理：假设8、9、10三端短连，则它和上一章的图9-25相同，其工作原理也完全相同。为了概念更加清楚，把它们的相位关系表示如下：

假设 $V_1 \uparrow, V_2 \downarrow$, 则 $\left\langle \begin{array}{l} V_{C1} \downarrow \rightarrow V_{C3} \uparrow \rightarrow V_{B4} \uparrow \\ V_{C2} \uparrow \rightarrow V_{B4} \uparrow \end{array} \right\rangle$

由此可见在 T_4 管的基极上可以得到近似于双端输出的变化量。 T_3 的增益为1，它将双端信号转化为单端信号，由 T_4 集电极输出。

3. 电平移位级

T_7 、 T_8 和电阻 R_9 、 R_{10} 以及 T_6 、 R_6 、 R_7 共同组成电平移动电路。 T_7 管是一个射极输出器，它在整个放大电路中作为缓冲级。对 T_4 管来说，由于 T_7 管是射极输出级，具有高输入阻抗，从而对 T_4 负载电阻的并联分流作用很小，这样有助于提高 T_4 管的增益。 T_7 管对 T_6 管来说，又是一个低阻抗信号源，有利于降低 T_6 管的输出阻抗。同时，通过 T_7 的射极输出，使直流电平比 T_4 集电极下降了一个二极管正向压降，大约0.7V左右。

T_8 管和电阻 R_8 、 T_6 、 R_7 、 R_9 、 R_{10} 组成恒流电路。 T_6 管对 T_8 管起温度补偿作用,电阻 R_8 和 T_8 恒流源组成电平移位电路,输出到 T_9 管的基极直流电压等于 $V_{e7} - I_{e7}R_8$,因为恒流电路的交流电阻远大于 R_8 ,所以 R_8 的串入对交流信号的衰减很小,可以忽略不计。可见这一级的主要作用是进行直流电压移动,而信号的损失较小。

4. 输出级

T_0 管为输出管，它基本上是一个射极输出级，但由于发射极电阻不直接接负电源，而是接至 T_8 的发射极回路，这就存在着正反馈，所以输出级增益大于 1。这一电路和第九章的图 9-41 完全相同，其正反馈过程如下：

假设 $V_{C4} \uparrow$, 则 $V_{E7} \uparrow \rightarrow V_{B9} \uparrow \rightarrow V_G(V_{E9}) \uparrow \rightarrow V_{E8} \uparrow \rightarrow V_{B9} \uparrow$

正反馈

物理意义是, 当 V_{C4} 增加时, 输出电压向正方向变化, 此时输出电流增加。由 R_{11} 反馈到 T_8 发射极的电压使 T_8 的恒流 I_{C8} 减小, 于是经过 R_8 流向 T_9 的电流将比无反馈时增加, 体现了正反馈的效果。由计算可知, 它的电压增益 K_V 为 2 左右。输出级引入正反馈的目的并不只是加大增益, 更主要的是为增大输出电压动态范围 (电压幅度)。从电路图上来看, T_4 管的电源电压为 V_{CC1} 即 +12V, T_4 的电压动态范围最大只能是 0.7V 至 12V, 引入末级正反馈电路后, 减少了电阻 R_8 上的电压损失, 从而使 T_9 管的动态范围大大扩大, 这样的正反馈射极输出级, 既有较低的输出阻抗和一定的电压增益, 同时也增大了输出信号的动态范围。

在了解放大器各级工作原理后，我们进一步分析整个放大器输入信号和输出信号之间的相位关系。从电路图10-2中可以看出， T_2 管集电极输出的信号与输入端①的相位相同，与输入端②的信号相位相反。因为 T_1 和 T_3 管均为射极输出器，由 T_4 管集电极输出的信号与 T_2 的输出信号同相位，我们可以把上述相位关系归纳如下：

$$V_1 \uparrow \quad V_2 \downarrow \quad \rightarrow \quad V_{C2} \uparrow \rightarrow V_{C4} \downarrow \rightarrow V_{E7} \downarrow \rightarrow V_{E9} \downarrow$$

由此可知，输入端①的信号电压 V_1 和输出端电压 $V_O(V_{E_9})$ 的相位相反，而输入端②的信号电压 V_2 和输出端电压 V_{E_9} 的相位相同，我们称①端为反向输入端，②端为同相输入端，这和本节开始时的假设是一致的。

F001运算放大器的端子④、⑦是外接补偿端，其工作原理将在下节介绍。

F001是集成运算放大器的早期产品，它具有通频带较宽、线路结构简单、制造容易等一

些优点。至今仍有一定的用量。但它存在着几个明显的缺点，主要是：

(1) 电压增益较小， K_v 一般为2000~3000倍，最大为5000倍。

(2) 基极偏流较大，失调电流也大，输入阻抗低。

(3) 共模电压范围太小，正向共模电压只有0.7V，负向共模电压为-4V，这使电路的运用受到很大限制。

(4) 输出电压幅度较小，只有 $\pm 5V$ ，且输出级的负载能力较小。

为此，在F001基础上，人们又设计了性能更佳的各种运算放大器，其中F003中增益运算放大器就是一种（旧型号为8FC3），它是通用Ⅱ型运算放大器中的一种，相当于国外的 $\mu A709$ 。和F001相比，它的技术指标得到了很大改进，人们称它为第二代集成运算放大器。

二、F003电路分析

F003中增益运算放大器的电路图如图10-3所示。

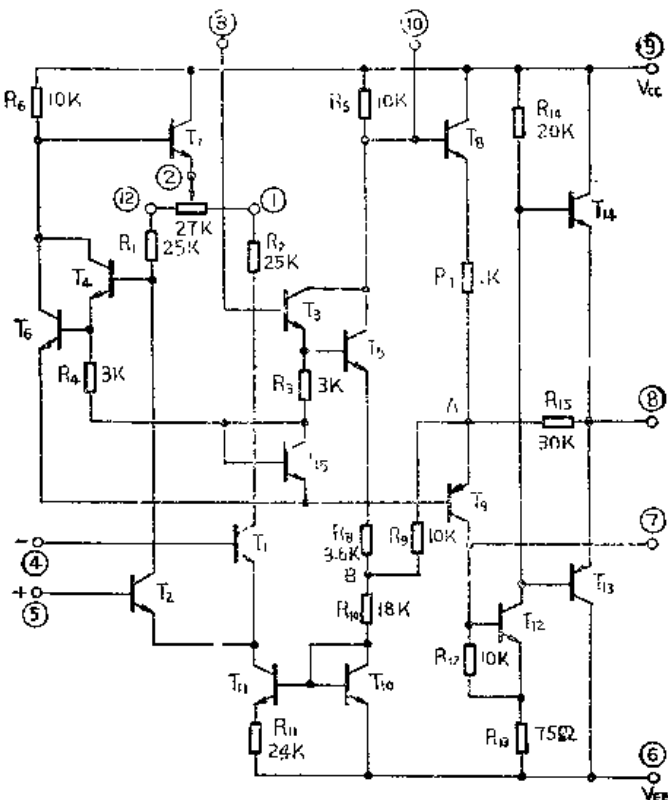


图 10-3 F003型运算放大器电路图

它是由15支晶体管（其中有两支PNP管）和15个扩散电阻组成。F003由输入级、中间级、输出级和相应偏置电路组成。信号从差分对 T_1 、 T_2 的基极输入，由 T_1 、 T_2 集电极平衡输出，经双端变单端的电路，信号输给第二差分放大级，经放大后在 T_3 、 T_5 组成的达林顿集电极单端输出，输给 T_8 射极跟随器后再传给 T_6 、 T_7 放大后输给 T_{12} ，经 T_{12} 放大后传输给由 T_{13} 、 T_{14} 组成的推挽放大级。为了分析方便，将图10-3中不必要的引出端及调零电位器省略，改画为图10-4。

下面对放大器输入级、中间级、输出级分别加以讨论。

1. 输入级

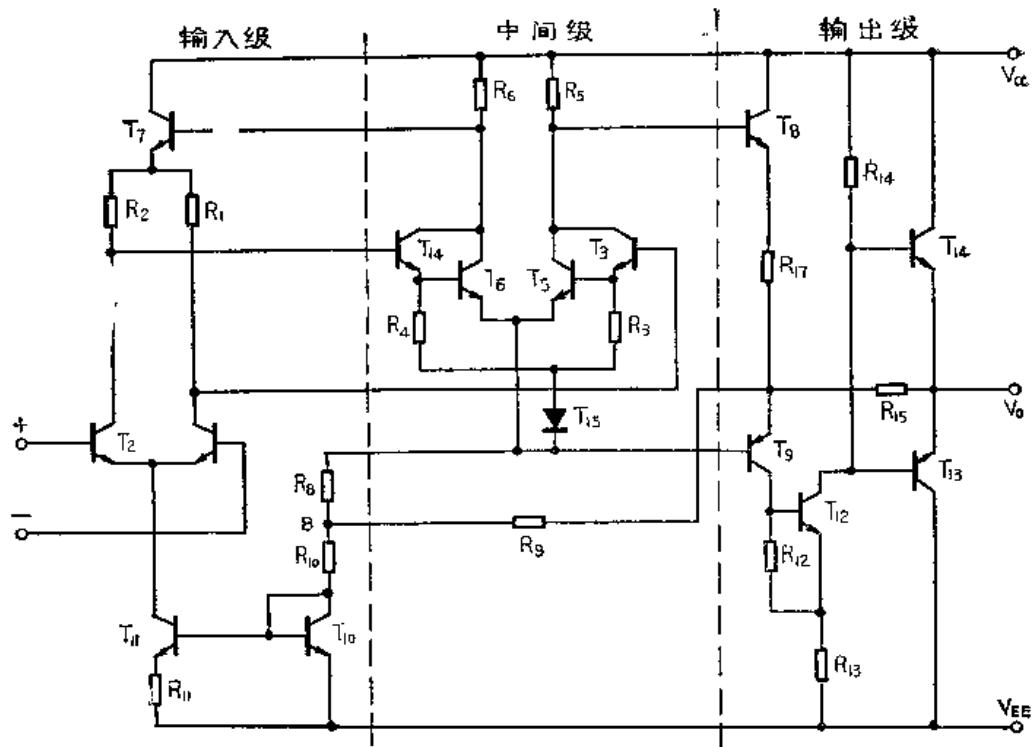


图 10-4 分析F003的电路图

F003输入级是由 T_1 、 T_2 组成的差分放大级， R_1 、 R_2 是 T_1 、 T_2 的集电极负载。 T_{11} 、 T_{10} 、 R_{11} 是放大级的偏置恒流源。为了减小放大器的漂移和提高输入阻抗，第一级的工作电流设计得很小，约为 $20\mu\text{A}$ 。集电极负载电阻为 $25\text{k}\Omega$ ，这样保证第一级有足够的增益，输入阻抗提高到 $400\text{k}\Omega$ 左右，较F001的输入阻抗提高了一个数量级。

本级采用小电流偏置电路，这样的电路具有恒流效果好和电压范围宽的优点。由晶体管电路知识可知，晶体管的发射极电流 I_e 和 V_{BE} 之间存在着下述关系：

$$\text{式中 } I_e = I_{e0} e^{\frac{qV_{BE}}{kT}}$$

I_{e0} ——发射结反向饱和漏电流；

q ——电子电荷；

k ——波尔兹曼常数；

T ——绝对温度。

设 T_{11} 、 T_{10} 完全对称，两者反向饱和漏电流相等。在忽略基极电流时， $I_e \cong I_c$ ，故有下列关系：

$$I_{c11} = \frac{kT}{qR_{11}} \ln \frac{I_{e10}}{I_{e11}}$$

可见当电源电压变化时，恒流源的电流变化很小，这就保证在宽的电源电压范围内第一级均可正常工作。

2. 中间级

F003的中间级由 T_3 、 T_4 、 T_5 、 T_6 以及电阻 R_3 、 R_4 、 R_5 、 R_6 和有源泄放二极管 T_{15} 组成，这是一级复合管差分放大电路。采用复合差分放大电路的目的是提高本级输入阻抗，以使第二级对第一级的影响尽量小，保证第一级有足够大的电压增益。为保证第二级电压增益，集

电极电阻 R_5 、 R_6 设计为 $10\text{k}\Omega$ 。本级中电阻 R_3 、 R_4 和二极管 T_{15} 的作用是给复合管的漏电流放通路，以保证第二级稳定地工作，而不因两级漏电流的累积而使放大级的工作点发生漂移。

T_7 管是一个恒压源，它的作用是保证输入级有较大的共模电压范围。同时，它把由 T_1 、 T_6 放大后的信号经 T_7 及 R_1 转化为 T_3 、 T_5 的输入信号，由它们的集电极输给 T_8 管。 T_8 是射极输出电路，具有足够高的输入阻抗，减小对前级的并联作用，保证第二级的增益可以足够大。同时， T_3 、 T_7 、 T_9 又组成电平移动电路，适当设计 T_8 管的集电极电流，使在无信号时输出 A 点电平为“0”。

T_8 经 R_9 至 B 点构成第二级中的共模负反馈，以减小共模增益，提高共模抑制比。电阻 R_8 、 R_{10} 以及恒流源对输入级进行共模负反馈以提高放大器的共模抑制比。

信号经 T_9 放大后，输给 T_{12} 管基极，再传递给互补推挽输出级。

3. 输出级

F003 的输出级由 T_{12} 、 T_{13} 、 T_{14} 及电阻 R_{13} 、 R_{14} 、 R_{15} 组成。 T_{12} 为前置放大级、 R_{14} 是它的负载电阻。 T_{13} 、 T_{14} 构成乙类互补推挽输出级。

由晶体管放大电路知识得知，乙类放大器的最大缺点是存在着小信号失真，又称交越失真。就是在小信号时，由于推挽管没有起始的导通电压，而是处在截止区（“死区”），只有当输入信号使得 V_{BE} 上升到 0.7V 左右时（或为 -0.7V 左右时）， T_{14} （或 T_{13} ）才会导通起放大作用。为了克服小信号失真，在 F003 末级电路中，用 T_{15} 把输出端的信号反馈到 T_9 的点 A ，当信号工作在“死区”时，输出电压为 0，反馈不存在，互补输出管 T_{13} 、 T_{14} 的基极信号得以很快地上升，从而加速输出级脱离“死区”，达到减小交越失真的目的。

R_{15} 的作用除减小了交越失真外，还对稳定末级增益有利，负反馈的作用还减不了输出级的输出阻抗。至于 R_{12} 的作用，它为 T_9 、 T_{12} 管反向漏电流提供泄放通路，提高末级工作稳定性。 T_{15} 的负反馈也是为稳定末级工作而设计的。

参照电路图，利用分析 F001 各级相位关系的方法来分析 F003 运算放大器的各级相位，从而确定同相输入端和反相输入端。先从假设 $V_1 \downarrow$ ， $V_2 \uparrow$ 开始。

$$\begin{array}{l} V_1 \downarrow \\ V_2 \uparrow \end{array} \rightarrow V_{C8,5} \downarrow \rightarrow V_{E8} \downarrow \rightarrow V_{C9} \downarrow \rightarrow V_{C12} \uparrow \rightarrow V_O \uparrow$$

在分析相位的过程中，应用了晶体管电路的基本知识。分析结果表明 V_5 和 V_O 具有相同的相位关系，所以输入端⑤是同相输入端，而输入端④是反相输入端。

放大器的端子⑫①⑪为外接电位器端子，起调零作用（⑪接电位器中点），⑦⑧端子外接补偿电容，③⑩端子之间接补偿元件。

F003 放大器的电源电压为 $V_+ = +15\text{V}$ ， $V_- = -15\text{V}$ ，最大输出信号幅度可达 $\pm 12\text{V}$ 以上，输出电流为 $\pm 5\text{mA}$ 。

§10-3 运算放大器的直流工作状态分析

运算放大器的直流工作状态是指电路中各晶体管的直流工作状态，即晶体管的工作电流

和对应的电压。由于运算放大器是一种直接耦合放大器，各级之间的直流工作状态彼此相互关联。电路中任何放大级都必须在线性良好的放大区工作，不允许它们进入饱和状态或截止状态，否则电路将不能正常工作。分析运算放大器直流工作状态的目的，就在于加深对运算放大器工作原理的理解。当然，进行运算放大器产品的特性分析也一定离不开对工作状态的计算。运算放大器的种类繁多，况且计算程序亦很繁复，现以低增益运算放大器F001为例，介绍计算运放直流工作状态的方法，了解这种入手方法，作为进一步分析计算电路的基础知识。

一、输入级的直流工作状态

F001运算放大器的电路重画于图10-5中。图中省去了不需要的输入端子。输入差分放大级的工作电流由恒流源电路所决定（即流过 T_5 管的电流 I_5 ），而 I_5 则由 T_5 管的基极电压 V_{B5} 和电阻 R_5 所决定，为此从计算 V_{B5} 出发。

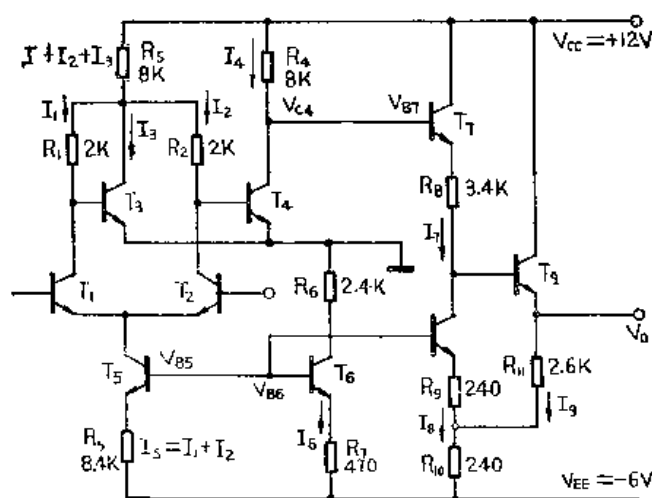


图 10-5 分析F001的电路图

为了使计算简单又具有工程的准确性，假设晶体管共发射极电流放大倍数 β 较大——集电极电流和发射极电流远大于基极电流，忽略基极电流 I_B ，即 $I_C \approx I_E = I$ 。另外，假设每个晶体管的正向压降相等，并设 $V_{BE} = 0.7V$ 。

在这种假设条件下，写出 R_6 、 T_6 、 T_7 的回路方程式：

$$\begin{cases} V_{EF} + I_6 R_7 + V_{BE} + I_6 R_6 = 0 \\ V_{B6} = V_{EE} + I_6 R_7 + V_{BE} \end{cases}$$

解上述两个方程，可以求得：

$$I_6 = (-V_{EE} - V_{BE}) / (R_6 + R_7) \approx 1.84 \text{ mA}$$

$$V_{B6} = V_{EE} + V_{BE} + \frac{(-V_{EE} - V_{BE}) R_7}{(R_6 + R_7)} \approx -4.42 \text{ V}$$

由此可以求得第一级差分对管的总电流 I_5 ：

$$I_5 R_5 + V_{EE} + V_{BE} = V_{B5}$$

$$I_5 = \frac{V_{B5} - V_{BE} - V_{EE}}{R_5} \approx 0.368 \text{ mA}$$

因为 T_1 和 T_2 是对称的 $I_1 = I_2 = \frac{1}{2} I_5$

$$I_1 = I_2 = 0.184 \text{ mA}$$

二、第二级的直流工作状态

在第二级中 $R_3 = R_4$, $V_{BE3} = V_{BE4}$, 但是流过电阻 R_3 、 R_4 的电流不相同。在 R_3 中除了流过和电阻 R_4 中相等的电流外, 还要流过 $I_1 + I_2$ 的电流。

从 R_3 、 R_2 、 V_{BE4} 回路入手, 可以写出下式:

$$V_{BE4} + I_2 R_2 + (I_1 + I_2 + I_3) R_3 = V_{C1}$$

解出: $I_3 \approx 1 \text{ mA}$

$$I_4 = I_3 = 1 \text{ mA}$$

由此可以求出 T_4 管的集电极电压 V_{C4} :

$$V_{C4} = V_{CC} - I_4 R_4 \approx 4 \text{ V}$$

三、输出电路的直流工作状态

参照图2-5输出部分电路, 写出 T_7 、 T_8 、 V_{BE9} 回路和 R_9 、 R_8 、 V_{BE8} 回路方程式:

$$\begin{cases} V_{EE} + (I_8 + I_9) R_{10} + I_9 R_{11} + V_{BE9} + I_7 R_8 + V_{BE7} = V_{C4} \\ V_{EE} + (I_8 + I_9) R_{10} + I_8 R_9 + V_{BE8} = V_{B8} \end{cases}$$

由于 T_7 和 T_8 管电流应该相等 (忽略 T_9 管基极电流的影响), $I_8 = I_7$, 同时, $V_{B8} = V_{B9}$, 整理上述方程可得到:

$$I_7 (R_8 + R_{10}) + I_9 (R_{10} + R_{11}) = V_{C4} - 2V_{BE} - V_{EE}$$

$$I_7 (R_9 + R_{10}) + I_9 R_{10} = V_{B8} - V_{BE} - V_{EE}$$

解出: $I_7 = I_8 \approx 0.9 \text{ mA}$

$$I_9 \approx 1.9 \text{ mA}$$

则输出电压等于:

$$V_O = V_{B7} - V_{BE} - I_7 R_8 - V_{BE} = -0.42 \text{ V}$$

至此电路中各电流及电压均已计算完毕, 综上所述可以求出电路功耗:

$$P = I_+ V_{CC} + I_- V_{EE}$$

其中 $I_+ = I_1 + I_2 + I_3 + I_4 + I_7 + I_9 \approx 5.2 \text{ mA}$

$$I_- = I_5 + I_6 + I_8 + I_9 \approx 4 \text{ mA}$$

$$P \approx 86 \text{ mW}$$

四、直流工作状态对电路某些特性的影响

1. 输入信号的动态范围

由于 T_1 、 T_2 管集电极电压 V_{C1} 、 V_{C2} 被 T_3 、 T_4 管的 V_{BE} 箝位在 0.7 V 左右, 所以在共模输入正电压超过 0.7 V 时, T_1 、 T_2 管会进入饱和状态。因此共模输入正电压应小于 0.7 V , 而 T_1 、 T_2 管的发射极电压不能低于 V_{B5} 。共模输入负电压最低不能低于 V_{B5} 之值, 否则 T_5 管将进入饱和状态, 不能再起恒流源作用。因此输入共模负电压的下限是 $V_{B5} + V_{BE} \approx -4.42 + 0.7 = -3.72 \text{ V}$, T_4 管的电源电压为 $+12 \text{ V}$ 。

差模输入信号的动态范围, 是指运算放大器输入端允许加入的最大差模电压的最大值。它除了受到输入级的限制外, 在闭环应用状态下也受到内部各级的限制。对 F001 运放而言, 约为 $\pm 7 \text{ V}$ 。

以上分析表明, 运算放大器输入级的直流工作状态, 直接影响着放大器的输入特性, 信号不可能超越放大器直流工作状态所允许的范围。因此在应用时, 只能在直流允许的动态范

围内去运用运算放大器。

2. 输出电路的讨论

从前面的计算可知, 当输出级的输入电压 V_{in} 为4V时, 它的输出电压应该等于零, 这是对运算放大器的基本要求。为了在闭环使用时, 进行负反馈, 使输出与输入之间的直流电压能够得到匹配, F001的输出级应完成直流电平移位、一定的增益和低输出阻抗这样三个任务。低输出阻抗由射极输出器来保证, R_{10} 反馈电阻影响末级增益, 电平移位和零输出的要求由电阻 R_3 来实现, R_3 的数值应由 $V_o = 0V$ 的条件求得。

在实际的集成电路中, 晶体管的特性不一致和扩散电阻的偏差, 均会使电路的实际工作状态偏离前面的计算值, 这种偏离就造成了电路的失调。例如, F001电路的失调电压的指标应小于2mV, 而电路的开环增益大于2000倍, 这样在输出端得到的失调电压可以达到4V。前面计算的输出电压 $V_o = -0.42V$, 如果折合到输入失调电压仅为0.2mV, 已远小于失调电压的指标。这就是说, 尽管计算得到输出端有 $-0.42V$ 的输出电压, 但可以认为输入和输出的直流电平已经是相对匹配了。而且, 这样小的失调电压通过调节电位器完全可以得到补偿。

§10-4 运算放大器的交流特性

运算放大器的交流特性是指电路的输入电阻、输出电阻、电压增益与频率关系等特性。

一、输入电阻

差分放大输入级的输入电阻是简单单管共发射极放大级的两倍, 即为:

$$R_i = 2h_{ie} = 2[r_{be}' + (1 + \beta)r_e]$$

式中 r_{be}' ——基极电阻, 为100Ω;

β ——共发射极电流放大倍数;

r_e ——发射极电阻, $r_e = \frac{kT}{qI}$ 。其中 k 为波尔兹曼常数 ($= 1.38 \times 10^{-23} J/K$); T 为

绝对温度; q 为电子电荷 ($= 1.6 \times 10^{-19} C$); I_e 是发射极电流。

若取 $\beta = 80$, $I = 0.184mA$, 计算得输入电阻:

$$R_i = 2[100 + (1 + 80)141] \approx 23k\Omega$$

二、低频电压增益

由晶体管电路知识知, 一般共发射极放大器的电压增益 K_v 为:

$$K_v = -R_c g_m$$

式中 R_c ——集电极负载电阻;

g_m —— T_1 管的跨导。

g_m 和发射极电流有如下关系:

$$g_m = \frac{qI_e}{2kT}$$

因此

$$K_v = -\frac{q}{2kT} R_c I_e$$

在一定温度下, $\frac{q}{2kT}$ 为常数, 在室温下近似等于20。所以, 一般共发射极放大级在室温

下的电压增益为:

$$K_V \approx -20R_C I_e$$

差分放大级单端输出的电压增益为一般共发射极放大器电压增益的一半, 所以单端输出的差分放大级电压增益为:

$$K_V \approx -10R_C I_e$$

双端输出差分放大级的电压增益和简单共发射极放大器的电压增益相等, 即:

$$K_V = -20R_C I_e$$

运用上述近似公式, 计算F001的低频电压增益得到第一级电压增益:

$$K_{1V} = -20R_C I_e \approx -14$$

第二级电压增益:

$$K_{2V} = -10R_C I_e \approx -84$$

第三级的电压增益, 因为存在着正反馈计算较繁, 我们直接给出计算结果:

$$K_{3V} \approx 2.3$$

则F001的总电压增益:

$$K = K_{1V} \cdot K_{2V} \cdot K_{3V} \approx 14 \times 84 \times 2.3 = 2700$$

三、输出电阻

输出级 T_9 管是射极输出器, 在不考虑 R_{10} 的正反馈时(即 R_{11} 直接接 V_{EE}), 其输出电阻为:

$$R'_O \approx r_{e9} + \frac{r_{bb'9} + R_g}{1 + \beta}$$

式中 r_{e9} —— T_9 管的发射极等效电阻;

$r_{bb'9}$ —— T_9 管的基极等效电阻;

R_g —— T_9 管前级的信号源内阻, 近似等于 R_8 ;

β —— T_9 管的电流放大倍数。

取 $r_{bb'9} = 100\Omega$, $\beta = 80$, 代入上式可得:

$$R'_O \approx 56\Omega$$

但是, 由于末级不是简单的射极输出器, 有 R_{10} 通过 R_{11} 的正反馈存在, 使电路输出电阻有所上升, 其输出电阻 $R_O \approx 129\Omega$ 。

四、频率特性

放大电路的频率特性是指电路的电压增益 K_V 随工作频率而变化的特性。由于集成电路中都采取直接耦合, 所以集成放大电路的低频特性是从直流(0频)开始的。当频率升高时, 由于以下一些因素, 放大器的高频特性会受影响: 晶体管本身频率特性的影响; 集成电路中布线电容的影响; 集成电路中元器件(晶体管及扩散电阻)的分布电容的影响。

精确地计算这些电容对放大器的影响程度是很困难的, 因为分布参数本身的计算已经很困难, 再把它各自的影响积累起来就更为繁杂。下面只定性地分析一下这些影响而不去进行定量的计算。

多级放大器的频率特性是由它的各个放大级的频率特性所决定的。在具体考虑各级对频率的影响时,可以认为每个放大级都具有一个负载电阻和负载电容。这个负载电阻由下级输入电阻和本级输出电阻所组成,用 R_i 表示。负载电容应包括晶体管输出电容(集电结电容、集电极衬底分布电容),负载电阻分布电容和下一级输入电容,用等效电容 C_i 表示。这样每个放大级就认为是由理想晶体管和等效电阻 R_i 和等效电容 C_i 组成。其等效电路如图10-6所示。

所谓理想晶体管就是晶体管本身对频率影响的分布参数已经合并到 R_i 和 C_i 中去了,并假设晶体管本身的频率特性很高,暂先不考虑对放大器频率特性的影响。理想晶体管又可以用一个输出电压为 V_i 的电压源和内阻 R_o 的等效电路表示,这样图10-6又可以改画成图10-7的形式。

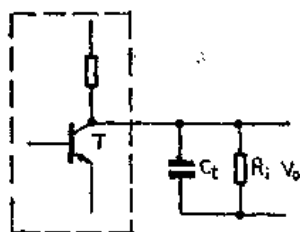


图 10-6 分析频率特性的等效电路

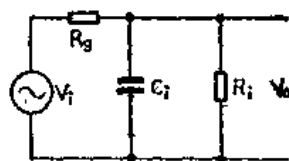


图 10-7 改画的等效电路

这个等效电路表明,信号电压 V_i 通过 R_o 和 R_i 与 C_i 的并联回路传输网络而受到衰减。放大级的相位也会因 C_i 的存在而发生变化(当然晶体管本身也有影响)。当频率较低时,电容 C_i 的容抗很大,它对信号的分流作用可以忽略不计。当工作频率升高时, C_i 的容阻抗随频率升高而下降,对信号产生分流作用,从而使传给下一级的信号电压下降,信号的相移也增大。这就是放大电路在高频下电压增益下降和相移加大的物理实质。

根据上述道理,可以把F001放大器划分为四级等效电路,如图10-8所示。

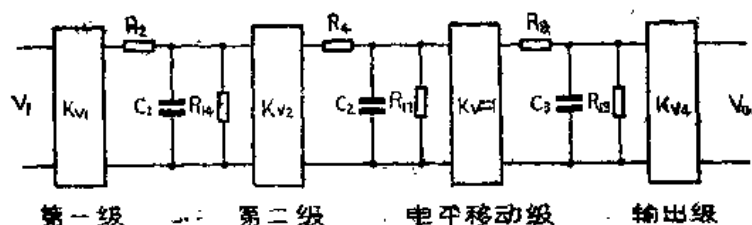


图 10-8 分析F001频率特性的等效电路

图中 V_i 是输入信号电压,第一级差分放大级的电压增益为 K_{v1} ,它的输出电阻就是负载电阻 R_2 , C_1 是 T_2 管集电极分布电容和 T_4 管的输入电容之和。 R_4 是 T_4 管的输入电阻。第二级的电压增益为 K_{v2} ,负载电阻近似为 R_4 , C_2 是 T_4 管集电极分布电容和 T_7 管的输入电容, R_7 为 T_7 管的输入电阻。由于 T_7 管为射随输出,其输入阻抗很高,可以忽略不计。电平移动级的增益为1。 C_3 是 R_8 和 T_4 管集电极分布电容及 T_7 管输入电容的等效电容, R_o 是 T_7 管的输入电阻, T_o 为射随输出级, R_o 的影响亦可不予考虑。

有了放大器的等效电路,运用一般放大器频率特性的表达式,便可以得到各级的频率特性。放大器总的频率幅度特性为各级幅度频率特性之乘积,总的频率相位特性为各级相位之和。图10-9给出了放大器F001实际的幅度频率特性曲线。在该曲线中除了有电容造成的幅度下降外,晶体管本身的放大倍数在高频时的下降也包括在内了。

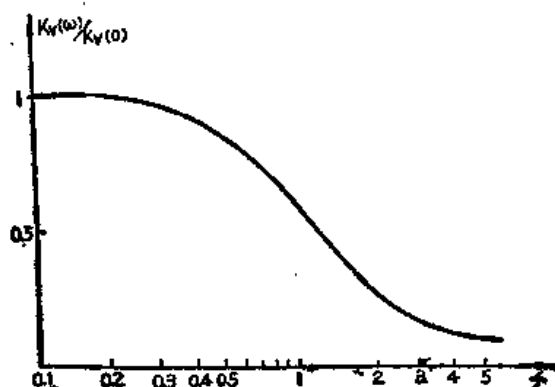


图 10-9 F001的频率特性曲线

F001电路的频率补偿：通过对运算放大器频率特性的分析得知，由于传输网络中存在着分布电容，一方面输出信号电压幅度在高频下下降，同时输出信号电压与输入信号电压之间产生相位差，限制了运算放大器的使用频率。但是更为严重的是，当输入、输出信号相位之间相差比较大时（例如 2π ， π 为 180° ），放大器闭环应用将会发生自激——变成了振荡器。从而破坏了放大器的正常工作。为了克服这种弊病，运算放大器常在外电路（也有内部接好的）中加接频率补偿网络。例如F001放大器的端子④和⑦就是外接补偿网络的端子；其他放大器也有类似的补偿端子。在补偿端子上接RC网络可以使放大器的幅度和相移特性得到改善，RC的数值可以用试验的方法确定。若放大器在使用时产生自激，也可以通过调整补偿元件值的方法来加以消除。

§10-5 运算放大器的参数及其测量方法

一个集成运算放大器的性能好坏，需用很多参数来表征，本节介绍运放的各个参数的意义和基本测量方法。

一、输入失调电压 V_{os}

理想的集成运算放大器，当输入电压为零时，输出电压也应该是零。但是由于制造工艺的离散性，通常输入电压为零时仍会有一定的电压输出。要想使输出为零，就得在输入端加上一个直流电压以抵消掉电路制造上的偏差，这个补偿电压就叫作输入失调电压，通常用符号 V_{os} 表示。失调电压反映了电路制造的偏差（不对称）程度，反映了电路性能的好坏。显然，输入失调电压 V_{os} 通常在mV的数量级，其值越小越好。例如F001和F003的 V_{os} 均不大于2mV。

输入失调电压也可以看作当输入信号为零时，输出端的直流失调电压换算到放大器输入端的数值。依据这一原理可以对输入失调电压进行测量。测量方法之一如图10-10所示。放大器接成闭环，电阻 $R_1 = R_3$ 、 $R_2 = R_4$ ，其目的是保证两输入端在低电阻下成平衡状态，避免因外电路不平衡而引入的附加失调。利用电压表测量输出端的直流电压 V_o ，则：

$$V_{os} = \frac{V_o}{K_f}$$

式中 K_f ——反馈放大器的放大倍数。

当运算放大器的开环电压增益很高时, 反馈放大器的放大倍数 $K_f = 1 + \frac{R_2}{R_1}$, 所以

$$V_{os} = V_o / \left(1 + \frac{R_2}{R_1} \right)$$

尽管上述 V_{os} 的求法是近似的, 只要选取电阻 $R_1 \sim R_4$ 有足够高的精度, 测量结果是可以满足一般需要的。

二、输入失调电流 I_{os}

输入失调电流是指输入电压为零时, 放大器两个输入端静态基极电流之差。输入失调电流用符号 I_{os} 表示。 I_{os} 产生的原因主要是输入差动放大的晶体管的电流放大倍数不一致引起的。当然 I_{os} 也是越小越好。 I_{os} 一般在 μA 的数量级。例如 F001 和 F003 的 I_{os} 都不大于 $0.5 \mu A$ 。

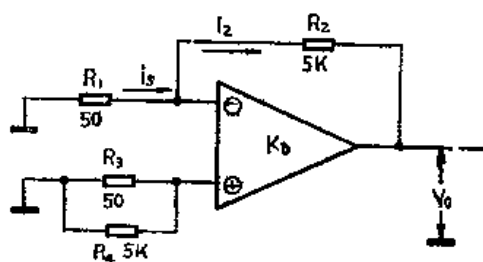


图 10-10 测量失调电压的原理图

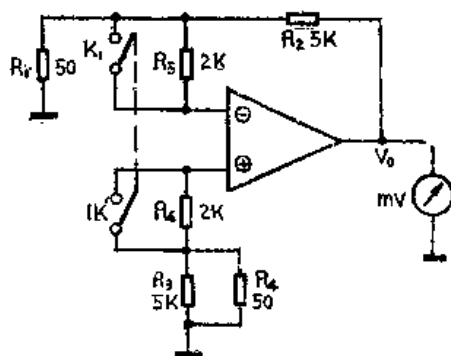


图 10-11 测量失调电流的原理图

输入失调电流的测量方法之一如图 10-11 所示。 I_{os} 的测量是把对电流的测量转化成对电压的测量。测量分两步进行, 第一步接通开关 K , 在低电阻下测量放大器输出端失调电压 V_{o1} ; 第二步打开开关 K , 在高阻下测量输出失调电压 V_{o2} 。 $V_{o2} - V_{o1}$ 就是由于基极电流不相等而在输出端形成的失调电压差, 这个电压折合到输入端就是 $\frac{V_{o2} - V_{o1}}{K_f}$, 于是就可以算出 I_{os} 数值:

$$I_{os} = \frac{V_{o2} - V_{o1}}{K_f} \cdot \frac{1}{R_s}$$

由于

$$K_f = 1 + \frac{R_2}{R_1}$$

所以

$$I_{os} \approx \frac{V_{o2} - V_{o1}}{\left(1 + \frac{R_2}{R_1} \right)} \cdot \frac{1}{R_s}$$

为了保证测量精度, 电阻应选用高精度电阻。

三、输入基极电流 I_B

运算放大器的基极电流, 是指放大器处于静态时 (无信号输入时), 两输入端静态基极电流的平均值, I_B 一般为 μA 数量级。例如, F001 的 I_B 小于 $1 \mu A$, F003 的 I_B 小于 $0.7 \mu A$ 。放大器的 I_B 越小越好。 I_B 与放大器第一级晶体管的电流放大倍数 β 和集电极电流有关, β 越大, I_B 越小。

I_B 的测量原理如图 10-12 所示。图中 μA 表所测得的数值为两个基极电流之和, 所以测得电流的二分之一即为基极电流 I_B 。

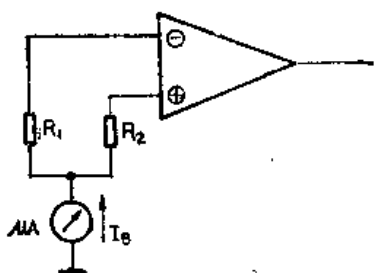


图 10-12 测量基极输入电流的电原理图

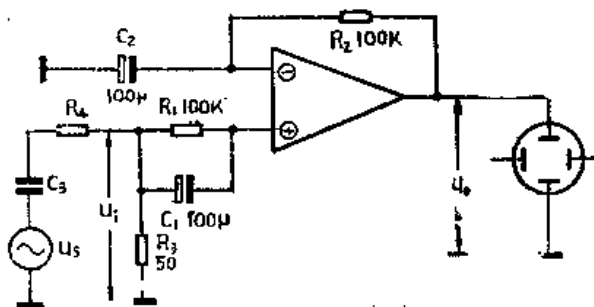


图 10-13 测量电压增益的原理图

四、开环电压放大倍数 k_v

开环电压放大倍数是指放大器输出空载，无信号反馈时的电压增益，用符号 K_v 表示。图 10-13 给出了一种测量 K_v 的原理图。

由于一般运算放大器的开环电压增益很高，直接送入直流信号进行测量，往往会使放大器的直流工作点产生漂移，为了稳定静态工作点，在测量电路上利用 R_2 对放大器进行直流负反馈。对交流信号则通过电容 C_2 进行旁路。所以这个放大器对交流信号是开环，而对直流而言则是闭路。另一输入端接电阻 $R_1 = R_2$ ，以保证两输入端电阻相等，信号电压 u_s 通过电阻 R_3 、 R_4 的分压加到放大器输入端上，以免输入信号过大，使输出电压超过放大器的最大输出电压，而产生失真。在输出端应接一示波器以监测输出波形，保证在测量 K_v 时不产生失真。由于一般运算放大器的通频带很窄，而在频率升高时， K_v 会下降，所以测量信号频率应比较低，以保证所测得的 K_v 是放大器的直流开环电压增益。

用交流电压表分别测得电压 u_i 及输出电压 u_o ，就可以求得开环电压放大倍数：

$$K_v = \frac{u_o}{u_i} = \frac{R_3 + R_4}{R_3} \cdot \frac{u_o}{u_s}$$

由于 K_v 很大，输至放大器输入端的信号电压幅度很小，放大器输入端的干扰会影响测量精度，因此测量时应采取适当的屏蔽措施（例如，输入信号线采用金属隔离线，测试放在屏蔽盒内进行等。）

开环电压增益常用 dB 数表示。例如，F001 的 K_v 大于 60dB，F003 的 K_v 大于 90dB。

五、共模抑制比 CMRR

共模抑制比是表征放大器共模性能好坏的参数。一般运算放大器都要放大差模信号，而对共模（两输入端加同相位信号）信号要有较大的抑制能力。共模抑制比等于放大器的差模放大倍数 K_d 与共模放大倍数 K_c 之比，即：

$$\text{CMRR} = \frac{K_d}{K_c}$$

共模抑制比通常以 dB 表示，即：

$$\text{CMRR(dB)} = 20 \log \frac{K_d}{K_c} \quad (\text{dB})$$

图 10-14 是一种测量共模抑制比的原理图。它是在固定差模放大倍数 K_d 的放大器中，加入一定的共模电压 u_i ，经放大器共模放大，在输出端得到电压 u_o ，则共模放大倍数 K_c 为：

$$K_c = \frac{u_o}{u_i}$$

放大器的差模放大倍数 K_d 为:

$$K_d = \frac{R_2}{R_1}$$

则共模抑制比为:

$$\text{CMRR(dB)} = 20 \log \frac{R_2/R_1}{u_o/u_i} \text{ (dB)}$$

测量共模抑制比时,在输入端所加电压 u_i 不应过大,它的数值应该在放大器允许的共模输入电压范围之内。如果输入电压超过允许的共模电压,则CMRR之值就要比实际值大得多。F001的CMRR大于70dB, F003的CMRR大于90dB。

六、输入电阻 R_i

运算放大器的输入电阻,是指由差分放大输入级看进去的等效电阻,也可以认为是输入端电压变化和电流变化之比,用符号 R_i 表示。图10-15是测量 R_i 的一种原理图。

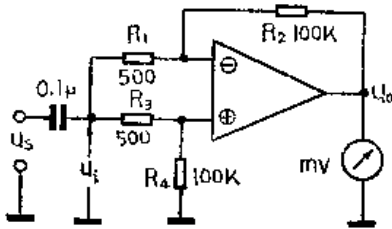


图 10-14 测量共模抑制比的原理图

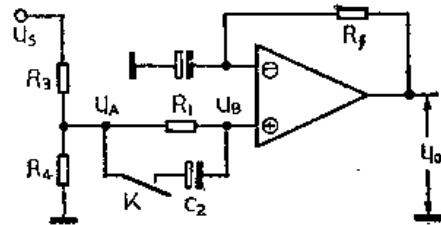


图 10-15 测量输入电阻的原理图

被测放大器接成直流闭环、交流开环。测试信号 u_s 经 R_3 、 R_4 分压后送至放大器同相输入端。首先将开关 K 打开,则电容 C_2 不接入电路,测得输出信号电压 u_o ,由于交流是开环的,运放的增益为 K_o ,显然差分输入端信号电压为 $\frac{u_{o1}}{K_o}$,这就是同相输入端的信号电压(因反相输入端交流接地),即加至放大器输入端的电压 u_B 。其次把开关 K 合上,由于电容 C_2 对交流信号是短路的,把电阻 R_1 另一端的信号电压 u_A 直接输入至同相输入端,读出输出端电压 u_{o2} ,这就测出了 A 点的信号电压 u_A :

$$u_A = \frac{u_{o2}}{K_o}$$

因此,输入电阻 R_i 为:

$$R_i = \frac{u_B \cdot R_1}{u_A - u_B} = \frac{u_{o1}}{u_{o2} - u_{o1}} \cdot R_1$$

运算放大器F001的 R_i 为20千欧, F003的 R_i 为200千欧。

七、输出电阻 R_o

运算放大器的输出电阻,是指由放大器输出端看过去的等效电阻。图10-16是测量输出电阻的电路图。图中 C_1 、 C_2 是实现交流短路的旁路电容,为了保持输入端的对称,在 C_2 上同样并联了和反馈电阻 R_f 相等的电阻。信号通过电阻 R_1 加到放大器的输出端,用电压表测量电阻 R_1 两端的信号电压 u_o 、 u_i 之值,即可推算出输出电阻 R_o :

$$R_o = \frac{u_o}{u_i - u_o} \cdot R_1$$

输出电阻 R_o 的数值一般越小越好,通常在几十 Ω 至几百 Ω 之间。例如, F001和F003的 R_o

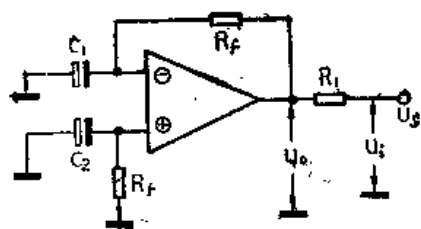


图 10-16 测量输出电阻的原理图

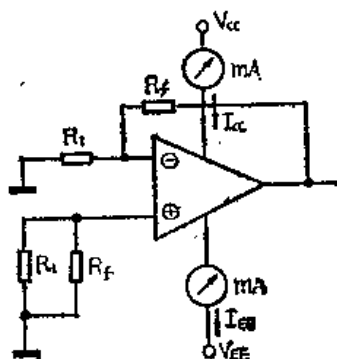


图 10-17 测量静态功耗的原理图

均为 200Ω 左右。

八、静态功耗 P_{CO}

静态功耗是指运算放大器在空载时本身所消耗的电功率。

图10-17是静态功耗的测量原理图。由于一般运放都用“+”“-”两组电源供电，所以静态功耗应该是正、负电源消耗的电功率之和，即：

$$P_{CO} = I_{CC} \cdot V_{CC} + I_{EE} \cdot V_{EE}$$

为了保证放大器工作正常（不发生输出饱和），通常在测量静态功耗时采用闭环连接，并保证输入端保持平衡。

九、开环带宽 Δf

运放的电压增益随工作频率的升高而下降，当电压增益下降到直流电压增益 $\frac{1}{\sqrt{2}}$ 时的频率，称为开环带宽。双称 -3dB 带宽，因为增益下降至 $\frac{1}{\sqrt{2}}$ 时，刚好是增益下降 3dB 的频率。

测量开环带宽的方法和测量开环增益的方法相似，只是在固定输入信号幅度的条件下，提高信号频率，当输出电压下降至低频的 0.707 倍时，信号频率就是开环带宽。开环带宽是描述运放频率特性的参数。例如，F001的带宽大于 300kHz ，它是带宽较宽的一种运算放大器。

除了用开环带宽表示运放的频率特性外，还采用所谓“单位增益带宽”这个参数。它是指当运放的开环增益降为 1 时所对应的频率。测试电路与开环带宽的测试方法相同。只要继续提高测试频率，当输出信号幅度等于输入信号幅度时，所对应的频率就是单位增益带宽。

除了上面介绍的参数外，运放还有失调电压漂移、失调电流漂移、电源电压灵敏度以及转换速率等，这里不再一一介绍了。只要掌握测量的一般原理，根据参数定义，不难进行测量。前面介绍的参数测试方法只是一些常见测试方法，很多参数可以有多种方法测量，但其结果应该是相同的。

§10-6 运算放大器的应用介绍

运算放大器除了能对各种模拟量完成加、减、乘、除、积分、微分等运算外，还广泛用于各种电子仪器仪表，可以说它是一种通用性很强的电路。有人把它的应用归纳为信号处理、信号波形变换、信号产生、电源电路等几大类。本节只介绍运放的几种典型应用，作为

进一步深入学习的入门。

一、比例放大器

比例放大器是指输出信号和输入信号成一定比例的放大器。由于一般运算放大器都是差分输入形式，所以又有反相比例放大器和同相比例放大器两类。它们的工作原理完全相同，这里只介绍反相放大器。

反相比例放大器又称倒相比例放大器，它的输出信号和输入信号的相位相反。图10-18是反相比例放大器的电原理图。

图中 R_f 是反馈电阻，信号经电阻 R_1 从放大器的反相输入端输入。计算可知，当运放本身的开环电压增益 K_v 远大于比例放大倍数 K_f 时，这种放大器的增益只取决于反馈电阻之比，即：

$$K_f = \frac{u_o}{u_i} = -\frac{R_f}{R_1}$$

式中“-”号表示输出和输入信号是反相的。我们可以通过改变 R_f/R_1 的比值，来改变放大器的放大量。当 $R_f = R_1$ 时，放大器就变成了一个倒相器。总之它可以得到任一比例系数的放大器。

二、加法器

加法器是指输出信号是几个输入信号之和的放大器，它同样有反相加法器和同相加法器两类。图10-19是反相加法器的电路。

从图中看，可以有下列关系：

$$i_f = i_1 + i_2 + \dots + i_n$$

其中

$$i_1 = \frac{u_1 - u_-}{R_1}, i_2 = \frac{u_2 - u_-}{R_2}, \dots, i_n = \frac{u_n - u_-}{R_n}$$

而

$$i_f = \frac{u_- - u_o}{R_f}, \text{ 所以}$$

$$\frac{u_- - u_o}{R_f} = \frac{u_1 - u_-}{R_1} + \frac{u_2 - u_-}{R_2} + \dots + \frac{u_n - u_-}{R_n}$$

$$u_o = -R_f \left(\frac{u_1}{R_1} + \frac{u_2}{R_2} + \dots + \frac{u_n}{R_n} \right)$$

如果 $R_1 = R_2 = R_n = R_f$

则 $u_o = -(u_1 + u_2 + \dots + u_n)$

上式表明这个电路完成了各输入信号相加的任务。如果 $R_1, R_2, \dots$ 选取不同的阻值，则可以构成比例加法器。

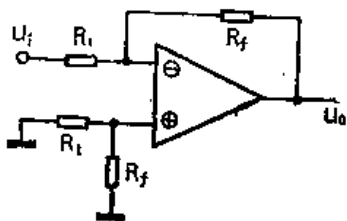


图 10-18 反相比例放大器

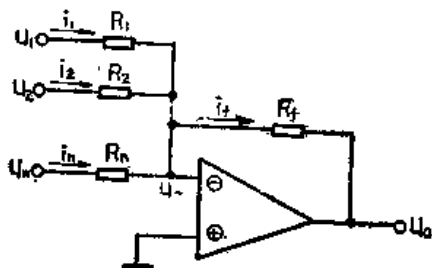


图 10-19 反相加法器电路

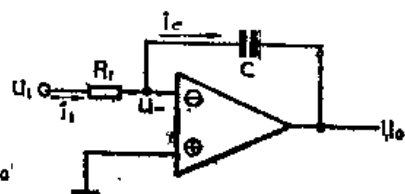


图 10-20 积分器的电路原理图

三、积分器

如果将比例放大器中的反馈电阻 R_f 换成电容器 C ，就构成了最简单的积分电路。图10-20是它的电路图。

下面我们来看它的工作原理。由运放基本原理可知：

$$\begin{aligned} i_1 &\approx i_c \\ i_1 &= \frac{u_i - u_-}{R_1} \approx \frac{u_i}{R_1} \\ i_o &= \frac{u_i}{R_1} \end{aligned}$$

上式表明，充电电流基本上是恒定的，所以

$$u_o = -\frac{1}{RC} \cdot u_i(t)$$

当输入为固定电压时，输出电压按一定比例作直线增长，实现了输出电压对输入电压的积分。如果输入电压不是固定电压时，则：

$$u_o = -\frac{1}{RC} \int_0^t u_i dt$$

图10-21是利用积分电路作成的波形变换器。如果输入一个方波信号，输出就得到一个三角波。设方波振幅为5V，周期为1ms，信号占空比为50%，其输出为2.5V的三角波信号。

$$\begin{aligned} u_{OP-P} &= -\frac{1}{RC} \int_0^T u_i dt \\ &= \frac{1}{RC} u_{i,P-P} \cdot \left(\frac{T}{2}\right) \\ &= \frac{5 \times 10^{-3} \times 0.5}{1 \times 10^4 \times 0.1 \times 10^{-6}} \\ &= 2.5 \text{ V} \end{aligned}$$

电阻 R_2 用来限制运算放大器的低频增益，在低频时不再作积分器工作，其下限频率为：

$$f_{min} = \frac{1}{2\pi R_2 C}$$

四、波形产生电路

利用运算放大器可以很容易地组成各种波形产生电路，图10-22是一种方波产生电路。

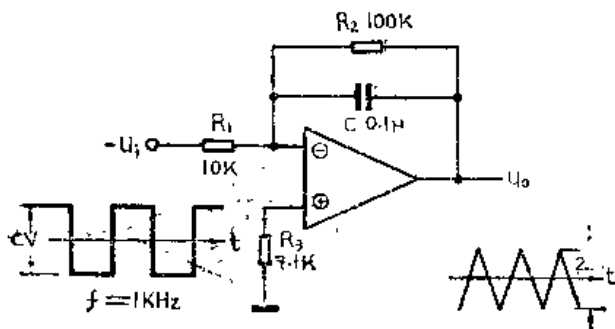


图 10-21 波形变换器的电路图

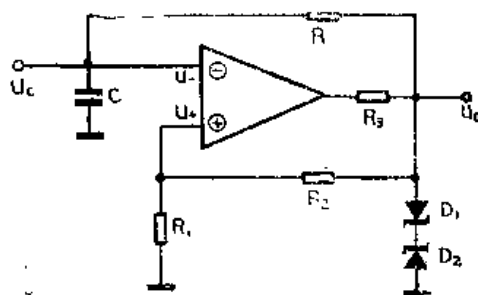


图 10-22 方波发生器电路

方波信号通常可以作为脉冲及数字系统的信号源。它的工作过程是这样的：电容两端的电压 u_C （即 u_- ）和 u_+ 比较，决定输出电压 u_o 的极性，是正或是负，而 u_o 的极性通过电阻 R 决定通过电容 C 的电流是充电还是放电，而 u_C 的大小再一次决定 u_o 的极性，如此不断往复，就产生了方波振荡信号。信号的频率和周期与 R 、 C 的数值有关，输出电压幅度与二极管 D 的稳压数值有关。

五、运算放大器的一个应用实例

某测量仪表中，要求对一个电流的测量转化为数字电压量“0”或“1”，以便和后面的逻辑电路相联接。图10-23是用F001组成的这种电路。

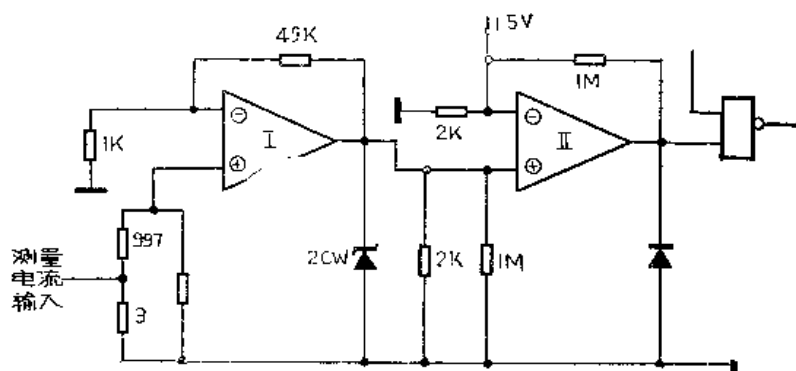


图 10-23 运算放大器的应用实例

图中放大器 I 的作用是进行电流-电压转换。根据反馈电阻和输入电阻比，放大器放大倍数为50倍。放大器 II 是把模拟量转变为数字量的电压比较器，放大倍数近似为500倍。

测量仪器的要求是，当测量电流小于或等于10mA时，比较器输出为逻辑“0”（对后面相接的TTL电路为低电平），而当被测量大于10mA时，比较器输出为逻辑“1”。具体看一下电路是如何完成上述功能的。输入被测电流（例如10mA）通过取样电阻3Ω，变为运算放大器 I 的输入信号电压30mV。经放大器 I 放大50倍后，在其输出端有1.5V电压，输入到比较器同相端去。在放大器 II 反相端加以预先设定好的1.5V基准电压。比较器是以同相端和反相端的电压差来进行放大工作的。当同相端的信号电压小于或等于基准电压时，比较器输出电压为负值或零，也就是保证逻辑“0”电平。当测量电流大于10mA时，运放 I 输出电压大于1.5V，则比较器输出电压为某一正值。保证逻辑“1”电平。

运放 I 输出和比较器 II 输出端接有箝位稳压二极管，目的是把它们的输出电压限定在某一数值之内，防止由于测量电流过大而使输出电压太大时，造成后面电路输入电压太高而损坏电路，但其箝位电压之值在允许测量范围之内，所以对正常测量没有影响。

由于比较器具有较高的放大倍数，所以测量电流的精度是很高的。例如，设基准电压是准确的1.5V，如果比较器的输入信号电压比基准电压大5mV，它就可以有2.5V的电压输出（ $5\text{mV} \times 500 = 2.5\text{V}$ ）。而5mV的电压折合到放大器 I 的输入端即为 $\frac{5}{50}\text{mV} = 0.1\text{mV}$ 。这样换算到取样电阻上的电流即为 $\frac{0.1\text{mV}}{3\Omega} = 0.033\text{mA}$ 。这就是说，当测量电流大于10mA而为10mA + 0.033mA时，经运放 I 和比较器 II 放大比较后，就变成一个+2.5V的输出电压。这样就把电流模拟量转换为电压的数字量，达到了模拟数字转换的目的。显然，这比一般用电表测量电流的精度高得多。为了保证测量精度，取样电阻及反馈电阻要有足够高的精度，同时在静态时，放大器输出应保证为零。

第十一章 其它模拟集成电路

线性集成电路是以运算放大器为前导而发展起来的。随着工艺技术和电路设计水平的提高,目前模拟集成电路已不只是集成运算放大器,其他的集成线性放大器、集成稳压器以及集成模/数、数/模转换电路等也都得到了发展。在民用电气产品中模拟集成电路也被广泛采用。本章将介绍上述各种模拟集成电路的特点,并结合具体电路进行电路分析,以使读者对模拟集成电路的整个领域有一个概括的了解。

§11-1 集成线性放大器

一、集成线性放大器的一些特点

在分立晶体管电路中,人们常用更换电路元件方法来构成各种功能的线性放大器。例如,用大的电解电容完成级间耦合的音频放大器,用电感、变压器耦合的中频、高频放大器。在大多数分立晶体管电路中,一般不采用直接耦合的方式,而是采用电容耦合。电容耦合造成电路的工作频率不能从零开始,即存在着下限工作频率(通常把低频增益值下降为最大值的0.707倍时的频率称为下限工作频率或下截止频率)。各种放大器的典型频率特性曲线如图11-1所示。

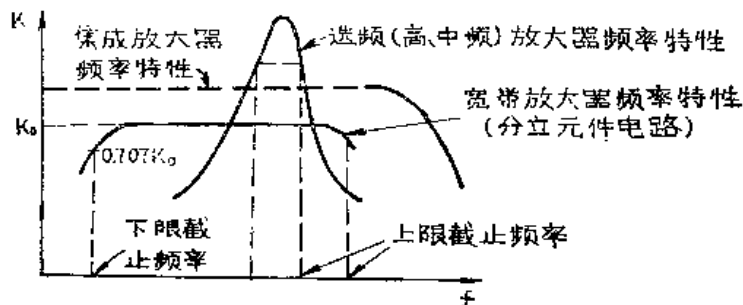


图 11-1 各种放大器的频率特性

我们已经讲过,在集成电路中,电路级间耦合都是采用直接耦合方式,所以集成线性放大器都是从零频率开始工作,不存在下限工作频率,这是集成线性放大器的第一个特点。

第二个特点是用晶体管多,用电阻少(特别是高电阻)。在分立的晶体管电路中,为了改善电路性能往往是在选用高频晶体管之后同时在电路元件上想办法(例如,用电感线圈进行高频补偿等)。这在集成线性放大器中已无能为力。由于集成电路工艺的特点使制造晶体管比制造电阻更容易,因此集成放大器电路在形式上比较复杂,但在应用上反而更简单方便。

为了得到各种性能的线性放大器,在集成电路中广泛采用“级联”的电路形式。在各种集成线性放大器中对增益、带宽、噪声等等各有不同的要求,采用不同接法的级联形式可以显著地改善放大器特性,这也是集成线性电路的一个特点。

集成线性放大器的第四个特点是电路中广泛采用负反馈电路。在晶体管电路中虽然也采用负反馈，但在集成电路中由于采用了多级的直接耦合，负反馈的采用不仅为改善放大器的特性所需（如展宽频带、减小失真等），也是稳定放大器的直流工作点所必不可少的。可以说，集成线性放大器中一定有负反馈的存在，因此在下一节我们将专门讨论级联电路及负反馈对电路的影响。

当然，集成线性放大器还具有其它一些特性。例如，集成电路所共有的特性（象分布参数的影响，工艺上对电路元器件的限制等），这里就不具体介绍了。

二、改进集成线性放大器特性的途径

由于线性放大器有多种要求，其特性指标是各不相同的，我们只介绍最广泛采用的方法。这些方法有效地提高了放大级的增益带宽乘积^{*}，降低了放大级的噪声系数，提高了稳定性。

1. 级联的电路形式

为了提高单个晶体管放大级的 3 dB 带宽，在集成电路中通常采用两级不同共极接法电路的级联形式，它们是共发射极-共基极电路、共发射极-共集电极电路、共集电极-共发射极和共集电极-共基极电路。

（1）共发射极-共基极电路 图11-2是它的基本电路形式（图中没有画出直流偏置电路）。

在图11-2中， T_1 是共发射极接法， T_2 是共基极接法。由于晶体管共基极接法的输入阻抗很低（通常只有几十 Ω ），因此对交流信号而言，共发射极 T_1 的电阻 R_{c1} 可以认为是开路的， T_2 的输入阻抗就成了第一个晶体管的负载电阻。低的负载阻抗就使得 T_1 管输出电容、分布电容及 T_2 管的输入电容等对高频信号的分流作用变得小得多，从而扩展了频带，改善了单级共发射极放大器的高频特性。由计算可知，这种级联放大级由于付出了增加一个晶体管的代价，和单管共射极相比，其增益带宽的乘积要增加近十倍左右。

共发射极-共基极电路改善高频特性的本质是，在共发射极放大电路与负载之间引入了共基极隔离电路。 T_2 的引入大大降低 T_1 输出端对高频的影响，从而达到了改善增益带宽乘积的效果。

（2）共发射极-共集电极电路 图11-3是共发射极-共集电极电路。由于共集电极电路实际上是一个电流负反馈电路（全部电流流过发射极电阻），因此本身的频率特性很好，同

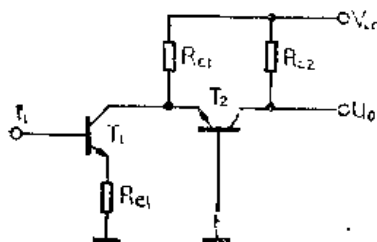


图 11-2 共发-共基电路

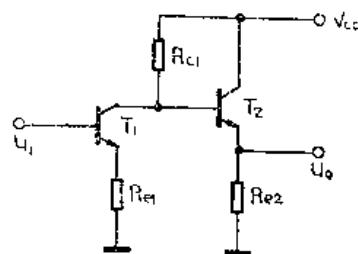


图 11-3 共发-共集电路

* 增益带宽乘积是用于衡量放大器高频特性的参数。在高频放大器中（音频放大器通常不采用这个参数），随着工作频率的提高，放大器的增益要下降。要衡量某一频率下的放大器特性，通常用零频增益与 3 dB 带宽的乘积来表征放大器的高频性能。这个乘积越大，表示放大器的高频特性越优越。改善放大器的高频特性，就是要设法增加增益带宽乘积。

时共集电极电路输入阻抗高、输出阻抗低，在共发电路后面接共集电路，就可以把后面的分布电容（例如，再后一级是发射极输入电路等）对第一级的旁路作用隔离开。另外，共集电路的集电极直接接电源，它的输入电容也较小，这种电路具有一级共发的增益，但频率特性较单一共发射极电路要好。在线性放大器的输出级有时采用这种电路。

（3）共集电极-共发射极电路 图11-4是共集-共发电路。图中晶体管 T_1 为共集电极接法（对交流信号而言等于接地），其输入阻抗很高，而输出阻抗很低。本级不提供电压增益，它起到信号的传输和隔离作用。放大作用由晶体管 T_2 来完成。由于 T_1 管的低阻抗输出，使得 T_2 管以基极看过去的电容（结电容和密勒电容*）影响大大减轻，从而等于减小了整个放大级的输入电容，由此达到了扩展频带的作用。 T_1 管是共集电极电路，本身具有很好的频率响应（共集电极是电流负反馈电路），其集电极接地，本身输入电容很小。

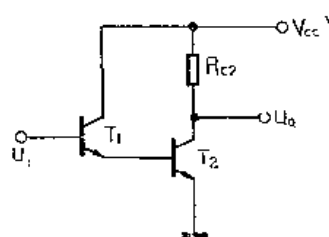


图 11-4 共集-共发电路

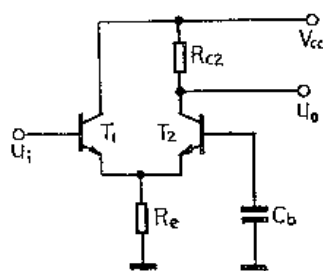


图 11-5 共集-共基电路

（4）共集电极-共基极电路 共集电极-共基极电路又称为发射极耦合放大电路，如图11-5所示。在图11-5中，晶体管 T_1 为共集极接法， T_2 为共基极接法，基极通过 C_b 使交流接地。晶体管 T_1 和 T_2 之间的耦合是通过发射极电阻 R_e 来实现的。 T_1 为共集电极电路，频带较宽； T_2 为共基极电路，频带特性也较好。同时由于共集电极输入阻抗高、共基极放大输出阻抗也较高，所以共集-共基电路具有高的输入、输出阻抗，可以用在高频带通放大器上，便于和谐振回路的联接。在上述电路中，如果发射极电阻 R_e 用恒流源代替，把控制电压加到恒流源管子的基极上，就可以实现自动增益控制。

共集-共基电路也可以看成是典型差分放大电路的变种。这种对管的电路形式很适合于集成电路中选用，只是在低频时它的增益只相当于单管共发射极放大电路的二分之一（在 R_e 相同的条件下），但它在高频时却表现出很好的频率特性。

上面我们讲过了集成线性放大器中常常采用的四种级联电路。它们扩展频带的基本原理就是适当的阻抗变换，设法把对频率影响的因素隔离开，充分利用各种基本放大电路特性来完成扩展频带。

2. 负反馈技术

反馈就是把输出电压或电流的一部分（甚至是全部）通过一定的方式送回放大器（级）的输入端。被送回的信号相位和输入的信号相位相反的反馈就称为负反馈。由晶体管电路知识得知，放大器具有反馈时的放大倍数为 K_F ：

$$K_F = \frac{K_o}{1 - K_o \beta}$$

* 密勒电容效应是指在共发射极状态下，输入端基极和集电极之间的集电结电容 C_{ob} 将由于信号的反馈作用而增大 β 倍的效应。从基极看进去的等效电容是密勒电容和发射结电容之和。

式中 K_o ——放大器无反馈时的放大倍数；

β ——反馈系数，由反馈网络所决定。

放大器引入负反馈后可以改善其频率特性。但是，放大器的放大倍数要下降。

负反馈作用的基本原理是这样的，当频率升高，原放大器的放大倍数随频率升高而下降时，输出信号变小，负反馈电压 $K_o\beta$ 也变小。由于负反馈的存在，放大器输入端总信号（即为原信号减去反馈信号）减小较少，结果输出信号也就减小较少，这样就改善了放大器的高频特性。负反馈还可以使放大器直流工作点更加稳定，使得整个放大器的工作更加稳定可靠。

集成线性放大器中负反馈电路的形式很多，本节只介绍最基本的电路形式。

（1）本级负反馈 放大级本级的负反馈电路有两种形式：图11-6中反馈网络是发射极电阻 R_e ，这是串联反馈形式；图11-7是利用电阻 R_f 的并联反馈形式。

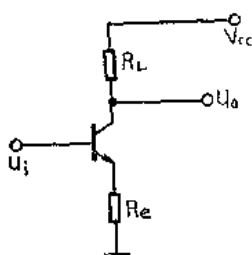


图 11-6 利用发射极电阻的串联反馈

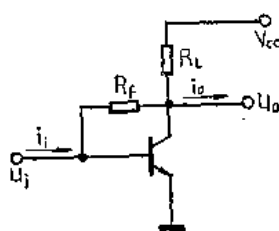


图 11-7 简单并联反馈电路

在图11-6中，反馈电阻 R_e 是串联在输入信号回路上，这时放大器输入输出阻抗都比无反馈时高，适合于做电压放大用。在图11-7中反馈网络电阻 R_f 对信号而言是并联的。这种形式的反馈会降低放大器的输入及输出阻抗，适合于做电流放大用。根据电路上的要求可以用串、并联反馈放大级组成负反馈的级联电路。并-串联负反馈电路具有低阻抗输入、高阻抗输出，串-并联负反馈电路具有高阻抗输入、低阻抗输出。本级负反馈虽然对改善放大器特性有一定作用，但它不能广泛用于多级放大器中，因为多级直接耦合的联接会造成直流电平的逐渐升高。为解决电平匹配问题就要引入电平移位电路，例如，采用PNP管、稳压二极管等，这些器件在运算放大器中采用是不成问题的，但PNP管的截止频率不容易做得很高，而且稳压二极管的噪声系数很大，这些都限制了它们在高频或小信号放大器中的应用。所以只有本级负反馈是不够的。

（2）两级负反馈 两级负反馈就是把经过两级放大后的信号再以反馈网络负反馈至第一级的输入。图11-8是共发射极的两级串联负反馈电路。

图中负反馈信号从 T_2 管输出，通过反馈网络 R_f 反馈到 T_1 管的发射极电阻 R_e 上，和输入信号相串联。这种放大级具有较高的输入阻抗和较低的输出阻抗。

当负反馈较深时，放大器的电压增益 K_v 可以用下面的近似公式进行计算：

$$K_v = \frac{u_o}{u_i} \approx -\frac{R_L}{R_e}$$

“-”号表示放大级是反相输出。放大器的放大量基本上取决于电阻比。这就便于在集成电路中制造，保证放大器的电压增益为设计值。

图11-9是共发射极的两级并联负反馈电路。

反馈信号取自 T_2 管的发射极电阻 R_e 上，反馈信号和输入信号在输入端并联。这种放大级

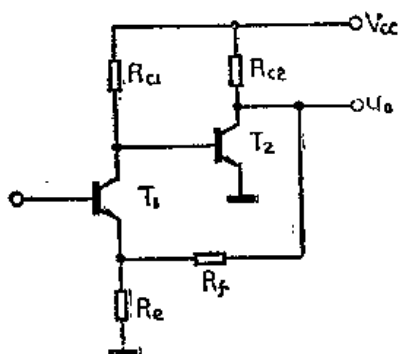


图 11-8 两级串联负反馈电路

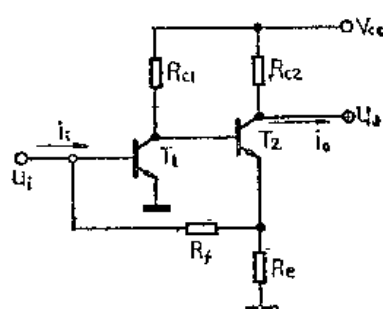


图 11-9 两级并联负反馈电路

具有低的输入阻抗和高的输出阻抗。当两晶体管的电流放大系数比反馈放大器希望实现的增益高得多时，该放大级的电流增益 K_I 可以用下面的近似公式进行计算：

$$K_I = \frac{i_o}{i_i} \approx -\frac{R_f}{R_e}$$

“-”号表示输出信号与输入信号反相。同样放大器的电流增益基本上取决于电阻比，这对集成电路是有利的。

当然，在线性放大器中的负反馈电路不只是限于两级之间，也可以在多级之间进行。

三、集成音频放大器

图11-10是输出功率为3W的音频功率放大器的线路图。

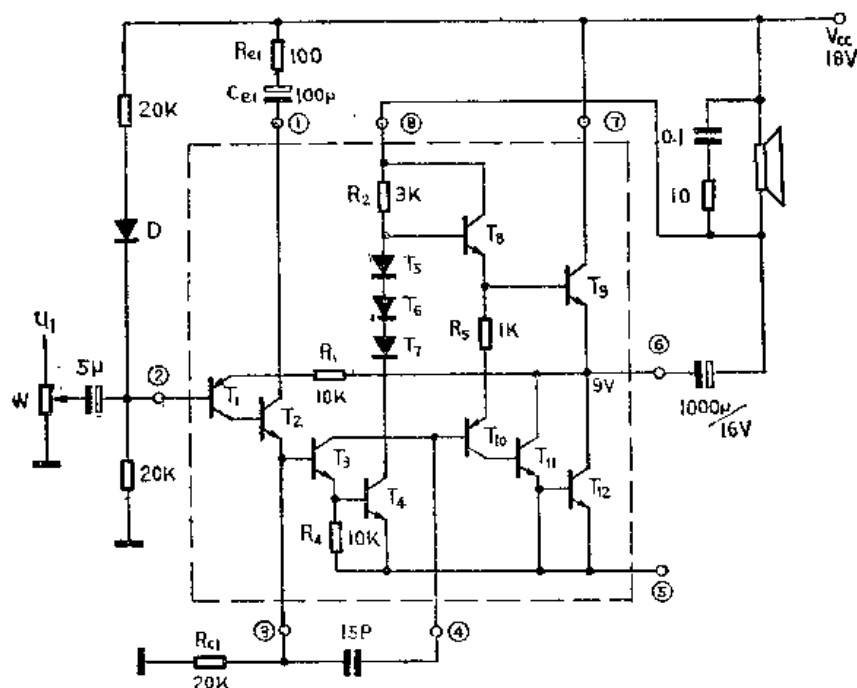


图 11-10 3 W 音频功率放大器

图中虚线框内是放大器本身的电路图。虚线之外是外接的元器件。当外接电源电压 V_{CC} 为18V时，在8Ω的负载电阻上，可以输出3W左右的音频功率。

下面来分析这个电路，信号电压 u_i 经电位器 W 后，送至输入端②，输入级是单端输入电路。 T_1 、 T_2 组成复合管的射极输出电路，以保证放大器具有较高的输入阻抗。 T_3 、 T_4 组成复

合推动管，作为后级推挽输出的推动级。 T_5 、 T_6 、 T_7 是三个二极管起电平移位作用，同时它们和 R_2 、扬声器为推动级的负载（电源电压通过这些元件接到 T_3 、 T_4 管的集电极上）。 T_5 、 T_6 、 T_7 又是决定推挽输出级静止工作点的元件。 T_8 、 T_9 、 T_{10} 、 T_{11} 、 T_{12} 管共同组成复合推挽输出级，保证电路具有一定输出功率的能力。由输出端⑥至 T_2 集电极间接电阻 R_1 是反馈电阻，它的作用是使只要 T_1 管基极电压为 $(\frac{1}{2}V_{CC} + V_{BE})$ 时，就保证输出端电压为 $\frac{1}{2}V_{CC}$ 。端子③④之间接的15pF小电容是进行相位校正用的，以防止电路产生高频自激。端子①之外接的 R_{c1} 、 C_{c1} 和 R_1 一起组成信号负反馈网络，其反馈系数为 $\frac{R_{c1}}{R_{c1} + R_1} \approx \frac{R_{c1}}{R_1}$ 。在有负反馈时，电路增益约等于反馈系数，故此级电路的闭环增益约等于 R_c/R_1 。在端子③之外接的电阻 R_{c1} 是输入级射极跟随器的负载电阻。变更 R_{c1} 值可以改变 T_3 的基极电位，故可调节输出中点电位。正常运用时，⑥端直流电位应为 $\frac{1}{2}V_{CC}$ ，这样才能保证推挽级获得最大的不失真输出。该放大器由于输出功率较大，应用时需外加一定的散热片（器）。

四、集成宽频带放大器

图11-11是集成宽频带放大器的电路图。从图中看出，这个放大器基本上由两级共发射

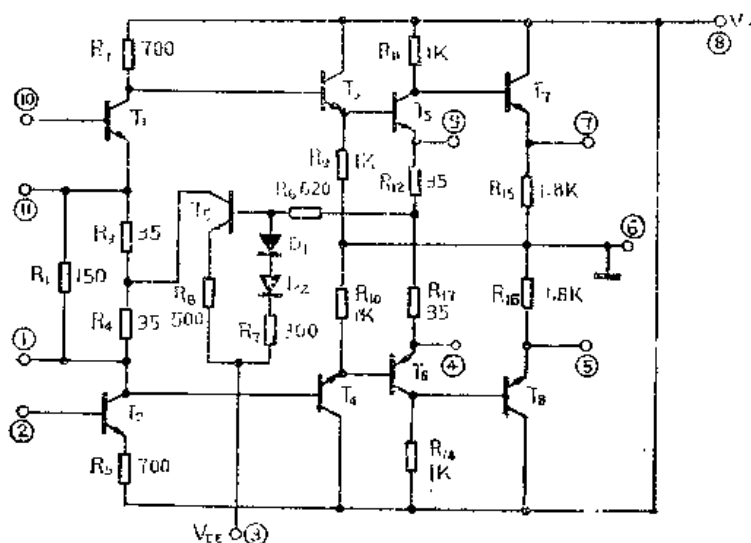


图 11-11 集成宽频带放大器的电路图

极-共集电极的级联差动放大级组成。 T_1 、 T_2 为第一级共发射极差动放大电路。发射极电阻 R_3 、 R_4 起串联电流负反馈作用，借以扩展频带。端子①和⑪供外接补偿电容用。 T_1 和 T_3 、 T_2 和 T_4 分别组成两个共发射极-共集电极级联电路。放大后的信号送到第二个共发射极差动放大级 T_5 、 T_6 去。而 T_5 和 T_7 、 T_6 和 T_8 又分别组成两个共发射极-共集电极级联电路，端子①和④供第二差放级进行外接补偿电容用。信号最后由 T_7 、 T_8 射极输出。放大器总的是平衡输入、平衡输出。晶体管 T_5 和 D_1 、 D_2 及电阻 R_6 、 R_7 、 R_8 组成恒流源，供第一、第二级差放的偏流。 R_6 的一端接A点，目的是利用负反馈来稳定工作状态。例如，当 T_1 集电极电流增加时， T_1 集电极电压下降，经 T_3 和 T_5 的EB结使 T_6 的发射极电压下降（即A点电位下降）。A点通过 R_6 使得恒流源电流减小，从而使 T_1 集电极电流减小。这样的负反馈就保证了放大器工作状态的稳定。

放大器在未加任何补偿的条件下,可以给出15MHz以上的带宽,并有400倍左右的增益。如果在端子①、②、④、⑤加适当的外接电容补偿(补偿电容为几十pF),频带可以展宽到几十MHz。

§11-2 集成稳压器

稳压器又称为电压调整器,它是提供恒定直流电压输出的电子装置。任何电子设备和仪表几乎毫无例外地要采用稳压器。正是由于稳压器应用广泛,才使得集成稳压器成为继运算放大器之后迅速发展起来的模拟集成电路的重要分支。本节将对集成稳压器的基本原理、器件参数和典型电路进行分析和介绍。

一、稳压器的类型及参数

晶体管稳压器在晶体管电路中已经学习过,本节只简要回顾一下稳压器的基本特性,以便为学习集成稳压器时引用。

1. 三种类型的稳压器

(1) 串联式稳压器 图11-12是串联式稳压器的基本原理图。

“串联”是指负载和稳压器中的调整管是以串联的方式连接的。它的基本工作原理是,稳压器的输入电压 V_{in} 是不稳定的,经调整后在输出端应得到稳定的直流电压 V_o 。如果由于负载电流的变化引起输出电压不稳定,产生 ΔV_o 的变化,这时由取样电路取出 $\Delta V_o \beta$ 一部分。此部分电压加到误差放大器上,与基准电压 V_i 进行比较。比较放大后的信号,去推动调整管,让输出电压产生相应变化,使之稳定。

串联稳压器的负载能力较强,电压稳定性较好。但是在调整管上要消耗较大的直流功率(因为全部负载电流都要流过调整管),效率较低。目前的集成稳压器大多采用串联稳压的电路形式。

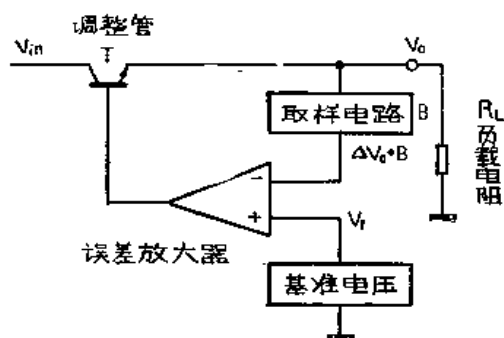


图 11-12 串联式稳压器的基本原理图

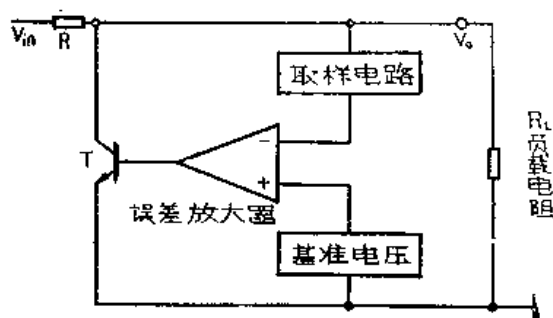


图 11-13 并联稳压器的基本原理图

(2) 并联稳压器 图11-13是并联稳压器的原理图。图中负载是和调整管成并联关系。并联稳压器的基本原理是这样的,和负载相并联的调整管相当一个可变电阻。当负载变化引起输出电压变化时,通过取样电路取得一个电压变化量,成为误差放大器的输入信号,这一信号与基准电压进行比较后,产生相应的输出信号去推动调整管,使流过调整管电流产生相应变化(增加或减少),使流过电阻 R 的电流改变,达到使输出电压趋于稳定的目的。由基本原理可以看出,在并联稳压器中,流过调整管的电流是很大的,而且在负载电流小时流过

它的电流就更大些。

并联稳压器的效率仍然不高，它的优点在于：输出短路时不易损坏调整管。这种电路形式在集成稳压器中较少采用。

(3) 开关稳压器 针对串、并联式稳压器效率低的缺点，而提出了开关稳定器，图 11-14 是它的基本原理图。

串、并联稳压器中的调整管都处于连续的工作状态，因而消耗功率很大。开关稳压器的调整管处于开关状态。大家知道，晶体管在截止状态下基本上不消耗功率，在饱和导通时，由于饱和压降电压很低，消耗功率也较小。开关稳压器中的调整管就是处于这种状态下工作的。开关稳压器中引入了 LC 滤波电路，当输出电压 V_o 减小时，取样回路将输出电压的变化量送给误差放大器，误差放大器以这一电压与基准电压之差进行工作。其输出电压加到调整管基极，使处于导通（或截止）状态下的调整管迅速截止（或导通），在调整管状态发生改变时，对滤波电路 LC 进行充电。在下一个状态改变瞬间则由 LC 回路来维持输出电流。可见，开关稳压器之所以保持输出电压的恒定，是靠 LC 回路和调整管之间不断产生的间歇振荡的方式来保证的。由于这种充放电过程是在很短的时间内进行的，所以输出电压保持恒定。

开关稳压器的优点是效率很高，可以比串、并联稳压器高 3 倍以上，其缺点是稳压效果不如前两种，输出纹波较大。除在大功率稳压器中采用外，通常不采用。

2. 稳压器的主要参数

集成稳压器和分立元件稳压器工作原理是相同的，电路形式也是相似的，所以稳压器的参数也是相同的。这些参数是：输出电压 V_o （或输出电压范围）；输入电压 V_i （或输入电压范围）；集成稳压器的 V_o 及 V_i 大多在几 V 至几十 V 之间。最小输入、输出电压差 $(V_i - V_o)$ ；为了保证调整管正常工作，集成稳压器的 $(V_i - V_o)$ 一般在 2 ~ 4 V 以上。最大输出电流 I_o ；集成稳压器的 I_o 一般为几十 mA 至几 A。输出电阻 R_o ；集成稳压器的输出电阻在 0.02Ω 以下。

输出电压温度系数 K_T ，它是表示稳压器温度稳定性的一个参数。它是在输入电压、输出电流恒定时，温度每变化 1°C ，输出电压变化的相对值，用每度百分数表示。目前集成稳压器的 K_T 可以达到 $\pm 0.02\%/^\circ\text{C}$ 以下。

电压调整率 S_V ，它表示在一定温度下，负载电流一定时，输入电压的变动而引起单位输出电压的相对变化的百分数。目前集成稳压器的 S_V 可以达到 $0.002\%/V$ 以下。这就是说，在输入电压每变化 1V 时，输出电压相对变化为 0.002%。

纹波抑制比 S_R ，稳压器输入一般是整流滤波后的直流电压，其中包含有一定的交流成分（交流纹波），稳压器对交流成分的抑制能力可以用 S_R 表示。在数值上 S_R 用输入纹波电压 V_{iPP} 和输出纹波电压 V_{oPP} 之比的对数表示，即

$$S_R = 20 \log \frac{V_{iPP}}{V_{oPP}} \quad (\text{dB})$$

集成稳压器的纹波抑制比可达 70dB 以上。

稳压器的其它参数这里就不再逐一介绍了。

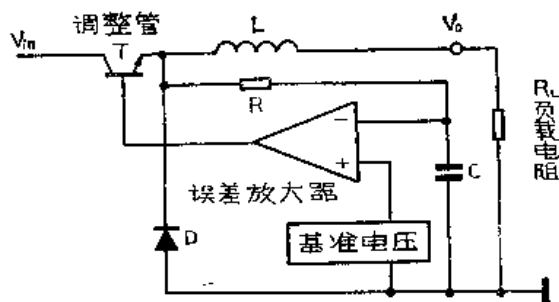


图 11-14 开关稳压器的基本原理图

二、集成稳压器的特点

集成稳压器在工作原理上虽然和分立元件电路并无多少区别,但在电路形式上、电路设计上确有一些特点,这些特点是和集成电路工艺特点有联系的。

1. 集成稳压器在电路上的特点

集成稳压器也和分立元件稳压器一样,有输出电压固定和输出电压可变两种,它们在电路形式上是相同的,只是取样网络有所不同。集成稳压器在电路上有如下特点:

(1) 集成稳压器的比较放大器均采用差分放大电路,因为这种对管放大电路在集成电路中很容易制造,而在电性能上又比较优越。

(2) 多用晶体管。在集成电路中制造晶体管比做电阻容易,所以集成稳压器电路用的晶体管数目较多,而不用高电阻和电容,因此电路形式上比较复杂。

(3) 在功率较大的集成稳压器中,调整管的温升会影响基准电压的数值,因此在集成稳压器中要精心设计基准电压,保证基准电压在一定温度范围内保持不变,从而降低稳压器的电压温度系数。另外,在版图排列上要使基准电压元件尽量不靠近调整管。有时为了提高稳压器芯片的合格率和降低电压温度系数,采用调整管和控制电路芯片分离的两片式结构,然后再封装在同一管壳基座上。

(4) 采用过流、过压、过热保护电路。在串联式稳压器中,如果输出短路,则全部输出功率将消耗在调整管上,很容易造成调整管的损坏。在集成稳压器中多采用短路保护。为了防止稳压器的过热损坏,有些电路还加入了热关断电路,这些电路要增加一定数量的晶体管,在分立元件中要加大成本,而在集成电路中,却是轻而易举的。

(5) 起动电路。在集成稳压器中,为了使基准电压正常工作和减小其他电路对基准电压的影响,采用一种起动电路,它只是在电路开启时起作用,电路正常工作后,起动电路就失去作用。

综上所述,集成稳压电路可以用图11-15所示形式表示。

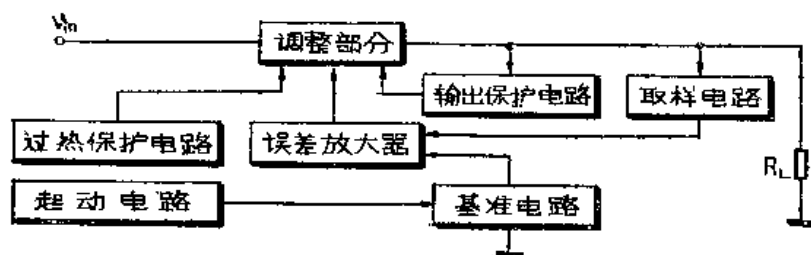


图 11-15 集成稳压器的组成部分

其中保护电路和基准电压电路下面将具体介绍,其他电路将在介绍稳压器电路时再加具体介绍。

2. 基准电压电路

基准电压是稳压器赖以输出稳定的基础,输出电压的变化量和基准电压的差值作为误差(取样)放大器的输入信号。基准电压本身的数值及稳定性对稳压器的性能有直接影响。对基准电压最重要的要求是它本身的稳定性,即它的数值不应随时间和温度变化。当通过基准电压源的电流发生变化时,其电压也应保持不变(也就是要求基准电压源本身内阻要小),温度稳定性要好。例如,要求稳压器的温度系数为 $0.01\%/^{\circ}\text{C}$ 时,则基准电压本身的温度系数一定要优于这个值才行。因为基准电压的影响还要通过误差放大器放大后送到调整管去。

在要求精度高的稳压器中，基准电压本身的噪声，通过放大后也会反映在稳压器的输出电压上去。另外，基准电压电路形式应便于集成。因此，对基准电压电路要求是：①电压数值合适，稳定性好，内阻低；②温度系数要小；③噪声低；④便于集成。基准电压的组成方式有以下几种。

(1) 利用二极管正、反向特性的基准电压。在本书第九章第四节中，曾经介绍了二极管正向工作时可以提供0.7V左右的稳定电压，它具有负温度系数，温度系数为 $-2\text{mV}/^\circ\text{C}$ 。集成电路中的晶体管基极和发射极之间的反向压降的温度系数和电流大小有关。为了得到稳定的基准电压，应该由恒流源向二极管提供电流。用多个正反向二极管串联，并和反向二极管的串联组合，可以得到各种数值的基准电压。但是，简单的二极管串联组合会带来温度系数的累加，我们很容易想到，把具有正温度系数的恒压源和具有负温度系数的恒压源串联起来使用，它们的温度系数可以得到一定的补偿。图11-16就是这种简单温度补偿的基准电压电路。

由于正向、反向二极管的温度系数不相等，同时电路中的半导体电阻 R 的数值也是随温度而变的，所以这种简单电路的温度系数只能得到部分的补偿，不可能得到完全的补偿。

(2) 全温补偿型基准电压 全温是指电路应用的全部温度范围，图11-17是一个全温补偿型基准电压电路。

在电路中，以恒流源 I_0 代替电阻 R ， D_1 为反向二极管，晶体管的 BE 结、 D_2 、 D_3 为正向二极管，它们和电阻 R_1 、 R_2 共同组成全温补偿电路。具体工作过程如下：当温度升高时， D_3 管压降要下降，使输出电压 V_0 有下降的趋势。然而电压 V_{01} 在温度升高时会升高，这样又使 V_0 有上升的趋势。同时，电阻又具有 $0.002/^\circ\text{C}$ 的温度系数（集成电路中基区薄层电阻为 $200\Omega/\square$ 左右时，电阻具有0.2%的温度系数）。恰当选取 I_0 和电阻 R_1 、 R_2 的数值，就可以得到全温补偿的基准电压 V_0 。这种全温补偿的原理，是可以利用数学关系式得到证明的。

上述全温补偿的基准电压，温度特性好，电路中所有元器件均可以制作在集成电路中，该电路的缺点是基准电压内阻较大。其内阻值近似等于电阻 R_1 、 R_2 的并联。

(3) 负反馈型基准电压 图11-18是利用晶体管的负反馈电路构成的基准电压电路。

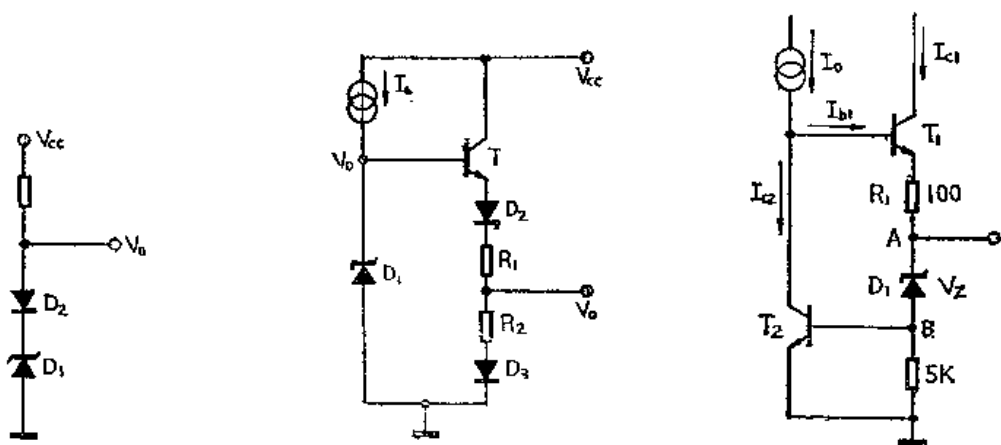


图 11-16 简单温度补偿基准电压 图 11-17 全温补偿型基准电压 图 11-18 负反馈型基准电压

从图中可以看出， $V_0 = V_Z + V_{BE}$ ，要想得到全温补偿的基准电压 V_0 ，其对温度的变化率应为0；即 $\frac{dV_0}{dT} = 0$ 。要满足这一点是不困难的，因为 V_Z 具有正温度系数（即 $\frac{dV_Z}{dT} > 0$ ），而

V_{BE} 具有负温度系数（即 $\frac{dV_{BE}}{dT} < 0$ ）。而流过 V_Z 、 V_{BE} 的电流不相同，恰当选择流过 D_1 、 T_2 的电流，就可以得到全温度范围的补偿，保证 V_o 具有0温度系数。

上述电路采用的是负反馈，对 V_o 还有自动稳定的作用。如果由于某种原因（温度或电压变动），使 T_1 管电流 I_{C1} 增加， V_o 会增加，则 T_2 管基极电位要升高，引起 T_2 管电流 I_{C2} 增加，因为 I_o 为恒流源，所以提供电流是恒定的，这样就会使 I_{B1} 减小， I_{B1} 减小导致 I_{C1} 下降，所以保持 V_o 不变。从电路中还可以看出， V_o 是经 R_1 从 T_1 管发射极输出的，输出阻抗很低，基本上由 R_1 之值决定，所以这种基准电压还是低内阻的，在集成稳压器中得到广泛采用。

3. 保护电路

为了保证稳压器安全可靠地工作，和由于集成电路中制造晶体管的方便，集成稳压器中广泛采用各种保护电路。

（1）过流保护电路 在电子设备中，常常采用熔丝（保险丝）进行过电流保护。在集成稳压器的输出电路上外加保险丝是起不到保护作用的。因为电路的电流过载需要一定时间才能烧断熔丝，而这段时间已足以导致晶体管（调整管）的损坏了！所以集成稳压器的过流保护要采用动作迅速的电子电路，在过流的一瞬间就要起保护作用才行。

集成稳压器中的过流保护电路有两种类型，一种称限流（恒流）型保护电路，另一种称减流型保护电路。

限流型保护电路是指稳压器输出出现短路时，输出电流保持恒定，以达到保护调整管之目的。

减流型保护电路又称限功率保护电路。当稳压器输出出现短路时，输出电流会迅速下降，保证调整管的功耗在允许数值之内，达到保护稳压器之效果。

图11-19是利用取样电阻和二极管组成的限流保护电路。图中限流电阻可以制作在稳压器内，也可以设计在稳压器之外——根据限电流的大小适当选择 R_{sc} 之值。当输出电流增加时，流过电阻 R_{sc} 的电压降就会增加。在 $V_{sc} \geq 0.7V$ 时，二极管 D_1 、 D_2 就会导通，调整管的基极电流会被二极管分流，输出电流 I_o 再大，基极被分流会越多，从而使输出电流保持在一定的 I_{omax} 水平上。电路中 R_{sc} 的数值可以利用下式加以确定：

$$R_{sc} = \frac{V_{BE}}{I_{max}}$$

I_{max} 为预先设定好的最大输出电流值。 V_{BE} 取0.7V。

图11-20是利用取样电阻和三极管组成的限流保护电路。

它的工作原理和图11-19相似。当输出电流增加到 I_{max} 时，晶体管 T_2 开始导通，分去流向调整管基极的电流，从而限制了调整管输出电流的增长，达到保护调整管的作用。

图11-21是另一种限流保护电路。从图中可以看出：当输出电流增加时，使 T_3 导通，则

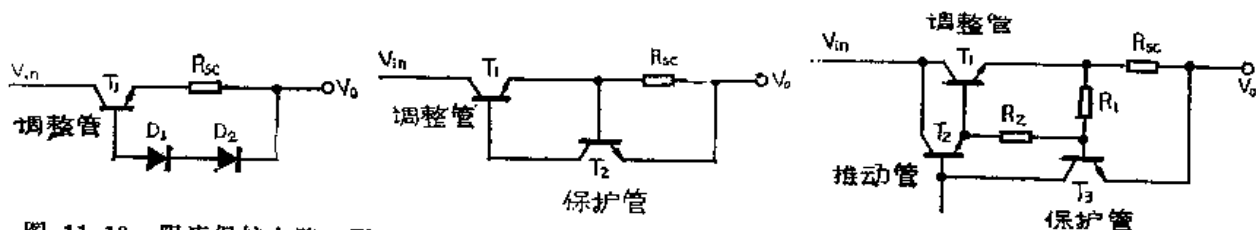


图 11-19 限流保护电路 图 11-20 利用晶体管组成的保护电路 图 11-21 另一种限流保护电路

电路就可以起限流保护作用。 T_3 导通是由输出电流在电阻 R_{SC} 上产生的电压降 ($R_{SC} \cdot I_{max}$) 和电阻 R_1 、 R_2 对 V_{BE1} 分压所构成的。

$$\frac{R_1}{R_1 + R_2} \cdot V_{BE1}$$

也就是当

$$I_{max} \cdot R_{SC} = \left[V_{BE3} - \frac{R_1}{R_1 + R_2} \cdot V_{BE1} \right]$$

时, T_3 导通, T_3 对 T_2 基极分流从而达到限制输出电流的作用。显然在此电路中 R_{SC} 在同样 I_{max} 情况下, 可以取得更小些, 而限流是从 T_2 基极电流分流开始, 保护作用也更加好些。

限流保护电路对稳压器的突然电流增大 (例如输出瞬时短路等) 有一定保护作用。但是大电流时间较长时, 调整管已超过其耗散功率的情况下, 限电流保护电路仍然不能起有效地保护作用, 这就需要采用减流型保护电路。图11-22是限流型和减流型的输出特性曲线。

减流型电路的好处是始终保证调整管工作状态不超过其允许功耗。即使稳压器输出长时间短路, 也不会损坏稳压器的调整管。减流型保护电路又称限功耗保护电路。图11-23 是一种限功耗保护电路。

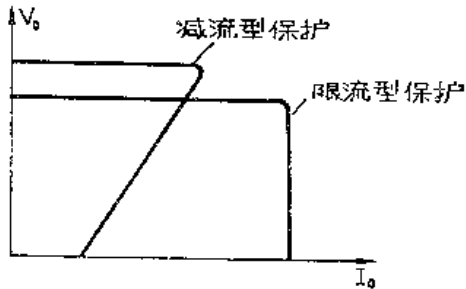


图 11-22 两种保护电路的输出特性

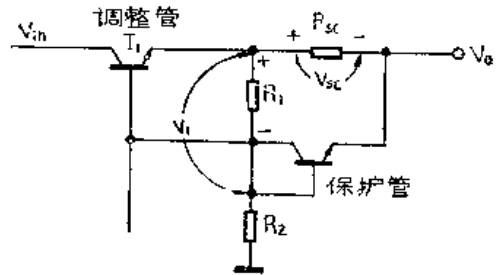


图 11-23 限功耗保护电路

从图中不难看出, 它和前述保护电路很相似。不同之点是保护管 T_2 的基极不直接接在调整管的发射极上, 而是接在由电阻 R_1 、 R_2 组成的分压器的中点之上。正常工作时, R_1 、 R_2 选择在对保护管不起作用的范围。当输出电路超过预先设定的最大电流 I_{max} 时, 流过取样电阻上的压降 V_{SC} 增加, 方向如图11-23上所示。当输入电压 V_{in} 为一定时, 输出电压 V_o 就要下降, 经过电阻 R_1 、 R_2 分压后加到保护管 T_2 基极电压 V_1 随之下降。从电路上看出, V_{SC} 与 V_1 方向相反, V_{SC} 与 V_1 之差是造成 T_2 导通的电压。 V_{SC} 增加与 V_1 的减小, 会迅速使 T_2 导通 (且一旦出现 T_2 开始导通就会加剧), T_2 导通对 T_1 基极进行分流, 从而使输出电压更加迅速下降, 输出电流也会随之急剧减少, 构成减流型保护电路。

(2) 过热保护电路 为了防止集成稳压器的过热损坏, 在集成电路中可以很方便地引入过热保护电路。一旦调整管发生热积累温度过高时, 电路可自行切断。图11-24 是一种过热保护电路。

过热保护电路由 D_1 、 T_2 、 T_3 和 R_1 、 R_2 组成。其工作过程如下: 当稳压器工作在正常温度范围内时, 设计使A点电压 $V_A < V_{BE3}$, 此时 T_3 处于截止状态, 对调整管的正常工作无影响。A点电压为:

$$V_A = (V_Z - V_{BE3}) \cdot \frac{R_2}{R_1 + R_2}$$

如果调整管温度升高时, T_1 管在硅晶片中所处位置的局部将会发热较高。在集成电路版图设

计上, 让 D_1 、 T_2 、 T_3 尽可能靠近调整管。当硅片局部温度升高时, D_1 具有正温度系数, V_z 将增加, 同时 V_{BE2} 、 V_{BE3} 具有负温度系数, V_{BE2} 、 V_{BE3} 将下降, V_z 的增加和 V_{BE3} 的下降将导致 V_A 电压的急剧增加, 当 V_{BE3} 的下降使 $V_A > V_{BE3}$ 时, 使 T_3 导通, 于是调整管的基极电压就会被 T_3 的导通而箝位于 V_{CES3} ($\approx 0.1V$), 调整管将截止, 电路会停止工作, 当温度下降, 满足 $V_A \leq V_{BE3}$ 时, T_3 管转变为截止, T_1 管重新开始工作, 稳压器自动恢复正常。

4. 启动电路

集成稳压器中还常设有启动电路。其作用是使集成电路稳压器在接通电源之后可以立即开始正常工作。图11-25是基准电压电路和启动电路的原理图。

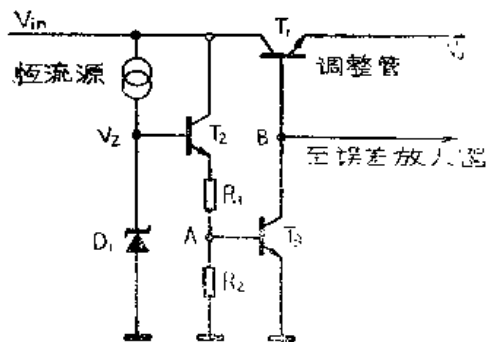


图 11-24 过热保护电路

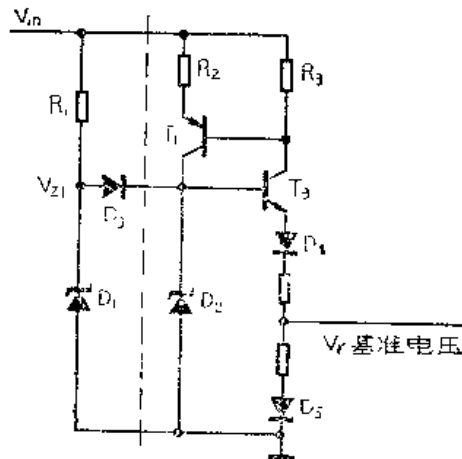


图 11-25 基准电压和启动电路

图中虚线右边部分是基准电压电路, 虚线左边是启动电路。在基准电压电路中, T_1 为横向PNP管, 是 D_2 的恒流源, 当没有启动电路时, T_1 管与 D_2 (T_1 与 T_2 也是) 相串联, 如果电压全部 (或大部分) 降在 T_1 管 CE 结之间, 则 D_2 管不能导通, V_{z2} 电压建立不起来, 则基准电压 V_z 将无输出, 稳压器不能正常工作。加入 R_1 、 D_1 、 D_3 的作用在于接通电源后, 给 T_2 基极以偏流。当 V_{in} 接通后, 通过 R_1 使 D_1 导通, 产生电压 V_{z1} , V_{z1} 通过 D_3 加到 T_2 管基极上, 使 T_2 管导通, 在 T_2 集电极电阻 R_3 上产生压降, 迫使 T_1 导通, T_1 的导通就使电压 V_{in} 加到 D_2 管上, 启动 D_2 管工作, D_2 一旦启动, 立即产生 V_{z2} 电压, 电路即开始正常工作。在集成电路版图设计上, D_1 、 D_2 完全相同。因此在 D_2 工作后产生的 V_{z1} 与 V_{z2} 完全相等。所以在 T_1 、 T_2 正常工作后, D_3 管两端电压相等, 则 D_3 管处于截止状态, 这样就将 R_1 、 D_1 对基准电压电路的影响由 D_3 完全隔离开了。也就是说, 电路借助启动电路正常工作后, 起 (启) 动电路即失去作用。同时避免了启动电路对基准电压温度系数可能引入的影响。

三、集成稳压器的电路分析

集成稳压器大多采用串联稳压方式, 按稳压器的引出端子有可调整式集成稳压器 (一般取样电阻外接, 输出电压可调) 和固定式集成稳压器 (取样电阻在内, 输出电压固定)。按输出电流分, 有小电流稳压器 (一般输出电流小于数百mA) 和大电流稳压器 (大于500mA)。按输出电压极性又可分为正电源稳压器和负电源输出稳压器等。但是, 各种稳压器的电路形式大都相似。图11-26是输出电压为+5V, 输出电流为2A的固定电压集成稳压器。

它的电路结构比较简单。由 R_1 、 D_1 、 D_3 组成启动电路, 其工作原理与图11-25相同。 T_1 、 T_2 、 T_3 、 D_2 、 D_4 、 D_5 和电阻 R_4 、 R_5 、 R_6 共同组成全温补偿型的基准电压电路。其中 T_1 向 D_2

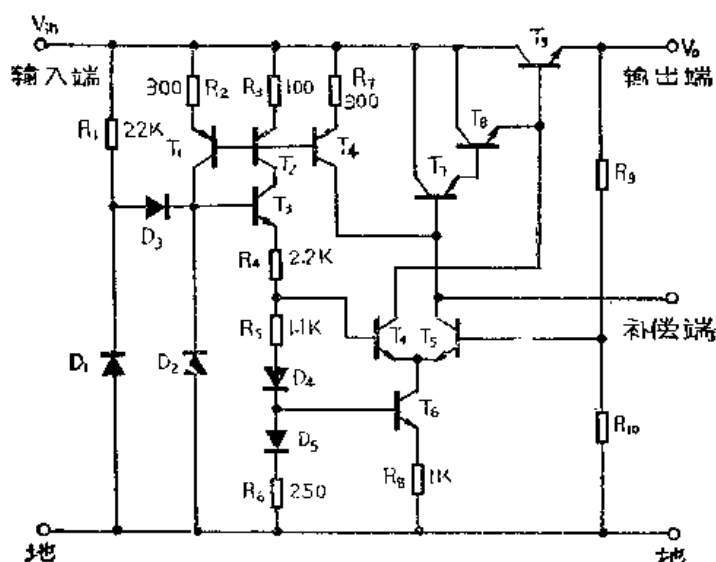


图 11-26 固定电压的集成稳压器

提供恒定电流，基准电压 V_{ref} 加于差动放大器(T_4 、 T_5 组成)的 T_4 管基极。差动放大器的信号电压由稳压器内取样电阻 R_9 、 R_{10} 分压后加于 T_5 管基极。差动放大器由恒流源 T_6 向它提供偏流，以改善差动放大器的性能。差动放大输出由 T_5 管送至 T_7 管基极， T_7 、 T_8 、 T_9 共同组成达林顿输出级。 T_{10} 管是差动放大级 T_5 管的有源负载，以提高差动放大级的灵敏度。 T_9 管为大功率调整管，以保证稳压器可以输出2A的电流。

应用集成稳压器时，应了解设备对电源的要求，选取相应参数指标的集成稳压器，明确各引出端用法，在外电路配接上相关元器件。应用时，应严格按照参数规范值，电压、电流的最大值不允许超过。当调整管上压降过大时，要注意散热（必要时应加散热片）。另外，应注意稳压器工作时是否有寄生振荡现象存在（可用示波器进行监视），如存在着寄生振荡可在稳压器的外补偿端加以适当电容进行消除。否则有烧毁稳压器的危险。在稳压器输出电压或电流不能满足要求时，可以采用外接辅助电路，以扩大稳压器的应用范围。

§11-3 功率集成电路

集成电路向大功率方向发展，是集成技术的重要发展方向之一。在克服各种设计、工艺难关之后，1968年诞生了5W单片功率集成放大器。1973年50W单片功率集成放大器宣告研制成功。可见，功率集成电路在技术方面一旦突破就飞速向前发展。大家知道，有些电子系统，最终要对所处理的信息进行功率化。譬如，收音机对无线电信号进行放大、检波……等，最终要推动扬声器发出声音。电子计算机要将计算（或控制）结果在宽行打印机上输出（或控制设备）等等。广泛的应用需要，促进了功率集成电路的发展。

那么，什么是功率集成电路呢？当然功率集成电路是指消耗较大功率的集成电路。至于对功率指标的限额至今仍未有统一的规定。国内通常认为集成电路本身的功耗在1W以上的集成电路均称为功率集成电路。

显然，在功率集成电路中，既有线性功率集成电路（例如功率音频放大器，功率运算放大器），也有非线性功率集成电路（例如，功率变换器、功率开关等）。这里我们将介绍有关功率集成电路中的基本问题，这对线性电路和非线性电路都是适用的。

一、功率集成电路中的特殊问题

在以耗散功率大为主要特征的功率集成电路中，热稳定性、功率晶体管、隔离方法、管壳封装散热等就成为影响功率指标的主要矛盾。

1. 热稳定性

功率集成电路中的耗散功率，将主要以发热的形式表现出来，发热会导致电路工作不稳定甚至烧毁电路。为解决热稳定性，除在电路设计上应尽量减少发热外，还应提高电路的耐热性，即电路温度升高时，仍可以正常工作。

需要指出，耗散功率对电路工作是无益的，需要得到的是输出功率。为了得到大的输出功率，电路本身要耗散一定的功率是不可避免的。在电路设计上要尽量提高输出功率、减少耗散功率（也就是提高电路的效率）。例如甲乙类放大器具有较低的静态电流，而甲类放大器就具有较大的静态电流，前者具有较高的效率。在集成功率放大器电路设计上，应尽量采用前者。另外，在电路设计和版图设计上应注意防止热与参数之间的恶性循环。即发热使电路参数变坏，而参数变坏导致电路进一步发热。这样电路一旦发生过热就很容易烧毁。例如，功率集成电路中应有温度负反馈电路（温度升高时，电路中电流或电压下降），在版图设计上，热敏感元件应远离发热源——功率晶体管。

2. 功率晶体管

一般模拟集成电路中的晶体管功率都很小，功率集成电路中的输出管，一定要采用大功率晶体管。首先，大功率晶体管要占用较大的硅片面积，甚至占用功率集成电路中大部分硅片面积（例如，一个15W的功率放大器，功率管占集成电路芯片总面积的40%左右），占用大的硅片面积对提高电路芯片合格率是不利的。在版图结构上要尽可能压缩功率晶体管占用的硅片面积。其次，功率晶体管的发热通常不是全部面积上等温的，而是由于电流分布不均匀，在芯片的功率管部分会出现“热斑”（局部过热点）。它是导致功率晶体管过热损坏的主要原因。所以在功率晶体管中要尽量使电流分布均衡（特别是采用梳状结构或多个晶体管并联），防止出现热斑。还有，要尽量减小功率晶体管的集电极串联电阻和集电极发射极之间的饱和压降（ V_{CES} ），因为功率晶体管工作在大信号的动态范围，而不象前置级晶体管只工作在很小的动态范围内。为了输出级电路采用推挽电路型的需要，功率集成电路中晶体管既要有NPN型管，又要有PNP型管。而且它们要能承受较高的电压和电流。所有这些不同于过去讲述的集成电路中的晶体管，这些是在功率集成电路中要予以注意的。

3. 隔离问题

数字集成电路和一般模拟集成电路大多采用PN结隔离。在功率集成电路中，PN隔离遇到了麻烦。为了得到较大的功率，功率集成电路中的电压不能只限于几V到几十V，甚至要高到百V以上。一般PN结隔离电压在50V左右，当然提高外延层电阻率可以提高PN结隔离电压，但这样将会导致集电极串联电阻的增加，同时对电路中其它元器件的制作也未必合适。除了击穿电压不能满足功率集成电路需要外，隔离区占用过大的硅片面积也是不可接受的。为了提高输出管电压，外延层一定要加厚，外延层加厚，隔离扩散的时间就要延长，这样隔离区除向下扩散外，还要进行侧向扩散，因而增大了隔离区占用的硅片面积（有时隔离区（槽）的面积要占去芯片总面积的一半以上）。为了解决功率集成电路中的隔离问题，工艺上还采用了“对通隔离”、“多晶硅隔离”和“介质隔离”等新的隔离方式。这些工艺原理将在第十二章介绍，这里不再详述。

4. 封装问题

功率集成电路的外壳封装是很重要的，因为它直接关系到电路芯片的热量是否可以很好地发散出来，而不至使芯片超过极限工作温度（通常认为硅器件的极限工作温度为 $175\sim 200^{\circ}\text{C}$ ）。在功率集成电路的封装中要尽量减小管壳的热阻，带有散热片的双列直插式管壳的热阻可以小于每瓦 5°C ，采用与功率晶体管 F 型相类似封装形式会具有更低的热阻。TO-5 型小型金属壳由于不便附加散热片，在功率集成电路中较少采用。在工艺上，芯片与管壳的焊（粘）接方式也是直接影响散热的重要因素，应加以注意。

二、功率集成电路中的晶体管和隔离方法

集成电路中的功率晶体管与分立器件功率晶体管的结构是不相同的。前者所有电极引线都要从芯片上方引出，而后的集电极多半是直接与外壳相连的，所以功率集成电路中的晶体管集电极串联电阻要高得多。在集电极下面加埋层固然可以降低集电极串联电阻，但由硅片表面至埋层上面（即外延层的）的集电极串联电阻并不能得到改善，特别在功率集成电路中外延层比较厚时，这段路径的电阻将会成为集电极串联电阻的主要部分，为此采用了“对通扩散”结构。如图 11-27 所示。

在进行埋层扩散后，外延层生长前，先进行高浓度的下隔离扩散，形成 P^+ 区，然后在埋层对应功率晶体管集电极引出线的位置上，进行高浓度的下集电区扩散 N^+ 区，再进行外延生长，其后，进行上隔离区扩散和上集电区扩散，在高温下，上下隔离区会同时向下、向上进行对扩散，很快上下隔离区就可以扩散对通。这样所用隔离扩散的时间比单向扩散要短得多，侧向扩散也少得多。集电区 N^+ 低阻通道也有助于减小集电极串联电阻，改善了功率晶体管特性。但要增加几道工序。

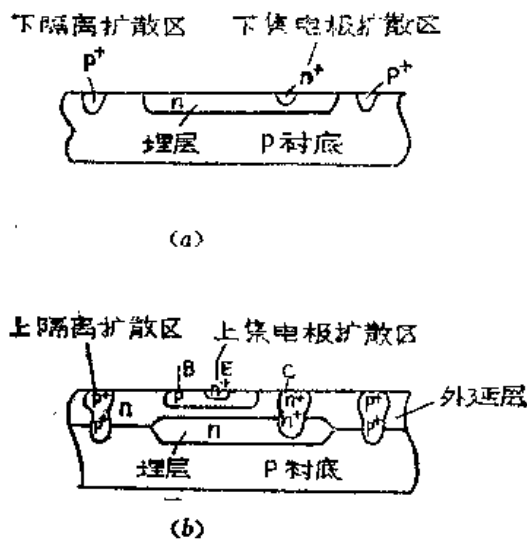


图 11-27 “对通扩散”隔离方法

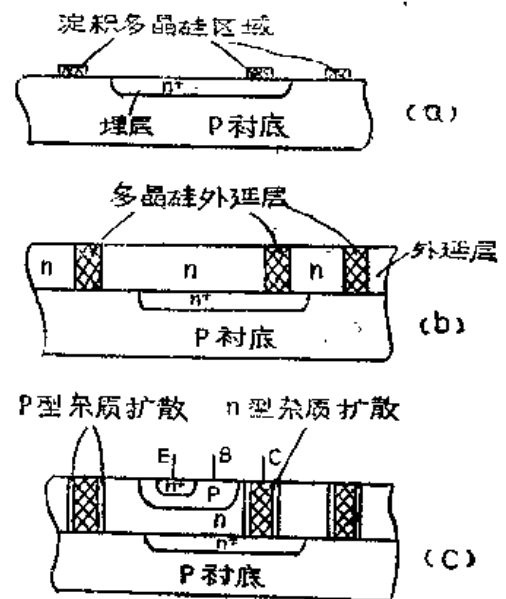


图 11-28 多晶硅扩散隔离方法

图 11-28 是利用多晶硅形成隔离扩散区和集电极重掺杂区的晶体管结构示意图。

根据理论和实验得知，杂质在多晶硅中的扩散速度要比在单晶硅中的扩散速度快一个数量级以上。多晶硅的这一特性，可以用于制造功率集成电路中的隔离区和功率晶体管，方法是在 P 型硅单晶衬底上进行埋层扩散后，于隔离区和集电极引出线处生长无定型多晶硅薄层（厚度为 $1\mu\text{m}$ 左右），然后进行外延生长，因为晶体结晶按照起初生长的方式进行生长（单

晶上还长单晶，多晶上仍长多晶），因此硅片表面分别同时生长单晶和多晶的外延层（图b）。然后进行隔离扩散，杂质沿多晶方向很快扩通外延层，从而形成隔离区。在集电区上进行N型高浓度杂质扩散形成集电极重掺杂的引线区（图c）。这样的隔离方法会大大改善功率晶体管的特性和隔离性能。利用多晶硅隔离技术也可以制造PNP型功率晶体管。再采用二次外延的多晶硅技术又可以解决PNP功率晶体管集电极不再接电路中最低电位的问题，从而扩大了PNP管在电路中的应用范围。

上述两种隔离方式，可以说是PN结隔离技术的改进，隔离电压仍不是很高的，隔离漏电流及寄生电容也较大。

大家知道，二氧化硅(SiO_2)是良好的电介质，例如 $1\mu\text{m}$ 厚良好的二氧化硅层就可以承受500V左右的高电压，可见如果把二氧化硅用于集成电路中的隔离，一定会得到很好的隔离特性。介质隔离正是利用二氧化硅的这一特性来进行功率集成电路中的隔离技术。

介质隔离的方法是，选取合适电阻率的N型硅单晶片作衬底，因为它将是制做集成电路的基础材料（PN结隔离中基础材料是外延层）。在其表面上生长二氧化硅层作为腐蚀隔离沟槽的保护层，然后进行光刻腐蚀——在硅片表面需要进行隔离处刻出“V”型槽。去除残存的二氧化硅层。在硅片表面生长 $1\sim 2\mu\text{m}$ 厚的新的二氧化硅层（这就是将起隔离作用的介质层），接下来进行多晶硅生长，一直长到和硅片原始厚度相近。其后对N型硅片一面进行研磨，直至把“V”型槽底部磨得显露出来为止。此时，多晶硅成了衬底。N型硅被二氧化硅层分隔成若干个区域——隔离岛。然后是在各隔离岛内制造元器件，这和PN结隔离工艺相同，制造出的元器件已置于二氧化硅隔离区之内了。这种隔离方式隔离特性好。但是工艺复杂，特别是在研磨N型单晶硅，显现“V”型隔离槽的工艺，既费时又不利于大量生产，故此种隔离方法只有在高压功率集成电路中才普遍使用。

三、典型功率放大器电路分析

在第一、二节中讲述的音频放大器和稳压器电路的耗散功率已都超过了1W，应属于功率集成电路。这里介绍了一种更为典型的功率集成电路——15W音频功率放大器。

图11-29是它的电路图。

该功率放大器采用多晶硅隔离工艺，在电源电压为+40V时，在 $R_L = 8\Omega$ 的负载上可以输出15W音频功率。全电路为单片功率集成电路，芯片面积约为 $1.7 \times 1.8\text{mm}^2$ ，其中推挽输出管约占硅片面积的40%，电路外壳外加散热片。

电路共由五部分组成：前置放大级、推动级、输出级、偏置电路和热关断电路。现对每部分电路加以介绍。前置放大级很简单，由 $T_1 \sim T_5$ 、 R_1 、 R_2 、 R_3 组成， T_1 、 T_2 管组成复合管放大，横向PNP管 T_3 是它们的集电极负载。 T_4 、 T_5 管组成复合射极输出器，输出电压可由端子引出。它们的电源是由偏置电路提供的，内部稳压电压为 V'_{CC} （暂时先不去看插入的热关断电路和偏置电路部分）。

推动极（又称激励级）的 T_{20} 、 T_{21} 起放大作用， T_{22} 是它们集电极恒流源负载。 T_{10} 是基极偏置电路。 T_{23} 、 T_{24} 、 T_{25} 、 R_{17} 组成输出级的偏置电路，向推挽级提供起始的偏流，保证输出级工作在甲乙类工作状态，因为 $V_{SD} = 3V_{BE} - I_{C2}R_{17}$ ，由于 T_{22} 是双集电极横向PNP管，流过两集电极电流和集电极面积成正比， $I_{C2} = NI_{C1}$ 。由恒流源的分析得知C点电压 $V_C = 2V_{BE}$ ，流过 I_{C1} 的电流为 $\frac{V_{BE}}{R_8}$ ，则 $V_{bb} = V_{BE} \left(3 - N \frac{R_{17}}{R_8} \right)$ ，由这个式子可以看出，设计 T_{22}

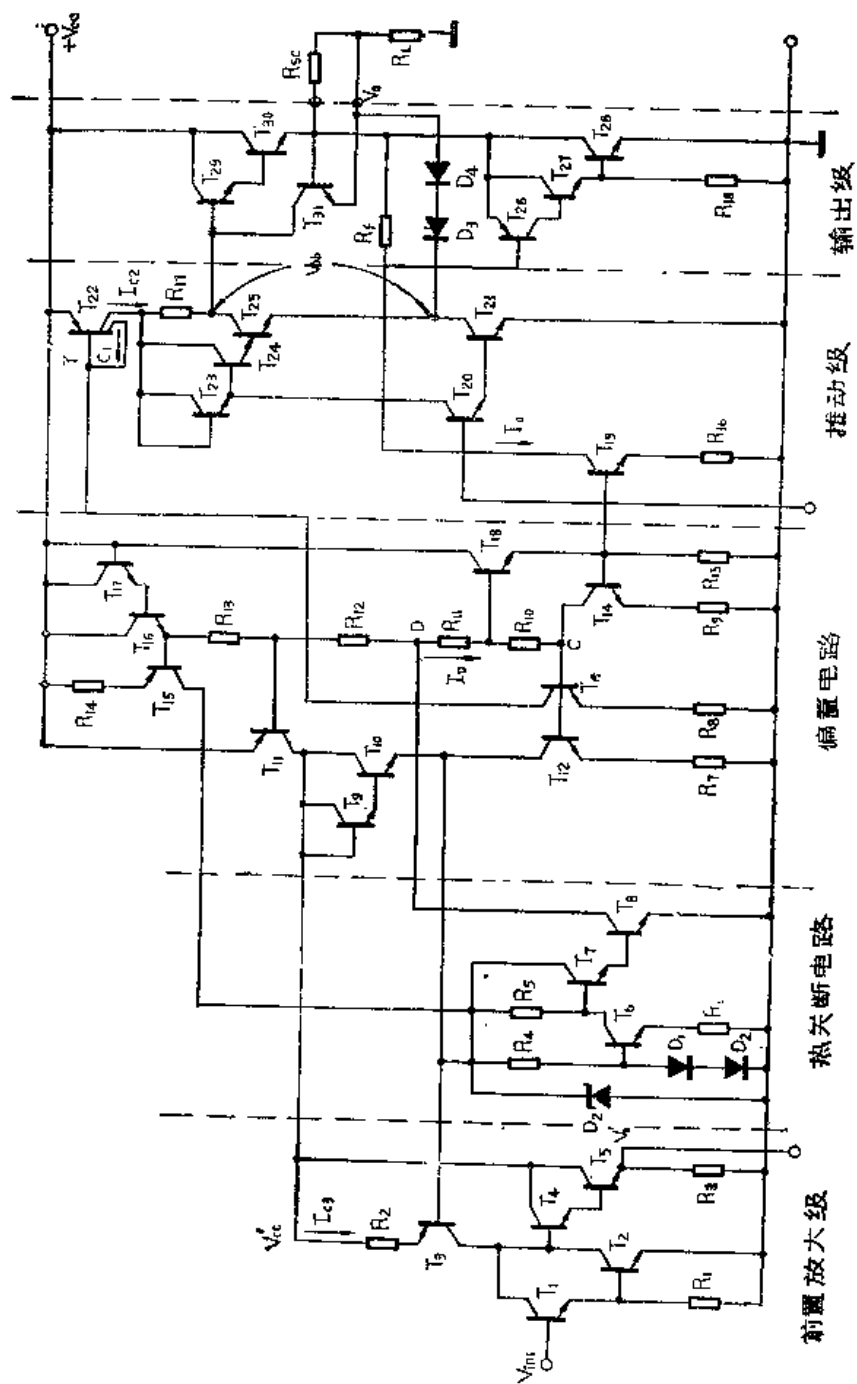


图 11-29 15W 音频功率放大器电路

两集电极面积比适当时, R_{17} 数值可以改变 V_{b5} 的电压值, 从而保证输出级为甲乙类, 且 V_{b5} 之值和 R_{17}/R_8 之比值有关, 而和它们的绝对值无关, 这便于在集成电路工艺中制作。同时, V_{b5} 之值几乎与电源电压无关, 也就是说, 在很宽的电源电压范围内均可以保证输出级不致于产生交越失真。

输出级由 T_{29} 、 T_{30} 和 T_{28} 、 T_{27} 、 T_{28} 组成互补推挽放大电路, T_{29} 是横向场助型 PNP 管, 具有良好的频率特性, 输出极中 T_{31} 、 D_3 、 D_4 、 R_{SC} (外接电阻) 组成输出短路保护电路。当正半周超载时, 在 R_{SC} 上产生 $I_{max} \cdot R_{SC}$ 压降, 会使 T_{31} 导通, 对 T_{29} 基极分流。当负半周 (T_{29} 、 T_{27} 、 T_{28} 工作) 超载时, D_3 、 D_4 导通, 对 T_{29} 基极进行分流, 达到保护 T_{27} 、 T_{28} 的功能。 R_{SC} 的数值要依最大允许电流而确定。

在本放大器中偏置电路的设计是异常巧妙的, 它给出电路中全部的偏置电流和恒定电压, 以保证全电路稳定的工作。这个偏置电路具有以下三个特点:

(1) 保证输出级中点电压为 $\frac{1}{2}V_{CC}$ 。

(2) 保证各偏流不受电源电压 V_{CC} 变化的影响。

(3) 向前置级提供内部稳定电压 V'_{CC} , 同时向热关断电路提供恒流。

下面分析其工作过程: 看由 $V_{CC} \rightarrow T_{17BE} \rightarrow I_{18BE} \rightarrow R_{13} \rightarrow R_{12} \rightarrow R_{11} \rightarrow T_{18FE} \rightarrow T_{14BE} \rightarrow R_9$ 支路。当各晶体管 β 很高时, 基极电流可忽略,

$$I_O = \frac{V_{CC} - 4V_{BE}}{R_{13} + R_{12} + R_{11} + R_9}$$

由于 T_{14} 、 T_{18} 完全对称, 设计 $R_9 = R_{18}$, 则流过反馈电阻 R_f 电流和 I_O 相等。看 $V_O \rightarrow V_f \rightarrow T_{20BE} \rightarrow T_{21BE}$ 支路, 则有,

$$V_O = 2V_{BE} + I_O R_f$$

将前式代入:

$$V_O = 2V_{BE} + R_f \frac{V_{CC} - 4V_{BE}}{R_{13} + R_{12} + R_{11} + R_9}$$

设计时取:

$$R_f = \frac{1}{2}(R_{13} + R_{12} + R_{11} + R_9)$$

则

$$V_O = \frac{1}{2}V_{CC}$$

可见输出电压 V_O 为输出电压的一半而与 V_{CC} 的具体数值无关。前置级的工作电流 $I_{C3} = \frac{V_{BE}}{R_2}$, 电路中 $R_9 = R_{10}$, 则 C 点电位 $V_C = 2V_{BE}$, 则流过 T_{12} 的电流 $I_{C12} = V_{BE}/R_7$, 流过 T_{13} 电流 $I_{13} = \frac{V_{BE}}{R_8}$, 由以上分析可知, 各级工作电流只与电阻及前向压降 V_{BE} 有关, 与电源电压无关。这就保证在电源电压变动时, 电路正常工作不受影响。

再看由 T_{15} 、 T_{16} 、 T_{17} 和 T_{11} 组成的内部恒压恒流电路。从 $V_{CC} \rightarrow T_{17BE} \rightarrow T_{16BE} \rightarrow R_{13} \rightarrow R_{12}$ 、 R_{11} 、 $R_{10} \rightarrow V_C$ 支路及 $V'_{CC} \rightarrow T_{11BE} \rightarrow R_{12}$ 、 R_{11} 、 $R_{10} \rightarrow V_C$ 支路可以解出:

$$V'_{CC} = \frac{V_{CC}R' - 3V_{BE}R' + V_{BE}R_{13}}{R' + R_{13}}$$

式中

$$R' = R_{13} + R_{11} + R_{10}$$

V'_{CC} 作为前置级的电源电压。

由 T_{16} 输出恒定电流作为热关断电路恒流源。

热关断电路由 D_2 、 D_1 、 D_2 、 T_6 、 T_7 、 T_8 组成。 R_6 的数值保证在正常状态下, T_6 处于饱

和状态, T_7 、 T_8 截止。当电路温度升高超过一定温度时, D_1 、 D_2 的正向压降减少, T_8 的 I_{C8} 减小, V_{C8} 上升, 当 $V_{B7} = 2V_{BE}$ 时, T_7 、 T_8 导通仍至导通饱和。 T_8 的过大集电极电流会使 D 点电位下降, 电流 I_O 下降。则 T_{12} 、 T_{13} 建立不起偏压。促使 I_{C12} 、 I_{C22} 减小或直至没有, 使前置级、激励级及输出级均停止工作。当温度下降后电路又会自动工作。巧妙的完成保护整个电路的作用。

§11-4 非线性模拟集成电路

模拟集成电路包括线性集成电路和非线性集成电路。前面讲述的都是线性集成电路, 至于集成稳压器, 尽管它的输入和输出不表现为线性关系, 但其工作过程中对信号变化量的放大、调整等各电路均属线性工作, 故一般将集成稳压器也称为线性电路。

线性集成电路适于集成工艺特点, 而且通用性强, 应用广泛, 无疑是模拟集成电路中的主流。但是, 随着集成电路工艺水平的提高, 非线性集成电路也已成为模拟集成电路中的一支后起之秀, 特别是集成电压比较器、集成模-数转换器、集成数-模转换器等品种繁多, 形成系列产品。本节将择其主要特性加以介绍, 以期对非线性集成电路有一个初步的概念。

一、集成电压比较器

集成电压比较器具有两个信号输入端, 它可以对两个输入信号进行电平比较, 并在输出端以数字信号电平 (“0”电平或“1”电平) 的形式显示出比较结果。电压比较器的符号如图11-30所示。

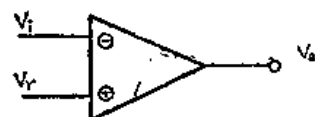


图 11-30 电压比较器的符号

集成电压比较器是对输入模拟信号进行比较, 而以数字信号输出的电路装置。它是介于模拟电路与数字电路之间的“接口电路”。但是由于它和集成运算放大器等模拟集成电路的线路结构、参数指标及工艺制作等更为接近, 因此人们通常把集成电压比较器算成模拟集成电路。

集成电压比较器在应用中, 通常在同相输入端加一个固定的参考电压 V_r , 在反相输入端加入被比较的模拟信号 V_i 。它的功能就是, 当 $V_i < V_r$ 时, 比较器输出为“1”电平 (或为“0”电平), 当 $V_i > V_r$ 时, 比较器输出为“0”电平 (或为“1”电平)。很显然, 比较器的这种功能完全可以用集成运算放大器构成。在介绍集成运算放大器应用时, 事实上已经利用它作比较器了。但由于集成电压比较器在很多场合广泛采用, 所以发展成为一个单独的系列。集成电压比较器和集成运算放大器有什么不同呢?

(1) 集成电压比较器输入是模拟信号, 输出是数字信号, 它不是线性电路, 是非线性电路。不论输入信号大小, 输出信号的幅度总是和数字信号电平相匹配的, 和 TTL 电路相连接的电压比较器, 输出高电平为3.2V左右, 输出低电平为0.3V左右。这种输出电平的匹配, 即使是在无输入信号时, 也应得到满足, 这就是说, 无输入信号时比较器的输出电平不象运算放大器那样为“0” (不考虑失调引起的输出电压漂移), 而是输出为TTL数字电路的门槛电平, 约为1.4V。

(2) 集成运算放大器输出可以是正或负双向幅度的信号, 且输出信号幅度可为10V以上。但是集成电压比较器输出电平多为单向信号, 并具有限幅功能, 高电平最高为3.2V左右, 低电平为“0”V左右。

(3) 在电路结构上, 两者都采用差分放大输入, 输出级电路形式不同。集成电压比较器的输出级与TTL电路输出级电路形式相似。为了配合数字电路应用上的需要, 集成电压

比较器电路常加入“选通”输入端。

集成电压比较器具有和集成运算放大器相似的参数。例如，失调电压、失调电流、开环增益、共模抑制比、输入阻抗等。但是，要增加输出高电平和输出低电平参数。需要说明的是电压比较器的失调参数不是在输出电压（或电流）为“0”时的参数，而是输出电压为1.4 V时的输入失调电压（或电流）的数值。图11-31是一种高速电压比较器的线路图。

它是由10支晶体管，3支稳压管和8支电阻组成的。其中 T_1 、 T_2 和 R_1 、 R_2 组成差分放大输入级， T_5 、 R_5 组成它们的恒流源， T_4 和 R_6 完成第二级放大，并由 T_3 通过 R_1 、 R_2 、 R_3 、 R_4 和 T_6 完成将第一级的平衡输出转变为单端输出的作用，是增益为1的倒相级，其原理和运放F001中第二级的作用相同。 T_3 将 T_1 的输出信号倒相后经 T_6 发射结叠加在 T_4 基极上，从而完成双端变单端的转换功能。 T_4 提供 T_1 、 T_2 的直流通路，这样就允许 R_3 、 R_4 在适当加大的阻值时，保证 T_3 集电极维持在较高电位上。 T_8 、 D_2 、 T_9 组成输出级。 T_8 是射极输出器，具有较大的输出能力。 D_2 的存在起电平移位作用， T_9 向 T_8 提供工作电流。 R_8 、 T_{10} 、 R_7 组成第一级恒流源的恒压电路，且具有温度补偿作用。 T_7 接成的二极管可以将输出电位箝位于3 V左右，并用来提高电路的响应速度。 D_1 的存在可以使 T_1 、 T_2 的集电极电压提高至6.2 V左右，以保证正向共模电压可达到7 V左右， D_3 作为选通端子。

BG307的工作电压 $V_{CC} = +12\text{V}$ ， $V_{EE} = -6\text{V}$ ，其典型参数如下，

输入失调电压 V_{OS} ：2mV

输入失调电流 I_{OS} ：1μA

输出高电平 V_{OH} ：3.3V

输出低电平 V_{OL} ：-0.5V

集成电压比较器应用是很广泛的，除了用作电压比较器外，还可以组成斯密特触发器（电平检测器）、窗口式电平鉴别器，以及模-数转换器等方面。

二、集成数-模转换器

集成数-模转换器又称为D/A变换器，它是把二进制数字信号转变为模拟信号的装置。

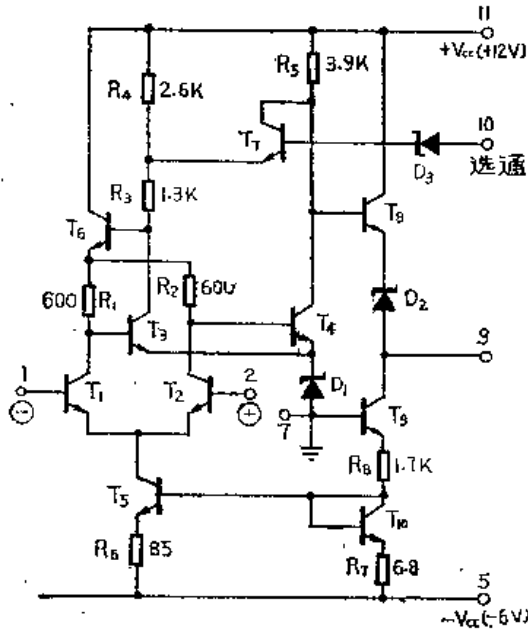


图 11-31 高速电压比较器电路

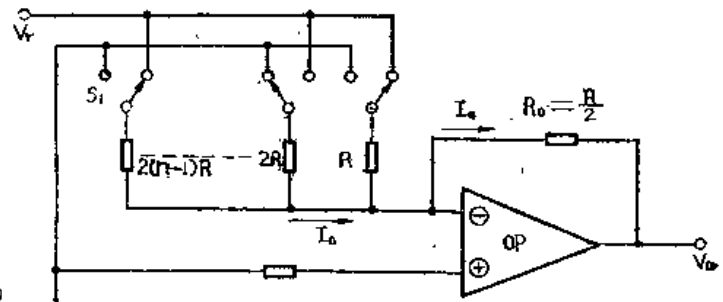


图 11-32 D/A变换器的原理图

大家知道,二进制数字量的值是以代码按位组合起来的,每一位代表一定的“权”,它们表示一定的具体值。可以同样用模-数转换的关系式来表示数-模之间转换功能。

数-模转换必须将每个数字量按其“权”位的数值转变为相对应的模拟电量(电压或电流)。然后将各代表“权”位的模拟量相加,从而获得相应总的模拟量,完成D/A变换功能。用电阻组成的解码网络;电流开关(或电压开关)和运算放大器构成的加法器就组成了D/A变换电路。其基本原理图,如图11-32所示。

图中电阻网络由电阻 R 、 $2R$ 、 $4R \cdots 2^{(n-1)}R$ 共 n 个电阻组成,它们分别表示从高位至低位的“权”。开关 S_1 、 S_2 、 $S_3 \cdots S_n$ 共 n 个用来接通(或者不接通)各股权重电流 I_1 、 I_2 、 $I_3 \cdots$ 。其接通与否是受各相应权位电平为“1”或“0”的控制。例如,某单位为“1”时,相应开关接通。而另一位为“0”时,相应开关即不接通(电阻)。运算放大器(OP)的作用是将各股权重电流进行叠加,而以总量(模拟量)输出。

我们具体来分析一下D/A变换的过程。由于运算放大器的增益很高,输入阻抗也很高,所以,电阻网络的权重电流 I_0 几乎全部流经运算放大器的反馈电阻 R_0 ,而流入运算放大器的部分可以忽略。当开关置于参考电压 V_r 时,各权重电流 I_1 、 $I_2 \cdots I_n$ 之和就是 I_0 。各权重电流之值为

$$I_1 = \frac{V_r}{R}, I_2 = \frac{V_r}{2R}, \cdots I_n = \frac{V_r}{2^{(n-1)}R}, \text{ 则}$$

$$I_0 = \frac{V_r}{R} + \frac{V_r}{2R} + \cdots \frac{V_r}{2^{(n-1)}R}$$

$$I_0 = \frac{2V_r}{R} (2^{-1} + 2^{-2} + \cdots 2^{-n})$$

输出电压为 $V_0 = -I_0 R_0 = -I_0 \frac{R}{2}, \text{ 则}$

$$V_0 = -V_r (b_1 2^{-1} + b_2 2^{-2} + \cdots b_n 2^{-n})$$

其中引入的系数 b_1 、 $b_2 \cdots b_n$ 是表示开关的位置。因为在上述讨论中,曾认为各开关已经全接在 V_r 之上,因而各权重电流都存在。实际上,前而已指出过各权重电流的存在与否是由输入数字量为“1”或“0”所控制。上式中 b 为“1”时,表示该位存在(开关在 V_r 位置)。 b 为“0”时,表示该位不存在(开关在接地位置)。可以看出,上述关系式表明了完成数-模电压之间的转换。电路中的开关在实际电路中是由晶体管(双极型管或MOS管)来担任的。

尽管上述电路可以完成数-模之间的转换,但其电阻网络不适于集成电路的工艺制作。因为由高位向低位时,电阻数值是以2的幂次增加的。例如,8位的D/A变换器,最高位电阻为 R 时,最低位电阻则应为 $2^{(8-1)}R = 128R$ 。在集成电路中制造精度高和阻值相差悬殊的过大的电阻网络是困难的,故将图11-32的电阻网络改变为图11-33所示的 R - $2R$ 梯形电阻网络。

由于在 R - $2R$ 电阻网络中,每一节点(1、2、3...)电压是前一节点电压的一半,故每个权重电流也即为前一位权重电流的 $\frac{1}{2}$,即

$$I_2 = \frac{1}{2} I_1, I_3 = \frac{1}{2} I_2 \cdots$$

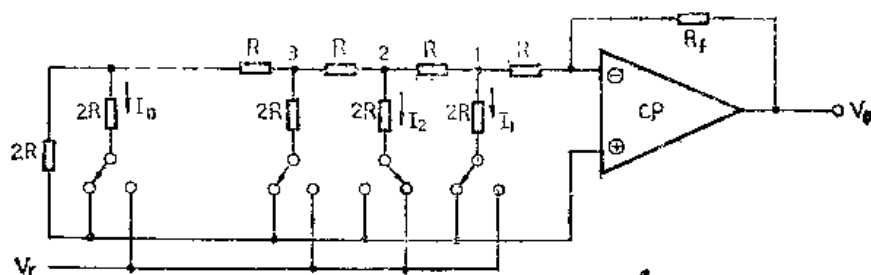


图 11-33 $R-2R$ 梯形电阻网络

(关于电阻网络关系的证明,可参见电子电路课本)这样,仍可以得到前述的电压变换关系式,也就是完成数-模变换。这种 $R-2R$ 梯形电阻网络阻值较前一种阻值范围大为缩小,且电阻的比值是主要的,而对电阻绝对值精度要求不高,这就适合于集成电路工艺制造了。

集成D/A变换器中的电流开关,也是完成变换器的重要组成部件。显然,变换器中的开关应该具有很快的开关速度和良好的开关特性(例如,输入对输出的影响要小,漏电流要小等)。图11-34是集成D/A变换器中采用的电流开关中的一种电路。

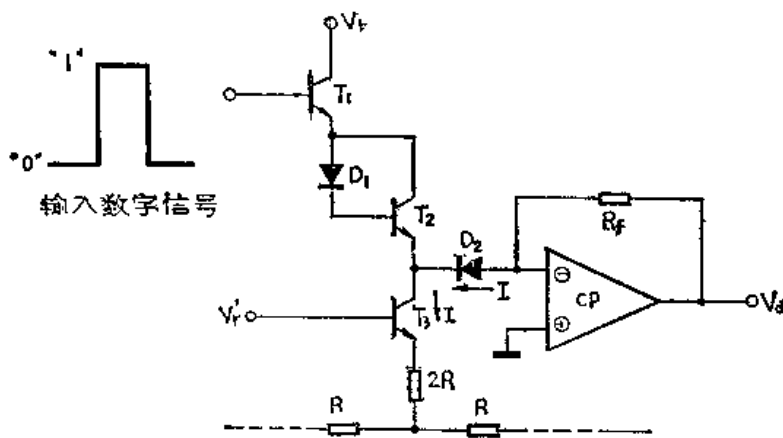


图 11-34 D/A 变换器中的电流开关电路

图中只画出了一位,其中 T_1 、 D_1 、 T_2 起电流开关作用。 V_r 通过 T_3 向电流开关提供基准电压,当该位的数字信号为“0”时(低电平), T_1 、 T_2 、 D_1 均截止。这时该位权重电流通过 T_3 、 D_1 形成通路,即相应于该位的模拟量在放大器输出得到响应。如果该位输入数字量为“1”时(高电平),这时 T_1 、 T_2 、 D_1 均导通。使得图中A点电位上升, D_2 截止。这时该位权重电流不再流经运放输入端,而与 T_2 、 T_1 形成通路,这时运放输出即无该位的响应,这样就可以很好地完成电流开关的功能。

集成数-模转换器要把电阻网络、电流开关和高增益运算放大器制作在同一硅片上。这在六十年代还是很困难的事,那时的D/A变换器多采用混合集成或多芯片式结构。进入七十年代后,由于采用了离子注入和电阻微调技术,使单片式的D/A变换器已成为工业产品。国外六位、八位、十二位D/A变换器均有商品出售。国内六位D/A变换器AE1406也已有产品。目前集成D/A变换器的转换速度在 μs 数量级。在工艺制作上除双极型外,还在日益采用CMOS结构,使D/A变换器的功耗更低,性能更加稳定可靠。

三、集成模-数转换器

集成模-数转换器是将模拟信号转换成为数字信号的电路装置。大家知道,数字电子计算机可以进行数字计算、数据处理和实时控制。但是计算机一般只能对转化为二进制数字量

的信号进行处理。而需要进行计算、处理、控制的量，往往是模拟量或非二进制的数字量。这就需要进行转换，将模拟量转换为计算机处理的二进制数字量。这种转换功能可以由模-数转换器来完成。

可以这样比喻，模-数转换器相当于编码器。数-模转换器就相当于译码器。通常人们把模-数转换器称为A/D变换器。

模-数转换器的基本功能，是将一个模拟量转变为一个相应 N 位的二进制数字量。它可以用图11-35表示。

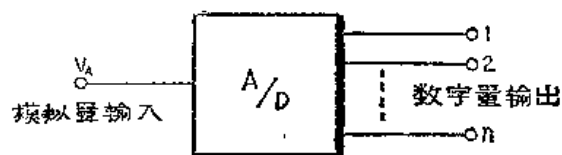


图 11-35 A/D变换器的基本原理

图11-36有下列数学关系式：

$$V_A = V_r (b_1 2^{-1} + b_2 2^{-2} + \dots + b_n 2^{-n})$$

式中 V_A ——模拟信号；

V_r ——参考电压（系数）；

$b_1, b_2, \dots, b_n$ ——输出数字量，高位至低位的系数，它们或为“1”或为“0”。

当模拟量加到A/D变换器输入端时，其输出就有相应位数的二进制数输出。也就是用输出一串二进制数来表示相应输入的模拟量。可以完成这种变换功能的电路构成方法很多。它主要有跟踪比较型、逐次比较型、并行型和积分型等几种。其中以逐次比较型的转换速度较快，积分型的转换速度较慢，但这两种类型应用最为广泛。

图11-36是逐次比较型A/D变换器的原理图。

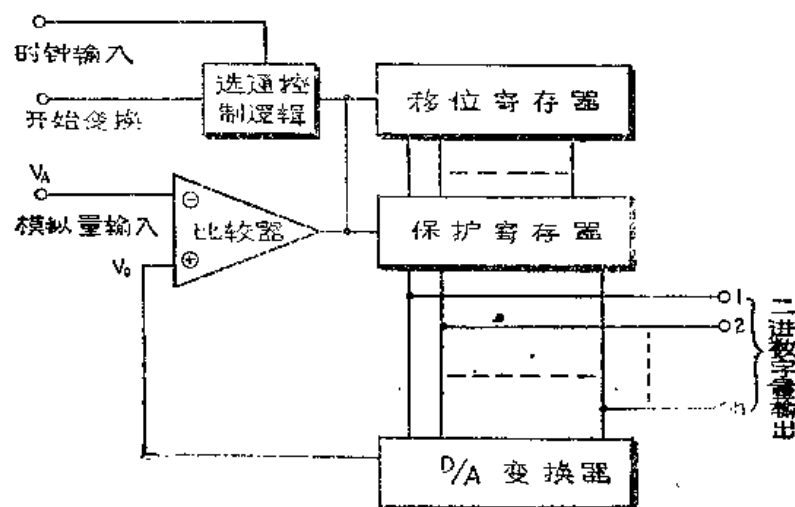


图 11-36 逐次比较型A/D变换器原理图

它是由电压比较器、选通控制逻辑电路、移位寄存器、保持寄存器、D/A变换器等几部分组成。其简单工作原理如下：在开始变换脉冲作用下，时钟脉冲输入移位寄存器和保持寄存器使输出数字信号第一位（最高位）保持为“1”，余下各位均为“0”。此数字信号经过D/A变换器后，转变成模拟信号 V_0 。 V_0 与输入信号 V_A 进行比较，若 $V_A > V_0$ ，这时电压比较器输出仍为“0”电平，使保持寄存器最高位输出为“1”电平。若 $V_A < V_0$ ，则电压比较器输出电压由“0”变成“1”，使保持寄存器的最高位输出由“1”变为“0”。在第二个时钟脉冲进入移位寄存器时，第二位又由“0”变为“1”（其余各位仍为“0”），则保持寄存器第二位由“0”变为“1”，经D/A变换器后，输出电压 V'_0 再与输入电压 V_A

进行比较。如果 $V_A > V'_0$ ，则保持寄存器的次高位输出为“1”保持不变。若 $V_A < V'_0$ ，则次高位输出由“1”变为“0”。这样每向移位寄存器送入一个时钟脉冲，就进行一次由高位至低位的电压比较，直至最后一位（ n 位）比较结果为“1”或“0”而告结束。对某一模拟信号比较结束输出的数字信号，就是代表该模拟信号的数字电平。

由于模拟信号是随时间而变化的量，上述的逐次比较应该是在模拟信号“瞬间稳定”时进行。为此要在A/D变换器电路之前接一个采样电路——保持电路，以保证变换器工作的正确性。上述的逐次比较是在极短暂的时间间隔内进行的。所以转换速度很快，精度也较高，其响应时间在几十 μs 。

逐次电压比较型的A/D变换器，除了采用单一的双极型电路结构外，还可以采用MOS电路结构和双极MOS双重工艺。为了提高A/D变换器的合格率，其芯片也可以采用模拟和数字两芯片组装的多片结构方式。

图11-37是积分式模-数转换器的原理图。

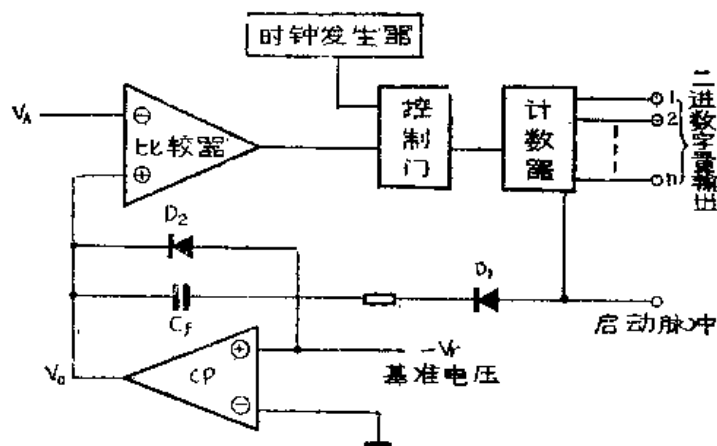


图 11-37 积分式A/D转换器原理图

图中OP是运算放大器，在这里作为积分器应用。其简单工作原理如下：正极性启动脉冲输入时，计数器变为“0”， D_1 导通，积分器复位（由于 D_2 的存在，故 C_f 两端电压几乎复位到“0”），当启动脉冲结束时，积分器OP在负基准电压 $-V$ 作用下积分，产生斜坡电压，当其输出 V_0 低于模拟输入电压 V_i 时，比较器输出为高电平，控制门开启，计数器开始计数。当输出电压 V_0 等于（高于） V_i 时，比较器输出为低电平，封住控制门，计数器停止计数，完成一次交换。可见，积分式A/D变换器是利用积分器产生的线性斜坡电压同模拟电压进行比较，去控制计数器对时钟脉冲进行计数而完成模-数变换的。由于积分时间间隔 T 正比于输入模拟电压，而计数脉冲的个数与 T 成正比，故可以用计数器所计之数字量代表模拟量 V_A 。由积分式模-数转换器不需要采用D/A交换器，线路结构也简单。在数字仪表和工业自动控制设备中广泛采用。它完全可进行单片集成，是适合于集成电路生产工艺的一种A/D变换器。

总之，不论是A/D变换器，还是D/A变换器，都正在采用各种集成工艺和新型电路结构而迅速向前发展。尽管目前这类产品国内还不多，但它会成为模拟集成电路的主要发展方向之一。

第十二章 模拟集成电路的工艺与版图

模拟集成电路和数字集成电路一样，都是以硅平面工艺为基础进行制造的。不同之处在于，数字集成电路工艺较简单，而模拟集成电路的电路形式千差万别，元器件的参数种类各异，所以工艺较繁杂。这就要求在设计时，电路要尽量适合于集成工艺的特点；在工艺上要充分利用各种工艺手段之长处，在版图设计上则要求更加周密合理，弥补电路、工艺设计上的不足之处。由于模拟集成电路系列很多，品种又是千姿百态，这里仅对模拟集成电路的某些共性问题加以简介。

§12-1 模拟集成电路的特点

一、模拟集成电路的线路特点

各种具体的模拟集成电路形式在前几章中已作了介绍。电路设计上的想法是，充分利用集成电路制造工艺的优越性，扬长避短。具体表现在以下几个方面：

(1) 电路中多用晶体管少用高电阻。因为制造高电阻要占用较大的硅片面积，不利于提高硅片利用率和芯片合格率。例如，在利用高电阻之处采用恒流源代替。

(2) 利用制造对称元件较容易的特点，把对电阻绝对值的要求，改变成对电阻比的要求。把对单个晶体管的要求，变为对管的要求等等，以及利用对称特点保证电路的温度或电压变化的适应性。

(3) 充分考虑各种元器件的特性，并保证工艺上易于实现。各种晶体管——双极型NPN管、PNP管、MOS管等——在模拟集成电路中都可以采用；各种扩散电阻及薄层电阻的阻值范围要合适等。在电路上要考虑什么场合用什么器件最为合适、恰当，同时要考虑在工艺制造时的相容性，尽量减少附加工艺和工序，以求得技术性能与成本的折衷。

(4) 由于集成电路中的一切元器件均是在同一“流水”过程中制造出来的，元件的偏差在电路设计时要加与考虑。例如，电路中一个晶体管的电流放大倍数 β 偏高时或一个电阻偏大时，一般说来，电路中其他元器件也会相应偏高或偏大。要考虑这时对电路可能产生的不良影响及弥补办法。因为在工艺控制不当时，很容易发生上述情况。

总之，模拟集成电路的电路设计，要结合工艺设计、版图设计一起来考虑，而不能象分立电路那样，随心所欲地进行电路设计以及在装置电路时再进行调整。集成电路一经设计定型后，只能在很有限的范围内利用工艺条件对电路元件参数进行调整，不可能再进行大的变更。

二、模拟集成电路的工艺特点

为了实现多种多样的模拟集成电路，达到和提高它们的各种参数指标，采用象数字电路那样的标准化的单一工艺往往是很困难的，这就需要采用与之相适应的多种工艺，巧妙地利用各种工艺手段的长处。

在隔离技术上,模拟集成电路除广泛采用TTL电路中的PN隔离技术外,还采用可以经受更高电压的多晶硅和二氧化硅隔离技术,使得隔离岛之间的隔离电压高达 hV 以上。

在外延技术上,除了采用单层外延外,还采用了双层外延技术。为了实现PNP管和MOS管,在模拟集成电路中还采用了多层结构方式。

在元器件制造上,充分利用元器件之间毗邻靠近、相对误差小的特点,制造对称的晶体管或电阻。在电阻制造上,利用不同的方块电阻值来制造不同阻值的电阻,扩大了集成电路中电阻的制造范围。利用表面金属层-二氧化硅层-半导体层制造MOS电容器。利用PN结的扩散电容与势垒电容,来扩大电容的数值范围,还可以得到不同特性的电容器。

总而言之,模拟集成电路在工艺上的“花样”是很多的,它巧用各种工艺手段之长处,来实现模拟集成电路多样元器件指标的要求。到目前为止,各种工艺方法仍层出不穷,日新月异地向前发展。

模拟集成电路工艺内容应该包括:根据电路要求选择材料(或外延层材料);确定工艺流程以及对各工艺的参数要求等。

1. 根据集成电路的耐压选择材料

和数字集成电路相比较,模拟集成电路的电源电压一般较高。例如:运算放大器不少采用 $\pm 15V$ 电源电压,集成功率放大器的电源电压可以高达 $40V$ 以上。要根据电路中输出级(电压最高)管子的耐压选择材料。因为 $BV_{cbo} = \sqrt[n]{\beta} \times BV_{ceo}$ (其中 n 可由实验确定)。

举例来说,运算放大器中电源电压若为 $\pm 15V$ 时,考虑到电源的偏差,电路中的NPN管 BV_{cbo} 应大于 $36V$,若 $\beta = 100$,取 $n = 4$ 计算,相应 BV_{cbo} 为:

$$BV_{cbo} = \sqrt[4]{100} \times BV_{ceo} \approx 115V$$

如果硼扩散结深为 $X_j = 2.7\mu m$ 时,表面杂质浓度为 $2.5 \times 10^{18}/cm^3$,这时从结深 X_j 下击穿电压与浓度关系曲线上可以求出对应外延层杂质浓度为 $3 \sim 4 \times 10^{15}/cm^3$,电阻率为 $\rho = 1.5\Omega \cdot cm$ 。一般说来,由于模拟集成电路中的电压要求比较高,所以外延层电阻率(在采用介质隔离时,就是原始硅衬底的电阻率)相应比较高。外延层电阻率的提高对提高管子的击穿电压是有利的,但对微小集电极串联电阻和改善管子大电流特性是不利的,在功率集成电路中要综合加以考虑才行。

外延层厚度除了按数字集成电路那样,还要考虑埋层的向上推移、各次氧化剥去的表面厚度,以及基区深度。由于电源电压较高,BC结的势垒扩张必须加以考虑。如果外延层太薄,可能会造成基极与衬底的穿通。所以PN结隔离的模拟集成电路的外延层厚度比数字集成电路外延层要厚些,一般在 $12\mu m$ 以上。功率集成电路的外延层厚度有时达 $20\mu m$ 。

和数字集成电路在材料选择上另一点不同是衬底单晶材料的晶向。双极数字电路大都选用 $\langle 111 \rangle$ 晶向,在模拟集成电路中有时选用 $\langle 100 \rangle$ 晶向,这是因为 $\langle 100 \rangle$ 晶向材料比 $\langle 111 \rangle$ 晶向的材料具有较少的表面态,它对提高晶体管的 β 值是有好处的。另外,在介质隔离中,为了减小刻隔离槽时的侧向腐蚀,也要选用 $\langle 100 \rangle$ 晶向的单晶材料。

2. 控制工艺条件保证电路中晶体管的 β 值

模拟集成电路对晶体管 β 的控制要比数字电路中严格。通常模拟集成电路要求晶体管的 β 比较大。提高 β 值的主要工艺途径是:

(1) 尽可能提高发射区与基区杂质浓度的比值。

(2) 减小基区宽(厚)度 W_b 。

(3) 减小基区中少数载流子的复合 (即提高基区中少数载流子寿命)。

(4) 改善表面态, 减少表面复合。

在工艺上要严格控制, 防止沾污, 特别要防止重金属沾污。在数字集成电路中, 为了提高开关速度而进行的蒸金工艺, 在模拟集成电路中绝对禁止采用, 数字集成电路生产的扩散系统也不能同时用于模拟电路。同时, 在表面处理上要更加谨慎, 以便得到更好的表面状态。特别是在运算放大器中采用超 β 管时, 工艺控制要更加严格。

3. 合理选择隔离方式

早期的模拟集成电路很多采用介质隔离, 这种方法固然隔离性能好, 但工艺操作繁杂, 且不利于大量生产, 所以除了功率集成电路及高压集成电路外, 应尽量采用PN结隔离, 或采用双向PN结隔离。近年来出现的多晶硅隔离技术是很有前途的隔离工艺手段。它的基本原理是利用杂质在多晶硅中比在单晶中扩散快十倍, 这样进行隔离扩散时间可以大大缩短, 而且没有侧向扩散, 外延层厚时采用多晶硅隔离更为优越。

模拟电路的工艺条件与数字集成电路基本相同, 这里不再叙述。

三、模拟集成电路的版图

模拟集成电路版图设计的基本要求和数字集成电路有很多共同之处, 不同之处在于:

1. 隔离岛的划分

在数字集成电路中往往把所有电阻放在同一隔离岛内, 而将集电极电位基本相同的管子也放在一个隔离区内。在模拟集成电路中, 由于电阻之间的电压可能相差很大, 从而要求电阻隔离岛的隔离电压很高。而制造大面积高电压的隔离岛在工艺上不容易成功。为此, 采用按电位划分隔离岛的方法, 有利于提高总合格率。另外, 可以对电路中元器件进行电位分析, 对那些电路内部电位即可实现隔离的元器件, 可以不另占单独的隔离岛, 从而减少了隔离槽占用的硅片面积。

在模拟集成电路中, 外引线焊点均应放置在单独的隔离岛内, 因为它们的工作电压较高, 要防止产生寄生效应。

2. 电极形状

在数字集成电路中广泛采用的各种形状晶体管, 在模拟集成电路中仍然采用。在高增益晶体管中也采用圆形发射极图形, 因为圆的周长和面积之比最小, 可以提高晶体管电流放大倍数 β 。

另外, 在表面引线铝层设计上, 常采用大面积范围的覆盖, 用以改善表面状态。当铝层覆盖在EB结上时, 因为晶体管工作在线性区时, 基区电位高于发射区, 这样在电场作用下使表面可能沾污的钠离子 (Na^+) 会吸向Al-SiO₂介面, 从而减少介面上的表面态密度。

运算放大器输入对管的尺寸要适当放宽, 以减小套刻误差, 提高电路的对称性。

在模拟集成电路中, 发射极电流密度的数值也应适当放宽, 一般取 $0.1\text{mA}/\mu\text{m}$ 左右, 这对提高电流放大倍数的线性大有好处。

3. 注意克服寄生效应的影响

在模拟集成电路中, 由于工作电压较高, 有可能产生寄生MOS效应。它是以铝引线为寄生MOS管的栅极, 以两个电阻或隔离槽为源和漏极形成P-MOS管。尽管这种寄生P-MOS管在双极数字集成电路中也存在, 但是由于电源电压较低不足使MOS管开启。模拟集成电路的高电压可以使寄生MOS管开启, 形成导电沟道。所以在版图设计上, 要尽量避免金属

引线横跨扩散电阻之间和扩散电阻与隔离槽（衬底）之间，如果一定要跨越时，须在被跨越的P区之间插入N⁺扩散区，以阻止P沟道的产生。由于模拟集成电路的电源电压较高，还会产生其它寄生效应，版图设计时应周密考虑。

4. 保证电路的热平衡及对称性

在集成运算放大器的版图设计上，凡要求对称的晶体管、电阻等均应靠近对称排列，以

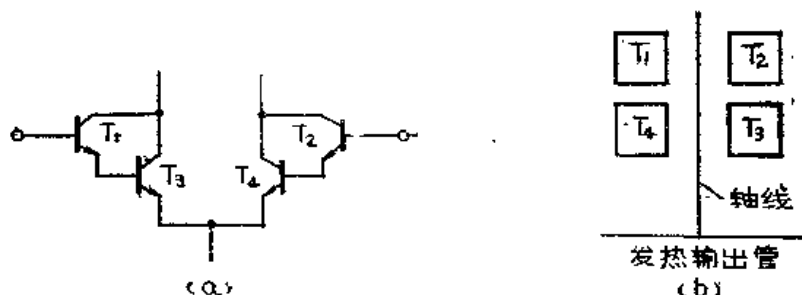


图 12-1 集成电路中要求对称晶体管的排列

保证在工艺过程中“享受同等待遇”。例如图12-1 (a) 所示电路中的四支管子，应按图12-1 (b) 所示方法排列。这样定义排列可以使工艺、材料不均匀、温度等因素造成的失调得以相互抵偿。另外，对温度敏感的输入级等要尽量远离输出级，以减小它们之间的热耦合。在热关断电路中，热敏感元器件则要尽量安排靠近发热源（例如，输出管），以达到预期的电路设计功能。

功率集成电路的版图排列要特别注意，因为电路中可能出现温度与电参数之间的正反馈，因为这种恶性循环一旦发生，很容易导致电路的过热损坏。

§12-2 模拟集成电路的工艺

一、PN结隔离工艺流程

模拟集成电路中PN结隔离工艺和数字集成电路中PN结隔离工艺基本相同，不同之处在于：外延层电阻率较高，厚度稍厚；不采用蒸金工艺。运算放大器的典型工艺流程如下：

- (1) 衬底材料 P型 硅单晶。
- (2) 表面处理 切片、磨片、抛光同数字电路。
- (3) 隐埋层扩散 通常为扩锑，方阻为30Ω/□。
- (4) 外延生长 外延层电阻率为1.5Ω·cm左右，厚度为10μm左右。
- (5) 隔离浓硼预沉积 方阻为5Ω/□左右。
- (6) 隔离再分布 在高温下直至隔离扩通为止。

以下工艺和数字电路相同，不再列述。

二、双面扩散PN结隔离工艺流程

在双面扩散PN结隔离扩散工艺中，埋层不再用锑而改为磷，由于磷原子半径和硅的相近，用磷做隐埋层可以减少位错密度。采用磷为埋层时，为了克服在其后的高温工艺中埋层上推的影响，外延层要适当加厚至16~18μm。同时，采用双面扩散的浓硼再分布时间和隔离氧化时间都将大大缩短，其具体工艺流程如下：

- (1) 一次氧化的SiO₂层厚度d≈0.5μm。

- (2) 埋层磷扩散后方阻为 $15\Omega/\square$ 左右。
- (3) 下隔离氧化的 SiO_2 层厚度 $d \approx 0.4\mu\text{m}$ 。
- (4) 下隔离浓硼预扩散方块电阻为 $5 \sim 7\Omega/\square$ 。
- (5) 表面进行气相腐蚀后进行外延生长, 外延层电阻率为 $1.5 \sim 1.8\Omega \cdot \text{cm}$, 外延层厚度为 $16 \sim 18\mu\text{m}$ 。
- (6) 上隔离氧化的 SiO_2 层厚度为 $0.5\mu\text{m}$ 。
- (7) 上隔离浓硼扩散要求方阻为 $2.5 \sim 4\Omega/\square$, 再分布时至扩通为止。

以下制管过程和数字集成电路工艺相同。

三、介质工艺流程

介质隔离是以二氧化硅为介质完成隔离功能。衬底材料选用 $1 \sim 1.2\Omega \cdot \text{cm}$ 的N型硅单晶, 晶向选为 $\langle 100 \rangle$ 方向。经刻隔离槽、生长二氧化硅层和多晶硅, 再进行研磨抛光而完成隔离工艺。有人将介质隔离工艺又称为反外延工艺, 其具体工艺流程如下:

- (1) 一次氧化 SiO_2 层厚度为 $1.2\mu\text{m}$ 左右。
 - (2) 刻槽腐蚀 先用常规工艺刻隔离槽, 去除隔离槽上 SiO_2 层, 然后将硅片粘在(用石蜡)铅片上, 放入氢氟酸与发烟硝酸混合液中进行腐蚀, 在隔离槽位置上将硅片刻蚀 $45\mu\text{m}$ 左右的深沟, 作为隔离槽。
 - (3) 外延生长二氧化硅介质层 在外延炉中通四氯化硅时加入适量的二氧化碳气, 高温下在整个硅片表面生成 $1\mu\text{m}$ 左右的二氧化硅介质层。
 - (4) 外延生长预多晶及多晶 在长好 SiO_2 介质层的单晶硅片表面, 先生长一层颗粒很细的预多晶, 厚度为 $50\mu\text{m}$ 左右, 然后生长多晶, 多晶厚度应在 $500\mu\text{m}$ 以上。
 - (5) 进行研磨, 制备隔离岛 首先研磨多晶硅粗糙的表面(使多晶硅表面与原始硅片底面平行), 然后研磨原始单晶硅片, 并时常观察是否已磨出二氧化硅介质层(即隔离槽的尖端), 一旦显露出介质层, 就要更加仔细研磨, 直至在整个硅片上全部图形均显露出来为止。由于显出图形时, 原始硅片的厚度已只有 $50\mu\text{m}$ 左右, 稍不留心就会把全部原始硅片磨掉, 操作上要格外小心。
- 把显出隔离岛图形的片子进行抛光, 至此介质隔离工艺宣告完成。再接下去就是在各隔离岛上制作元器件了, 这和PN隔离工艺完成后的制管过程是完全相同的。如果介质隔离电路中也要进行埋层扩散时, 可以在原始硅片抛光后或刻隔离槽之后进行隐埋扩散。

§12-3 模拟集成电路版图实例

图12-2是早期生产的运算放大器F001的复合版图。

这是采用二氧化硅介质隔离的版图。它本着对称设计思想, 力求减小失调。图中管子 T_1 、 T_2 与 T_3 、 T_4 和电阻 R_1 、 R_2 的几何尺寸设计完全一样, 并行排列在相互靠近的位置上。 T_1 、 T_2 管远离输出管 T_5 , 以减少热或电之间的耦合。

在隔离区的划分上, 承受正电压较高的扩散电阻放在一个隔离区中, 此隔离区接电路中最高电位 V_{CC} , 以使P型扩散电阻与N型隔离岛之间的PN结处于反向偏置, 防止PN结正向导通, 减少电阻的寄生电容。电路中集电极电压相同的晶体管 T_7 、 T_8 亦放在同一隔离岛内。承受负电压的各扩散电阻排列在另一隔离岛内, 因为这些P型扩散电阻在正常工作时加负电

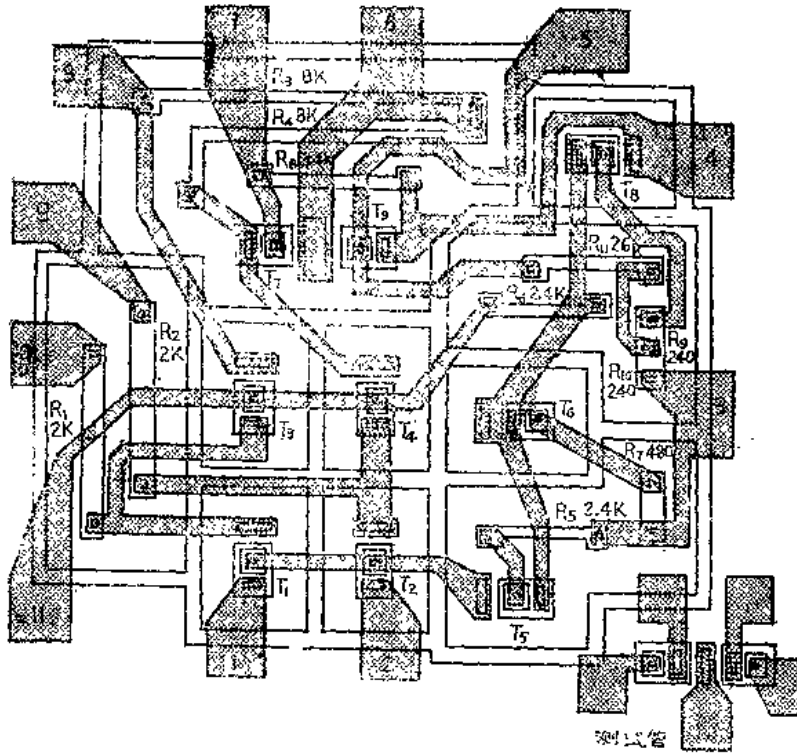


图 12-2 F001运放的复合版图

压，它们与隔离岛形成的PN结已经是反向偏置了，因此这些隔离岛不必再接正电压了。

版图中电阻条宽度选 $40\mu\text{m}$ ，以减小由于制版或光刻不正会引入的偏差，基区及电阻的扩散方阻选为 $200\Omega/\square$ 。

原始单晶硅的电阻率 $\rho_N = 1.2\Omega \cdot \text{cm}$ 的N型单晶，晶向选为 $\langle 100 \rangle$ 面。

