

目 录

第一篇 逻辑设计基础

第一章 逻辑代数基础	1
1.1 逻辑代数的基本概念	1
1.2 逻辑代数的公式	3
1.3 逻辑函数的化简	6
第二章 触发器	33
2.1 触发器的基本形式及类型	33
2.2 维持-阻塞触发器及主-从触发器	39
2.3 触发器的变换	44
第三章 基本逻辑部件	50
3.1 加法器	50
3.2 译码器	55
3.3 计数器	64
3.4 移位寄存器	73

第二篇 双极型逻辑集成电路

第四章 集成电路的寄生效应	76
4.1 双极型逻辑集成电路的元件结构和寄生效应	76
4.2 晶体管模型和有源寄生	80
4.3 结电容和扩散电阻模型	86
第五章 晶体管-晶体管逻辑 (TTL) 集成电路	93
5.1 简易 TTL “与非”门	93
5.2 五管单元 TTL “与非”门	110
5.3 六管单元 TTL “与非”门	121
5.4 抗饱和 TTL “与非”门电路	138
5.5 TTL “与非”门电路的温度特性	129
5.6 TTL 门电路的逻辑扩展	133
5.7 双极型集成触发器	137
第六章 TTL 电路版图设计	142
6.1 晶体管设计	142
6.2 二极管设计	146
6.3 电阻设计	148
6.4 版图设计举例	152
第七章 发射极耦合逻辑 (ECL) 电路	164
7.1 ECL 电路的工作原理	164

7.2	ECL 电路的特性和参数	166
7.3	ECL 电路的逻辑扩展	172
7.4	ECL 电路的设计特点	174
第八章	集成注入逻辑 (I ² L) 电路	176
8.1	I ² L 电路的工作原理	176
8.2	I ² L 电路器件分析	181
8.3	I ² L 电路的特性	187
8.4	I ² L 电路的逻辑组合和接口电路	199
8.5	I ² L 电路的版图设计和工艺考虑	205
8.6	I ² L 电路的改进和发展	210

第三篇 MOS 型逻辑集成电路

第九章	MOS 集成电路中的晶体管	215
9.1	MOS 晶体管的直流特性	215
9.2	MOS 晶体管的主要参数	218
9.3	MOS 晶体管的温度特性	230
9.4	衬底偏置效应对阈电压的影响	233
第十章	MOS 倒相器和门电路	235
10.1	电阻负载 MOS 倒相器	235
10.2	E/E MOS 倒相器和门电路	238
10.3	E/D MOS 倒相器和门电路	262
10.4	CMOS 倒相器和门电路	273
10.5	CMOS 传输门	282
10.6	设计举例	286
第十一章	动态 MOS 电路	289
11.1	动态 MOS 倒相器和门电路	289
11.2	动态 MOS 移位寄存器	294
11.3	设计举例	305
第十二章	MOS 逻辑电路	310
12.1	MOS 触发器	310
12.2	MOS 计数器	319
12.3	MOS 电路设计方法	322
第十三章	MOS 存储器	337
13.1	随机存取存储器	337
13.2	唯读存储器和可编程逻辑阵列	347
13.3	可编程唯读存储器	354

第四篇 模拟集成电路

第十四章	模拟集成电路中的基本电路	364
14.1	模拟集成电路基础——差分放大器	364
14.2	运算放大器的输入级电路	374
14.3	恒流源电路	377

14.4	有源负载 (动态负载)	381
14.5	电平位移电路	381
14.6	双端输入变单端输出 (单端化) 电路	383
14.7	输出级及输出级保护电路	386
14.8	内部稳压源电路	389
14.9	模拟乘法电路	394
第十五章	集成运算放大器电路分析	397
15.1	运算放大器的基本应用	397
15.2	运算放大器的频率补偿技术	403
15.3	集成运放电路分析举例 (通用型)	413
第十六章	模拟集成电路版图设计	430
16.1	模拟集成电路中的几种特殊元件	430
16.2	集成运算放大器版图设计	442

第一篇 逻辑设计基础

第一章 逻辑代数基础

1.1 逻辑代数的基本概念

所谓逻辑，就是指“结果”与“条件”的关系具有某种规律性。

逻辑代数，亦称为开关代数或布尔代数，是逻辑设计的数学基础，用来分析和设计数字电路系统。

在普通代数中，变量可以是从小负无穷大到正无穷大之间的任意一个数；而在逻辑代数中变量只有两种可能值，分别用符号 0 和符号 1 表示。逻辑代数中的变量或者是 0 或者是 1，不允许有中间值。对一个逻辑变量 A 来说：

如果 $A \neq 1$ ， 则 $A = 0$
如果 $A \neq 0$ ， 则 $A = 1$

注意这里两个符号 0 和 1 与一般数学中代表数值的 0 和 1 具有完全不同的含义。逻辑代数中的 0 和 1 两个符号是用来代表两种相互矛盾的现象或状态。例如，数字电路系统中低电平用 0 表示，高电平用 1 表示；无脉冲用 0 表示，有脉冲用 1 表示，等等。

数字电路系统所处理的信号，通常具有两个截然不同的状态，而电路的基本任务是实现某种逻辑功能。因此，逻辑代数在数字电路系统的研究中有很大的应用价值。

逻辑代数有三种基本逻辑运算，即逻辑加法、逻辑乘法和逻辑否定。现分别阐述。

1.1.1 逻辑加法及“或”门

经常会有这样的事件：它有几个条件，只要其中任一个条件具备时，就可得到某种结果。比方说，有三个条件 A 、 B 及 C ，只要条件 A 或条件 B 或条件 C 具备，就可得到某种结果。例如在图 1-1 中，只要开关 A 闭合或者开关 B 闭合， p 、 q 两端就可容许电流通过，这种逻辑关系称为“或”逻辑。

如果将开关 A 、 B 的闭合状态用 1 表示，断开状态用 0 表示； p 、 q 两端间容许电流通过用 F 为 1 表示，电流不能通过用 F 为 0 表示，则可用表 1-1 表达图 1-1 开关电路的不同工作状态。亦即“或”逻辑的结果与条件之间的关系。

由于“或”逻辑关系与普通代数的加法形式上有某些相似之处，例如 $0 + 0 = 0$ ， $0 + 1 = 1$ ， $1 + 0 = 1$ ，所以“或”逻辑关系被称为逻辑加法运算。它的符号也采用普通代数的加法符号“+”。注意在逻辑加法中 $1 + 1 = 1$ 。

因此，图 1-1 电路的逻辑式为 $F = A + B$ 。这个式子的含义是：如果 $A = 1$ 或 $B = 1$ 或 $A = B = 1$ ，则 $F = 1$ ；仅当 $A = B = 0$ 时， F 才等于 0。

这里逻辑变量 A 、 B 为独立变量， F 为依赖变量，我们称 F 是 A 、 B 的逻辑函数。因 F 的值依 A 、 B 的值而变， F 与 A 、 B 间存在着一定的对应关系，当逻辑变量 A 、 B 取定一组值后， F 的值就唯一地被确定了。将这种关系列成表，即为真值表。

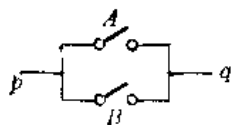


图1-1 开关并联说明“或”逻辑

表 1-1

A	B	F
0	0	0
0	1	1
1	0	1
1	1	1

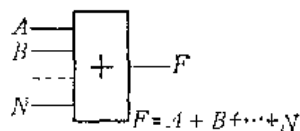


图1-2 “或”门符号及其逻辑式

表 1-1 称为“或”逻辑的真值表。它包含两个部分：一部分是系统地列出独立变量的各种取值，对于两个独立变量 A 、 B ，共有 $2^2 = 4$ 组取值；另一部分是对应于每一组取值的依赖变量值，即逻辑结果。

实现“或”逻辑功能的电路称为“或”门，“或”门通常用图 1-2 的符号表示。

1.1.2 逻辑乘法及“与”门

经常也会有这样的事件：必须诸条件齐备，才能得到某种结果。比方说，有三个条件 A 、 B 及 C ，只有在条件 A 与条件 B 与条件 C 三者都具备时，才能得到某种结果。例如在图 1-3 中，只有当开关 A 与开关 B 都闭合时， p 、 q 两端间才容许电流通过。这种逻辑关系称为“与”逻辑。

同前面一样，将开关 A 、 B 的闭合状态用 1 表示，开关 A 、 B 的断开状态用 0 表示； p 、 q 两端间容许电流通过用 F 为 1 表示，电流不能通过用 F 为 0 表示，则可用表 1-2 表达图 1-3 这个简单开关电路的不同工作状态。这也就是“与”逻辑的结果与条件之间的关系。表 1-2 即为“与”逻辑的真值表。

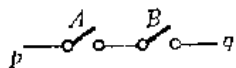


图1-3 开关串联说明“与”逻辑

表 1-2

A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

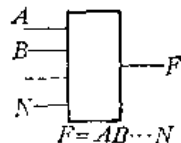


图1-4 “与”门符号及其逻辑式

由于“与”逻辑关系与普通代数的乘法在形式上相似，例如 $0 \times 0 = 0$ ， $0 \times 1 = 0$ ， $1 \times 0 = 0$ ， $1 \times 1 = 1$ 。所以“与”逻辑关系被称为逻辑乘法运算。它的符号也采用普通代数的乘法符号，用“ $\times$ ”表示或用“ $\cdot$ ”表示。与普通代数一样，为简捷起见，经常又将这一符号省略不写，直接用 AB 来表示 A 和 B 进行逻辑乘法运算。

因此，图 1-3 电路的逻辑式为 $F = AB$ 。这个式子的含义是：仅当 A 与 B 都为 1 时， F 才是 1，否则 F 为 0。

这里逻辑变量 A 、 B 为独立变量， F 为依赖变量。 F 的值依 A 、 B 的值而变， F 是 A 、 B 的逻辑函数。

实现“与”逻辑功能的电路称为“与”门，“与”门通常用图 1-4 的符号表示。

1.1.3 逻辑否定及“非”门

逻辑否定亦称为逻辑“非”。它的逻辑式为 $F = \bar{A}$ 。 A 上面加一横表示“非 A ”，其含义是如果 $A = 0$ ，则 $\bar{A} = 1$ ；若 $A = 1$ ，则 $\bar{A} = 0$ 。

实现逻辑否定的电路称为“非”门，其符号如图 1-5 所示。“非”门只有一个输入端和一个输出端，它实现这样的逻辑功能：仅当输入不是 1 状态时，输出才是 1 状态；如果输入是 1 状态，则输出不是 1 状态，即输出 0 状态。可见通过“非”门，可实现逻辑否定。“非”门输入端 A 如果为低电平，则输出端 $\bar{A}$ 是高电平；输入端 A 是高电平时，则输出端 $\bar{A}$ 是低电平。故“非”门电路又常称为倒相器。

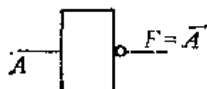


图 1-5 “非”门符号

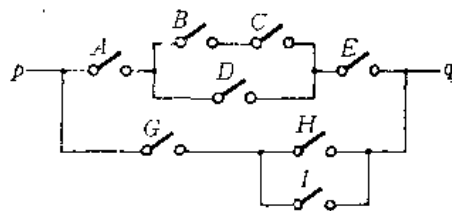


图 1-6 某一开关网络

〔例〕图 1-6 开关网络共有 8 只开关，说明这些开关在哪些状态下可允许 p 、 q 两端间有电流通过？并用逻辑式表示。

解：同前，使开关闭合状态为 1，开关断开状态为 0； p 、 q 两端间可容许有电流通过为 1 状态，电流不能通过为 0 状态。

上面那条支路如能形成通路，必须 A 和 E 都为 1，同时要求下面二条件之一能够具备，即：(1) $B = C = 1$ ，(2) $D = 1$ 。用公式表示则为 $AE(BC + D)$ 。

下面的支路要形成通路，必须 $G = 1$ 以及 H 或 $I = 1$ 。用公式表示则为 $G(H + I)$ 。

上下这两条支路，只要其中一条形成通路， p 、 q 两端间就可容许电流通过，故求得图 1-6 开关网络的逻辑式为：

$$F = AE(BC + D) + G(H + I)$$

1.2 逻辑代数的公式

逻辑代数的基本公式有 9 个，现列出于下。由于逻辑代数中的变量，其取值只有两种可能性——取值 0 或取值 1，因此，下面的 9 个基本公式中，前面 7 个是显而易见，无需证明的。

公式 1	1 a:	$A + 0 = A$
	1 b:	$A1 = A$
公式 2	2 a:	$A + 1 = 1$
	2 b:	$A0 = 0$
公式 3	3 a:	$A + A = A$
	3 b:	$AA = A$
公式 4	4 a:	$A + \bar{A} = 1$
	4 b:	$A\bar{A} = 0$
公式 5		$\bar{\bar{A}} = A$
公式 6	交换律	
	6 a:	$A + B = B + A$
	6 b:	$AB = BA$

公式 7 结合律

$$7a: A+(B+C)=(A+B)+C$$

$$7b: A(BC)=(AB)C$$

公式 8 分配律

$$8a: A(B+C)=AB+AC$$

$$8b: A+BC=(A+B)(A+C)$$

公式 9 狄·摩根 (De Morgan) 定理

$$9a: \overline{A+B}=\overline{A}\overline{B}$$

$$9b: \overline{AB}=\overline{A}+\overline{B}$$

下面分别对公式 8 和公式 9 给予证明。证明的方法有好几种，这里采用真值表法。我们知道，两个逻辑函数如相等，则对应于其中逻辑变量的任何一组取值，这两个函数都应该有相同的值。换句话说，两个逻辑函数如相等，则它们应该有相同的真值表；反之，如果两个函数的真值表相同，则此两个逻辑函数相等。因此，两个逻辑函数是否相等，只要把它们真值表列出来，就一目了然了。

公式 8a 的证明：

列出它们的真值表（表 1-3）。

表 1-3

A	B	C	$A(B+C)$	$AB+AC$	A	B	C	$A(B+C)$	$AB+AC$
0	0	0	0	0	1	0	0	0	0
0	0	1	0	0	1	0	1	1	1
0	1	0	0	0	1	1	0	1	1
0	1	1	0	0	1	1	1	1	1

从表 1-3 看到，对应于变量 A 、 B 及 C 的任何一组取值， $A(B+C)$ 和 $AB+AC$ 的值完全相同，所以 $A(B+C)=AB+AC$ 。

公式 8b 的证明：

$$\begin{aligned}(A+B)(A+C) &= AA+AB+AC+BC \\ &= A(1+B+C)+BC = A+BC\end{aligned}$$

公式 9a 及 9b 的正确性分别用表 1-4a 及 1-4b 的真值表证明如下：

表 1-4

(a)				(b)			
A	B	$\overline{A+B}$	$\overline{A}\overline{B}$	A	B	$\overline{AB}$	$\overline{A}+\overline{B}$
0	0	1	1	0	0	1	1
0	1	0	0	0	1	1	1
1	0	0	0	1	0	1	1
1	1	0	0	1	1	0	0

公式 9 说明，对于一个逻辑式，如将其中所有的“+”号改换成“·”号，所有的“·”号改换成“+”号，并将每一变量及常量用它的“反”代替，则得到的结果是原逻辑

式的“反”。

上面列出了 9 个基本公式，运用这些基本公式，又可以得到下述几个常用公式：

$$\begin{aligned}
 \text{公式 10} \quad 10a: \quad & A + AB = A \\
 & 10b: \quad A(A + B) = A \\
 \text{公式 11} \quad 11a: \quad & A + \bar{A}B = A + B \\
 & 11b: \quad A(\bar{A} + B) = AB \\
 \text{公式 12} \quad 12a: \quad & AB + \bar{A}C + BC = AB + \bar{A}C \\
 & 12b: \quad (A + B)(\bar{A} + C)(B + C) \\
 & \quad \quad = (A + B)(\bar{A} + C)
 \end{aligned}$$

公式 10 的证明：

$$\begin{aligned}
 A + AB &= A(1 + B) = A \\
 A(A + B) &= AA + AB = A + AB = A
 \end{aligned}$$

公式 11 的证明：

$$\begin{aligned}
 A + \bar{A}B &= (A + \bar{A})(A + B) = A + B \\
 A(\bar{A} + B) &= A\bar{A} + AB = AB
 \end{aligned}$$

公式 12 a 的证明：

在逻辑式 $AB + \bar{A}C + BC$ 中，必须将 BC 项去掉。根据公式 10 a，我们知道，在一个“与-或”逻辑式中，如果一个“与”项是另一个“与”项的因子，则后一个“与”项就是多余的。现在 BC 项并不包含 A ，我们可将它乘上 $(A + \bar{A})$ ， BC 项就变成了 $ABC + \bar{A}BC$ 。因为 AB 已存在于式中，故 ABC 是多余的；同样，由于 $\bar{A}C$ 项的存在，故 $\bar{A}BC$ 也是多余的。

$$\begin{aligned}
 \text{由此得：} \quad AB + \bar{A}C + BC &= AB + \bar{A}C + (A + \bar{A})BC \\
 &= AB + \bar{A}C + ABC + \bar{A}BC = AB + \bar{A}C
 \end{aligned}$$

这个公式可叙述如下：

在一个“与-或”逻辑式中，如果两个乘积项其中之一包含变量 A ，另一项包含 A 的反变量 $\bar{A}$ ，而这两项的其余因子都是第三个乘积项的因子，那么这第三个乘积项就是多余的。

例如，在逻辑式 $AB + \bar{A}\bar{C} + B\bar{C}(D + E)$ 中，第一项含有变量 A ，第二项包含 $\bar{A}$ ，而这两项的其余因子 B 、 $\bar{C}$ 都是第三个乘积项 $B\bar{C}(D + E)$ 的因子，故第三项是多余的。

公式 12 b 的证明：

在逻辑式 $(A + B)(\bar{A} + C)(B + C)$ 中，必须将 $(B + C)$ 项去掉。根据公式 10 b，在一个“或-与”逻辑式中，如果一个“或”项包含在另一个“或”项中，则后者是多余的。现在 $(B + C)$ 项没有变量 A ，我们可以给它加上一项 $A\bar{A}$ ，这样一来 $(B + C)$ 项就变成了 $A\bar{A} + B + C$ ，再运用分配律（公式 8 b），又化成为 $(A + B + C)(\bar{A} + B + C)$ 。因为存在有 $A + B$ 项，故 $A + B + C$ 是多余的；同样，由于 $\bar{A} + C$ 项的存在， $\bar{A} + B + C$ 项也是多余的，于是得：

$$\begin{aligned}
 (A + B)(\bar{A} + C)(B + C) &= (A + B)(\bar{A} + C)(A\bar{A} + B + C) \\
 &= (A + B)(\bar{A} + C)(A + B + C)(\bar{A} + B + C) = (A + B)(\bar{A} + C)
 \end{aligned}$$

这个公式可叙述如下:

在一个“或-与”逻辑式中, 如果一个“或”项内有变量 A , 另一个“或”项内有变量 $\bar{A}$, 而这两个“或”项的其他所有项都包含在第三个“或”项中, 那末, 第三个“或”项是多余的。

例如, 在逻辑式 $(A + \bar{B})(\bar{A} + \bar{C})(\bar{B} + \bar{C} + DE)$ 中, 第一个“或”项内有变量 A , 第二个“或”项内有变量 $\bar{A}$, 而这两个“或”项的其他所有项 $\bar{B}$ 、 $\bar{C}$ 都包含在第三个“或”项 $\bar{B} + \bar{C} + DE$ 中, 所以, 第三个“或”项是多余的。

上面介绍了 9 个基本公式和 3 个常用公式, 而每一公式又包含了 (a)、(b) 两个公式。公式 (a) 和 (b) 之间有什么关系呢? 我们只要将公式 (a) 中等号两边的所有“与”符号改变为“或”符号, 所有“或”符号改变为“与”符号; 所有的“1”改变为“0”和所有的“0”改变为“1”, 就得到对应的公式 (b)。反过来, 显然也可运用上述变换, 从公式 (b) 得出公式 (a)。这种关系叫做互为对偶。

定义 一个逻辑函数 F_a , 将其中的所有“+”换为“ $\cdot$ ”, 所有“ $\cdot$ ”换为“+”; 所有“1”换为“0”, 所有“0”换为“1”, 就得到一个新的函数 F_b , 这个新函数叫做 F_a 的对偶。

例如: $F_a = A + 0$	$F_b = A \cdot 1$
$F_c = A \cdot 1$	$F_b = A + 0$
$F_c = AB + \bar{A}C$	$F_b = (A + B)(\bar{A} + C)$
$F_a = (A + B)(\bar{A} + C)$	$F_b = AB + \bar{A}C$
$F_a = \bar{A}(B + C\bar{D}) + \bar{B}D$	$F_b = [\bar{A} + B(C + \bar{D})](\bar{B} + D)$
$F_c = [\bar{A} + B(C + \bar{D})](\bar{B} + D)$	$F_b = \bar{A}(B + C\bar{D}) + \bar{B}D$

显然, 如果 F_b 是 F_a 的对偶, 那末, F_a 也是 F_b 的对偶。这就是说函数 F_a 和 F_b 是互为对偶的。

定理 两个逻辑函数如果相等, 则它们的对偶函数也相等。

证明: 设两个逻辑函数 F_a 和 G_a 相等, 即 $F_a = G_a$ 。运用狄·摩根定理, 将 F_a 和 G_a 中所有的“+”改换为“ $\cdot$ ”, “ $\cdot$ ”改换为“+”, 所有的“0”改换为“1”, “1”改换为“0”, 并将每一个逻辑变量用它们的反变量置换, 就得到 $\bar{F}_a$ 和 $\bar{G}_a$ 。因为 $F_a = G_a$, 所以 $\bar{F}_a = \bar{G}_a$ 。

再将 $\bar{F}_a$ 和 $\bar{G}_a$ 中的所有变量都以它们的反变量置换进去, 于是得到 F_b 和 G_b 。由于 $\bar{F}_a = \bar{G}_a$, 所以 $F_b = G_b$ 。

对偶性原理可以帮助人们掌握和运用逻辑代数。

1.3 逻辑函数的化简

任何一个数字系统, 只要求出它必须执行功能的逻辑式, 就可确定该数字系统的结构。系统的复杂性和规模与相应的逻辑式的复杂程度直接联系着。所以, 逻辑函数的简化可减小数字系统的复杂性和规模。

1.3.1 公式化简

公式化简就是运用逻辑代数的基本公式和三个常用公式进行化简。

一、“与-或”逻辑式的化简

一个最简的“与-或”式应该包含最少个数的“与”项，并在满足这一条件下，每一个“与”项包含变量的个数最少。

例如：

$$\begin{aligned} F &= A\bar{B}\bar{C} + ACD + AC + \bar{A}BC\bar{D} \\ &= A\bar{B}\bar{C} + AC + \bar{A}BC\bar{D} \\ &= A\bar{B} + AC + BC\bar{D} \end{aligned}$$

这里 F 的三个“与-或”式中，第二式比第一式较简，因为它少含一个“与”项，第三式与第二式包含相同个数的“与”项，但在第三式中有两个“与”项包含的变量个数都比第二式各少一个，所以第三式是最简的“与-或”式，它不能再进行化简。

化简一个“与-或”逻辑式，通常要注意该逻辑式内是否存在下述几种情况，并利用有关公式予以简化。

1. 如果存在这样两个“与”项，即其中一个“与”项含有某个原变量，而另一“与”项含有它的反变量，除此以外，两个“与”项相同，则可利用等式 $AB + \bar{A}B = B$ ，将这两项合并成一项，合并时该变量被消去。

例如：

$$F = D\bar{B} + \bar{D}CBA + DCBA = D\bar{B} + CBA$$

2. 注意变量个数较少的“与”项，所有包含该项的“与”项都是多余的。这就是利用公式 10 a: $A + AB = A$

例如：

$$F = AB + ABC + BD = AB + BD$$

3. 注意变量个数较少的“与”项，它的“反”如果存在于其他的“与”项中，则该“反”是多余的。这就是利用公式 11 a: $A + \bar{A}B = A + B$

例如：

$$\begin{aligned} F &= A(\bar{B}C + \bar{C}) + \bar{A}\bar{C}D = A(\bar{B} + \bar{C}) + \bar{A}\bar{C}D \\ &= A\bar{B} + A\bar{C} + \bar{A}\bar{C}D = A\bar{B} + \bar{C}(A + \bar{A}D) \\ &= A\bar{B} + \bar{C}(A + D) = A\bar{B} + A\bar{C} + \bar{C}D \end{aligned}$$

4. 注意是否存在可以利用公式 12 a: $AB + \bar{A}C + BC = AB + \bar{A}C$ 来进行化简的三个“与”项。

下面通过一个例子来说明怎样综合应用上述方法进行“与-或”逻辑式的化简。

〔例〕 化简 $F = AB + AD + A\bar{D} + \bar{A}C + BD + ACEP + \bar{B}E + EDP$

首先，注意到式内有 AD 和 $A\bar{D}$ 两项，它们可以合并成一项 A 。故

$$F = A + AB + \bar{A}C + BD + ACEP + \bar{B}E + EDP$$

变量个数最少的“与”项为 A 。于是 AB 和 $ACEP$ 都是多余的，因为它们都包含有 A 。故

$$F = A + \bar{A}C + BD + \bar{B}E + EDP$$

由于有 A 这一项，上式第二个“与”项中 $\bar{A}$ 是多余的。故

$$F = A + C + BD + \bar{B}E + EDP$$

第三项内有变量 B ，第四项含有它的反变量 $\bar{B}$ ，而这两个“与”项的其他因子都包含在末项 EDP 内，所以 EDP 这个“与”项是多余的。因此， F 的最简式是

$$F = A + C + BD + \bar{B}E$$

二、“或-与”逻辑式的化简

一个最简的“或-与”式应该包含最少个数的“或”项，并在满足这一条件下，每一个“或”项包含的变量个数最少。

例如：

$$\begin{aligned} F &= (A + \bar{B} + \bar{C})(A + C + D)(A + C)(\bar{A} + B + C + \bar{D}) \\ &= (A + \bar{B} + \bar{C})(A + C)(\bar{A} + B + C + \bar{D}) \\ &= (A + \bar{B})(A + C)(B + C + \bar{D}) \end{aligned}$$

这里 F 的三个“或-与”式中，第二式比第一式较简，因为它少含一个“或”项。第三式同第二式包含“或”项的个数相等，但在第三式中有两个“或”项包含的变量个数都比第二式各少一个，所以第三式是最简的“或-与”式，它不能再进行化简。

化简一个“或-与”逻辑式，通常要注意该逻辑式内是否存在有下述几种情况，并利用有关公式予以简化。

1. 如果存在有这样两个“或”项，其中一个“或”项含有某个原变量，而另一个“或”项含有它的反变量，除此以外，两个“或”项相同，则可利用等式 $(A+B)(A+\bar{B})=A$ ，将这两项合并成一项，合并时该变量被消去。

例如：

$$\begin{aligned} F &= (D + \bar{B})(\bar{D} + C + B + A)(D + C + B + A) \\ &= (D + \bar{B})(C + B + A) \end{aligned}$$

2. 注意变量个数较少的“或”项，所有包含此项的“或”项都是多余的。这就是利用公式 10b： $A(A+B)=A$

例如：

$$F = (A+B)(A+B+C)(B+D) = (A+B)(B+D)$$

3. 注意变量个数较少的“或”项，它的“反”如果存在于其他的“或”项中，则该“反”是多余的。这就是利用公式 11b： $A(\bar{A}+B)=AB$ 以及由此推广的等式 $(A+B) \times (\bar{A}+B+C) = (A+B)(B+C)$

例如：

$$\begin{aligned} F &= [A + (\bar{B} + C)\bar{C}](\bar{A} + \bar{C} + D) \\ &= (A + \bar{B}\bar{C})(\bar{A} + \bar{C} + D) = (A + \bar{B})(A + \bar{C})(\bar{A} + \bar{C} + D) \\ &= (A + \bar{B})(A + \bar{C})(\bar{C} + D) \end{aligned}$$

4. 注意每一个“或”项，如果其中两个“或”项有相同的变量，并且一个为原变量而另一个为反变量，则如有另外一项包含了这两项的全部因子，这个第三项就是多余的。这就是利用公式 12b： $(A+B)(\bar{A}+C)(B+C) = (A+B)(\bar{A}+C)$

下面举一个例子说明怎样综合应用上述方法来进行“或-与”逻辑式的化简。

〔例〕化简

$$\begin{aligned} F &= (A+B)(A+D)(A+\bar{D})(\bar{A}+C)(B+D) \\ &\quad \times (A+C+E+P)(\bar{B}+E)(E+D+P) \end{aligned}$$

首先，注意到式内有 $A+D$ 和 $A+\bar{D}$ 两项，它们可合并成一项 A 。故

$$F = A(A+B)(\bar{A}+C)(B+D)(A+C+E+P)(\bar{B}+E)(E+D+P)$$

变量个数最少的“或”项是 A ，“或”项 $(A+B)$ 和 $(A+C+E+P)$ 都包含了此项，所以它们是多余的。

故

$$F = A(\bar{A}+C)(B+D)(\bar{B}+E)(E+D+P)$$

因为有 A , 所以 $(\bar{A} + C)$ 中的 $\bar{A}$ 是多余的。故

$$F = AC(B + D)(\bar{B} + E)(E + D + P)$$

注意到“或”项 $(B + D)$ 和 $(\bar{B} + E)$ 分别包含了 B 和 $\bar{B}$, 所以最末一项由于它包含了 D 和 E 因而是多余的。

因此, 原函数的最简式为:

$$AC(B + D)(\bar{B} + E)$$

三、对偶原理的应用

“与-或”逻辑式的化简, 可以先写出该式的对偶“或-与”逻辑式, 然后对这个“或-与”逻辑式进行化简, 求得最简的“或-与”式, 再将这一结果取其对偶, 就得到原逻辑式的最简“与-或”式。

同样, 化简一个“或-与”逻辑式, 也可利用对偶原理, 先写出该式的对偶“与-或”逻辑式, 并将此“与-或”式化简到最简形式, 所得结果再取其对偶, 就得到原逻辑式的最简“或-与”式。

[例] 化简 $F = C(C + A)(A + B)(\bar{A} + \bar{C} + D)(B + \bar{C} + D)$

先按照“或-与”逻辑式的化简方法化简。

$$\begin{aligned} F &= C(C + A)(A + B)(\bar{A} + \bar{C} + D)(B + \bar{C} + D) \\ &= C(A + B)(\bar{A} + \bar{C} + D)(B + \bar{C} + D) \\ &= C(A + B)(\bar{A} + D)(B + D) \\ &= C(A + B)(\bar{A} + D) \end{aligned}$$

下面再利用对偶原理进行化简。令 F_* 代表原“或-与”逻辑式 F 的对偶式, 并将 F_* 化简到最简形式:

$$\begin{aligned} F_* &= C + CA + AB + \bar{A}\bar{C}D + B\bar{C}D \\ &= C + AB + \bar{A}\bar{C}D + B\bar{C}D \\ &= C + AB + \bar{A}D + BD \\ &= C + AB + \bar{A}D \end{aligned}$$

再对这个式子取其对偶, 就得到 F 的最简“或-与”式:

$$F = C(A + B)(\bar{A} + D)$$

此结果与按“或-与”逻辑式化简法进行所得的结果相同。

注意, 在前面讨论“与-或”逻辑式的化简及“或-与”逻辑式的化简时, 我们分别举的例子是互为对偶的。

1.3.2 最小项和最大项

最小项的定义 n 个逻辑变量的最小项是所有 n 个变量的逻辑乘积, 其中每一个变量可以原变量或反变量形式出现。

例如, 两个变量 A 、 B 的最小项为 $\bar{A}\bar{B}$ 、 $\bar{A}B$ 、 $A\bar{B}$ 和 AB 。

n 个变量的最小项共有 2^n 个。

为了说明最小项的特性, 现以三个变量为例, 列出它们全部最小项的真值表(表1-5)。可见每个最小项都有一组且仅仅有一组变量的取值使得它为 1。在变量取其他各组值

表 1-5

A	B	C	$\overline{A}\overline{B}\overline{C}$	$\overline{A}B\overline{C}$	$A\overline{B}\overline{C}$	ABC	$\overline{A}B\overline{C}$	$A\overline{B}C$	ABC	ABC
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

时, 这个最小项的值都是 0。例如, 最小项 $\overline{A}BC$ 是在变量 ABC 的取值为 011 时其值为 1, 并且仅仅在这种取值时才为 1。对于其他各组取值, 这个最小项 $\overline{A}BC$ 都为 0。由于这个缘故, 我们说最小项 $\overline{A}BC$ 是和 011 这组变量的取值相对应的。可见每个最小项都和某一组变量的取值相对应。不同的最小项, 使其为 1 的那一组变量取值亦不同。这就是说, 不同的最小项和不同的一组变量取值相对应。例如三个变量的 8 个最小项分别和 8 组变量的取值相对应。

既然对于 n 个变量的任意一组取值, 都有一个相应的最小项其值为 1, 所以 n 个变量的所有最小项之和恒等于 1。例如, 对于两个变量 A, B , 它们的 4 个最小项之和恒等于 1。即

$$\overline{A}\overline{B} + \overline{A}B + A\overline{B} + AB = 1$$

一个“与-或”逻辑式可以运用配项等方法展成最小项之和的形式。例如:

$$\begin{aligned} F &= AB + AC + \overline{B}C = AB(C + \overline{C}) + AC(B + \overline{B}) + \overline{B}C(A + \overline{A}) \\ &= ABC + AB\overline{C} + A\overline{B}C + \overline{A}BC \end{aligned}$$

定理 任一逻辑函数都可由一个唯一的最小项之和来表达。

证: 任一逻辑函数, 可用真值表来表示。从真值表可直接将该逻辑函数写成最小项之和。

〔例〕逻辑函数 $F = \overline{(AB + \overline{A}\overline{B} + \overline{C})} \overline{A}\overline{B}$, 用最小项之和表达。

列出函数 F 的真值表 (表 1-6)。

从真值表可立即写出:

$$F = \overline{A}BC + A\overline{B}C + AB\overline{C} + ABC$$

为了叙述方便起见, 最小项常用符号 m_i 表示。下标 i 是一个十进制数, 它相当于这个最小项所对应的一组变量取值。例如最小项 $\overline{A}BC$ 是和 011 这组取值相对应的。011 相当于十进制数 3, 则 $\overline{A}BC$ 就用 m_3 表示。

表 1-6

A	B	C	F	A	B	C	F
0	0	0	0	1	0	0	0
0	0	1	0	1	0	1	1
0	1	0	0	1	1	0	1
0	1	1	1	1	1	1	1

表 1-7 列出了三个变量 A, B, C 的 8 个最小项及其代表符号 m_i 。

表 1-7

十进制数	A	B	C	最 小 项
0	0	0	0	$\overline{A}\overline{B}\overline{C} = m_0$
1	0	0	1	$\overline{A}\overline{B}C = m_1$
2	0	1	0	$\overline{A}B\overline{C} = m_2$
3	0	1	1	$\overline{A}BC = m_3$
4	1	0	0	$A\overline{B}\overline{C} = m_4$
5	1	0	1	$A\overline{B}C = m_5$
6	1	1	0	$AB\overline{C} = m_6$
7	1	1	1	$ABC = m_7$

〔例〕 将下列最小项之和用符号 m_i 表示。

$$F(D, C, B, A) = \overline{D}\overline{C}\overline{B}\overline{A} + \overline{D}\overline{C}\overline{B}A + \overline{D}C\overline{B}A + \overline{D}CBA + D\overline{C}BA$$

↑↑↑↑	↑↑↑↑	↑↑↑↑	↑↑↑↑	↑↑↑↑
1100	1001	0011	0001	0111
12	9	3	1	7

因此,

$$F(D, C, B, A) = m_{12} + m_9 + m_3 + m_1 + m_7$$

上式也可写为:

$$F(D, C, B, A) = \Sigma m(1, 3, 7, 9, 12)$$

使用最小项符号 m_i , 上述定理“任一逻辑函数可由一个唯一的最小项之和来表示”可以写成

$$F(A_1, A_2, A_3, A_4 \cdots A_n) = \sum_{i=0}^{2^n-1} a_i m_i$$

这里 $A_1, A_2, \cdots, A_n$ 是 n 个逻辑变量, a_i 是 0 或 1。

〔例〕 给出某一逻辑函数的真值表 (表 1-8), 用符号 m_i 表示 F 。

$$\begin{aligned} F(A_1, A_2, A_3) &= 0 \cdot m_0 + 0 \cdot m_1 + 1 \cdot m_2 + 1 \cdot m_3 + 0 \cdot m_4 + 1 \cdot m_5 + 1 \cdot m_6 + 0 \cdot m_7 \\ &= m_2 + m_3 + m_5 + m_6 = \Sigma m(2, 3, 5, 6) \end{aligned}$$

表 1-8

A_1	A_2	A_3	F	A_1	A_2	A_3	F
0	0	0	0	1	0	0	0
0	0	1	0	1	0	1	1
0	1	0	1	1	1	0	1
0	1	1	1	1	1	1	0

最大项的定义 n 个逻辑变量的最大项是所有 n 个变量的逻辑和, 其中每个变量可以原变量或反变量形式出现。

例如, 两个变量 A, B 的最大项为 $A+B, A+\overline{B}, \overline{A}+B$ 和 $\overline{A}+\overline{B}$ 。

n 个变量的最大项共有 2^n 个。

为了说明最大项的特性, 现以三个变量为例, 列出它们全部最大项的真值表 (表 1-9)。

可见每个最大项都有一组且仅仅有一组变量的取值使得它的值为 0。在变量取其他各组值时, 这个最大项的值都是 1。例如, 最大项 $\overline{A}+B+\overline{C}$ 是在变量 ABC 的取值为 101 时其值为 0, 并且仅仅在这种取值 101 时才为 0。对于其他各组取值, 这个最大项 $\overline{A}+B$

表 1-9

A	B	C	$A+B+C$	$A+B+\bar{C}$	$A+\bar{B}+C$	$A+\bar{B}+\bar{C}$	$\bar{A}+B+C$	$\bar{A}+B+\bar{C}$	$\bar{A}+\bar{B}+C$	$\bar{A}+\bar{B}+\bar{C}$
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

$+ \bar{C}$ 都为 1。由于这个缘故，我们说最大项 $\bar{A} + B + \bar{C}$ 是和 101 这组变量的取值相对应。可见每个最大项都和某一组变量的取值相对应。不同的最大项，使它为 0 的那一组变量取值亦不相同。这就是说，不同的最大项和不同的一组变量取值相对应。例如三个变量的 8 个最大项分别和 8 组变量的取值相对应。

既然对于 n 个变量的任意一组取值都有一个相应的最大项其值为 0，所以 n 个变量的全部最大项之积恒等于 0。

例如，对于两个变量 A 、 B ，它们的 4 个最大项为：

$$(A+B)(A+\bar{B})(\bar{A}+B)(\bar{A}+\bar{B})=0$$

一个“或-与”逻辑式可以运用配项等方法展成最大项之积的形式。例如

$$\begin{aligned} F(D, C, B, A) &= (D + \bar{C} + A)(\bar{D} + B + \bar{A})(\bar{D} + \bar{C} + B + A) \\ &= (D + \bar{C} + \bar{B}B + A)(\bar{D} + \bar{C}C + B + \bar{A})(\bar{D} + \bar{C} + B + A) \\ &= (D + \bar{C} + B + A)(D + \bar{C} + \bar{B} + A)(\bar{D} + C + B + \bar{A}) \\ &\quad \times (\bar{D} + \bar{C} + B + \bar{A})(\bar{D} + \bar{C} + B + A) \end{aligned}$$

定理 任一逻辑函数都可由一个唯一的最大项之积来表达。

证：任一逻辑函数，可用真值表来表示。由真值表可直接将该逻辑函数写成最大项之积。

〔例〕 将逻辑函数 $F = \overline{(AB + \bar{A}\bar{B} + \bar{C})} \bar{A}\bar{B}$ 用最大项之积表示。

这个函数的真值表已列于表 1-6。

从真值表可立即写出：

$$F = (A+B+C)(A+B+\bar{C})(A+\bar{B}+C)(\bar{A}+B+C)$$

为叙述简短起见，最大项常用符号 M_i 表示。下标 i 是一个十进制数，它相当于这个最大项所对应的一组变量取值。例如最大项 $\bar{A} + B + \bar{C}$ 是和 101 这组变量取值相对应，101

表 1-10

十进制数	A	B	C	最 大 项
0	0	0	0	$A+B+C=M_0$
1	0	0	1	$A+B+\bar{C}=M_1$
2	0	1	0	$A+\bar{B}+C=M_2$
3	0	1	1	$A+\bar{B}+\bar{C}=M_3$
4	1	0	0	$\bar{A}+B+C=M_4$
5	1	0	1	$\bar{A}+B+\bar{C}=M_5$
6	1	1	0	$\bar{A}+\bar{B}+C=M_6$
7	1	1	1	$\bar{A}+\bar{B}+\bar{C}=M_7$

相当于十进制数 5, 于是 $\overline{A} + B + \overline{C}$ 就用 M_5 表示。

表 1-10 列出了三个变量 A 、 B 、 C 的 8 个最大项及其代表符号 M_i 。

【例】将下列最大项之积用符号 M_i 表示。

$$\begin{array}{l}
 F(D, C, B, A) = (\overline{D} + \overline{C} + B + A) \quad (\overline{D} + C + B + \overline{A}) \quad (D + C + \overline{B} + \overline{A}) \\
 \begin{array}{cccc} \uparrow & \uparrow & \uparrow & \uparrow \end{array} \quad \begin{array}{cccc} \uparrow & \uparrow & \uparrow & \uparrow \end{array} \quad \begin{array}{cccc} \uparrow & \uparrow & \uparrow & \uparrow \end{array} \\
 \text{对应的变量取值} \quad \begin{array}{cccc} 1 & 1 & 0 & 0 \end{array} \quad \begin{array}{cccc} 1 & 0 & 0 & 1 \end{array} \quad \begin{array}{cccc} 0 & 0 & 1 & 1 \end{array} \\
 \text{十进制} \quad \underbrace{\hspace{1.5cm}}_{12} \quad \underbrace{\hspace{1.5cm}}_9 \quad \underbrace{\hspace{1.5cm}}_3 \\
 \times (\overline{D} + \overline{C} + B + \overline{A}) \quad (\overline{D} + \overline{C} + \overline{B} + \overline{A}) \\
 \begin{array}{cccc} \uparrow & \uparrow & \uparrow & \uparrow \end{array} \quad \begin{array}{cccc} \uparrow & \uparrow & \uparrow & \uparrow \end{array} \\
 \begin{array}{cccc} 0 & 0 & 0 & 1 \end{array} \quad \begin{array}{cccc} 0 & 1 & 1 & 1 \end{array} \\
 \underbrace{\hspace{1.5cm}}_1 \quad \underbrace{\hspace{1.5cm}}_7
 \end{array}$$

因此

$$F(D, C, B, A) = M_1 \cdot M_3 \cdot M_7 \cdot M_9 \cdot M_{12}$$

上式也可写为:

$$F(D, C, B, A) = \prod M(1, 3, 7, 9, 12)$$

使用最大项符号 M_i , 上述定理“任一逻辑函数都可由一个唯一的最大项之积来表达”可以写成:

$$F(A_1, A_2, \dots, A_n) = \prod_{i=0}^{2^n-1} (a_i + M_i)$$

这里 $A_1, A_2, \dots, A_n$ 是 n 个逻辑变量, a_i 是 0 或 1。

【例】仍考虑表 1-8 的逻辑函数:

$$\begin{aligned}
 F(A_1, A_2, A_3) &= (0 + M_0)(0 + M_1)(1 + M_2)(1 + M_3)(0 + M_4) \\
 &\quad \times (1 + M_5)(1 + M_6)(0 + M_7) \\
 &= M_0 \cdot M_1 \cdot M_4 \cdot M_7 = \prod M(0, 1, 4, 7)
 \end{aligned}$$

在这一小节“最小项和最大项”内, 我们先讨论了最小项, 然后讨论了最大项。现在来阐明其中的某些关系。

对于 n 个变量 $A_1, A_2, \dots, A_{n-1}, A_n$ 的逻辑函数, 借助于狄·摩根定理可得:

$$\begin{aligned}
 m_0 &= \overline{A_1} \overline{A_2} \cdots \overline{A_{n-1}} \overline{A_n} = \overline{A_1 + A_2 + \cdots + A_{n-1} + A_n} = \overline{M_0} \\
 m_1 &= \overline{A_1} \overline{A_2} \cdots \overline{A_{n-1}} A_n = \overline{A_1 + A_2 + \cdots + A_{n-1} + \overline{A_n}} = \overline{M_1} \\
 &\quad \dots\dots\dots \\
 m_{2^{n-2}} &= A_1 A_2 \cdots A_{n-1} \overline{A_n} = \overline{\overline{A_1} + \overline{A_2} + \cdots + \overline{A_{n-1}} + A_n} = \overline{M_{2^{n-2}}} \\
 m_{2^{n-1}} &= A_1 A_2 \cdots A_{n-1} A_n = \overline{\overline{A_1} + \overline{A_2} + \cdots + \overline{A_{n-1}} + \overline{A_n}} = \overline{M_{2^{n-1}}}
 \end{aligned}$$

因此, 最小项符号 m_i 与最大项符号 M_i 之间具有互补的关系:

$$\begin{aligned}
 m_i &= \overline{M_i}, \quad M_i = \overline{m_i} \\
 i &= 0, 1, 2, \dots, 2^n - 1
 \end{aligned}$$

一个逻辑函数, 可以表达为一个唯一的最小项之和, 也可以表达为一个唯一的最大项之积。一般来说, 如果在这个函数的真值表内, 函数等于 0 的项多于等于 1 的项, 则此逻辑函数用最小项之和来表达, 其逻辑式较简。反之, 如果真值表内, 函数等于 1 的项多于

等于 0 的项, 则将此函数用最大项之积来表达, 其逻辑式较简。

〔例〕

D	C	B	A	F	D	C	B	A	F
0	0	0	0	1	1	0	0	0	1
0	0	0	1	1	1	0	0	1	1
0	0	1	0	1	1	0	1	0	1
0	0	1	1	1	1	0	1	1	1
0	1	0	0	0	1	1	0	0	0
0	1	0	1	1	1	1	0	1	1
0	1	1	0	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1

在此函数 $F(D, C, B, A)$ 的真值表内, F 有 14 个 1, 两个 0。

此函数的最小项之和的表达式为:

$$F(D, C, B, A) = \sum m(0, 1, 2, 3, 5, 6, 7, 8, 9, 10, 11, 13, 14, 15)$$

最大项之积表达式是:

$$F = \prod M(4, 12) = (D + \bar{C} + B + A)(\bar{D} + \bar{C} + B + A)$$

1.3.3 卡诺 (Karnaugh) 图

逻辑函数的化简用公式法有时很容易, 但有时也很麻烦且费时, 需要掌握一定的技巧。为了弥补这一不足, 发展了图解法化简逻辑函数。对变量较少的函数, 通常是利用卡诺图。

卡诺图是包含所有独立变量各种可能组合的一个矩形阵列, 其中相邻两个单元只有一个变量的取值不同。

图 1-7 是三个变量的卡诺图, 共有 $2^3 = 8$ 个小方格, 每个小方格对应三个变量的一种组合。例如, 右下角小方格对应于 $C = 1, B = 1, A = 0$ 。相邻的小方格只有一个变量的取值不同。根据这个规定, 同一列内两端的小方格也可看成是相邻的。

$\begin{matrix} BA \\ C \end{matrix}$		0	0	0	1	1	1	1	0
		0							
	1								

图 1-7 三个变量的卡诺图

卡诺图通常认为是全部最小项的图示法。每个小方格表示一个最小项(见图 1-8 (a))。以左下角小方格为例, 它对应于变量的取值是 $C = 1, B = A = 0$ 。与 100 这组变量取值相对应的最小项为 $\overline{C}\overline{B}\overline{A}$, 故左下角小方格表示最小项 $\overline{C}\overline{B}\overline{A}$ 。又例如右上角小方格, 它对应的三个变量 CBA 的取值 010, 而与这组变量取值相对应的最小项是 $\overline{C}B\overline{A}$, 故右上角小方格表示最小项 $\overline{C}B\overline{A}$ 。为了书写简化, 也可用最小项符号 m_i 的下标 i 来标明, 如图 1-8 (b) 所示。

$\begin{matrix} BA \\ C \end{matrix}$		0	0	0	1	1	1	1	0
		0	$\overline{C}\overline{B}\overline{A}$	$\overline{C}\overline{B}A$	$\overline{C}B\overline{A}$	$\overline{C}BA$	$C\overline{B}\overline{A}$	$C\overline{B}A$	$CB\overline{A}$
	1	$C\overline{B}\overline{A}$	$C\overline{B}A$	$CB\overline{A}$	CBA	$\overline{C}\overline{B}\overline{A}$	$\overline{C}\overline{B}A$	$\overline{C}B\overline{A}$	$\overline{C}BA$

(a)

$\begin{matrix} BA \\ C \end{matrix}$		0	0	0	1	1	1	1	0
		0	0	1	3	2			
	1	4	5	7	6				

(b)

图 1-8 三个变量的最小项图示法

注意图 1-8 内相邻两个最小项只有一个变量取值不同。左上角最小项和右上角最小项只有一个变量 B 在前者内取反而在后者内为原变量, 其余相同, 故这两个最小项可以看成是相邻的。同样, 左下角最小项同右下角最小项可以看成是相邻的。

图 1-9 是四个变量的卡诺图。因为四个变量有 $2^4=16$ 种不同组合, 所以四个变量的卡诺图有 16 个小方格, 每个小方格与一种组合相对应。相邻两个小方格只有一个变量的取值不同。同一列内两端的小方格可认为是相邻的。在一行的上端和下端亦是相邻的。而且位于四个角的小方格也应认为是相邻的。

图 1-9 内同时标明了各个小方格所表示的最小项。例如右上角小方格表示最小项 $\overline{D}\overline{C}BA$, 它下面一个小方格表示最小项 $\overline{D}CBA$ 。这两个最小项除了变量 C 在前者内为反变量, 在后者内为原变量, 其余相同。图中还注明了最小项的号码, 即最小项符号 m_i 的下标 i , 或者说每个小方格的十进制数。

BA		0 0	0 1	1 1	1 0
DC	0 0	$\overline{D}\overline{C}\overline{B}\overline{A}$ 0	$\overline{D}\overline{C}BA$ 1	$\overline{D}CBA$ 3	$\overline{D}C\overline{B}\overline{A}$ 2
	0 1	$\overline{D}\overline{C}\overline{B}A$ 4	$\overline{D}\overline{C}BA$ 5	$\overline{D}CBA$ 7	$\overline{D}C\overline{B}A$ 6
	1 1	$D\overline{C}\overline{B}\overline{A}$ 12	$D\overline{C}BA$ 13	$DCBA$ 15	$DC\overline{B}\overline{A}$ 14
	1 0	$D\overline{C}\overline{B}A$ 8	$D\overline{C}BA$ 9	$DCBA$ 11	$DC\overline{B}A$ 10

图 1-9 四个变量的卡诺图

卡诺图也可看成是全部最大项的图示法。每个小方格表示一个最大项。

一、逻辑函数与卡诺图

如果一个逻辑函数为最小项之和的形式, 为了将这个函数用卡诺图表示出来, 我们在与每一个最小项对应的小方格内记入 1。这是因为, 对一个“与-或”逻辑式, 如果其中一个乘积项等于 1, 则整个逻辑式等于 1。

〔例〕 $F = C\overline{B}A + \overline{C}\overline{B}A + CBA + \overline{C}BA + \overline{C}\overline{B}\overline{A} + \overline{C}B\overline{A}$

F 是三个变量 C 、 B 及 A 的函数, 它有 6 个最小项。其中 $C\overline{B}A$ 与 101 这组取值对应, 在图 1-10 中相应的小方格内记入 1。又例如式中第三项 CBA 是与 110 这组取值相对应, 故在右下角小方格内记入 1。如此继续下去, 图 1-10 共有 6 个小方格内记入 1。

BA		0 0	0 1	1 1	1 0
C	0	1	1		1
	1		1	1	1

图 1-10 $F = C\overline{B}A + \overline{C}\overline{B}A + CBA + \overline{C}BA + \overline{C}\overline{B}\overline{A} + \overline{C}B\overline{A}$ 卡诺图

对于一个“与-或”函数, 如果它不表现为最小项之和的形式, 为了在卡诺图上表示出来, 最机械的办法是先采用配项的方法, 将它化成最小项之和。

〔例〕 $F = A\overline{B} + \overline{A}B + B\overline{C} + \overline{B}C$

前两个“与”项都分别乘以 $(C + \overline{C})$, 后两个“与”项都分别乘以 $(A + \overline{A})$, 则得:

$$\begin{aligned} F &= A\overline{B}(C + \overline{C}) + \overline{A}B(C + \overline{C}) + B\overline{C}(A + \overline{A}) + \overline{B}C(A + \overline{A}) \\ &= A\overline{B}C + A\overline{B}\overline{C} + \overline{A}BC + \overline{A}B\overline{C} + AB\overline{C} + \overline{A}BC \end{aligned}$$

这个函数共含有 6 个最小项, 要将这个函数在卡诺图上表示出来, 可在与此 6 个最小项对应的小方格 (5, 1, 6, 2, 3, 4) 内记入 1。见图 1-11。

往往无需经过配项, 而是直接画出。上例中 $A\overline{B}$ 这一项表示变量 C , 可以是 0 也可以是 1, 因此这一项是图 1-11 中 1、5 两个小方格的和, 故在这两个小方格内记入 1。同理, $\overline{A}B$ 项是 2、6 两个小方格的和, 故在 2、6 两个小方格内记入 1。 $B\overline{C}$ 项相应的是 2、3

两个小方格的和，因为小方格 2 内已记入 1，故只需在小方格 3 中记入 1。同理 $\bar{B}C$ 项相应的是 4、5 两个小方格之和，因为小方格 5 内已记入 1，故只需在方格 4 内记入 1。

$\begin{matrix} B A \\ C \end{matrix}$		0	0	0	1	1	1	1	0
0				1		1		1	
		0		1		3		2	
1		1		1				1	
		4		5		7		6	

图 1-11 $F = \bar{A}\bar{B} + \bar{A}B + B\bar{C}$
+ $\bar{B}C$ 卡诺图

$\begin{matrix} B A \\ C \end{matrix}$		0	0	0	1	1	1	1	0
0	1								
1				1					1

图 1-12 $F = \bar{C}\bar{B}\bar{A} + C\bar{B}A$
+ CBA 卡诺图

以上讨论了怎样将一个“与-或”函数表示在卡诺图上。反过来，若在函数的卡诺图内有一个 1，就说明该函数含有一个相应的最小项。

例如图 1-12 的卡诺图表示如下的函数：

$$F = \bar{C}\bar{B}\bar{A} + C\bar{B}A + CBA$$

卡诺图内未记入 1 的那些小方格可记入 0，或让它空着。因为去掉函数 F 所含有的最小项，则其余的最小项组成 $\bar{F}$ 。所以这些 0 格组成函数 $\bar{F}$ ，它们对应的变量取值是使函数 $F = 0$ 。

例如在图 1-10 的例子中，有

$$\bar{F} = C\bar{B}\bar{A} + \bar{C}BA$$

对该式运用狄·摩根定理，又可将函数 F 写成

$$F = (\bar{C} + B + A)(C + \bar{B} + \bar{A})$$

这就将函数 F 表达为最大项之积。

因此，我们既可以用卡诺图上小方格内的 1 来表达一个逻辑函数，也可用小方格内的 0 来表达该函数。用小方格内的 1 来表达时，写出的逻辑函数呈现为最小项之和；而用小方格内的 0 来表达时，逻辑函数呈现为最大项之积。要注意用小方格内的 0 来表达时，最大项式中的变量与卡诺图上所标的变量相反。例如图 1-10 中左下角小方格表现为最大项 $(C + B + A)$ ，这是因为这个最大项是与变量的取值 $C = 1$ 、 $B = A = 0$ 相对应的。

现在分析一个“或-与”逻辑式怎样直接在卡诺图上表示出来。

对一个“或-与”逻辑式来说，如果其中一个“或”项等于 0，则不管其他“或”项的值如何，函数的值都等于 0。因此，为了将这个函数在卡诺图上表示出来，我们在与每一个“或”项所对应的小方格内记入 0。如果这个“或”项是一个最大项，则对应一个小方格。如果这个“或”项不是最大项，则对应的小方格不是一个，而可能是两个、四个等等。

〔例〕 $F = (B + A)(C + \bar{B} + \bar{A})(C + \bar{B} + A)$

如果 $B + A = 0$ ，则不论其他两个“或”项值如何， $F = 0$ 。而 $B + A = 0$ 必须 B 及 A 都等于 0，变量 C 则可为 0 或为 1。故在图 1-13 内，相应于左边的两个小方格应记入 0。同样，对于第三个“或”项 $(C + \bar{B} + A)$ ，在它对应的右上角小方格内记入 0。

二、逻辑函数的卡诺图化简法

这里主要介绍用卡诺图化简一个“与-或”逻辑式的方法，最后提一下“或-与”逻辑式如何用卡诺图来化简。

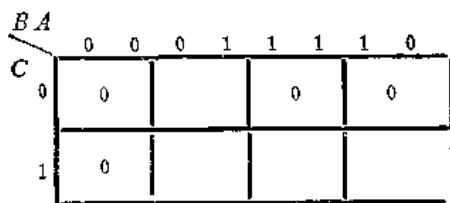


图 1-13 $F = (B + A)(C + \bar{B} + \bar{A}) \times (C + \bar{B} + A)$ 卡诺图

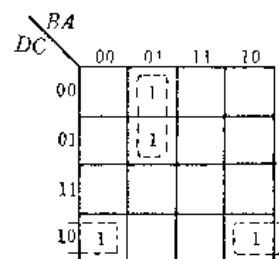


图1-14 两个最小项合并成一项

$$F = \bar{D}\bar{C}\bar{B}A + D\bar{C}\bar{B}A + D\bar{C}B\bar{A} + D\bar{C}B\bar{A} \\ = \bar{D}\bar{B}A + D\bar{C}\bar{A}$$

我们知道，卡诺图中的小方格排列次序，是使相邻小方格表示的最小项只有一个变量改变状态，其余相同。这样，对一个逻辑函数的两个相邻最小项，应用分配律 $AB + AC = A(B + C)$ 以及公式 $A + \bar{A} = 1$ 和 $A \cdot 1 = A$ ，则可将两项合并成一项，合并时消去一个变量。因为由这两个最小项确定的条件与那个消去的变量无关。在卡诺图上是将这样的两项圈成一组来表示的。如图 1-14 所示。

从卡诺图中小方格排列次序又可知，四个相邻小方格表示的四个最小项，有两个变量以四种不同的组合出现，其余相同。因此，一个逻辑函数如果有四个最小项是相邻的，则可将这四个最小项圈成一组，合并成一项，合并时消去两个变量。见图 1-15 [(a)~(d)]。

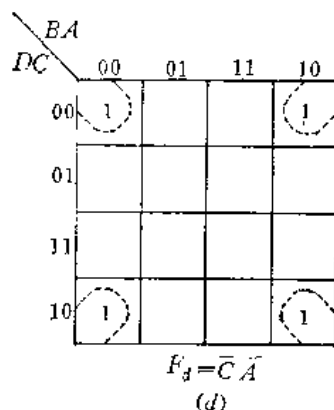
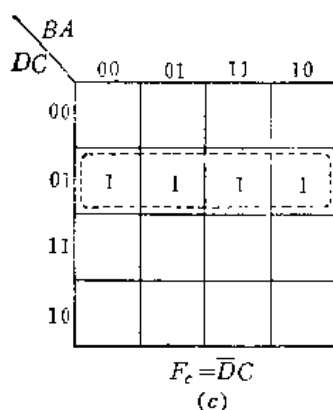
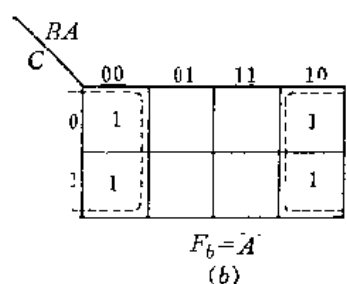
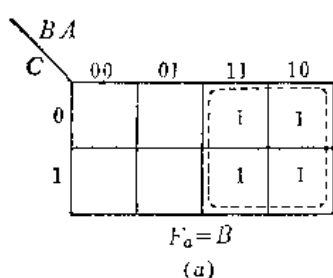


图1-15 四个最小项合并成一项

从卡诺图中小方格的排列次序，我们又知，八个相邻的小方格表示的八个最小项，有三个变量以八种不同的组合出现，其余相同。因此，一个逻辑函数如果有八个最小项是相邻的，则可将这八个最小项圈成一组，合并成一项，合并时消去三个变量。见图 1-16 (a)、(b)。

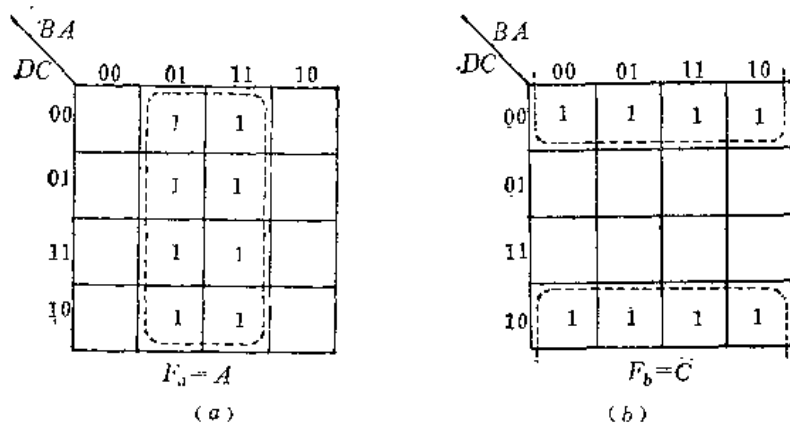


图1-16 八个最小项合并成一项

一般说, 2^N ($N = 1, 2, 3 \dots$) 个相邻小方格表示的 2^N 个最小项, 有 N 个变量以 2^N 种不同的组合出现, 其余因子相同。因此, 一个逻辑函数如果有 2^N 个最小项是相邻的, 则可将这 2^N 个最小项圈成一组, 合并成一项, 合并时消去 N 个变量。

我们还知道, 相同项“或”的结果仍然是该项本身, 如 1.2 节公式 3a: $A + A = A$ 所表明。因此, 相邻最小项圈成的一组, 允许与另一个或另几个其他的圈组共用一个或几个最小项。见图 1-17 (a)~(d)。

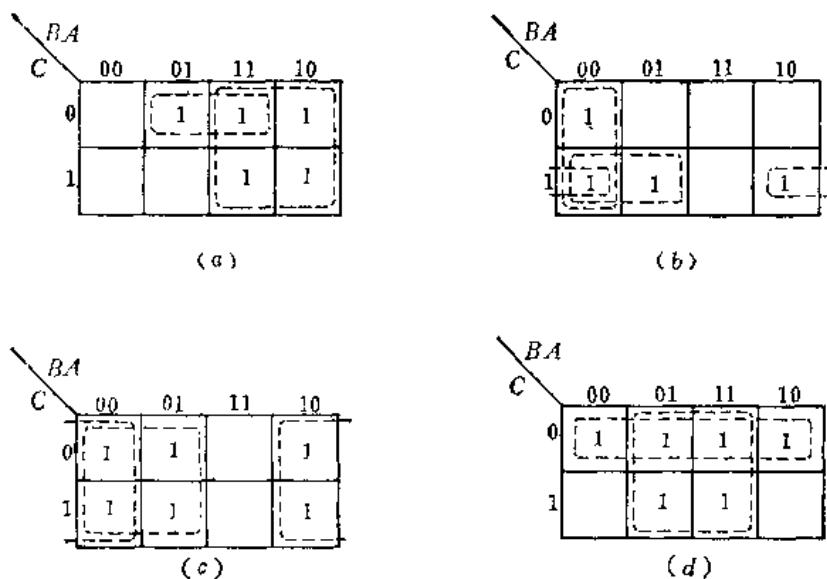


图1-17 最小项的共用

前面说过, 一个最简的“与-或”逻辑式应该包含最少个数的“与”项, 并在满足这一条件下, 每一个“与”项包含的变量个数最少。因此, 用卡诺图化简一个逻辑函数时, 应使由相邻最小项所圈成的组数尽可能少, 而每一圈组应包含尽可能多的最小项。

下面举几个例子来说明用卡诺图进行逻辑函数的化简。

〔例 1〕 化简 $F = CBA + \bar{D}BA + C\bar{B}A + D\bar{B}A + D\bar{C}A + \bar{C}\bar{B}\bar{A} + \bar{D}CB + \bar{D}\bar{C}\bar{B}$

CBA 包含最小项: $\bar{D}CBA + DCBA$

$\bar{D}BA$ 包含最小项: $\bar{D}\bar{C}BA + \bar{D}CBA$

$C\bar{B}A$ 包含最小项: $\bar{D}\bar{C}\bar{B}A + DC\bar{B}A$

$D\bar{B}A$ 包含最小项: $D\bar{C}\bar{B}A + DC\bar{B}A$

$D\bar{C}A$ 包含最小项: $D\bar{C}\bar{B}A + D\bar{C}BA$

$\bar{C}\bar{B}\bar{A}$ 包含最小项: $\bar{D}\bar{C}\bar{B}\bar{A} + D\bar{C}\bar{B}\bar{A}$

$\bar{D}CB$ 包含最小项: $\bar{D}CB\bar{A} + \bar{D}CBA$

$\bar{D}\bar{C}\bar{B}$ 包含最小项: $\bar{D}\bar{C}\bar{B}\bar{A} + \bar{D}\bar{C}\bar{B}A$

函数 F 的卡诺图如图 1-18 所示。它是在与 F 所含的每一个最小项的对应小方格内记入 1 而作成。

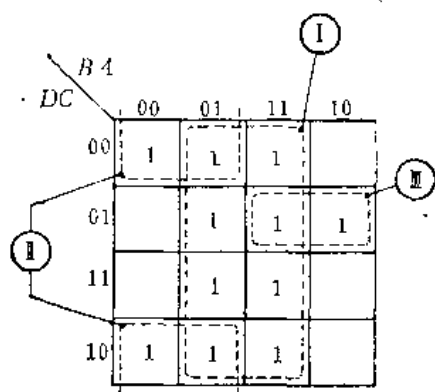


图1-18 $F = CBA + \bar{D}\bar{B}A + \bar{C}\bar{B}\bar{A} + \bar{D}\bar{B}A + \bar{D}\bar{C}\bar{A} + \bar{C}\bar{B}\bar{A} + DCB + \bar{D}\bar{C}\bar{B}$
卡诺图

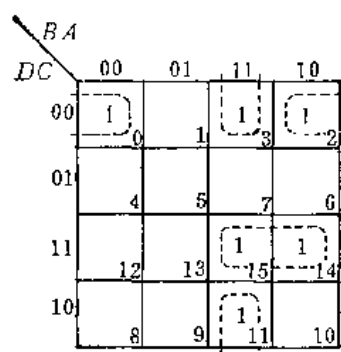


图1-19 $F = \bar{D}\bar{C}\bar{A} + \bar{D}\bar{C}\bar{B} + DBA + DCB$
卡诺图

这些 1 可圈成三组 (I、II 和 III)。

组 I 是将八个相邻的“1”圈在一起，这八个最小项合并成一项 A 。

组 II 是将四个相邻的“1”圈在一起，这四个最小项合并为一项，这一项是 $\bar{C}\bar{B}$ 。

组 III 是将两个相邻的“1”圈在一起，这两个最小项被合并成一项 $\bar{D}CB$ 。

组 I 与组 II 共用两个最小项，组 I 与组 III 共用一个最小项。

F 的最简“与-或”式为：

$$F = A + \bar{C}\bar{B} + \bar{D}CB$$

〔例 2〕 $F = \bar{D}\bar{C}\bar{A} + \bar{D}\bar{C}B + DBA + DCB$

$$\bar{D}\bar{C}\bar{A} = m_0 + m_2$$

$$\bar{D}\bar{C}B = m_2 + m_3$$

$$DBA = m_{11} + m_{15}$$

$$DCB = m_{14} + m_{15}$$

函数 F 的卡诺图示于图 1-19。

m_0 和 m_2 圈成一组，合并为一项 $\bar{D}\bar{C}\bar{A}$

m_3 和 m_{11} 圈成一组，合并为一项 $\bar{C}\bar{B}A$

m_{14} 和 m_{15} 圈成一组，合并为一项 DCB

故 F 的最简“与-或”式为：

$$F = \bar{D}\bar{C}\bar{A} + \bar{C}\bar{B}A + DCB$$

在图 1-19 中, m_3 和 m_2 是相邻的。但如将这两个最小项圈成一组, 则徒然增加一个组, 在逻辑式中增多一个乘积项, 因而结果不是最简的。

同样, 两个相邻的最小项 m_{11} 和 m_{15} 也不应该圈成一组。

〔例 3〕 化简 $F = (\bar{A}\bar{B} + B\bar{D})\bar{C} + BD(\bar{A}\bar{C}) + \bar{D}(\bar{A} + \bar{B})$

利用狄·摩根定理将上式写成“与-或”式:

$$F = (\bar{A}\bar{B} + B\bar{D})\bar{C} + BD(\bar{A}\bar{C}) + \bar{D}AB = \bar{C}\bar{B}\bar{A} + \bar{C}\bar{D}B + DBA + DCB + \bar{D}BA$$

F 的卡诺图示于图 1-20。

F 的最简“与-或”式为:

$$F = BA + DCB + \bar{C}\bar{B}\bar{A} + \bar{D}\bar{C}B$$

上面介绍了变量最多为四个的逻辑函数的卡诺图, 比较详细地叙述了用卡诺图化简函数的方法。下面介绍五个变量的逻辑函数化简。

前已讲到卡诺图是包含所有独立变量各种可能组合的一个矩形阵列。这个矩形阵列按这样的次序排列, 即两个相邻小方格只有一个变量的取值不同, 因而可用来图示化简逻辑函数。

这样的次序排列对于变量最多为四个的逻辑函数来说, 是很容易在一个平面图上实现的。例如对于四个变量的卡诺图, 我们

知道它是把四个变量 D 、 C 、 B 和 A 分成两部分, 每部分两个变量。变量 B 和 A 为一部分, 它是由位于矩阵顶部相同次序的二进制符号表示的, 是卡诺图中的行; 变量 D 和 C 为另一部分, 置于矩阵左侧, 是卡诺图中的列, 见图 1-15。由于一行或一列只表示两个变量, 因此它的相邻行数或相邻列数只有两个。例如 01 这一行, 它的相邻行为 11; 一为变量 A 改变状态, 即 00。同样, 10 这一行, 它的相邻行为 00 及 11。每一行只有两行与它相邻, 每一列只有两列与它相邻, 这就可以很清楚地在平面图上表明。当逻辑函数的变量个数为五个时, 把它分成两部分, 就要有一部分包含三个变量。相应的矩阵的行或列, 其中之一要有三个变量。每个变量分别改变状态, 则应有三个相邻的行或列。例如, 每行有三个变量, 每列两个变量。对于 001 这行, 它的相邻行为 000, 011 及 101 三行; 对于 111 这行, 它的相邻行为 110, 101 及 011 三行。每一行都有三行和它相邻, 在一个平面图上表示就不像三、四个变量那样显而易见了。

对于五个变量函数 $F(E, D, C, B, A)$ 的卡诺图, 一种比较清楚的表示方法见图 1-21。它由两个四变量 $DCBA$ 的卡诺图组成。左图是 $E = 0$ 时四个变量各种可能组合的一个矩形阵列, 右图表示 $E = 1$ 时的相应矩阵。由此可见, 左右两图中同一位置的小方格是相邻的。例如, 小方格 0 和 16 是相邻的, 1 和 17 是相邻的, 7 和 23 是相邻的, 10 和 26 是相邻的。

〔例〕 化简 $F(E, D, C, B, A) = \sum m(3, 5, 7, 9, 11, 12, 18, 19, 22, 23, 25, 27, 28)$

函数 F 的卡诺图示于图 1-22。

最小项 m_5 可与最小项 m_7 圈成一组, 消去一个变量 B , 得到的乘积项是 $\bar{E}\bar{D}CA$ 。

最小项 m_{18} 、 m_{22} 与最小项 m_{19} 、 m_{23} 圈成一组, 消去两个变量, 得到的乘积项是 $E\bar{D}B$ 。

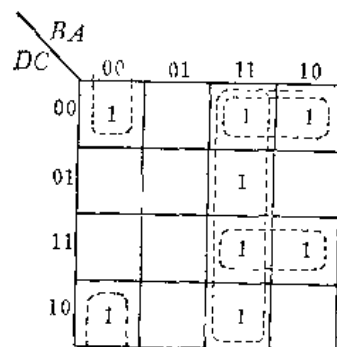


图 1-20 $F = (\bar{A}\bar{B} + B\bar{D})\bar{C} + BD(\bar{A}\bar{C}) + \bar{D}(\bar{A} + \bar{B})$
卡诺图

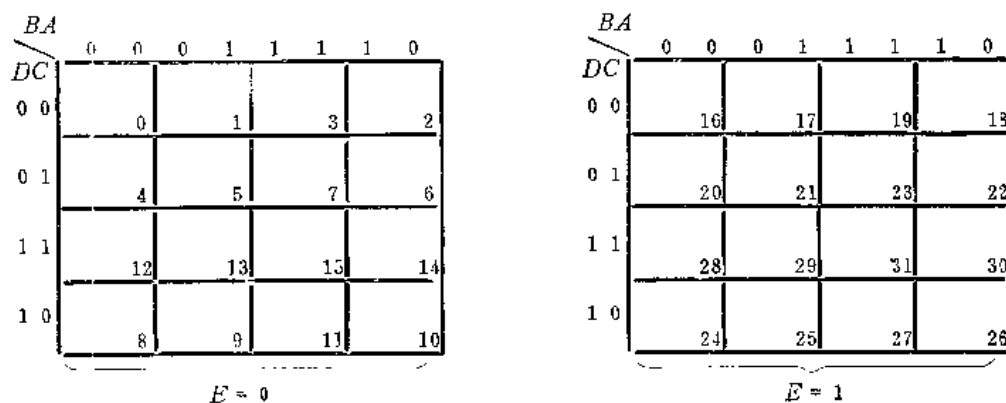


图1-21 五个变量的卡诺图

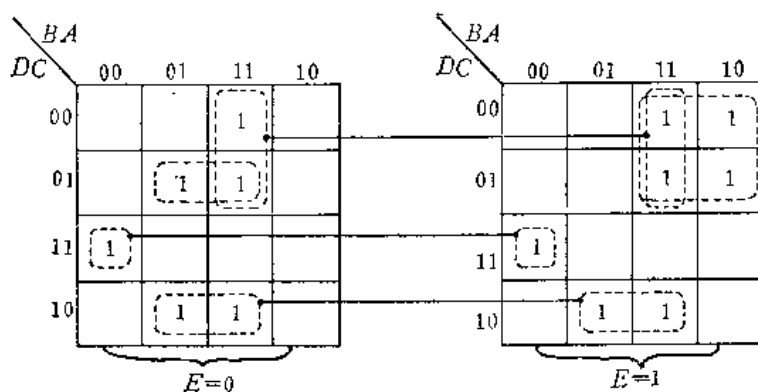


图1-22 五变量函数的卡诺图化简

其他乘积项则由左右两图中同一位置最小项的相邻性进行合并而得。它们与 E 无关。这些乘积项是：

最小项 m_{12} 与 m_{28} 合并成一项，合并后的乘积项是 $DC\bar{B}\bar{A}$ 。

四个最小项 m_8 、 m_{11} 、 m_{25} 和 m_{27} 合并成一项，结果是 $D\bar{C}A$ 。

四个最小项 m_3 、 m_7 、 m_{19} 和 m_{23} 圈成一组，结果是 $\bar{D}BA$ 。

所以函数 F 的最简“与-或”式为：

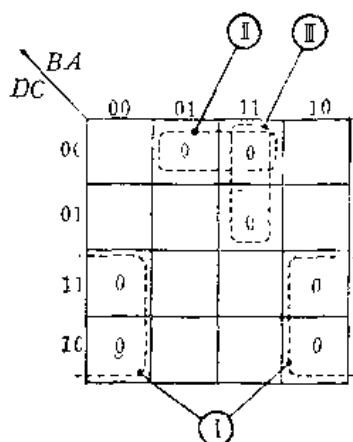
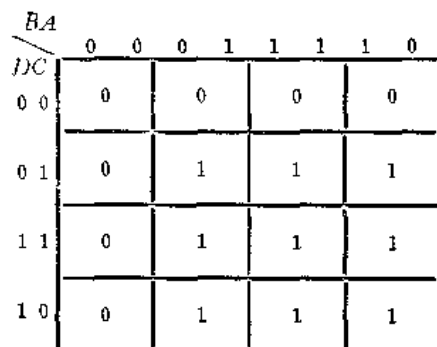
$$F = \bar{E}\bar{D}CA + E\bar{D}B + DC\bar{B}\bar{A} + D\bar{C}A + \bar{D}BA$$

下面介绍“或-与”逻辑式如何用卡诺图简化。

前面已介绍过一个“或-与”逻辑式怎样用卡诺图来表达。这就是将逻辑式中每一个“或”项在卡诺图上对应的那些小方格内记入 0。卡诺图上每一个小方格对应于一个最大项。见图 1-13 的例子。用卡诺图化简一个“或-与”逻辑式，其基本原理和方法与化简“与-或”逻辑式相似，只不过前者是用记入小方格内的 0 来进行圈组、并项、消去某些变量，这就像化简“与-或”式时是用记入小方格内的 1 来进行的。这里不再一一叙述，仅用下面几个例子来说明。

〔例 1〕 化简 $F = (D + C + B + \bar{A})(D + C + \bar{B} + \bar{A})(D + \bar{C} + \bar{B} + \bar{A})(\bar{D} + \bar{C} + B + A)(\bar{D} + \bar{C} + \bar{B} + A)(\bar{D} + C + B + A)(\bar{D} + C + \bar{B} + A)$

函数 F 的卡诺图如图 1-23 所示。它是在与 F 所含每一个最大项的对应小方格内记入 0 而作成。

图1-25 例1 F 的卡诺图图1-24 例2 F 的卡诺图

这些0可圈成三组 (I, II, III)。

组 I 是将四个相邻的最大项圈在一起, 合并成一项为 $(\bar{D} + A)$ 。

组 II 及组 III 都是将两个相邻的最大项圈在一起, 分别得到的两个和项是 $(D + C + \bar{A})$ 及 $(D + \bar{B} + \bar{A})$ 。

组 II 和组 III 共用一个最大项。

函数 F 的最简“或-与”式为:

$$F = (\bar{D} + A)(D + C + \bar{A})(D + \bar{B} + \bar{A})$$

〔例2〕 函数 F 的卡诺图见图 1-24, 写出 F 的最简“与-或”式及最简“或-与”式。

(1) F 的最简“与-或”式为 (见图 1-25 (a)):

$$F = CA + CB + DA + DB$$

(2) F 的最简“或-与”式为 (见图 1-25 (b)):

$$F = (B + A)(D + C)$$

上面两式相等, 因它们是同一函数 F 的表达式。

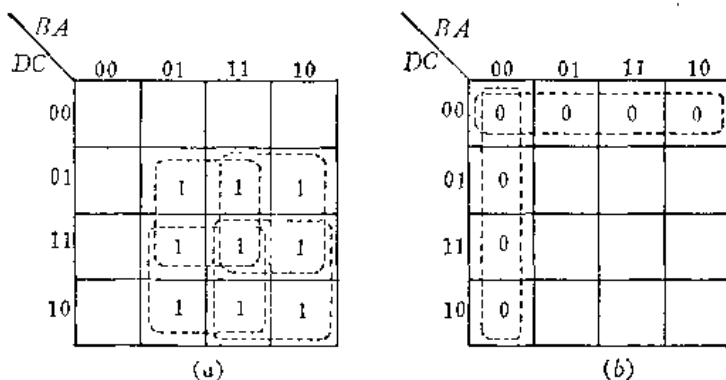


图1-25 卡诺图

(a) $F = CA + CB + DA + DB$; (b) $F = (B + A)(D + C)$ 。

1.3.4 奎尼-麦克洛斯基 (Quine-McCluskey) 法

卡诺图是化简逻辑函数简易而有效的工具。然而当函数包含较多的变量 (≥ 6) 时, 它

就不太适用, 因为相邻项 (只有一个变量不同) 的位置在这些情况下不能由一个平面图立即显示出来。对多变量函数最适用的化简技术是奎尼-麦克洛斯基法。

奎尼-麦克洛斯基法是通过函数内各项逐次进行详尽比较, 从而确保得到最简的结果。它便于编制计算机解题程序。这里我们举一个例子来介绍这种方法。

设要化简的逻辑函数 F 为:

$$F(D, C, B, A) = \sum m(0, 2, 3, 5, 7, 8, 10, 11, 13, 15)$$

首先, 按照这些最小项所含有 1 的个数, 将它们分组, 如图 1-26(a)。然后, 将每组内的各个最小项分别和邻近组内的各个最小项进行比较。比较时如有两个最小项其中只有一个变量改变状态, 其余相同, 则可合并成一项, 同时消去这个变量。比较的结果示于图 1-26(b), 消去的变量用 $\times$ 代替。例如, m_0 与 m_2 比较得到 00×0 , 列于图 1-26(b) 中第一次比较结果的第一项。 m_0 再与 m_8 比较产生 $\times 000$, 列于图中第一次比较结果内第二项。到此就完成了不含 1 这组的最小项同只含一个 1 这组的各个最小项的比较。然后, 再详尽地比较只含一个 1 这组的各个最小项和含两个 1 这组的各个最小项。如此继续下去, 直到最后含四个 1 这组为止。图 1-26(b) 就是这样作出的。这个图有四组, 各组合 1 的个数分别是 0, 1, 2 及 3 个。每一个乘积项包含 D, C, B, A 四个变量中的三个变量。

含 1 个数	最 小 项				
	m_i	D	C	B	A
0	m_0	0	0	0	0
1	m_2	0	0	1	0
	m_8	1	0	0	0
2	m_3	0	0	1	1
	m_5	0	1	0	1
	m_{10}	1	0	1	0
	m_7	0	1	1	1
3	m_{11}	1	0	1	1
	m_{13}	1	1	0	1
4	m_{15}	1	1	1	1

(a)

1	第一次 比较结果
0, 2	0 0 $\times$ 0
0, 8	$\times$ 0 0 0
2, 3	0 0 1 $\times$
2, 10	$\times$ 0 1 0
8, 10	1 0 $\times$ 0
3, 7	0 $\times$ 1 1
3, 11	$\times$ 0 1 1
5, 7	0 1 $\times$ 1
5, 13	$\times$ 1 0 1
10, 11	1 0 1 $\times$
7, 15	$\times$ 1 1 1
11, 15	1 $\times$ 1 1
13, 15	1 1 $\times$ 1

(b)

	第二次 比较结果
0, 2, 8, 10	$\times$ 0 $\times$ 0
2, 3, 10, 11	$\times$ 0 1 $\times$
3, 7, 11, 15	$\times$ $\times$ 1 1
5, 7, 13, 15	$\times$ 1 $\times$ 1

(c)

图1-26 用奎尼-麦克洛斯基法化简逻辑函数

下一步是进行第二次比较。就是将图 1-26 (b) 各组内的每一项与邻近组内的每一项进行详尽地比较。比较时若遇有两项其中只有一个变量改变状态, 其余相同, 则可合并成一项, 同时消去这个变量。消去的变量用 $\times$ 代替。比较结果示于图 1-26 (c)。这个图有三组, 各组含 1 的个数分别是 0、1 及 2。每一个乘积项包含 D 、 C 、 B 、 A 四个变量中的两个变量。

再接下去进行第三次比较, 然后第四次、第五次……。直至比较结果的各乘积项不能再合并时为止。在这个例子中, 经过第二次比较所得的乘积项已不能再行合并, 因此比较就到第二次结束。

这样, 通过多次比较, 我们就将函数 F 所包含的全部最小项合并成几个不能再行合并的乘积项。为了求得 F 的最简“与-或”式, 一般并不需要将这些乘积项全都包括进去, 而只需选择其中若干项, 只要能将函数 F 的全部最小项都覆盖 (包含) 进去就行了。选择时根据这样的原则: 首先乘积项个数应该是最少的; 其次, 在满足上述条件下, 要求每一个乘积项中变量个数最少。

在这个例子中, 通过两次比较, 已将函数 F 所包含的全部最小项合并成四个不能再行合并的乘积项。为了便于求得 F 的最简“与-或”式, 我们列出覆盖表如图 1-27。

最小项 不能合并 的乘积项	0	2	3	5	7	8	10	11	13	15
0, 2, 8, 10	√	√				√	√			
2, 3, 10, 11		√	√				√	√		
3, 7, 11, 15			√		√			√		√
5, 7, 13, 15				√	√				√	√

图 1-27 覆盖表

图中每一个不能再行合并的乘积项所包含的最小项, 都在对应的行列交叉处用记号“√”标出。

下面讨论选取哪些不能合并的乘积项。一般先检查一下表中的每一行, 挑出那些只有一个“√”号的行。应该首先选取包含这些“√”号的那些不能合并的乘积项。因为如果不选这些项, 就没有别的项来包括这些“√”号。

在本例中, 只有一个“√”号的行对应最小项 m_0 , m_5 , m_8 , m_{13} , 故应先选取 (0, 2, 8, 10) 项及 (5, 7, 13, 15) 项。如果不选取这两项, 就没有别的项是包含 m_3 , m_6 , m_9 及 m_{14} 这四个最小项。

选定了 (0, 2, 8, 10) 及 (5, 7, 13, 15) 这两个不能合并的乘积项后, 就包含了 m_0 , m_2 , m_5 , m_7 , m_8 , m_{10} , m_{13} 和 m_{15} 八个最小项。函数 F 的全部最小项有十个, 还有 m_3 和 m_{11} 两个没有覆盖进去。由图 1-27 覆盖表看到, 在余下的两个不能合并的乘积项中, 任取一个, 就可将函数表的全部最小项都覆盖了。故本例函数 F 的最简“与-或”式为:

$$F = \overline{C}\overline{A} + CA + \overline{C}B$$

或

$$F = \overline{C}\overline{A} + CA + BA$$

最后需指出, 在这个例子中, 不能合并的乘积项全都于最后一次比较中得到。一般情况下不一定如此, 在每次比较时都可能产生若干个不能合并的乘积项。此外, 函数 F 的某些最小项, 也有可能就是不能合并的乘积项。当然这些情况下函数化简的方法和步骤与本例仍相同。

1.3.5 最简的“与非-与非”、“或非-或非”及“与或非”逻辑式

一、“与非”、“或非”及“与或非”逻辑介绍

如上所述, 三种基本逻辑为“与”、“或”和“非”。实现这些逻辑功能的电路分别称为“与”门、“或”门及“非”门。但一些实用逻辑门往往是实现两种或多种基本逻辑功能的组合, 最常用的有“与非”门, “或非”门等。

1. “与非”

“与非”逻辑是“与”逻辑随之以“非”逻辑。实现“与非”逻辑功能的电路称为“与非”门。“与非”门的逻辑符号一般是在“与”门的输出端上加一个小圆圈表示, 见图1-28。

“与非”逻辑的表达式 $F = \overline{AB \cdots N}$, 其含义是: 仅当变量 A 与 B 与 $\cdots$ 与 N 等全为1时, 变量 F 才不是1 (为0), 否则 F 为1。

表1-11是两个输入端“与非”门的真值表。

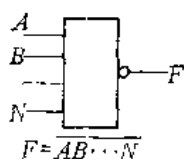


图1-28 “与非”门
符号及其逻辑式

A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

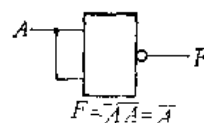


图1-29 “与非”门用
作“非”门

同三种基本逻辑“与”、“或”和“非”相比, “与非”可以实现各种逻辑关系。用一种“与非”门可以完成“与”、“或”、“非”三种基本逻辑功能。

以两输入端的“与非”门为例。用它作“非”门时, 将两个输入端接在一起即可, 如图1-29所示。

当用“与非”门作“与门”时, 可用两个“与非”门, 其中一个作“非”门用, 见图1-30。

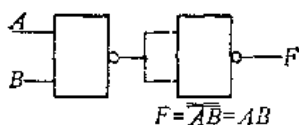


图1-30 “与非”门
用作“与”门

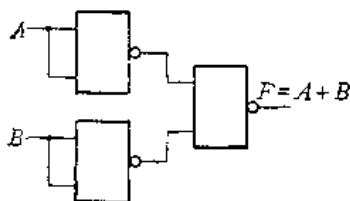


图1-31 “与非”门用作
“或”门

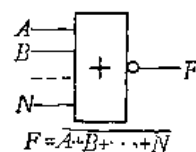


图1-32 “或非”门符号
及其逻辑式

“与非”门如作“或”门用,则根据等式 $A + B = \overline{\overline{A} \cdot \overline{B}}$, 由三个“与非”门构成。其中前两个作为“非”门,见图 1-31。

2. “或非”

“或非”逻辑是“或”逻辑随之以“非”逻辑。实现“或非”逻辑功能的电路称为“或非”门。“或非”门的逻辑符号一般是在“或”门的输出端上加一个小圆圈表示,见图 1-32。

“或非”逻辑的表达式 $F = \overline{A + B + \cdots + N}$, 其含义是:如变量 A 或 B 或 $\cdots$ 或 N 为 1, 亦即变量 $A, B \cdots N$ 只要其中有一个为 1, 则 F 为 0。仅当 $A, B \cdots N$ 等全部变量都为 0 时, F 才为 1。

表 1-12 是两个输入端“或非”门的真值表。

表 1-12 “或非”逻辑

A	B	F
0	0	1
0	1	0
1	0	0
1	1	0

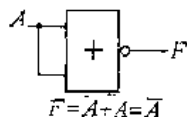


图 1-33 “或非”门用作“非”门

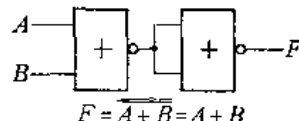


图 1-34 “或非”门用作“或”门

和“与非”门相似,用一种“或非”门就可以完成“与”、“或”、“非”三种基本逻辑功能。

以两个输入端的“或非”门为例,用它作“非”门时,将两个输入端接在一起即可,如图 1-33 所示。

当用“或非”门作“或”门时,可用两个“或非”门,其中一个作“非”门用,见图 1-34。

“或非”门如作“与”门用,则根据等式 $AB = \overline{\overline{A} + \overline{B}}$, 由三个“或非”门构成,其中前两个作为“非”门,见图 1-35。

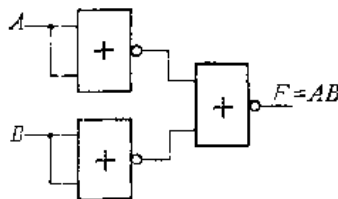


图 1-35 “或非”门
用作“与”门

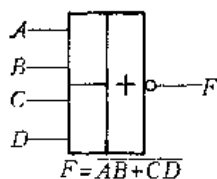


图 1-36 “与或非”门
符号及逻辑式

3. “与或非”

“与或非”逻辑是“与”逻辑随之以“或”逻辑再随之以“非”逻辑。也可以说,它是“与”逻辑随之以“或非”逻辑。实现“与或非”逻辑功能的电路称为“与或非”门。图 1-36 是一个“与或非”门的逻辑符号。这个“与或非”门有两个“与”门,每个“与”门具有两个输入端。逻辑关系式为 $F = \overline{AB + CD}$ 。它实现这样的逻辑功能:当任一个“与”门的

输入全部是 1 时, 输出为 0。例如一个“与”门的两个输入 C 、 D 都是 1, 则

$$F = \overline{AB} + 1 = 0$$

此时与其他门的输入无关, 即与 A 、 B 的值无关。如果每个“与”门的输入不是全为“1”, 其中至少有一个为 0, 则输出 F 为 1。 $F = 0 + 0 = 1$ 。

一个“与或非”门如果含有四个“与”门, 每个“与”门的输入端数分别是 3, 2, 2, 3, 则称它为 3-2-2-3 输入“与或非”门。

二、最简的“与非-与非”逻辑式

对于“与非-与非”逻辑式, 所谓最简, 首先是指逻辑式内不同“与”项的“非”号最少; 其次, 在满足这一条件下, “非”号下面“与”项包含的变量个数应该最少。

这也就是说, 对于全部采用“与非”门的逻辑网络, 所谓最简, 首先是指所需的“与非”门最少; 其次, 在满足这一条件下, 要求“与非”门的输入端数最少。

最简的“与非-与非”逻辑式一般通过下述两步得到: (1) 先求得函数的最简“与-或”式。(2) 将此最简的“与-或”式转换为最简的“与非-与非”式。

〔例 1〕用“与非”门实现下列逻辑函数:

$$F(D, C, B, A) = \sum m(1, 2, 6, 8, 9, 10, 11, 12, 13, 14, 15)$$

假定在输入端四个变量 D 、 C 、 B 、 A 的反变量都已存在, 因而在统计“非”号时, 不计及单个变量上的“非”号。

1. 先求出函数的最简“与-或”式

函数 F 的卡诺图示于图 1-37。

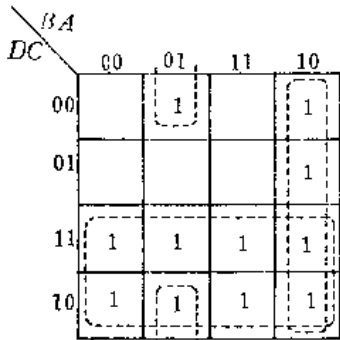


图 1-37

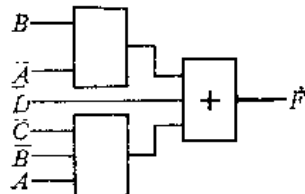


图1-38 由“与-或”门组成的逻辑图

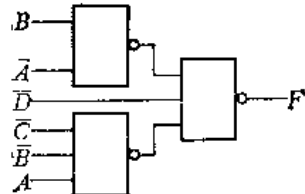


图1-39 由“与非”门组成的逻辑图

由此得到 F 的最简“与-或”式为:

$$F = D + B\bar{A} + \bar{C}\bar{B}A$$

由“与-或”门实现的逻辑图如图 1-38 所示。

2. 将 $F = D + B\bar{A} + \bar{C}\bar{B}A$ 转换为最简的“与非-与非”式
应用狄·摩根定理, 将每个“与”项作一个整体处理, 得

$$F = \overline{\overline{D} \cdot \overline{B\bar{A}} \cdot \overline{\bar{C}\bar{B}A}}$$

由“与非”门实现的逻辑图见图 1-39。

对比图 1-38 和图 1-39, 可见两级“与非-与非”网络和两级“与-或”网络相似。由后者转换为前者只需:

- (1) 将所有的“与”门及“或”门改成“与非”门；
- (2) 直接加到输出级的变量改成它的反变量。

〔例2〕用“与非”门设计一个具有三个输入变量的网络，要求当这三个输入变量不一致时，输出为1。假设输入端变量的反变量不存在。

(1) 先求函数的最简“与-或”式

令 A 、 B 、 C 表示这三个输入变量，它们有八种不同组合。其中两种组合 CBA 及 $\bar{C}\bar{B}\bar{A}$ 三个变量出现一致。前一种三者都为原变量，后一种三者都为反变量。其余六种组合构成所要求的函数，用 F 表示则为：

$$F(C, B, A) = \bar{C}\bar{B}A + \bar{C}B\bar{A} + \bar{C}BA + C\bar{B}\bar{A} + C\bar{B}A + CBA$$

函数 F 的卡诺图绘于图 1-40，由此求得函数的最简“与-或”式为：

$$F = \bar{C}A + \bar{A}B + \bar{B}C$$

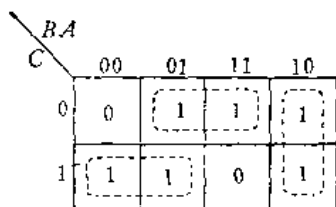


图 1-40

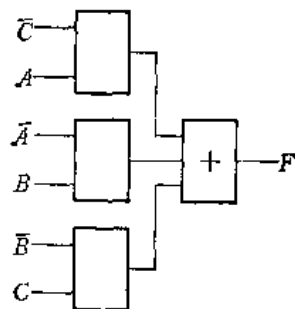


图 1-41

由“与-或”门实现的逻辑图见图 1-41。

(2) 将 $F = \bar{C}A + \bar{A}B + \bar{B}C$ 转换为“与非-与非”式

应用狄·摩根定理，得

$$F = \overline{\overline{\bar{C}A} \cdot \overline{\bar{A}B} \cdot \overline{\bar{B}C}}$$

用“与非”门实现的逻辑图见图 1-42。

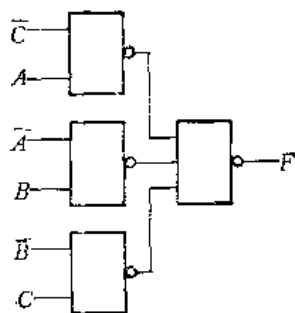


图 1-42

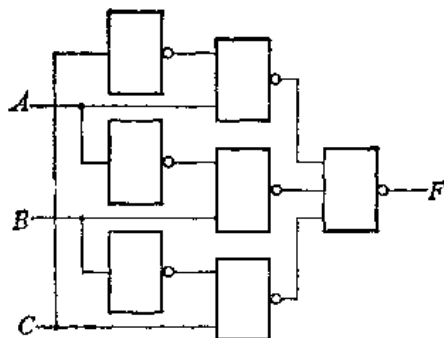


图 1-43

对比图 1-41 和图 1-42，两者形式相同。将图 1-41 内的全部“与”门及“或”门都改成“与非”门就得到图 1-42。

由于输入变量的反变量不存在，因此尚需要用三个“非”门以获得图 1-42 中的三个反变量 $\bar{A}$ 、 $\bar{B}$ 及 $\bar{C}$ ，见图 1-43。

图 1-43 共要求 2 输入“与非”门 3 个，3 输入“与非”门 1 个及“非”门 3 个。

这个例子还可用下述方法进行设计，结果得到的“与非”网络较图 1-43 经济可取。

再看图 1-40，用卡诺图化简函数时暂且将 CBA 这个最小项包括进去（见图 1-44），得到逻辑式 $C + B + A$ 。

应用狄·摩根定理， $C + B + A = \overline{\overline{C} \cdot \overline{B} \cdot \overline{A}}$ 。逻辑图示于图 1-45。

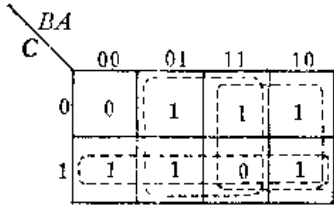


图 1-44

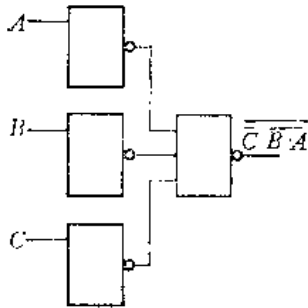


图 1-45

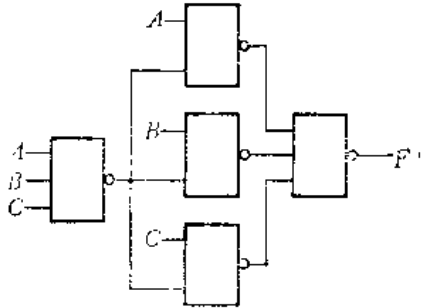


图 1-46

因为 $CBA=1$ 时， F 应为 0，所以需要增用一个 3 输入“与非”门（如图 1-46），就可达到要求。

图 1-46 共需 2 输入“与非”门 3 个和 3 输入“与非”门 2 个。

三、最简的“或非-或非”逻辑式

最简的“或非-或非”逻辑式指的是：首先，逻辑式内不同“或”项的“非”号最少；其次，在满足这一条件下，“非”号下面“或”项包含的变量个数应该最少。

这也就是说，对于全部采用“或非”门的逻辑网络，所谓最简，首先是指所需的“或非”门最少；其次，在满足这一条件下，要求“或非”门的输入端数目最少。

最简的“或非-或非”逻辑式一般通过下述两步得到：（1）先求得函数的最简“或-与”式。（2）将此最简的“或-与”式转换为最简的“或非-或非”式。

〔例 1〕用“或非”门设计一个 3 输入变量的多数逻辑电路，即当 3 个输入变量中至少有两者为 1 时，电路输出 1。

（1）先求函数的最简“或-与”式

作出函数的卡诺图示于图 1-47。由此得到最简“或-与”式为：

$$F = (A + B)(B + C)(C + A)$$

由“或-与”门实现的逻辑图如图 1-48 所示。

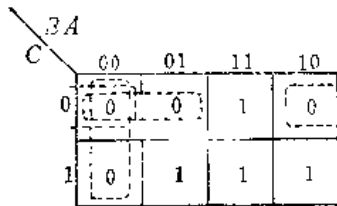


图 1-47

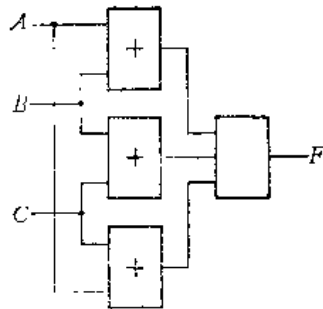


图 1-48

(2) 将 $F = (A + B)(B + C)(C + A)$ 转换为最简的“或非-或非”式
应用狄·摩根定理, 将每一个“或”项作一个整体看待, 得

$$F = \overline{\overline{A + B + B + C + C + A}}$$

用“或非”门实现的逻辑图见图 1-49。

对比图 1-48 和图 1-49, 可知两级“或非-或非”网络和两级“或-与”网络形式相同。
由后者转换为前者只需:

- (1) 将所有“或”门及“与”门都改成“或非”门;
- (2) 直接加到输出级的变量改成它的反变量。

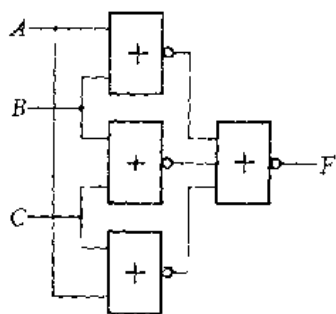


图 1-49

$\begin{matrix} C \\ BA \end{matrix}$	00	01	11	10
0	1	0	1	1
1	0	1	1	1

图 1-50

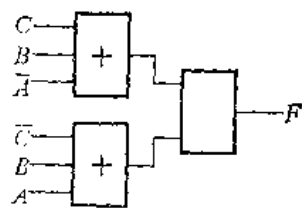


图 1-51

〔例 2〕 用“或非”门实现三变量函数 $F(C, B, A) = \sum m(0, 2, 3, 5, 6, 7)$ 。设输入不存在此三变量的反变量。

- (1) 先求函数的最简“或-与”式

图 1-50 是函数 F 的卡诺图。由此得知 F 的最简“或-与”式为:

$$F = (C + B + \bar{A})(\bar{C} + B + A)$$

由“或-与”门实现的逻辑图见图 1-51。

- (2) 将 $F = (C + B + \bar{A})(\bar{C} + B + A)$ 转换为“或非-或非”式

应用狄·摩根定理, 得

$$F = \overline{\overline{C + B + \bar{A} + \bar{C} + B + A}}$$

用“或非”门实现的逻辑图见图 1-52。

对比图 1-52 和图 1-51, 两者形式相同。将图 1-51 内的全部“或”门及“与”门都改成“或非”门就得到图 1-52。

由于输入端不存在有输入变量的反变量, 因此还需要两个“非”门以获得图 1-52 中的 $\bar{C}$ 和 $\bar{A}$ 。见图 1-53。

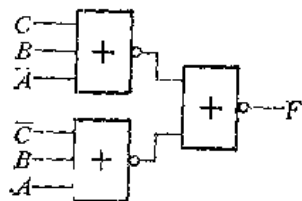


图 1-52

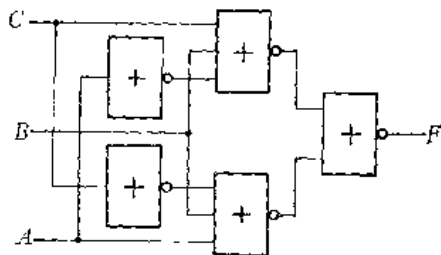


图 1-53

图 1-53 共用两个 3 输入“或非”门，一个 2 输入“或非”门及两个“非”门。

这个例子还可以用下述方法进行设计，结果得到的“或非”网络较图 1-53 经济可取。

再从图 1-50 着手，暂且将最大项 $M_0 = C + B + A$ 包括进去来进行化简，见图 1-54，得到逻辑式 $(C + B)(B + A)$ 。

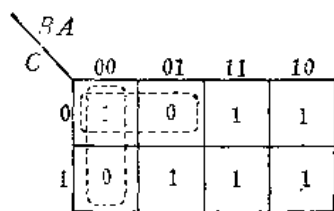


图 1-54

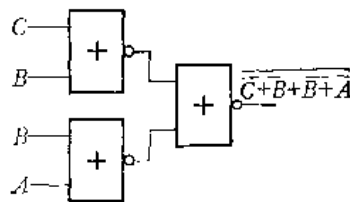


图 1-55

应用狄·摩根定理有：

$$(C + B)(B + A) = \overline{\overline{C + B} \cdot \overline{B + A}}$$

逻辑图示于图 1-55。

实际上 $C + B + A = 0$ 时 F 应为 1，所以在图 1-55 前面需要增用一个 3 输入“或非”门，如图 1-56，就可达到要求。

图 1-56 共需 3 输入“或非”门三个，2 输入“或非”门一个。

四、最简的“与或非”逻辑式

对于一个“与或非”逻辑式，所谓最简，一般是指“非”号下面的“与-或”式是最简的。这就是说，首先“非”号下面的“与”项个数应该最少；其次，在满足这一条件下，每个“与”项包含的变量个数最少。

这也就是说，对于一级“与或非”门，所谓最简，首先是指其中“与”门的数目最少；其次，在满足这一条件下，要求“与”门的输入端数目最少。

最简的“与或非”逻辑式通常是用下述两种方法求得：（1）从函数 F 的最简“与-或”式取两次反；（2）先求 $\overline{F}$ 的最简“与-或”式，然后对 $\overline{F}$ 取反。

〔例 1〕用“与或非”门实现函数

$$F = AC + BD\overline{E}$$

对函数 F 取两次反即得：

$$\overline{F} = \overline{AC + BD\overline{E}}$$

逻辑图见图 1-57。

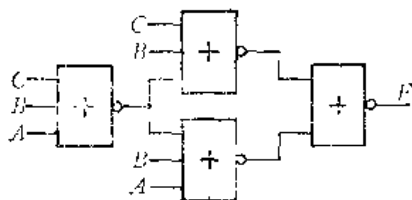


图 1-56

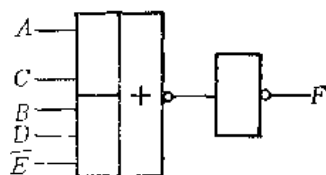


图 1-57

〔例 2〕用“与或非”门实现四变量函数

$$F(D, C, B, A) = \sum m(0, 2, 3, 4, 8, 9, 10, 14)$$

先作出函数 F 的卡诺图如图 1-58 所示。

		BA			
		00	01	11	10
DC	00	1	0	1	1
	01	1	0	0	0
	11	0	0	0	1
	10	1	1	0	1

图 1-58

求 $\bar{F}$ 的最简“与-或”式得

$$\bar{F} = \bar{D}\bar{B}A + \bar{D}CB + DC\bar{B} + DBA$$

再对 $\bar{F}$ 取“反”：

$$F = \overline{\bar{D}\bar{B}A + \bar{D}CB + DC\bar{B} + DBA}$$

逻辑图见图 1-59。

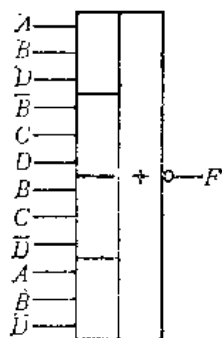


图 1-59

如果用前一种方法，先求函数 F 的最简“与-或”式，然后取两次反，显然将多用一个“非”门。

第二章 触 发 器

在第一章内,介绍了“与”门、“或”门、“非”门、“与非”、“或非”及“与或非”等逻辑门。这些逻辑门的输出取决于它的输入。如果信号通过门的时间延迟小得可以不计的话,则输入的改变,随即造成输出的相应改变。在数字系统中,需要有一种记忆元件,它能够将数字信息暂时地或较持久地存储下来。上述逻辑门不能实现这种要求,因为它们的输出随着输入信息的消失而消失。本章讨论的触发器是一个具有记忆作用的二进存储单元。触发器有两个稳定状态,分别表示逻辑0和逻辑1。它能长期保持在其中任一稳定状态,并且,外加触发信号可以使它改变状态。

2.1 触发器的基本形式及类型

2.1.1 触发器的基本形式

触发器的基本形式是由两个“与非”门或者两个“或非”门交叉联接组成,如图2-1所示。门A的输出接到门B的一个输入端,而门B的输出接到门A的一个输入端。

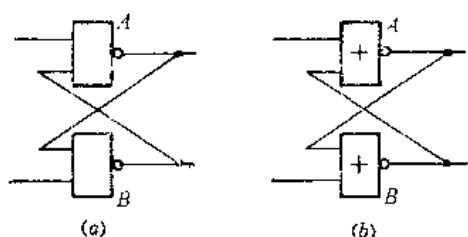


图2-1 触发器的基本形式

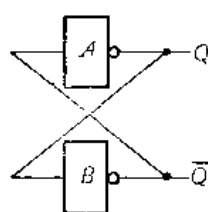


图2-2 两“非”门交叉连接

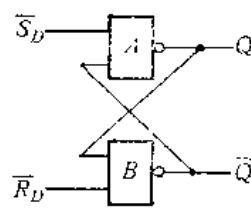


图2-3 两个“与非”门组成的触发器

先分析两个“非”门交叉连接的状况,如图2-2所示。假设“非”门A的输出为 $Q=“1”$ 。因为它也是“非”门B的输入,所以“非”门B输出 $\bar{Q}=“0”$ 。又由于 $\bar{Q}$ 是连接到门A的输入端,这就保证了门A的输出 $Q=“1”$ 。所以 $Q=“1”$, $\bar{Q}=“0”$ 是这个电路的一个稳定状态。同理,另一个稳定状态是 $Q=“0”$, $\bar{Q}=“1”$ 。这个双稳态电路在电源接通后,它出现的状态可能是 $Q=“0”$,也可能是 $Q=“1”$ 。

触发器是一个有两个稳定状态的电路,这两种状态分别代表它所寄存的二进制数码是0还是1。为了接收数码0和1,它还必须有这样的功能,即在外输入触发信号的作用下,可以从一种状态转换到另一种状态。因此,它就需要有置“0”端和置“1”端。将图2-2中的两个“非”门改成“与非”门或者“或非”门,就可以实现这样的要求。下面来讨论由两个“与非”门组成的触发器。见图2-1(a)。为叙述方便起见,重画于图2-3,同时将输出端、输入端都用文字 Q 、 $\bar{Q}$ 及 $\bar{S}_D$ 、 $\bar{R}_D$ 标明。

当没有数码输入时, $\bar{S}_D$ 端及 $\bar{R}_D$ 端都置于高电平,即 $\bar{S}_D=\bar{R}_D=“1”$ ($S_D=R_D=“0”$)。

我们用输出 Q 表示触发器的状态。如果此时触发器处于“0”状态 $Q = “0”$ ，则门 B 有一个输入端为“0”，故 $\bar{Q} = “1”$ 。对于门 A 来说，此时它的两个输入端均为“1”，这就保证了输出 $Q = “0”$ 。另一种情况是此时触发器处于“1”状态， $Q = “1”$ ， $\bar{Q} = “0”$ 。

设触发器原来状态为 $Q = “0”$ 。现在从它的 $\bar{S}_D$ 端输入一个负脉冲，于是 $\bar{S}_D$ 从“1”变为“0”， $\bar{R}_D$ 两端仍使保持“1”电平不变。这样一来，门 A 的输入端有一个是“0”电平，从而经过一级门的延迟时间以后，它的输出 Q 从原来的“0”变为“1”。现在门 B 的输入端都是“1”了，因而再经过一级门的时间延迟，门 B 的输出就由原来的“1”变为“0”，即 $\bar{Q} = “0”$ 。当 $\bar{S}_D$ 端的负脉冲消失以后，由于门 B 的输出 $\bar{Q}$ 为“0”，因而门 A 的输出可以保持为“1”，即触发器可以稳定地保持在“1”状态。上述过程的波形示于图2-4。其中 t_{pd} 是一级“与非”门的传输时延。

如触发器原来状态为 $Q = “1”$ ，则在 $\bar{S}_D$ 端加一负脉冲，触发器仍保持“1”不变。因 $Q = “1”$ ， $\bar{Q} = “0”$ ，门 A 的输入端已经存在有“0”电平，故 $\bar{S}_D$ 端的负脉冲不影响门 A 的输出 Q 。

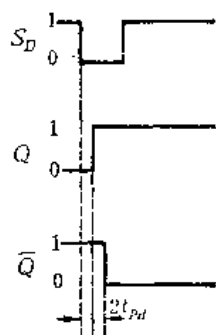


图2-4 触发器的置“1”

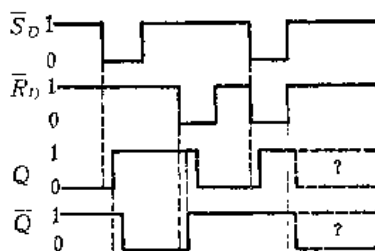


图2-5 波形图

因此，无论触发器原来状态是“0”或是“1”， $\bar{S}_D$ 端加入一个负脉冲后触发器的状态总是“1”。在前一种情况，触发器改变状态，由“0”变为“1”；后一种情况，触发器状态不变，保持原来的“1”状态。故 $\bar{S}_D$ 端称为直接置“1”端。下标 D 表示直接触发，以便与后面讨论时钟控制触发器的置“1”端相区别。由于用“与非”门组成的触发器是用负脉冲触发，故这里取 S_D 的反变量 $\bar{S}_D$ 。应该注意，要使触发器的状态能从“0”改变为“1”， $\bar{S}_D$ 端负脉冲的宽度要求大于 $2t_{pd}$ ，否则在触发脉冲消失后，触发器可能返回原来的状态。

由于图2-3的对称性，按照同样分析，如果触发器原来状态为 $Q = “1”$ ，且 $\bar{S}_D$ 端保持“1”电平，则在 $\bar{R}_D$ 端输入一个宽度大于 $2t_{pd}$ 的负脉冲，经过两级门的时间延迟，可使触发器稳定在 $Q = “0”$ 。如果触发器原来状态为 $Q = “0”$ ，则 $\bar{R}_D$ 端输入负脉冲，触发器不改变状态，仍保持为“0”。也就是说，无论触发器原来状态是“1”或是“0”，在 $\bar{R}_D$ 端输入一个负脉冲后，触发器的状态总是“0”。所以 $\bar{R}_D$ 端称为直接置“0”端。触发器的状态改变，又称为触发器的翻转。

图2-5的波形图可以用来总结图2-3中触发器的工作状况。触发器原来的状态为 $Q = “0”$ ， $\bar{Q} = “1”$ 。当 $\bar{S}_D = \bar{R}_D = “1”$ 时，触发器状态保持不变。在 $\bar{S}_D$ 端输入一负脉冲，触发器改变状态，变为 $Q = “1”$ ， $\bar{Q} = “0”$ 。负脉冲消失后，触发器仍保持“1”状态。

接着 $\bar{R}_D$ 端出现负脉冲，使触发器置“0”。当 $\bar{S}_D = \bar{R}_D = “0”$ 时，则将出现触发器的两个输出端都为“1”，如果这两个负脉冲同时消失，即 $\bar{S}_D$ 和 $\bar{R}_D$ 同时回到原来的“1”电平，则触发器的状态可能为“0”，也可能为“1”。触发器的结构虽然是对称的，但总不可避免存在有微小的差异，外界环境也可能出现微小差别。这些差别虽微，但凭借电路的正反馈作用，就使得触发器迅速稳定到“0”状态或“1”状态。因此，这时触发器的状态不能确定。所以 $\bar{S}_D = \bar{R}_D = “0”$ 在这种触发器中是不允许出现的。

上述触发器通常称为直接触发的置“1”置“0”触发器，又称为直接触发的置位复位触发器。置位复位触发器简称为 S-R 触发器。S 代表置位，R 代表复位。

直接触发的置位复位触发器，它的工作状态通常总结成表 2-1。该表称为特性表。

表 2-1

S_D	R_D	Q
0	0	不变
0	1	0
1	0	1
1	1	不定

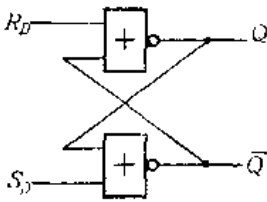


图2-6 两个“或非”门组成的触发器

由两个“或非”门交叉耦合组成的触发器，其工作原理同用两个“与非”门组成的触发器是相似的。不同的是，在没有数码输入时，两个输入端 S_D 和 R_D (见图 2-6) 都置于“0”电平，触发脉冲要用正脉冲。从 S_D 端输入一个正脉冲可使触发器置“1”， S_D 端称为置“1”端。如 S_D 保持“0”电平，从 R_D 端输入一个正脉冲可使触发器置“0”。 R_D 端称为置“0”端。因为是用正脉冲置“1”和置“0”，所以文字 S_D 和 R_D 上都不再加“非”号。

2.1.2 触发器的类型

触发器按照它的逻辑性能分类，主要有 S-R、J-K、D 和 T 四种基本类型。上面所谈的直接触发置位复位触发器，我们注意到，当输入端的状态发生变化时，会随即（门电路的时延不计）引起输出状态的变化。触发器状态改变的時刻决定于输入状态改变的時刻。在数字系统中，一般希望许多触发器以及系统中其他部件同时操作（同步），这就要求触发器改变状态的時刻由一个时钟脉冲决定。数据输入不能直接引起触发器输出状态的改变，仅当时钟脉冲输入时，触发器才会根据输入状态来决定输出状态。时钟脉冲没有加入时，即使输入状态有变化，也不会改变输出状态。用这种原理组成的触发器，在数字系统中，只需一个时钟就可以控制大量的触发器，使它们按预定的要求同时改变状态。这种由时钟脉冲控制的触发器称为时钟触发器。下面将介绍的触发器的四种基本类型，都是针对时钟触发器的。

一、S-R 触发器

S-R 触发器是置位-复位触发器的简称。它有一个置位（置“1”）输入端 S 和一个复位（置“0”）输入端 R，两个输出端：Q 和 $\bar{Q}$ 。它和前面讨论过的直接触发置位-复位触发器具有相同的逻辑特性，所不同的只是这种触发器有一个时钟输入端。对于 $S = “0”$ 、 $R = “0”$ 这种情况，触发器输出 Q 在时钟作用后保持不变；对于 $S = “1”$ ， $R = “0”$ 这种

情况, 输出 Q 在时钟作用后是“1”; 对于 $S = “0”, R = “1”$ 这种情况, 输出 Q 在时钟作用后是“0”。如果 $S = R = “1”$, 当时钟脉冲作用后触发器的输出状态不确定, 不能预计在这种情况下输出什么状态, 因此在时钟作用时, 必须避免这样的输入状态。

图 2-7 是 $S-R$ 触发器的图形符号, 表 2-2 是它的特性表。表中 Q_n 是指第 n 个时钟脉冲来之前触发器的状态 Q , Q_{n+1} 是指第 n 个时钟脉冲来之后触发器的状态 Q 。也就是说, Q_n 表示原有状态, Q_{n+1} 表示来过一个时钟脉冲后的新状态。 S_n 和 R_n 分别代表第 n 个时钟脉冲来之前以及这一时钟脉冲作用期间触发器的两个输入状态, 通常也不注下标 n , 只写成 S 和 R 。

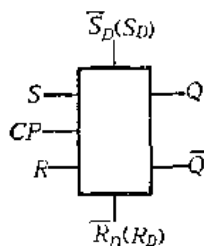
图 2-7 $S-R$ 触发器图形符号

表 2-2

S_n	R_n	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	?

图 2-8 是用四个“与非”门组成的 $S-R$ 触发器。图中 $\bar{S}_D$ 和 $\bar{R}_D$ 是直接置“1”端和直接置“0”端。时钟工作时, 应使 $\bar{S}_D = \bar{R}_D = “1”$ 。

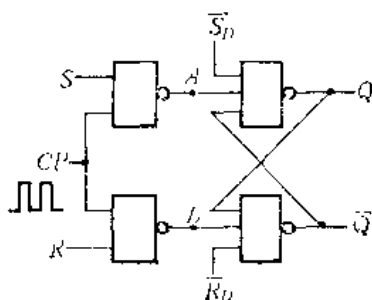
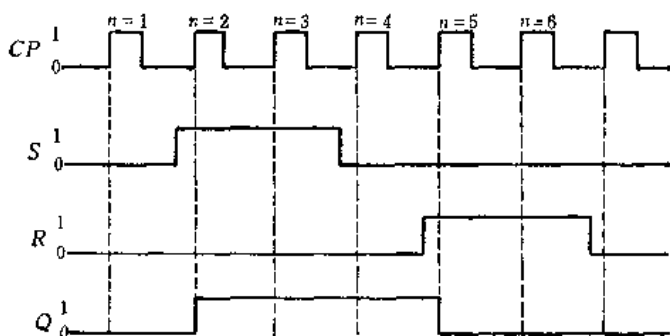
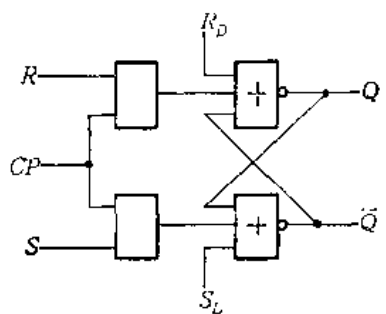
图 2-8 四“与非”门 $S-R$ 触发器

图 2-9 波形图

图 2-9 是这个触发器的工作波形图。触发器的原始状态 $Q = “0”$, 且起始时两个输入端 S 和 R 都是“0”。在这种输入端条件下, 第一个时钟脉冲 ($n = 1$) 对触发器状态无影响, 因而输出 Q 仍保持为“0”。此后, 输入端 S 由“0”变为“1”, 但输入端的变化并不能立即造成输出状态的改变, 要等到下一个时钟脉冲 ($n = 2$) 来到, 输出 Q 才由“0”改变为“1”。图中门电路的时延都没有画出。

图 2-8 是全部用“与非”门组成的 $S-R$ 触发器。图 2-10 给出由两个“或非”门和两个“与”门组成的 $S-R$ 触发器。后者的工作原理和全“与非”门 $S-R$ 触发器相似。

图 2-10 两“或非”门和两个“与”门组成的 $S-R$ 触发器

$S-R$ 触发器也可以全部用“或非”门组成。

二、J-K 触发器

限制 $S-R$ 触发器广泛应用的一个因素是不允许发生 $S = R = "1"$ 的情况。如果在 $S-R$ 触发器逻辑结构的基础上增加两个“与”门，如图 2-11 所示，一个“与”门的输入是 J 和 $\bar{Q}$ ，输出接 S ；另一个“与”门的输入是 K 和 Q ，输出接 R ，则由于 Q 和 $\bar{Q}$ 互为反变量，两个“与”门的输出就至少有一个是“0”，因而不会出现 $S = R = "1"$ 的情况。这里 J 、 K 是触发器的两个数据输入端。图 2-11 的真值表示于表 2-3。

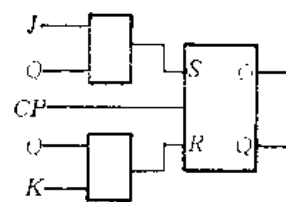


图2-11 J-K触发器

表 2-3

行	1	2	3	4	5	6	7	8
列	J_n	K_n	Q_n	$\bar{Q}_n$	S_n	R_n	Q_{n+1}	
1	0	0	0	1	0	0	Q_n	Q_n
2	0	0	1	0	0	0	Q_n	
3	1	0	0	1	1	0	1	1
4	1	0	1	0	0	0	Q_n	
5	0	1	0	1	0	0	Q_n	0
6	0	1	1	0	0	1	0	
7	1	1	0	1	1	0	1	$\bar{Q}_n$
8	1	1	1	0	0	1	0	

对于两个数据输入 J 和 K ，它们有四种可能组合，而其中每一种组合，输出状态 Q 有两种可能性。因此表 2-3 有 8 列。这也就是三个逻辑变量 J_n 、 K_n 和 Q_n 的全部可能组合。对应于每一种组合，运用逻辑式 $S_n = J_n \bar{Q}_n$ 及 $R_n = K_n Q_n$ 求得 S_n 和 R_n 值，并填入表中第 5、6 两行。对这些 S_n 及 R_n 值，根据 $S-R$ 触发器的逻辑功能（表 2-2），得到第 7 行。最后，鉴于第 4 列中 $Q_n = "1"$ ，第 5 列中 $Q_n = "0"$ ，第 7 列中 $\bar{Q}_n = "1"$ 及第 8 列中 $\bar{Q}_n = "0"$ ，故第 7 行归纳成第 8 行。

根据表 2-3 中第 1、2、8 行，可作出这种触发器的特性表，见表 2-4。具有这种逻辑特性的触发器称为 $J-K$ 触发器。其图形符号如图 2-12 所示。预置端即为直接置“1”端，置“0”又称为清除。

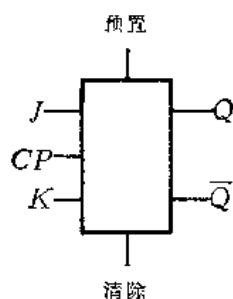


图2-12 J-K触发器图形符号

表 2-4

J_n	K_n	Q_{n+1}
0	0	Q_n
1	0	1
0	1	0
1	1	$\bar{Q}_n$

特性表说明，除一种状态外，其他三种状态与 $S-R$ 触发器（ J 对应于 S ， K 对应于 R ）是相同的。所不同的是第四种状态 $J = K = "1"$ 。如果输入是这种状态，且时钟作用

于触发器，那么输出就改变状态。所以 $J-K$ 触发器比 $S-R$ 触发器具有更强的逻辑功能，它对于两个输入 J 、 K 的各种状态都有明确的输出状态。实际上，在 $S-R$ 触发器的基础上组成 $J-K$ 触发器时，往往并不一定要增加两个“与”门，如果 $S-R$ 触发器的逻辑结构输入端是“与”门或“与非”门，那么，只要增加一个额外的输入端，就可以完成同样的功用。如图 2-13 和图 2-14 所示。

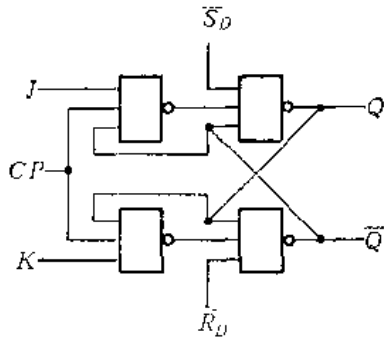


图 2-13

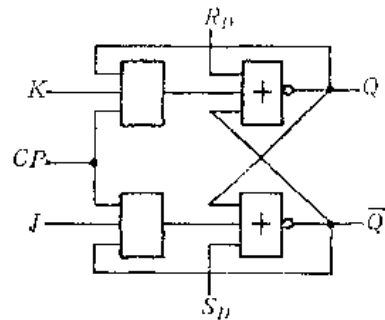
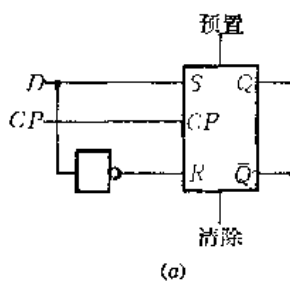


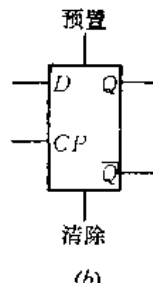
图 2-14

三、D 触发器

如果在 $S-R$ 触发器的两个输入端之间增加一个“非”门，如图 2-15(a) 所示，这就使得 $R = \bar{S}$ 。触发器的输入端只有一个，用文字符号 D 表示。从 $S-R$ 触发器的特性表（表 2-2）可知，对于 $D_n = S_n = \bar{R}_n = “1”$ ， $Q_{n+1} = “1”$ ；而当 $D_n = S_n = \bar{R}_n = “0”$ 时， $Q_{n+1} = “0”$ ，因此 $Q_{n+1} = D_n$ 。这就是说，来一个时钟脉冲后，触发器的输出 Q_{n+1} 等于该时钟脉冲来之前触发器的输入 D_n ，如表 2-5 所示。具有这种逻辑功能的触发器称为 D 触发器。其图形符号见图 2-15(b)。



(a)



(b)

图2-15 D 触发器及其图形符号

表 2-5	
D_n	Q_{n+1}
0	0
1	1

D 触发器是数据触发器或延时触发器的简称。它的输出信号在时钟作用后总是和输入数据相同，只不过延迟了一位的时间。

如图 2-15(a) 所示，当 D 触发器是由 $S-R$ 逻辑结构增加一个“非”门来组成时，由于 $R = \bar{S}$ ，因而不会出现 $S = R = “1”$ 状态不定的情况。

四、T 触发器

T 触发器也只有单一的数据 (T) 输入端和一个时钟输入端。同样也可以有预置端和清除端，有一个输出端 Q 或两个输出端： Q 和 $\bar{Q}$ 。如图 2-16 所示。它的逻辑功能是这样的：在时钟脉冲出现前，如果 T 输入是“0”状态，那么 Q 输出将不随时钟改变；如果 T 输入是“1”状态，那么在时钟作用后， Q 输出改变成 $\bar{Q}_n$ 状态。换句话说，当 T 输入是

逻辑“1”时，不管触发器原来是什么状态，每来一个时钟脉冲，触发器输出就改变一次状态。因此称为反复电路，简称为 T 触发器。它的特性表示于表 2-6。

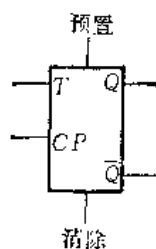


图2-16 T 触发器图形符号

表 2-6

T_n	Q_{n+1}
0	Q_n
1	$\bar{Q}_n$

下面将上述所讨论的四种触发器的逻辑特性总结于表 2-7。

表 2-7

$S-R$			$J-K$			D		T	
S_n	R_n	Q_{n+1}	J_n	K_n	Q_{n+1}	D_n	Q_{n+1}	T_n	Q_{n+1}
0	0	Q_n	0	0	Q_n	1	1	1	$\bar{Q}_n$
1	0	1	1	0	1	0	0	0	Q_n
0	1	0	0	1	0				
1	1	?	1	1	$\bar{Q}_n$				

2.2 维持-阻塞触发器及主-从触发器

上节给出的由四个门构成的 $S-R$ 触发器和 $J-K$ 触发器，存在着一个重大问题，就是在时钟脉冲持续时间内，输入端状态如有变化，会引起输出的变化，从而同一个时钟脉冲可能使触发器发生两次甚至多次翻转。这种现象称为空翻或空转，它会造成触发器逻辑功能的错乱。因此这样的触发器，当用来寄存数码时，在时钟脉冲持续时间内，被接受的数码值（即输入端电平）必须保持恒定不变。然而，在很多实际应用中，触发器的输入电平，在时钟脉冲持续时间内，并非恒定不变。这里我们以触发器的两种主要应用——计数器和移位寄存器为例，来阐明空翻现象。

触发器用来作为一个二进计数单元时，每接收一个计数脉冲，它的状态应改变一次。因此，如果用四“与非”门 $S-R$ 触发器（图 2-8）作一个二进计数单元的话，一般会想到应该把它接成图 2-17 那样，即输出 Q 反接到输入端 R ，输出 $\bar{Q}$ 反接到输入端 S 。计数脉冲从 CP 端加入，直接置“1”端和置“0”端在计数时保持高电平“1”。设触发器原状态 $Q = “0”$ ，则输入端 $S = \bar{Q} = “1”$ ， $R = Q = “0”$ 。于是一个计数脉冲加入后，触发器的状态 Q 变为“1”。如原来状态是 $Q = “1”$ ，则输入端 $S = \bar{Q} = “0”$ ， $R = Q = “1”$ ，因而进入一个计数脉冲后，触发器状态 Q 变“0”。看起来这似乎已具有计数的功能了，但进一步分析就发现其中存在有空翻现象。因为输出状态反馈到输入端，当输出状态改变后，输入状态随即改变，在计数脉冲作用的持续时间内，这改变了的输入状态会使触发器再次翻转。如果计数脉冲宽度很宽的话，触发器就会来回多次翻转。因此实际上这样的逻辑结构是不能用来计数的。

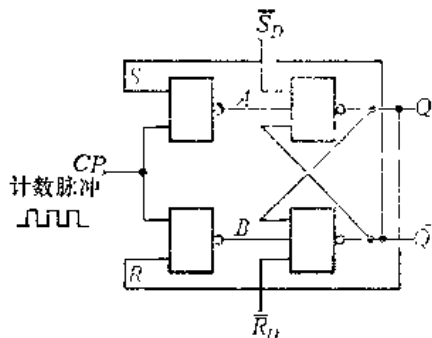


图 2-17

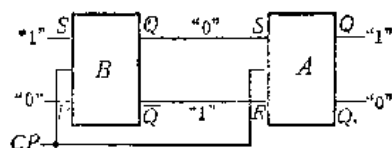


图 2-18

下面我们再说明，图 2-8 所示四“与非”门 S-R 触发器也是不能用作移位寄存器的。例如我们用两个这样的 S-R 触发器，按图 2-18 的方式连接。我们的目的

的是经过一个时钟脉冲后，使触发器 B 的状态传送到触发器 A，并且使输入信号存入触发器 B。这实际上是一个二位移位寄存器，时钟脉冲是移位指令。设触发器 B 原来寄存的数码是“0”，触发器 A 原来寄存的数码是“1”，触发器 B 的输入为“1”，即 $S_B = "1"$ ， $R_B = "0"$ 。则当时钟脉冲输入后，对触发器 A 来说，由于它的输入 $S_A = Q_B = "0"$ ， $R_A = \bar{Q}_B = "1"$ ，所以输入变为 $Q_A = "0"$ ， $\bar{Q}_A = "1"$ ；对触发器 B 来说，由于它的两个输入分别是 $S_B = "1"$ 和 $R_B = "0"$ ，所以输出变为“1”，即 $Q_B = "1"$ ， $\bar{Q}_B = "0"$ 。可见确是起到了移位的作用，即时钟脉冲的输入，使数据向右推移一位， Q_A 由“1”变为“0”， Q_B 由“0”变为“1”。但当 Q_A 刚变为“0”后，由于它的输入端 $S_A (=Q_B)$ 变为“1”，这时时钟脉冲仍然存在，该时钟脉冲又将使 Q_A 变为“1”。因此，触发器 A 又一次翻转为“1”，这就使输入端数据 ($S_B = "1"$) 两次移位。如果时钟脉冲很宽，同一个 CP 可能使触发器多次翻转，使寄存的数据移位多次，造成逻辑功能的错乱。

为了防止空翻现象，发展了目前最广泛应用的两种触发器。一种是维持-阻塞触发器，另一种是主-从触发器。

2.2.1 维持-阻塞触发器

我们仍然从图 2-8 四“与非”门 S-R 触发器的逻辑结构着手进行分析。前面分析过，如果触发器的输入状态是 $S = "1"$ ， $R = "0"$ ，则时钟脉冲加入后，在 A 点将产生一个置“0”负脉冲，使触发器置“1”。但如在时钟脉冲持续期间，输入状态 S 和 R 有变化。例如 S 由“1”改变为“0”，R 由“0”改变为“1”，则 A 点的置“1”负脉冲不能维持，将随之消失；而在 B 点将出现一个负脉冲，其结果使触发器置“0”。这就是在同一时钟脉冲作用下，触发器产生了两次翻转。为了防止这一空翻现象，应当要求输入状态 S、R 在时钟脉冲持续时间内尽管不恒定为“1”和“0”，但 A 点的“0”电平应能维持到时钟脉冲的结束，并且阻止 B 点出现置“0”负脉冲。这就需要增加维持逻辑线路和阻塞逻辑线路。

常用的维持逻辑线路如图 2-19(a) 所示。输入 $\bar{S}$ 为低电平时， $\bar{S} = "0"$ ，E 点为高电平， $E = "1"$ 。当时钟脉冲加入后， $CP = "1"$ ，输出 A 为低电平， $A = "0"$ 。由于输出 A 反馈到前面“与非”门的一个输入端，这个“与非”门就被“0”封锁。因此在时钟脉冲持续时间内，如果输入 $\bar{S}$ 由“0”变“1”，并不会影响这个“与非”门的输出状

态， E 点仍为“1”。因而 A 点仍维持为“0”，直至时钟脉冲 CP 的结束。工作波形示于图2-19(b)，图中的反馈线通常称为维持线。

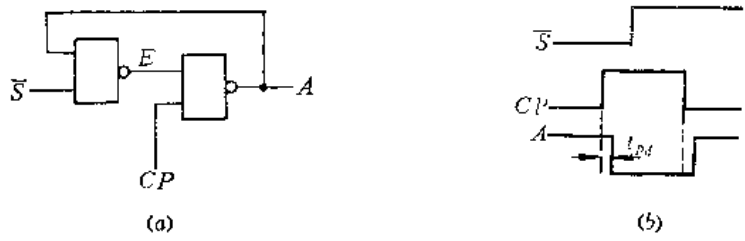


图2-19 维持逻辑线路及工作波形

常用的阻塞逻辑线路如图2-20所示。输入 R 为低电平时， $R = “0”$ ，“与非”门输出 $B = “1”$ 。在时钟脉冲持续时间内，如输入 R 由“0”变为“1”，那么只要在这个电位变化以前，从 A 端有低电平加入到这个“与非”门起封锁作用，则输入 R 的变化就不会影响输出，这就阻塞了 B 点出现“0”。从 A 端进入的这条线通常称为阻塞线。

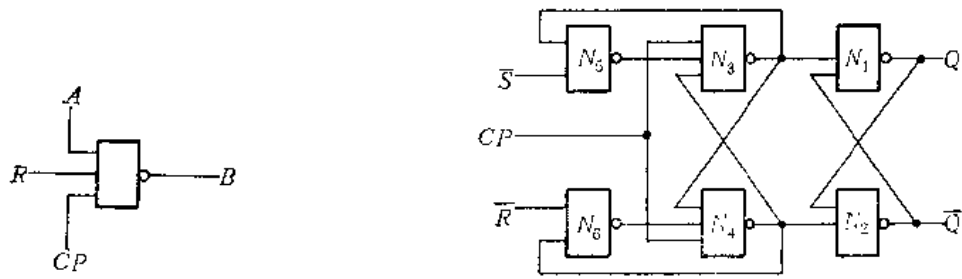


图2-20 阻塞逻辑线路

图2-21 六“与非”门触发器

通过以上分析，我们将图2-8四“与非”门 $S-R$ 触发器线路改进为一个六“与非”门线路，如图2-21。称为维持-阻塞触发器，又称为六“与非”门触发器。

图2-21触发器对于 $S = “1”$ 、 $R = “0”$ 和 $S = “0”$ 、 $R = “1”$ 两种情况，在时钟脉冲持续时间内，输入状态 $\bar{S}$ 和 $\bar{R}$ 的变化，不会影响触发器的输出状态。对于 $S = R = “0”$ ，触发器没有维持和阻塞的作用。对于输入条件 $S = R = “1”$ ，触发器的输出状态不能确定。

触发器通常用作计数器、寄存器、移位寄存器。在这些应用场合，一般不会出现 $S = R$ 的情况。因此我们可以把图2-21的两个输入端 $\bar{S}$ 和 $\bar{R}$ 分别改用 $\bar{D}$ 和 D 来标明，如图2-22所示。

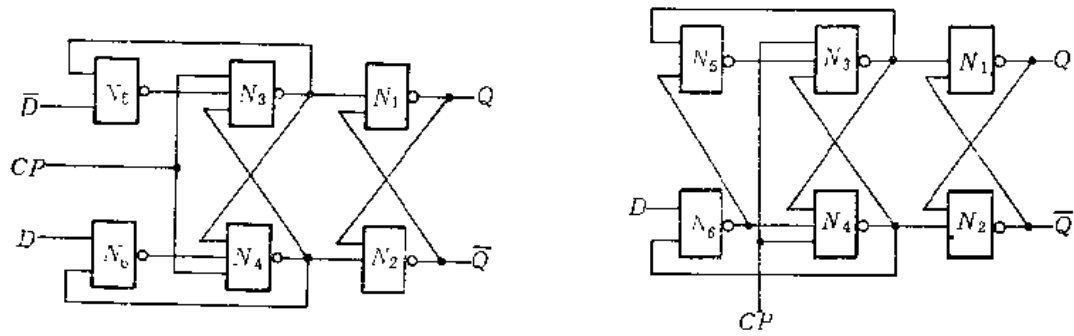


图2-22 图2-21中的 $\bar{S}$ 改为 $\bar{D}$ ， $\bar{R}$ 改为 D

图2-23 图2-22去掉一个输入端

在时钟脉冲到来之前, $CP=“0”$, N_3 和 N_4 的输出都是 “1”, 因而图 2-22 中 N_5 的输出电平与输入端 D 的电平是一致的, N_6 的输出电平与输入端 $\bar{D}$ 的电平是一致的。所以我们可以去掉一个输入端, 例如去掉 $\bar{D}$, 把 $\bar{D}$ 接到 N_5 的输出端处, 如图 2-23 所示; 或者是去掉输入端 D , 把 D 接到 N_6 的输出端处。

现在针对图 2-23 所示线路来讨论。如 $D=“0”$, 相当于图 2-21 维持-阻塞 $S-R$ 触发器中 $\bar{R}=“0”$, $\bar{S}=“1”$, 故有 $Q_{n+1}=“0”$ 。如 $D=“1”$, 相当于 $\bar{R}=“1”$, $\bar{S}=“0”$, 故有 $Q_{n+1}=“1”$ 。下面再进行具体地分析。

(1) $D=“1”$ 。在 $CP=“0”$ 时, N_3 和 N_4 的输出都为 “1”, 从而 N_6 输出为 “0”, N_5 输出则为 “1”。当 CP 由 “0” 变 “1” 后, N_3 的全部输入都为 “1”, 故 N_3 输出由 “1” 变 “0”。由于 N_6 输出 “0”, 故 N_4 输出保持 “1” 不变。 N_3 输出的 “0” 信号, 使触发器输出 $Q=“1”$, $\bar{Q}=“0”$ 。在时钟脉冲持续时间内, 如输入电平 D 由 “1” 变 “0”, 则 N_6 的输出由 “0” 变 “1”, 但由于有维持逻辑结构 (N_3 、 N_5 及 N_3 输出反馈到 N_6 输入的维持线), 维持了 N_3 输出 “0” 信号。另一方面, 由于有阻塞逻辑结构 (N_3 输出接到 N_4 输入端的阻塞线), 阻塞 N_4 输出端出现 “0” 信号。因此, 在时钟脉冲持续期间, 输入端 D 由 “1” 到 “0” 的变化, 只引起 N_6 输出的相应改变, 对触发器输出状态没有影响。

(2) $D=“0”$, 则 N_6 输出为 “1”。在 $CP=“0”$ 时, N_3 和 N_4 的输出都为 “1”, 从而 N_5 输出为 “0”。当 CP 由 “0” 变 “1” 后, N_4 的三个输入端均为 “1”, 故其输出为 “0”。 N_3 则由于 N_5 的输出是 “0”, 所以其输出保持 “1” 不变。 N_4 输出的 “0” 信号, 使 $\bar{Q}=“1”$, 从而 $Q=“0”$ 。在时钟脉冲持续期间, 如果输入状态有变化, D 由 “0” 变为 “1”, 则由于存在有维持逻辑结构 (N_4 、 N_6 及 N_4 输出反馈到 N_6 输入端的维持线), 维持 N_4 输出 “0” 信号。既然 N_6 的输出被维持 “1” 电平, 不因输入端 D 的电平改变而变化, 也就没有必要再安排阻塞逻辑线路, 所以从 N_4 输出端接到 N_3 输入端的这条阻塞线是多余的, 应该去除。去除后的逻辑图示于图 2-24。这就是最常见的维持-阻塞 D 触发器逻辑图。其特性表仍如表 2-5 所示, 这里不再列出。

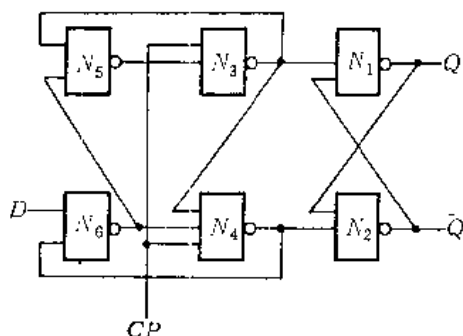


图2-24 维持-阻塞 D 触发器

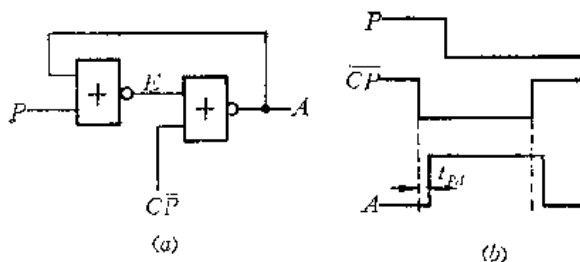


图2-25 “或非”门维持-逻辑线路及工作波形

上面叙述的都是用 “与非” 门组成的维持-阻塞触发器。用 “或非” 门同样也可以组成维持-阻塞触发器。

常用的 “或非” 门维持逻辑线路如图 2-25 (a) 所示。输入 P 为高电平 “1” 时, E 点为低电平 “0”。当负向时钟脉冲加入后, $\bar{CP}=“0”$, 输出 A 则为高电平 “1”。由于输

出 A 反馈到前面“或非”门的一个输入端,这个“或非”门就被“1”封锁。因此,在时钟脉冲持续时间内,如果输入 P 由“1”变“0”,并不会影响这个“或非”门的输出状态, E 点仍为“0”。因而 A 点仍维持为“1”,直至时钟脉冲消失。工作波形示于图2-25(b)。这条反馈线通常叫做维持线。

应该注意,图2-19(a)由“与非”门组成的维持逻辑线路,只对输出低电平 $A=“0”$ 有维持作用。当输入电压在时钟脉冲持续时间内由“0”变“1”时,它能维持输出“0”电平不变。而图2-25(a)由“或非”门组成的维持逻辑线路,只对输出高电平 $A=“1”$ 有维持作用。当输入电压在时钟脉冲持续时间内由“1”变“0”时,它能维持输出“1”电平不变。

常用的“或非”门阻塞逻辑线路如图2-26所示。输入 G 为高电平“1”时,“或非”门输出 $B=“0”$ 。在时钟脉冲持续时间内($\overline{CP}=“0”$),如输入 G 由“1”变“0”,那么,只要在这个电位变化之前,从 A 端有高电平“1”加入到这个“或非”门起封锁作用,则输入 G 的变化就不会影响输出,这就阻塞了 B 点出现高电平“1”。从 A 端进入的这条线通常叫做阻塞线。

应该注意,图2-20的“与非”门阻塞逻辑,是阻塞输出端 B 出现低电平“0”。当输入电压在时钟脉冲持续时间内由“0”变“1”时,它能阻塞输出出现“0”电平。而图2-26的“或非”门阻塞逻辑,是阻塞输出端 B 出现高电平“1”。当输入电压在时钟脉冲持续时间内由“1”变“0”时,它能阻塞输出端出现“1”电平。

图2-27是六“或非”门维持-阻塞 D 触发器的逻辑图。

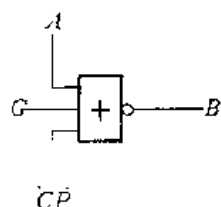


图2-26 “或非”门阻塞逻辑线路

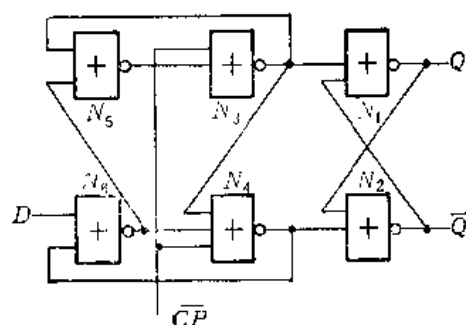


图2-27 “或非”门维持-阻塞 D 触发器

2.2.2 主-从触发器

主-从触发器是用两个有空翻现象的触发器串接起来,组成一个整体。其中第一个触发器叫主触发器,第二个触发器叫从触发器。作用到从触发器的时钟脉冲是主触发器时钟脉冲的“非”。这样的—个整体就可防止空翻现象。

我们以 $S-R$ 触发器为例来说明它的工作原理。图2-28整个是一个主-从 $S-R$ 触发器。其中主触发器和从触发器都是前述有空翻现象的 $S-R$ 触发器,比方说,图2-8的四“与非”门 $S-R$ 触发器。输入数据加到主触发器的输入端,主触发器的输出是从触发器的输入,从触发器的输出是整个触发器的输出。主触发器的时钟脉冲为 CP ,经

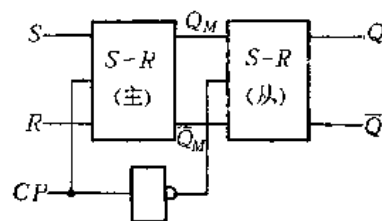


图2-28 主-从 $S-R$ 触发器

过“非”门后得到的 $\overline{CP}$ 加到从触发器的时钟端。当时钟脉冲 CP 由“0”变“1”后，主触发器的输出 Q_M 由输入端 S 、 R 的状态决定（表2-2）。此时从触发器由于它的时钟脉冲 $\overline{CP} = “0”$ ，故输出状态 Q 不变。当 CP 由“1”变回到“0”后， $\overline{CP} = “1”$ ，于是从触发器根据刚才 Q_M 、 $\overline{Q}_M$ 的状态，决定它的输出状态，也就是根据这一时钟脉冲来之前输入端 S 、 R 的状态决定它的输出状态 Q 。其特性表仍如表2-2所示。在 $CP = “0”$ 时，主触发器的状态保持不变，输入端 S 、 R 的变化不会影响主触发器的输出状态 Q_M ，因而也不会影响从触发器的输出，后者就是整个触发器的输出 Q 。可见主-从触发器的工作过程是分两步完成的。第一步是在时钟脉冲作用期间，把输入数据存储于主触发器，从触发器的输出状态保持不变。第二步是在时钟脉冲结束后，再把主触发器的状态输入从触发器，决定从触发器的输出状态。此时主触发器被封闭，输出状态保持不变。由于主-从触发器的输出状态在时钟脉冲期间是不变的，只有在时钟脉冲结束后才能发生变化，而在时钟脉冲结束后，输入端数据不能影响主触发器的状态，因此，主-从触发器用作计数电路或移位寄存器时，不会出现空翻现象。

图2-29是一种主-从 $J-K$ 触发器的逻辑图。图中画出了九个门，实际线路中有的门是很简易的。这里画出九个门，只是为了更清楚地刻画它的工作过程和逻辑功能。图中主触发器由两个“与”门 N_7 、 N_8 和两个“或非”门 N_5 、 N_6 组成，从触发器由四个“与非”门 $N_1 \sim N_4$ 组成。

图2-30中的主-从 $J-K$ 触发器，其中主触发器和从触发器全是由“与非”门组成。

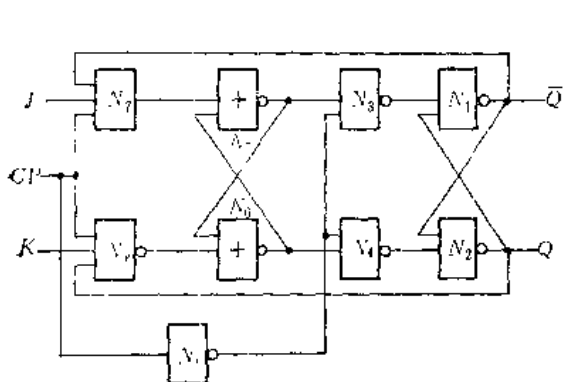


图2-29 一种主-从 $J-K$ 触发器

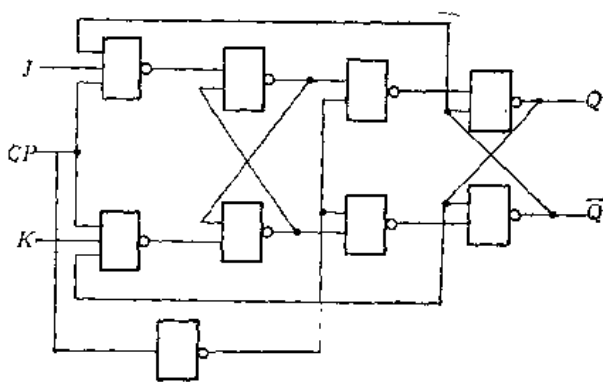


图2-30 全“与非”门主-从 $J-K$ 触发器

2.3 触发器的变换

前面介绍过触发器的四种基本类型： $S-R$ 、 $J-K$ 、 D 和 T 。它们的逻辑功能分别由它们的特性表描述，见表2-7。常常希望以一种触发器为基础，略加控制逻辑，来构成另一种触发器。常用的有下述几种变换形式：

- (1) $S-R$ 触发器变换为 D 、 T 和 $J-K$ 触发器。
- (2) D 触发器变换成 T 和 $J-K$ 触发器。
- (3) $J-K$ 触发器变换成 D 和 T 触发器。

实现触发器变换所需的控制逻辑有些是很简易的，只要将两者的特性表进行比较就可

直接得出。有些则不能显而易见，要应用触发器的状态表和激励表进行逻辑设计。

触发器在接收一个时钟脉冲后，它的输出状态，一般来说既取决于输入状态，又与原有输出状态有关。将触发器输入状态及原有输出状态的全部组合列举出来，并指明对应于每一种组合，一个时钟脉冲作用后的下一输出状态，这样的表称为状态表。例如，表 2-8 是 $J-K$ 触发器的状态表。它包含两个部分，左边是输入 J_n 、 K_n 及目前输出 Q_n 的各种组合，右边是对应于每一种组合，来过一个时钟脉冲后，触发器的输出 Q_{n+1} 。状态表可直接根据触发器的逻辑功能作出，它是触发器特性表的进一步具体化。

表 2-8

目前状态			下一状态
J_n	K_n	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

表 2-9

Q_n	Q_{n+1}	S_n	R_n
0	0	0	×
0	1	1	0
1	0	0	1
1	1	×	0

如果在时钟脉冲作用前，触发器输出 Q_n 的状态是已知的，而在时钟脉冲作用后希望能得到状态 Q_{n+1} ，可用一个表来指明这时需要什么样的数据输入状态。这样的表称为激励表。它基本上可以用直观分析的方法根据触发器的逻辑功能得出。例如，表 2-9 是 $S-R$ 触发器的激励表，两个变量 Q_n 和 Q_{n+1} 有四种可能组合。其中第一列指明，当 Q_n 是“0”状态，而我们希望时钟脉冲作用后得到 Q_{n+1} = “0”，那么在时钟作用以前 S_n 必须为“0”，而 R_n 无论什么状态都可以。表中 × 代表随意的状态。因为根据 $S-R$ 触发器的逻辑特性，现在 Q_n = “0”， S_n = “0”。如 R_n = “0”，则 Q_{n+1} = Q_n = “0”；如果 R_n = “1”，则触发器置“0”， Q_{n+1} = “0”。同理，第四列指明：当 Q_n 是“1”状态，而我们希望时钟作用后触发器保持“1”状态不变，那么在时钟作用之前 R_n 必须是“0”，而 S_n 则可以是“0”或“1”。第二列指明： Q_n = “0”， Q_{n+1} = “1”，必须输入数据 S_n = “1”， R_n = “0”。第三列指明：如果 Q_n = “1”，要求 Q_{n+1} = “0”，则需 S_n = “0”， R_n = “1”。

2.3.1 $S-R$ 触发器变换为 D 、 T 和 $J-K$ 触发器

$S-R$ 触发器变换成 D 触发器的逻辑图已示于图 2-15 (a)。 D 输入直接连到 S 输入端，同时通过一个“非”门连接到 R 输入端。如 D = “0”，则 S = “0”， R = “1”，故 Q_{n+1} = “0”。如 D = “1”，则 S = “1”， R = “0”，于是 Q_{n+1} = “1”。

图 2-31 (a) 是 $S-R$ 触发器接成 T 输入恒定为“1”的 T 触发器，图 2-31 (b) 是用 $S-R$ 触发器变换成的 T 触发器。如 T = “0”，两个“与”门被封锁，时钟脉冲的输入不影响触发器状态，即 Q_{n+1} = Q_n ；如 T = “1”，则 $S = \bar{Q}$ ， $R = Q$ ，此种情况与图 2-31 (a) 同，故 $Q_{n+1} = \bar{Q}_n$ 。

下面讨论，怎样以 $S-R$ 触发器为基础，来构成 $J-K$ 触发器，介绍控制逻辑的设计方法。

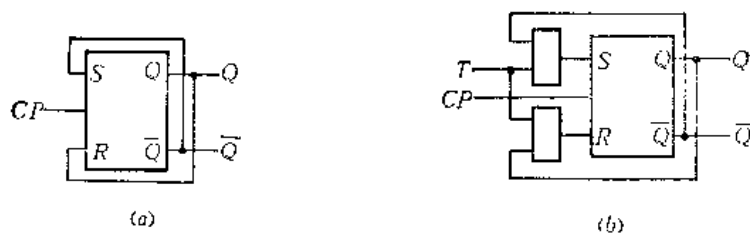


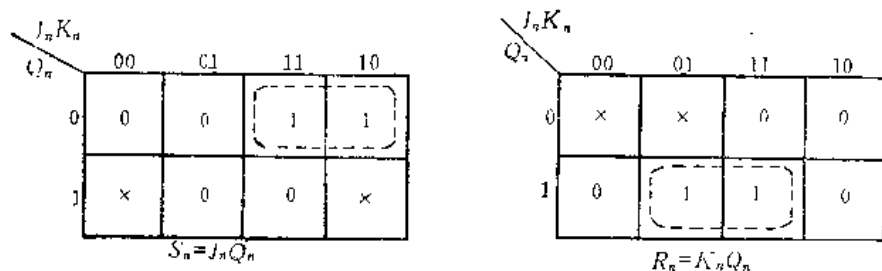
图2-31 S-R触发器转换为T

首先, 把 $J-K$ 触发器的状态表和 $S-R$ 触发器的激励表结合成一个表, 如表 2-10 所示。这个表给出对应于 J_n 、 K_n 及 Q_n 的各种组合, S_n 和 R_n 必须是什么样的状态。

表 2-10

J_n	K_n	Q_n	Q_{n+1}	S_n	R_n
0	0	0	0	0	$\times$
0	0	1	1	$\times$	0
0	1	0	0	0	$\times$
0	1	1	0	0	1
1	0	0	1	1	0
1	0	1	1	$\times$	0
1	1	0	1	1	0
1	1	1	0	0	1

S_n 和 R_n 既然分别是 J_n 、 K_n 及 Q_n 三个变量的已知逻辑函数, 我们可以分别作出这两个逻辑函数的卡诺图, 来进行函数的化简, 如图 2-32 所示。随意状态 $\times$ 在卡诺图中是记入 1 还是记入 0, 由我们选择以获得函数的最简。这里在 S_n 和 R_n 的卡诺图中, 都是把 $\times$ 看作 0 来进行化简的。

图2-32 逻辑函数 S_n 和 R_n 的卡诺图

根据函数的卡诺图化简, 我们得到控制逻辑的表达式为 $S_n = J_n \bar{Q}_n$ 及 $R_n = K_n Q_n$ 。

由此可以作出 $S-R$ 触发器变换成 $J-K$ 触发器的逻辑图。事实上, 第一节内的图 2-11 就是根据这样的逻辑设计作出的。

2.3.2 D 触发器变换成 T 和 J-K 触发器

图 2-33(a) 是将 D 触发器的输出 $\bar{Q}$ 连接到 D 输入端来实现计数功能。每接收一个时钟脉冲, 触发器的状态改变一次。这种结构相当于 T 输入恒定为 “1” 的 T 触发器。图



图2-33 D触发器变换成T触发器

2-33(b)也是一种常用的将D触发器变换成T触发器的逻辑结构。D触发器的 $\bar{Q}$ 端仍接到D输入端,在原CP端前面接一个2输入“与”门。它的一个输入端是时钟脉冲CP,另一个输入端是T。如 $T=“0”$,这个“与”门被封锁,因而 $Q_{n+1}=Q_n$;如 $T=“1”$,这个结构就与图2-33(a)相同,有 $Q_{n+1}=\bar{Q}_n$ 。

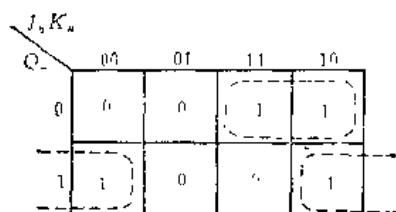
D触发器变换成J-K触发器的逻辑设计,和上面介绍过的S-R触发器变换成J-K触发器的逻辑设计,方法是一样的。先作出D触发器的激励表见表2-11。这个表指明,在时钟作用后,如触发器的状态 $Q_{n+1}=“0”$,那么,在时钟作用前的 D_n 输入必须是“0”。如要求 $Q_{n+1}=“1”$,那么必须 $D_n=“1”$ 。

表 2-11

Q_{n+1}	D_n
0	0
1	1

表 2-12

J_n	K_n	Q_n	Q_{n+1}	D_n
0	0	0	0	0
0	0	1	1	1
0	1	0	0	0
0	1	1	0	0
1	0	0	1	1
1	0	1	1	1
1	1	0	1	1
1	1	1	0	0

图2-34 逻辑函数 D_n 的卡诺图

然后,把J-K触发器的状态表(表2-8)和D触发器的激励表结合成一个表,见表2-12。这个表给出,对应于 J_n 、 K_n 及 Q_n 的各种组合, D_n 必须是什么样的状态。

根据这个表,作出函数 $D_n = f(J_n, K_n, Q_n)$ 的卡诺图,见图2-34。

由此求得 D_n 的最简“与-或”逻辑式如下:

$$D_n = J_n \bar{Q}_n + \bar{K}_n Q_n$$

控制逻辑如全用“与非”门实现,则应用狄·摩根定理,将上式化为最简的“与非-与非”逻辑式如下:

$$D_n = J_n \bar{Q}_n + \bar{K}_n Q_n = \overline{J_n \bar{Q}_n} \cdot \overline{\bar{K}_n Q_n}$$

逻辑图如图2-35中虚线所示。

图2-36也是一种常用的控制逻辑,它是根据下列逻辑式的化算得来:

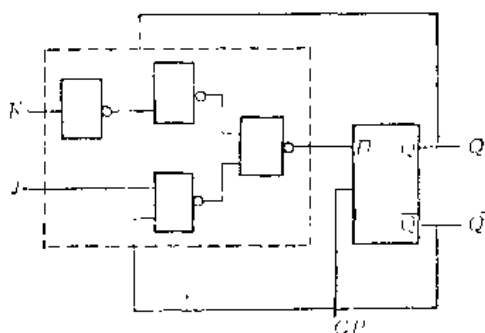


图2-35 D触发器变换为J-K触发器

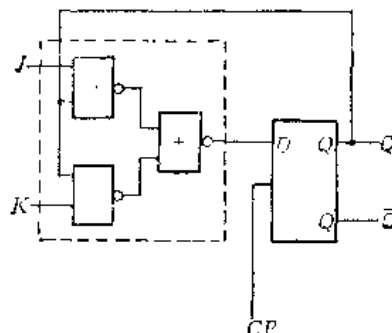


图2-36 一种常用的控制逻辑

$$\begin{aligned}
 D_n &= J_n \bar{Q}_n + \bar{K}_n Q_n = (\bar{J}_n + \bar{Q}_n)(K_n + \bar{Q}_n) \\
 &= \bar{J}_n \bar{K}_n + \bar{J}_n \bar{Q}_n + K_n \bar{Q}_n = \bar{J}_n \bar{Q}_n + K_n \bar{Q}_n \\
 &= \overline{J_n + Q_n} + K_n \bar{Q}_n
 \end{aligned}$$

2.3.3 J-K 触发器变换成 D 和 T 触发器

图 2-37 是用 J-K 触发器变换成的 D 触发器。其方法与用 S-R 触发器变换成 D 触发器相同。D 输入直接接到 J 输入端，同时通过一个“非”门接到 K 输入端。

J-K 触发器只要将 J 输入端和 K 输入端连在一起，就构成 T 触发器，如图 2-38 所示。

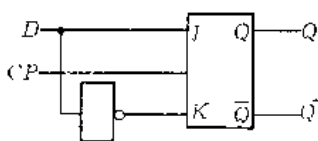


图 2-37 J-K 触发器变换成 D 触发器

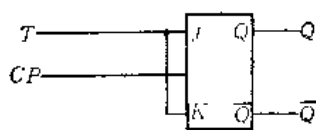


图 2-38 J-K 触发器接成 T 触发器

2.3.4 D 触发器变换成 SSR 和 SRR 触发器

先介绍 SSR 和 SRR 这两种触发器。

和 S-R 触发器一样，SSR 触发器有两个输入端 S 和 R。对于 S-R 触发器，当输入 S 和 R 都是“1”时，它的输出状态不能确定，所以这样的输入条件是不允许出现的。SSR 触发器的逻辑功能示于表 2-13。在前三种输入状态下，它的逻辑特性与 S-R 触发器是一样的，但当 S = R = “1”时，它有确定的输出状态“1”。所以称为置“1”优先。

表 2-13

S_n	R_n	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	1

表 2-14

S_n	R_n	Q_{n+1}
0	0	Q
0	1	0
1	0	1
1	1	0

SRR 触发器也是具有两个输入端 S 和 R。表 2-14 是它的特性表。它和 S-R 触发器及 SSR 触发器逻辑功能不同之处，就是当输入 S = R = “1”时，它输出“0”状态。所以称为优先置“0”。

D 触发器变换成 SSR 触发器的逻辑设计和 D 触发器变换成 J-K 触发器的逻辑设计，其方法是一样的。这里需要先作出 SSR 触发器的状态表，如表 2-15 所示。然后把这个状态表和 D 触发器的激励表接合成一个表，见表 2-16。根据这个表，作出函数 $D = f(S_n, R_n, Q_n)$ 的卡诺图，见图 2-39。由此求得 D_n 的最简“与-或”逻辑式为：

$$D_n = S_n + \bar{R}_n Q_n$$

表 2-15

目 前 状 态			下一状态
S_n	R_n	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

表 2-16

S_n	R_n	Q_n	Q_{n+1}	D_n
0	0	0	0	0
0	0	1	1	1
0	1	0	0	0
0	1	1	0	0
1	0	0	1	1
1	0	1	1	1
1	1	0	1	1
1	1	1	1	1

$S_n R_n$	00	01	11	10
Q_n				
0	0	0	1	1
1	1	0	1	1

图2-39 函数 D_n 的卡诺图

用相同的方法可以求得 D 触发器变换成 SRR 触发器的控制逻辑方程为:

$$D_n = S_n \bar{R}_n + \bar{R}_n Q_n$$

第三章 基本逻辑部件

本章讨论几种常用的中规模集成电路（加法器、译码器、计数器和移位寄存器）的逻辑设计。

3.1 加 法 器

几乎所有的数字计算机都需要具有执行加、减、乘、除算术运算的功能。其中加法和减法是基本运算，因为乘法实质上是重复的加法，而除法是重复的减法。加法器是执行算术加法运算的逻辑部件。

3.1.1 半 加 器

二进制是逢二进一。下面是一位被加数和加数的所有组成情况：

0	0	1	1 ← 被加数(A)
+ 0	+ 1	+ 0	+ 1 ← 加 数(B)
0	1	1	10 ← 本位和(P)
			↑ 进 位(C)

表达这些操作的真值表见表3-1。

表 3-1

被加数 A	加 数 B	本位和 P	进 位 C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

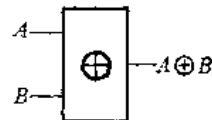


图3-1 “异或” 门图形符号

逻辑式为：

$$P = \bar{A}B + A\bar{B} \quad (3-1)$$

$$C = AB \quad (3-2)$$

本位和 P 的逻辑式称为“异或”逻辑。两个变量 A 、 B 的“异或”函数是当 A 、 B 两者相异时，其值为1。这有两种情况，即 $A=0$ ， $B=1$ ；或 $A=1$ ， $B=0$ 。“异或”运算用符号 $\oplus$ 表示。

$$A \oplus B = \bar{A}B + A\bar{B}$$

实现“异或”逻辑功能的电路叫做“异或”门，其图形符号如图3-1。

实现上面这种两数相加运算的加法器称为半加器。它有两个输入端 A 和 B ，两个输出端 P 和 C 。可见半加器是“异或”门再加进位输出。

在多位数相加的情况下，每个对应位的数相加，必须计入从低一位来的进位。因此，

两个多位数相加时, 每位加法器需要有三个输入端。这种加法器称为全加器。

因为两个多位数相加时, 每一位加法可分两步来执行。首先, 被加数和加数相加, 然后, 将其结果同低位来的进位相加。所以, 如用半加器完成每一位的相加则要用两个。这就是半加器名称的由来。

3.1.2 全 加 器

一位二进制全加器应有三个输入端, 用来输入两个相加的二进制数及自低位来的进位; 两个输出端, 一个是本位和数, 另一个是向高位的进位。

图 3-2 表示一个第 n 位的全加器。 A_n 、 B_n 是要相加的两个数所对应的第 n 位数, C_{n-1} 为其低位来的进位数; S_n 为 A_n 、 B_n 、 C_{n-1} 三者相加以后在本位得到的和数; C_n 为上述相加后出现的第 n 位往第 $n+1$ 位的进位数。

全加器的真值表列于表 3-2。

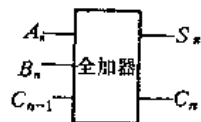


图 3-2 一位全加器

表 3-2

A_n	B_n	C_{n-1}	S_n	C_n
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

把真值表的结果画成如图 3-3 所示的卡诺图, 得出下列逻辑式:

$$S_n = \overline{A_n}\overline{B_n}C_{n-1} + \overline{A_n}B_n\overline{C_{n-1}} + A_n\overline{B_n}\overline{C_{n-1}} + A_nB_nC_{n-1} \quad (3-3)$$

$$C_n = A_nB_n + A_nC_{n-1} + B_nC_{n-1} \quad (3-4)$$

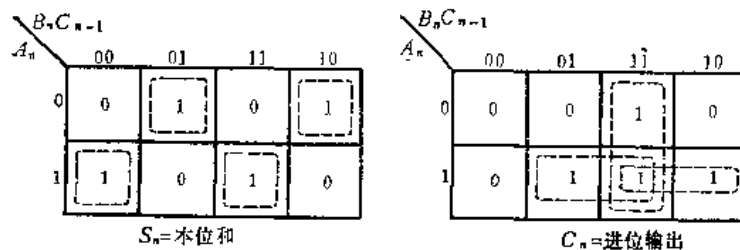


图 3-3 本位和及进位输出的卡诺图

本位和 S_n 及进位输出 C_n 亦可用如下的逻辑式表达:

$$S_n = (A_n \oplus B_n) \oplus C_{n-1} \quad (3-5)$$

$$C_n = A_nB_n + (A_n \oplus B_n)C_{n-1} \quad (3-6)$$

根据式 (3-5) 及式 (3-6) 作出的一位全加器逻辑图如图 3-4。

下面讨论使用“与或非”门组成全加器的逻辑设计。

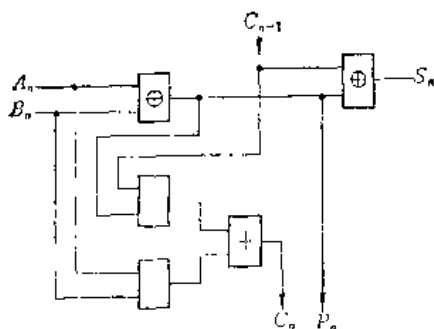


图3-4 一位全加器逻辑图

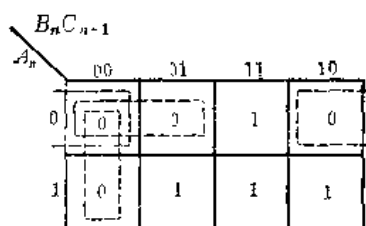


图3-5 进位输出的卡诺图

一位全加器有 S_n 及 C_n 两个输出，在进行逻辑设计时，一般应充分利用这两个逻辑函数间的共同部分。自图 3-3 我们看到， S_n 及 C_n 的共同部分是很少的，然而， S_n 和 $\bar{C}_n$ 的共同部分却很多。利用图3-5进位输出 C_n 的卡诺图，可得 $\bar{C}_n$ 的逻辑式为：

$$\bar{C}_n = \bar{A}_n \bar{B}_n + \bar{A}_n \bar{C}_{n-1} + \bar{B}_n \bar{C}_{n-1} \quad (3-7)$$

根据式 (3-7) 我们得到如下关系式：

$$\left. \begin{aligned} A_n \bar{C}_n &= A_n \bar{B}_n \bar{C}_{n-1} \\ B_n \bar{C}_n &= \bar{A}_n B_n \bar{C}_{n-1} \\ C_{n-1} \bar{C}_n &= A_n \bar{B}_n C_{n-1} \end{aligned} \right\} \quad (3-8)$$

因此，方程 (3-3) 所表达的 S_n 逻辑式可改写成：

$$S_n = A_n \bar{C}_n + B_n \bar{C}_n + C_{n-1} \bar{C}_n + A_n B_n C_{n-1} \quad (3-9)$$

按照方程 (3-4) 与 (3-9)，可用两个“与或非”门构成一位全加器。其逻辑图见图3-6。这是一种先进位再求和的全加器。

需要注意的是，在这个图中，输入都是原变量，而输出则都是反变量的形式。

根据全加器的真值表或图 3-3 内 S_n 的卡诺图，可以写出 $\bar{S}_n$ 的逻辑式为：

$$\bar{S}_n = A_n B_n \bar{C}_{n-1} + A_n \bar{B}_n C_{n-1} + \bar{A}_n B_n C_{n-1} + \bar{A}_n \bar{B}_n \bar{C}_{n-1} \quad (3-10)$$

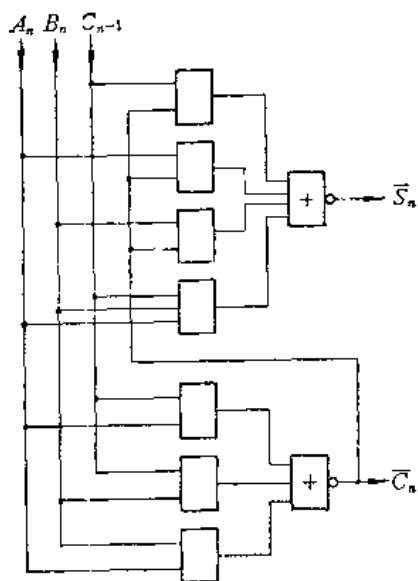


图3-6 两个“与或非”门构成一位全加器

将这个式子与式 (3-3) S_n 的表达式对比，同时将式 (3-7) 与式 (3-4) 对比，我们看到全加器的一种特性，这就是如果将全加器的输入变量和输出变量同时全部取反，则其逻辑功能不变。

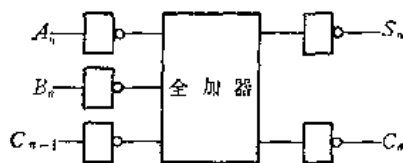


图3-7 图3-2的等效图

因此, 图 3-2 也可以画成图 3-7 的等效形式。

由此可见, 当我们用图 3-6 “与或非”门构成一位全加器时, 如果在输入端都连接反变量 $\bar{A}_n$ 、 $\bar{B}_n$ 及 $\bar{C}_{n-1}$, 则输出就都是原变量形式, 即 S_n 与 C_n 。

图 3-8 是一个用“与或非”门构成的中规模 4 位全加器。图 3-9 画出了其中 2 位全加器的逻辑图。第一级 (2^0 级) 的输入是 A_0 及 B_0 , C_{-1} 是地电位。输出是它们的和 S_0 。进位并不引出到封装外面, 而是内部连接到它的高一位 (2^1)。第一级除了输出多一个“非”门以外, 其余同图 3-6 是完全一样的。这里 $n = 0$ 。

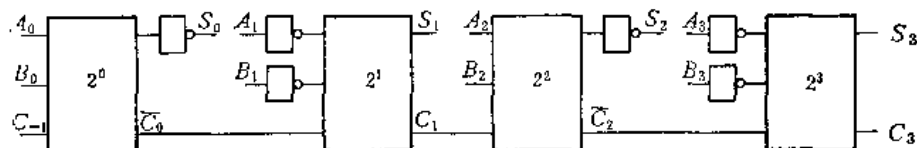


图 3-8 用“与或非”门构成的中规模 4 位全加器

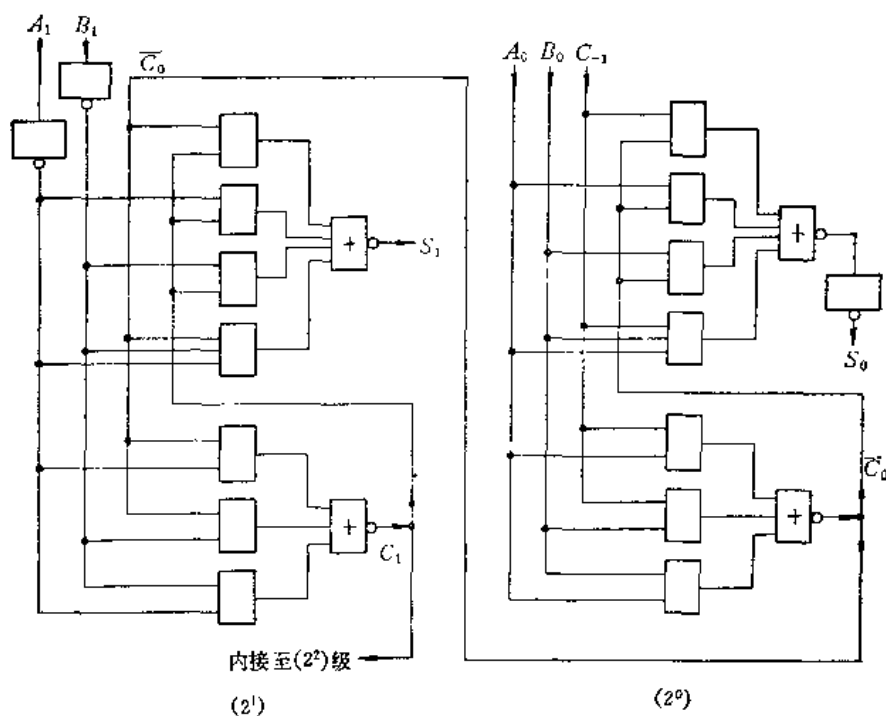


图 3-9 图 3-8 中 2 位全加器的逻辑图

初步看起来, 第一级的进位输出是 $\bar{C}_0$, 在将它传送到高一位 (2^1) 之前应该经过一个“非”门, 将 $\bar{C}_0$ 改变为 C_0 。然而, 考虑到加法器的最高工作速度受到所有位的进位传输时延的限制, 在进位的传输线路中再引入一个“非”门, 将更增加进位的时延, 因而这样做是不可取的。图 3-8 中是将 A_1 、 B_1 先各经过一个“非”门再输入, 如此直接输出 S_1 及 C_1 。

在多位数相加的情况下, 被加数与加数的输入可以有两种方法: 并行输入和串行输入。相应地, 多位加法器有并行加法器和串行加法器两类。

图 3-8 的 4 位加法器是由 4 个一位全加器组成。各位的被加数、加数是并行输入的, 和数是并行输出。每位全加器的进位输出接到高一位全加器的进位输入端。这种加法器称为并行加法器。

串行加法器的结构如图3-10所示, 被加数和加数分别串行输入到两个 n 位移位寄存器中。然后在时钟脉冲 CP 作用下, 逐位移入全加器相加。每一位的进位输出用一个 D 触发器存储, 以供在下一个时钟脉冲作用下, 送回全加器同高一位的数相加。相加的和数 S 输入到另一个 n 位移位寄存器。这个寄存器也可以同被加数或加数寄存器中的一个合用, 如此在完成加法后, 和数就代替了原来的被加数或加数。在要求相同的数重复相加时, 可以将寄存器输出接到输入以循环其中的数。这在图3-10中用虚线表示。

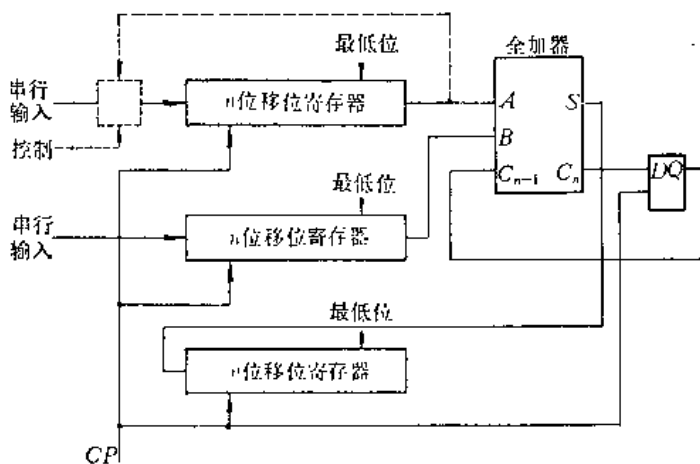


图3-10 串行加法器

串行加法器多位加法运算只需用一个全加器; 而并行加法器由于所有位都同时输入, 所以运算较快。

3.1.3 快速二进制加法器

图3-8的并行加法器, 它的进位方式是每一位全加器的进位输出接到高一位的进位输入端, 这种进位方式叫做行波进位。每位全加器的运算, 要等到低一位的进位输入后, 才能求出和数以及往高一位的进位。随着位数的增加, 由于每位进位延迟时间的相加, 完成一次加法所需要的时间也增加了。如果能使各位全加器的进位大致上同时产生, 就可提高加法速度。

为便于下面讨论, 引入两个文字符号 G_n 和 P_n , 其定义是:

$$G_n = A_n B_n \quad (3-11)$$

$$P_n = A_n + B_n \quad (3-12)$$

根据方程 (3-4), 全加器进位输出 C_n 可表示为:

$$C_n = A_n B_n + (A_n + B_n) C_{n-1} = G_n + P_n C_{n-1} \quad (3-13)$$

将 $n = 0, 1, 2, 3$ 代入上式得:

$$C_0 = G_0 + P_0 C_{-1} \quad (3-14)$$

$$C_1 = G_1 + P_1 C_0 = G_1 + G_0 P_1 + C_{-1} P_0 P_1 \quad (3-15)$$

$$C_2 = G_2 + P_2 C_1 = G_2 + G_1 P_2 + G_0 P_1 P_2 + C_{-1} P_0 P_1 P_2 \quad (3-16)$$

$$C_3 = G_3 + P_3 C_2 = G_3 + G_2 P_3 + G_1 P_2 P_3 + G_0 P_1 P_2 P_3 + C_{-1} P_0 P_1 P_2 P_3 \quad (3-17)$$

其中 C_{-1} 是外部的进位输入, C_0 是最低位的进位输出。

由此可推出其一般表达式如下:

$$C_n = G_n + \sum_{i=1}^n G_{n-i} \prod_{j=1}^i P_{n-j+1} + C_{-1} \prod_{k=0}^n P_k \quad (3-18)$$

图3-11是根据式 (3-14)~式 (3-17) 作出的4位快速二进制加法器。这个逻辑结构从外部进位输入 C_{-1} 到 C_3 输出只需3级门的延迟时间。而对于图3-8的行波进位4位加法器,

则需要经过 8 级门的时延。随着位数的增加, 这个差别就更大。对于行波进位加法器, 每一位都要附加 2 级时延, 而这里的快速进位加法器则仍保持 3 级时延。不过当位数增加时, 就需要大量的门, 而且会产生有关门输入端个数及输出带负载能力的问题。因此, 多位加法器的设计常需在高速性能和减少硬设备二者之间采取折衷办法, 例如采用快速进位和行波进位两者相结合的方法。

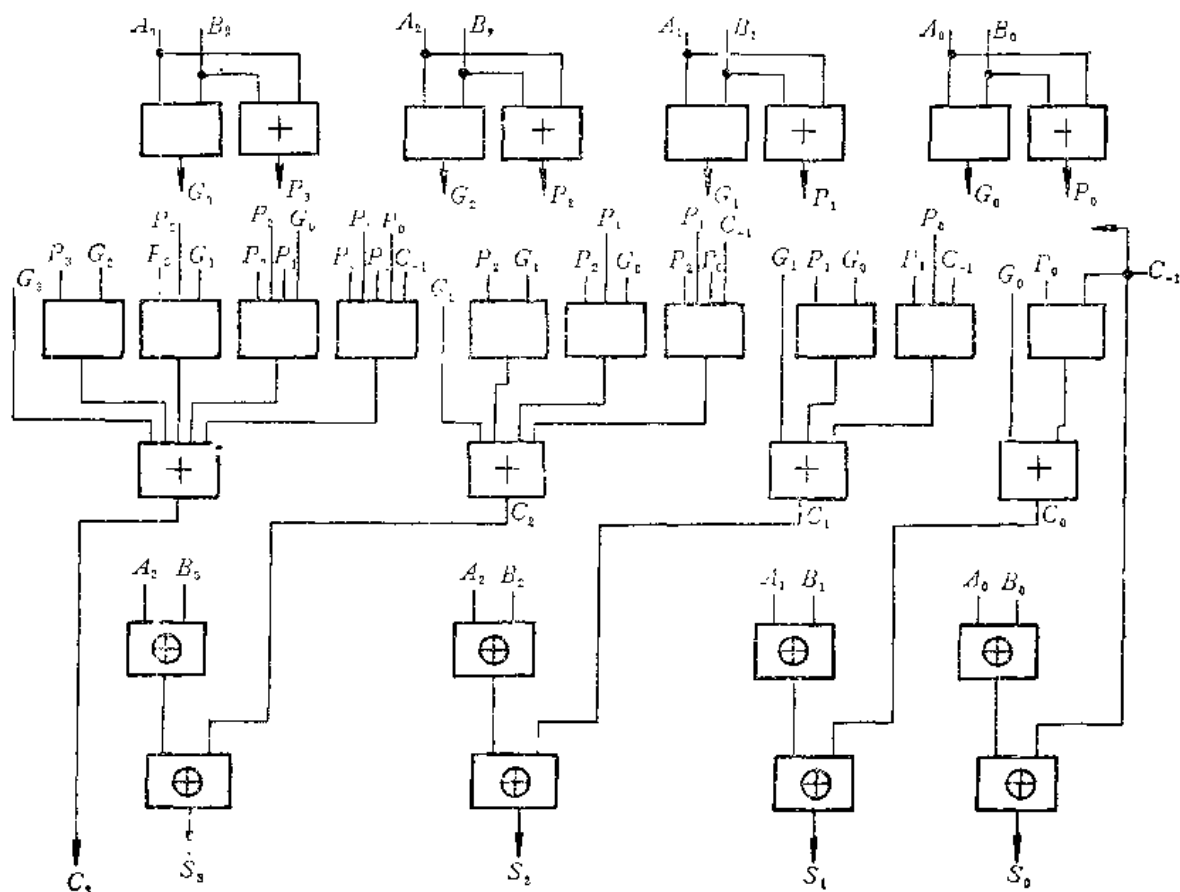


图3-11 4位快速二进制加法器

3.2 译码器

译码器的功能就是把给定的代码“翻译”出来。许多系统都要对信息进行译码。诸如数据多路转换、数字显示、数字-模拟转换器和存储器寻址等方面, 都需用到译码器。

3.2.1 二进制码的译码器

一个字长为 N 位的二进制数字能够表示 2^N 种不同的信息。翻译 N 位代码的译码器有 2^N 个输出, 每一个输出与一种 N 位代码相对应。对应一种代码, 相应的输出即为高电平 1, 其余的输出均为低电平 0。

例如, 一个 2 位二进制字可表示 4 个信息, 每个信息对应于这个字的二进制状态 (00, 01, 10, 11) 中的一个。翻译 2 位代码的译码器有 4 个输出, 每个输出分别与上述 4 种状态中的一种相对应。在图 3-12 中, 每个二进制状态分别由 4 个字母 (Q_0, Q_1, Q_2, Q_3) 中的一个表示。2 位代码的译码器具有两个输入信号 A 和 B , 及 4 个输出 $Q_0 \sim Q_3$ 。它们的

对应关系是：当输入 A 和 B 二者都等于 0 时， Q_0 为 1，此时其他 3 个输出 $Q_1 \sim Q_3$ 都为 0。 Q_0 输出的逻辑式为 $Q_0 = \bar{B}\bar{A}$ 。当输入 $A = 1$ 、 $B = 0$ 时， $Q_1 = 1$ ， $Q_0 = Q_2 = Q_3 = 0$ 。 Q_1 的逻辑式为 $Q_1 = \bar{B}A$ 。对于 Q_2 、 Q_3 输出，可重复与此相似的推论。图 3-12 中的卡诺图称为译码器的基准矩阵，逻辑式称为译码器的控制方程。这些方程如采用 2 输入“与非”门来实现，则如图 3-13 所示。

$B \backslash A$	0	1	
0	Q_0	Q_1	$Q_0 = \bar{B}\bar{A}$ $Q_1 = \bar{B}A$
1	Q_2	Q_3	$Q_2 = B\bar{A}$ $Q_3 = BA$

图 3-12 2 位译码器基准矩阵及控制方程

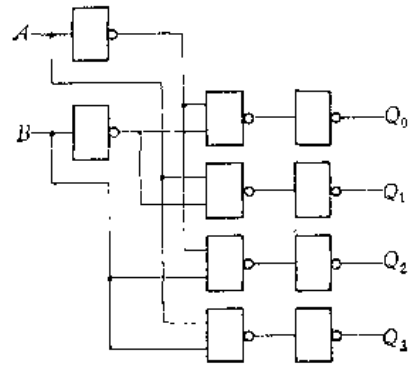


图 3-13 2 位译码器逻辑图

下面再以翻译 3 位代码的译码器为例，说明怎样设计译码器。

翻译 3 位代码的译码器共有 $2^3 = 8$ 个输出，每个输出与一种代码相对应。根据输出和代码的对应关系，可以列出表 3-3。

表 3-3

C	B	A	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

一般不一定要画出这样的表，像上面讲的 2 位译码器一样，只要作出译码器的基准矩阵，就可简单明了地表明每个输出与一种代码之间的对应关系。见图 3-14。

$C \backslash BA$	00	01	11	10	
0	Q_0	Q_1	Q_3	Q_2	
1	Q_4	Q_5	Q_7	Q_6	

图 3-14 3 位译码器基准矩阵

根据表 3-3 或图 3-14, 写出控制方程:

$$Q_0 = \overline{C} \overline{B} \overline{A}, \quad Q_1 = \overline{C} \overline{B} A$$

$$Q_2 = \overline{C} B \overline{A}, \quad Q_3 = \overline{C} B A$$

$$Q_4 = C \overline{B} \overline{A}, \quad Q_5 = C \overline{B} A$$

$$Q_6 = C B \overline{A}, \quad Q_7 = C B A$$

根据上面逻辑式, 即可作出逻辑图, 这里就不再画出了。

作为中规模二进制码译码器的一个实例, 图 3-15 给出一个 4 位译码器的逻辑图。

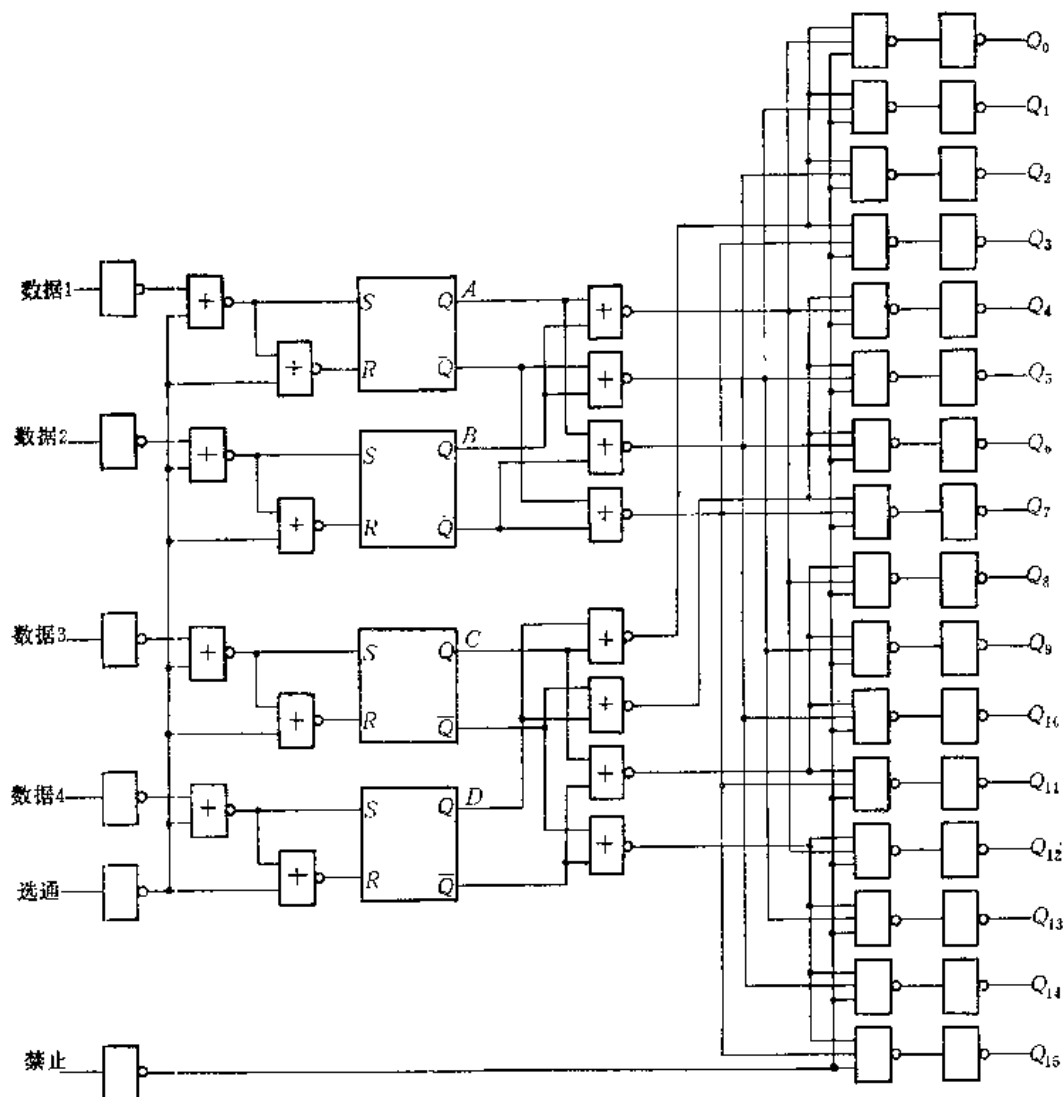


图 3-15 某一中规模 4 位二进制译码器

这个逻辑结构具有下面两个特点:

(1) 在译码输入的前面设有用 S-R 触发器组成的 4 位寄存器。当选通输入为 1 时, 4 个数据分别送入各个 S-R 触发器。当选通输入为 0 时, 4 个数据不能进入 S-R 触发器的输入端, 此时触发器保持原先的状态不变, 也就是将原先的输入数据寄存着。这样就避免了显示时由于输入数码迅速变化而造成数码管数字出现闪烁的现象。这 4 个寄存器称为缓冲寄存器。这里的 S-R 触发器只用作数码寄存, 因而可以采用由两个“或非”门组成的简单结构。

(2) 为了减少元件数目, 以及减轻触发器的负载, 采用分组两级译码。这就是将存放代码的 4 个缓冲寄存器分为两组, 每组两位, 每组用一级译码的方法产生 4 个输出, 然后从两组中各取一个输出“与”起来, 产生一个总的输出。总的输出个数是 $4 \times 4 = 16$ 。

译码器的逻辑表见表 3-4。

表 3-4

禁	D	C	B	A	Q ₀	Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	Q ₆	Q ₇	Q ₈	Q ₉	Q ₁₀	Q ₁₁	Q ₁₂	Q ₁₃	Q ₁₄	Q ₁₅	选 通
0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
0	0	0	0	1	0	1	0	:	:	:	:	:	:	:	:	:	:	:	:	:	:
0	0	0	1	0	:	0	1	0	:	:	:	:	:	:	:	:	:	:	:	:	:
0	0	0	1	1	:	:	0	1	0	:	:	:	:	:	:	:	:	:	:	:	:
0	0	1	0	0	:	:	:	0	1	0	:	:	:	:	:	:	:	:	:	:	:
0	0	1	0	1	:	:	:	:	0	1	0	:	:	:	:	:	:	:	:	:	:
0	0	1	1	0	:	:	:	:	:	0	1	0	:	:	:	:	:	:	:	:	:
0	0	1	1	1	:	:	:	:	:	:	0	1	0	:	:	:	:	:	:	:	:
0	1	0	0	0	:	:	:	:	:	:	0	1	0	:	:	:	:	:	:	:	:
0	1	0	0	1	:	:	:	:	:	:	:	0	1	0	:	:	:	:	:	:	:
0	1	0	1	0	:	:	:	:	:	:	:	0	1	0	:	:	:	:	:	:	:
0	1	0	1	1	:	:	:	:	:	:	:	:	0	1	0	:	:	:	:	:	:
0	1	1	0	0	:	:	:	:	:	:	:	:	:	0	1	0	:	:	:	:	:
0	1	1	0	1	:	:	:	:	:	:	:	:	:	:	0	1	0	:	:	:	:
0	1	1	1	0	:	:	:	:	:	:	:	:	:	:	:	0	1	0	:	:	:
0	1	1	1	1	:	:	:	:	:	:	:	:	:	:	:	:	0	1	:	:	1
1	×	×	×	×	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	×

× = 任意

3.2.2 二-十进制码的译码器

十进制数可用二进制代码来表示, 这样的数码通常叫做二-十进制码。3 位二进制代码有 8 种不同组合, 因此 1 位十进制数要用 4 位二进制代码来表示。N 位十进制数则要用 N 个 4 位二进制代码表示, 这 N 个之间是按十进位。

用二进制的 0 和 1 来表示十进制数时有一个编码选择问题。因为 4 位二进制代码有 16 种不同组合, 那么, 选择其中哪十种组合, 并按什么样的顺序编排来表示 1 位十进制数, 这可以有多种不同的方法, 产生各种各样的编码。表 3-5 列出了 8421、2421 和 余 3 三种编码。

8421 和 2421 编码称作有权码。在有权码中, 每位二进制数都有一定的权或倍乘因子。对于 8421 编码, 4 位二进制数从左到右它们的权分别是 8-4-2-1。对于 2421 编码, 4 位二进制数从左到右它们的权分别是 2-4-2-1。所以, 有权码可以直接利用数学换算的方法把

表 3-5

二进制数字	8421	2421	余 3
0 0 0 0	0	0	
0 0 0 1	1	1	
0 0 1 0	2	2	
0 0 1 1	3	3	0
0 1 0 0	4	4	1
0 1 0 1	5		2
0 1 1 0	6		3
0 1 1 1	7		4
1 0 0 0	8		5
1 0 0 1	9		6
1 0 1 0			7
1 0 1 1		5	8
1 1 0 0		6	9
1 1 0 1		7	
1 1 1 0		8	
1 1 1 1		9	

二进制代码转换成等效的十进制数。例如：

代码权 = 8-4-2-1

二进制代码 = 1001

等效的十进制数 = $(8 \times 1) + (4 \times 0) + (2 \times 0) + (1 \times 1) = 9$

一个 3 位十进制数 631，如用 8421 编码的二-十进制码表示则为：

$\begin{array}{ccc} 6 & 3 & 1 \\ \hline 0 & 1 & 1 & 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 1 \end{array}$

每 4 位一组代表 1 位十进制数，其间是按二进制进位，而不同组之间是按十进制进位。顺便指出，所有有权码必须满足下述三条规定：

- (1) 最低位的权必须是 1；
- (2) 比最低位高一位的权必须是 1 或 2；
- (3) 权的总和至少为 9，且对于 4 位码来说最大不超过 15。

余 3 码是一种偏权码。从余 3 编码转换到它等效的十进制数时，可以按 8421 码减 3 计算。例如余 3 码 1100 相当于十进制数是 $(8 \times 1) + (4 \times 1) + (2 \times 0) + (1 \times 0) - 3 = 9$ 。

也有用 5 位二进制代码来表示 1 位十进制数的。表 3-6 是其中常用的一种。它是无权码。

表 3-6

十进制数字	无 权 码
0	0 0 0 0 0
1	1 0 0 0 0
2	1 1 0 0 0
3	1 1 1 0 0
4	1 1 1 1 0
5	1 1 1 1 1
6	0 1 1 1 1
7	0 0 1 1 1
8	0 0 0 1 1
9	0 0 0 0 1

DC \ BA	0 0	0 1	1 1	1 0
0 0	0	1	3	2
0 1	4	5	7	6
1 1	×	×	×	×
1 0	8	9	×	×

$$\begin{aligned}
 Q_0 &= \overline{DC} \overline{BA} \\
 Q_1 &= \overline{DC} \overline{B} A \\
 Q_2 &= \overline{DC} B \overline{A} \\
 Q_3 &= \overline{DC} B A \\
 Q_4 &= \overline{DC} \overline{B} \overline{A} \\
 Q_5 &= \overline{DC} \overline{B} A \\
 Q_6 &= \overline{DC} B \overline{A} \\
 Q_7 &= \overline{DC} B A \\
 Q_8 &= DC \overline{B} \overline{A} \\
 Q_9 &= DC \overline{B} A
 \end{aligned}$$

图 3-16 8421 译码器基准矩阵及控制方程

上面介绍了二-十进制数码，现在来讨论二-十进制码的译码器。

以最常用的8421编码的译码器为例，它的基准矩阵及控制方程如图3-16所示。这些方程式可由图3-17的逻辑图来实现。每一条输出线都对应着一个“与”门，每个“与”门有4个输入。这4个输入码与输出线的对应关系根据图3-16的逻辑式。例如， Q_0 输出线对应着的“与”门，它的4个输入码是 $\overline{D}\overline{C}\overline{B}\overline{A}$ 。当输入的二-十进制码是“0000”时，这个“与”门的所有输入端都是1，因此使 Q_0 输出线也是1电平。与此同时，其他各输出线均因为4个输入端中至少有一个为0，因而使这些输出线均为0。同样，当输入为“0001”时，只有 Q_1 输出线为1；当输入为“0010”时，只有 Q_2 输出线为1；……等等。

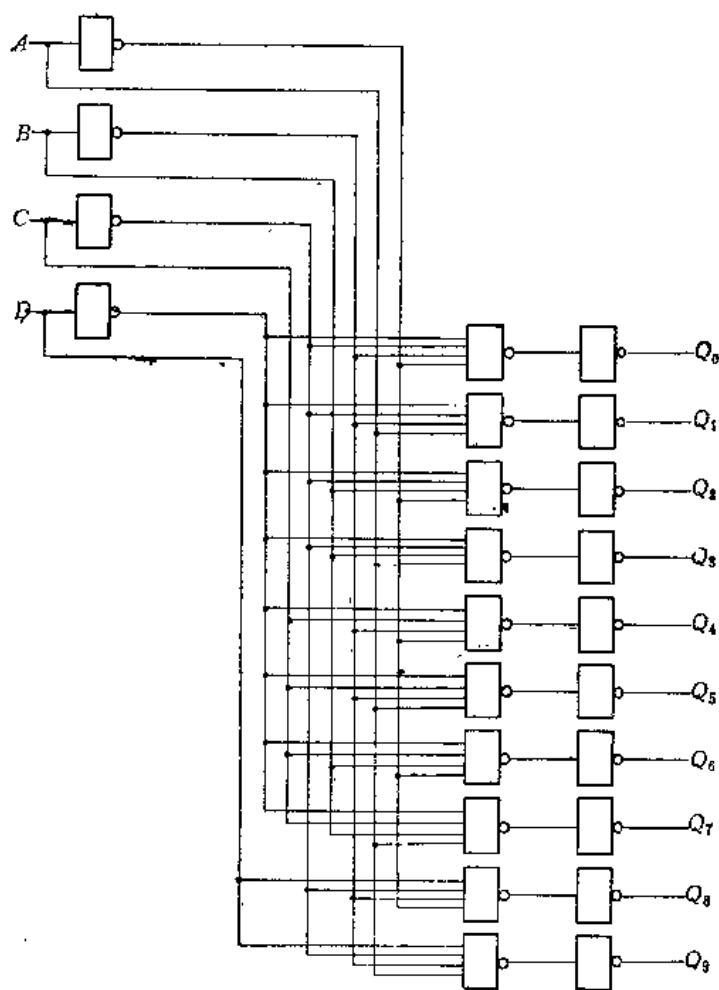


图3-17 8421译码器逻辑图

在8421编码的二-十进制码中不包括下列状态：1010、1011、1100、1101、1110和1111，因此认为这些状态是伪输入数据。当伪数据出现在图3-17这个译码器的输入端时，所有的输出都是0。这个译码器叫做不包括禁止项在内的8421二-十进制码的译码器。

不拒绝伪输入数据，也能构成一个8421二-十进制码的译码器。这种译码器称为包括

禁止项在内的8421二-十进制码的译码器。这种译码器使“与非”门的输入端数减为最少，因而具有元件少的特点。基准矩阵和由此推导出来的控制方程如图3-18所示。在基准矩阵内没有用的单元内记入×，这意味着对于伪输入数据，输出的状态是任意规定的。例如，假使1111进入该译码器，则输出7和9都是1。此译码器的逻辑图示于图3-19。

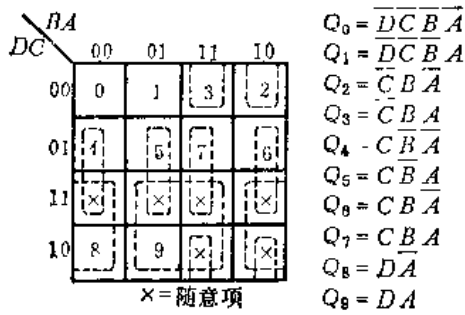


图3-18 不拒绝伪数据的8421译码器基准矩阵及控制方程

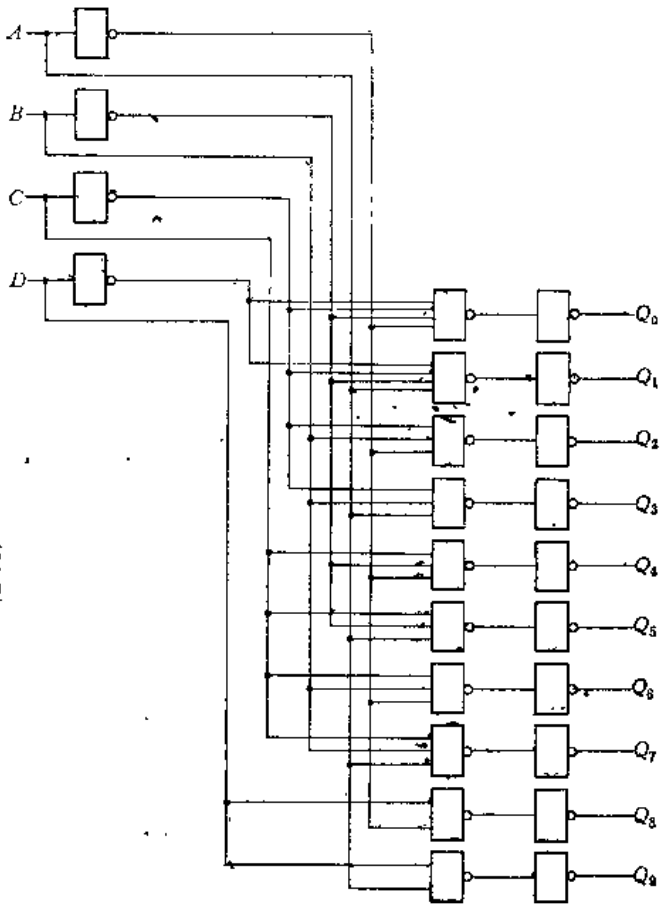


图3-19 不拒绝伪数据的8421译码器逻辑图

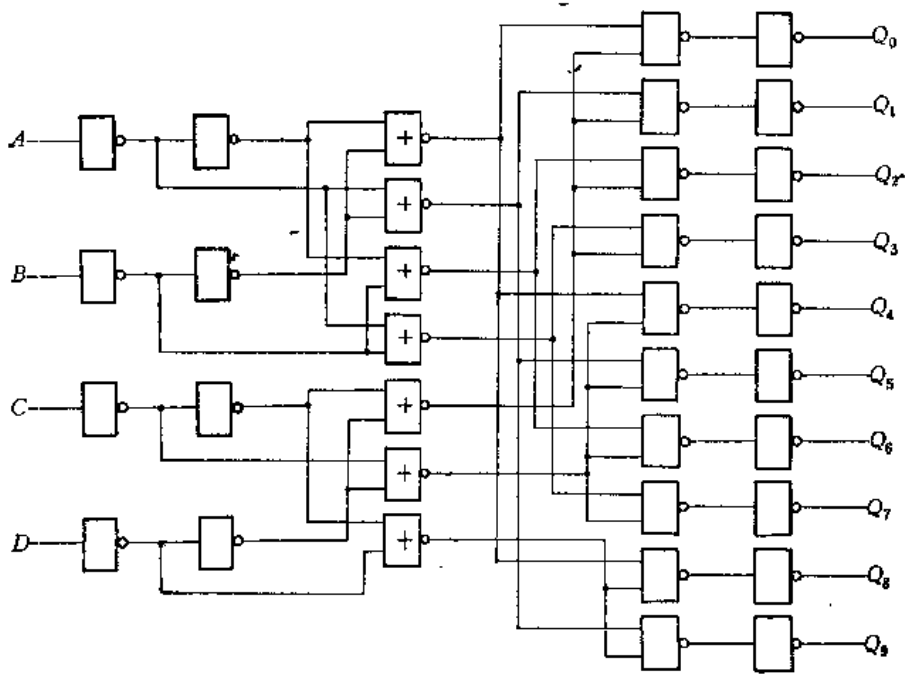


图3-20 某一中规模二-十进制译码器

作为中规模二-十进制码译码器的一个实例，下面我们来讨论图3-20的译码器。

这是一个拒绝伪数据的8421二-十进制码的译码器。它采用分组两级译码的结构，将4位数码分为两组： A 、 B 为一组， C 、 D 为一组。 A 、 B 两位数码经过一级译码后，在4个“或非”门的输出端产生4个输出，它们是 $\overline{B}A$ 、 $\overline{B}\overline{A}$ 、 $B\overline{A}$ 和 BA 。从 C 、 D 这一组用一级译码取得三个输出，即 $\overline{D}\overline{C}$ 、 $\overline{D}C$ 和 $D\overline{C}$ 。然后再对这两组进行译码，获得所要求的十个输出。

这个译码器既是一个二-十进制编码的译码器，又是一个3位二进制码的译码器。当用作后一种情况时，输入端 D 接0电平（ $D=0$ ），3位二进制数码自 A 、 B 、 C 三个端头输入，则从 $Q_0 \sim Q_7$ 8个输出端获得3位二进制码的译码，如图3-21所说明。

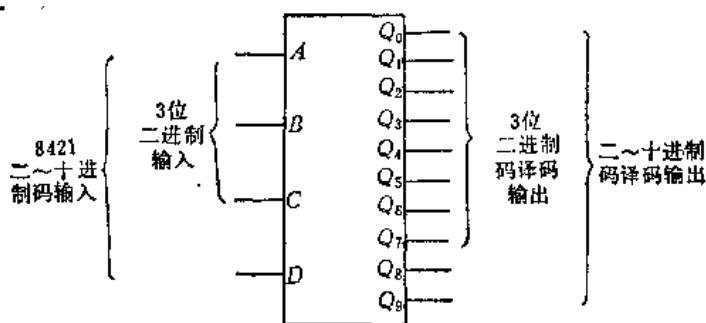


图3-21 图3-20译码器使用时接法说明

当需要时，用数个这样的译码器，可以实现多位二进制码的译码。图3-22所示为一个6位二进制码的译码器。共用9块这种译码器件，另加8个“非”门。对6位二进制数的

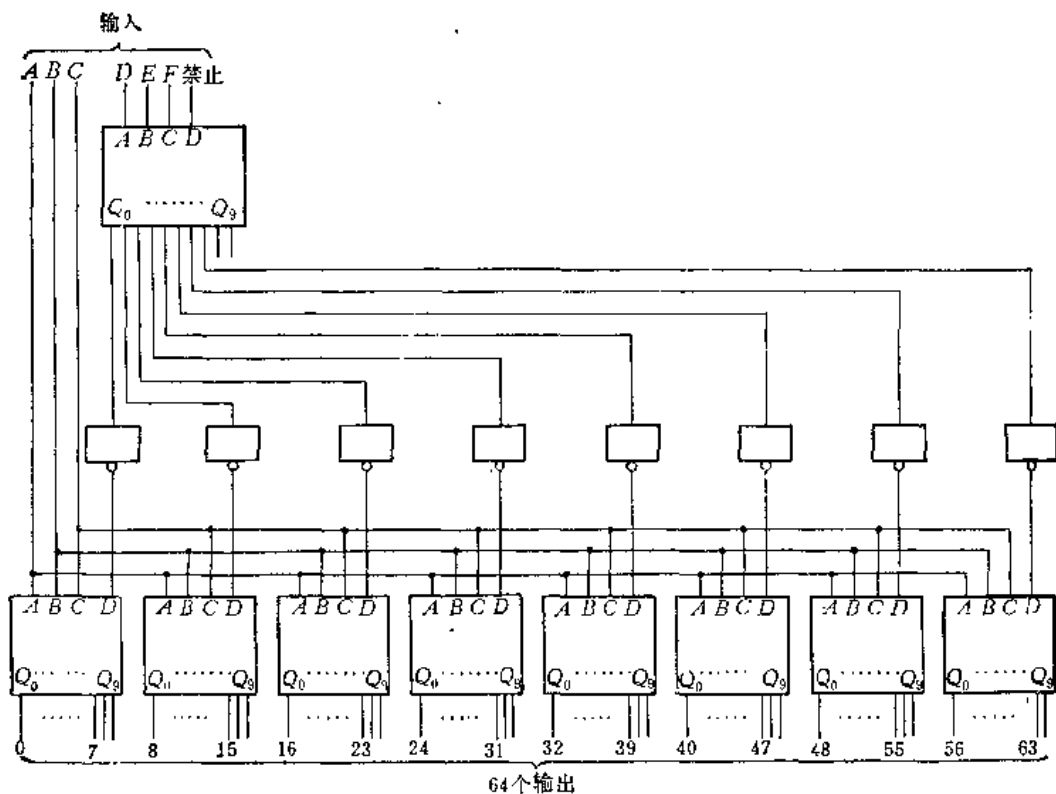


图3-22 6位二进制码的译码器

译码, 共有 $2^6=64$ 个输出。每个输出对应于 6 位二进制数的一种状态。举例来说, 设输入 6 位二进制数码为 FEDCBA=010110, 由于 FED=010, 故上面那块译码器件的 Q_2 为 1, 其余输出 $Q_0=Q_1=Q_3=\dots=Q_7=0$ 。 $Q_2=1$, 经“非”门作用到下面左起第 3 块译码器件的 D 端, 使其输入 D 为 0。因而可实现 3 位 A 、 B 、 C 二进制码的译码。下面一排的其余 7 块译码器件, 因为它们的 D 输入均为 1, 所以每块的 8 个输出 $Q_0\sim Q_7$ 都是 0。现在 CBA 是 110, 因此下面左起第 3 块的 Q_8 为 1, 其余 $Q_0\sim Q_6$ 、 Q_7 、 Q_9 均是 0, 所以在总的 64 个输出中, Q_{22} 为 1, 其他 63 个输出都是 0。这与译码器的逻辑方程 $Q_{22}=\overline{F}E\overline{D}CBA$ 相符。

3.2.3 笔划译码器

笔划译码器是一种常见的特殊类型的 8421 二-十进制译码器, 它用来驱动荧光数码管、液光或发光二极管等笔划显示器件。由于这些显示器件工作电压低, 可由集成电路直接驱动, 因而应用广泛。

目前笔划显示有 7 段显示、8 段显示和 9 段显示等数种, 如图 3-23 所示。

以 8 段荧光数码管为例, 它有一个阴极、一个栅极和 9 个阳极: a 、 b 、 c 、 d 、 e 、 f 、 g 、 h 、 i 。数字图形由 $a\sim h$ 8 段组成, i 是小数点。使用时, 阴极接低电平, 栅极接高电平。当某一阳极为高电平 1 时, 它对应的

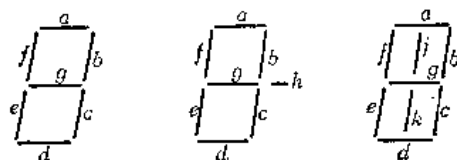


图 3-23 7 段、8 段和 9 段显示

那一段笔划就亮。如这个阳极是低电平 0, 该段就暗 (不亮)。例如, 当 g 和 h 为低电平 0 时, 这两段不亮, 其他 6 段都是高电平 1, 数码管显示的是 0 字 (□)。当 a 、 d 、 e 段不亮, 其他诸段亮, 显示的是 4 字 (⋈)。当 b 、 h 段不亮, 显示 6 字 (⌒), 等等。

对于 7 段显示, 只是当显示 4 字时, 图形为 ⋈。其他情况, 均与 8 段显示相同。8 段之不同于 7 段, 仅在于增加了一个 h 段。当显示 4 字时, 图形稍为逼真一些。

对于 9 段显示, 当显示 1 字时, j 和 k 两段亮, 其余各段均暗, 这样当数字 1 显示时, 就出现在中间部位。当显示 4 字时, f 、 g 、 j 、 k 4 段亮, 其他 5 段均暗, 因而 4 字图形更逼真些。不过, 段数愈多, 要用的门电路自然也愈多。

表 3-7 列出了 8 段显示管的驱动要求。该图指出应该如何控制显示段以产生数字。当把最右面的一行 h 不要时, 这图同样适用于 7 段显示。

表 3-7

	a	b	c	d	e	f	g	h
0	1	1	1	1	1	1	0	0
1	0	1	1	0	0	0	0	0
2	1	1	0	1	1	0	1	0
3	1	1	1	1	0	0	1	0
4	0	1	1	0	0	1	1	1
5	1	0	1	1	0	1	1	0
6	1	0	1	1	1	1	1	0
7	1	1	1	0	0	0	0	0
8	1	1	1	1	1	1	1	0
9	1	1	1	1	0	1	1	0

现在根据表 3-7 的笔划控制要求,来设计一个 8 段译码器的逻辑。输入是一个二-十进制数码,它的 4 位二进制数用 $DCBA$ 来表示。先画出为控制每个段的卡诺图,如图 3-24 所示。例如对段 a ,输入是“0000”时, a 段亮,所以要求译码输出的 $a = 1$;输入“0001”时, a 段不亮,译码输出 $a = 0$;输入“0010”时, $a = 1$ 等等。其余完全类同。然后由卡诺图化简得到对应每段笔划的逻辑式。除段 h 外,这里都是取卡诺图中的 0 项进行化简,这样的结果是所用的逻辑电路要少。在图 3-24 中,假定所设计的译码器不要求拒绝伪数

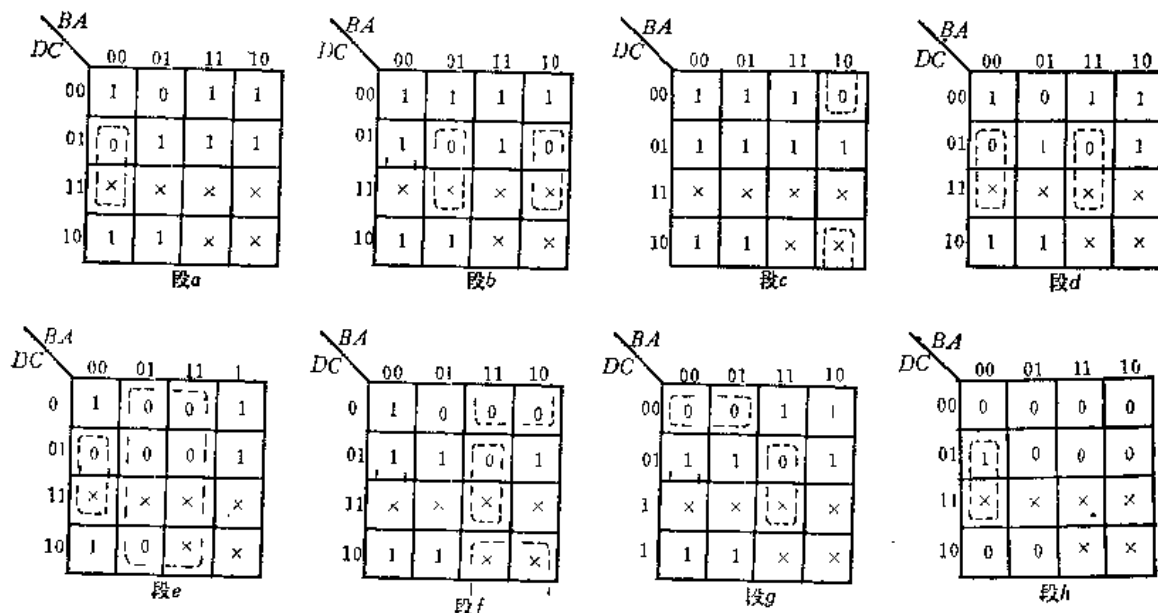


图 3-24 控制各段的卡诺图

据。由此导出的译码器控制方程列在下面:

$$\bar{a} = \bar{D}\bar{C}\bar{B}A + C\bar{B}\bar{A}$$

$$\bar{b} = C\bar{B}A + C\bar{B}\bar{A}$$

$$\bar{c} = C\bar{B}\bar{A}$$

$$\bar{d} = \bar{D}\bar{C}\bar{B}A + C\bar{B}\bar{A} + CBA$$

$$\bar{e} = A + C\bar{B}\bar{A}$$

$$\bar{f} = \bar{D}\bar{C}\bar{B}A + CBA + \bar{C}B$$

$$\bar{g} = \bar{D}\bar{C}\bar{B} + CBA$$

$$h = C\bar{B}\bar{A}$$

根据这些逻辑式,即可作出译码器的逻辑图。

3.3 计 数 器

计数器是最常用的一种数字电路。在很多数字设备中几乎都可以看到用触发器构成的计数器。它们不仅可以用来计数,而且可以用作分频和设备的操作定时。根本上说来,计数器是一种记忆系统,它能记住有多少个时钟脉冲已经加入到输入端。在集成电路中,计数器既是触发器的主要应用之一,也是触发器的进一步集成。

计数器通常分为两大类:行波计数器和同步计数器。按它的计数进位制又可分为二进

制计数器、十进制计数器和任意进制即 N 进制计数器等。 N 进制计数器输出脉冲的重复频率是输入脉冲重复频率的 $1/N$ ，所以又叫做 N 分频器。

3.3.1 行波计数器

行波计数器是一种基本的计数器。它的逻辑结构简单，但操作速度较低。

一、二进制计数器

图 3-25 所示的为一种 4 位二进制行波计数器。它由 4 个 D 触发器组成，每个触发器的输入 D 接到该触发器的输出 $\bar{Q}$ 端，从而触发器具有二进计数器的功能。每个触发器当时钟脉冲 CP 负跳变（即从 1 到 0）时改变输出状态。开始时，4 个触发器都置于 0 状态， $Q_A = Q_B = Q_C = Q_D = 0$ 。当第 1 个时钟脉冲加到触发器 A 的时钟输入端时， Q_A 就从 0 改变为 1。这时触发器 B 的输入时钟脉冲为正向跳变，故状态不变。当第 2 个时钟脉冲输入触发

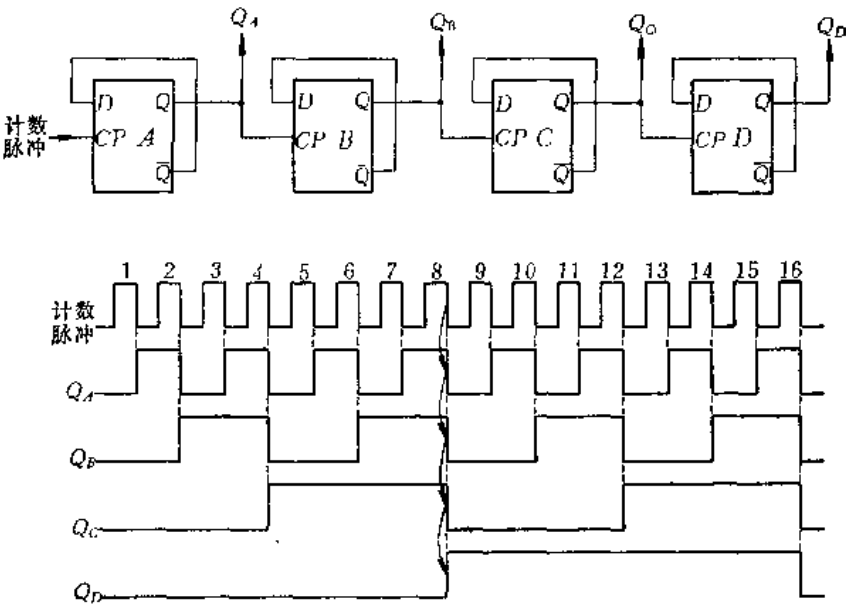


图3-25 4 位二进制行波计数器

器 A 时， Q_A 从 1 变到 0，这个状态的变化就使 Q_B 从 0 变到 1。在第 15 个时钟脉冲输入后，4 个触发器都处于 1 状态。第 16 个时钟脉冲将使 Q_A 、 Q_B 、 Q_C 和 Q_D 都依次返回到 0。从 Q_A 、 Q_B 、 Q_C 、 Q_D 等处输出可以分别获得输入脉冲的 2 分频、4 分频、8 分频和 16 分频。

从上述工作波形可以列出各个触发器状态与输入计数脉冲数目的关系，如表 3-8 所示。这个表中每一列的 4 个状态，正是输入脉冲数目的二进制表示。

表 3-8

输入脉冲数目	Q_D	Q_C	Q_B	Q_A	输入脉冲数目	Q_D	Q_C	Q_B	Q_A	输入脉冲数目	Q_D	Q_C	Q_B	Q_A
0	0	0	0	0	6	0	1	1	0	12	1	1	0	0
1	0	0	0	1	7	0	1	1	1	13	1	1	0	1
2	0	0	1	0	8	1	0	0	0	14	1	1	1	0
3	0	0	1	1	9	1	0	0	1	15	1	1	1	1
4	0	1	0	0	10	1	0	1	0	16	0	0	0	0
5	0	1	0	1	11	1	0	1	1					

行波计数器的计数脉冲, 只输入到最低位触发器 Q_A 。其他各个触发器的状态改变, 依靠其低一位触发器的状态变化。例如, 图 3-25 中当第 8 个计数脉冲输入后, 它的负跳变使 Q_A 由 1 变 0, Q_A 自 1 变 0 使得 Q_B 由 1 变 0, Q_B 的由 1 变 0 使 Q_C 由 1 变 0, Q_C 的由 1 变 0 又使 Q_D 由 0 变 1。如图中箭头所标明。这就造成 Q_D 的变化相对于输入计数脉冲有较长的传输延迟。如果每一个触发器的传输延迟是 T_p , 该计数器有 N 个触发器, 则总的传输延迟是 NT_p 。因此它的传输延迟时间较长, 这是行波计数器的主要缺点。计数器的最高时钟频率由下式给定:

$$1/f \geq NT_p$$

假定图 3-25 计数器的每一个触发器都有 50 ns 的传输延迟, 那么, 计数器从“1111”变到“0000”, 需要 200 ns 的传输延迟。 $1/f \geq 4 \times 50 = 200 \text{ ns}$, $f \leq 5 \text{ MHz}$ 。

在行波计数器中, 计数脉冲只作用到最低位触发器, 各个触发器并不是受一个公共的时钟脉冲控制, 各个触发器逐级依次翻转, 时间不同步, 所以行波计数器又称为异步计数器。

传输时延较长, 工作频率不高是行波计数器的主要缺点。另一个缺点是, 行波计数器译码时, 输出端会出现尖峰。这里我们以一个 3 位行波计数器及其译码器为例来说明, 见图 3-26。

从这个图可以看到, 若使选通脉冲输入为高电平, 则当计数器状态为“000”时, 输出 Q_0 为高电平 1, 其余输出均为低电平 0; 当计数为“101”时, Q_0 为 1, 其余输出均为 0, 等等。

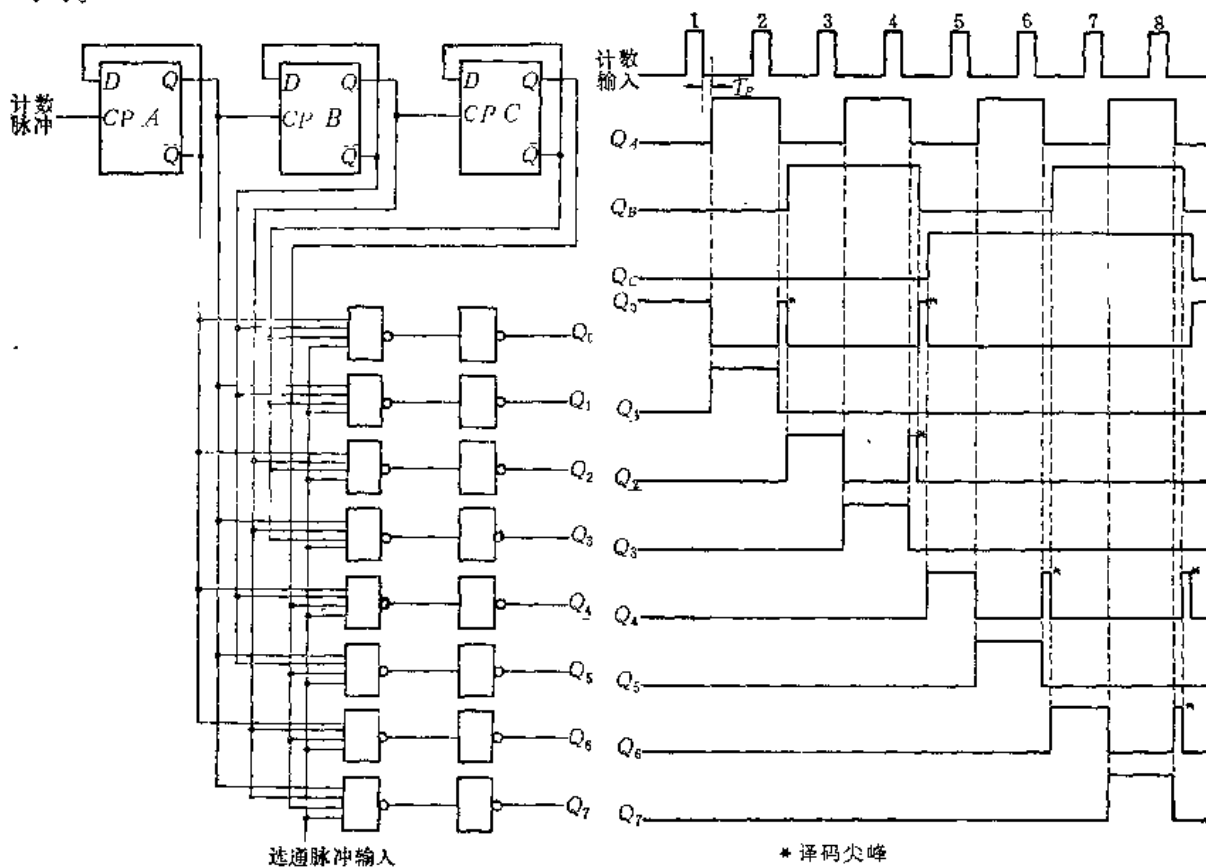
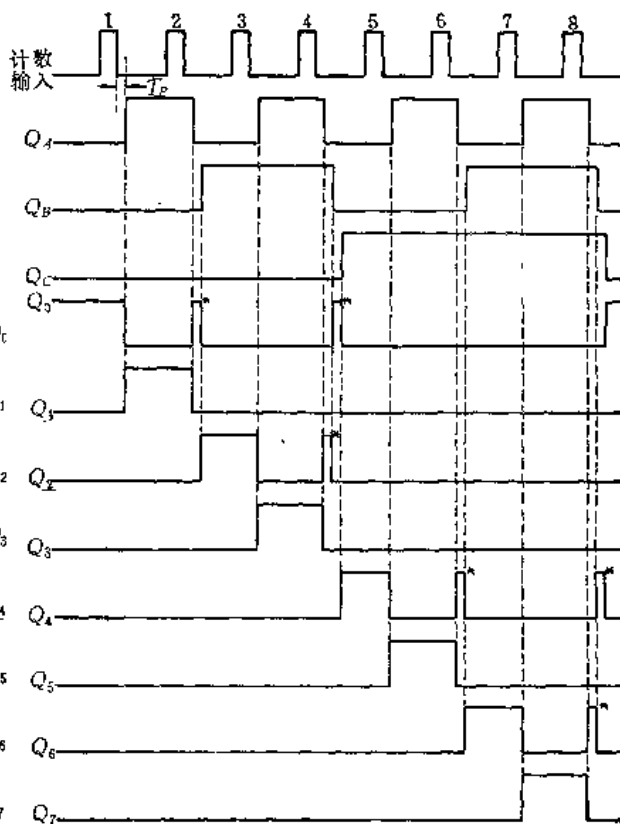


图3-26 3 位行波计数器及其译码器



* 译码尖峰
 T_p : 延迟时间 (放大比例)
图3-27 说明译码尖峰

对行波计数器的状态进行译码时, 由于触发器的传输延迟形成短时间的虚假状态, 因而在触发器的状态转换瞬间, 译码器输出端会出现尖峰。如图 3-27 所示。为了消除行波计数器译码输出端的尖峰, 就要运用选通脉冲 (图 3-26)。选通脉冲只允许在计数器的所有触发器稳定以后才产生译码。

如果不加选通脉冲, 又希望不出现译码尖峰的话, 那么从译码尖峰产生的原因来看, 就要求所有触发器都精确地在同一时间改变状态。这对行波计数器来说是不可能的。而下面要讲的同步计数器能符合这一要求, 如果各个触发器的传输延迟时间相同的话。此外, 如果计数器对于任何时钟脉冲只有一个触发器改变状态, 也就不会产生译码尖峰。

二、十进制计数器

一个十进制数可用 4 位二进制代码来表示, 因此, 一个十进制计数器可用 4 个二进制计数单元——触发器来构成。这种十进制计数器又称为二-十进制计数器。4 个触发器有 16 种状态, 组成一个十进制计数器, 要求选取其中十个状态并按一定的顺序来表示十进制计数器的十个数, 而其余 6 种状态则禁止出现。最常用的是 8421 编码。由表 3-5 可见, 十进制计数器如采用这种编码, 则当输入脉冲个数从 1 到 9 时, 计数器状态和二进制计数器状态完全相同。只是第十个脉冲输入后, 4 个触发器的状态应都为 0, 而不是“1010”。“1010”~“1111”这 6 种状态是多余的, 禁止存在。因此, 8421 编码的十进制计数器, 可以在 4 位二进制计数器逻辑结构的基础上, 增加控制逻辑, 使得计数器在第十个脉冲作用后, 4 个触发器的状态都为 0。

图 3-28 就是根据这种构思而设计的十进制计数器。它由 4 个 D 触发器和一个 2 输入“或非”门构成。“或非”门的两个输入端分别接自 $\bar{Q}_B$ 和 $\bar{Q}_D$, 输出端接到 4 个 D 触发器的公共清除 (复位) 线 R 。当第十个脉冲作用到计数器时, 4 个触发器的状态先变为 $Q_D Q_C Q_B Q_A = 1010$, 此时 $Q_D = Q_B = 1$, 即 $\bar{Q}_D = \bar{Q}_B = 0$, 经过“或非”门产生 1 输出, 作用到各触发器的公共置 0 端 R , 就使 4 个 D 触发器都复位到 0。对于前面 9 个计数脉冲的输入, 由于“或非”门的输入端都一直有 1 电平, “或非”门的输出为 0, 因而不产生影响。

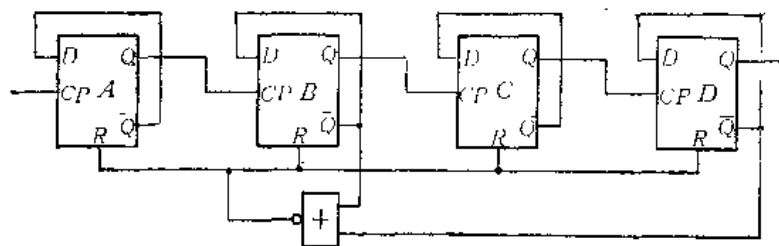


图3-28 一种十进制计数器

这种构成十进制计数器的方案, 复位设备最简单, 只要一个 2 输入的门电路就可以了, 因此已被广泛应用。但这个方法有时不是最可靠的。如果从复位输入端到触发器输出端的各级传输延迟不同, 那么, 正的复位脉冲宽度可能不足以使所有触发器复位到 0。例如, 触发器 B 的复位需要 50ns, 触发器 D 的复位需要 100ns, 那么, 经过 50ns 后触发器 B 复位为 0, $Q_B = 0$, $\bar{Q}_B = 1$, 从而使“或非”门输出变为 0。这样“或非”门输出的正复位脉冲, 其宽度只有 50ns, 于是较慢的触发器 D 就可能不复位。当计数器的输出负载不同时,

复位传输时间的差异尤其严重。

解决这个问题的一个较好方法，是在“或非”门的输出再接一个由两个“或非”门交叉耦合构成的 $S-R$ 触发器，如图 3-29 所示。当 Q_B 和 Q_D 都为 1 时，“或非”门输出为 1，从而使这个 $S-R$ 触发器输出 1，使 4 个 D 触发器置 0。即使 Q_B 或 Q_D 的输出发生变化，这个复位脉冲仍能保持足够的宽度，直到下一个计数脉冲输入为止。

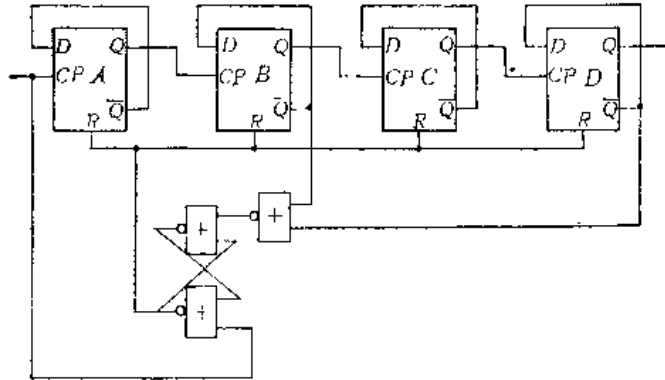


图3-29 增加由两个“或非”门构成的 $S-R$ 触发器

上面谈到，计数器在第十个脉冲作用时，触发器全部复位到 0，是应用“或非”门实现的。也可以用“与非”门来实现这个逻辑要求，如图 3-30 所示。它的工作原理与采用“或非”门相似。

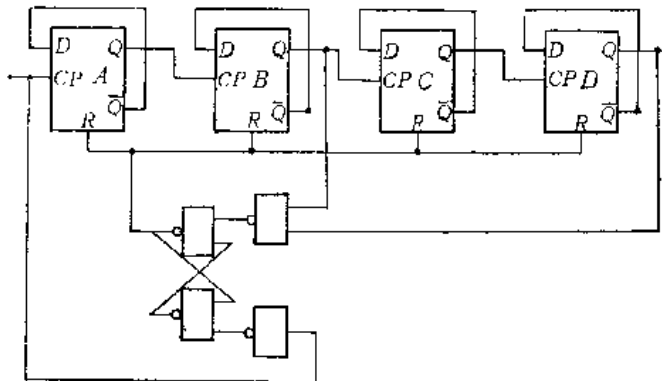


图3-30 用“与非”门触发器复位的十进制计数器

三、任意进制计数器

仿照上面十进制计数器的设计方法，一个任意进制计数器（ N 进制计数器）可按下述步骤设计：

- (1) 求出所需要的触发器数目 n ，它满足下述条件：

$$2^{n-1} \leq N \leq 2^n$$

- (2) 连接所有触发器成为一个行波计数器。

- (3) 求出 N 的二进制数。例如 12 的二进制数是“1100”。

(4) 把计数到 N 时 $Q = 1$ 的所有触发器的 $\bar{Q}$ 端，连接到一个“或非”门的输入端，并把该“或非”门的输出端（或通过 $S-R$ 触发器）连接到计数器的公共复位线。例如十二进制计数器是将 $\bar{Q}_C$ 和 $\bar{Q}_D$ 接到“或非”门的输入端。

3.3.2 同步计数器

在同步计数器中,所有触发器都在同一个时钟脉冲控制之下,各级之间的进位是附加一些控制门来实现的,这就消除了行波计数器所固有的触发器延迟时间累积的缺点。它的最高时钟频率仅仅决定于一个触发器的传输延迟以及控制门的延迟时间,因此具有较高的计数速度。

一、二进制同步计数器

在同步计数器中,控制进位的方式可以有两种,这就是并行进位和串行进位。下面分别介绍。

并行进位又叫先行进位,是两种控制方法中速度较快的一种。按照二进制计数器的状态表(表 3-8),每输入一个时钟脉冲,要求触发器 A 改变一次状态。对触发器 B 来说,在 $Q_A = 1$ 时,每输入一个时钟脉冲要求它改变一次状态。触发器 C 则在 $Q_A = Q_B = 1$ 时,每输入一个时钟脉冲它应改变一次状态。触发器 D 随时钟脉冲改变状态是在 $Q_A = Q_B = Q_C = 1$ 时。所以,如果用 4 个 J-K 触发器构成一个并行进位的 4 位同步计数器的话,触发器 A 的控制可用 J_A 和 K_A 连接到 1 来实现,触发器 B 的控制可用连接 J_B 和 K_B 到 Q_A 来实现,触发器 C 的控制可用输入是 Q_A 和 Q_B 的 2 输入“与”门的输出来实现,触发器 D 的控制是用一个 3 输入“与”门,它的 3 个输入端分别接 Q_A 、 Q_B 和 Q_C ,输出接 $J_D = K_D$ 端。逻辑图见图 3-31。

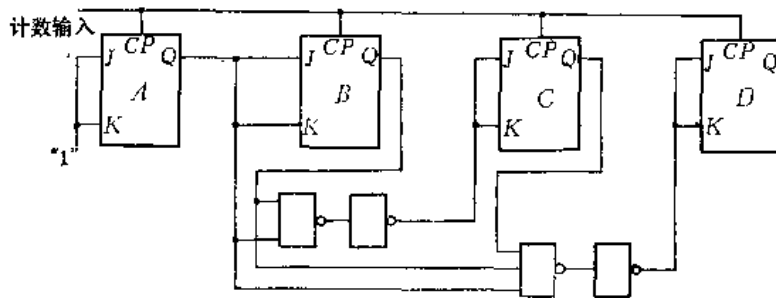


图 3-31 并行进位

以上讨论的是 4 位,假如位数较多,控制进位的规律可依此类推。对其中任一位触发器来说,在比它低的所有位都为 1 时,当时钟脉冲输入后它应改变状态。写成逻辑式则为:

$$J_n = K_n = Q_1 Q_2 \cdots Q_{n-1}$$

并行进位同步计数器的优点是速度较快,并且位数增加时对速度的影响不大。它的最高时钟频率为:

$$1/f \geq T_p + T_g$$

式中 T_p ——一个触发器的传输延迟;

T_g ——从控制门输入端到输出端的传输延迟。

并行进位的缺点是,当位数增加时,每个触发器需驱动的控制门数目就增多,同时每个控制门的输入端个数也要增加。

串行进位又称为行波进位,它克服了并行进位的缺点,但计数器的时钟速度要下降。其接法如图 3-32 所示。进位控制门只需要两个输入端,每个触发器需驱动的控制门的数目也

不随位数的增加而增加。最大时钟频率由下式给定:

$$1/f \geq T_p + (N-2)T_g$$

式中 N —— 触发器的级数;

T_p —— 一个触发器的传输时延;

T_g —— 一级控制门的传输时延。

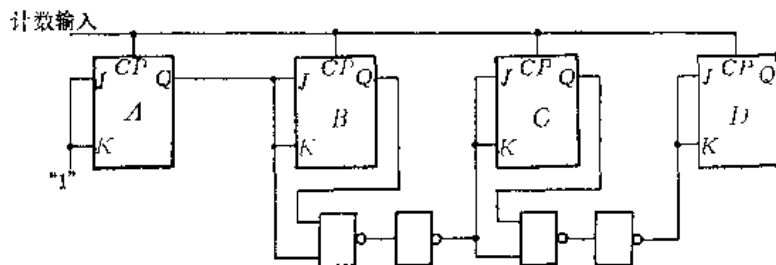


图3-32 串行进位

二、十进制同步计数器

上述二进制同步计数器的逻辑设计比较容易, 因为二进制计数器的进位条件是: 当 $Q_n Q_{n-1} \cdots Q_{n-1} = 1$ 时, 第 n 位触发器在时钟作用下应改变状态, 其中 Q_n 为最低位。十进制同步计数器的逻辑设计就不像二进制同步计数器那样直观。下面设计一个 8421 二-十进制码的十进计数器。

表 3-9

Q_n	Q_{n+1}	J_n	K_n
0	0	0	×
0	1	1	×
1	0	×	1
1	1	×	0

十进制计数器有十个不同的状态, 需要用 4 个触发器。这里讨论用 $J-K$ 触发器组成的十进制同步计数器。

表 3-9 为 $J-K$ 触发器的激励表。当触发器的目前状态和所要求的下一个状态都给定时, 这个表指明了在 $J-K$ 输入端上应具有的逻辑电平。

列出计数器下一状态、触发器控制输入与目前状态的关系表, 如表 3-10。

表 3-10

目 前 状 态					下 一 状 态					控 制 输 入							
十进制数	Q_D	Q_C	Q_B	Q_A	十进制数	Q_D	Q_C	Q_B	Q_A	J_D	K_D	J_C	K_C	J_B	K_B	J_A	K_A
0	0	0	0	0	1	0	0	0	1	0	×	0	×	0	×	1	×
1	0	0	0	1	2	0	0	1	0	0	×	0	×	1	×	×	1
2	0	0	1	0	3	0	0	1	1	0	×	0	×	×	0	1	×
3	0	0	1	1	4	0	1	0	0	0	×	1	×	×	1	×	1
4	0	1	0	0	5	0	1	0	1	0	×	×	0	0	×	1	×
5	0	1	0	1	6	0	1	1	0	0	×	×	0	1	×	×	1
6	0	1	1	0	7	0	1	1	1	0	×	×	0	×	0	1	×
7	0	1	1	1	8	1	0	0	0	1	×	×	1	×	1	×	1
8	1	0	0	0	9	1	0	0	1	×	0	0	×	0	×	1	×
9	1	0	0	1	0	0	0	0	0	×	1	0	×	0	×	×	1

下一步是进行逻辑函数的简化。为此, 分别作出 $J_D K_D$ 、 $J_C K_C$ 、 $J_B K_B$ 和 $J_A K_A$ 的卡诺图, 如图 3-33。这 4 个图又称为触发器的控制矩阵。

$Q_B Q_A$	00	01	11	10
$Q_D Q_C$	1×	×1	×1	1×
01	1×	×1	×1	1×
11	1×	×	×	×
10	1×	×1	×	×

触发器A的控制矩阵

$Q_B Q_A$	00	01	11	10
$Q_D Q_C$	0×	1×	1×	×0
01	0×	1×	1×	×0
11	×	×	×	×
10	0×	0×	×	×

触发器B的控制矩阵

$Q_B Q_A$	00	01	11	10
$Q_D Q_C$	0×	0×	1×	0×
01	×0	×0	1×	×0
11	×	×	1×	×
10	0×	0×	×	×

触发器C的控制矩阵

$Q_B Q_A$	00	01	11	10
$Q_D Q_C$	0×	0×	0×	0×
01	0×	0×	1×	0×
11	×	×	1×	×
10	×0	1×	×	×

触发器D的控制矩阵

图3-33 触发器的控制矩阵

由此求得各个触发器的控制方程为：

$$\begin{aligned}
 J_A &= K_A = 1 \\
 J_B &= K_B = \overline{Q_D} Q_A \\
 J_C &= K_C = Q_B Q_A \\
 J_D &= Q_C Q_B Q_A \quad K_D = Q_A
 \end{aligned}$$

最后，作出逻辑图，见图 3-34。

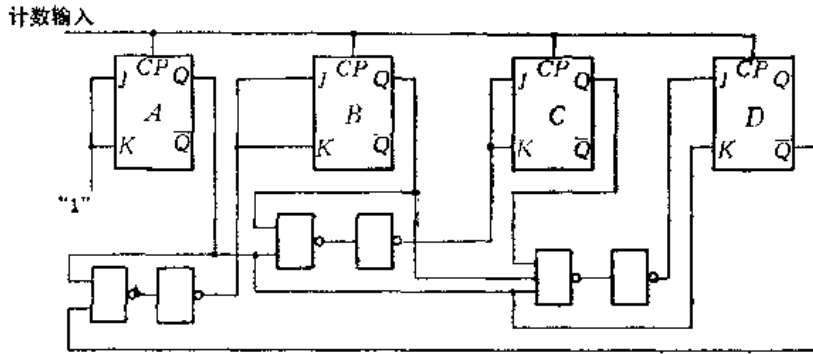


图3-34 十进制同步计数器逻辑图

三、可逆计数器

前面讨论的计数器都是具有递加计数功能的计数器。每输入一个计数脉冲，计数加1。在某些应用场合，要求计数器必须不仅能递加计数，而且能递减计数。所谓递减计数，就是每输入一个计数脉冲，计数减1。具有加、减两种计数功能的计数器叫做加/减计数器或可逆计数器。

可逆计数器中，加、减功前的控制方法通常有两种。一种是递加计数和递减计数用同一时钟通道，计数方向由一个“加/减控制输入”端的状态来决定。例如这个控制端为0时，可作递加计数，控制端为1时，实现递减计数功能。另一种是递加计数和递减计数具有各自的时钟通道，计数方向由时钟脉冲进入哪个通道所决定。

下面设计一个4进同步可逆计数器。“加”和“减”用同一时钟通道，当“加/减控制输入” $I = 0$ 时，实现递加计数功能；在 $I = 1$ 时，实现递减计数功能。

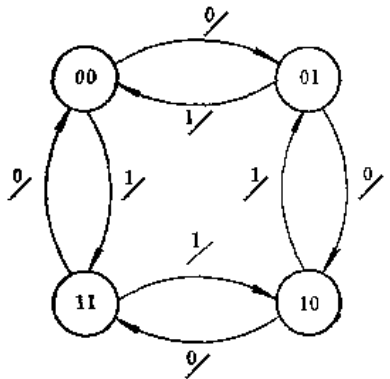


图3-35 状态转换图

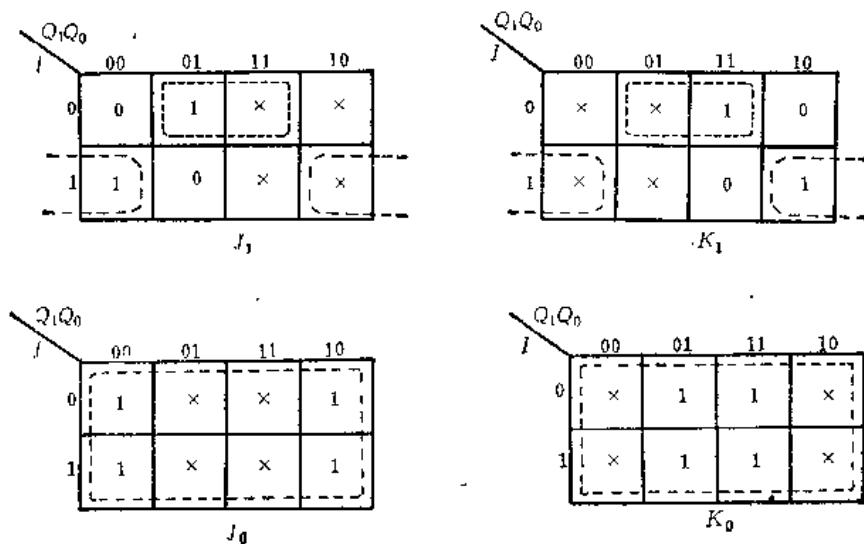
首先画出状态转换图。状态转换图是将每一个状态用一个小圆圈表示。状态的转换用一条带箭头的直线或弧线来表示，箭头指明转换的方向。必要时还在每条线旁注明输入或注明输入/输出。见图 3-35。图中每条线旁边注明的是“加/减控制输入” I 的状态。

然后，列出下一状态、触发器控制输入与目前状态的关系表，如表 3-11。设采用 $J-K$ 触发器，它的激励表已示于表 3-9。

表 3-11

目 前 状 态		$I = 0$						$I = 1$					
Q_{1n}	Q_{0n}	Q_{1n+1}	Q_{0n+1}	J_{1n}	K_{1n}	J_{0n}	K_{0n}	Q_{1n+1}	Q_{0n+1}	J_{1n}	K_{1n}	J_{0n}	K_{0n}
0	0	0	1	0	$\times$	1	$\times$	1	1	1	$\times$	1	$\times$
0	1	1	0	1	$\times$	$\times$	1	0	0	0	$\times$	$\times$	1
1	0	1	1	$\times$	0	1	$\times$	0	1	$\times$	1	1	$\times$
1	1	0	0	$\times$	1	$\times$	1	1	0	$\times$	0	$\times$	1

接着，作出 J_{1n} 、 K_{1n} 、 J_{0n} 、 K_{0n} 的卡诺图，并进行函数化简。见图 3-36。

图3-36 J 、 K 的卡诺图

由此求得两个 $J-K$ 触发器的控制方程为：

$$J_0 = K_0 = 1$$

$$J_1 = K_1 = Q_0 \oplus I$$

最后，作出逻辑图，见图 3-37。

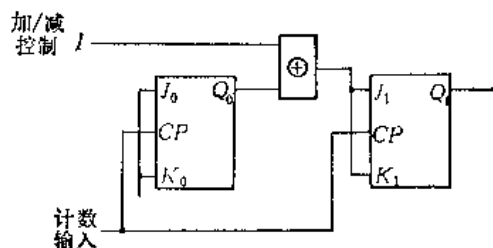


图3-37 4 进同步可逆计数器逻辑图

以上讨论的各种同步计数器，都是采用 $J-K$ 触发器来设计的。如果采用 D 触发器组成，那么，先将 D 触发器转换成 T 触发器，其余的逻辑设计和用 $J-K$ 触发器方法相似。

3.4 移位寄存器

3.4.1 寄存器

寄存器是暂时寄存数码的逻辑部件。为了具有寄存数码的功能，寄存器必须由记忆元件构成。一般是由若干个触发器组成。触发器有两个稳定状态，一个触发器可以寄存一位二进制代码。如要寄存 N 位二进制代码，就要用 N 个触发器。

一种简单的 4 位寄存器如图 3-38 所示。它由 4 个 $S-R$ 触发器和 4 个“与非”门构成。每个 $S-R$ 触发器是两个“与非”门交叉连接的基本形式（见图 2-3）。在接收数码之前，先在置 0 端 R 输入一个负脉冲，对所有触发器进行清除，使各个触发器都处于 0 状态。假设寄存的一个 4 位二进制数码为 1001，则当接收脉冲来到时，4 个“与非”门输出的 4 位二进制数是 0110，因而使第 4 位和第 1 位触发器置 1，实现了寄存 1001 的功能。通过 4 个触发器的 Q 端可以输出代码。

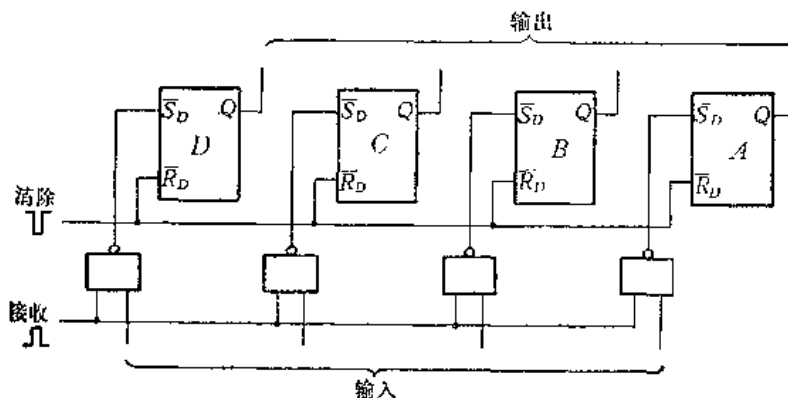


图3-38 4位寄存器

这个寄存器由于采用 $S-R$ 触发器单端输入的接收方式，所以在接收数码之前必须预先清除，不然将出现错误。例如，如果寄存器原有数码为 0100，现要寄存 1001，倘若不预先清除的话，则当接收脉冲来到时，寄存器中的数码将为 1101。如果 $S-R$ 触发器采用双端输入，就不会出现上述缺点。

图 3-39 亦是常用的一种寄存器形式，它由 D 触发器构成。 D 触发器相当于在 S 和 R 端

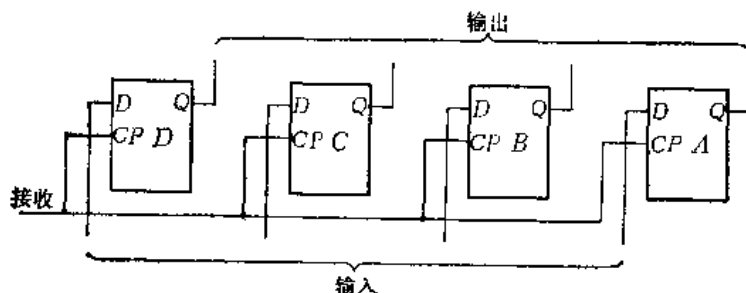


图3-39 4位寄存器，由 D 触发器构成

加接有一个“非”门的 $S-R$ 触发器。这种寄存器同样不需要在接收数据前预先清除。

3.4.2 移位寄存器

数字系统中常常要求寄存器不仅能寄存数码, 而且在时钟脉冲的作用下, 寄存的数码可以移位。具有移位功能的寄存器称为移位寄存器。

我们以图 3-40 的 4 位移位寄存器为例来进行讨论。和图 3-39 的 4 位寄存器一样, 它也是由 4 个 D 触发器构成。但用作移位寄存器的触发器必须是没有空翻现象的结构。在图 3-39 中, 4 个触发器的输入和输出是互不相关的, 而在图 3-40 移位寄存器中, 每个触发器的输出接到下一个触发器的输入。数据输入到第一个触发器的 D 输入端, 输出可从各个触发器的输出端并行引出, 也可从最后一个触发器串行输出。

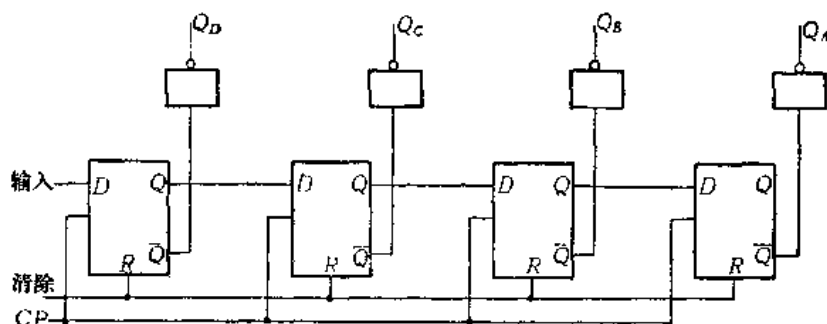


图3-40 4位移位寄存器

假定现在要寄存一个 4 位二进制串行数码 1011, 见图 3-41。如果所用的 D 触发器是当 CP 负跳变时输出状态改变的主-从触发器, 则当 CP 作用时, CP 由 0 变 1, 最低位数 1 进入第一级触发器的主触发器部分; CP 作用之后, CP 由 1 变 0, 主触发器的状态决定从触发器的输出, $Q_D = 1$ 。其他三个触发器都保持原来 0 状态 (假设数据输入前, 4 个触发器都为 0 状态)。在第二个时钟脉冲作用期间, CP 由 0 变为 1, 第一级触发器的状态 Q_D 进入第二级触发器的主触发器部分; 与此同时, 输入串行数码中的第二位 (1011 数码中为 1) 进入第一级触发器的主触发器部分。第二个时钟脉冲作用后, $CP = 0$, 第一级、第二级的主触发器数据分别转移到该级的从触发器部分, 因而 $Q_D = 1$, $Q_C = 1$, 而其他两个触发器仍保持 0 状态。同理, 第三个时钟脉冲作用后, Q_C 状态移至 Q_B , Q_D 状态移至 Q_C , 而输入串行数码中的第三位 (0) 移至 Q_D , $Q_D = 0$ 。第四个时钟脉冲作用后, 就完成了这个 4 位二进制串行数码 1011 的寄存。表 3-12 列出每一时钟脉冲作用后移位寄存器的状态。

表 3-12

时钟脉冲	输入数码	Q_D	Q_C	Q_B	Q_A
1	1 →	1	0	0	0
2	1 →	1	1	0	0
3	0 →	0	1	1	0
4	1 →	1	0	1	1

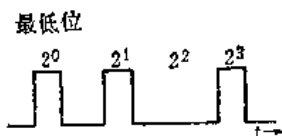


图3-41 串行数码1011

这个寄存器因为数据进入是串行的，而输出是并行的，故称为串行输入并行输出的移位寄存器。又称为串-并变换器。它把串行数码变换为并行数码。

当4位二进制串行数码寄存到这个移位寄存器后，如果要串行输出，可再加4个时钟脉冲，从最后一级触发器 Q_A 端就得到了向右移出的这个4位二进制串行数码。所以，这个4位移位寄存器还具有将数码延迟4位的逻辑功能。

上面这个移位寄存器的移位操作是单方向的，它只能实现自左向右的移位。图3-42给出一个既能右移又可左移的移位寄存器，它且具有数据并行输入寄存的功能。

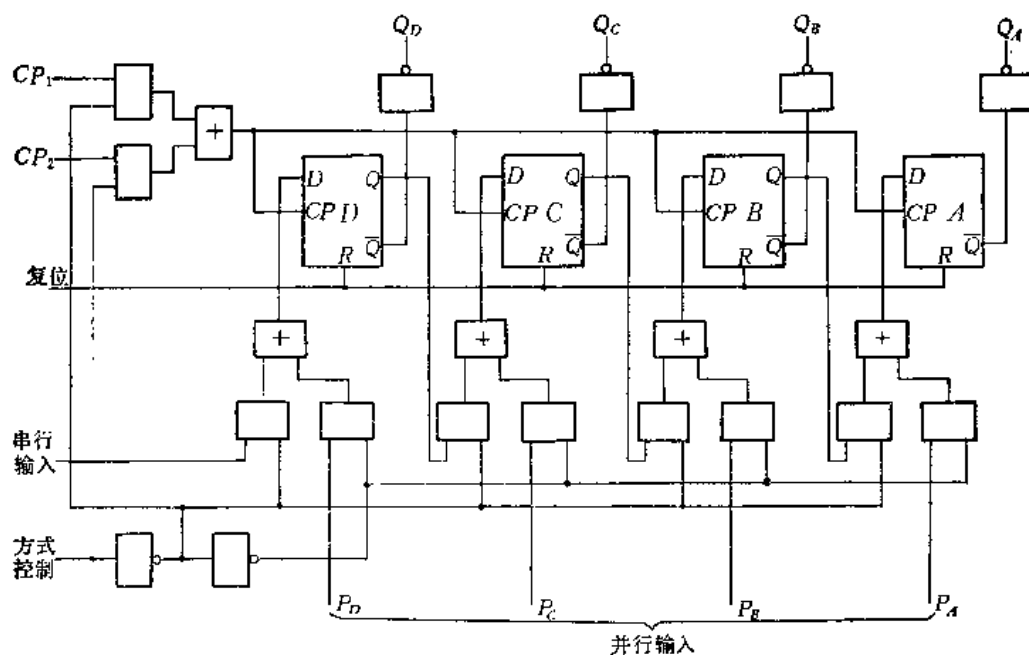


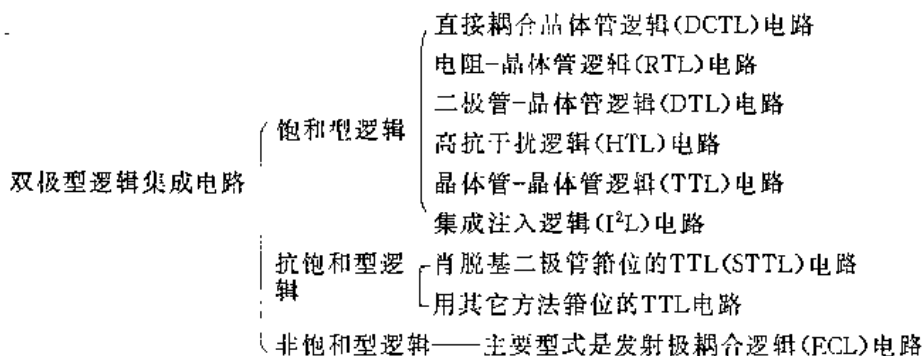
图3-42 左右移位寄存器

当方式控制输入0时，在时钟 CP_1 的作用下执行右移操作。这时并行输入的“与”门被封锁，数据串行输入，工作情况与图3-40的移位寄存器相同。当方式控制为1时，在时钟 CP_2 的作用下执行并行寄存操作。这时串行输入和级间进位的“与”门都被封锁。对于执行左移操作，也是使方式控制为1，并且将输出端 Q_A 接到并行输入端 P_B ， Q_B 接到 P_C ， Q_C 接到 P_D ，串行数码自 P_A 端输入，在时钟 CP_2 作用下实现左移。经过4个时钟 CP_2 后，这个串行数码从 Q_D 端输出。

同图3-40的逻辑结构相比，串行输入并行输出实现右移功能的移位寄存器，各级触发器直接相接，左面一级触发器的输出是直接接至右面一级触发器的D输入端。当要求移位寄存器具有右移、左移、数码串行输入、并行输入等多种功能时，各级触发器就不能直接相连，一般是采用“与-或”逻辑来实现各种功能，如图3-42的“与-或”门。为了有较大的灵活性，图3-42提供了两个时钟脉冲源，这也是用“与-或”逻辑来实现的。如果只用一个时钟源，就把 CP_1 和 CP_2 的两个端头连接在一起。

第二篇 双极型逻辑集成电路

以双极晶体管作为有源元件的逻辑集成电路，叫作双极型逻辑集成电路。它是最早实现集成化的电路。在它的发展过程中，曾出现过多种不同的类型，大体上可归纳如下：



从当前国内外的情况看，TTL(包括STTL)和ECL是中小规模双极逻辑集成电路的主要类型，I²L是实现双极大规模集成的重要途径，所以本篇在分析集成电路寄生效应以后，详细讨论这三种类型的集成电路。

第四章 集成电路的寄生效应

在集成电路问世以前，各种门电路和逻辑部件都是由电阻器、晶体管等分立元件通过导线或印刷电路板连接成的，这样的电路通称为分立电路。半导体集成电路就是单片集成电路，电路中的所有元件都是制作在同一块硅片上的。由于这一特点，决定了集成电路中的每一元件除了我们所需的功能外，还附加有寄生效应，如寄生电容效应、寄生晶体管效应等等。

在具体分析逻辑集成电路以前，我们从集成电路的元件结构出发，分析集成电路的寄生效应，介绍减小乃至消除这些寄生效应的方法。

4.1 双极型逻辑集成电路的元件结构和寄生效应

4.1.1 工艺流程

我们首先简单介绍双极逻辑集成电路的工艺流程，搞清楚集成电路元件的结构。

双极逻辑集成电路的制造工艺，是在平面工艺基础上发展起来的。其要点是，把硅片分成一定数目的互相电隔离的隔离区，然后在各个隔离区内制作晶体管、电阻等元件，最后制作互连线，把各元件按照一定要求适当地连接起来。

由于隔离的方法不同，具体的工艺流程会有差异，但各种双极逻辑集成电路的工艺，其主要部分是相同的。目前双极逻辑集成电路主要采用PN结隔离，在图4-1中，我们给出用PN结隔离的双极逻辑集成电路的工艺流程。

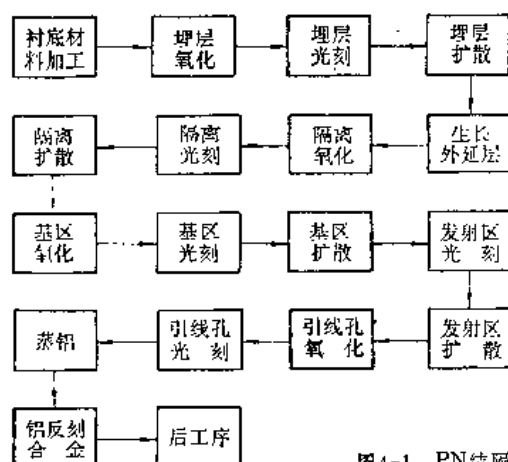
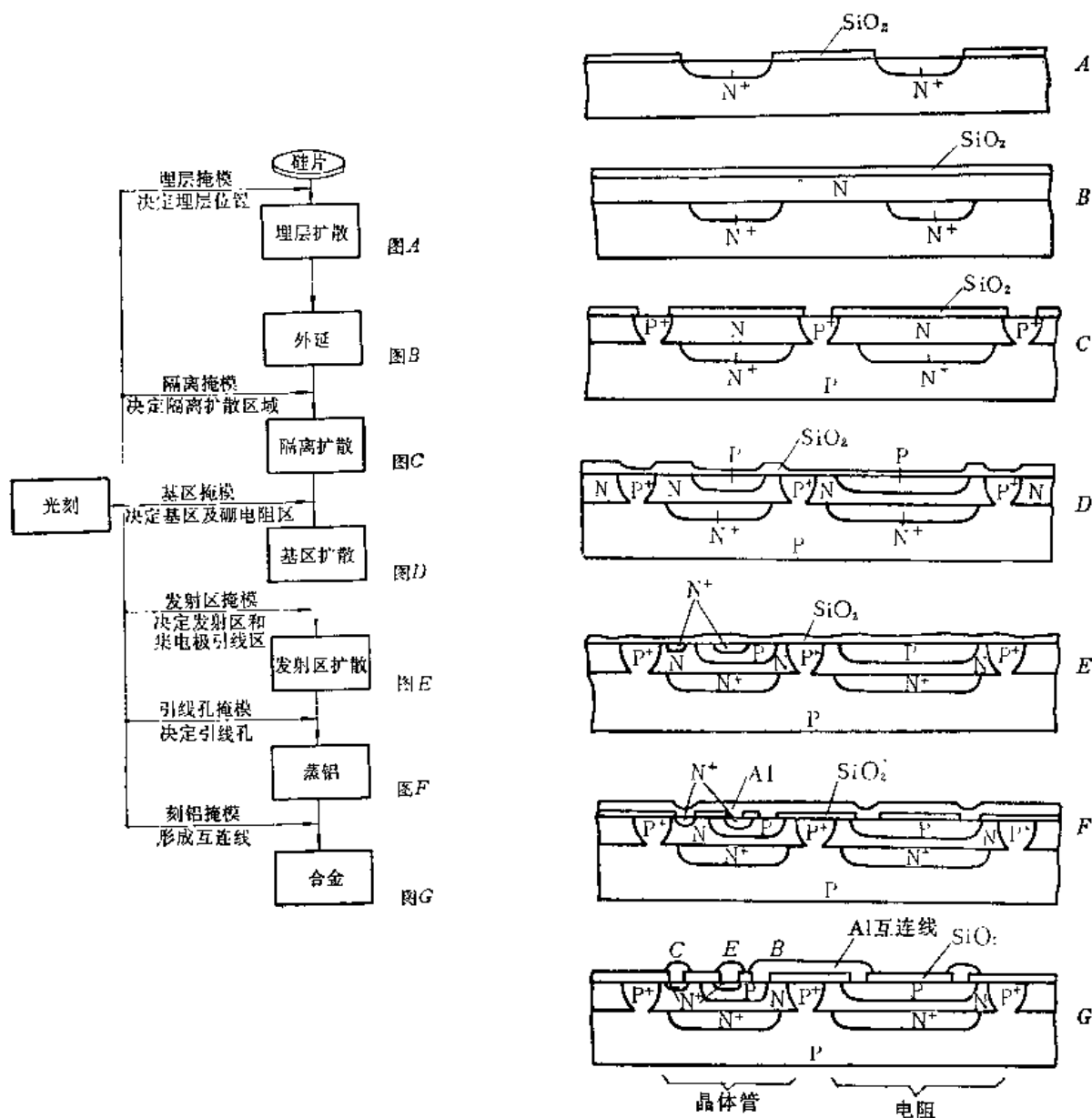


图4-1 PN结隔离双极逻辑集成电路工艺流程

为了看清电路中元件的结构,表4-1给出了制造过程中晶体管和电阻结构的形成过程。

表4-1 PN结隔离双极逻辑电路主要工艺步骤



由图 4-1 和表 4-1 可知, 双极型逻辑集成电路的工艺流程, 除增加了隔离和埋层两个工艺步骤外, 和平面晶体管的工艺流程是基本相同的。因此我们只对这两步工艺的作用, 稍加说明。

在集成电路中, 由于所有元件都制作在同一块硅衬底上, 若不隔离, 它们就会电连通。例如所有晶体管的集电极电位都相同, 这是不允许的。隔离工艺的目的, 就是使做在不同隔离区的元件实现电隔离。图 4-2 是采用 PN 结隔离工艺制作的两个 NPN 晶体管的结构图和实现电隔离的等效电路图。

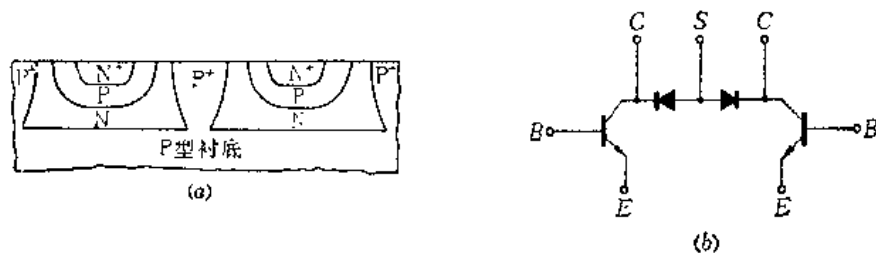


图 4-2 两个晶体管靠反偏 PN 结实现电隔离

两个晶体管分别作在两个隔离区内, 它们的集电区是 N 型外延层, 两个晶体管的集电区间隔着两个背靠背的 PN 结, 只要使 P 型衬底的电位比晶体管的集电区低, 两个晶体管就被反向偏置 PN 结的直流高阻所隔开。

由于集成电路中各元件在硅片正面实现互连, 晶体管集电极接触必须在正面实现, 因而集电极电流走的路径往往很长, 其集电极串联电阻比分立晶体管大得多。增加埋层工艺, 就是用提供 N⁺型低阻通路的办法, 来降低集成电路晶体管的集电极串联电阻。

工艺流程中各次光刻的作用, 是决定各元件在芯片上的位置, 决定元件的形状、尺寸和互连。具体说, 隔离光刻决定制作元件的各隔离区的位置、形状和尺寸; 基区光刻决定晶体管基区和硼扩散电阻的位置、形状和尺寸; 发射区光刻, 决定晶体管发射区、晶体管集电极欧姆接触孔、硼扩散电阻隔离区欧姆接触孔的位置、形状和尺寸; 引线孔光刻, 决定所有引线孔的位置、形状和尺寸; 反刻铝决定电路中各元件的互连线。

4.1.2 集成电路的元件结构和寄生效应

上面我们简单介绍了集成电路的工艺流程, 通过它可以看到集成电路中的各个元件是如何形成的, 它在结构上与分立元件又有什么不同。

图 4-3(a) 是个简单倒相器电路, 它只有一个 NPN 晶体管和一个电阻。图 4-3(b) 是它的横截面示意图。

由图可知, 集成电路晶体管比分立晶体管多一层和一个结, 它是三结四层结构, 即发射区(N 型)、基区(P 型)、集电区(N 型外延层)、衬底(P 型)四层; 发射结、集电结、隔离结(或衬底结)三个结。多出的这一层就是晶体管和其它元件公用的衬底, 多出的这个结是把晶体管和其它元件隔离开的隔离结。集成电路中的硼扩散电阻是一个三层结构的器件, 它由 P 型基区(电阻本身)、N 型外延层和 P 型衬底构成。可见, NPN 晶体管和硼扩散电阻都存在一个 PNP 结构, 若把衬底看作这个 PNP 晶体管的集电区, 就可画出如图 4-4 所示的等效电路。

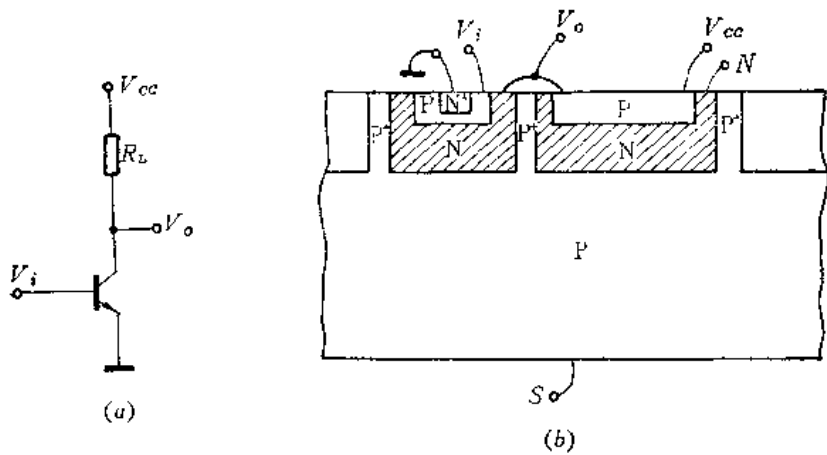


图4-3 集成倒相器
(a) 线路图; (b) 横截面图。

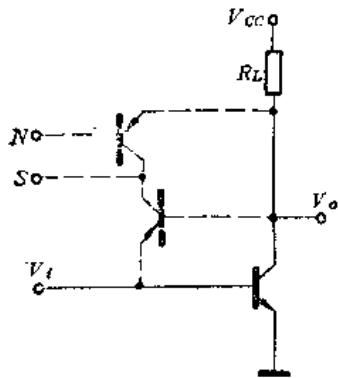


图4-4 集成倒相器的等效电路

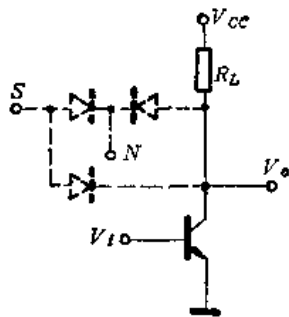


图4-5 掺金集成倒相器的等效电路

这样一个两元件电路,集成以后就变成一个四元件电路,其中两个PNP晶体管是我们所不需要的,这就是集成电路的有源寄生。

寄生PNP管和隔离结有关。为了实现电隔离,要使隔离结反偏,一般将衬底 S 接电路中的最低电位(一般为地),电阻隔离区 N 接电路中最高电位。这样一来,电阻的寄生PNP晶体管退化为两个背靠背的反偏二极管。

但是NPN晶体管的有源寄生仍有可能起作用。只要电路工作时NPN管的集电结正偏,它的寄生PNP管就进入有源区。在晶体管原理课中曾指出,为了降低少子寿命,提高开关晶体管的开关速度,采用了掺金工艺。对于饱和型逻辑电路,为了同样的目的,也采用掺金工艺。掺金以后,由于NPN管集电区少子寿命显著降低,寄生PNP管的增益极小,有源寄生往往可以忽略。这样它的寄生PNP管退化成衬底结二极管,如图4-5所示。图中的所有二极管始终是反偏的。由于反偏二极管存在着势垒电容(它是集成电路中的主要无源寄生效应),所以掺金电路的寄生效应,可归结为反偏二极管的寄生电容。

在逻辑集成电路中的二极管,往往利用晶体管将电极作适当连接而成,如将晶体管的集电结短路,就可得到发射结二极管。在做晶体管时少做一个结,比如只做集电结,就得到一个 bc 结二极管。由于衬底是所有元件公用的,为了电隔离,隔离结是必然存在的,所以一般说来集成电路中的二极管也有寄生PNP晶体管作用和反偏二极管的寄生电容效应。

4.2 晶体管模型和有源寄生

上一节讲到, 集成电路中的晶体管一般是三结四层结构, 电阻和二极管一般是双结三层结构。用图 4-4 那样的等效电路来表示有源寄生, 只能定性说明寄生效应。要对寄生效应作定量分析, 应该采用多结非线性模型。下面从只包含一个结的 PN 结二极管出发, 逐步引进多结非线性模型。

4.2.1 NPN 晶体管的多结非线性模型

一、PN 结二极管

众所周知, 若 PN 结二极管的结偏压为 V 时 (以 N 型材料为参考点, 即二极管正偏时 V 为正, 反偏时 V 为负), 流过二极管的结电流为 I (以从 P 区流向 N 区的为正), 那么结电流和结电压关系为:

$$I = I_s(e^{V/V_T} - 1) \quad (4-1)$$

$$I_s = A \left(\frac{D_n n_p^0}{L_n} + \frac{D_p p_n^0}{L_p} \right) \quad (4-2)$$

式中 A —— 结面积;

V_T —— 等于 kT/q ,

当 T 等于 300K 时, V_T 约等于 26mV。

在正偏条件下, 将这个指数函数画成图, 如图 4-6 所示。

由图可知, 当结偏压小于某个电压 V_D 时, 流过结的电流很小, 但当结偏压大于 V_D 时, 结电流明显增大。因面一般可认为正偏压小于 V_D 时, 二极管截止, 正偏压达到 V_D 时二极管开始导通。 V_D 称为二极管的阈值电压 (或导通门坎电压)。

下面简单分析一下, 导通后二极管的电流随电压变化的规律。在导通时, $V \gg V_T$, 式 (4-1) 可写成:

$$I = I_s e^{V/V_T}$$

或

$$V = V_T \ln I / I_s \quad (4-3)$$

设结电流为 I_1 时, 结偏压为 V_1 ; 结电流为 I_2 时, 对应的结偏压为 V_2 , 那么由式 (4-3) 求得:

$$V_2 = V_1 + V_T \ln I_2 / I_1 = V_1 + V_T \times 2.303 \log I_2 / I_1$$

将 V_T 的室温值代入, 得:

$$V_2 = V_1 + 60(\text{mV}) \log I_2 / I_1 \quad (4-4)$$

可见, 结电压每增加 60mV, 结电流就增加为原值的 10 倍。这样, 作为一种近似模型, 可以认为: 当加在结上的电压小于 V_D 时, 二极管是截止的; 当结偏压达到 V_D 时, 二极管是导通的; 结电流在一定范围内变化时, 结电压基本上是不变的。就是说, 在电路分析中,

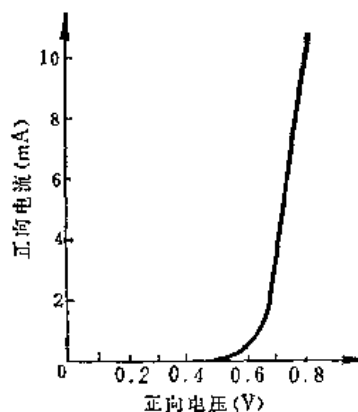


图 4-6 硅 PN 结二极管的正向特性

可以用一个没有内阻的理想二极管和一个电压源 V_D 作为实际 PN 结二极管的电路模型, 如图 4-7 所示。

V_D 的大小与 PN 结二极管的材料和结两侧的掺杂浓度有关。集成电路中的硅 PN 结二极管的典型正向特性如图 4-8 所示。

由图可知, 对于发射结二极管电流在毫安数量级, V_D 约为 0.7 V, 而对于集电结二极管, V_D 约为 0.65 V。

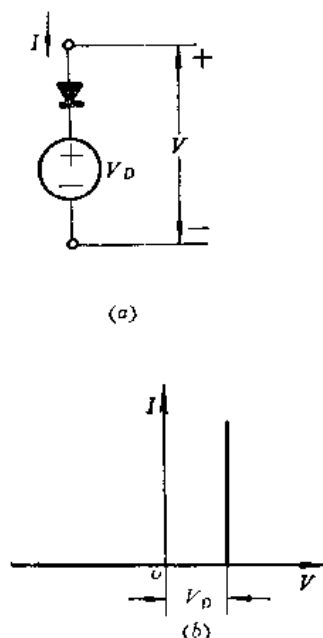


图4-7 二极管模型

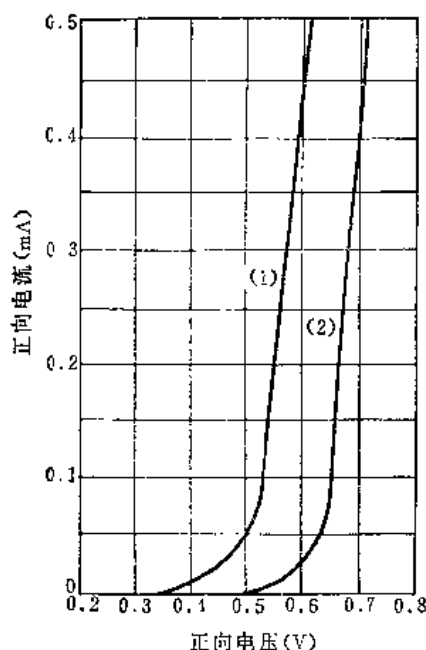


图4-8 不同杂质浓度PN结的正向特性

(1) 硼扩散结 $N_A = 2 \times 10^{16}/\text{cm}^3$;
(2) 磷扩散结 $N_D = 10^{17} \sim 10^{18}/\text{cm}^3$ 。

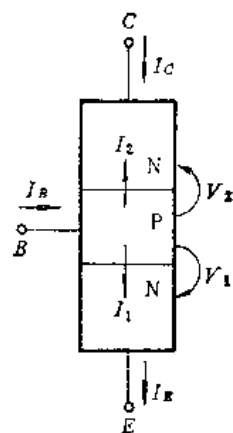


图4-9 结电流和端电流

二、双结晶体管的埃伯斯-莫尔模型

为了以后讨论的方便, 我们先定义结电流和结电压。称发射结为 1 结, 集电结为 2 结, 流过 1 结的电流 (以 N 型材料为参考点) 为 I_1 , 流过 2 结的电流为 I_2 。跨在 1 结上的电压 (以 N 型材料为参考点) 为 V_1 , 跨在 2 结上的电压为 V_2 。对于端电流, 按 NPN 晶体管的一般习惯, 以流出发射极的电流为 I_E , 流进集电极的电流为 I_C , 流进基极的电流为 I_B 。由图 4-9 可知, 端电流和结电流的关系为:

$$\left. \begin{aligned} I_E &= I_1 \\ I_B &= I_1 + I_2 \\ I_C &= -I_2 \end{aligned} \right\} \quad (4-5)$$

一个三层结构的 NPN 晶体管, 可看成两个共用 P 型区 (基区) 的 PN 结二极管, 若 P 型基区很宽, 那么两个二极管的相互作用可以忽略, 流过发射结二极管 D_E 和集电结二极管 D_C 的电流分别为 I_{DE} 和 I_{DC} :

$$I_{DE} = I_{ES}(e^{V_1/V_T} - 1) \quad (4-6)$$

$$I_{DC} = I_{CS}(e^{V_2/V_T} - 1) \quad (4-7)$$

由于实际晶体管的基区很薄, 一般情况下, 两个二极管之间的相互作用 (通常称为晶体管作用) 不能忽略。考虑到晶体管作用, 那么流过发射结的电流 I_1 , 除 I_{DE} 外, 还有

I_{DC} 的一部分, 流过集电结的电流 I_2 , 除 I_{DC} 外, 还有 I_{DE} 的一部分。即:

$$I_1 = I_{ES}(e^{V_1/V_T} - 1) + A I_{CS}(e^{V_2/V_T} - 1) \quad (4-8)$$

$$I_2 = B I_{ES}(e^{V_1/V_T} - 1) + I_{CS}(e^{V_2/V_T} - 1) \quad (4-9)$$

式中的系数 A 、 B 可由实验测得。由上式可以看到, 它们分别为:

$$A = I_1/I_2|_{V_1=0} = -(-I_1/I_2)|_{V_1=0} = -(I_E/I_C)|_{V_1=0} = -\alpha_r \quad (4-10)$$

$$B = I_2/I_1|_{V_2=0} = -(-I_2/I_1)|_{V_2=0} = -(I_C/I_E)|_{V_2=0} = -\alpha_F \quad (4-11)$$

可见系数 A 等于 NPN 晶体管反向运用时共基极短路电流增益 α_r 的负值, B 等于 NPN 晶体管正向运用时共基极短路电流增益 α_F 的负值。

将系数 A 、 B 代入式(4-8)和(4-9), 且用矩阵表示, 就有

$$\begin{pmatrix} I_1 \\ I_2 \end{pmatrix} = \begin{pmatrix} I_E \\ -I_C \end{pmatrix} = \begin{bmatrix} 1 & -\alpha_r \\ -\alpha_F & 1 \end{bmatrix} \begin{bmatrix} I_{ES}(e^{V_1/V_T} - 1) \\ I_{CS}(e^{V_2/V_T} - 1) \end{bmatrix} \quad (4-12)$$

式中的 I_{ES} 和 I_{CS} 分别是 NPN 管发射结和集电结的反向饱和电流。式(4-12)就是三层结构 NPN 管的埃伯斯-莫尔(Ebers-Moll)方程(或模型), 它常用图4-10来表示。

下面我们举两个例子, 来说明埃伯斯-莫尔方程的应用。

〔例1〕求晶体管的饱和压降。

大家知道, 晶体管进入饱和以前, I_E 和 I_C 的关系为: $I_C = \beta I_E$ 。饱和时: $I_C < \beta I_E$ 。为了衡量晶体管饱和的深浅, 常引进叫饱和度的参量 S , S 定义为:

$$S = \beta I_E / I_C \quad (4-13)$$

S 等于 1 时, 晶体管在放大区工作, S 大于 1 时在饱和区工作, S 越大饱和得越深。

晶体管饱和时, 集电结和发射结都正偏, $V_1, V_2 > V_T$, 式(4-12)化简为:

$$I_E = I_{ES} e^{V_1/V_T} - \alpha_r I_{CS} e^{V_2/V_T} \quad (4-14)$$

$$I_C = \alpha_F I_{ES} e^{V_1/V_T} - I_{CS} e^{V_2/V_T} \quad (4-15)$$

由式(4-14) - $\alpha_r \times$ (4-15)得:

$$I_E - \alpha_r I_C = (1 - \alpha_F \alpha_r) I_{ES} e^{V_1/V_T} \quad (4-16)$$

由式(4-14) $\times \alpha_F$ - (4-15)得:

$$\alpha_F I_E - I_C = (1 - \alpha_F \alpha_r) I_{CS} e^{V_2/V_T} \quad (4-17)$$

由这两个式子分别解得 V_1 和 V_2 :

$$V_1 = V_T \ln \frac{I_E - \alpha_r I_C}{(1 - \alpha_F \alpha_r) I_{ES}} \quad (4-18)$$

$$V_2 = V_T \ln \frac{\alpha_F I_E - I_C}{(1 - \alpha_F \alpha_r) I_{CS}} \quad (4-19)$$

而饱和压降为:

$$V_{CBS} = V_1 - V_2 = V_T \ln \left[\left(\frac{I_{CS}}{I_{ES}} \right) \left(\frac{I_E - \alpha_r I_C}{\alpha_F I_E - I_C} \right) \right] = V_T \ln \left[\left(\frac{I_{CS}}{I_{ES}} \right) \frac{I_E + (1 - \alpha_r) I_C}{\alpha_F I_E + (\alpha_F - 1) I_C} \right] \quad (4-20)$$

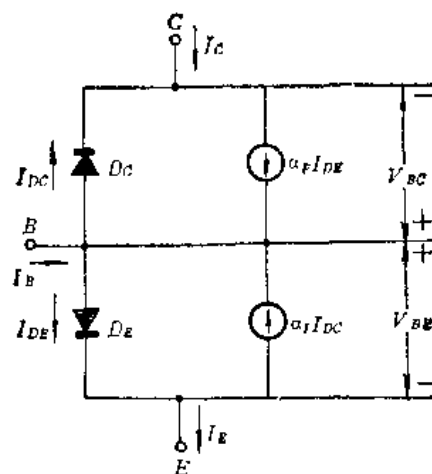


图4-10 埃伯斯-莫尔模型

利用参量 S 的定义, 上式可变成:

$$V_{CES} = V_T \ln \left[\frac{(I_{CS}/I_{ES}) \frac{1 + (1 - \alpha_f) \frac{\beta}{S}}{\alpha_f + (\alpha_f - 1) \frac{\beta}{S}}}{\alpha_f + (\alpha_f - 1) \frac{\beta}{S}} \right] \quad (4-21)$$

在深饱和的极限情况, $1/S = 0$, 上式化为:

$$V_{CES} = V_T \ln \frac{I_{CS}}{\alpha_f I_{ES}} \approx V_T \ln \frac{1}{\alpha_f} \quad (4-22)$$

〔例 2〕求 NPN 晶体管发射结的正向导通压降 V_{be}

V_{be} 在分析逻辑电路的工作时常用到, 现在我们利用埃伯斯-莫尔模型对它进行分析。

由方程(4-12)得:

$$I_E = I_{ES}(e^{V_1/V_T} - 1) - \alpha_f I_{CS}(e^{V_2/V_T} - 1)$$

晶体管在截止或刚导通时, 集电结足够反偏, 因而 $V_2/V_T \ll 1$, 上式可近似为:

$$I_E = I_{ES}(e^{V_1/V_T} - 1) + \alpha_f I_{CS}$$

由于反向电流增益 α_f 一般都很小, 第二项比起第一项可忽略, 上式就化为:

$$I_E = I_{ES}(e^{V_1/V_T} - 1)$$

这个公式与 PN 结二极管正向电流公式(4-1)是一样的, 所以对于晶体管它的发射结正向导通门坎电压, 与二极管正向导通门坎电压是近似相等的, 对于一般的双极逻辑电路, 它的典型值为 0.7 V。

三、多结晶体管非线性直流模型

图 4-11 是典型的集成电路晶体管的横截面图和电流电压的极性示意图。

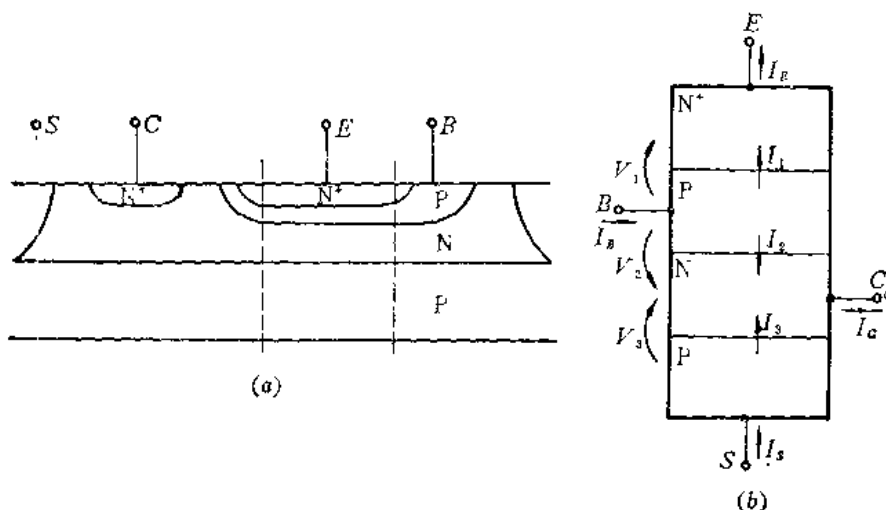


图 4-11 集成晶体管的横截面图和电流电压的极性示意图

这是一个四层三结结构的器件, 与三层结构的晶体管相比, 多了一个衬底结, 因此其参量增加了结电流 I_s 、结电压 V_s 、端电流 I_s 、端电压 V_{sc} 。由图 4-11(b) 可知, 结电流与端电流, 结电压与端电压之间的关系为:

$$\begin{bmatrix} I_E \\ I_B \\ I_C \\ I_S \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 \\ 1 & 1 & 0 \\ 0 & -1 & -1 \\ 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \\ I_3 \end{bmatrix} \quad (4-23)$$

$$\begin{bmatrix} V_{EB} \\ V_{BC} \\ V_{SC} \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \\ V_3 \end{bmatrix} \quad (4-24)$$

在埃伯斯-莫尔模型中已经看到, 流过 1 结的结电流, 除该结的注入电流外, 还有 2 结注入电流被该结收集到的部分; 而流过 2 结的结电流, 除了它本身的注入电流外, 也还有 1 结注入电流被该结收集到的部分。把这个结论推广到多结, 则可叙述如下: 流过一个结的结电流, 除本结的注入电流外, 还有近邻结的注入电流被该结收集到的部分。

由图 4-11 可知, 发射结只有集电结为其近邻, 所以有:

$$I_1 = I_{ES}(e^{V_1/V_T} - 1) + aI_{CS}(e^{V_2/V_T} - 1) \quad (4-25)$$

集电结的近邻结有两个, 发射结和衬底结, 故有:

$$I_2 = bI_{ES}(e^{V_1/V_T} - 1) + I_{CS}(e^{V_2/V_T} - 1) + cI_{SS}(e^{V_3/V_T} - 1) \quad (4-26)$$

衬底结的近邻结为集电结, 故 I_3 为:

$$I_3 = dI_{CS}(e^{V_2/V_T} - 1) + I_{SS}(e^{V_3/V_T} - 1) \quad (4-27)$$

系数 a 、 b 、 c 、 d 也可由上述方程组本身给出:

$$\left. \begin{aligned} a &= (I_1/I_2) \Big|_{\substack{V_1=0 \\ V_3=0}} = -(-I_1/I_2) \Big|_{\substack{V_1=0 \\ V_3=0}} = -\alpha_I \\ b &= -(-I_2/I_1) \Big|_{\substack{V_2=0 \\ V_3=0}} = -\alpha_F \\ c &= -(-I_2/I_3) \Big|_{\substack{V_1=0 \\ V_2=0}} = -\alpha_{SI} \\ d &= -(-I_3/I_2) \Big|_{\substack{V_1=0 \\ V_3=0}} = -\alpha_{SF} \end{aligned} \right\} \quad (4-28)$$

为了看清这些系数的物理意义, 我们可把 NPNP 四层结构分解成两个互相联系的晶体管, 如图 4-12 所示。把 N 型发射区、P 型基区、N 型外延层看成一个 NPN 管; P 型基区、N 型外延层和 P 型衬底看成一个 PNP 管。两个管通过共用 P 型扩散区和 N 型外延层而相互联系。由式 (4-28) 和图 4-12 容易看出: α_F 和 α_I 分别是 NPN 管正、反向运用时共基极短路电流增益。 α_{SF} 和 α_{SI} 分别是 PNP 寄生晶体管正、反向运用时的共基极短路电流增益。

将这些系数代入式 (4-25)、(4-26) 和 (4-27) 得到三结晶体管的直流非线性模型为:

$$\begin{bmatrix} I_1 \\ I_2 \\ I_3 \end{bmatrix} = \begin{bmatrix} 1 & -\alpha_I & 0 \\ -\alpha_F & 1 & -\alpha_{SI} \\ 0 & -\alpha_{SF} & 1 \end{bmatrix} \begin{bmatrix} I_{ES}(e^{V_1/V_T} - 1) \\ I_{CS}(e^{V_2/V_T} - 1) \\ I_{SS}(e^{V_3/V_T} - 1) \end{bmatrix} \quad (4-29)$$

4.2.2 有源寄生效应

为了实现电隔离, 通常将隔离槽接电路中最低电位, 因而寄生 PNP 管的集电结始终

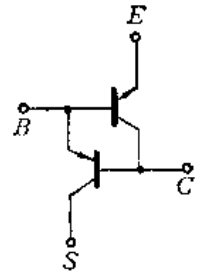


图4-12 三结晶体管等效成两个双结晶体管

是反偏的, 只在它的发射结 (NPN 管的集电结) 正偏时, 寄生 PNP 管才起作用。所以只有 NPN 管在饱和区或反向运用时, 其直流特性才受到有源寄生的影响。下面就这两种情况下有源寄生效应的作用进行分析。

一、NPN 管工作在反向有源区

由于衬底结始终反偏, $e^{V_3/V_T} \approx 0$; NPN 管反向运用, 1 结反偏, $e^{V_1/V_T} \approx 0$, 由 (4-29) 得:

$$\begin{aligned} I_1 &= -I_{ES} - \alpha_I I_{CS} (e^{V_2/V_T} - 1) \\ I_2 &= \alpha_F I_{ES} + I_{CS} (e^{V_2/V_T} - 1) + \alpha_{SI} I_{SS} \\ I_3 &= -\alpha_{SF} I_{CS} (e^{V_2/V_T} - 1) - I_{SS} \end{aligned}$$

由式 (4-23) 得:

$$\begin{aligned} I_B &= I_1 + I_2 = (1 - \alpha_I) I_{CS} (e^{V_2/V_T} - 1) + (\alpha_F - 1) I_{ES} + \alpha_{SI} I_{SS} \\ &\approx (1 - \alpha_I) I_{CS} (e^{V_2/V_T} - 1) \end{aligned} \quad (4-30)$$

类似地有:

$$-I_C = I_2 + I_3 \approx I_{CS} (1 - \alpha_{SF}) (e^{V_2/V_T} - 1) = \frac{I_B}{1 - \alpha_I} (1 - \alpha_{SF}) \quad (4-31)$$

注意, 当 NPN 管反向运用时, $-I_C$ 就是它的“发射极”电流, 若没有有源寄生作用, 它应该等于:

$$“I_E” = I_B + \beta_I I_B = (1 + \beta_I) I_B \approx \frac{I_B}{1 - \alpha_I} \quad (4-32)$$

比较式 (4-31) 和 (4-32) 可以看出, NPN 管反向运用时, 有源寄生的作用是, 使它的“发射极”电流减小为无寄生时的 $(1 - \alpha_{SF})$ 倍。这个结果在机理上是容易接受的, 即当 NPN 管反向运用时, 它的集电结正偏, 寄生 PNP 管导通, NPN 管的一部分“发射极”电流会通过寄生 PNP 管流向衬底。

二、NPN 管工作在饱和区

在双极逻辑电路中, 用的是正电源, 衬底是接地的。我们讨论一个发射极接地的 NPN 管, 如图 4-13 所示。由图可知, 此时

$$\begin{aligned} V_1 &= V_{BE} \\ V_2 &= V_{BC} = V_{BE} - V_{CE} \\ V_3 &= V_{SC} = -V_{CE} \end{aligned}$$

利用三结非线性模型可得:

$$\begin{aligned} I_C &= -(I_2 + I_3) \\ &= [\alpha_F I_{ES} - (1 - \alpha_{SF}) I_{CS} e^{-V_{CE}/V_T}] e^{V_{BE}/V_T} \\ &\quad - (1 - \alpha_{SI}) I_{SS} (e^{-V_{CE}/V_T} - 1) + (1 - \alpha_{SF}) I_{CS} - \alpha_F I_{ES} \end{aligned}$$

用 V_{CE} 来表示 V_{BE} , 上式可变成:

$$e^{V_{BE}/V_T} = \frac{I_C - (1 - \alpha_{SF}) I_{CS} + \alpha_F I_{ES} + (1 - \alpha_{SI}) I_{SS} (e^{-V_{CE}/V_T} - 1)}{\alpha_F I_{ES} - (1 - \alpha_{SF}) I_{CS} e^{-V_{CE}/V_T}} \quad (4-33)$$

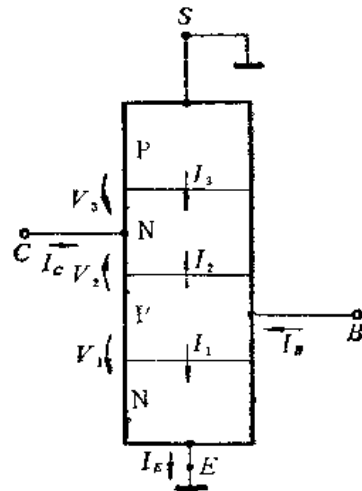


图4-13 发射极和衬底都接地的集成晶体管

从上式看到, 当

$$\alpha_F I_{ES} - (1 - \alpha_{SF}) I_{CS} e^{-V_{CB}/V_T} = 0 \quad (4-34)$$

时, 式 (4-33) 的右边等于无穷大, 这相当于 $V_{BE} \gg V_T$ 。所以式 (4-34) 和 $V_{BE} \gg V_T$ 是等效的。从物理意义上看, 当 $V_{BE} \gg V_T$ 时, 这个 NPN 晶体管极限饱和, 故可用式 (4-34) 来求晶体管的极限饱和压降 V_{CES} 。 V_{CES} 就是式 (4-34) 中的 V_{CB} , 所以有:

$$V_{CES} = V_T \ln \left[\frac{I_{CS}}{\alpha_F I_{ES}} (1 - \alpha_{SF}) \right] \quad (4-35)$$

将此式和双结三层结构晶体管的饱和压降公式 (4-22) 相比较, 可以看出, 由于有源寄生的作用, 使 NPN 管的饱和压降减小。

从上面的讨论中可以看出, 有源寄生效应对 NPN 管直流特性的影响, 取决于寄生 PNP 晶体管正向运用时的共基极短路电流增益 α_{SF} 。对于掺金电路, α_{SF} 很小, 有源寄生的影响一般可以忽略, 这时多结非线性直流模型就退化为埃伯斯-莫尔模型。但是由于集成电路中的晶体管比分立晶体管多了一个隔离结, 它还存在着无源寄生效应——隔离寄生电容 C_i 。在瞬态情况下, 要考虑结电容的影响。集成电路晶体管有三个结: 发射结、集电结和衬底结。衬底结始终反偏, 所以只有势垒电容 C_j 。其它两个结在电路工作中可能正偏, 除势垒电容 C_e 、 C_c 外, 还必须考虑扩散电容 C_{De} 、 C_{Dc} 。

考虑到结电容和各极的串联电阻, 掺金电路 NPN 晶体管的瞬态电路模型如图 4-14 所示。

图中的 r_{bb} 、 r_e 、 r_c 分别为基极、发射极和集电极串联电阻。扩散电容 C_{De} 、 C_{Dc} 一般可表示成:

$$C_{De} = \frac{1}{V_T} T_e (I_{DE} + I_{ES})$$

$$C_{Dc} = \frac{1}{V_T} T_c (I_{DC} + I_{CS})$$

式中, T_e 和 T_c 是时间常数, 它们由载流子的扩散长度和扩散系数决定。

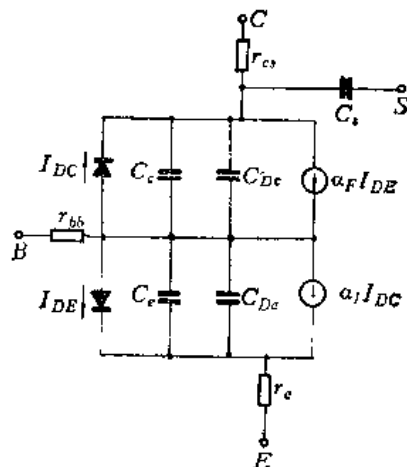


图 4-14 掺金电路晶体管的瞬态模型

4.3 结电容和扩散电阻模型

集成电路中的无源寄生效应, 主要是寄生电容效应, 在定量分析逻辑电路的性能时, 需要计算结电容。

4.3.1 结 电 容

P-N 结势垒电容是结偏压的非线性函数, 具体的函数形式和结两侧的杂质分布情况、结电压的大小有关。一般的表达式为:

$$C_d(V) = C_{d0} / (1 + V/V_0)^r \quad (4-36)$$

式中, $C_d(V)$ 是结偏压为 V 时单位面积结势垒电容; V_0 是结的接触电势, 按我们对电势

的习惯规定，它是个负值，即

$$V_0 \approx V_T \ln(n_i^2 / N_A N_D) \quad (4-37)$$

指数 r 与结的性质有关，对于突变结 $r = 1/2$ ，对于线性缓变结 $r = 1/3$ 。集成电路中的 PN 结是一种扩散结，一般情况下它不能作为突变结和线性缓变结处理。但是实际的扩散结其杂质分布与高斯分布和余误差分布比较接近。劳伦斯-沃纳 (Lawrence-Warner) 利用电子计算机计算了扩散结在各种情况下的结电容，得到了一系列实用的曲线——劳伦斯-沃纳曲线。集成电路中的结势垒电容可以从这些曲线中查得⁽³⁾。

式 (4-36) 中的 C_{A0} 是零偏压下的单位面积势垒电容。对于常规工艺，逻辑集成电路各 PN 结的 C_{A0} 值如表 4-2 所示。

表 4-2 PN 结隔离常规工艺零偏压单位面积结电容值 单位: pF/mm²

		C_{A0} (外延层电阻率 $0.1 \Omega \cdot \text{cm}$)	C_{A0} (外延层电阻率 $0.5 \Omega \cdot \text{cm}$)
发射结	侧壁	1000	1000
	底部	600	450
集电结		350	200
衬底结	侧壁	250	150
	底部	100	100

我们分析结电容，是为了了解结电容对电路性能的影响。以后会看到，对于逻辑集成电路来说，结电容的作用表现在电路状态变化时，结电容的充放电过程影响着电路的瞬态特性。对电路作瞬态分析时，要解结电容作为其系数的微分方程。由于结电容是结电压的非线性函数，这些方程就成为很难解的非线性微分方程。为此有必要研究适当的平均电容法，使结电容线性化。

一种物理上可接受的方法是等效平均电容法。它用一个等效电容来代替实际的结电容，使得在结电压由 V_1 变化到 V_2 时，两个电容的电荷变化量 ΔQ 相等。

设结的单位面积等效平均电容为 $\bar{C}_A$ ，那么结电压由 V_1 变化到 V_2 时，它的电荷变化量 ΔQ 为：

$$\Delta Q = \bar{C}_A \Delta V = \bar{C}_A (V_2 - V_1)$$

而实际的 PN 结，结偏压由 V_1 变到 V_2 时，单位面积结势垒电容的电荷变化量 ΔQ 为：

$$\Delta Q = \int_{V_1}^{V_2} C_A(V) dV = C_{A0} \int_{V_1}^{V_2} \frac{dV}{(1 + V/V_0)^r}$$

比较这两个式子，得到单位面积等效平均结势垒电容为：

$$\bar{C}_A = \frac{C_{A0} V_0}{(V_2 - V_1)(1 - r)} \left[\left(1 + \frac{V_2}{V_0} \right)^{1-r} - \left(1 + \frac{V_1}{V_0} \right)^{1-r} \right] \quad (4-38)$$

知道 C_{A0} 和 r ，利用式 (4-38) 可算出集成电路中 C_e 、 C_c 、 C_s 的等效平均值。

4.3.2 扩散电阻的电路模型

硼扩散电阻是双极逻辑电路用得最多的电阻，有一定的代表性，它的典型结构如图

4-15 所示。

在电路中通常衬底接地，电阻隔离区接电源，寄生 PNP 晶体管始终截止，所以扩散电阻的寄生效应只表现为 PN 结漏电和反偏 PN 结的寄生电容效应。而硅反偏 PN 结漏电流，一般可忽略。

由于电阻上有电流流过，沿着电阻条长方向，PN 结的各处偏压不相同，所以严格说来，扩散电阻的模型是个分布式 RC 网络，如图 4-16 所示。图中的 R_l 是扩散电阻条的单位长度电阻值； $C_l(V(x))$ 是电阻条 PN 结（对于硼电阻，它相当于 NPN 晶体管的集电结） x 处单位长度的势垒电容。这个分布参数网络的严格解是很困难的，我们只给出它的两种特殊情况下的近似结果。

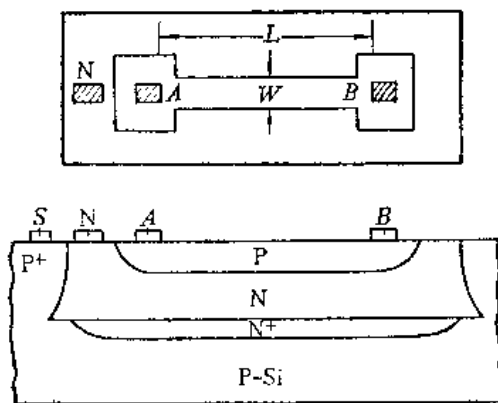


图4-15 硼扩散电阻结构示意图

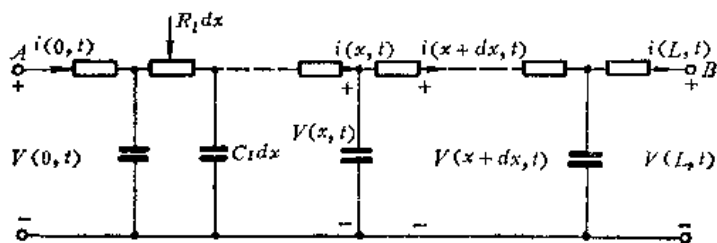


图4-16 扩散电阻的RC分布网络示意图

一、短路扩散电阻

这里指的是电阻的一端和电阻隔离区短路的电阻。由于电阻隔离区通常接电源，所以直接接电源的电阻就属这一类。这类电阻的一种集总参数近似模型如图 4-17 所示。图中的等效平均寄生电容 $\bar{C}_R$ 由下式给出：

$$\bar{C}_R = \frac{LWC_{A0}V_0^2}{(1-r)(2-r)[V(A, t_2) - V(A, t_1)]} \times \left\{ \frac{[1 + V(A, t_2)/V_0]^{2-r} - 1}{V(A, t_2)} - \frac{[1 + V(A, t_1)/V_0]^{2-r} - 1}{V(A, t_1)} \right\} \quad (4-39)$$

式中， L 是电阻条长； W 是电阻条宽； $V(A, t_1)$ 和 $V(A, t_2)$ 分别是电阻 A 端初态和末态的电位。

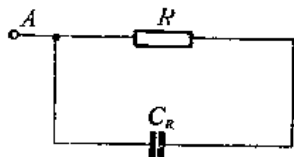


图4-17 短路扩散电阻的集总模型

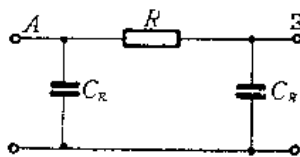


图4-18 开路扩散电阻的集总模型

二、开路扩散电阻

这里指的是电阻的两端和隔离区开路的电阻。这类电阻的一种集总参数近似模型如图 4-18 所示。

图中的平均等效电容为:

$$\bar{C}_K = \frac{LWC_{ac}V_0}{2(1-r)[V(A, t_2) - V(A, t_1)]} \times \left\{ \left[1 + \frac{V(A, t_2)}{V_0} \right]^{1-r} - \left[1 + \frac{V(A, t_1)}{V_0} \right]^{1-r} \right\} \quad (4-40)$$

4.3.3 数值例子

下面通过具体例子, 说明如何应用式 (4-38) 和 (4-39) 计算晶体管和电阻的有关结电容。应用这些式子时, 需要确定 r 、 V_0 和 A 。

r 与结两侧的杂质分布和结偏压大小有关, 其准确值可由劳伦斯-沃纳曲线查得, 作为近似估算, 为简单起见, 我们采用由耗尽层近似法算出的结果, 即

突变结: $r = 1/2$

线性缓变结: $r = 1/3$

接触电势差 V_0 其准确值可由下式算出:

$$V_0 = V_T \ln(n_i^2 / N_A N_D)$$

但由于它在计算等效平均电容的公式中以 $(V_0)'$ 的形式出现, 在 $r = 1/2$ 和 $1/3$ 的条件下, 由于 V_0 的微小变化而引起等效平均电容的变化不大, 所以我们不去对每个结作具体计算, 一概取: $V_0 = -0.8 \text{ V}$ 。

扩散结由底面结和侧面结组成。底面积近似等于扩散窗口面积, 设扩散窗口长为 a 、宽为 b , 则底面积 A_b 为:

$$A_b = ab \quad (4-41)$$

由于横向扩散近似等于纵向扩散, 图 4-19 中侧面结的圆弧 $\widehat{AB}$, 近似等于半径为结深 x_j 的圆周的四分之一, 即 $\widehat{AB} = \frac{1}{4} 2\pi x_j$,

所以结的侧面积 A_v 为:

$$A_v = \frac{1}{4} 2\pi x_j (2a + 2b) = \pi x_j (a + b) \quad (4-42)$$

图 4-20、4-21 和 4-22 是我们讨论的晶体管 T_1 、 T_2 和电阻 R 的结构及尺寸图。

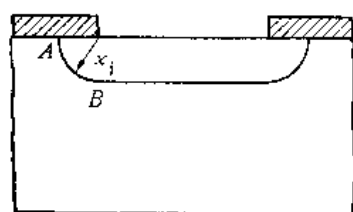
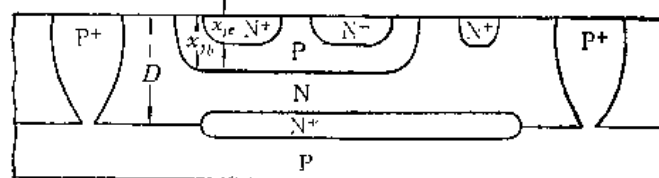
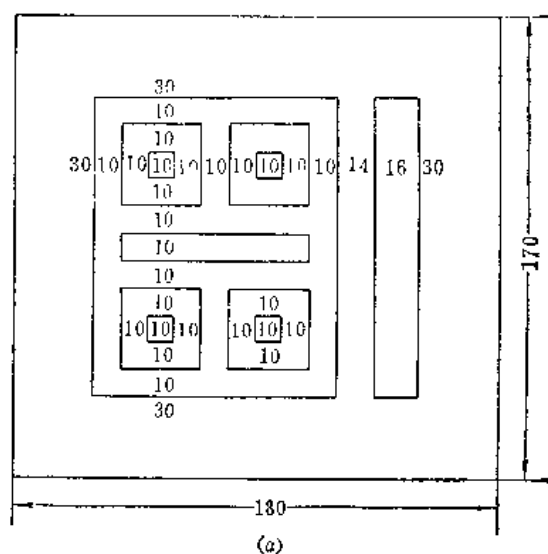


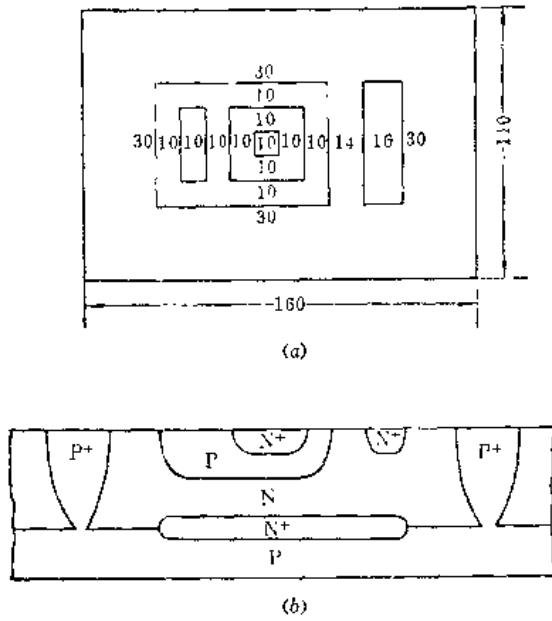
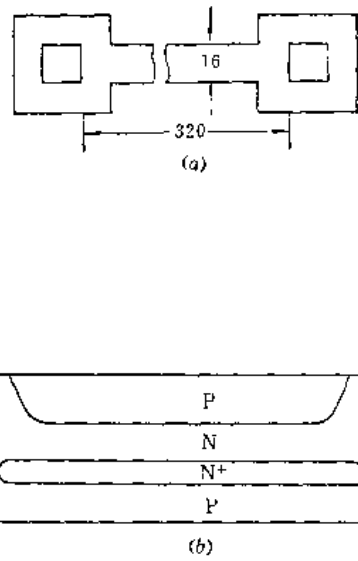
图4-19 窗口边缘的横向扩散



(b)

图4-20 晶体管 T_1 的结构和尺寸

设电路的工艺条件为: 基区硼扩散结深 $x_{jb} = 3 \mu\text{m}$, 发射区磷扩散结深 $x_{jc} = 2 \mu\text{m}$, 外延

图4-21 晶体管 T_2 的结构和尺寸图4-22 电阻 R 的结构和尺寸

层厚 $D = 8\mu\text{m}$ ，则由上面这些图可算出各元件的结面积。

T_1 管：

它有四个小发射区，各个小发射结的底面积 A_{eh} 为：

$$A_{eh} = ab = 30 \times 30 \mu\text{m}^2 = 9 \times 10^{-4} \text{mm}^2$$

侧面积为：

$$A_{ev} = \pi x_{je} (a + b) \approx 3.8 \times 10^{-4} \text{mm}^2$$

bc 结的底面积为：

$$A_{bh} = 9.9 \times 10^{-3} \text{mm}^2$$

bc 结的侧面积为：

$$A_{bv} \approx 1.9 \times 10^{-3} \text{mm}^2$$

由于隔离扩散要穿透外延层，结深近似可看成外延层厚度，所以隔离结侧面积 A_{ev} 为：

$$A_{ev} = \pi D (a + b) = 8.8 \times 10^{-3} \text{mm}^2$$

隔离结底面积 A_{eh} 为：

$$A_{eh} = 3.1 \times 10^{-2} \text{mm}^2$$

T_2 管：

$$A_{eh} = 9 \times 10^{-4} \text{mm}^2$$

$$A_{ev} \approx 3.8 \times 10^{-4} \text{mm}^2$$

$$A_{bh} = 3.5 \times 10^{-3} \text{mm}^2$$

$$A_{bv} \approx 1.1 \times 10^{-3} \text{mm}^2$$

$$A_{ev} = 1.76 \times 10^{-2} \text{mm}^2$$

$$A_{ev} = 6.78 \times 10^{-3} \text{mm}^2$$

硼扩散电阻 R_1 和 R_2 尺寸相同，忽略端头部分的细节，它的结面积近似为：

$$A_{KH} = 5.12 \times 10^{-3} \text{ mm}^2$$

$$A_{Kv} = 2.98 \times 10^{-3} \text{ mm}^2$$

图 4-23 是下一章要详细分析的简易 TTL “与非” 门, 在电路瞬态过程的延迟阶段, 各节点始态和末态的电位如下:

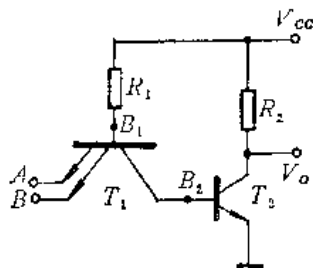


图 4-23 简易 TTL “与非” 门

$$V_{A1}: \text{由 } 0.3 \text{ V} \rightarrow 3 \text{ V} \quad V_{B1}: \text{保持 } 3 \text{ V 不变}$$

$$V_{B2}: \text{由 } 1 \text{ V} \rightarrow 1.4 \text{ V} \quad V_{B22}: \text{由 } 0.4 \text{ V} \rightarrow 0.7 \text{ V}$$

现在用求等效平均电容的公式:

$$C = A \frac{C_{A0} V_0}{(V_2 - V_1)(1 - r)} \left[(1 + V_2/V_0)^{1-r} - (1 + V_1/V_0)^{1-r} \right] \quad (4-38)$$

来计算 C_{eA} 、 C_{eB} 、 C_{eA1} 、 C_{e2} 、 C_{A20} 。

式中的电压 V_2 、 V_1 是以 N 型材料为参考点的, 即结正偏时为正, 反偏时为负。设电路外延层电阻率为 $0.5 \Omega \cdot \text{cm}$, 那么由表 4-2 查得各结单位面积零偏电容为:

$$be \text{ 结: } C_{ev0} = 1000 \text{ pF/mm}^2, C_{eh0} = 450 \text{ pF/mm}^2$$

$$bc \text{ 结: } C_{b0} = 200 \text{ pF/mm}^2$$

$$\text{隔离结: } C_{rh0} = 100 \text{ pF/mm}^2, C_{rv0} = 150 \text{ pF/mm}^2$$

1. C_{eB} :

be_B 结始终反偏。因 V_B 保持 3 V 不变, 所以由 $V_{B1} = 1 \text{ V}$, 得 $V_1 = -2 \text{ V}$; 由 $V_{B1} = 1.4 \text{ V}$, 得 $V_2 = -1.6 \text{ V}$ 。发射结可近似看成突变结, 取 $r = 1/2$ 。将 V_1 、 V_2 、 r 和 A 的数值代入式 (4-38) 算得:

$$C_{eBv} = 0.21 \text{ pF}$$

$$C_{eBh} = 0.23 \text{ pF}$$

$$C_{eB} = C_{eBv} + C_{eBh} = 0.44 \text{ pF}$$

2. C_{eA} :

在延迟阶段, be_A 结在 V_A 由 $0.3 \text{ V} \sim 1.4 \text{ V}$ 时, 结是正偏的; 而在 V_A 由 $1.4 \text{ V} \sim 3 \text{ V}$ 时, 结是反偏的。正偏结用耗尽层近似来计算误差很大, 一般取零偏结电容的四倍作为正偏结的电容。故在 V_A 由 $0.3 \text{ V} \sim 1.4 \text{ V}$ 时, be_A 结的等效平均结电容近似为:

$$C_{eA}(\text{正}) = 4C_{eA}(0) = 4[A_{ev}C_{ev0} + A_{eh}C_{eh0}] = 3.14 \text{ pF}$$

V_A 由 $1.4 \text{ V} \sim 3 \text{ V}$ 时, be_A 结反偏: $V_1 = 0$, $V_2 = -1.6 \text{ V}$ 。取 $r = 1/2$, 算得:

$$C_{eA} = C_{eAv} + C_{eAh} = 0.28 \text{ pF} + 0.30 \text{ pF} = 0.58 \text{ pF}$$

3. C_{x1} :

衬底结始终反偏, 由 $V_{B2}=0.4\text{V} \rightarrow V_1=-0.4\text{V}$; $V_{B2}=0.7\text{V} \rightarrow V_2=-0.7\text{V}$ 。衬底结一般可近似看成线性缓变结, 取 $r=1/3$, 算得:

$$C_{x1}=C_{x1v}+C_{x1h}=1.12\text{pF}+2.63\text{pF}=3.73\text{pF}$$

4. C_{e2} :

在延迟阶段, T_2 管 be 结始终正偏, 所以有:

$$C_{e2}(\text{正})=4C_{e2}(0)=3.14\text{pF}$$

5. C_{e2} :

T_2 管的 bc 结在这个过程中始终反偏, 由于在 T_2 导通前, V_{e2} 保持 $V_{0H}=3\text{V}$ 不变, 所以由 $V_{B2}=0.4\text{V} \rightarrow V_1=-2.6\text{V}$; 由 $V_{B2}=0.7\text{V} \rightarrow V_2=-2.3\text{V}$ 。 bc 结可近似看成线性缓变结, 取 $r=1/3$, 算得:

$$C_{e2}=(A_{e1v}+A_{e2h})C_{e20}=0.57\text{pF}$$

6. 电阻寄生电容

由图 4-24 可知, 电阻 R_1 和 R_2 的一端接电源, 属于短路扩散电阻, 可用式 (4-39) 来计算它的等效平均寄生电容。为了方便, 把式 (4-39) 重抄如下:

$$C_R = \frac{LW C_{A0} V_0^2}{(1-r)(2-r)[V(A, t_2) - V(A, t_1)]} \times \left\{ \frac{[1 + V(A, t_2)/V_0]^{2-r} - 1}{V(A, t_2)} - \frac{[1 + V(A, t_1)/V_0]^{2-r} - 1}{V(A, t_1)} \right\}$$

式中的 LW 是扩散电阻的结面积, 考虑到它有底面和侧面两部分, 应由面积 $A_R=A_{Rb}+A_{Rv}$ 来代替。由于电阻的一端接 5V 电源, 由 $V_{B1}=1\text{V}$ 得 $V(A, t_1)=-4\text{V}$, 由 $V_{B1}=1.4\text{V}$ 得 $V(A, t_2)=-3.6\text{V}$ 。硼电阻的 PN 结就是晶体管的 bc 结, 故可取 $r=1/3$, $C_{A0}=200\text{pF}/\text{mm}^2$ 。将这些数值代入上式算得:

$$C_R=0.52\text{pF}$$

参 考 资 料

- [1] MEYER, C. S., D. K. Lynn and D. J. Hami TON, « Analysis and Design of Integrated Circuits » Chapter 3, 4, 5, McGraw-Hill Book Company, New York, 1968.
中译本《集成电路的分析和设计》第三、四、五章, 科学出版社1970年版。
- [2] D. J. Hamiton and W. G. Howarc, « Basic Integrated Circuit Engineering » Chapter 4, 7.
- [3] Lawrence H., and R. M. Warner, Jr., "Diffused Junction Depletion Layer Capacitance Calculations", Bell, System, Tech, J., Vol. 34, pp. 105~128, 1955.

第五章 晶体管-晶体管逻辑(TTL)集成电路

在双极型逻辑集成电路中,晶体管-晶体管逻辑(Transistor-Transistor Logic)电路,通称TTL电路,是最有代表性的电路。它的基本单元是“与非”门,TTL的各种门电路和触发器,都可以看成是由“与非”门组成的,或是“与非”门的变型。这一章重点是讨论TTL“与非”门的工作原理、静态特性和瞬态特性,以及围绕着不断提高电路速度和负载能力这条线索来介绍TTL“与非”门的发展。

5.1 简易TTL“与非”门

两管单元的TTL“与非”门,是最简单的TTL“与非”门,通称简易门。在小规模TTL集成电路产品中,虽然简易门早已被性能更好的TTL“与非”门所取代,但在中大规模集成电路中,它仍然是一个基本结构单元。由于它的结构简单,便于分析,故我们以它为代表进行详细的讨论。

5.1.1 简易TTL“与非”门的工作原理

简易TTL“与非”门是在二极管-晶体管逻辑(DTL)“与非”门的基础上发展起来的,在讲简易TTL“与非”门以前,先对DTL“与非”门作简单分析。

一、DTL“与非”门

图5-1是一个简单的DTL“与非”门电路,信号由二极管簇输入,晶体管输出,通称为DTL“与非”门电路。输入二极管簇 D_A 、 D_B 、 D_C 和门电阻 R_1 构成电路的输入级,完成“与”逻辑功能。晶体管 T 和负载电阻 R_2 、泄放电阻 R_3 ,构成电路的输出级,实现“非”逻辑功能。二极管 D_s 是电平位移二极管,起电平位移作用。

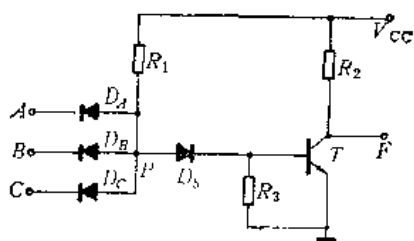


图5-1 DTL“与非”门

当输入端中有一个或一个以上接低电平 V_{OL} (一般为0.3V)时,接低电平的二极管导通,P点电位 V_P 被箝位, V_P 为:

$$V_P = V_{OL} + V_D = 0.3\text{V} + 0.7\text{V} = 1\text{V}$$

这时,晶体管截止,输出为高电平 V_{OH} 。由图可知 V_{OH} 为:

$$V_{OH} = V_{CC} - I_{CH}R_2$$

当输入端都接高电平 V_{OH} (如4V时),输入二极管因反偏而截止,由电源从 R_1 流下来的电流,经二极管 D_s 注入晶体管基区。恰当选择电阻 R_1 和 R_2 的阻值,使晶体管工作在饱和区,这时输出电平就是它的饱和压降:

$$V_{OL} = V_{CES} \approx 0.3\text{V}$$

现在我们用逻辑代数的语言来表示分析的结果。采用正逻辑,上述结果可这样来表达:当A、B、C三个输入端中有一个或一个以上为“0”电平时,输出端F为“1”电

平。当输入端 A 、 B 、 C 都为“1”电平时，输出为“0”电平。把这个结果列成真值表，如表 5-1 所示。从表 5-1 可写出输出信号 F 和输入信号 A 、 B 、 C 之间的逻辑函数表达式：

$$F = \overline{A \cdot B \cdot C}$$

可见这是一个“与非”门电路，它常用图 5-2 所示的逻辑符号表示。

表 5-1

A	B	C	F	A	B	C	F
0	0	0	1	1	0	0	1
0	0	1	1	1	0	1	1
0	1	0	1	1	1	0	1
0	1	1	1	1	1	1	0

这个电路在工艺上如何实现，将在版图设计一章中介绍，这里只介绍输入二极管簇的版图结构。上一章讲过，在集成电路中，总是要制做晶体管的，所以电路中的二极管一般是在晶体管的基础上经过适当连接而成，比如将 B 、 C 短接，利用发射结作二极管。这里的三个二极管，其正极连在一起，可公用一个 P 型基区，这样输入二极管簇的版图结构就如图 5-3 所示。这实际上是个集电极短路的多发射极晶体管。

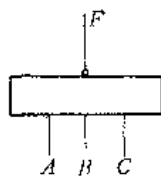


图 5-2 “与非”门逻辑符号

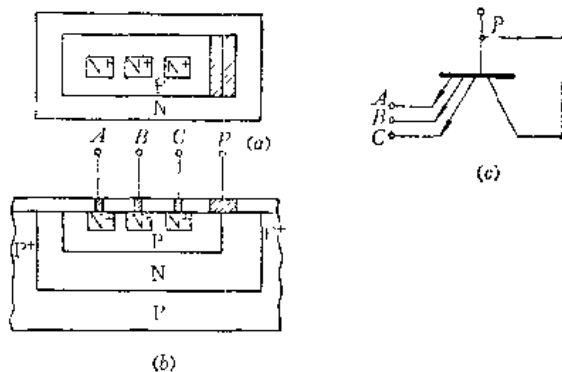


图 5-3 输入二极管簇

(a) 版图；(b) 剖面图；(c) 等效电路。

二、简易 TTL “与非”门

在 DTL 电路中，多发射极晶体管的集电结没被利用，如果用它代替电平位移二极管，就得到图 5-4 所示的简易 TTL “与非”门。它和图 5-1 基本上是相同的。多发射极晶体管的“多个发射结”相当于输入二极管簇，它的集电结代替了电平位移二极管。由于在电路的截止瞬态多发射极晶体管有从 T_2 管抽出储存电荷的反抽作用，于是供泄放储存电荷用的泄放电阻 R_3 也就被省略掉了。

下面简单分析输入分别为低电平和高电平时，电路的输出电平和各管的工作状态。

T_1 管的输入端中有一个或一个以上接低电平 $V_{OL}(0.3V)$ 时，接低电平的发射结正向导通， T_1 管基极电位 V_{B1} 被箝位， V_{B1} 为：

$$V_{B1} = V_{OL} + V_{beo} = 1V$$

此时 T_2 管必然截止，输出为高电平 V_{OH} ：

$$V_{OH} = V_{CC} - I_{OH}R_2$$

I_{OH} 是输出高电平时，电路供给负载的电流。

T_2 截止时， T_1 的集电极电流 I_{C1} 只能是 T_2 集电结的反向漏电流，它是很小的。而 T_1

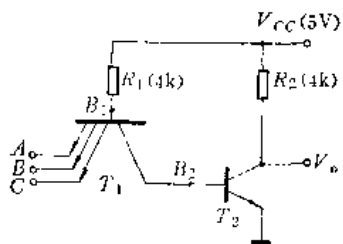


图 5-4 简易 TTL “与非”门

的基极电流 I_{B1} 为:

$$I_{B1} = I_{R1} = \frac{V_{CC} - V_{B1}}{R_1} = \frac{5\text{V} - 1\text{V}}{4\text{k}\Omega} = 1\text{mA}$$

可见 $\beta I_{B1} \gg I_{C1}$, T_1 管工作在深饱和态, V_{ces1} 只有 0.1V 左右。

当电路输入端都接高电平 V_{OH} 时 (一般大于 3V), 由于 T_1 基极到地只串联有两个 PN 结 (T_1 的 bc 结、 T_2 的 be 结), T_1 基极的最高电位 V_{B1} 只能为 1.4V 左右。所以 T_1 发射结反偏, 集电结正偏, T_1 管工作在反向有源区, 电流从发射极流进, 由集电极流出, 相当于原来的发射极变成集电极, 集电极变成发射极。

为了看清多发射极管反向有源工作的电流关系, 我们把 T_1 管改画成如图 5-5 所示。在反向有源区工作时, 发射极变成集电极, 所以有:

$$-I_{E1} = \beta_I I_{B1}$$

β_I 是反向 β 。原来的集电极作为发射极, 由图有:

$$\begin{aligned} -I_C &= (\beta_I + 1)I_{B1} + (\beta_I + 1)I_{B2} + \cdots + (\beta_I + 1)I_{BN} \\ &= (\beta_I + 1)(I_{B1} + I_{B2} + \cdots + I_{BN}) = (\beta_I + 1)I_B \end{aligned}$$

在电路设计时采取适当的措施, 可使 β_I 小于 0.02。所以, 一般情况下当 T_1 管反向运用时, 集电极电流基本上等于基极电流, 也就是 T_2 管的基极驱动电流 I_{B2} 近似等于 I_{B1} 。

在 I_{B2} 的驱动下, T_2 管饱和, 它的基极电位 V_{B2} 就是该管饱和时的 be 结正向压降 V_{bes} 。 V_{bes} 的典型值约为 0.75V。这时 T_1 管基极电位 $V_{B1} = V_{bes} + V_{be1} = 1.4\text{V}$ 。其基极电流 $I_{B1} = \frac{V_{CC} - V_{B1}}{R_1} \approx 0.9\text{mA}$ 。

上面的分析说明, 当电路的一个或一个以上的输入端接低电平时, 输入管正向饱和, 输出管截止, 输出高电平。通常称此时的电路状态为关态或截止态。当电路的输入端全部接高电平时, 输入管反向有源, 输出管饱和, 输出为低电平。这时的电路状态通常称为开态或导通态。电路开态和关态时各管工作状态如表 5-2 所示。

表 5-2 简易 TTL “与非” 门各管工作状态

晶体管	工作状态		基极电流		集电极电流		基极电位	
	关态	开态	关态	开态	关态	开态	关态	开态
T_1	深饱和	反向有源	1mA	0.9mA	0	0.9mA	1V	1.4V
T_2	截止	饱和	0	0.9mA	0	$\frac{V_{CC} - V_{CL}}{R_2} + I_{OL}$	0.1V	0.75V

5.1.2 简易 TTL “与非” 门的静态特性

电路的电压传输特性是最重要的静态特性, 由电压传输特性可确定大部分静态参数。

一、电压传输特性

所谓电路的电压传输特性, 就是在直流 (静态) 条件下, 电路的输出电压 V_o 和输入电压 V_i 之间的关系。要定量求出 $V_o \sim V_i$ 曲线, 首先就要画出 “与非” 门的直流等效电路。

实际的 TTL 电路都是掺金的, 对于掺金的电路, 衬底结对电路直流特性的影响可以忽

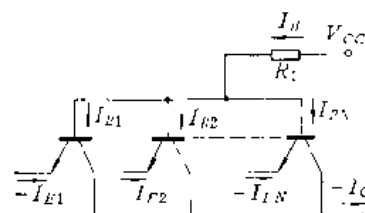


图 5-5 反向有源的 T_1 管

略，四层结构的晶体管模型得到简化。根据简化的晶体管模型，其简易 TTL “与非” 门直流等效电路如图 5-6 所示。

图中我们考虑了两个晶体管各个电极的串联电阻 r_e 、 r_b 和 r_{cs} 。由于发射极串联电阻一般都很小，下面在建立方程时忽略它。

用 V_a 、 V_b 、 V_c 、 V_d 分别表示图中标出的 a 、 b 、 c 、 d 等节点的电压。由图 5-6 及晶体管的埃伯斯-莫尔方程式 (4-12)，对于 T_2 管有：

$$V_a = V_c - \left(\frac{V_{CC} - V_c}{R_2} - I_L \right) r_{cs2} \quad (5-1)$$

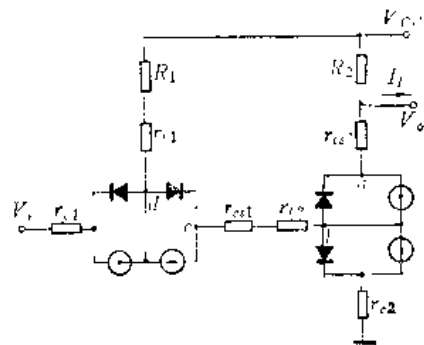


图5-6 简易门的直流等效电路

$$\begin{aligned} \frac{V_c - V_a}{r_{cs2}} &= I_{C2} = \alpha_{F2} I_{Es2} (e^{V_b/V_T} - 1) - I_{cs2} (e^{(V_b - V_a)/V_T} - 1) \\ &= e^{V_b/V_T} (\alpha_{F2} I_{Es2} - I_{cs2} e^{-V_a/V_T}) + I_{cs2} - \alpha_{F2} I_{Es2} \end{aligned}$$

因此

$$V_b = V_T \ln \left(\frac{\frac{V_c - V_a}{r_{cs2}} - I_{cs2} + \alpha_{F2} I_{Es2}}{\alpha_{F2} I_{Es2} - I_{cs2} e^{-V_a/V_T}} \right) \quad (5-2)$$

而

$$\begin{aligned} V_c &= V_b + I_{B2} (r_{cs1} + r_{b2}) = V_b + (r_{cs1} + r_{b2}) \left[(1 - \alpha_{F2}) I_{Es2} (e^{V_b/V_T} - 1) \right. \\ &\quad \left. + (1 - \alpha_{I2}) I_{cs2} \left(e^{\frac{V_b - V_d}{V_T}} - 1 \right) \right] \end{aligned} \quad (5-3)$$

对于 T_1 管，有：

$$\begin{aligned} I_{C1} &= \frac{V_b - V_c}{r_{cs1} + r_{b2}} = \alpha_{F1} I_{Es1} \left(e^{\frac{V_d - V_i}{V_T}} - 1 \right) - I_{cs1} \left(e^{\frac{V_d - V_c}{V_T}} - 1 \right) \\ I_{B1} &= (1 - \alpha_{F1}) I_{Es1} \left(e^{\frac{V_d - V_i}{V_T}} - 1 \right) + (1 - \alpha_{I1}) I_{cs1} \left(e^{\frac{V_d - V_c}{V_T}} - 1 \right) \end{aligned}$$

两式联立，解得：

$$V_d = V_T \ln \frac{(1 - \alpha_{F1}) \frac{V_b - V_c}{r_{cs1} + r_{b2}} - \alpha_{F1} I_{B1} + (\alpha_{I1} \alpha_{F1} - 1) I_{cs1}}{I_{cs1} (\alpha_{I1} \alpha_{F1} - 1) e^{-V_c/V_T}} \quad (5-4)$$

而 I_{B1} 为：

$$I_{B1} = \frac{V_{CC} - V_d}{R_1 + r_{b1}} \quad (5-5)$$

由 I_{B1} 的表达式求得 V_i 为：

$$V_i = V_d - V_T \ln \frac{I_{B1} - (1 - \alpha_{I1}) I_{cs1} \left(e^{\frac{V_d - V_c}{V_T}} - 1 \right) + (1 - \alpha_{F1}) I_{Es1}}{(1 - \alpha_{F1}) I_{Es1}} \quad (5-6)$$

方程(5-1)~(5-6)就反映了输出 V_o 和输入 V_i 的关系。

将电路的版图尺寸和工艺条件所决定的相应参数代入上述方程，利用电子计算机进行

数倍计算, 就得到图 5-7 所示的电压传输特性曲线^[1]。为了比较, 在同一个图上还给出了实际测试结果, 可见理论计算和实测结果符合得很好。

二、静态参数

衡量一个电路静态特性好坏的参数主要有三类: 抗干扰能力、负载能力和直流功耗。

1. 抗干扰能力

为了进一步分析图 5-7 所示的电压传输特性, 将它重画于图 5-8。图中 Q_1 、 Q_2 两点是

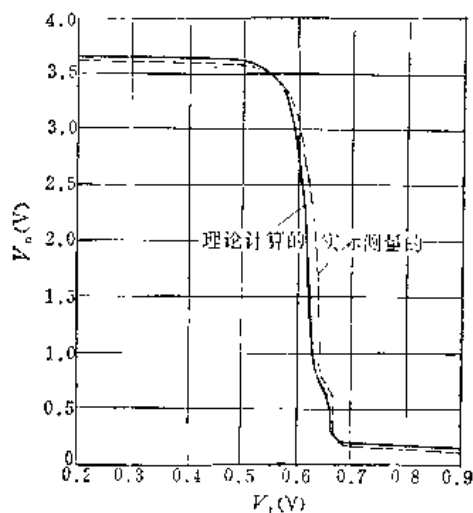


图5-7 简易门的电压传输特性

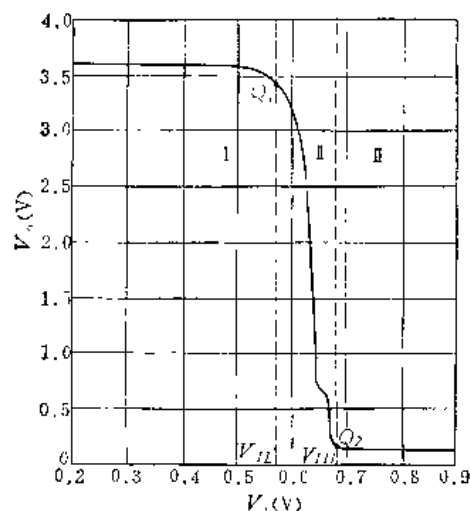


图5-8 V_{IL} 和 V_{IH} 的定义示意图

直流电压微分增益绝对值为 1 的两点, 以这两点为界, 可将图分成三个区域: 在区域 I, T_2 截止, 输出高电平; 在区域 II, T_2 饱和, 输出为低电平; 而在区域 III, T_2 工作在放大区, V_o 随 V_i 而急剧变化。通常称区域 I 为电路的截止区, 区域 II 为过渡区, 区域 III 为导通区。

和 Q_1 、 Q_2 对应的输入电压分别记作 V_{IL} 和 V_{IH} 。由图可见, $V_i < V_{IL}$ 时电路关闭, 输出为高电平。通常称 V_{IL} 为最大输入低电平, 俗称关门电平, 它是保证门输出为高电平时的输入低电平上限值。 $V_i > V_{IH}$ 时, 电路导通, 输出为低电平。通常称 V_{IH} 为最小输入高电平, 俗称开门电平, 它是保证门输出为低电平时的输入高电平的下限值。介于 V_{IL} 和 V_{IH} 之间的输入电平是应该避免的, 因为这时电路工作于过渡区, 只要输入电平变化一点, 输出电平就会发生很大的变化, 即输出逻辑状态不确定。

由图 5-8 可画出图 5-9。图 5-9 定义了几个逻辑电平, 并表示了它们之间的关系:

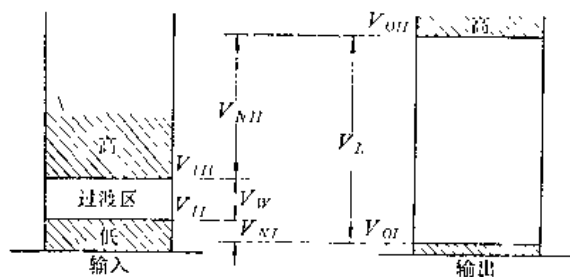


图5-9 逻辑电平图

(1) 逻辑摆幅 V_L :

$$V_L = V_{OH} - V_{OL} \quad (5-7)$$

(2) 过渡区宽度 V_W :

$$V_W = V_{IH} - V_{IL} \quad (5-8)$$

(3) 低电平噪声容限 V_{NL} 和高电平噪声容限 V_{NH} :

$$V_{NL} = V_{IH} - V_{OL} \quad (5-9)$$

$$V_{NH} = V_{OH} - V_{IH} \quad (5-10)$$

根据 V_{IL} 和 V_{IH} 的意义, V_{NL} 和 V_{NH} 的物理意义是很清楚的。门电路使用时, 往往是一级推动一级, 一个门的输入往往是同一类门的输出。由于存在着各种外来干扰信号, 实际加到一个门输入端的信号, 是前级门的输出信号和外来噪声之和。当前级门输出为低电平 V_{OL} 时, 加到本级门输入端的是 V_{OL} 和噪声 V_N 之和:

$$V_{ia} = V_{OL} + V_N$$

由于保证输出为高电平时, 输入低电平的上限是 V_{IL} , 那么从上式可得出 V_{NL} (式(5-9))。它就是保证输出为高电平时允许输入噪声的极限值。

电路抗干扰能力的强弱由 V_{NL} 和 V_{NH} 来衡量, 由式(5-9)、(5-10)可知, 它们与 V_{OH} 、 V_{OL} 、 V_{IL} 和 V_{IH} 有关。

2. 负载能力

一个电路负载能力的大小, 就是在保证输出高低电平合格的前提下, 所能推动的负载门的多少。

输出高电平 V_{OH} 是 T_2 管截止时的输出电平, 由图 5-10 可知:

$$V_{OH} = V_{CC} - I_{OH}R_2 \quad (5-11)$$

式中 I_{OH} 是输出高电平时的负载电流。

电路导通 T_2 管饱和时的输出电平称为输出低电平 V_{OL} 。由于 T_2 管存在着集电极串联电阻 r_{cs2} , 所以 V_{OL} 实际上是管子的本征饱和压降 V_{ces0} 和流进管子的电流在 r_{cs2} 上的压降之和。由图 5-11 可知, 输出低电平时, 流进 T_2 管的电流为 $I_{R2} + I_{OL}$, 因此:

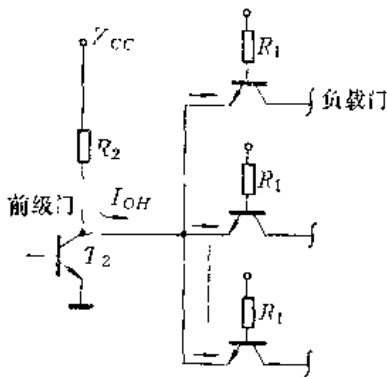


图5-10 输出高电平时的负载电流 I_{OH}

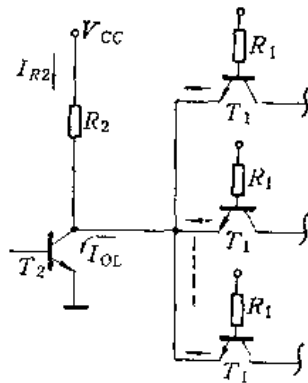


图5-11 输出低电平时的负载电流 I_{OL}

$$V_{OL} = V_{ces0} + \left(\frac{V_{CC} - V_{OL}}{R_2} + I_{OL} \right) r_{cs2} \quad (5-12)$$

由式(5-11)、(5-12)可知, 电路负载能力的大小和负载电流 I_{OH} 、 I_{OL} 有关。

电路输出高电平时, 它的每个负载门至少有一个输入端接高电平。这时流进负载门的最大电流 I_{IH} 是: 只有一个输入端接高电平其它输入端接地时, 流进负载门 T_1 管发射极的电流, 如图 5-12 所示。

由于 e_B 、 e_C 等输入端接地, e_A 接高电平 V_{OH} 这个多射极管同时存在几个晶体管作用, $e_A BC$ 为反向运用晶体管; $e_A B e_B$ 、 $e_A B e_C \cdots$ 为 $(N-1)$ 个交叉晶体管。这时流进 e_A 的电

流 I_{IH} 是这些晶体管的集电极电流之和:

$$I_{IH} = \beta_I I_{B1} + \beta_{\Sigma} I_{B1} (N-1) = [\beta_I + (N-1)\beta_{\Sigma}] I_{B1}$$

一般情况下, β_{Σ} 比 β_I 小得多, 上式可表示为:

$$I_{IH} \approx \beta_I I_{B1} = \beta_I \frac{V_{CC} - V_{beo}}{R_1} \quad (5-13)$$

通常称 I_{IH} 为输入漏电流, 或高电平输入电流。它是电路的一个输入端接高电平, 其它输入端接地时, 从输入端流进电路的电流。

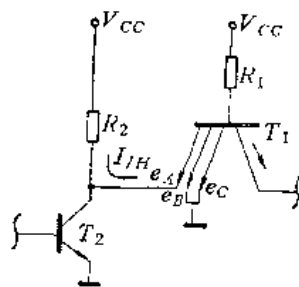


图5-12 输入漏电流 I_{IH}

若电路输出高电平时, 最多能带 N_H 个负载门, 则:

$$V_{OH} = V_{CC} - N_H I_{IH} R_2$$

$$\therefore N_H = \frac{V_{CC} - V_{OH}}{I_{IH} R_2} \quad (5-14)$$

电路输出低电平时, 它的负载门起码有一个输入端接低电平, 见图 5-11, 这时若带 N_L 个负载门, 那么 I_{OL} 为:

$$I_{OL} = N_L \frac{V_{CC} - V_{B1}}{R_1} = N_L \frac{V_{CC} - (V_{beo} + V_{OL})}{R_1}$$

但 V_{OL} 的大小是随所带负载的多少而变的, 因而 I_{OL} 是个不定的值, 但从上式看到, 其极限值为:

$$I_{OL} = N_L \frac{V_{CC} - V_{beo}}{R_1} = N_L I_{IL} \quad (5-15)$$

称 I_{IL} 为输入短路电流, 它是电路的一个输入端接地时, 从这个输入端流出电路的电流。 I_{IL} 为:

$$I_{IL} = \frac{V_{CC} - V_{beo}}{R_1} \quad (5-16)$$

若电路输出低电平时最多能带 N_L 个负载门, 则:

$$V_{OL} = V_{beo} + N_L I_{IL} r_{cs2} + \frac{V_{CC} - V_{OL}}{R_2} r_{cs2}$$

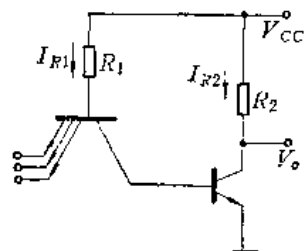
$$\therefore N_L = \frac{V_{OL} - \left(V_{beo} + \frac{V_{CC} - V_{OL}}{R_2} r_{cs2} \right)}{I_{IL} r_{cs2}} \quad (5-17)$$

通常由 N_L 和 N_H 当中的小者来标志电路的负载能力, 一般称为扇出。从上面可见, 扇出和 I_{IL} 、 I_{IH} 、 r_{cs2} 等密切相关。

3. 直流功耗

功耗是表示电路工作时消耗能源的多少, 也是标志电路质量好坏的一类重要参数。

功耗等于工作时电路电源电流和电源电压的乘积。由于 TTL 电路的电源电压 V_{CC} 一般固定为 5 V, 所以可用电源电流的数值来标志功耗的大小。常用空载时的电源电流数值来标志功耗。



空载导通电源电流 I_{CCL} , 由图 5-13 可知, 电路空载导通时, 图5-13 电路空载导通时的电流

电源供给电路的电流有 I_{R_1} 和 I_{R_2} 两股:

$$I_{CCL} = I_{R_1} + I_{R_2} = \frac{V_{CC} - V_{B1}}{R_1} + \frac{V_{CC} - V_{OL}}{R_2} = \frac{5\text{V} - 1.4\text{V}}{R_1} + \frac{5\text{V} - 0.3\text{V}}{R_2}$$

若选 $R_1 = 4\text{k}\Omega$ 、 $R_2 = 1\text{k}\Omega$, 则 $I_{CCL} \approx 2.1\text{mA}$; 若取 $R_1 = 4\text{k}\Omega$ 、 $R_2 = 1\text{k}\Omega$, 则 $I_{CCL} = 5.6\text{mA}$ 。

空载截止电源电流 I_{CCH} : 电路空载截止时, T_2 管截止, 供给电路的电源电流只有一股 I_{R_1} :

$$I_{CCH} = I_{R_1} = \frac{V_{CC} - V_{B1}}{R_1} = \frac{5\text{V} - 1\text{V}}{4\text{k}\Omega} = 1\text{mA}$$

5.1.3 简易 TTL “与非”门的瞬态特性

上述的电压传输特性, 是直流条件下输出电压跟随输入电压的变化关系。这里的瞬态分析, 主要是分析电压传输特性的瞬态响应, 即在交流条件下, 输出电压波形如何跟随输入电压波形变化。

原则上, 要了解瞬态特性的全貌, 除了实验上对电路作瞬态测量, 测出输出波形随输入波形变化的情况外, 还可以利用瞬态等效电路, 建立起瞬态电路方程, 由计算机作数值计算, 从理论上算出输出波形如何跟随输入波形而变化。

利用第四章介绍的掺金电路的晶体管模型和扩散电阻的集总模型, 可以画出简易 TTL “与非”门的瞬态等效电路, 如图 5-14 所示。这个等效电路, 可用电子计算机作定量分析。但如何用计算机分析电路的瞬态特性, 是一个专门问题, 可参阅有关专著。本节着重对瞬态过程的物理实质作定性分析, 以便掌握影响电路速度的主要因素和提高速度的办法。

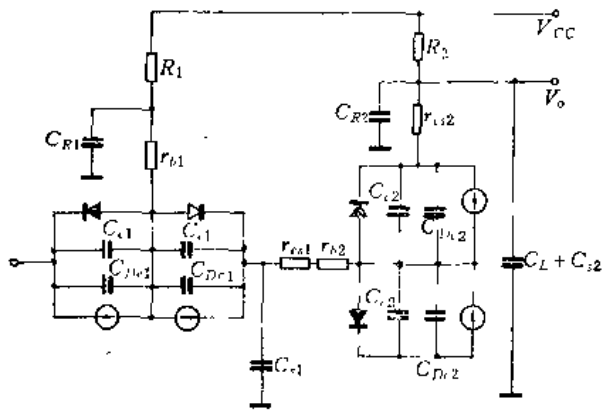


图 5-14 简易 TTL “与非”门的瞬态等效电路

一、几个时间常数的定义

简易 TTL “与非”门的瞬态特性与开关晶体管十分相似。在电路输入端加上一个如图 5-15(a) 所示的阶跃电压, 在示波器上看到的电路输出电压如图 5-15(b) 所示。输出相对输入有一定的延迟。具体说, 在输出电压下降边, 输入电压在 t_0 时刻由低电平跳变到高电平, 而输出电压要到 t_1 时刻才开始下降。一般称 $t_1 - t_0 = t_d$ 为电路延迟时间。输出电压在 $t_2 - t_1 = t_f$ 的时间内由高电平下降到低电平, 称 t_f 为电路的下降时间。在输出电压上升边, 也存在着类似的延迟。输入电压在 t_3 时刻突跳到低电平, 而输出电压要到 t_4 时刻才开始上升, $t_4 - t_3 = t_s$, 称作电路的贮存时间。输出电压在 $t_5 - t_4 = t_r$ 时间内由低电平上升到高电平, t_r 称为电路的上升时间。

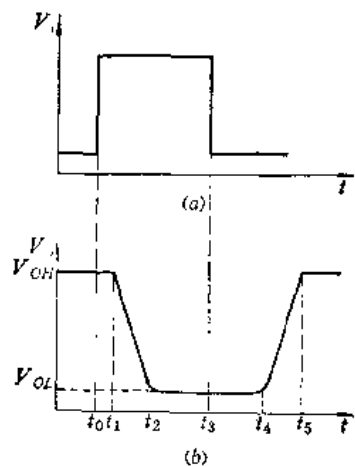


图 5-15 输入输出电压波形

二、时间常数的估算

下面分析一下这几个时间常数所对应的电路内部状态的变化过程, 并估算这几个时间常数。

1. 延迟时间 t_d

延迟时间 t_d 是从输入电压上跳到输出电压开始下降所需要的时间。由电路图 5-16 可知: 只有 T_2 管开始导通, 输出电压才开始下降, 所以 t_d 就是从输入上跳到 T_2 开始导通所需的时间。

输入开始上跳前 (t_0 时刻), T_1 管的 A 输入端接低电平, 其余输入端接高电平。此时电路截止, 各点电平为:

$$V_A^{(0)} = V_{OL} = 0.3 \text{ V}$$

$$V_{B1}^{(0)} = V_{OL} + V_{be0} = 1 \text{ V}$$

$$V_{B2}^{(0)} = V_{OL} + V_{ces1} = 0.4 \text{ V}$$

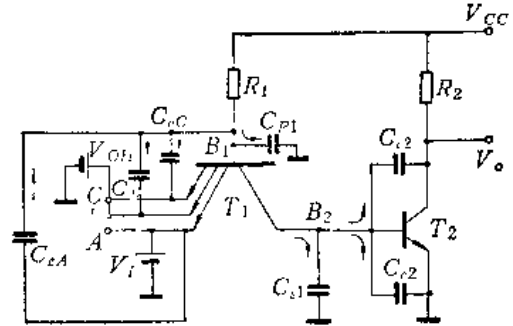


图 5-16 瞬态分析用的电路图

T_2 管刚开始导通时 (t_1 时刻), T_1 管反向有源, 它的 bc 结仍为正偏, 此时电路中各点电位为:

$$V_{B2}^{(1)} = V_{be0} = 0.7 \text{ V}; \quad V_{B1}^{(1)} = V_{B2}^{(1)} + V_{be0} \approx 2V_{be0} = 1.4 \text{ V}$$

由于从 t_0 时刻到 t_1 时刻, T_1 管集电结的正偏情况基本不变, 所以其集电结势垒电容和扩散电容积累的电荷量基本不变, 若忽略 T_1 管发射结的扩散电容 (对于集成电路晶体管, 它一般比集电结扩散电容小得多), 则电路延迟时间就是下面这些电容充放电所需要的时间。

T_2 管基极节点所连的三个电容 C_{f1} 、 C_{e2} 、 C_{s1} , 其充电幅度都一样, 为 $\Delta V_{B2} = V_{B2}^{(1)} - V_{B2}^{(0)} = 0.3 \text{ V}$, 充电量为: $\Delta Q_1 = \Delta V_{B2} (C_{e2} + C_{s2} + C_{s1})$ 。

T_1 管基极节点: 接高电平的 $(N-1)$ 个发射结的势垒电容 $(N-1)c_{eB}$, 两端偏压由 $V_{B1}^{(0)} - V_{OH}$ 变到 $V_{B1}^{(1)} - V_{OH}$, 变化幅度为: $V_{B1}^{(1)} - V_{OH} - (V_{B1}^{(0)} - V_{OH}) = \Delta V_{B1} = 0.4 \text{ V}$, 充电量为: $\Delta Q_2 = (N-1)C_{eB}\Delta V_{B1}$ 。接输入信号的输入端 A , 其结电容 c_{eA} , 两端电压从 t_0 时刻的正偏压 V_{be0} , 变化为反偏压 $V_{OH} - V_{B1}^{(1)}$, 所以它要放电, 放电量为: $\Delta Q_3 = C_{eA}\Delta V_{A0}$ 。

R_1 电阻一端接电源, 属于短路扩散电阻, 其寄生电容两端的电压, 由 t_0 时的反偏压 $V_{B1}^{(0)} - V_{CC} = -4 \text{ V}$ 变到 t_1 时刻的反偏压 $V_{B1}^{(1)} - V_{CC} = -3.6 \text{ V}$, 所以在延迟过程中它的充电量为:

$$\Delta Q_4 = C_{R1}\Delta V_{B1}$$

T_1 管集电结的势垒电容和扩散电容的电荷变化很小, 忽略不计。

充电电流 I_{R1} 是随 V_{B1} 的变化而变化的, 我们取其线性平均值:

$$\bar{I}_{R1} = \frac{V_{CC} - \bar{V}_{B1}}{R_1} = \frac{5 \text{ V} - 1.2 \text{ V}}{4 \text{ k}\Omega} = 0.95 \text{ mA}$$

那么由式:

$$\bar{I}_{R1}(t_1 - t_0) = \bar{I}_{R1}t_d = \Delta Q_1 + \Delta Q_2 + \Delta Q_4 - \Delta Q_3$$

得:

$$t_d = \frac{(C_{s1} + C_{e2} + C_{s2})\Delta V_{B2} + [C_{R1} + (N-1)C_{eB}]\Delta V_{B1} - C_{eA}\Delta V_{A0}}{\bar{I}_{R1}} \quad (5-18)$$

可见缩短延迟时间的办法是：(1)减小结电容 C_{j1} 、 C_{e2} 、 C_{e2} 、 C_{R1} 和 C_{e1} ，这主要应在版面设计中尽可能减小这些结的面积；(2)减小 R_1 以增大充电电流，但这与改善直流参数 I_{IL} 相矛盾；(3)若将接固定高电平的输入端和接信号的输入端并联使用，则这些输入端 be 结势垒电容由原来需要充电变为放电，减轻了充电电流 I_{R1} 的负担，也可缩短延迟时间，但输入端并联使用增加了前级门的负载电容。

〔例1〕 t_d 的数值例子

在第四章的数值例子中，已算出 $4C_{eA}(0)=3.14\text{pF}$ ， $C_{eA}=0.58\text{pF}$ ， $C_{eB}=0.44\text{pF}$ ， $C_{j1}=3.73\text{pF}$ ， $C_{e2}=3.14\text{pF}$ ， $C_{e2}=0.57\text{pF}$ ， $C_{R1}=0.52\text{pF}$ 。设 $V_{OH}=3\text{V}$ ，输入端数 $N=4$ ，由式 (5-18) 得

$$t_c = \frac{7.44 \times 0.3 + 1.84 \times 0.4 - 0.58 \times 1.6 - 3.14 \times 0.4}{0.95} \approx 0.82\text{ns}$$

2. 下降时间 t_f

输出电压下降时间 t_f ，是输出电压从高电平下降到低电平所需要的时间。对于简易 TTL “与非”门，它就是 T_2 管开始导通 (t_1 时刻) 到 T_2 管达到饱和 (t_2 时刻) 这个过程所需要的时间。

由于在 T_2 管电流上升过程中，节点 B_2 和 B_1 处的电压 V_{B2} 和 V_{B1} 变化很小，所以近似地可把 T_1 管看作是一个电流源，它提供 T_2 管基极驱动电流 I_{R1} ：

$$I_{R1} = \frac{V_{CC} - V_{B1}}{R_1}$$

这样，电路的下降时间就可看作在电流 I_{R1} 驱动下， T_2 管的电流上升时间，即：

$$t_f = \beta_2 \left(\frac{1}{2\pi f_{T2}} + 1.7C_{e2}R_2 \right) \ln \frac{I_{R1}}{I_{R1} - I_{CM2}/\beta_2}$$

式中的 C_{e2} 用等效平均电容代入时，系数 1.7 应改为 1。

上式没有考虑 T_2 管衬底结电容 C_{j2} 、电阻 R_2 的寄生电容 C_{R2} 和负载电容 C_L 的影响。

为了弄清这些因素的影响，我们分析一下 T_2 管的电流上升过程。在 T_2 管的电流上升过程中，基极电流 $I_{B2}(=I_{R1})$ 的作用是提供下面四部分电流：

(1) 对发射结势垒电容 C_{e2} 的充电电流 dQ_e/dt ，根据晶体管原理的近似分析，这一项为：

$$dQ_e/dt = r_{e2}C_{e2}dI_{C2}/dt$$

(2) 提供基区电荷积累所需要的电流 dQ_b/dt ，

$$dQ_b/dt = \tau_b dI_{C2}/dt$$

式中 τ_b 是基区渡越时间。

(3) 提供基区复合的电流 Q_b/τ_{nb} ，根据晶体管的直流特性，它可表示为：

$$Q_b/\tau_{nb} = I_{C2}/\beta_2$$

(4) 集电结势垒电容 C_{e2} 的充电电流 dQ_c/dt ，它是由 T_2 管集电极电位 V_{C2} 的下降而引起的：

$$dQ_c/dt \approx -C_{e2}dV_{C2}/dt$$

归纳上述结果有：

$$I_{R1} = I_{B2} = (r_{e2}C_{e2} + \tau_b) dI_{C2}/dt + I_{C2}/\beta_2 - C_{e2}dV_{C2}/dt \quad (5-19)$$

从图 5-17 可知:

$$\begin{aligned} I_{C_2} &= I_{R_2} - (C_{e2} + C_L + C_{K_2}) dV_{C_2}/dt \\ &= \frac{V_{CC} - V_{C_2}}{R_2} - C_A \frac{dV_{C_2}}{dt} \end{aligned} \quad (5-20)$$

式中

$$C_A = C_{e2} + C_L + C_{K_2} \quad (5-21)$$

将式 (5-20) 取微商, 得:

$$dI_{C_2}/dt = - \frac{dV_{C_2}}{R_2 dt} - C_A d^2 V_{C_2}/dt^2 \quad (5-22)$$

将式 (5-20)、(5-22) 代入 (5-19) 得:

$$d^2 V_{C_2}/dt^2 + P dV_{C_2}/dt + q V_{C_2} = A \quad (5-23)$$

式中:

$$\left. \begin{aligned} P &= \frac{\tau \beta_c + \beta_2 R_2 C_{e2} + R_2 C_A}{R_2 \tau C_A \beta_2} \\ q &= \frac{1}{\beta_2 R_2 C_A \tau} \\ A &= \frac{V_{CC} - \beta_2 R_2 I_{R_1}}{\tau C_A \beta_2 R_2} \\ \tau &= r_{e2} C_{e2} + \tau_b \approx \frac{1}{2\pi f_{T2}} \end{aligned} \right\} \quad (5-24)$$

其中

上式是 V_{C_2} 的二阶线性非齐次常微分方程, 根据微分方程理论, 其解是齐次方程的通解和非齐次方程的一个特解之和, 即:

$$V_{C_2} = C_1 e^{W_1 t} + C_2 e^{W_2 t} + B \quad (5-25)$$

式中的 B 为特解, 其值是:

$$B = \frac{A}{q} = V_{CC} - \beta_2 R_2 I_{R_1} \quad (5-26)$$

W_1 和 W_2 是齐次微分方程特征方程的根。其特征方程是:

$$W^2 + PW + q = 0 \quad (5-27)$$

由式 (5-27) 求得:

$$W_{1,2} = -\frac{P}{2} \pm \frac{\sqrt{P^2 - 4q}}{2} \quad (5-28)$$

代入式 (5-25) 得:

$$V_{C_2} = C_1 e^{\frac{-(P - \sqrt{P^2 - 4q})}{2} t} + C_2 e^{\frac{-(P + \sqrt{P^2 - 4q})}{2} t} + B \quad (5-29)$$

待定常数 C_1 和 C_2 由两个边界条件决定。边界条件之一是:

$$V_{C_2}(0) = V_{OH} \quad (5-30)$$

之二可由式 (5-20) 求得:

$$\left. \frac{dV_{C_2}}{dt} \right|_{t=0} = \frac{V_{CC} - V_{OH}}{R_2 C_A} \quad (5-31)$$

而在电流上升过程结束时 ($t = t_f$) $V_{C_2} = V_{OL}$, 则:

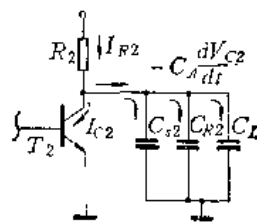


图 5-17

$$V_{c2}(t_f) = V_{OL} \quad (5-32)$$

联立求解方程 (5-29)、(5-30)、(5-31) 和 (5-32) 可求出 t_f 的解析表达式, 但这是一个复杂的函数, 不便于讨论, 下面仅讨论其近似解。

由工艺条件和版图尺寸可算出 P 、 q 等参数。我们取一种版图尺寸, 算得: $C_{s2} = 1.78 \text{ pF}$, $C_{K2} = 0.73 \text{ pF}$, $C_{c2} = 0.74 \text{ pF}$; 设 $C_L = 5 \text{ pF}$, $f_{T2} = 300 \text{ MHz}$, $\beta_2 = 20$, $R_2 = 4 \text{ k}\Omega$, 由式 (5-21) 求得 $C_A = 7.5 \text{ pF}$ 。将这些数据代入式 (5-24) 可算出:

$$\tau = 0.53 \text{ ns}; \quad P = 0.35 \text{ ns}^{-1}; \quad q = 0.0031 \text{ ns}^{-2}$$

可见: $P^2 \gg 4q$ 。因而式 (5-28) 可展开为:

$$\begin{aligned} W_{1,2} &= -\frac{P}{2} \pm \frac{P}{2} \left(1 - \frac{4q}{P^2} \right)^{1/2} \approx -\frac{P}{2} \pm \frac{P}{2} \left(1 - \frac{2q}{P^2} \right) \\ &= \begin{cases} -P + \frac{q}{P} \\ -\frac{q}{P} \end{cases} \end{aligned} \quad (5-33)$$

方程 (5-29) 变为:

$$V_{c2} = C_1 e^{-\frac{q}{P}t} + C_2 e^{-\left(P - \frac{q}{P}\right)t} + B \quad (5-34)$$

在上面的电路设计参数下, 可证明 $\left(P - \frac{q}{P}\right) \gg \frac{q}{P}$, 所以只要 t 时间不是很短, 可以忽略掉上式的第二项, 得到:

$$V_{c2} = C_1 e^{-\frac{q}{P}t} + B \quad (5-35)$$

由边界条件 (5-30) 得:

$$C_1 = V_{OH} - B$$

方程的解为:

$$V_{c2} = (V_{OH} - B) e^{-\frac{q}{P}t} + B \quad (5-36)$$

联立解式 (5-32) 和式 (5-36), 得:

$$\begin{aligned} t_f &= \frac{P}{q} \ln \frac{V_{OH} - B}{V_{OL} - B} \\ &= \beta_2 \left(\frac{1}{2\pi f_{T2}} + R_2 C_{s2} + \frac{R_2 C_A}{\beta_2} \right) \ln \frac{V_{OH} - (V_{CC} - \beta_2 R_2 I_{K1})}{V_{OL} - (V_{CC} - \beta_2 R_2 I_{K1})} \end{aligned} \quad (5-37)$$

由上式可见: (1) t_f 与 f_{T2} 、 $R_2 C_{s2}$ 、 $R_2 C_A$ 有关; (2) C_A 与 C_{s2} 相比, 其影响要小得多; (3) 从对数函数项中可见, 适当增大 I_{K1} 也可缩短 t_f , 但它与直流参数 I_{IL} 的要求矛盾, 所以改善电路下降边特性的主要办法是提高 f_{T2} 、减小 C_{s2} 。

从上面的分析中也可看到, 需要把跨在集电极和基极之间的电容 C_{s2} 等效画到集电极和地之间时, C_{s2} 必须乘上 β_2 。

〔例 2〕 t_f 的数值例子。

设 $\beta_2 = 20$, $f_{T2} = 300 \text{ MHz}$, $C_{s2} = 1.78 \text{ pF}$, $C_{K2} = 0.73 \text{ pF}$, $C_L = 5 \text{ pF}$, $C_{c2} = 0.74 \text{ pF}$, $R_2 = 4 \text{ K}$, $V_{OH} = 3 \text{ V}$, $V_{OL} = 0.3 \text{ V}$, $V_{CC} = 5 \text{ V}$, 并由式 (5-21) 求得 $C_A = 7.5 \text{ pF}$ 。在 $I_{K1} = 0.9 \text{ mA}$ 时, 由式 (5-37) 算得:

$$t_f = 20(0.53\text{ns} + 2.96\text{ns} + 1.5\text{ns}) \times 0.4 \approx 40\text{ ns}$$

在 $I_{R_1} = 4\text{ mA}$ 时, 算得:

$$t_f = 20(0.53\text{ns} + 2.96\text{ns} + 1.5\text{ns}) \times 0.008 \approx 0.8\text{ ns}$$

3. 储存时间 t_s

电路的储存时间 t_s 是从输入下跳 (t_3 时刻) 到输出电平开始上升 (t_4 时刻) 所需要的时间。由于只有输出管 T_2 退出饱和, 输出电平才能上升, 所以 t_s 就是从输入电平下跳起到 T_2 退出饱和为止的这段时间。在这段时间内, 电路状态的变化是: T_1 管从反向有源转变为正向工作, 在正向工作的 T_1 管的抽出电流作用下, T_2 管很快清除掉全部超量储存电荷; 当然和节点 B_1 、 B_2 相连的那些电容也要充放电。

输入电平下跳后, T_1 管正向工作, 其集电极电流 I_{C1} 就是 T_2 管基极的抽出电流, 这股电流的大小决定于 T_1 的工作状态。这股电流是流入导通的前级门输出管集电极的。前级门导通时, 其 T_2 的基极驱动电流为 $I_{B2} = I_{R1} = (V_{CC} - V_{B1})/R_1 = (5\text{ V} - 1.4\text{ V})/4\text{ k}\Omega = 0.9\text{ mA}$, 设 $\beta_2 = 20$, 则 $I_{C2} \geq \beta_2 I_{B2} = 18\text{ mA}$ 时, T_2 管脱离饱和。即前级门所能吸收的电流极限值为 18 mA 。本级门 T_1 管的基极电流 $I_{B1} = I_{R1} = \frac{V_{CC} - V_{B1}}{R_1} = 1\text{ mA}$, 设 $\beta_1 = 20$, 则 $\beta_1 I_{B1} = 20\text{ mA}$ 。而前级门所能吸收的电流极限值为 18 mA , 若前级门带 N 个负载, 则有:

$$I_{E1} = 18\text{ mA}/N = I_{B1} + I_{C1}$$

$$I_{C1} = I_{B1} - I_{E1} = \frac{(18 - N)\text{ mA}}{N}$$

如设 $N = 2$, 则 $I_{C1} = 8\text{ mA}$, $\beta_1 I_{B1} = 20\text{ mA} > 8\text{ mA} = I_{C1}$, T_1 管工作于饱和区。

由于 T_1 管在这个过程中工作于饱和区, 它的集电结和初态一样为正偏, 所以集电区储存电荷基本不变, T_1 管状态的变化主要是: A 端发射结势垒电容和扩散电容的充电; 其余 $N - 1$ 个输入端发射结势垒电容的放电, 见图 5-18。这个转变所需要的时间很短, 一般可以忽略。在这同时电容 C_{e1} 、 C_{R1} 、 C_{e2} 、 C_{e2} 要放电, 由于放电电流较大, 所需时间也是可以忽略的。所以电路的储存时间主要是在 T_1 管反抽电流作用下 T_2 管的储存时间。

晶体管的储存时间是和晶体管的饱和状态紧密相关的。晶体管集电极电流受外电路限制达到最大值 I_{CM} 时, 基区少于电荷分布如图 5-19 曲线 a 所示, 这时基区积累的电荷 Q_b 正比于曲线 a 下的面积。基极电流 I_B 的作用是提供基区复合所需要的电流, 其值为 $I_C/\beta = I_{CM}/\beta$ 。若现在基极电流增大到 $I_B > I_{CM}/\beta$, 那么 $(I_B - I_{CM}/\beta)$ 的过驱动电流提供的多余空穴, 会使集电结正偏, 晶体管饱和。由于集电结正偏, 基区向集电区注入空穴, 集电区

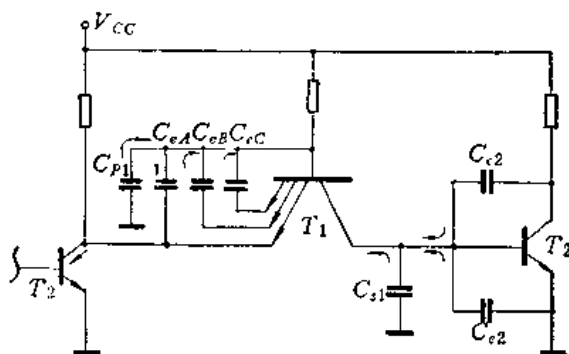


图5-18 分析 t_s 的等效电路

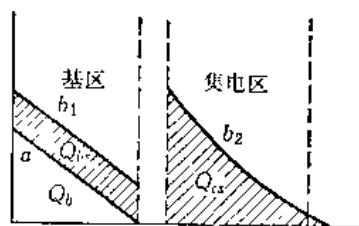


图5-19 晶体管饱和时少数电荷分布图

也向基区注入电子, 稳定后少子电荷分布如图 5-19 曲线 b_1 、 b_2 所示。曲线下方的电荷 $Q_{br} + Q_{es}$ 称为超量储存电荷。对于集成电路中的晶体管, Q_{br} 比 Q_{es} 少得多, 一般可忽略。

储存时间 t_s 就是抽出这些超量储存电荷所需要的时间。 T_1 管正向工作后, 使 T_2 超量储存电荷减少的电流有: T_1 管的反抽电流 I_{B2}^1 , 集电区少子复合电流 Q_{es}/τ_{pe} , 基区少子复合电流 I_{CM2}/β_2 。所以有:

$$dQ_{es}/dt = -(I_{B2}^1 + Q_{es}/\tau_{pe} + I_{CM2}/\beta_2) \quad (5-38)$$

将上式积分就可求出 t_s :

$$\begin{aligned} \int_0^{t_s} dt = t_s &= - \int_{Q_{es}(0)}^0 \frac{dQ_{es}}{I_{B2}^1 + \frac{Q_{es}}{\tau_{pe}} + \frac{I_{CM2}}{\beta_2}} \\ &= \tau_{pe} \ln \frac{I_{B2}^1 + \frac{Q_{es}(0)}{\tau_{pe}} + \frac{I_{CM2}}{\beta_2}}{I_{B2}^1 + \frac{I_{CM2}}{\beta_2}} \end{aligned}$$

即

$$t_s = \tau_{pe} \ln \frac{I_{B2}^1 + \frac{Q_{es}(0)}{\tau_{pe}} + \frac{I_{CM2}}{\beta_2}}{I_{B2}^1 + \frac{I_{CM2}}{\beta_2}} \quad (5-39)$$

式中的 $Q_{es}(0)$ 是退饱和过程前集电区的超量储存电荷, 它是由基区的过量驱动电流 $(I_{B2}^0 - I_{CM2}/\beta_2)$ 积累起来的, 所以有:

$$Q_{es}(0) = \tau_{pe}(I_{B2}^0 - I_{CM2}/\beta_2) \quad (5-40)$$

式中的 I_{B2}^0 是 T_2 管饱和时的驱动电流, 所以 I_{B2}^0 为:

$$I_{B2}^0 = \frac{V_{CC} - V_{BE1}}{R_1} = \frac{5 \text{ V} - 1.4 \text{ V}}{4 \text{ k}\Omega} = 0.9 \text{ mA}$$

式 (5-39) 中的 I_{B2}^1 是退饱和过程中 T_2 管的基极抽出电流, 它一方面受到驱动门 T_2 管吸收能力的限制, 另一方面在抽出集电区超量储存电荷时, 还受到集电极回路最大电流 I_{CM2} 的限制, 故 I_{B2}^1 是这两者当中的小者。

$$I_{CM2} = I_{K2} + I_{OL} = -\frac{V_{CC} - V_{OL}}{R_2} + N \frac{V_{CC} - (V_{BE0} - V_{OL})}{R_1}$$

当带二个负载门时, $I_{CM2} \approx 1.1 \text{ mA} + 2 \text{ mA} = 3.1 \text{ mA}$ 。则取后者, $I_{B2}^1 = 3.1 \text{ mA}$ 。

从上面的分析可知: (1) 电路储存时间 t_s 主要由集电区少子寿命 τ_{pe} 决定, 采用掺金工艺, 可显著降低 t_s 。(2) 降低输出管 T_2 的饱和深度, 可减少超量储存电荷 ($Q_{es}(0)$), 缩短储存时间。(3) 有可能的话, 增大反抽电流 I_{B2}^1 , 也是缩短 t_s 的办法。TTL 电路由于多射极管的反抽作用, 反抽电流 I_{B2}^1 比 DTL 电路大得多, 故使 TTL 电路的速度比 DTL 的高得多。

〔例 3〕 t_s 的数值例子。

设 $\tau_{pe} = 20 \text{ ns}$, $\beta_2 = 20$, $I_{B2}^1 = 3.1 \text{ mA}$, $I_{B2}^0 = 0.9 \text{ mA}$, $I_{CM2} = 3.1 \text{ mA}$ 。将上述数据代入 (5-40) 式算得:

$$Q_{es}(0) = 20 \text{ ns}(0.9 \text{ mA} - 3.1 \text{ mA}/20) = 14.9 (\text{ns})(\text{mA})$$

由式 (5-39) 算得

$$t_s = 20 \text{ ns} \ln \frac{3.1 + 14.9/20 + 3.1/20}{3.1 + 3.1/20} \approx 20 \text{ ns} \times 0.205 = 4.1 \text{ ns}$$

$I_{B2}^0 = 0.9 \text{ mA}$ 、 $I_{CM2} = 3.1 \text{ mA}$ 时, T_2 管的饱和度 $S = \frac{\beta_2 I_{B2}^0}{I_{CM2}} \approx 6$, 若设 $S = 2$, 则

$I_{B2}^0 = 0.9 \text{ mA}$, $I_{CM2} = \frac{18 \text{ mA}}{2} = 9 \text{ mA}$, 这时由式 (5-40) 算得:

$$Q_{e2(t)} = 20 \text{ ns}(0.9 \text{ mA} - 0.45 \text{ mA}) = 9 (\text{ns})(\text{mA})$$

设驱动门和被测门的负载数 $N = 2$, 由前面的分析知: 抽出电流 $I_{B2}^1 = I_{C1} = 8 \text{ mA}$ 。
 $I_{CM2} = 9 \text{ mA}$ 。由式 (5-39) 算得:

$$t_r = 20 \text{ ns} \ln \frac{8 + 0.45 + 0.45}{8 + 0.45} \approx 1.0 \text{ ns}$$

4. 上升时间 t_r

电路的上升时间 t_r 是输出电平从低电平上升到高电平所需要的时间。它所对应的是 T_2 管的电流下降和 C_A 电容 (包括负载电容 C_L 、 T_2 管隔离结电容 C_{j2} 和电阻 R_2 的寄生电容 C_{K2}) 的充电过程。

在 T_2 管的电流下降过程中, 与描述电流上升过程的式 (5-19) 类似, 有:

$$-(I_{B2}^1 + I_{C2}/\beta_2) = (r_{e2}C_{e2} + \tau_b) \frac{dI_{C2}}{dt} - C_{e2} \frac{dV_{C2}}{dt} \quad (5-41)$$

式中 I_{B2}^1 是 T_2 管基极抽出电流, 复合电流 I_{C2}/β_2 在电流下降过程中的作用和抽出电流相同。

但类似于式 (5-20) 的集电极电流的公式, 在输出电平上升过程中的不同阶段是不同的: 从 T_2 管脱离饱和到输出电平 $V_o = 0.7 \text{ V}$ 时 (所需时间为 t_{r1}) 为一个阶段, 在这阶段 (见图 5-20) 有:

$$I_{C2} = I_{K2} + I_L - C_A \frac{dV_o}{dt} = \frac{V_{CC} - V_o}{R_2} + N \frac{V_{CC} - (V_o + V_{be1})}{R_1} - C_A \frac{dV_o}{dt} \quad (5-42)$$

因为在这一阶段负载门的 T_1 管正向导通, 故带 N 个负载门时有负载电流

$$I_L = N \frac{V_{CC} - (V_o + V_{be1})}{R_1}$$

流入 T_2 管。

从 V_o 大于 0.7 V 到 T_2 管截止前这一阶段 (所需时间为 t_{r2}) 近似有:

$$\begin{aligned} I_{C2} &\approx I_{K2} - C_A \frac{dV_o}{dt} \\ &= \frac{V_{CC} - V_o}{R_2} - C_A \frac{dV_o}{dt} \end{aligned} \quad (5-43)$$

因为在这阶段, 负载门 T_1 管基极电位上升到 1.4 V , 故 I_{K1} 电流流向其后的 T_2 管, 负载电流 $I_L = 0$ 。

T_2 管截止后到 C_A 充电到高电平 V_{OH} 时 (这一阶段所需时间为 t_{r3}) 有:

$$C_A \frac{dV_o}{dt} = \frac{V_{CC} - V_o}{R_2} \quad (5-44)$$

联立求解方程 (5-41) 和 (5-42) 可求出 t_{r1} , 联立求解 (5-41) 和 (5-43) 可求出 t_{r2} 。 $t_r = t_{r1} + t_{r2} + t_{r3}$ 。但这些都是数值解, 解起来既麻烦, 而且影响 t_r 的因素又不容易看

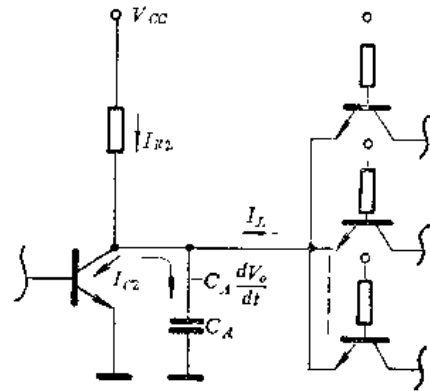


图5-20 分析 t_r 的等效电路图

清。为了给出解析形式的解,我们把输出波形上升过程,看成 T_2 管的电流下降过程和 C_A 的充电过程,近似地把电路上升时间看成这两个过程的时间 t_{r1} 和 t_{r2} 之和。

根据晶体管原理和式 (5-37), t_{r1} 为:

$$t_{r1} = \beta_2 \left(\frac{1}{2\pi f_{T2}} + C_{e2} R_2 + \frac{C_A R_2}{\beta_2} \right) \ln \frac{I_{B2}^2 + I_{CM2}/\beta_2}{I_{B2}^2} \quad (5-45)$$

式中的 I_{CM2} 为:

$$I_{CM2} = I_{R2} + I_{OL} = \frac{V_{CC} - V_{OL}}{R_2} + N \frac{V_{CC} - (V_{be0} + V_{OL})}{R_1} \quad (5-46)$$

式中 I_{B2}^2 是 T_2 管电流下降过程中抽出电流的平均值, 因刚脱离饱和时 $I_{B2}^2 = I_{B2}^1$, 截止时 $I_{B2}^2 = 0$, 故:

$$I_{B2}^2 = \frac{1}{2} I_{B2}^1$$

t_{r2} 可从方程 (5-44) 中求得。根据边界条件 $V_o(0) = V_{OL}$, $V_o(t_{r2}) = V_{OH}$, 解 (5-44) 得:

$$t_{r2} = C_A R_2 \ln \frac{V_{CC} - V_{OL}}{V_{CC} - V_{OH}} \quad (5-47)$$

而总的电路上升时间 $t_r = t_{r1} + t_{r2}$:

$$t_r = \beta_2 \left(\frac{1}{2\pi f_{T2}} + C_{e2} R_2 + \frac{C_A R_2}{\beta_2} \right) \ln \frac{I_{B2}^1/2 + I_{CM2}/\beta_2}{I_{B2}^1/2} + C_A R_2 \ln \frac{V_{CC} - V_{OL}}{V_{CC} - V_{OH}} \quad (5-48)$$

由此可见, 缩短电路上升时间的办法是: ①提高 f_{T2} , 减小 C_{e2} 、 R_2 , ②减少负载电容和 T_2 管衬底寄生电容 C_A , ③增大抽出电流 I_{B2}^1 。

〔例 4〕 t_r 的数值例子。

设 $C_{e2} = 0.74 \text{ pF}$, $C_{e2} = 1.78 \text{ pF}$, $C_{R2} = 0.73 \text{ pF}$, $f_{T2} = 300 \text{ MHz}$, $V_{OH} = 3 \text{ V}$, $V_{OL} = 0.3 \text{ V}$, $\beta_2 = 20$, $V_{CC} = 5 \text{ V}$, $I_{B2}^1 = 3.1 \text{ mA}$, $I_{CM2} = 3.1 \text{ mA}$ 。

在 $R_2 = 4 \text{ k}\Omega$, $C_L = 5 \text{ pF}$ 时, 代入式 (5-48) 算得:

$$t_r = 20(0.53 + 2.96 + 1.50) \ln \frac{1.55 + 0.155}{1.55} + 30.4 \ln \frac{4.7}{2} \\ \approx 9.5 + 25.9 = 35.4 (\text{ns})$$

在 $R_2 = 1 \text{ k}\Omega$, $C_L = 5 \text{ pF}$ 时算得:

$$t_r \approx 3.14 + 6.42 = 9.56 (\text{ns})$$

在 $R_1 = 4 \text{ k}\Omega$, $C_L = 0$ 时算得:

$$t_r \approx 7.55 + 8.54 = 16.09 (\text{ns})$$

三、门电路的平均传输延迟时间

门电路实际使用时, 一个门的输入往往是另一个门的输出, 所以实际的输入波形不是理想阶跃波, 而是如图 5-21 所示。由图可见, 输入电压上升过程, 对应着输出电压的下降过程。定义从输入电压上升边的中点到输出电压下降边的中点所需的时间为导通延迟时间 t_{PHL} 。输入电压的下降过程, 对应着输出电压的上升过程。定义从输入电压下降边的中点到输出电压上升边的中点所需的时间, 为截止延迟时间 t_{PLH} 。从图 5-21 的波形, 可以找出 t_{PHL} 、 t_{PLH} 和 t_d 、 t_f 、 t_s 、 t_r 的关系如下:

$$t_{pHL} = t_d + \frac{t_i}{2} - \frac{t_r}{2} \quad (5-49)$$

$$t_{pLH} = t_s + \frac{t_r}{2} \quad (5-50)$$

定义平均传输延迟时间 t_{pd} 为:

$$t_{pd} = \frac{1}{2} (t_{pHL} + t_{pLH}) = \frac{t_d + t_s + t_i/2}{2} \quad (5-51)$$

它反映了信号通过一级门所延迟的时间。

利用上式计算 t_{pd} 时, 根据前面的分析, t_s 和 t_i 可用式 (5-39) 和 (5-37) 给出的结果, 但 t_d

必须作适当的修正。因为在非阶跃输入波条件下, 电流 I_{K1} 不是在延迟阶段一开始就全部用来对 B_1 、 B_2 节点电容 $C_{B1,2}$ 充电的, 而是一部分从输入端流出, 一部分给电容充电。随着 V_i 的上升, 用来充电的部分越来越大。可见, t_d 是和 t_r 有关的, t_r 越大, t_d 也就越大。但 t_d 和 t_r 之间的严格定量关系比较难求, 下面我们只作近似分析。

把输入波近似看作线性上升, 则其上升速度为:

$$\Delta V_i / \Delta t = \frac{V_{OH} - V_{OL}}{t_r}$$

I_{K1} 全部用来对节点电容 $C_{B1,2}$ 充电, 则 V_{B1} (V_{B2}) 的上升速度为:

$$\Delta V_{B1} / \Delta t = \frac{I_{K1}}{C_{B1,2}}$$

$$C_{B1,2} = (N-1)C_{eB} + C_{R1} + C_{s1} + C_{e2} + C_{e2}$$

若 $\Delta V_i / \Delta t < \Delta V_{B1} / \Delta t$, 即 t_r 比较大, 输入波形上升缓慢, 这时 t_d 由 $\Delta V_i / \Delta t$ 决定:

$$t_d = \frac{\Delta V_{B1}}{V_{OH} - V_{OL}} t_r \quad (5-52)$$

若 $\Delta V_i / \Delta t \gg \Delta V_{B1} / \Delta t$, 即 t_r 很小, 输入波形上升很快, 那么可忽略 t_r 对 t_d 的影响, t_d 近似可用阶跃输入条件下的结果。

〔例 5〕 t_{pd} 的数值例子。

设 $I_{K1} = 0.9 \text{ mA}$ 、 $V_{OH} - V_{OL} = 2.7 \text{ V}$ 、 $t_i = 4 \text{ ns}$ 、 $t_s = 4 \text{ ns}$ 、 $t_r = 36 \text{ ns}$, 在阶跃输入条件下 $t_d = 1 \text{ ns}$ 。

先检查 $\Delta V_i / \Delta t$ 和 $\Delta V_{B1} / \Delta t$ 。由所给数据, 有:

$$\Delta V_i / \Delta t = \frac{2.7 \text{ V}}{36 \text{ ns}} \approx 0.07 \text{ V/ns}$$

$$\Delta V_{B1} / \Delta t = \frac{I_{K1}}{C_{B1,2}} = \frac{0.9 \text{ mA}}{7.24 \text{ pF}} \approx 0.12 \text{ V/ns}$$

$\therefore$

$$\Delta V_i / \Delta t < \Delta V_{B1} / \Delta t$$

t_d 由 $\Delta V_i / \Delta t$ 决定:

$$t_d = \frac{\Delta V_{B1}}{V_{OH} - V_{OL}} t_r = \frac{0.3}{2.7} 36 \text{ ns} = 4 \text{ ns}$$

代入式 (5-51), 得:

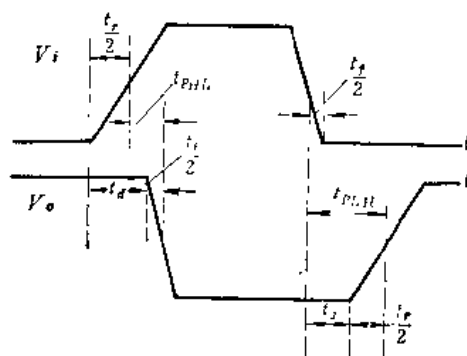


图5-21 输入输出电压波形和开关时间的定义

$$t_{pd} = \frac{4 + 4 + 2}{2} \text{ ns} = 5 \text{ ns}$$

若其它数据不变, 但 $t_r = 10 \text{ ns}$, 试求 t_{pd} 。

由所给数据有:

$$\Delta V_i / \Delta t = \frac{2.7}{10 \text{ ns}} = 0.27 \text{ V/ns} > 0.12 \text{ V/ns} = \Delta V_{B1} / \Delta t$$

所以近似地仍可用 $t_d = 1 \text{ ns}$ 。

$$t_{pd} = \frac{1 \text{ ns} + 4 \text{ ns} + 2 \text{ ns}}{2} = 3.5 \text{ ns}$$

一个门电路的主要瞬态特性, 可由几个开关时间来标志。实际使用的门电路, 有的仅对 t_{pd} (t_{PHL} 、 t_{PLH}) 有要求, 有的除对 t_{pd} 有要求外, 还对上升边 (t_r)、下降边 (t_f) 有一定的要求。所以一般电路只给出 t_{PHL} 、 t_{PLH} , 而有些电路还需给出 t_r 和 t_f 。为了便于测试, 规定 t_r 、 t_f 分别是上升边幅值的 10% 到 90% 和下降边幅值的 90% 到 10% 所需要的时间。

四、瞬态分析小结——如何提高电路速度

从上面的分析可看出, 电路的瞬态过程实质上是电容的充放电过程和晶体管内部电荷的积累和抽出过程, 电荷的积累和抽出过程也可看成扩散电容的充放电过程。因此要提高电路速度无非是从减小电容和增大充放电电流两方面着手。从版图设计上考虑, 减小晶体管 and 电阻的面积对减小结电容有利; 从工艺上考虑, 减薄外延层、浅结扩散等对减小势垒电容和扩散电容有利。当然掺金工艺能显著降低集电区少子寿命 τ_{ps} , 是饱和型电路提高速度的关键工艺措施之一。

从线路设计上考虑, 适当减小回路电阻的阻值, 可增大充放电电流。例如减小 R_1 , 可使 I_{R1} 增大而有利于缩短 t_d 、 t_f ; 减小 R_2 , 对缩短 t_r 、 t_f 有显著作用。应该注意电路导通过程和截止过程对 I_{R1} 的要求是矛盾的, I_{R1} 大, 对下降边有利, 但 T_2 管饱和得深, 使 t_r 增加。还应注意, 减小回路电阻会使电路直流特性变坏, 如使 I_{IL} 、 I_{CCL} 、 I_{CCH} 增大, 所以要谨慎。

从上面的分析还可看出: 比起 T_1 管来, T_2 管是保证电路速度的关键元件, 它的开关特性 (f_{T2} 、 C_{e2})、饱和深度和抽出电流等因素, 对 t_{pd} 有很大的影响。

从上面的分析中也可以看出, 电路的速度和功耗是一对互相矛盾的参数, 提高电路速度的办法之一是增大电路的充放电电流, 这就增加了电路的功耗, 因此, 高速电路的功耗往往比较大。

5.2 五管单元 TTL“与非”门

5.2.1 五管单元的引入

一、简易门需要改进

由于 T_1 管在截止瞬态的反抽作用, TTL 电路比起 DTL 电路来, 速度有了很大的提高。由于简易门有线路结构简单, 芯片面积小等优点, 故它至今仍是对负载能力要求不高的内部门的基本结构单元。

简易 TTL 与非门的主要缺点是负载能力低。

负载能力的高低可由输出高电平和输出低电平两种情况来判断。输出高电平时:

$$V_{OH} = V_{CC} - N_H I_{IH} R_2 \quad (5-53)$$

由于电路输入端的晶体管作用, 式中的 I_{IH} 比 DTL 的输入二极管漏电流大得多。而且为保证 I_{CCH} 小, R_2 又选得比较大, 所以要保证 V_{OH} 合格, N_H 不可能很大。

在输出低电平时, 由式 (5-12) 和 (5-15) 得:

$$V_{OL} = V_{CES0} + \left(N_L I_{IL} + \frac{V_{CC} - V_{OL}}{R_2} \right) r_{e2} \quad (5-54)$$

由式 (5-54) 可见, 在保证 V_{OL} 合格的前提下, 要多带负载, 除了在版图设计和制造过程中采用适当措施使 r_{e2} 尽量小外, 还应保证 T_2 管饱和得足够深, 以使 V_{CES0} 小, 这就要求 T_2 基极驱动电流足够大, 以满足:

$$\beta_2 I_{B2} \gg N_L I_{IL} + \frac{V_{CC} - V_{OL}}{R_2} \quad (5-55)$$

由于简易门 T_1 管的集电极电流直接驱动 T_2 管, 所以:

$$I_{B2} = I_{B1} = I_{K1} = \frac{V_{CC} - V_{B1}}{R_1} = 0.9 \text{ mA}$$

这样的驱动电流, 所能带动的负载门数 N_L 是很小的。当然减小 R_1 可使 I_{B2} 增大, 但这也同时使 I_{IL} 增大了。

负载能力低的另一个表现还可以从瞬态特性看到。在截止瞬态, 为了保证电路输出电平能及时升上去, 要求有较大的电流 I_{K2} 对负载电容 C_L 充电。由于简易门中 R_2 受到功耗等参数的限制, 不能取得太小, 充电电流 I_{K2} 不大, 所以能带的负载门数不多。

二、五管单元 TTL “与非” 门的引入

从上面的分析看出, 要提高简易 TTL 与非门的负载能力而又不明显增加功耗的条件是: (1) 用可变电阻代替 R_2 。这个可变电阻应有这样的性能: 电路导通时, 它是个大电阻, 使 $\frac{V_{CC} - V_{OL}}{R_2}$ 小; 电路截止时是个小电阻,

使 $I_{OH} R_2$ 小; 在电路截止瞬态, 它也是个电阻, 使充电电流 I_{K2} 大。(2) 在不增加 I_{IL} 的条件下, 增大 I_{B2} 。

满足上述要求的电路如图 5-22 所示。它是个五管单元 TTL “与非” 门。在输入管 T_1 和输出管 T_5 之间, 插入了 T_2 管。 T_2 管是个双向输出管, 集电极输出给 T_3 管; 发射极输出给 T_5 管。插入这个 T_2 管后, 由于经过它的放大, 就在不增加 I_{IL} 的条件下, 增大了输出管 T_5 的驱动电流 I_{B5} 。 T_3 、 T_4 和 R_5 构成的有源网络, 是一个可变电阻, 从下面的分析可以看出, 它满足对它的三条要求。

1. 电路导通态

当电路全部输入端都接高电平时, T_1 管反向工作, 电流从其集电极流出经 T_2 放大后, 驱动 T_5 管使其饱和, 输出低电平。此时:

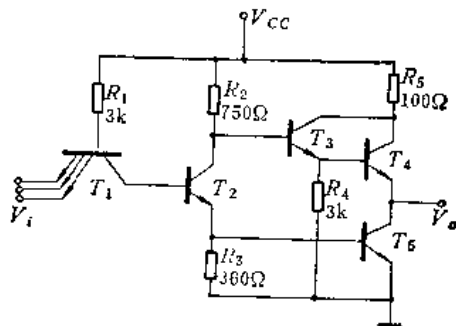


图5-22 五管单元TTL “与非” 门

$$V_{B5} = 0.8 \text{ V}$$

$$V_{B2} = V_{be2} + V_{be5} = 0.75 \text{ V} + 0.8 \text{ V} = 1.55 \text{ V}$$

$$V_{B1} = 2.2 \text{ V}$$

$$I_{R2} = \frac{V_{CC} - V_{B1}}{R_1} \approx 0.9 \text{ mA}$$

T_2 管的基极驱动电流为 0.9 mA ，而它的最大集电极电流 I_{CM2} ，由于 R_2 电阻的限制为：

$$I_{CM2} = \frac{V_{CC} - V_{C2}}{R_2} = \frac{5 \text{ V} - 1 \text{ V}}{760 \Omega} \approx 5.3 \text{ mA}$$

设 $\beta_2 = 20$ ，则：

$$S = \beta_2 I_{B2} / I_{CM2} = \frac{18 \text{ mA}}{5.3 \text{ mA}} = 3.4$$

可见 T_2 管工作于深饱和态。而

$$I_{E2} = I_{B2} + I_{C2} = 6.2 \text{ mA}$$

T_5 管的驱动电流 I_{B5} 为：

$$I_{B5} = I_{E2} - I_{K3} = I_{E2} - \frac{V_{be5}}{R_3} = 4.0 \text{ mA}$$

T_3 、 T_4 的 be 结串接在两个饱和晶体管 T_2 和 T_5 的集电极之间，所跨电压为：

$$V_{C2} - V_{C5} = V_{be5} + V_{ce5} - V_{OL} \approx 0.7 \text{ V}$$

所以只有 T_3 导通， T_4 截止。 T_3 、 T_4 和 R_5 组成的“可变”电阻，这时呈现出大电阻特性。

这时流过 R_4 的电流 I_{R4} 为：

$$I_{R4} = \frac{V_{C2} - V_{be0}}{R_4} = 0.10 \text{ mA}$$

这也就是 T_3 的发射极电流 I_{E3} 。设 $\beta_3 = 20$ ，则：

$$I_{B3} = I_{E3} / \beta_3 + 1 \approx 5 \mu\text{A}$$

2. 电路截止态：

当电路有一个或一个以上输入端接低电平时， T_1 管正向饱和，基极电位为：

$$V_{B1} = V_{be0} + V_{OL} = 1 \text{ V}$$

$$V_{B2} = V_{ce5} + V_{OL} = 0.4 \text{ V}$$

T_2 管截止。此时 T_1 的基极电流为：

$$I_{B1} = \frac{V_{CC} - V_{B1}}{R_1} \approx 1.3 \text{ mA}$$

由于这时 T_5 管的基极驱动电流为 0，所以该管截止。

T_2 截止时，从电源经电阻 R_2 、 T_3 管的 be 结和电阻 R_4 到地构成一个回路（见图5-23）。

由于 $(\beta_4 + 1)I_{B4} = I_{OH}$ ， I_{OH} 不大，一般 I_{E4} 可忽略。这样得到回路方程：

$$I_{B1}R_2 + V_{be0} + I_{E3}R_4 = V_{CC}$$

由于 $R_2 = 750 \Omega$ ， $R_4 = 3 \text{ k}\Omega$ ， $I_{B3} < I_{E3}$ ，可忽略 $I_{B3}R_2$ ，得：

$$I_{E3} = \frac{V_{CC} - V_{be0}}{R_4} \approx 1.41 \text{ mA}$$

假设 $\beta_3 I_{B3} = I_{C3}$ 成立, $\beta_3 = 20$, 则:

$$I_{B3} = I_{E3} / \beta_3 + 1 \approx 70 \mu\text{A}$$

$$I_{C3} = \beta_3 I_{B3} \approx 1.4 \text{ mA}$$

现在来检查 T_3 的工作状态, 看 $\beta_3 I_{B3} = I_{C3}$ 的假设是否成立。忽略 T_4 的集电极电流, T_3 集电极电位为:

$$V_{C3} = V_{CC} - I_{C3} R_5 = 5 \text{ V} - 0.14 \text{ V} = 4.86 \text{ V}$$

T_3 的基极电位 V_{B3} 为:

$$V_{B3} = V_{CC} - I_{B3} R_2 = 5 \text{ V} - 0.05 \text{ V} = 4.95 \text{ V}$$

T_3 基极电位只比其集电极电位高出 0.09 V , 说明 T_3 管虽工作在饱和区, 但饱和得很浅 (称为微饱和), $\beta_3 I_{B3} = I_{C3}$ 的假设仍近似成立。

T_4 的基极电位 V_{B4} 为:

$$V_{B4} = V_{CC} - I_{B3} R_2 - V_{BE0} = 5 \text{ V} - 0.05 \text{ V} - 0.7 \text{ V} \approx 4.25 \text{ V}$$

而它的集电极电位 $V_{C4} = V_{C3} = 4.86 \text{ V}$, 可见 T_4 管工作在正向导通状态。这说明, 电路截止时, T_3 、 T_4 和 R_5 电阻构成的“可变电阻”呈现小电阻状态。

现将电路导通和截止时各管工作状态归纳成表5-3。

表5-3 五管单元与非门各管工作状态

晶体管	工作状态		基极电流		集电极电流		基极电位	
	开态	关态	开态	关态	开态	关态	开态	关态
T_1	反相有源	正向饱和	0.9 mA	1.3 mA	0.9 mA	0	2.2 V	1 V
T_2	饱和	截止	0.9 mA	0	5.3 mA	0	1.55 V	0.4 V
T_3	正向有源	微饱和	$5 \mu\text{A}$	$70 \mu\text{A}$	0.1 mA	1.4 mA	1 V	4.95 V
T_4	截止	正向有源	0	$I_{OH} / (\beta_4 + 1)$	0	I_{OH}	0 V	4.25 V
T_5	饱和	截止	4.0 mA	0	I_{OL}	0	0.8 V	0

3. 截止瞬态

在截止瞬态, 随着 T_2 管电流的下降, 其集电极电位 V_{C2} 不断上升。虽然随着 T_5 电流下降, V_{C5} 也会上升, 但由于 (1) T_2 管一般做得比较小, f_{T2} 高, C_{C2} 小; (2) 由于 T_1 管的反抽作用, 它的抽出电流比 T_5 管的大 (T_5 管通过泄放电阻 R_5 反抽); (3) T_5 管接有较大的负载电容 C_L 等原因, V_{C2} 比 V_{C5} 上升得快, 到截止瞬态的一定阶段, $V_{C2} - V_{C5} = 1.4 \text{ V}$, 这时 T_3 、 T_4 都导通, T_3 、 T_4 、 R_5 电阻构成的“可变电阻”表现为一个小电阻。

由上面的分析可知, T_3 、 T_4 和 R_5 组成的有源网络, 在输出高电平和截止瞬态时, 相当于一个小电阻, 而在输出低电平时又相当于一个大电阻, 网络的这种特性满足了负载能力对它的要求。这种输出结构的电路, 输出高电平时, T_4 导通, T_5 截止; 输出低电平时, T_4 截止, T_5 导通, 这种一开一关、一关一开的推挽输出网络, 常称作图腾柱输出。输出阻抗低, 负载能力强是这种输出网络的特点。

5.2.2 五管单元 TTL “与非” 门的特性

一、静态特性和静态参数

1. 电压传输特性

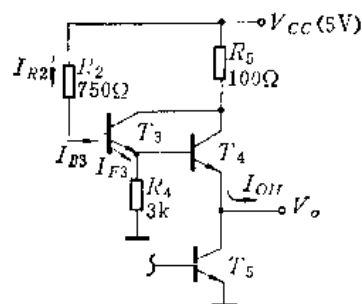


图5-23 分析 T_3 、 T_4 工作状态的等效电路

五管单元 TTL “与非” 门的电压传输特性曲线如图 5-24 所示。

由于在输入管 T_1 和输出管 T_5 之间插入了 T_2 管, 与两管单元的电压传输特性曲线图 5-7 相比, 转折点增多了, 过渡区加宽了。下面按照这些折点将整个电压传输特性曲线分成几段, 对每一段作简单分析。

(1) AB 段 (截止区)

在这一段, 输入电压 $V_i < 0.6 \text{ V}$, T_1 管正向深饱和; $V_{B_2} < 0.7 \text{ V}$, T_2 、 T_5 管截止, 输出为高电平:

$$V_o = V_{OH} = V_{CC} - I_{B_3} R_2 - 2V_{be0} \approx 3.55 \text{ V}$$

在这一段, 电路处于截止态, 输出不随输入变化, 称作截止区。

(2) BC 段 (线性区)

这一段的特点是输出电压 V_o 随输入电压 V_i 的上升而近似线性下降, 故称为线性区。下降的原因是, 当 $V_i \geq 0.6 \text{ V}$ 以后, V_{B_2} 达到 T_2 的正向导通压降, T_2 管开始导通, 它的集电极电流 I_{C_2} 在电阻 R_2 上产生压降 $I_{C_2} R_2$, 使输出电平跟随下降:

$$V_o = V_{CC} - (I_{B_3} + I_{C_2}) R_2 - 2V_{be0} = V_{OH} - I_{C_2} R_2 \quad (5-56)$$

近似线性下降, 就是曲线的斜率 $\Delta V_o / \Delta V_i$ 近似是个负的常数。由式 (5-56) 得 ΔV_o 为:

$$\Delta V_o = -R_2 \Delta I_{C_2} = -R_2 \beta_2 \Delta I_{B_2} \quad (5-57)$$

此时 T_1 管的 be 结和 bc 结都正偏, 故 T_1 管饱和, 所以有:

$$\begin{aligned} V_{B_2} &= V_i + V_{CES1} \\ \Delta V_i &= \Delta(V_{B_2} - V_{CES1}) = \Delta V_{B_2} - \Delta V_{CES1} \end{aligned} \quad (5-58)$$

下面分析一下 T_1 管的饱和压降 V_{CES1} 的变化情况。前面讲过, 电路截止时, T_1 管处于正向深饱和态, 这时 $I_{C_1} = 0$, V_{CES1} 约为 0.1 V 。现在 T_1 管是处于一种特殊的饱和态, 它的集电极电流是流出集电极的, 它的饱和压降为本征饱和压降减去 $I_{C_1} r_{CS1}$, 即:

$$\begin{aligned} V_{CES1} &= (V_{be1} - V_{bc1}) - I_{C_1} r_{CS1} \\ \Delta V_{CES1} &= \Delta V_{be1} - \Delta V_{bc1} - r_{CS1} \Delta I_{C_1} \end{aligned}$$

I_{C_1} 就是 I_{B_2} , 在 T_2 饱和以前, 有:

$$I_{C_1} = I_{B_2} = I_{C_2} / \beta_2 < I_{CM2} / \beta_2 = 5.3 \text{ mA} / 20 \approx 0.26 \text{ mA}$$

即从 T_2 刚开始导通到 T_2 饱和前, I_{C_1} 只变化 0.26 mA 。集电极电流在这样小的范围变化, 相应的 ΔV_{be1} 和 ΔV_{bc1} 是完全可忽略的。设 $r_{CS1} = 50 \Omega$, 那么在 T_2 饱和前有:

$$r_{CS1} \Delta I_{C_1} \leq 0.26 \text{ mA} \times 50 \Omega = 0.013 \text{ V}$$

可见, 在 T_2 饱和前, 可认为 T_1 的饱和压降基本不变, 所以有:

$$\Delta V_i = \Delta V_{B_2} \quad (5-59)$$

在 T_5 导通以前, I_{B_2} 全部流过电阻 R_3 , 故有:

$$\begin{aligned} V_{B_2} &= V_{be0} + I_{B_2} R_3 = V_{be0} + (\beta_2 + 1) I_{B_2} R_3 \\ \Delta V_{B_2} &= (\beta_2 + 1) R_3 \Delta I_{B_2} \end{aligned} \quad (5-60)$$

由式 (5-57)、(5-59) 和 (5-60) 得:

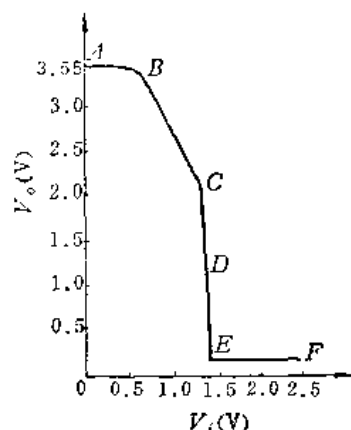


图 5-24 五管单元的电压传输特性

$$\Delta V_o / \Delta V_i = -\beta_2 R_2 \Delta I_{B2} / (\beta_2 + 1) R_3 \Delta I_{B2} \approx -R_2 / R_3 \quad (5-61)$$

由于 R_2/R_3 是常数, 因此在 T_2 导通以后, T_5 导通以前, 电压传输特性曲线的斜率近似为负的常数。

这一段从 T_2 开始导通起到 T_5 行将导通止, 输入电平的范围为:

$$V_{beo2} - V_{CES1} = 0.6 \text{ V} < V_i < V_{beo2} + V_{beo3} - V_{CES1} = 1.3 \text{ V}$$

而输出电平从 $V_o = V_{OH} = 3.55 \text{ V}$ 下降到

$$V_o = V_{OH} - R_2 / R_3 \Delta V_i = V_{OH} - V_{beo} R_2 / R_3 = 2.15 \text{ V}$$

(3) CDE 段 (过渡区)

这段曲线所对应的物理过程是从 T_5 导通到 T_5 饱和。输入电平 V_i 约从 1.3 V (T_5 刚导通) 增加到 1.4 V (T_5 饱和), 而输出电平 V_o 从 2.15 V 下降到 0.3 V 。可见, 电路由输出高电平转变为输出低电平基本上是在这一个区间内完成的, 因此常称它为过渡区。这个区间以 T_5 饱和为转折点, 又可分为 CD 、 DE 两段。

(i) CD 段

当 V_i 超过 1.3 V 以后, T_5 开始导通, 输出电平比线性区下降得更快。在 T_5 饱和以前, 仍有:

$$\Delta V_o = -\beta_2 R_2 \Delta I_{B2}$$

$$\Delta V_i = \Delta V_{B2}$$

但在 T_5 管导通以后, 由于它的发射结的箝位作用, T_2 发射极电位不再随 I_{B2} 的增加而线性上升。此时 T_2 发射极下面是 R_3 和 r_{e5} 的并联网络 (见图 5-25)。 r_{e5} 是 T_5 管导通时的输入阻抗, 它是一个非线性电阻, 当 T_5 管的电流较大时, 它的值很小。

由图 5-25 得 V_{B2} 为:

$$V_{B2} = V_{beo} + I_{B2} (R_3 \parallel r_{e5}) \approx V_{beo} + I_{B2} r_{e5}$$

$$\Delta V_{B2} = r_{e5} \Delta I_{B2} = (\beta_2 + 1) r_{e5} \Delta I_{B2} \quad (5-62)$$

由式 (5-57)、(5-59) 和 (5-62), 得到

$$\Delta V_o / \Delta V_i = -R_2 / r_{e5} \quad (5-63)$$

由于 r_{e5} 比 R_2 小得多, 因而 CD 段曲线的斜率比 BC 段的大得多。

(ii) DE 段

T_3 饱和以前, 由于 I_{B3} 很小, 忽略 I_{B3} 影响的 (5-57) 式是很好的近似。 T_3 进入饱和态后, 这种影响就不能忽略了, 这时我们应重新求 ΔV_o 。

由于 T_3 饱和, 饱和压降变化很小, $V_{CES3} \approx 0.3 \text{ V}$ 所以 V_{C2} 和 V_{C3} 互相跟随:

$$\begin{aligned} V_{C3} &= V_{C2} - V_{be3} = V_{C2} - (V_{be3} - V_{CES3}) \\ &= V_{C2} - (0.7 \text{ V} - 0.3 \text{ V}) = V_{C2} - 0.4 \text{ V} \end{aligned} \quad (5-64)$$

由式 (5-64) 可得:

$$\Delta V_o = \Delta V_{C2} = \Delta V_{C3} = \Delta (V_{CC} - I_{R5} R_5) \approx -R_5 \Delta I_{C5} \quad (5-65)$$

由式 (5-65) 和 (5-62)、(5-59) 得:

$$\Delta V_o / \Delta V_i = -R_5 \Delta I_{C5} / r_{e5} \Delta I_{B2} \approx -R_5 \Delta I_{C5} / r_{e5} \Delta I_{C2} \quad (5-66)$$

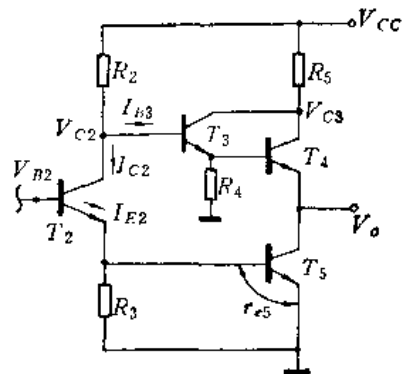


图 5-25

由图 5-25 可得:

$$I_{B5} = I_{E2} - V_{be2}/R_5 \approx I_{C2} - V_{be2}/R_5$$

$$\Delta I_{B5} = \Delta I_{C2} \quad (5-67)$$

而在 T_5 饱和前, 有:

$$I_{C5} = \beta_5 I_{B5} \quad \Delta I_{C5} = \beta_5 \Delta I_{B5} \quad (5-68)$$

将 (5-67) 代入 (5-68) 得:

$$\Delta I_{C5} = \beta_5 \Delta I_{C2} \quad (5-69)$$

将 (5-69) 代入 (5-66) 得:

$$\Delta V_o / \Delta V_i = -R_5 \beta_5 \Delta I_{C2} / r_{e5} \Delta I_{C2} = -\beta_5 R_5 / r_{e5} \quad (5-70)$$

因为一般 $\beta_5 R_5 > R_2$, 所以 T_5 饱和后, 电压传输特性曲线的斜率比 T_5 饱和以前的更大。

(4) EF 段 (饱和区)

这一段曲线的特点是它和水平轴基本平行, 输出电压保持在低电平。这是因为输入电平达到 1.4 V 以后, T_5 进入饱和状态, 输出电平就是它的饱和压降:

$$V_o = V_{OL} = V_{ces5} + N_L I_{IL} r_{CS5} \quad (5-71)$$

输入电平进一步升高, 输出电平不再变化, 只是电路内部各管的状态作相应的变化。 T_5 饱和后, V_{B1} 基本上保持在 2.2 V 左右, 随着 V_i 的升高, $T_1 be$ 结逐渐由正偏转为反偏, 基极电流由从发射极和集电极同时流出, 逐渐转化为全部由集电极流出, T_1 管由正向饱和转入反向有源; 随着从 T_1 管集电极流出的电流的增加, T_2 管逐渐进入饱和区, T_2 进入饱和后, V_{C2} 下降到:

$$V_{C2} = V_{be5} + V_{ces} = 1 \text{ V}$$

此时跨在 T_3 、 T_4 两个串联的 be 结上的总压降只有 0.7 V, 所以 T_4 截止, T_3 正向工作。

作为小结, 我们列出电压传输特性曲线各段上五个管子的工作状态, 如表 5-4 所示。

表 5-4 电压传输特性曲线各段中晶体管状态转换表

工 作 区	V_i (V)	V_o (V)	T_1	T_2	T_3	T_4	T_5
截 止 区	< 0.6	3.55	正向饱和	截 止	微饱和	正向有源	截 止
线 性 区	0.6~1.3	3.55~2.15	正向饱和	正向有源	微饱和 → 正向有源	正向有源	截 止
过 渡 区	1.3~1.4	2.15~0.3	正向饱和	正向有源	正向有源 → 饱和	正向有源	正向有源 → 饱和
饱 和 区	1.4~3.55	0.3	饱和→ 反向有源	正向有源 → 饱和	饱和→ 正向有源	正向有源 → 截止	饱 和

2. 静态参数

参考上节有关静态参数的定义, 很容易确定五管单元 TTL “与非” 门的主要静态参数。

(1) 负载能力

(i) 输入短路电流 I_{IL}

I_{IL} 是电路输入端接地时, 由 T_1 的发射极流到地的电流, 它为:

$$I_{IL} = \frac{V_{CC} - V_{be2}}{R_1} = \frac{5 \text{ V} - 0.7 \text{ V}}{3 \text{ k}\Omega} \approx 1.4 \text{ mA}$$

(ii) 输入反向漏电流 I_{IH}

I_{in} 是一个输入端接高电平, 其它输入端接地时, 从接高电平的输入端流进电路的电流, 这就是反向运用晶体管的集电极电流, 主要由 T_1 管的 β_r 决定:

$$I_{in} = \beta_r \frac{V_{cc} - V_{beo}}{R_1} = \beta_r I_{IL}$$

版图设计时, 采取一定措施, 一般能保证 $\beta_r \leq 0.02$, 故:

$$I_{in} \leq 0.02 I_{IL} = 28 \mu A$$

(2) 抗干扰能力

(i) 输出高电平 V_{OH} :

$$V_{OH} = V_{cc} - I_{R3} R_2 - 2V_{beo} \approx 3.55 V$$

(ii) 输出低电平 V_{OL} :

$$V_{OL} = V_{ceo} + N_L I_{IL} r_{CS5}$$

(iii) 最小输入高电平 (开门电平) V_{IH}

从上面讨论的电压传输特性曲线可知:

$$V_{IH} \approx 1.4 V$$

(iv) 最大输入低电平 (关门电平) V_{IL}

根据定义, 关门电平 V_{IL} 对应于电压传输特性曲线上的一个特殊转折点: 当 $V_i < V_{IL}$ 时, 电路截止, 输出高电平; 当 $V_i > V_{IL}$ 时, 电路由关态向开态急剧转变。由于五管单元电压传输特性曲线上存在着缓慢变化的线性区, 找不到这样的转折点, 所以我们规定: 输出电平为输出高电平额定值 (比如 3 V) 的 90% 时的输入电平为关门电平 V_{IL0} 。

将电压传输特性曲线的 BC 段重画于图 5-26。由图

可知:

$$(V_{OH} - V_0) / (V_{IL} - V_{I0}) = R_2 / R_3$$

$$V_{IL} = (V_{OH} - V_0) R_3 / R_2 + V_{I0}$$

将 $V_{OH} = 3.55 V$ 、 $V_0 = 2.7 V$ 、 $R_3 / R_2 \approx 2$ 、 $V_{I0} = 0.6 V$ 代入上式得:

$$V_{IL} \approx 1.0 V$$

显然 V_{IL} 与比值 R_3 / R_2 有关, 比值越大, V_{IL} 越大, V_{NL} 越高。

(3) 静态功耗

(i) 空载导通电源电流 I_{CCL}

根据上面对电路导通态时的分析, 可知:

$$I_{CCL} = I_{R1} + I_{R2} + I_{R4}$$

因为:

$$I_{R1} = \frac{V_{cc} - V_{R1}}{R_1} = \frac{5 V - 2.2 V}{3 k\Omega} \approx 0.9 mA$$

$$I_{R2} = \frac{V_{cc} - V_{C2}}{R_2} = \frac{5 V - 1 V}{0.75 k\Omega} \approx 5.3 mA$$

$$I_{R4} = \frac{V_{C2} - V_{beo}}{R_4} = \frac{1 V - 0.7 V}{3 k\Omega} = 0.1 mA$$

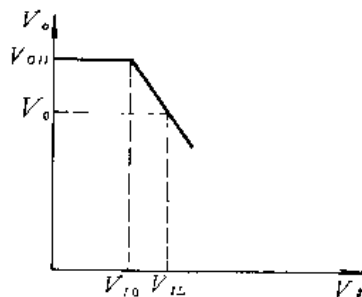


图 5-26 计算 V_{IL} 的图

所以

$$I_{CCL} = 6.3 \text{ mA}$$

(ii) 空载截止电源电流 I_{CCH}

根据对关态的分析, 可知:

$$I_{CCH} = I_{R1} + I_{R4}$$

因为:

$$I_{R1} = \frac{V_{CC} - V_{BE1}}{R_1} = \frac{5 \text{ V} - 1 \text{ V}}{3 \text{ k}\Omega} \approx 1.3 \text{ mA}$$

$$I_{R4} = \frac{V_{CC} - V_{BE2}}{R_4} = \frac{5 \text{ V} - 0.7 \text{ V}}{3 \text{ k}\Omega} \approx 1.4 \text{ mA}$$

所以

$$I_{CCH} = 2.7 \text{ mA}$$

电路工作时平均静态电流为:

$$I_{CC} = \frac{1}{2} (I_{CCL} + I_{CCH}) = \frac{1}{2} (6.3 \text{ mA} + 2.7 \text{ mA}) = 4.5 \text{ mA}$$

所以平均静态功耗 $\bar{P}$ 为:

$$\bar{P} = I_{CC} V_{CC} = 4.5 \text{ mA} \times 5 \text{ V} = 22.5 \text{ mW}$$

可见静态功耗和电阻 R_1 、 R_2 、 R_4 的阻值有关。由上面的计算看到 I_{R2} 是功耗电流中的主要项, 改变 R_2 阻值, 能明显改变功耗值。

二、瞬态特性

由于五管单元电路结构比二管单元复杂, 所以五管单元的瞬态过程和描写整个过程的微分方程比二管单元的复杂得多, 但处理这两个瞬态问题的方法是相同的。为了避免繁琐的数学问题, 下面只对整个过程的定性分析。

图 5-27 是分析瞬态特性用的电路图。图中各电容为:

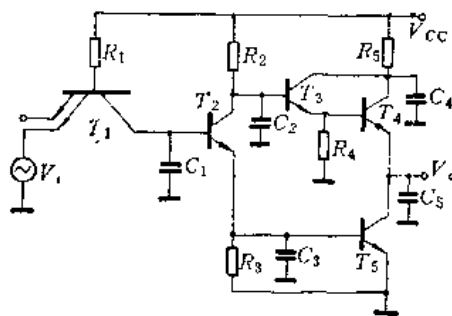


图5-27 分析瞬态特性用的图

$$C_1 = (N - 1) C_{e1} + C_{R1} + C_{e1} + C_{e2} + C_{C2}$$

$$C_2 = C_{e2} + C_{R2} + C_{e3} + C_{C3} + \beta_2 C_{C2}$$

$$C_3 = C_{R3} + C_{e5} + C_{C5}$$

$$C_4 = C_{R5} + C_{e3+4} + \beta_4 C_{C4} + \beta_3 C_{C3}$$

$$C_5 = C_{e5} + C_L + \beta_5 C_{C5}$$

1. 导通瞬态

(1) 延迟时间 t_d

由于电路输出端接有电容 C_5 , 只有 T_5 管导通时, C_5 才可以通过导通的 T_5 管放电, 从而面使 V_{out} 开始下降, 所以延迟时间 t_d 是从 V_{in} 上跳到 T_5 管开始导通所需要的时间。

V_{in} 上跳后, T_1 管由正向饱和变为反向有源, 在 T_2 导通前 I_{R1} 全部用于对电容 C_1 充电。当电容 C_1 由:

$$V_{OL} + V_{CES1} = 0.4 \text{ V}$$

充电到 $V_{be0} = 0.7 \text{ V}$ 时 T_2 管开始导通。 T_3 管导通以后, I_{E2} 从 T_2 管发射极流出, 给电容 C_3 充电。当 C_3 由 0 V 充电到 $V_{be0} = 0.7 \text{ V}$ 时, T_5 管开始导通, 延迟过程结束。 T_2 导通后, V_{E2}

跟随 V_{B5} 升高, 所以 C_1 继续充电, 当 C_3 由 0V 充电到 0.7V 时, C_1 由 0.7V 充电到 1.4V。

可见, 延迟阶段, 实质上就是电容 C_1 、 C_3 的充电过程和 T_2 管的电流上升过程。所以, C_1 、 C_3 越小, f_{t2} 越高, I_{K1} 、 I_{C2} 越大 (R_1 、 R_2 越小), t_d 越短。

(2) 下降时间 t_f

输出由高电平下降到低电平的过程, 就是 T_5 管从开始导通到饱和的过程。这个过程由于两方面的原因, 和 T_5 管的开关特性有着密切的关系:

(i) T_5 管的基极驱动电流 I_{B5} 是由 T_2 管的发射极电流 I_{E2} 提供的, T_2 管的电流上升时间短, 那么 I_{B5} 就增加得快, 就能缩短这个过程。

(ii) T_5 管的集电极负载和 T_5 管紧密相关。 T_5 管刚导通时, T_2 管已导通了一段时间, V_{C2} 已下降, 此时 T_4 是截止的。 T_5 导通以后, V_{C5} 也下降, 若 f_{T5} 较高, 那么 V_{C5} 会比 V_{C2} 下降得快, 当:

$$V_{C2} - V_{C5} = 2V_{B5} = 1.4V$$

时, T_4 管导通。由于 T_4 、 T_5 同时导通, 而 R_5 是一个小电阻, 这时会有一股瞬态大电流灌入 T_5 管, 输出电平跟随 V_{C2} 而下降, 这种情况下, T_2 管的开关特性决定了 V_{out} 下降的快慢。若 T_5 管的 f_{T5} 很高, C_{C2} 很小; 或 f_{T5} 较低, 那么 V_{C2} 比 V_{C5} 下降得快, T_4 管一直截止, 不出现瞬态电流, 这种情况下, 输出电平的下降过程由 T_5 管的电流上升过程决定。

2. 截止瞬态

(1) 储存时间 t_s

因为只有 T_5 管脱离饱和时, V_o 才能开始上升, 所以 t_s 是从输入下跳到 T_5 脱离饱和时所需要的时间。

输入电平下跳后, T_1 管由反向有源转为正向饱和, 它的集电极从 C_1 和 T_2 管抽出电荷。当 T_2 基极电平抽到 $V_{B2} = 0.7V$ 时, T_2 管截止, $I_{B2} = 0$, 使 T_5 的基极驱动电流消失。这时 T_5 管的储存电荷要通过电阻 R_3 泄放, 开始了 T_5 的退饱和过程。由于 T_1 管的抽出电流一般比较大, 从输入电平下跳到 V_{B2} 下降到 0.7V 的这段时间很短, 所以电路的储存时间基本上由 T_5 管的储存时间决定。

参照公式 (5-39), 则有:

$$t_{s5} = \tau_{ps} \ln \frac{I_{B5}^1 + Q_{as}(0) / \tau_{ps} + I_{C5} / \beta_5}{I_{B5}^1 - I_{C5} / \beta_5} \quad (5-72)$$

式中的 $Q_{as}(0)$ 是超量储存电荷:

$$Q_{as}(0) = \tau_{ps} (I_{B5}^0 - I_{CM5}^0 / \beta_5)$$

其中 I_{B5}^0 是 T_5 饱和时的基极驱动电流, 由图 5-27, 它为:

$$I_{B5}^0 = I_{E1} - I_{K3} = I_{R1} + I_{CM2} - I_{K3} = \frac{V_{CC} - V_{B1}}{R_1} + \frac{V_{CC} - (V_{BES} + V_{CES})}{R_2} - \frac{V_{BES}}{R_3} = 4.0mA$$

I_{B5}^1 是通过 R_3 电阻的抽出电流:

$$I_{B5}^1 = \frac{V_{BES}}{R_3} \approx 2.2mA$$

I_{CM5}^0 是 T_5 退饱和过程开始前的集电极电流, 实际上就是输出低电平时的负载电流:

$$I_{CM5}^0 = I_{OL} = N_L I_{IL}$$

而 I_{C5} 是退饱和过程中 T_5 的集电极电流, 它和瞬态大电流有关。由于一般 T_2 管做得比

较小, 它的 f_{T2} 高, C_{c2} 小, 加之 T_1 的抽出电流比较大, T_2 管的退饱和过程很快。 T_2 退饱和后, I_{c2} 开始下降, V_{c2} 开始上升, 当它上升到 $V_{c2} = 2V_{beo} + V_{OL} = 1.7\text{V}$ 时 (此时 T_5 还未脱离饱和), T_4 开始导通, 产生瞬态大电流, 这股大电流灌入 T_5 管, 增大了补充基区复合的电荷量, 加速了 T_5 的退饱和过程。在 V_{c2} 上升到 1.7V 以前, T_4 截止, $I_{c5} = I_{OL} = N_L I_{IL0} V_{c2}$ 上升到 1.7V 后, T_4 导通, 此时 I_{c5} 是负载电流和瞬态大电流之和。而在 T_5 饱和前, 这股瞬态电流是逐渐增加的, 到 T_5 饱和时, 它达到稳定值:

$$I_{R5(\max)} = \frac{V_{CC} - V_{CES3} - V_{beo} - V_{OL}}{R_5} \approx 37\text{mA}$$

直到 T_5 退出饱和, V_o 开始上升, 瞬态电流消失。可见: (1) 在整个退饱和过程中, I_{c5} 是变化的, 式中的 I_{c5} 应是整个过程中它的等效平均值; (2) 图腾柱输出结构产生的瞬态大电流有利于缩短电路的储存时间。

由上面的定性分析可以看出, 在 T_2 的开关特性好的前提下, 电路的储存时间主要由 T_5 管的开关特性所决定, 而图腾柱式的输出结构, 有利于缩短储存时间。由式 (5-72) 看出, 缩短储存时间的办法主要是: 掺金以降低少子寿命 τ_{p4} ; 减小 T_5 管的过驱动电流 ($I_{c5}^0 - I_{CM5}/\beta_5$), 以减少需要抽出的超量储存电荷。

(2) 上升时间 t_r

T_5 管退出饱和后, 随着 T_5 管的截止和电容 C_5 的充电, 输出电平由 V_{OL} 变到 V_{OH} , 这个过程所需要的时间就是 t_r 。

T_5 退出饱和后, 仍通过 R_5 继续抽出基区电荷, I_{c5} 开始不断减小, T_5 管进入电流下降过程。在 T_5 管的电流下降过程中, 由 T_4 管和负载门流下来的电流, 用于对 C_5 充电和提供 I_{c5} 。 T_5 管截止后, 全部用于对 C_5 充电。可见, 提高 f_{T5} , 减小 C_{c5} 、 R_5 等可缩短 T_5 管电流下降时间, 从而缩短了电路的上升时间。当然减小 C_5 也是缩短 t_r 的办法。

3. 瞬态功耗

由二管单元到五管单元, 电路结构的一个主要变化是用 T_3 、 T_4 和 R_5 组成的有源网络代替无源负载。这个变化的主要优点是, 在电路输出高电平时, 输出阻抗很低, 改善了电路的负载能力。在截止瞬态出现的大电流, 增加了复合项 I_{c5}/β_5 , 加快了 T_5 管的退饱和过程, 对电路速度有利。

但这种结构也有一些缺点, 在导通瞬态和截止瞬态出现的大电流, 在直流功耗之上附加了额外的瞬态功耗, 使电路的平均功耗和工作脉冲的重复频率有关, 当脉冲重复频率很高时, 功耗就会很大。

瞬态电流是在 T_4 、 T_5 管同时导通时产生的, 在截止瞬态, 当 V_{c2} 达到 1.7V 时, T_4 导通, 产生了瞬态电流, 这股电流逐渐增大, 当 T_5 饱和时达到最大值, 一直到 T_5 退出饱和为止, 都维持这个最大值 $I_{R5(\max)}$ 。在导通瞬态, 当 T_5 开始导通时, T_4 还没有截止, 就产生瞬态电流, 这股电流使 T_5 不易饱和, 既增加了功耗, 对电路速度也不利, 我们应设法减小它的影响。

在导通瞬态, 随着 T_2 管的导通, $I_{c2} \approx I_{E2}$ 的上升, T_5 管基极电位 $V_{B5} = I_{E2} R_3 \approx I_{c2} R_3$ 也升高, 当 $V_{B5} = V_{beo}$ 时, T_5 管开始导通, 若此时 T_4 管还没有截止, 就出现瞬态大电流。此时 T_2 管集电极电平为:

$$V_{c2} \approx V_{cc} - I_{c2} R_2 = V_{cc} - \frac{V_{beo}}{R_3} R_2$$

当 $V_{c2} - V_{OL} < 2V_{beo}$ 时, T_4 截止。因此 V_{c2} 在下列范围时:

$$V_{cc} - \frac{R_2}{R_3} V_{beo} \approx 2V_{beo} + V_{OL} \quad (5-73)$$

T_4 、 T_5 同时导通, 有瞬态大电流。从式 (5-73) 可知, 缩短瞬态大电流持续时间的办法是: 一是设计高速的 T_2 、 R_2 网络, 使 V_{c2} 很快下降到 $V_{beo} + V_{OL} = 1.7V$ 以下; 二是加大 R_2/R_3 的比值。

由于瞬态电流的出现, 有图腾柱输出结构的电路, 其电源电流如图 5-28 所示。电源电流 I_{cc} 有很大的波动, 这不仅在直流功耗之上附加了瞬态功耗, 还因此引起了内部噪声, 这是这种输出结构的主要缺点。

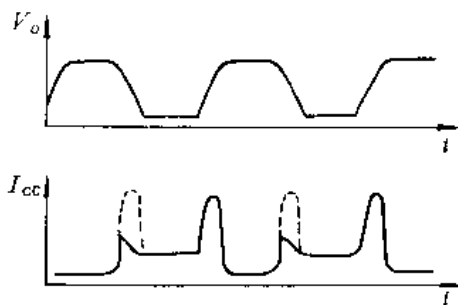


图5-28 TTL的电源电流波形

4. 瞬态特性小结

从上面的定性分析可以看到, 五管单元电路的瞬态特性, 主要由 T_2 管和 T_5 管的开关特性决定。电路在导通瞬态时: T_2 管的开关特性好 (包括 f_{T2} 高, C_{c2} 、 C_{c2} 小), I_{B2} 增加得快, V_{B2} 很快达到 $0.7V$, 电路延迟时间短; I_{B2} 增加得快, I_{B5} 也增加得快, T_5 管饱和得快, 电路下降时间短。可见, T_2 管的开关特性好, 电路的导通延迟时间短。在截止瞬态: T_2 的开关特性好, V_{c2} 很快上升到 $1.7V$, 促使 T_4 导通, 产生的瞬态大电流, 缩短了电路的储存时间。另外, T_2 的开关特性好, 导通瞬态的瞬态大电流的持续时间也短。

T_5 管的开关特性对于电路的截止延迟有关键的作用。在截止瞬态, 只有抽出 T_5 管的超量储存电荷, 电路输出电平才能开始升高; 只有抽出 T_5 管基区积累的电荷, I_{c5} 才能下降, T_5 管才能截止。 T_5 管截止后 T_4 管流下来的电流才能完全用于对 C_5 充电, 使输出电平很快上升。

电路的瞬态特性和充放电回路的电阻阻值也有关。具体说, 减小 R_1 (加大了 I_{R1}), 对缩短 t_d 、 t_f 有利。减小 R_2 , 在导通瞬态增大了 I_{c2} , 对缩短 t_d 、 t_f 有利; 在截止瞬态, 促使 V_{c2} 上升快, 缩短了电路的储存时间。对电阻 R_3 的阻值, 导通瞬态和截止瞬态的要求相反, 导通瞬态, 要求 T_5 管基极驱动电流大, R_3 应大; 在截止瞬态, 要求 T_5 抽出电流大, R_3 应小。可见 R_3 最好是用一个可变电阻代替。

5.3 六管单元 TTL“与非”门

五管单元的 TTL “与非” 门电路, 由于采用 T_3 、 T_4 管和 R_5 电阻组成的有源负载结构, 电路的负载能力较之简易 TTL “与非” 门有了很大的提高, 但这种电路也存在着一些需要进一步改进的地方, 其中最突出的是 T_5 管的基极泄放电路。

五管单元中输出管 T_5 的基极泄放电路由一个电阻 R_3 构成。在截止瞬态, 它提供了 T_5 管储存电荷的泄放通路, 加速了截止过程。但在导通瞬态, 它也分走了 T_5 管的基极驱动电流, 不利于加速导通过程。从改善电路的瞬态特性着眼, 希望 T_5 管的基极泄放电路是个有源网络, 它的等效阻抗是可变的; 在截

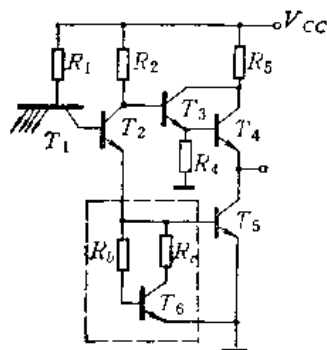


图5-29 六管单元TTL“与非”门

止瞬态, 它表现为低阻; 在导通瞬态, 它表现为高阻。六管单元中由电阻 R_b 、 R_c 和晶体管 T_c 组成的回路就是这样一个网络, 如图 5-29 所示。

5.3.1 六管单元的特点

用有源泄放回路代替泄放电阻 R_s , 给六管单元电路带来了一些明显的特点。

一、瞬态特性好

在电路导通瞬态, 因 T_c 管基极串有电阻 R_b , T_c 管总比 T_s 管迟导通, 通过调节 R_b 的大小可控制这个延迟时间。因截止的 T_c 管不会分走 T_s 管的基极驱动电流, 故加快了电路的导通过程。在截止瞬态, 由于 T_c 管没有基极泄放回路, 完全靠复合作用消散储存电荷, 所以 T_c 管总比 T_s 管迟截止。就是说在电路的截止过程中, T_c 管是导通的, 它为 T_s 管提供了一条低阻泄放通路, 加速了电路的截止过程。

上一节讲到加大抽出电流是缩短储存时间的一个办法, 缩短储存时间的另一个办法是降低晶体管的饱和深度。有源泄放回路能够控制输出管 T_s 的饱和深度, 从而减少超量储存电荷, 缩短储存时间。 T_s 管的饱和深度可用参数 S 来衡量:

$$S = \beta_s I_{B5} / I_{C5} \quad (5-74)$$

在六管单元中, $I_{B5} = I_{E2} - I_{E6}$, 代入上式得:

$$S = \frac{\beta_s (I_{E2} - I_{E6})}{I_{C5}} \quad (5-75)$$

可见, 适当设计 T_c 、 R_b 、 R_c 网络, 就可控制 T_s 管的饱和深度。如使 T_s 管处于浅饱和态, 就能大大减少超量储存电荷, 缩短储存时间。这种六管单元的浅饱和型 TTL 电路, 设计得适当, 储存时间 t_s 可做到 3 ns, 平均传输延迟时间 t_{pd} 可达到 5~6 ns。

由于有源泄放回路加快了电路的截止过程和导通过程, 也就缩短了瞬态电流的持续时间, 降低了瞬态功耗。

二、电路的电压传输特性好

用有源泄放回路代替泄放电阻 R_s 以后, T_2 管基极电平要达到两个二极管正向导通压降后, T_2 管才能导通 (T_2 、 T_s 同时导通), 输出电平才开始下降, 这使得电压传输特性曲线接近矩形, 过渡区变窄, 关门电平 V_{IL} 和低电平噪声容限相应提高。图 5-30 同时画出了五管单元和六管单元的电压传输特性曲线, 以资比较。

三、电路的温度特性好, 工艺离散性的影响小

由上节对五管单元 TTL 电路的特性分析知道, 电路的平均传输延迟时间 t_{pd} 和扇出 N_L , 都与输出管 T_s 的饱和深度有关。饱和深度 S 大, 超量存储电荷多, t_{pd} 大。 S 大, 可吸收更多的负载电流, 可带更多的负载。但从式 (5-79) 可知, S 和 β_s 有关, 当温度改变或工艺离散引起 β_s 改变时, T_s 管的饱和深度会变化, 电路的特性 (t_{pd} 、 N_L) 也跟着变化。

但在六管单元电路中, 由于 T_c 和 T_s 管制作在硅片的相邻位置上, T_s 和 T_c 管有一

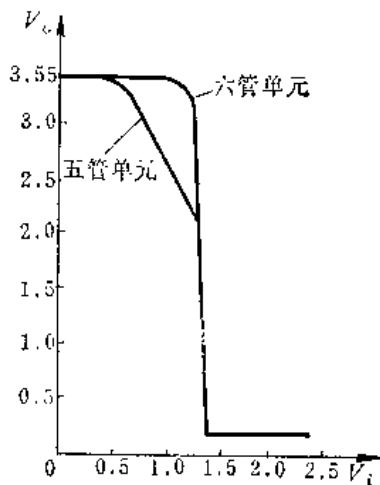


图 5-30 两种单元电压传输特性的比较

些;但从 I_{CCL} 、 I_{CCH} 、 I_{IL} 、 I_{IH} 等直流参数考虑,则要求这些电阻阻值大些。所以在确定它们的阻值时,要兼顾两个方面的要求。一般的选择原则是,在保证直流参数合格的前提下(要留有适当的余量以防止由于工艺等原因使电阻值偏离设计值而造成直流参数不合格),尽量选小些,以有利于提高速度。

1. R_1

R_1 和 I_{IL} 、 I_{CCL} 、 I_{CCH} 和 t_{pd} 等参数有关,但 I_{IL} 是由它单独确定的。

$$\text{由} \quad I_{IL} = \frac{V_{CC} - V_{beo}}{R_1}$$

$$\text{得到} \quad R_1 = \frac{V_{CC} - V_{beo}}{I_{IL}} \approx 2.7 \text{ k}\Omega$$

由于选用六管单元,对电路速度比较有把握,电阻可适当选大些,以留有足够的余量,取 $R_1 = 4 \text{ k}\Omega$ 。

2. R_4

它主要和 I_{CCH} 有关;

由

$$I_{CCH} = I_{R1} + I_{R4} = \frac{V_{CC} - V_{beo} - V_{OL}}{R_1} + \frac{V_{CC} - V_{beo}}{R_4}$$

得

$$R_4 = \frac{V_{CC} - V_{beo}}{I_{CCH} - \frac{V_{CC} - V_{beo} - V_{OL}}{R_1}} \approx 1.7 \text{ k}\Omega$$

留有余量,选 $R_4 = 3 \text{ k}\Omega$ 。

3. R_2

I_{CCL} 和 R_2 的关系最为密切。

由 $I_{CCL} = I_{R1} + I_{R2} + I_{R4}$

$$\begin{aligned} &= \frac{V_{CC} - V_{be} - 2V_{be5}}{R_1} + \frac{V_{CC} - (V_{CE52} + V_{be5})}{R_2} + \frac{V_{CE52} + V_{be5} - V_{beo}}{R_4} \\ &= 0.8 \text{ mA} + 3.95 \text{ V} / R_2 \end{aligned}$$

得到

$$R_2 = \frac{3.95 \text{ V}}{I_{CCL} - 0.8 \text{ mA}} = 0.64 \text{ k}\Omega$$

留有余量,取 $R_2 = 1 \text{ k}\Omega$ 。

4. R_5

它是瞬态大电流的限流电阻,它的数值影响着电路的速度和瞬态功耗,兼顾功耗和速度,中速电路一般取 $R_5 = 0.1 \text{ k}\Omega$ 。

5. R_b 和 R_e

这两个电阻的数值和电路导通时 T_5 管、 T_6 管的工作状态有关。参数 I_{IL} 和 N_L 决定了电路导通时 T_5 管的集电极电流 I_{C5} :

$$I_{C5} = I_{OL} = N_L I_{IL} = 8 \times 1.6 \text{ mA} = 12.8 \text{ mA}$$

但由于 T_5 管的饱和深度不同,所要求的 I_{B5} 也不同。若电路对速度要求较高(如高速电

路), 常设 $S_5 = 2$, 使 T_5 管工作于浅饱和态, 以减小存贮电荷。若电路对速度要求不太高 (如中速电路) 可设 $S_5 = 4$, T_5 管工作于深饱和态, 使输出稳定。

设 $\beta_5 = 20$, $S_5 = 4$, 则 I_{B5} 应为:

$$I_{B5} = S_5 I_{C5} / \beta_5 \approx 2.6 \text{ mA}$$

而这时由 T_2 管发射极流下来的电流为:

$$I_{E2} = I_{R1} + I_{C2} = \frac{V_{CC} - (V_{be2} + 2V_{be1})}{R_1} + \frac{V_{CC} - (V_{CEs2} + V_{be1})}{R_2} = 4.7 \text{ mA}$$

由图 5-32 可知, 这时允许 T_6 管发射极分流的电流为:

$$I_{E6} = I_{B6} + I_{C6} = I_{E2} - I_{B5} = 2.1 \text{ mA} \quad (5-76)$$

2.1 mA 的发射极电流在 I_{B6} 和 I_{C6} 之间如何分配, 决定于 T_6 管的工作状态。设 T_6 管饱和深度为 S_6 , 则:

$$I_{C6} = \frac{\beta_6 I_{B6}}{S_6}$$

S_6 的大小, 由对电路性能的要求决定。若要充分发挥 T_6 网络的自调整作用, 可使 T_6 管工作于浅饱和态, 甚至是有源区。若主要追求速度, 应该使 T_6 管工作于深饱和态。

设: $S_6 = 2.5$, $\beta_6 = 20$, 则:

$$I_{C6} = 8 I_{B6}$$

代入式 (5-76) 得:

$$I_{B6} = 0.23 \text{ mA} \quad I_{C6} = 1.84 \text{ mA}$$

而由图 5-32 I_{B6} 和 I_{C6} 为:

$$I_{B6} = \frac{V_A - V_B}{R_b} = \frac{V_{be5} + I_{B5} r_{be5} - V_{be6}}{R_b} = 0.23 \text{ mA}$$

$$I_{C6} = \frac{V_A - V_C}{R_c} = \frac{V_{be5} + I_{B5} r_{be5} - V_{CEs6}}{R_c} = 1.84 \text{ mA}$$

作为粗略估算, 设 $V_{be5} = 0.75 \text{ V}$, $V_{be6} = 0.7 \text{ V}$, $V_{CEs6} = 0.3 \text{ V}$, $r_{be5} = 20 \Omega$, 则由图 5-32 可得:

$$R_b = \frac{V_{be5} + I_{B5} r_{be5} - V_{be6}}{I_{B6}} = \frac{0.1 \text{ V}}{0.23 \text{ mA}} = 440 \Omega$$

$$R_c = \frac{V_{be5} + I_{B5} r_{be5} - V_{CEs6}}{I_{C6}} = \frac{0.5 \text{ V}}{1.84 \text{ mA}} = 270 \Omega$$

优选中取 $R_b = 500 \Omega$, $R_c = 250 \Omega$ 。

二、低功耗“与非”门

低功耗电路着眼点是降低电路的功耗, 从前面的讨论中知道, 影响电路静态功耗的主要是电阻 R_1 、 R_2 和 R_4 , 而 R_5 对瞬态功耗有影响, 所以低功耗电路要将上述电阻阻值加大, 一个典型的低功耗 TTL “与非”门如图 5-33 所示。为了降低功耗, 图中的电阻 R_4 的一端由原来接地改为接输出端。各电阻阻值为: $R_1 = 25 \text{ k}\Omega$, $R_2 = 8 \text{ k}\Omega$,

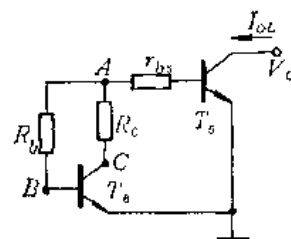


图5-32 有源泄放网络

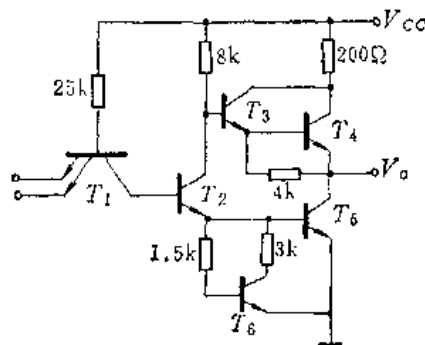


图5-33 低功耗“与非”门

$R_4 = 4\text{ k}\Omega$, $R_5 = 200\text{ }\Omega$, $R_6 = 1.5\text{ k}\Omega$, $R_7 = 3\text{ k}\Omega$ 。可算出其静态功耗的平均值在 2 mW 左右。

三、“与非”功率门

功率门又称驱动器，是负载能力特别强的一类门电路。一般门电路扇出为 8 左右，功率门的扇出则比较大，如中速“与非”功率门要求在 30 以上。

带 30 个负载门时，负载电流 I_{OL} 达：

$$I_{OL} = N_L I_m = 30 \times 1.6\text{ mA} = 48\text{ mA}$$

输出管 T_6 要吸收这么大的电流而不脱离饱和，这就要求它有足够的基极驱动电流 I_{B5} ：

$$I_{B5} = I_{B2} - I_{B6} = \frac{V_{CC} - (V_{be2} + 2V_{be1})}{R_1} + \frac{V_{CC} - (V_{CES2} + V_{be1})}{R_2} - \frac{V_A - V_{be6}}{R_6} - \frac{V_A - V_{CES6}}{R_7}$$

可见，这就要求适当减小电阻 R_1 、 R_2 和适当加大电阻 R_7 。由于 $V_A - V_{be6}$ 比较小， R_6 的变化不会明显改变 I_{B5} ，但将 R_6 减小，能使 T_6 管工作在深饱和态，有利于电路的瞬态特性。图 5-34 是中速“与非”功率门的典型线路。

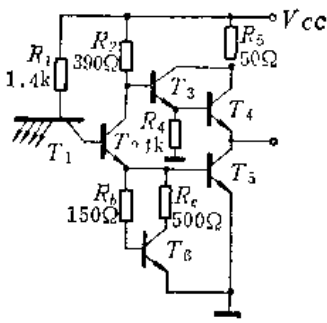


图5-34 中速“与非”功率门

在很大的负载电流下，要保证 V_{OL} 合格， T_6 管集电极串联电路 r_{CS6} 上的压降是个突出问题。如何减小 r_{CS6} ，通常是功率门版图设计和工艺设计的中心问题。

5.3.3 中速八输入端“与非”门的参数

最后，我们以表格的形式给出中速八输入端“与非”门产品的各参数规格、测试原理图和测试条件、理论计算值和主要决定因素。

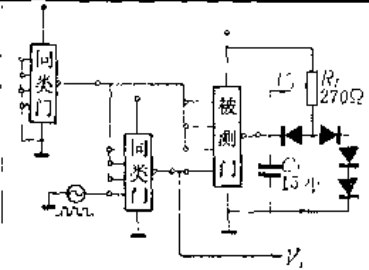
表5-5 八输入端中速“与非”门的参数

参数名称符号	测试条件	测试图	产品规格	计算值	主要决定因素
输入漏电流 I_{IH}	被测输入端接5V电源，其余输入端接地，输出空载		$\leq 50\mu\text{A}$	$22\mu\text{A}$	β_I, R_I
输入短路电流 I_{IL}	被测输入端接地，其余输入端开路，输出空载		$\leq 1.6\text{mA}$	1.1mA	R_I

(续)

参数名称符号	测 试 条 件	测 试 图	产 品 规 格	计 算 值	主 要 决 定 因 素
输出高电平 V_{OH}	一个输入端接地, 其余输入端开路, 输出空载		$\geq 2.4V$	3.55V	
输出低电平 V_{OL}	一个输入端接高电平, 其余输入端开路, 输出带额定负载		$\leq 0.4V$		I_{OL} , r_{CS}
最大输入低电平(关门电平) V_{IL}	被测输入端接可变电源, 其余输入端开路, 输出电压大于高电平额定值		$\geq 0.8V$	1.2V	
最小输入高电平(开门电平) V_{IH}	被测输入端接可变电源, 其余输入端开路, 输出电压小于低电平额定值		$\leq 1.8V$	1.4V	
空载导通电源电流 I_{CCL}	输入开路 输出空载		$\leq 7mA$	4.8mA	R_1, R_2
空载截止电源电流 I_{CCH}	输入短路 输出空载		$\leq 3.5mA$	2.5mA	R_1, R_2

(续)

参数名称符号	测试条件	测试图	产品规格	计算值	主要决定因素
平均传输延迟时间 t_{pd}	见测试图		$\leq 20\text{ns}$		

5.4 抗饱和 TTL“与非”门电路

5.4.1 阻碍 TTL 电路速度进一步提高的主要问题

从前面两节的讨论中我们看到,阻碍 TTL 电路速度进一步提高的主要问题,是增加电路输出管驱动电流和降低输出管饱和深度之间的矛盾。为了缩短电路的导通延迟时间,要求增大基极驱动电流。而驱动电流的增加又使晶体管的饱和深度增加,超量储存电荷增加,从而使电路的截止延迟时间增大。在六管单元中,采用有源泄放回路,部分解决了这一矛盾,平均传输延迟时间可提高到 $5\sim 6\text{ns}$, 满足了高速电路系列的要求。但要进一步提高电路速度,比如要满足平均传输延迟时间为 4ns 左右的甚高速电路系列的要求,就必须进一步解决上述矛盾。

晶体管集电区的超量储存电荷 $Q_{es}(0)$ 由式(5-40)知道:它和过驱动电流 $(I_B - I_{CM}/\beta)$ 成正比,也就是和晶体管的饱和深度成正比。从物理实质上看, $Q_{es}(0)$ 是晶体管 bc 结正偏,基区中的空穴注入集电区而积累起来的,集电结的正偏压越高,注入越强。一般集成电路晶体管, V_{be} 在 $0.4\sim 0.5\text{V}$ 以下时,这种注入很小,可以忽略。因此进一步解决上述矛盾的办法是,在保证较大驱动电流的条件下,设法控制晶体管的饱和深度或其集电结正向偏压。

5.4.2 肖脱基二极管箝位的 TTL 电路——STTL 电路

限制晶体管饱和深度,提高电路开关速度的另一办法,是利用肖脱基势垒二极管 (Schottky-Barrier Diode) 的箝位作用。肖脱基势垒二极管 (简称 SBD) 是金属-半导体接触形成的二极管,在集成电路技术中,普遍采用的是 Al 和 N 型硅形成的 SBD, Al 是阳极, N 型硅是阴极。SBD 的主要特点是:①导通门坎阈值电压低,只有 $0.3\sim 0.4\text{V}$ 左右;②它是多子导电的器件,没有贮存效应。

用 SBD 箝位的办法是,在工作时要进入饱和区的晶体管集电结并联 SBD,如图 5-35 所示。当晶体管在有源区和截止区工作时,它的集电结反偏, SBD 截止,不影响晶体管的工作。当晶体管进入饱和区时,它的集电结开始正偏,但只要 V_{bc} 小于 SBD 的导通门坎电压, SBD 仍截止。当 V_{bc} 达到 SBD 的导通门坎电压时, SBD 导通,晶体管的一部分基极电

流被它分流掉, V_{be} 被箝位于 SBD 的导通门坎电压, 限制了晶体管的进一步饱和。由于 SBD 的导通门坎电压只有 $0.3 \sim 0.4 \text{ V}$ 左右, 晶体管被限制在很浅的饱和状态, 而 SBD 本身又没有储存效应, 所以 SBD 箝位的晶体管, 超量储存电荷很少, 储存时间很短。

典型的 STTL “与非” 门如图 5-36 所示, 它是在六管单元的基础上, 加 SBD 而成。

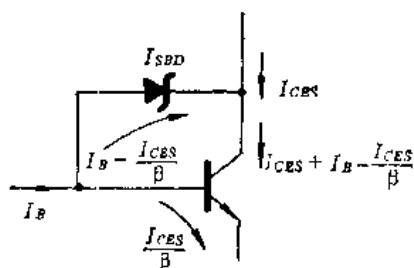


图5-35 SBD的箝位作用

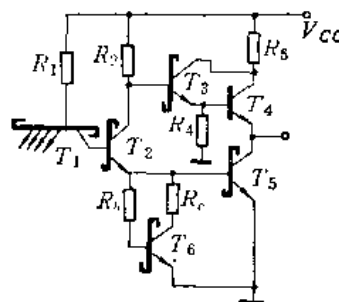


图5-36 STTL “与非” 门

除 SBD 外, 电路的工作原理和六管单元的相同。由于 T_4 管集电结偏压 V_{bc4} 等于 T_3 管集-射极压降的负值, $V_{bc4} = -V_{CE3}$, 所以 T_4 管始终不进入饱和态, 它的集电结没有必要并联 SBD, 其它五个管都加了 SBD。除 T_1 管外, 各管集电结并联 SBD 的目的, 是利用 SBD 控制各管工作在浅饱和状态, 从而缩短各管的储存时间 t_s , 提高电路的速度。 T_1 管加 SBD 的目的稍有不同。

前面讲到了电路的直流参数之一输入漏电流 I_{IH} 。它是一个输入端接高电平, 其余输入端接地时, 从接高电平的输入端流入电路的电流。前面也讲过, 这个电流近似地是 T_1 管反向运用时的集电极电流:

$$I_{IH} = \beta_I I_{R1} = \beta_I I_{I1}$$

可见减小 β_I 可减小 I_{IH} 。要减小 β_I , 可从 T_1 管的结构来考虑, 如采用下一章要讲的长胖基区结构; 也可从 T_1 管集电结 (反向运用时的发射结) 的偏置电压 V_{be1} 着手。因为 β_I 反映了反向运用 T_1 管发射结的发射效率, 发射效率越大, β_I 越大。而发射效率又取决于发射结偏压 V_{be1} 的大小, 加 SBD 后, 限制了 V_{be1} , 也就限制了它的发射效率, 减小了 β_I 和 I_{IH} 。

T_5 管加 SBD 后, V_{be5} 有所减小 (由 0.6 V 左右减小到 $0.3 \sim 0.4 \text{ V}$), 由输出低电平的公式:

$$V_{OL} = (V_{be5} - V_{be5}) + N_I I_{IC5} r_{e5}$$

可以看出, STTL 电路的输出低电平比一般六管单元的高, 这使得它的低电平噪声容限 V_{NL} 也相应降低。这是 STTL 电路的主要缺点。

STTL 电路的主要优点是高速。图 5-36 的电路, 当阻值为: $R_1 = 1.4 \text{ k}\Omega$, $R_2 = 380 \Omega$, $R_4 = 2 \text{ k}\Omega$, $R_5 = 25 \Omega$, $R_6 = 250 \Omega$, $R_3 = 125 \Omega$ 时, 只要 SBD 作得好 (导通门坎电压在 $0.4 \sim 0.5 \text{ V}$ 左右时), 平均传输延迟时间可做到 $2 \sim 4 \text{ ns}$, 因而它被选作甚高速 TTL 电路系列的优选单元。

5.5 TTL “与非” 门电路的温度特性

TTL 电路的参数是和温度有关的, 为了保证整机能在比较恶劣的环境中使用, 要求电路参数在较宽的温度范围内满足参数规范的要求。我国的电路产品按温度特性不同分为四

类：一类品在 $-55\sim 125^{\circ}\text{C}$ 、二类品在 $-40\sim 85^{\circ}\text{C}$ 、三类品在 $-10\sim 70^{\circ}\text{C}$ 、四类品在 25°C 范围内，能满足参数规范要求。第四节中给出的中速八输入端“与非”门的参数是室温下的指标。

为了得到更多的一类品，希望电路参数的温度系数尽量小。这一节，我们将分析电路参数随温度变化的原因，介绍电路参数随温度变化的情况。

电路参数随温度变化的根本原因，是在于半导体材料的许多基本物理性质和温度有密切的关系，如载流子浓度、迁移率、非平衡载流子的寿命、扩散系数等等都和温度有密切的关系，这就导致电路中电阻的阻值、晶体管的电流增益 β 和导通结压降 V_{be} 等都随温度而变，这些变化决定了电路参数的温度特性。

5.5.1 电路中电阻、 V_{be} 、 β 的温度特性

一、电阻的温度特性

TTL 电路中的电阻，绝大部分是扩散电阻，如硼扩散电阻，在基区扩散时形成，其阻值为：

$$R = R_{\square} \frac{L}{W}$$

式中 L 是电阻条长， W 是电阻条宽， $R_{\square}$ 是硼扩散时的方块电阻。方块电阻是由单位面积上扩散杂质的总量和载流子的迁移率决定的，如下式所示：

$$R_{\square} = \left[\int_0^{x_j} N(x) q \mu_p(x) dx \right]^{-1}$$

式中 x_j 是硼扩散结深， $N(x)$ 是扩散杂质浓度， $\mu_p(x)$ 是空穴迁移率。由于迁移率 $\mu_p(x)$ 是温度的函数，这就使得方块电阻 $R_{\square}$ 随温度变化，从而扩散电阻阻值 R 也随温度变化。

根据半导体的导电理论，迁移率和温度的关系，决定于载流子的散射机构：

(1) 电离杂质散射：

$$\mu \propto T^{3/2}$$

(2) 晶格散射：

$$\mu \propto T^{-3/2} \quad (\text{声学波散射})$$

$$\mu \propto (e^{E_v/kT} - 1) \quad (\text{光学波散射})$$

可见，由电离杂质散射所决定的迁移率的温度系数是正的，而晶格散射迁移率的温度系数是负的。虽然两种机构同时存在，但在一定条件下，往往一种散射机构占主导地位，由它决定迁移率（或电阻）的温度系数。比如在高温下，晶格散射为主，迁移率的温度系数为负，电阻的温度系数就为正。而在低温下，杂质散射占主导地位，电阻的温度系数就为负。高低温的界限是随杂质浓度不同而变的，如对于集成电路中常用的基区扩散浓度， 0°C 是个界限，在 $0\sim 125^{\circ}\text{C}$ 范围内，电阻温度系数是正的，实测表明，在这个温度范围，硼扩散电阻阻值随温度升高近似作线性上升， $R(T)/R(25^{\circ}\text{C})$ 由0.95上升到1.15。在 $-55\sim 0^{\circ}\text{C}$ ，电阻则稍有下降。

既然迁移率的温度系数是两种散射机构作用的结果，而在一定的温度下，杂质散射的强弱和杂质浓度有关，所以迁移率温度系数的大小是和杂质浓度有关的。在晶格散射为主

的条件下, 掺杂浓度越高, 温度系数越小, 因而电阻的温度系数也随掺杂浓度升高而减小。集成电路中硼扩散电阻温度系数和方块电阻 (反映了掺杂浓度) 关系的数据如表 5-6 所示。

表5-6 硼扩散电阻温度系数与方块电阻的关系

$R_{\square} (\Omega/\square)$	50	100	200	300
$\frac{dR}{RdT} (\text{ppm}/^{\circ}\text{C})$	1000	1500	1900	2800

二、晶体管正向导通结压降 V_{be0} 的温度特性

前面分析电路时, 我们假定晶体管导通时的发射结压降是个常数, $V_{be0} = 0.7\text{V}$, 这是一种近似, 严格说来, V_{be0} 还与导通时的电流大小及结温有关。根据PN结理论, PN结正向电流和正向压降有如下关系:

$$I \propto n_i^2 e^{qV_{be0}/kT}$$

式中 n_i 是本征载流子浓度, 它和半导体材料的禁带宽度 V_g 有关, 如下式所示:

$$n_i^2 \propto T^3 e^{-qV_g/kT}$$

所以有:

$$I \propto T^3 e^{-q(V_g - V_{be0})/kT}$$

在 I 不变的条件下, 将上式对温度求微商, 整理后得到:

$$\frac{dV_{be0}}{dT} = -3K/T - \frac{V_g - V_{be0}}{T}$$

推导上式时, 忽略了 V_g 随温度的变化。

由上式可知, 晶体管导通时, 正向结压降 V_{be0} 的温度系数是负的, 且和 V_{be0} 本身的大小有关, V_{be0} 越小, 它的温度系数的绝对值越大。由实验测出 V_{be0} 后, 可由上式算出它的温度系数, 在 TTL 电路中, 它一般在 $-1.5 \sim -2\text{mV}/^{\circ}\text{C}$ 之间, 即温度每升高 1°C 时, 正向结压降减小 $1.5 \sim 2\text{mV}$ 。

温度升高正向结压降减小的原因, 定性地说, 是温度升高时, 本征激发载流子浓度增加, 正向注入的少子增多, 正向电流增大, 若保持正向电流大小不变, 则需要加在结上的正向压降就要减小, 也就是正向结压降减小。

三、共射极电流放大系数 β 的温度特性

β 随温度升高而增大, 典型曲线如图 5-37 所示。

β 随温度升高而增大的原因, 一般地说, 是温度升高时, 扩散系数增大, 复合中心复合非平衡载流子的能力减弱, 使基区中非平衡载流子的寿命增加, 使 β 增大。

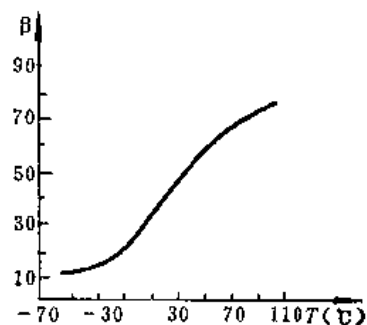


图5-37 β 的温度特性

5.5.2 电路参数的温度特性

一、 I_{CCL} 、 I_{CCH} 、 I_{IL} 的温度特性

可以预料, 这三个直流参数随温度的变化是不大的, 因为 I_{CCL} 、 I_{CCH} 随温度的变化, 取决于流过电阻 R_1 、 R_2 、 R_4 的电流 I_{R1} 、 I_{R2} 、 I_{R4} 随温度的变化。而这些电流及 I_{IL} 随温度的变化是由两个变化趋势相反的因素决定: 温度升高, V_{be0} 减小, 使电流增加; 而温度升

高, 电阻增大, 又使电流减小。\$I_{CC1}\$、\$I_{CC2}\$、\$I_{IL}\$ 随温度的变化, 是这两个因素抵消的结果, 因而比较小, 实验证明正是如此。但有时工艺上做得不好, 漏电流比较大, 那么这三个参数在温度升高时, 就会随漏电流的增加而明显增大。

二、\$I_{IH}\$ 的温度特性

由于 \$I_{IH}\$ 为:

$$I_{IH} = \beta_I I_{IL}$$

\$\beta_I\$ 随温度升高而增大, 所以 \$I_{IH}\$ 也随温度升高而增大。某厂产品 \$I_{IH}\$ 随温度变化的典型情况是, 在 \$-55 \sim 125^\circ\text{C}\$ 范围内, \$I_{IH}\$ 由 \$-55^\circ\text{C}\$ 的 \$10\mu\text{A}\$ 近似线性地上升到 \$125^\circ\text{C}\$ 的 \$16\mu\text{A}\$ 左右。如图 5-38 所示。

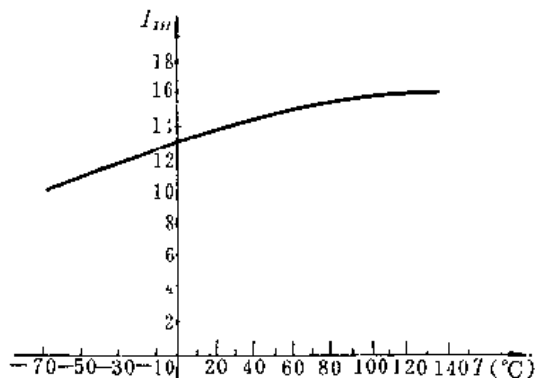


图5-38 \$I_{IH} \sim T\$ 实验曲线

三、\$V_{OH}\$、\$V_{OL}\$、\$V_{IL}\$、\$V_{IH}\$ 的温度特性

这四个参数的温度特性, 由电压传输特性曲线的温度特性得到集中的反映。图 5-39 是六管单元“与非”门在 \$125^\circ\text{C}\$、\$25^\circ\text{C}\$、\$-55^\circ\text{C}\$ 时的电压传输特性曲线。由图可看出, 随着温度的升高: \$V_{OH}\$ 升高; \$V_{IL}\$、\$V_{IH}\$ 下降; \$V_{OL}\$ 基本不变。

我们已经知道, \$V_{OH}\$ 为:

$$V_{OH} = V_{CC} - 2V_{be0} - (I_{B3} + I_{2漏})R_2$$

\$I_{B3}\$ 只有几十微安, 若 \$T_2\$ 管的漏电流也很小, 则近似地有:

$$V_{OH} = V_{CC} - 2V_{be0}$$

当温度升高时, 由于 \$V_{be0}\$ 的下降, 而使 \$V_{OH}\$ 升高, 但如 \$T_2\$ 管做的不好, 漏电流比较大, 那么:

$$V_{OH} = V_{CC} - 2V_{be0} - I_{2漏}R_2$$

由于 \$I_{2漏}\$ 随温度升高增加很快, 可使 \$V_{OH}\$ 随温度升高而下降, 出现反常现象。实际生产中, 曾观察到这种现象。

\$V_{IL}\$、\$V_{IH}\$ 和 \$V_{be0}\$ 的关系近似有:

$$V_{IL} = V_{be02} + V_{be05} - V_{CES1}$$

$$V_{IH} = V_{be02} + V_{be05} - V_{CES1}$$

由于温度升高时 \$V_{be}\$ 下降, 所以 \$V_{IL}\$ 和 \$I_{IH}\$ 随温度升高而下降, 这使电路在高温下的高电平噪声容限提高。

低电平 \$V_{OL}\$ 的温度特性, 三种电路有所不同, 五管单元电路, \$V_{OL}\$ 随温度升高而上升; 六管单元电路基本不随温度而变; STTL 电路, \$V_{OL}\$ 随温度升高而稍有下降。

对于五管单元电路:

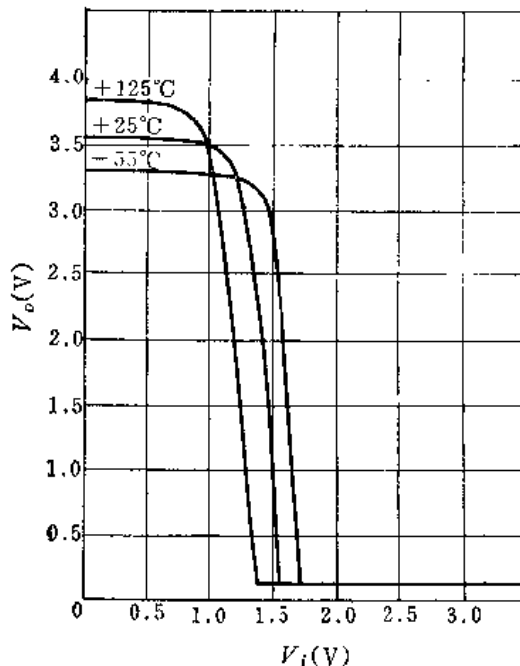


图5-39 不同温度的电压传输特性曲线

$$V_{OL} = V_{ces0} + I_{OL} r_{ces} \quad (5-77)$$

由于 T_5 管已工作于比较深的饱和态, 所以当温度升高时, 由于 $\beta_F I_{B5}$ 增加而使饱和深度增加已不能引起本征饱和压降的明显变化, 所以 V_{OL} 的温度特性决定于集电极串联电阻的温度特性, 温度升高时 r_{ces} 增大, 故 V_{OL} 升高。

对于六管单元, 式(5-77)仍成立, 但由于 T_5 管工作于浅饱和状态, 温度升高时 T_5 管饱和深度增加, V_{ces0} 下降抵消了 r_{ces} 上压降的增大, 故 V_{OL} 基本不变。

对于STTL电路, T_5 管带有肖脱基二极管, V_{OL} 为:

$$V_{OL} = (V_{be5} - V_{SBD}) + I_{OL} r_{ces}$$

虽然SBD正向压降的温度系数也是负的, 但由于它的绝对值比PN结的小(PN结的一般为 $-1.5 \sim -2 \text{ mV}/^\circ\text{C}$, 而SBD的一般为 $-1 \text{ mV}/^\circ\text{C}$), 这样, 当温度升高时, V_{be5} 下降得快, V_{SBD} 下降得慢, 从而使 $(V_{be5} - V_{SBD})$ 变小, 当它的变化比 $I_{OL} r_{ces}$ 的变化快时, V_{OL} 就下降。

图5-40是五管单元TTL和STTL电路 $V_{OL} \sim T$ 曲线的典型实测结果。

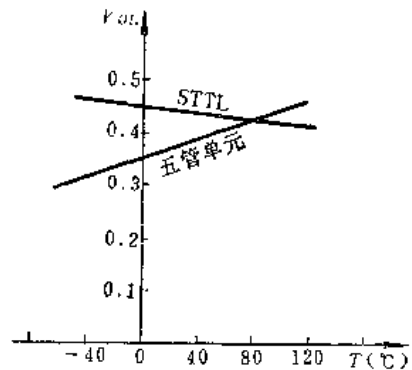


图5-40 $V_{OL} \sim T$ 的实验结果

四、扇出 N_L 的温度特性

N_L 随温度的变化, 是由 T_5 管的工作状态随温度变化而引起的。对于五管单元TTL与非门, R_2 、 R_3 、 β 都随温度升高而增大。 R_2 增大, 使 I_{c2} 减小, 导致 I_{B5} 减小, 而 R_3 增大, 减弱了它的分流作用, 使 I_{B5} 增大, 因而它们的温度效应基本上是互相抵消的。关键是 β_F 随温度升高而增大, 使得 $\beta_F I_{B5}$ 增大, 提高了扇出 N_L 。

对于有源泄放网络的六管单元和STTL“与非”门, 由于有源泄放网络的自调整作用, N_L 随温度变化较小, 温度特性较好。

五、延迟时间的温度特性

t_{pd} 、 t_{PHL} 、 t_{PLH} 的温度特性可作如下简单说明。当温度升高时, T_5 管的 β_F 增大, 使 I_{B5} 增大, 加快了导通过程, 所以 t_{PHL} 减小。但 I_{B5} 的增加, 使饱和深度增加, 减慢了截止过程, 使得 t_{PLH} 增大。这两种相反的作用互相抵消, 故 t_{pd} 随温度变化很小。

5.6 TTL 门电路的逻辑扩展

前面讨论了“与非”门, 它是目前大量生产和使用的门电路。从生产上看, 电路品种少, 对于电路的大量生产、提高成品率、降低成本有利, 但从使用角度考虑, 却需要各种功能的门电路。为了解决生产和使用之间的矛盾, 一方面在“与非”门中增加扩展器, 用以实现逻辑功能的扩展。另一方面也生产其他逻辑功能的TTL门, 如“非”门(反相器)、“与”门、“与或非”门、“异或”门等。下面我们先把各种门的真值表、逻辑表达式和逻辑符号用表5-7表示出来, 然后逐个介绍各种门。

(1) “非”门——反相器

由 $F = \bar{A}$ 可知, 单输入端的“与非”门就是“非”门, 它也有五管单元、六管单元和STTL之分, 国内常用的是六管单元和STTL形式。

(2) “与”门

表5-7 各种门的真值表、逻辑表达式和逻辑符号

输入				输出					
				$F = AB$	$F = \overline{AB}$	$F = A + B$	$F = \overline{A + B}$	$F = \overline{AB + CD}$	$F = \overline{AB + \overline{AB}}$
D	C	B	A	"与"门	"与非"门	"或"门	"或非"门	"与或非"门	"异或"门
L	L	L	L	L	H	L	H	H	L
L	L	L	H	L	H	H	L	H	H
L	L	H	L	L	H	H	L	H	H
L	L	H	H	H	L	H	L	L	L
L	H	L	L					H	
L	H	L	H					H	
L	H	H	L					H	
L	H	H	H					L	
H	L	L	L					H	
H	L	L	H					H	

表中：H表示高电平；L表示低电平。

由于 $F = ABC = \overline{\overline{ABC}}$ ，可见只要在“与非”门的基础上加一级反相器就得到“与”门。常用的“与”门电路如图5-41所示。 R_7 、 T_7 、 D 组成一级反相器，其余元件组成一个六管单元“与非”门。在 T_7 发射极下面垫上二极管 D 的目的，是使得这级反相器的关门电平 V_{IL} 和六管单元“与非”门的关门电平相一致，以保证低电平噪声容限 V_{NI} 。

(3) “或非”门和“或”扩展器

如由“与”逻辑和“非”逻辑组合成“与非”逻辑一样，“或非”逻辑：

$$F = \overline{A + B}$$

也可看成由“或”逻辑和“非”逻辑组合而成。就是说，“或非”门可由“或”门加一级反相器组成。图5-42是常见的TTL“或非”门。由图可以看出“或”功能由 T_{21} 和 T_{22} 管完成，因为当 T_{21} 或 T_{22} 导通时，输出管饱和，输出低电平。 T_5 管完成“非”功能。

在“或非”门电路图中，除去 T_{12} 、 T_{22} 和 R_{12} 外，剩下的部分就是具有图腾柱输出结构的“非”门——反相器，所以也可以说“或非”门是在反相器的基础上扩展成的，接到

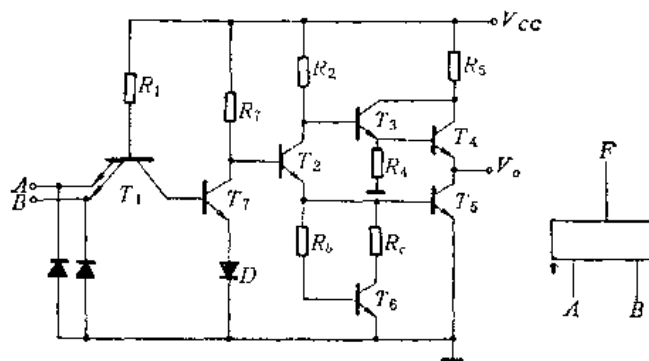


图5-41 “与”门

反相器上去的这一部分,如图 5-43 所示,一般称为“或”扩展器。

要扩展“或非”门的输入端数目,也可用“或”扩展器,比如在图 5-42 所示的二输入端“或非”门基础上,接上图 5-43 所示的一个“或”扩展器,就得到三输入端的“或非”门。接法是,将“或”扩展器的 C 端接到“或非”门 T_{21} 管的集电极, E 端接到 T_2 管的发射极。

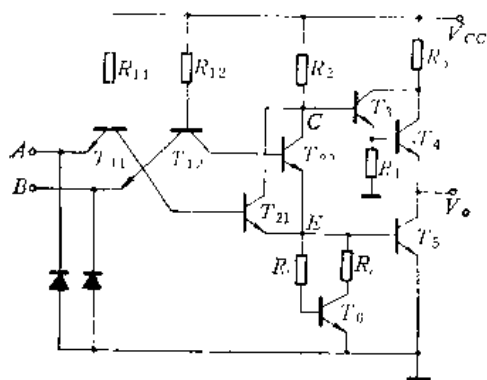


图 5-42 “或非”门

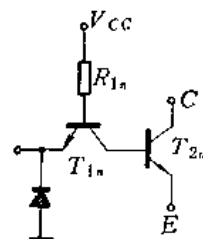
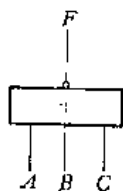


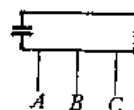
图 5-43 “或”扩展器

到 T_2 管的发射极。

“或非”门和“或”扩展器的逻辑符号如图 5-44 所示。图中画出的是三输入端“或非”



三输入端“或非”门



三输入端“或”扩展器

图 5-44 “或非”门和“或”扩展器的逻辑符号

门和三输入端“或”扩展器的逻辑符号。所谓三输入端“或”扩展器,指的是图 5-43 中的 T_{1n} 管由一个三发射极晶体管取代而成的扩展器。

(4) “与或非”门

“与或非”逻辑也是一种组合逻辑:

$$F = A_1 B_1 + \overline{A_2 B_2}$$

它可看成由“与”-“或”-“非”三种基本逻辑关系组合而成,典型的“与或非”门如图 5-45 所示。“与”逻辑功能由多射极管 T_{11} 、 T_{12} 完成,“或”逻辑功能由 T_{21} 、 T_{22} 管完

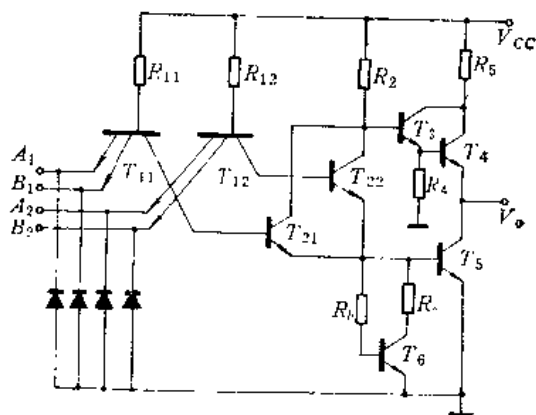


图 5-45 “与或非”门

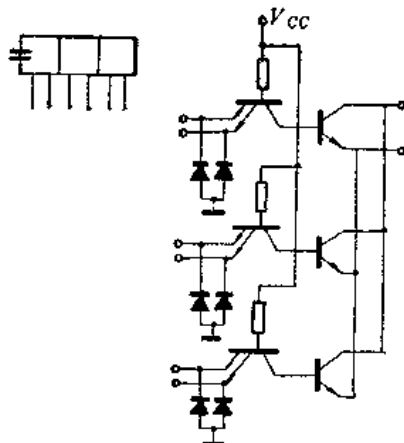


图 5-46 另一种“或”扩展器

成,“非”逻辑功能由图腾柱结构的输出级完成。

“与或非”门也可由“与非”门加“或”扩展器组成,只不过这里的“或”扩展器的 T_1 管是多射极晶体管,如图5-46所示。图5-47是“与或非”门的逻辑符号。

(5) “异或”门

“异或”门也是一种常用的门电路,它有两个输入端,一个输出端,逻辑表达式为:

$$F = \overline{A}B + A\overline{B} \quad (5-78)$$

可以看出,两个输入端的信号相同时(同为高电平或同为低电平),输出 F 为低电平,只有两个输入信号相异时,输出才是高电平,故叫“异或”门。

式(5-78)稍作变换可得到,

$$F = \overline{AB + \overline{A} + \overline{B}} \quad (5-79)$$

由式(5-79)直接可画出“异或”门的电路图,如图5-48所示,图中已标出各部分的逻辑功能。

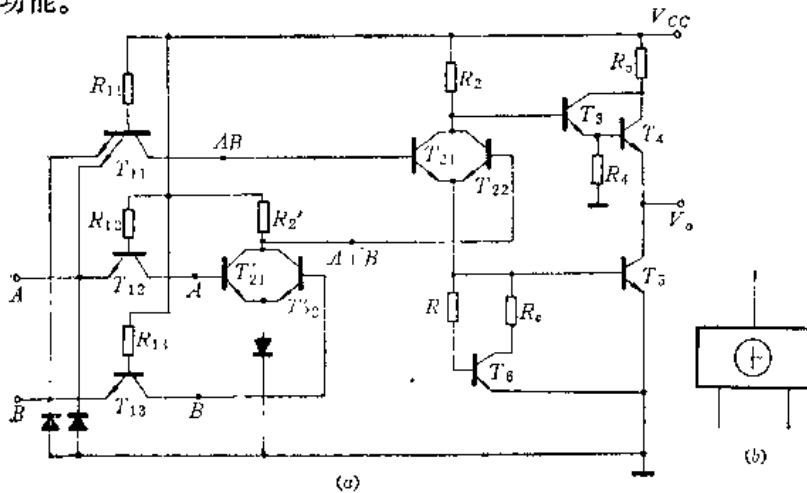


图5-48 “异或”门

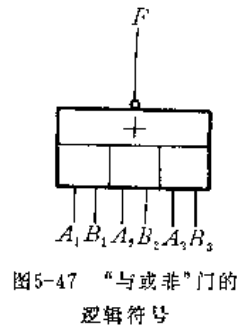


图5-47 “与或非”门的逻辑符号

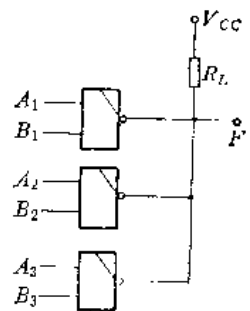


图5-49 “线与”连接

(6) 输出管集电极开路门(简称“OC”门)和“线与”逻辑

在应用中,常常要求将几个TTL门的输出直接连接在一起,以获得“与”的功能,即所谓“线与”逻辑,如图5-49所示。

前面讨论过的各种门电路,不允许作这种连接。因为典型的各种TTL门电路,其输出级为图腾柱结构,当作“线与”连接时,会碰到这样的情况:有一个门的输出为低电平,其余门的输出为高电平。这时输出为高电平的门有一股很大的电流从它的 T_4 管流下,这股电流灌进输出为低电平的门的 T_5 管,这不仅会使得它的输出低电平抬高到不允许的程度,还会把 T_5 管烧毁。

把TTL门图腾柱输出级的 T_3 、 T_4 和 R_5 省略掉,就得到输出集电极开路门(简称“OC”门)。由于它没有有源负载网络,故可作“线与”连接,给用户提供了方便。“OC”门作“线与”使用时,如图5-49所示,要外接负载电阻 R_L 到电源。为了和一般门相区别,在门的逻辑符号中加一斜线,表示它是“OC”门。

(7) 三态逻辑门

“OC”门虽然可作“线与”连接，增加了门的逻辑适应性，但由于它省去了有源负载网络，使得 V_H 下降，特别是驱动容性负载的能力大大降低。为了保持图腾柱输出的优点，而又能作“线与”连接，人们创造了三态逻辑门（简称TSLG）。

典型的三态逻辑门如图 5-50 所示。它是在一个典型的六管单元“与非”门的基础上，增加一个控制反相器组成。当控制信号 G 为低电平时， T_{2G} 管截止，控制信号对基本门不起作用，它的输出由输入信号 A 、 B 决定，可有低阻的高电平和低电平输出两种状态。当控制信号 G 为高电平时， T_{2G} 导通， T_4 、 T_5 截止，输出为高阻抗态。由于这个特点，三态逻辑门在数据传输系统中得到广泛的应用，使得可以将许多各种功能的三态门连接到一根数据总线上。

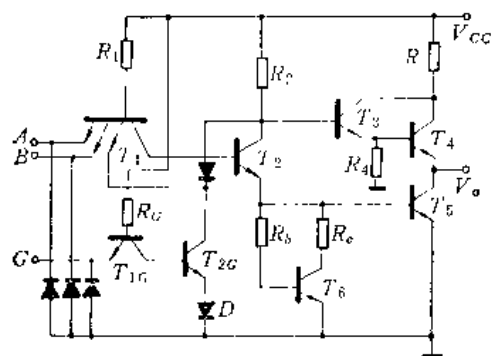


图5-50 三态门

5.7 双极型集成触发器

触发器有两个稳定状态，是数字计算机和其它数字系统中用来存放二进制数码“0”和“1”的基本部件，有着广泛的应用，因此集成触发器是小规模集成电路的重要产品。另一方面，它又是组成寄存器、移位寄存器、计数器和存储器等规模更大、集成度更高的逻辑部件的基本单元，所以在中大规模集成电路中也有很重要的地位。

关于触发器的工作原理，在本书第一篇已作了详细的分析，本节我们结合具体线路对集成触发器的一些问题稍作说明。

由于逻辑功能不同的几种触发器很容易进行互换，所以为了减少电路品种，目前国内生产的TTL集成触发器主要是用量大的D型触发器和功能完善、通用性强的J-K触发器，下面我们只介绍这两种集成触发器。

5.7.1 D型触发器

D型触发器以维持-阻塞结构的六门型式为多，它可由六个“与非”门按图 5-51 的方式连接而成。使用单位用门电路搭触发器时，用同一品种的六个“与非”门按图所示的连接方法连接很方便。但要把D型触发器集成化时，就不能照搬这种做法。从提高集成电路的合格率考虑，总希望尽量简化线路，节省元件，缩小版图面积。对于TTL“与非”门，我们已经介绍过二管单元的简易门；五管单元、六管单元的全门（以区别于简易门）。全门有图腾柱结构的输出级，线路复杂，元件多，但负载能力强。简易门输出为无源网络，结构简单，元件少，但负载能力弱。抓住它们各自的特点，分析六个“与非”门在D型触发器中的作用，可以根据需要选择门，达

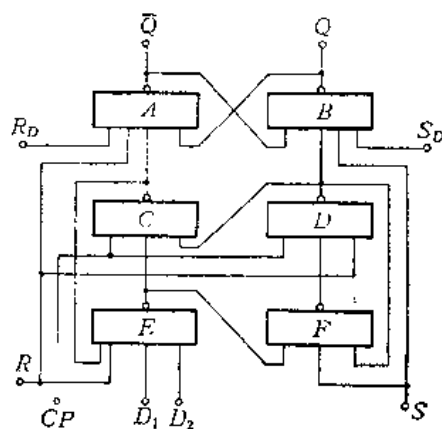


图5-51 D触发器逻辑图

到简化线路的目的。

在图 5-51 中, 组成基本触发器的 A 、 B 门, 它们的输出就是触发器的输出, 在使用时要求带较多的负载, 应选用扇出大的全门。而其余四个导引门, 负载最多的才是三个, 可以采用扇出小的简易门。目前国内常见的 D 触发器线路如图 5-52 所示。对于中速 D 触发器, 图中各电阻阻值为:

$$R_0 = 3.4\text{k}\Omega \quad R_1 = 4\text{k}\Omega \quad R_2 = 1\text{k}\Omega \quad R_4 = 3\text{k}\Omega$$

$$R_5 = 100\Omega \quad R_6 = 500\Omega \quad R_8 = 250\Omega$$

线路图的右半部分是两个全门, 左半部分是四个简易门。简易门可看成各由两个晶体管和一个二极管组成。为了进一步简化线路, 四个简易门公用一个二极管。增加这个二极管是为了提高简易门的关门电平 V_{IL} , 以提高低电平噪声容限 V_{NLo} 。

两个全门采用内耦合的办法组成基本触发器。所谓内耦合, 是指从一个门的内部 (T_2 管的集电极) 反馈到另一个门的输入端的耦合办法 (相应地, 从一个门的输出端反馈到另一个门的输入端的耦合办法叫外耦合)。采用内耦合有三个优点: ① T_2 管尺寸小, 它的负载又轻,

从它输出, 速度快; ② 从 T_2 管输出耦合, 使门的负载少了一个, 提高了触发器的负载能力; ③ 用内耦合, 两个全门的输出没有直接关系, 所以一个门的负载变化不会影响另一个门的速度, 触发器的速度稳定。

但用内耦合也产生了新问题: 从 B 门 T_2 管集电极输出, 输出低电平升高: $V_{OL} = V_{CES2} + V_{BE5} \approx 1\text{V}$, 将它直接反馈到 A 门 T_1 管, 触发器工作不可靠。因为 A 门的 V_{NL} 为:

$$V_{NL} = V_{IL} - V_{OL}$$

对于六管单元的全门, V_{IL} 在 $1.2 \sim 1.3\text{V}$ 左右, V_{NL} 只有 $0.2 \sim 0.3\text{V}$ 左右, 稍有干扰信号, 触发器就要发生错误动作。

解决这个问题的办法是, 将 T_1 管的这个输入端分出来, 变成 T_0 管, 串在 T_1 管的基极上面 (如图 5-52 中那样), 这样, 虽然 T_0 管的输入低电平比 T_1 管的高一个 PN 结的正向压降, 但 T_0 管的集电极到地也比 T_1 管的集电极到地多跨一个 PN 结。

为了提高低电平噪声容限, 四个简易门输出管的发射极公用了一个二极管。加了这个二极管, 触发器输入端的抗干扰能力 V_{NL} 虽然提高了, 但由于简易门输出低电平 V_{OL} 升高, 触发器在高温下的可靠性也变差了。下面稍加说明。

由 A 、 B 门组成的基本触发器, 其电压传输特性如图 5-53 所示。由于 A 、 B 门之间的

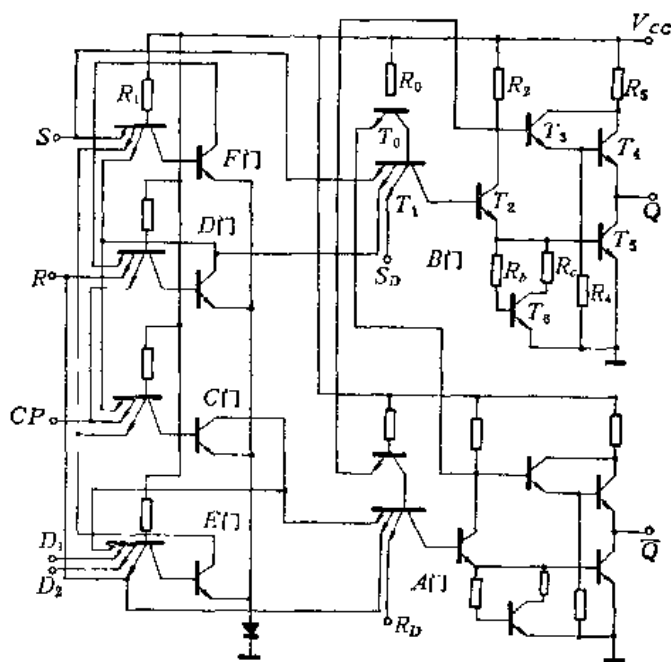


图5-52 集成 D 触发器

相互作用, 特性曲线的矩形性比 A 、 B 门本身的矩形性好。由于 V_{be} 是随温度升高而下降的, 基本触发器传输特性曲线转换区的电压(记为 V^*) 也是随温度升高而减小的, 从图中可看出:

$$V^*(25^\circ\text{C}) \approx 1.3 \sim 1.4 \text{ V}$$

$$V^*(85^\circ\text{C}) \approx 1.2 \text{ V}$$

$$V^*(125^\circ\text{C}) \approx 1.1 \text{ V}$$

由于串接了二极管, 导引门 C 、 D 的输出低电平 V_{OL} 为:

$$V_{OL} = V_{CES} + V_{be} \approx 1 \text{ V}$$

因 V_{CES} 随温度升高而增加, 而 V_{be} 随温度升高而减小, 所以 V_{OL} 基本不随温度变化, 高低温下都为 1 V 左右。这样, 在室温下触发器能可靠地工作。但当温度接近 85°C 和 125°C 时, C 、 D 门输出的低电平 V_{OL} 和基本触发器的 V^* 很接近, 触发器的可靠性变得很差。

为提高触发器的可靠性, 在版图设计中, C 、 D 门 T_2 管的尺寸应当适当做大些, 保证 r_{be} 小, V_{OL} 低。工艺制作中, 也要控制外延层电阻率和外延层厚度, 保证 r_{be} 小, V_{OL} 低。

最后要说明一下, 实际的 D 触发器, 除了 D 输入端外, 还有置“0”置“1”端。常用的置“0”置“1”方式有两种: 一种是通过 R_D 、 S_D 的同步置“0”置“1”, R_D 输入只加到 A 门, S_D 只加到 B 门, 这种方式, R_D 、 S_D 信号来时要求时钟脉冲 $CP=0$ (即同步), 否则 R_D 、 S_D 信号起不到置“0”置“1”作用; 这种方式的优点是 R_D 、 S_D 信号源的负载轻。第二种是通过输入端 R 、 S 的异步置“0”置“1”, R 输入信号同时加到 A 、 D 、 E 三个门, S 信号同时加到 B 、 F 两个门。这种方式 R 、 S 信号源的负载重, 但对时钟脉冲没有要求。这里介绍的 D 型触发器线路, 两种置“0”置“1”方式都有, 供用户灵活选用。它有两个 D 输入端 D_1 、 D_2 , D_1 和 D_2 的“与”起 D 的作用。

为了提高 D 触发器高温下的可靠性, 可用三管单元(如图 5-54 所示)代替二个单元作导引门。三管单元简易门的输出低电平 V_{OL} 只有 $0.1 \sim 0.2 \text{ V}$ 左右, 保证了触发器的高温可靠性。

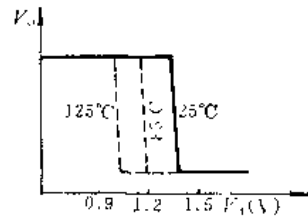


图 5-53 基本触发器的电压传输特性

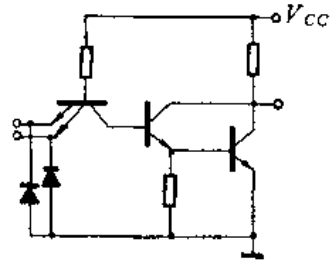


图 5-54 三管单元简易门

5.1.2 集成 J - K 触发器

集成 J - K 触发器的类型很多, 这里只分析近几年发展起来的性能比较好的一种集成 J - K 触发器。它的线路如图 5-55 所示。中速系列的 J - K 触发器, 各电阻阻值为:

$$R_0 = 3.4 \text{ k}\Omega \quad R_1 = 4 \text{ k}\Omega \quad R_2 = 1 \text{ k}\Omega$$

$$R_4 = 3 \text{ k}\Omega \quad R_5 = 100 \Omega \quad R_6 = 4 \text{ k}\Omega$$

$$R_7 = 1 \text{ k}\Omega \quad R_8 = 800 \Omega \quad R_9 = 500 \Omega$$

$$R_{10} = 250 \Omega$$

图 5-55 的上半部分是两个各有两个“或”组的“与或非”门, 它们相互内耦合, 组成时钟控制的 S - R 触发器 (简称 SRT 触发器), 图的下半部分是两个输出集电极开路的“与非”门, 作为引导门用。

为了分析它的工作原理, 我们画出它的逻辑图, 如图 5-56 所示。由图可知, 当时钟脉冲未来时 ($CP=0$) “与非”门 C 、 D 被封锁, 它们的输出都是高电平: $Q_C=Q_D=1$, 这

时 J 、 K 输入不影响 A 、 B 门组成的 SRT 触发器的状态。在 CP 脉冲的前沿 (CP 由 $0 \rightarrow 1$)， C 、 D 的封锁开始解除，触发器开始动作。设触发器原来的状态是 $Q = 0$ ， $\bar{Q} = 1$ 。由图 5-55 右上部知， $Q = 0$ 时， T_2 和 T_2' 两个管子中起码有一个是导通的，设 T_2 导通， T_2' 截止。那么在 CP 前沿，由于 $\bar{Q} = 1$ ， $CP \rightarrow 1$ ，促使 T_2' 管导通，维持输出 $Q = 0$ 的状态。但这时 C 、 D 的封锁已解除， J 、 K 输入的信号要传进来，有可能使触发器发生动作。但从图 5-56 可看出， CP 脉冲前沿是同时加到 C 门和 B_1 或组的，它们在 CP 脉冲的作用下同时动作。而 B_2 或组要等 C 门翻转后才开始动作，所以一般可保证在 CP 前沿作用下， T_2' 管完成由截止到导通的转变后， T_2 管的状态才发生变化，这就保证了在脉冲前沿，触发器的输出状态 Q 不随输入信号变化。

在脉冲后沿 (CP 由 $1 \rightarrow 0$) 由于 $CP = 0$ 同时作用于 C 、 D 门和 A_1 、 B_1 或组，它开始封锁 B_1 、 A_1 或组的同时，也开始封锁 C 、 D 门，使它们的输出 $Q_c = Q_d = 1$ 。但这两个同时进行的过程，其速度是不相同的， C 、 D 门是输出集电极开路门，一般它的速度比较慢， A_1 、 B_1 或组被封锁住了， C 、 D 门的封锁过程还没有完成， Q_c 、 Q_d 还没有变成 1，还保持 $CP = 1$ 时的状态。我们分析一下这个瞬时的状态。

这个瞬时的条件是 A_1 、 B_1 或组已被封锁 (即图 5-55 上半部分左右两边两个“与或非”门的 T_2' 管

都已截止)，而 C 、 D 输出还是 $CP = 1$ 时的值，由图 5-56 可看出，此时 A_2 、 B_2 交叉耦合，组成一个 S - R 触发器 (如图 5-57 所示)，其输入 R 、 S 就是 $CP = 1$ 时 C 、 D 门的输出 Q_c 、 Q_d 。

S - R 触发器的功能可由真值表 5-8 查得。

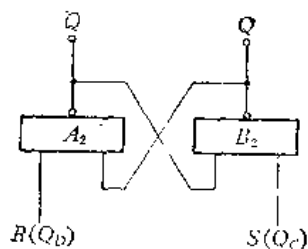
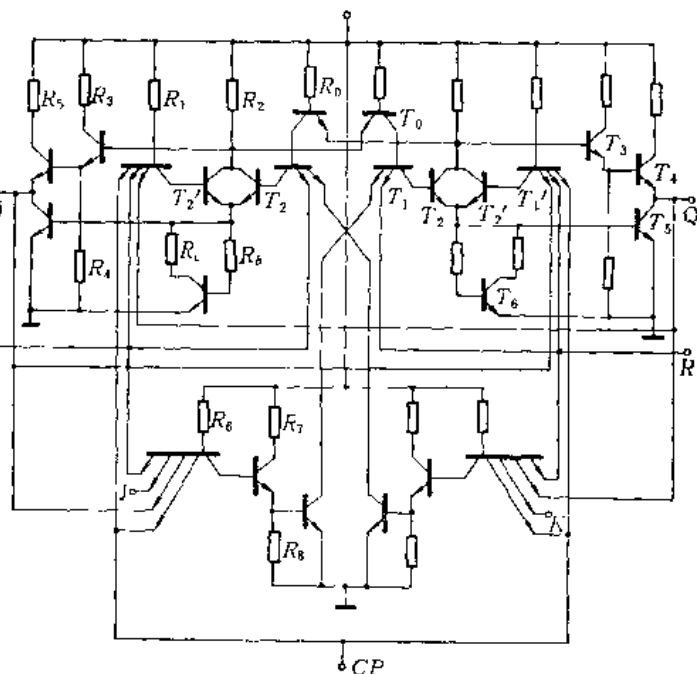
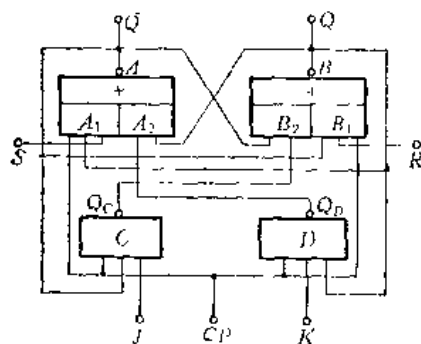


图 5-57

图 5-55 集成 J - K 触发器图 5-56 J - K 触发器逻辑图表 5-8 S - R 触发器真值表

R (Q_D)	S (Q_C)	Q_{n+1}
0	0	不定
0	1	0
1	0	1
1	1	不变

由图 5-56 可看出, 表中的 Q_C 、 Q_D 为:

$$Q_C = J\bar{Q}$$

$$Q_D = \bar{K}Q$$

将 Q_C 、 Q_D 代入表 5-8, 并将 J 、 K 、 Q_n 的各种组合列出得到真值表 5-9。注意表中 J 、 K 、 Q_{n+1} 的关系, 它们刚好是 J - K 触发器的逻辑关系, 如表 5-10 所示。

表 5-9

J	K	Q_n	Q_C	Q_D	Q_{n+1}
0	0	0	1	1	Q_n
0	0	1	1	1	Q_n
0	1	0	1	1	0
0	1	1	1	0	0

表 5-10

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	$\bar{Q}_n$

到此为止, 我们已证明, 图 5-55 是一个后沿触发的 J - K 触发器, 归纳一下, 它的作用原理是这样的: CP 低电平期间, 导引门 C 、 D 被封锁, 触发器状态由 A_2B_2 或组组成的 S - R 触发器保持, 和输入信号 J 、 K 无关。 CP 高电平期间, J 、 K 信号存入导引门 C 、 D (反映在它的输出 Q_C 、 Q_D 上), 但此时输出状态由 A_1 、 B_1 组成的触发器保持, 由于 A_2 、 B_2 门受 CP 前沿作用比 A_1 、 B_1 晚一级门的延迟时间, 触发器的状态仍和 J 、 K 输入信号无关。就是说这种触发器是没有空翻现象的。

在 CP 后沿, 由于“与或非”各“或”组的速度比导引门快, 当 A_1 、 B_1 封锁过程完成时, 导引门 C 、 D 还来不及被封锁住, CP 高电平期间存入 C 、 D 门的信号 Q_C 、 Q_D , 现在促使 A_2 、 B_2 组成的 S - R 触发器状态发生变化。由于在线路上将触发器的输出反馈到输入, Q_C 、 Q_D 不可能同时为 0, 从而改变了 S - R 触发器 $R = S = 0$ 的不确定状态, 也就是说它实现了 J - K 触发器的逻辑功能。

从上面的分析看出, 这种触发器的可靠翻转, 是利用了导引门 C 、 D 比“与或非”门慢这一点来实现的。因此在设计和生产中, 一定要保证导引门的速度比 A 、 B 门的速度慢。一般情况下, 导引门采用集电极开路门, 基本上可保证这一点的实现。有时为可靠起见, 还采取一些其它措施, 比如增加导引门输入端的数目, 增大导引门门电阻的阻值, 增大导引门输出管的尺寸和泄放电阻的阻值等等。

这种触发器的最大优点是速度高, 因为触发器工作过程在这里基本上只涉及两级门, CP 高电平期间, 输入信号存入 C 、 D 门, 这只需一级门延迟时间。脉冲后沿, Q_C 、 Q_D 促使 A 、 B 翻转, 这也只需一级门延迟时间。在各种 J - K 触发器中, 它的线路比较简单, 元件也较少, 易于集成。

参 考 资 料

- [1] Meyer C. S., D. K. Lynn and D. J. Hamiton, 《Analysis and Design of Integrated Circuits》Chapter 10. McGraw-Hill Book Company, New York, 1968.
中译本《集成电路的分析和设计》第十章, 科学出版社, 1970年版。
- [2] 复旦大学微电子教研组编《集成电路设计原理——双极型逻辑集成电路》第三章, 人民教育出版社, 1978年版。
- [3] D. J. Hamiton and W. G. Howard, 《Basic Integrated Circuit Engineering》Chapter 12.13. McGraw-Hill Inc. 1975.
- [4] “线饱和高速双与非门BG522”北京无线电器件厂编“集成电路”1973年第1期。
- [5] “集成电路直流参数的温度特性测试分析”上无十九厂1975年10月出版的“数字集成电路”第一辑。
- [6] “数字集成电路”第二、三章, 上无十九厂资料室编, 1975年。
- [7] Lane S. Garrett, “Integrated Circuit Digital Logic Families” IEEE Spectrum, Vol. 7, No. 11, pp63-71.
- [8] 《晶体管-晶体管数字集成电路》第二章, 北京大学编, 科学出版社, 1977年版。
- [9] Eugene R. Hnatek 《A User's Handbook of Integrated Circuits》Chapter 4. 1973.
- [10] 《晶体管原理与设计》北京大学半导体专业编著。

第六章 TTL 电路版图设计

TTL 电路的工作原理、电路性能及线路设计的一般方法,已在上一章作了详细的分析和讨论,在这个基础上,本章就转入讨论 TTL 电路版图设计的有关问题:首先讨论构成集成电路的各种元件(晶体管、二极管、电阻)的设计,然后给出集成电路版图设计的基本原则和一般程序,最后以中速 TTL 电路和 STTL 电路作为设计的实例,给出版图设计的具体方法和步骤。

6.1 晶体管设计

晶体管是集成电路的核心元件。要设计一个性能良好的集成电路首先要设计电特性符合要求的晶体管。晶体管的特性是由其图形尺寸和工艺条件决定的。在工艺条件给定的前提下,晶体管图形设计的合理与否会直接影响晶体管特性的好坏,最终将影响集成电路性能的优劣,因而晶体管的设计在集成电路中就显得特别重要。

在这一节里,首先讨论各种常用晶体管图形,然后讨论图形尺寸对晶体管主要特性的影响。

6.1.1 晶体管常用图形

在双极型逻辑集成电路中,常用的晶体管图形有下列五种,如图 6-1 所示。

(1) 单基极条形(图 6-1 a)

它是目前集成电路中最常用的一种,其特点是占用面积小、结构简单。由于它面积小,所以结电容和寄生电容也小,特征频率比较高。由于是单基极条,所以发射极的有效周长短,基极串联电阻较大,这对它的最大工作电流、最高振荡频率和噪声系数都是不利的。因此,这种图形结构主要适用于要求通过电流较小而特征频率较高的晶体管。

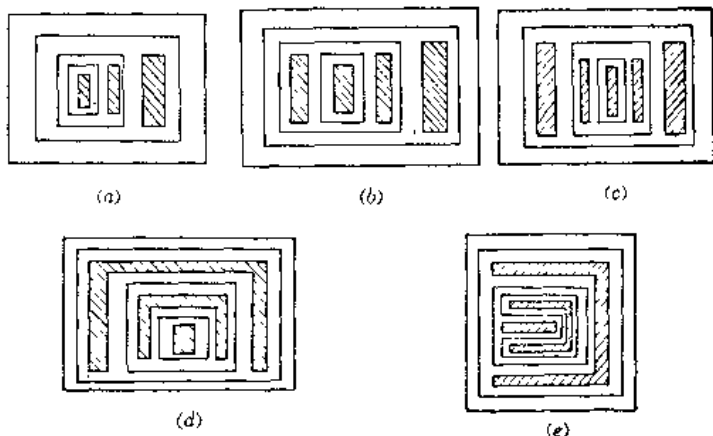


图 6-1 集成电路晶体管常用图形

(a) 单基极条形; (b) 双基极条形; (c) 双基极双集电极形;
(d) 基极马蹄形; (e) 发射极马蹄形。

(2) 双基极条形(图 6-1 b)

由于它是双基极结构,所以与单基极条相比,它有更长的发射极有效周长和较低的基极串联电阻,这对它的最大工作电流、最高振荡频率和噪声系数都是有利的。但由于占用了稍大的面积,所以特征频率稍低。

(3) 双基极双集电极形(图 6-1 c)

这种晶体管的特点是允许通过较大的电流, 饱和压降低, 一般用作输出管。

(4) 基极马蹄形 (图 6-1d)

与双基极结构相比, 在发射区长和宽相同的情况下, 最大工作电流大致相同, 基极串联电阻也基本相等。它的主要特点是集电极串联电阻较小, 因此常用作集成电路中的输出管。

(5) 发射极马蹄形 (图 6-1e)

它的主要特点是集电极串联电阻更小。最大工作电流与双基极双集电极结构基本相同。

6.1.2 晶体管图形尺寸与其特性的关系

前面已经指出, 晶体管的特性主要取决于其图形尺寸和工艺条件, 在工艺条件给定的前提下, 晶体管图形尺寸设计得是否合理将直接影响晶体管的好坏。

对于逻辑集成电路中的晶体管, 主要关心下列特性: (1) 击穿电压, (2) 集电极串联电阻和饱和压降, (3) 电流容量, (4) 结电容和寄生电容, (5) 频率特性, (6) 寄生晶体管效应等。

结电容、寄生电容和寄生晶体管效应在第四章已进行了详细的讨论; 击穿电压主要由材料和工艺参数决定; 下面主要讨论与晶体管图形直接相关的特性: 电流容量、集电极串联电阻和饱和压降以及频率特性。

一、电流容量

晶体管的共射极电流放大系数 β 随工作电流 I_c 而变化。在工作电流较大时, β 随 I_c 的增加而下降。如果 I_c 太大就会使 β 下降到设计值允许范围以下。这就是说, 晶体管有一个最大可容许的工作电流, 常称为最大工作电流 (或电流容量)。

由于发射区存在“电流集边”效应, 使得晶体管的最大工作电流 I_M 正比于发射区“有效周长” l'_e , 而与面积几乎无关, 即

$$\begin{aligned} I_M &= \alpha l'_e \\ \alpha &= \frac{I_M}{l'_e} \end{aligned} \quad (6-1)$$

式中 α 是发射区“单位有效周长”的最大工作电流。

由上式可见, 对于需要通过较大工作电流的晶体管, 可采用具有较大周长面积比的发射区结构, 在小的结面积下可获得较大的电流容量。

α 由实验确定。在线性应用中, 对 β 要求较严格, α 取较小值, 一般为 $0.04 \sim 0.16$ mA/ μ m; 在逻辑电路中, 允许 β 的变动范围比较宽, α 可取较大值, 一般为 $0.16 \sim 0.4$ mA/ μ m。

二、饱和压降

由于集成电路中的晶体管集电极做在上表面而不是在底面, 引进了较大的集电极串联电阻 r_{cs} , 所以使它的饱和压降大大增加。

晶体管饱和压降 V_{CES} 的表达式为:

$$V_{CES} = V_{ces0} + I_C r_{cs} \quad (6-2)$$

在深饱和时, 本征饱和压降 V_{ces0} 通常较小, 仅为 0.1 V 左右, 这时 V_{CES} 主要由 $I_C r_{cs}$

决定。没有隐埋层的集成电路晶体管，它的集电极串联电阻可高达几百欧姆，若它的工作电流为 10 mA，那么 $I_C r_{cs}$ 就在几伏左右，使得饱和压降 V_{CES} 远远超过设计值（0.3 V 左右）。可见，要使 V_{CES} 满足设计要求，关键是设法减小 r_{cs} ，而减小 r_{cs} 的根本措施是设置隐埋层。设置隐埋层后， r_{cs} 可减小一个数量级，一般能做到 20 Ω 以下。若这时晶体管的工作电流仍为 10 mA，那么 $I_C r_{cs}$ 约为 0.2 V，饱和压降 $V_{ces} = 0.1 + 0.2 = 0.3$ V，基本满足设计指标的要求。

下面举例分别计算无隐埋层和有隐埋层晶体管的集电极串联电阻 r_{cs} 和饱和压降 V_{CES} ，以进一步说明隐埋层对减小 r_{cs} 和降低 V_{CES} 的显著作用。

图 6-2 是一个无隐埋层集成电路晶体管的平面图和截面图（单集电极结构）。

为计算方便，把集电极电流经过的区域分为四段， r_{cs} 由四个电阻串联而成，分别以 R_I 、 R_{II} 、 R_{III} 、 R_{IV} 表示，则

$$r_{cs} = R_I + R_{II} + R_{III} + R_{IV} \quad (6-3)$$

R_I 是长方体电阻，其阻值为：

$$R_I = \frac{\rho_s x_{je}}{l_e d_e} \quad (6-4)$$

R_I 是拐角处的体电阻，电流从矩形薄片的一个面流进，从其垂直方向流出，如图 6-2(c) 所示，其阻值通常以拐角处长方体电阻值的 $\frac{1}{3}$ 来估算：

$$R_I = \frac{\rho_s d_e}{3 l_e W_e} \quad (6-5)$$

R_{II} 是梯形体电阻，如图 6-2(d) 所示，其阻值为：

$$R_{II} = \frac{\rho_s d_{ee}}{\frac{1}{2} (l_e + l_e) W_e} \quad (6-6)$$

R_{IV} 也是拐角处体电阻，其阻值为：

$$R_{IV} = \frac{\rho_s W_e}{3 l_e d_e} \quad (6-7)$$

于是总的集电极串联电阻 r_{cs} 为：

$$r_{cs} = \rho_s \left(\frac{x_{je}}{l_e d_e} + \frac{d_e}{3 l_e W_e} + \frac{2 d_{ee}}{(l_e + l_e) W_e} + \frac{W_e}{3 l_e d_e} \right) \quad (6-8)$$

式中 l_e 和 d_e 分别是发射区的长和宽， l_e 和 d_e 是集电极引线孔的长和宽， x_{je} 是集电结深， D 是外延层厚度， $W_e = D - x_{je}$ ， ρ_s 是外延层电阻率。

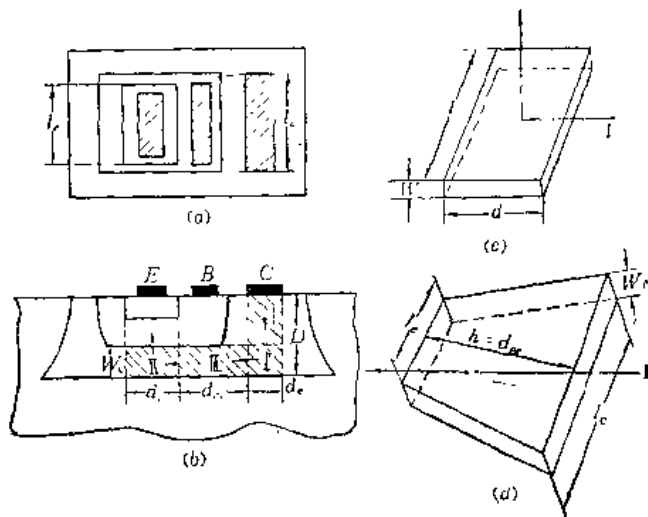


图 6-2 无隐埋层晶体管平面图和截面图

(a) 平面图；(b) 截面图；(c) 矩形薄片等效体电阻 (R_I 、 R_{IV} 情形)；(d) 梯形体电阻 (R_{II} 情形)。

假设图 6-2 中晶体管的图形尺寸为: $l_e=100\mu\text{m}$, $d_e=30\mu\text{m}$, $l_c=120\mu\text{m}$, $d_c=20\mu\text{m}$, $d_{ee}=46\mu\text{m}$; 有关的工艺参数为: $\rho_e=0.5\Omega\cdot\text{cm}$, $D=8\mu\text{m}$, $x_{je}=3\mu\text{m}$, $W_e=D-x_{je}=5\mu\text{m}$, 那么该晶体管集电极串联电阻 r_{es} 为:

$$r_{es}=0.5\times\left(\frac{3\times 10^{-4}}{120\times 20\times 10^{-8}}+\frac{20\times 10^{-4}}{3\times 120\times 5\times 10^{-8}}+\frac{2\times 46\times 10^{-4}}{(120+100)\times 5\times 10^{-8}}+\frac{5\times 10^{-4}}{3\times 100\times 30\times 10^{-8}}\right)=0.5\times(12.5+111+836+5.5)$$

$$=482.5\approx 483(\Omega)$$

若工作电流 $I_C\approx 10\mu\text{A}$, $V_{ces0}=0.1\text{V}$, 那么该晶体管饱和压降则为:

$$V_{CES}=V_{ces0}+I_C r_{es}=0.1+10\times 10^{-3}\times 483$$

$$=4.93(\text{V})$$

图 6-3 是有隐埋层的双集电极晶体管的平面图和截面图。这时晶体管的集电极电流分为两条支路, 总集电极串联电阻 r_{es} 由两个分电阻 r_{es1} 和 r_{es2} 并联, 设 $r_{es1}=r_{es2}$, 则

$$r_{es}=\frac{1}{2}r_{es1}$$

由图 6-3 可见, 第一条支路电阻 r_{es1} 由五个电阻串联而成:

$$r_{es1}=R_1+R_1+R_2+R_N+R_V$$

而

$$R_1=\frac{\rho_e D}{l_e d_e}$$

$$R_1=\frac{R_{\square} d_e}{3l_e}$$

$$R_2=\frac{R_{\square} d_{ee}}{\frac{1}{2}(l_e+l_c)}$$

$$R_N=\frac{R_{\square} d_e}{3l_e}$$

$$R_V=\frac{\rho_e W_e}{l_e d_e}$$

所以

$$r_{es}=\frac{1}{2}r_{es1}=\frac{\rho_e}{2}\left(\frac{D}{l_e d_e}+\frac{W_e}{l_e d_e}\right)+R_{\square}\left(\frac{d_{ee}}{l_e+l_c}+\frac{d_e}{6l_e}+\frac{d_e}{6l_e}\right) \quad (6-9)$$

式中, $R_{\square}$ 为隐埋层薄层电阻。

假设图 6-3 中晶体管的图形尺寸为: $l_e=100\mu\text{m}$, $d_e=30\mu\text{m}$, $l_c=120\mu\text{m}$, $d_c=20\mu\text{m}$, $d_{ee}=46\mu\text{m}$; 有关的工艺参数: $\rho_e=0.5\Omega\cdot\text{cm}$, $R_{\square}=20\Omega/\square$, $D=8\mu\text{m}$, $x_{je}=3\mu\text{m}$,

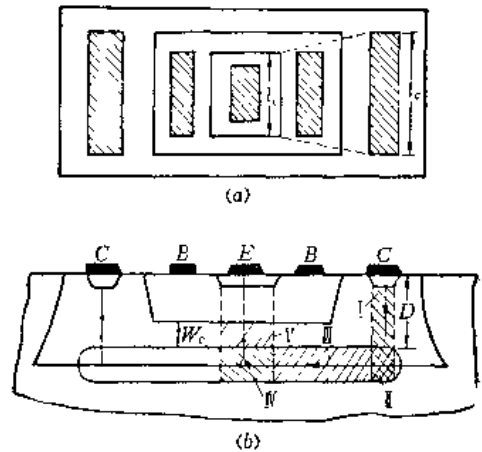


图6-3 有隐埋层晶体管平面图和截面图

(a)平面图, (b)截面图。

$W_e = D - x_{je} = 5 \mu\text{m}$, 那么该晶体管的集电极串联电阻 r_{cs} 为:

$$r_{cs} = \frac{0.5}{2} \left(\frac{8 \times 10^{-4}}{120 \times 20 \times 10^{-8}} + \frac{5 \times 10^{-4}}{100 \times 30 \times 10^{-8}} \right) + 20 \left(\frac{46}{100+120} + \frac{20}{6 \times 120} + \frac{30}{6 \times 100} \right) \\ = 3.3 + 4.2 + 4.2 + 0.6 + 1 = 18.3 \approx 18 (\Omega)$$

若工作电流 $I_C = 10 \text{mA}$, $V_{ces0} = 0.1 \text{V}$, 那么该晶体管的饱和压降则为:

$$V_{CES} = V_{ces0} + I_C r_{cs} = 0.1 + 10 \times 10^{-3} \times 18 = 0.28 (\text{V})$$

可见, 集成电路晶体管设置隐埋层后, 集电极串联电阻和饱和压降有了显著的降低。

必须指出, 在上面的计算中, 尚未计入集电极接触孔 N^+ 扩散, 隐埋层反扩散, 以及氧化时使外延层厚度减薄等方面的影响, 如果计入这些影响, r_{cs} 还应小一些。

由式 (6-8)、(6-9) 可以看出, 要降低集成电路晶体管集电极串联电阻, 可采取如下措施: 采用低电阻率薄层外延片, 降低隐埋层薄层电阻, 增大发射区、集电极引线孔的周长和面积, 缩小集电极与发射区之间的距离, 选用适当的图形结构等。

三、频率特性

在集成电路中, 采用 PN 结隔离的 NPN 晶体管的特征频率 f_T 可近似表示为:

$$\frac{1}{f_T} = 2\pi \times 1.4 \left[r_e C_e + \frac{W^2}{5D_{ab}} + \frac{\delta_e}{v_m} + r_{es} C_e + \frac{1}{2} r_{cs} C_{cs} \right] \quad (6-10)$$

式 (6-10) 中, 前四项与分立晶体管相同, 第五项 $\frac{1}{2} r_{cs} C_{cs}$ 是集成电路晶体管所特有的, 通常称为隔离结电容充放电时间常数, 以 τ_s 表示:

$$\tau_s = \frac{1}{2} r_{cs} C_{cs} \quad (6-11)$$

图 6-4 是隔离结充放电示意图。隔离结的一个极与 NPN 晶体管的集电极相连, 另一端与“地”相连。集电区分布电阻和隔离结电容构成 RC 网络。当晶体管工作时, 隔离结电容通过分布电阻不断地充放电, 而使讯号产生延迟。当电子由发射结注入经基区到达集电区时, 一部分经过集电极串联电阻 r_{cs} 流到集电极, 构成集电极电流; 另一部分通过集电区分布电阻 r'_{cs} 对隔离结电容 C_{cs} 充电, 如图 6-4 所示。集电区分布电阻 r'_{cs} 的数值大致上与集电极串联电阻 r_{cs} 相同, 考虑到 C_{cs} 和 r'_{cs} 的分布特性, 隔离结电容 C_{cs} 的充放电时间常数 τ_s 可近似为:

$$\tau_s = \frac{1}{2} r_{cs} C_{cs}$$

可见, 在同样条件下, 集成电路晶体管比分立晶体管的特征频率要低些, 所以在集成电路晶体管的图形设计中应尽量减少隔离结的面积。

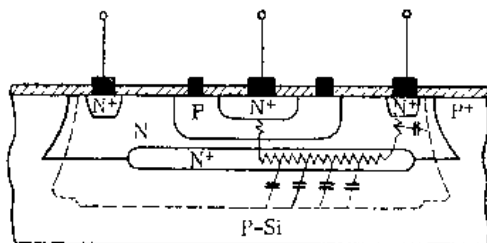


图 6-4 隔离结电容充放电示意图

6.2 二极管设计

集成电路中的二极管通常由晶体管的不同连接方式而构成, 这是因为把晶体管连接成二极管往往比做单独的二极管还方便些, 而且有些连接方式还有一些优点。由晶体管各电

极的不同连接所构成的二极管有五种，连同单独 $b-c$ 结二极管共有六种类型：(A) 发射极开路，(B) 集电极开路，(C) $B-C$ 短接，(D) $B-E$ 短接，(E) $C-E$ 短接，(F) 单独 $B-C$ 结。

图 6-5 是集成电路中六种形式二极管的示意图。图 6-5(a) 是六种二极管的连接方式

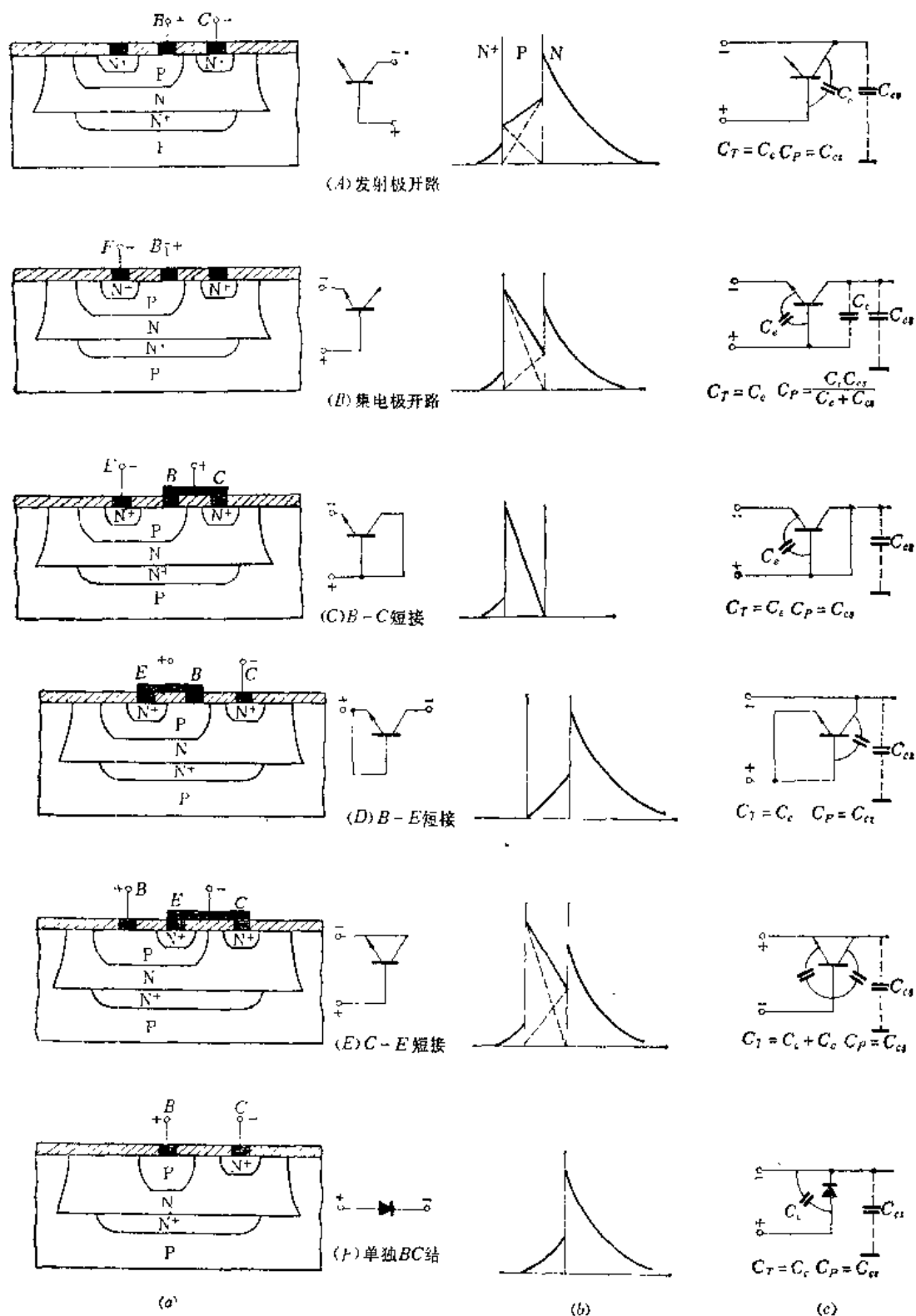


图 6-5 集成电路中六种形式二极管

和截面图, 图 6-5(b) 是六种二极管正向工作时电荷的存贮情况, 图 6-5(c) 是六种二极管的电容及其寄生电容。

表 6-1 列出了六种二极管的典型参数值。在实际设计中, 可根据对参数的不同要求选用不同形式的二极管。

表 6-1 六种二极管特性典型值

连接方式		(A)	(B)	(C)	(D)	(E)	(F)
特性参数		$I_E = 0$	$I_C = 0$	$V_{BC} = 0$	$V_{BE} = 0$	$V_{CE} = 0$	单独 BC 结
恢复时间 (ns, 2mA 下)		100	80	25(最短)	75	120(最长)	中等
正向压降 (V)	1mA 下	0.605	0.694	0.677	0.605	0.609	0.635
	10mA 下	0.94	0.98(最大)	0.87(最小)	0.94	0.91	较小
击穿电压 (V, 10mA 下)		45	7	7	45	7	>20
结电容 (pF) (5V 反偏)		C_c 0.8	C_e 0.6	C_e 0.6	C_c 0.8	$C_c + C_e$ 1.4	C_c 0.8
寄生电容 (pF) (5V 反偏)		C_{cs} 2.9	$\frac{C_c C_{cs}}{C_c + C_s}$ 1.2	C_{cs} 2.9	C_{cs} 2.9	C_{cs} 2.9	C_{cs} 2.9
漏电流 (nA) (5V 反偏)		1	5	5	1	5	
特	点	耐压高	寄生电容小	恢复时间短, 无寄生 PNP 晶体管效应		击穿电压高	恢复时间长 面积小, 正向压降低, 击穿电压高

6.3 电阻设计

集成电路中的电阻, 通常与晶体管的任一步扩散同时进行而制作成扩散电阻。原则上讲, 不论发射区、基区和集电区 (外延层) 都可以制作电阻。实际上, 以基区硼扩散电阻最实用, 这是因为它的薄层电阻在 $200 \Omega/\square$ 左右, 对逻辑集成电路中的电阻值范围是最适中的, 而且温度系数也较小, 一般为 $1.9 \times 10^{-3}/^\circ\text{C}$ 。硼扩散电阻的截面图如图 6-6 所示。

下面主要讨论硼扩散电阻的特性和设计, 而对其它类型的电阻只作简单介绍。

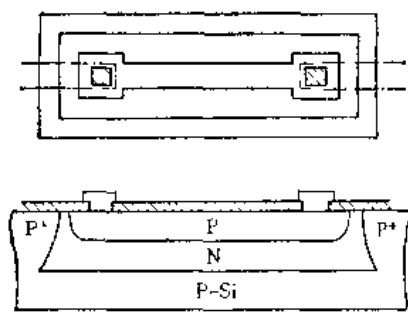


图 6-6 硼扩散电阻的平面图和截面图

6.3.1 硼扩散电阻

一、电阻图形设计

常用电阻图形有胖形、瘦形和折迭形三种, 如图 6-7 所示。它们主要用于:

(1) 胖形: 常用于低阻值 ($50 \sim 10^2 \Omega$) 电阻;

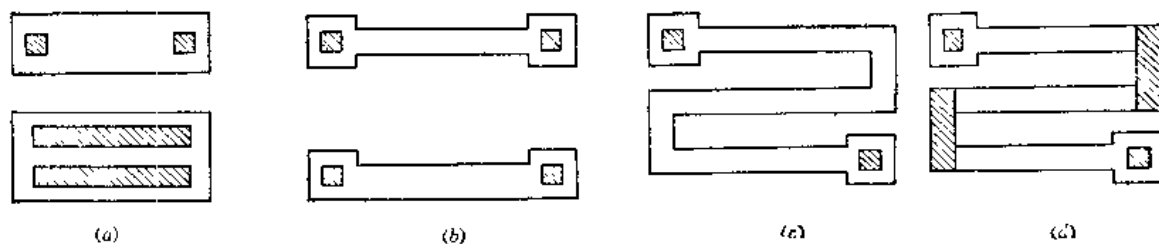


图6-7 常用电阻图形

(a) 胖形; (b) 瘦形; (c) 折迭形; (d) 拐角处蒸发金属膜。

(2) 瘦形: 常用于中阻值 ($10^2 \sim 10^3 \Omega$) 电阻;

(3) 折迭形: 常用于高阻值 (几千欧姆以上) 电阻, 或因排版的需要而采用。

当折迭次数较多时, 为了保证电阻中电流均匀, 阻值比较精确, 常在拐角处蒸发上金属膜, 如图 6-7(d) 中阴影部分。

二、阻值计算和公差

大家知道, 扩散电阻的阻值 R 取决于薄层电阻 $R_\square$ 、电阻条的长度 L 和宽度 W , 即

$$R = R_\square \frac{L}{W} \quad (6-12)$$



图6-8 电阻条的电流分布

(a) 均匀情况; (b) 非均匀情况。

严格讲上式只适用于电阻条的电流分布是均匀的情况, 如图 6-8(a) 所示。而实际上, 电阻的图形并非如此, 如图 6-8(b) 所示, 因此, 必须对 (6-12) 式进行修正。修正后的公式为:

$$R = R_\square \left(\frac{L}{W} + 2K_1 + nK_2 \right) \quad (6-13)$$

式中 L ——电阻条总长度;

W ——电阻条宽度;

K_1 ——端头修正因子, 一般在 $0.35 \sim 0.65$;

K_2 ——拐角修正因子, 一般为 0.5 ;

n ——拐角数。

图 6-9 示出了只有一个拐角的情况, 电阻条总长度 $L = L_0 + L_1$ 。由于扩散电阻的误差较大, 目前, 一般采用下面的简单公式进行阻值的计算:

$$R = R_\square \left(\frac{L_0 + L_1 + \dots + L_n}{W} + 0.5n \right) \quad (6-14)$$

这时, 电阻条长度由引线孔内边算起, 如图 6-10 所示, 以便“补偿”端头修正拐角修正因子 K 取为 0.5 , 图 6-10(b) 中只画了一个拐角, 但可推广到多个拐角的情况。

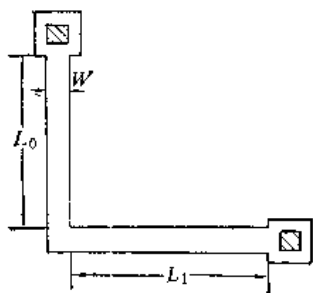
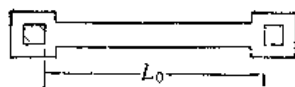
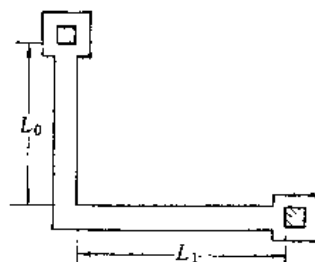


图 6-9



(a)



(b)

图 6-10

(a) 无拐角 (\$n=0\$); (b) 一个拐角 (\$n=1\$)。

根据误差的定义, 由 $R = R_{\square} \frac{L}{W}$, 可得到电阻 R 的相对误差为:

$$\frac{\Delta R}{R} = -\frac{\Delta R_{\square}}{R_{\square}} + \frac{\Delta L}{L} + \frac{\Delta W}{W} \quad (6-15)$$

式中第一项是薄层电阻的相对误差, 由扩散工艺决定, 通常可控制在 $\pm 10\%$ 左右; 第二项是电阻条长度的相对误差, 一般 L 比较长, $\Delta L/L$ 很小, 可以忽略; 第三项是电阻条宽度的相对误差, 通常 W 比较小, $\Delta W/W$ 比较大。电阻条宽度 W 的绝对误差 ΔW 是制版和光刻工艺引进的, 一般可控制在 $\pm 2 \mu\text{m}$ 左右。例如:

$$\text{当 } W = 20 \mu\text{m} \text{ 时, } \frac{\Delta W}{W} = \frac{\pm 2}{20} = \pm 10\%$$

$$\text{当 } W = 40 \mu\text{m} \text{ 时, } \frac{\Delta W}{W} = \pm 5\%$$

由此可见, 从图形设计考虑, 为保证电阻的精度, 可采用较宽的电阻条。

综上所述, 扩散电阻的总误差, 一般在 $\pm 20\%$ 左右, 是比较大的。由于同一芯片上的各个电阻是在同样的工艺条件下制作的, 引进的误差基本一样, 所以相邻两个电阻的电阻比值变化较小, 通常在 $\pm 5\%$ 以下。有些电路只要求电阻比值误差较小, 而对电阻本身的误差要求不高, 这样的电路最适合于做集成电路, 逻辑电路就是这样的电路。

三、硼扩散电阻的功率限制

对于硼扩散电阻的特性, 主要关心它的功率限制、寄生效应和温度特性。在第四章中, 已详细讨论了电阻的寄生效应和温度特性, 因此, 下面仅就硼扩散电阻的功率限制进行分析。

当有电流通过电阻时, 在电阻上就消耗一定的功率, 引起发热。如果超出封装管壳的散热能力, 就将使管芯温度过高, 导致电路性能的变化, 严重时可能造成电路工作失效, 可见, 电阻的功耗受到封装管壳散热能力的限制。封装管壳的散热能力取决于管壳的类型和工作环境。实验表明, 对于 TO 或扁平封装, 在室温下, 每平方微米电阻的面积所允许的最大功耗为:

$$P_{\text{max}} = 5 \times 10^{-6} \text{ W}/\mu\text{m}^2 \quad (6-16)$$

由此数据, 就可以求出单位电阻条宽度的最大工作电流 $I_{W\text{max}}$ 。

因为功耗 P 与电流 I 和电阻 R 的关系为:

$$P = I^2 R$$

设电阻条的表面积为 $A=LW$ ，则单位面积的功耗 P_A 为：

$$P_A = \frac{I^2 R}{LW} = \frac{I^2 R_{\square}}{W^2}$$

于是得到单位电阻条宽度的工作电流：

$$I_W = \frac{I}{W} = \left(\frac{P_A}{R_{\square}} \right)^{1/2}$$

用 $P_{A\max}$ 代替 P_A 时，就得到单位电阻条宽度的最大工作电流：

$$I_{W\max} = \left(\frac{P_{A\max}}{R_{\square}} \right)^{1/2} = \left(\frac{5 \times 10^{-6} \text{ W}/\mu\text{m}^2}{R_{\square}} \right)^{1/2} \quad (6-17)$$

可见，对于一定的封装形式， $I_{W\max}$ 只与薄层电阻 $R_{\square}$ 有关： $R_{\square}$ 大时， $I_{W\max}$ 小； $R_{\square}$ 小时， $I_{W\max}$ 大。

表 6-2 列出了不同 $R_{\square}$ 所对应的 $I_{W\max}$ 值。知道了 $I_{W\max}$ 值后，就可以根据电阻的工作电流 I 来确定电阻条的最小宽度 $W_{\min}$ ：

$$W_{\min} = \frac{I}{I_{W\max}} \quad (6-18)$$

表 6-2 扩散电阻每微米条宽的最大工作电流

$R_{\square} (\Omega/\square)$	2	5	10	50	100	150	200	300
$I_{W\max} (\text{mA}/\mu\text{m})$	1.6	1.0	0.71	0.32	0.22	0.18	0.16	0.13

应当指出，表 6-2 给出的单位电阻条宽度的最大工作电流只是一个粗略值，实际应用中尚有一定的余量。

6.3.2 其它电阻

一、发射区扩散电阻

由于磷扩散的薄层电阻 $R_{\square}$ 很小（一般为 $2 \sim 5 \Omega/\square$ ），因此可以用来作低值电阻，其阻值范围在 1 至几十欧姆之间。实际上，它在逻辑集成电路中很少作电阻用，它的主要用途是在内部铝线难于避免交叉时，完成交越，又称“磷桥”，如图 6-11 所示。这时在铝连线上虽然引进了一个电阻，但磷扩散电阻阻值较小，在某些情况下，对电路的性能不产生多大影响。如果在有些地方，这一小电阻对电路性能产生了不良影响，那就不能采用。

由图 6-11 可见，做“磷桥”用的发射区扩散电阻可以直接作在外延层上。为了与其它元件电隔离，它必须单独占用一个隔离岛。由于发射区的薄层电阻远远小于外延层的薄层电阻，所以电流主要通过发射区扩散层，而外延层的旁路作用甚小，可以忽略，因此可以认为其电阻值由发射区薄层电阻决定而与外延层无关。

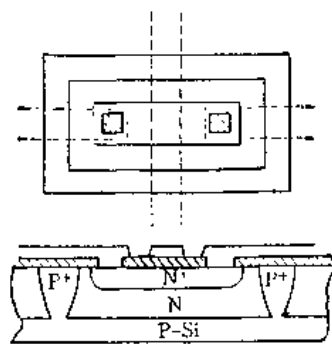


图 6-11 “磷桥”的平面图和截面图

二、基区沟道电阻

基区沟道电阻的图形结构如图 6-12 所示。它是利用基区扩散和发射区扩散所形成的相

当于晶体管基区宽度的那部分扩散层作为电阻的, 因此又称为“扩散致窄电阻”。此层很薄, 杂质浓度也低, 所以薄层电阻可高达 $5 \sim 20 \text{ k}\Omega/\square$, 适于作几十千欧姆以上的高阻值电阻。但是它的温度系数较高, 一般在 $3 \sim 5 \times 10^{-3}/^\circ\text{C}$, 电阻阻值误差也较大。

为了与其它元件隔离, 沟道电阻必须单独占用一个隔离岛。为了保证沟道电阻与N型岛的隔离, N型岛要接电路最高电位, 使沟道电阻的P型区与周围的N型反偏。但是, 在反向偏压下, 势垒区的扩展将使原来已比较薄的沟道变得更薄, 从而引起沟道电阻变大。当反偏电压较低时, 它是一线性大电阻; 当偏压升高到使势垒区扩展到整个沟道时, 电流趋向饱和, 呈现出无限大的微分电阻; 当电压加大到 be 结的击穿电压时, 电流突然上升。这一击穿电压如前所述, 一般在 $6 \sim 9 \text{ V}$ 左右, 因此沟道电阻有工作电压的限制, 通常它只能用于低压的场合。基区沟道电阻的伏-安特性曲线如图 6-13 所示。

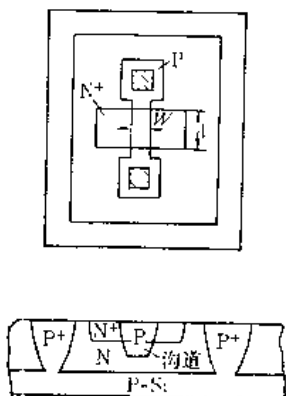


图6-12 基区沟道电阻的平面图和截面图

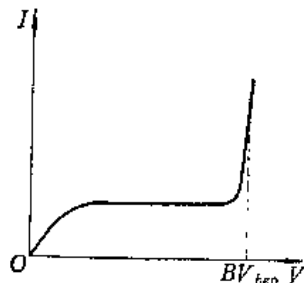


图6-13 沟道电阻伏-安特性示意图

三、体电阻

这里要介绍的是外延层体电阻, 它是能承受高工作电压的高阻值电阻。

图 6-14 是外延层体电阻的图形结构。体电阻值取决于外延层的电阻率 ρ_e 、厚度 D 以及电阻图形的长度 L 和宽度 W , 其计算公式为:

$$R = \rho_e \frac{L}{DW} \quad (6-19)$$

外延层体电阻的阻值是比较难控制的。这是因为它的宽度 W 要受到隔离扩散时横向扩散的影响; 外延层厚度 D , 外延层电阻率 ρ_e 在工艺中都是很难精确控制的; 更重要的是外延之后的金扩散会引起外延层电阻率发生很大的变化。

一般工艺下, 外延层的薄层电阻在 $2 \text{ k}\Omega/\square$ 左右, 适于作几十千欧姆的高阻电阻, 但它的温度系数较高, 约在 $5 \times 10^{-3}/^\circ\text{C}$ 。

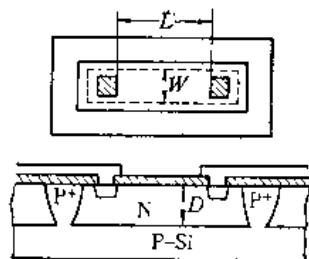


图6-14 外延层体电阻的平面图和截面图

6.4 版图设计举例

这节首先说明一下双极型逻辑集成电路版图设计的一般原则和程序, 然后讨论具体的版图设计实例——中速 TTL 八输入端“与非”门电路的版图设计和 STTL 电路的版图设计, 以使版图设计的方法和步骤具体化, 为掌握版图设计方面的知识打下一个初步的基础。

6.4.1 版图设计的一般原则和程序

版图设计就是根据电参数的要求, 在一定的工艺条件下, 按照具体的线路来设计各种元件的图形尺寸, 并进行排版和布线, 以设计出一套符合要求的光刻掩模版的图形。合理的版图设计不仅是制造性能良好的集成电路的基本条件, 而且对产品的性能和成品率的提高都有很大的影响, 因而对于初学者来说, 必须严肃认真地对待版图设计中的每一个具体步骤和每一个微小细节。

版图设计是以一定的工艺条件为前提的, 不同的工艺条件会产生不同的版图设计方案, 因此在版图设计之前, 必须对实际的工艺条件和工艺水平有充分的了解, 只有这样, 版图设计时才能做到心中有数, 才能按照具体的线路要求选取适当的工艺条件作为版图设计的基础。一般来说, 在版图设计之前必须充分了解下列工艺参数:

(1) 制版和光刻的工艺水平。因为制版和光刻的水平决定和限制了光刻版的基本尺寸(包括最小光刻线条的尺寸和各次光刻间的套准精度等)。

(2) 外延和扩散的工艺参数。外延层的厚度是决定隔离槽宽度和隔离槽与其它扩散图形间隔的主要参数, 而扩散的薄层电阻则是决定电阻尺寸的一个重要参数。

(3) 封装工艺和管壳情况。这是决定反刻版图图形中压焊点大小和排列的重要因素。

(4) 集成度和成品率的关系。根据工艺中集成度和成品率的关系就可以预先估计某一电路的工艺成品率, 为研制新的高性能的电路应解决的工艺问题和必须采取的工艺措施明确方向。

版图设计之前, 还必须对线路有充分的了解。因为构成集成电路的各种元件的参数规格及这些元件之间的互连都是由线路本身的要求决定的。只有对线路的工作原理及性能要求有较充分的了解, 才能合理地选择元件的图形尺寸, 设计出符合要求的版图。版图设计者和整机单位密切配合, 进行模拟试验, 掌握模拟电路分析测试的第一手资料, 详细了解电路在各种工作状态下的直流特性和瞬态特性, 以及各种因素(如元件参数变化, 温度变化)对电路特性的影响。

在对工艺和线路充分了解的基础上, 就可着手进行版图设计, 设计时应掌握下列原则:

一、确定光刻的基本尺寸

光刻的基本尺寸是根据生产线的实际工艺水平并参考电路的要求而选定的。要选取的基本光刻尺寸有:

1. 最小光刻孔(线条)的宽度

最小光刻孔尺寸限制了引线孔的大小、电阻条的最小宽度以及铝条与铝条的最小间距。最小光刻孔的宽度由制版和光刻水平来决定。目前一般工艺水平取 $6\sim 14\mu\text{m}$ 。光刻孔太小, 成品率要下降; 太大, 电路的尺寸要变大。

2. 最小套准间距

套准间距决定了各次光刻间的套准精度。最小套准间距由制版和光刻水平来决定。目前一般水平为 $6\sim 12\mu\text{m}$ 。

3. 隔离槽宽度

由于隔离槽一般比较长, 如果太窄就容易断条, 所以隔离槽的宽度总选得比最小光刻孔的尺寸为大, 通常取 $10 \sim 20 \mu\text{m}$ 。

4. 隔离槽和其它扩散图形的间距

由于隔离槽的横向扩散相当于外延层厚度, 而基区横向扩散相当于基区扩散深度, 因此槽到相邻扩散图形的间距, 应大于外延层厚度、基区扩散深度和光刻套准精度之和, 考虑到外延层厚度的不均匀性和各种工艺因素的影响, 这个间距还要适当放宽, 一般取 $12 \sim 30 \mu\text{m}$ 。

二、确定各元件的图形尺寸

选取各元件的图形尺寸是版图设计的重要内容。在上述光刻基本尺寸确定的基础上, 可根据产品的电参数, 对电路各元件的要求, 通过定性或定量分析, 结合工艺实践, 定出电路中各元件的图形尺寸。如电路中某些晶体管要求特征频率较高, 则可按最小晶体管图形来设计; 某些晶体管要求较大的电流或较低的饱和压降, 就必须选取较大的尺寸, 并采用各种符合要求的图形来设计; 又如某些电阻要流过较大的电流或要求较高的精度, 就必须采用较大的宽度。对于电路性能取决于比值误差的元件, 则要按比例大小来决定图形尺寸, 以减少工艺对元件比值的影响。

三、划分隔离区

隔离区可按电路要求划分。凡是集电极电位相同的晶体管可以共占一个隔离区, 集电极电位不同的晶体管必须相互隔离。二极管可按晶体管的原则处理。电阻原则上可以放置在一个隔离区内, 该区外延层接最高电位, 但有时为了布线方便, 也可以和其它元件放在一个隔离区内, 此时该区外延层电位要高于电阻的电位。在实际设计中, 不一定要把相同集电极电位的所有晶体管或所有电阻都放在一个隔离区内, 而可分别置于若干区内, 其目的, 一是为了方便走线, 二是避免大面积的隔离结, 因大面积的隔离结伴随着大的漏电流, 在低功耗电路中, 此点尤为重要。

四、排版和布线

在电路隔离区划分和元件图形尺寸大致确定以后, 就可以进行排版和布线工作。先排出草图, 然后绘制成比实际图形大若干倍的总图。

排版和布线时应注意以下各点:

(1) 元件排列尽可能紧凑。版面面积尽可能小, 以减小芯片面积和有关的寄生效应, 有利于提高电路性能和成品率。

(2) 布线尽量短而简洁, 尽量避免铝线的交叉。在难以避免时, 可用“磷桥”完成交越, 但必须确定在电路上是允许时才可使用。

(3) 铝条要有一定的宽度, 特别是走线长和通过电流较大的铝线要适当宽些。铝线避免走“三次氧化层”, 因“三次氧化层”较薄, 容易产生针孔, 造成铝线短路。

(4) 要求参数相一致的元件应放在邻近的区域, 以免由于工艺的不均匀造成参数间的过大差异。

(5) 要考虑温度对元件特性的影响。尽可能使电路芯片温度分布均匀, 如功耗较大的电阻可放在版面中心, 这可使芯片热分布比较均匀, 保证各元件之间的电参数有良好的温度跟随。对于要求温度平衡的元件对, 应放在等温点上。

(6) 压焊点的分布要符合管壳外引线的排列次序, 对于有统一要求的电路, 要与标准规定相一致。

(7) 电阻岛接电路最高电位, 隔离槽接电路最低电位, 目的在于减小或消除寄生效应。

以上是版图设计中的一些基本原则, 在实际工作中, 要真正设计出高质量的版图, 往往要经过多次的实践和反复的修改。

6.4.2 中速 TTL 八输入端“与非”门电路的版图设计

一、划分隔离区

该电路已在图 5-35 中给出。

根据划分隔离区的一般原则, 该电路可划分为 6 个隔离区: T_1 管、 T_2 管、 T_3 管各占一个隔离区; T_3 、 T_4 管因集电极电位相同, 可共同占用一个隔离区; T_5 管和 R_4 、 R_5 电阻占用一个隔离区; R_1 、 R_2 、 R_3 、 R_6 占用一个隔离区。如前所述, 电阻岛要接电路最高电位 (该电路为电源), 隔离槽接电路最低电位 (该电路为地电位)。

二、确定各元件的图形和尺寸

集成电路中各种元件 (晶体管、二极管、电阻) 的图形结构和相应的性能已在这章的前面作了详细的介绍, 这里主要针对具体的电路来设计各种元件的图形和尺寸, 使之符合电路的要求。

1. 多射极管 T_1 的图形设计

T_1 管是多射极管, 它是 TTL 电路的主要特点, 也是 TTL 电路比 DTL 电路速度高的关键之一。但是, 正如第五章分析中所指出的, 多射极管的反向漏电流较大, 对电路性能有一定的影响, 因此在设计 T_1 管的图形尺寸时, 重点放在如何减少多射极管的反向电流增益, 从而减小反向漏电流这个问题上。

为了减小多射极管 T_1 的反向电流增益, 从中速 TTL 电路的图形设计考虑, 目前主要采用长脖子基区结构, 当然也可在 T_1 管的 bc 结上加肖特基二极管来减少多射极管的反向电流增益。

图 6-15 是一个具有 4 个发射极的多射极管图形。从图中可以看到, 多发射极管的基区伸出了一个长脖子, 基极引线孔开在长脖子的一端, 这样就人为地引进了一定的基极串联电阻 r_{bb} 。当电流从基极引线孔流入, 经过长脖基区时, 就在基极串联电阻 r_{bb} 上产生一定的压降。在 T_1 管未进入饱和时, bc 结反偏, 这时 r_{bb} 的阻值附加在外电路的电阻 R_1 上, 其影响只是减小基极电流。当 T_1 管进入饱和状态时, bc 结正偏。由于集电极串联电阻比较小, 基区下面的集电区各部分可近似看成等电位的, 但是基区各部分就不是等电位的。在基极引线孔附近电位最高, 沿着长脖子逐渐下降, 多发射极所在的基区电位最低。由于这个原因, T_1 管 bc 结各处的偏

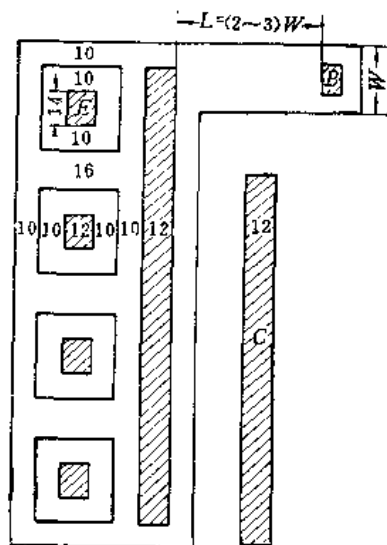


图 6-15 多发射极晶体管图形

压就不一样,在基极引线孔附近, bc 结的正向偏压最大,多发射极所在的基区的 bc 结正向偏压最小,这就使得 T_1 管在反向工作时,在基极引线孔附近反向发射作用最强,多发射极所在基区下的反向发射作用最弱,如图 6-16 所示。因此,引进长脖基区后,使得 bc 结的反向发射作用集中在基区引线孔附近,而且也不易为反向工作时的集电极所收集,从而显著地减小了反向电流放大系数。

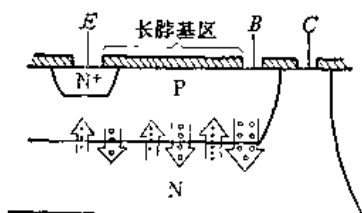


图 6-16 多发射极管截面图

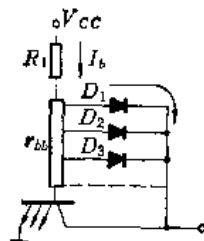


图 6-17 多发射极管等效电路图

也可用图 6-17 的等效电路来说明这一作用。 r_{bb} 表示长脖基区的体电阻,各二极管表示长脖基区各段与集电极构成的二极管,下面的多射管仅代表多发射区所在的那部分。由于沿长脖体电阻 r_{bb} 的压降不同,使得各二极管的正向压降也不一样,最上端的二极管 D_1 正向偏压最大,通过的电流也最大。在 r_{bb} 足够大时,大部分电流将主要通过二极管 D_1 旁路掉,很少进入发射极对应的基区,从而使 β_r 大大下降。实验表明,在掺金的情况下,长脖基区的体电阻 r_{bb} 在 $400 \sim 600 \Omega$ 时, β_r 可减小一个数量级以上,使 $\beta_r \leq 0.02$,从而满足电路的要求。

T_1 管的工作电流不大,发射区通常采用最小图形尺寸。因为发射极较多,为避免各发射区对应的 r_{bb} 不同,通常在基区上开出引线孔敷铝以短路基区的各部分。

2. 输出管 T_2 的图形设计

T_2 管是 TTL 电路的输出管,在图形设计上主要考虑两个问题——要有大的电流容量和小的集电极串联电阻,此外也要兼顾减小基极串联电阻和结面积。

(1) 电流容量大

T_2 管的工作电流比较大,特别在电路截止瞬态,最大瞬态电流 I_M 可达 40 mA 。根据 $\alpha = 0.4 \text{ mA}/\mu\text{m}$ 的数据,发射区有效周长应取 $100 \mu\text{m}$ 。由于发射区有效周长较长,通常多采用双基极双集电极结构。

(2) 集电极串联电阻要小

减小集电极串联电阻 r_{ce} 是 T_2 管图形设计的关键问题。若 r_{ce} 偏大,饱和压降就偏高,就有可能造成电路输出低电平不合格。由电路参数规范知, $V_{OL} \leq 0.4 \text{ V}$,通常 $V_{ce,s0} = 0.1 \text{ V}$,那么 r_{ce} 上的压降不能大于 0.3 V 。在带八个负载门的情况下, I_{C5} 约 12.8 mA ,于是,为保证电路输出低电平合格, r_{ce} 不能大于 23Ω 。由前面的讨论可知,减小 r_{ce} 的关键措施是设置隐埋层。除此之外,在图形设计上,增加发射区和集电极引线孔面积,缩小其间距,并采用双集电极结构,都可使 r_{ce} 进一步减小。所以这里 T_2 管采用双集电极结构,发射区设计为 $d_e = 30 \mu\text{m}$, $l_e = 100 \mu\text{m}$;集电极引线孔 $l_c = 120 \mu\text{m}$, $d_c = 20 \mu\text{m}$;发射区与集电极引线孔的间距 $d_{ee} = 46 \mu\text{m}$ 。

选择这样的图形尺寸, r_{ce} 约为 18Ω ,可满足要求。

(3) 减小基极串联电阻

由 TTL 电路的瞬态分析可知, 要求基极串联电阻 r_{bb} 尽可能小些。减小 r_{bb} 的方法, 在图形设计方面, 就是加大发射区有效周长, 减小基极引线孔与发射区间距, 采用双基极图形结构。发射区与基极引线孔间距取 $10\mu\text{m}$ 。

(4) 减小面积

在满足上述各项要求的基础上, 尽可能减小 T_5 管的尺寸, 以减小结电容和寄生电容, 这对提高电路的速度和成品率都有好处。

综合以上所述, T_5 管的图形尺寸如图 6-18 所示。

3. T_2 管的图形设计

T_2 管是 TTL 电路高速的关键元件之一。由第五章电路的瞬态分析表明, 电路的导通延迟时间和截止延迟时间与 T_2 管的 f_T 和 C_e 有密切关系。从图形设计方面考虑主要是尽量减小 T_2 管的面积, 来达到提高 f_T 和减小 C_e 的目的。通常采用由最小图形尺寸所决定的单基极条结构。如图 6-19 所示。

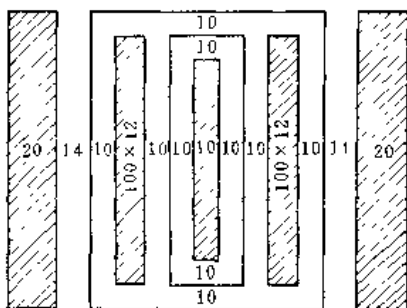


图6-18 T_5 管的图形尺寸

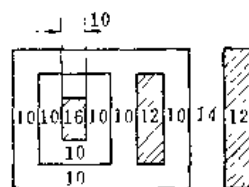


图6-19 T_2 管的图形尺寸

T_2 管的最大工作电流约为 4mA , 发射区有效周长 $10\mu\text{m}$ 就够了, 因此, 由最小图形尺寸所决定的晶体管结构, 通常都能满足一般电流容量的要求。

4. T_3 和 T_4 管的图形设计

T_3 管工作电流较小, 约 1.4mA , 可采用由最小图形尺寸所决定的单基极条结构。 T_4 管要通过瞬态大电流, 发射区有效周长应长些, 但因为 T_4 管流过的电流是瞬态的, 对它在 大电流下 β 的数值要求也不很严格, 因此, 单位发射区有效周长允许流过的电流值也可以取得宽一些, 以尽量减小尺寸。通常采用双基极结构, 发射区有效周长取 T_5 管的一半左右就可以了。

T_3 、 T_4 管的集电极是直接连在一起的, 可做在同一隔离岛内。 T_3 、 T_4 管的图形尺寸如图 6-20 所示。

5. 有源泄放网络的图形设计

T_6 管工作电流小, 从电流容量考虑, 无特别要求。一般说来, 大的图形尺寸将使 T_6 管的开关速度减慢, 这从保证 T_6 管在 T_5 管之后导通或在 T_5 管截止过程中 T_6 管仍保持导通都是有利的。但也不宜过大, 因 T_6 管的存在相当于在 T_5 管的发射结上并联了电容, 将降低电路的速度。

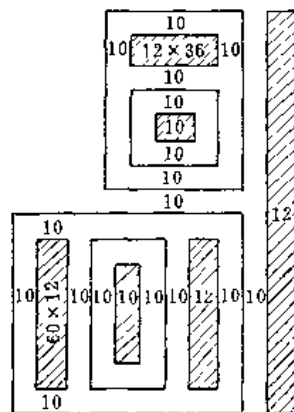


图6-20 T_3 、 T_4 管的图形尺寸

为了减小面积,通常 T_0 管连同 R_b 和 R_c 做在同一隔离岛内,它是利用 T_0 管的延伸基区来构成 R_b 和 R_c 的一部分, R_c 的另一部分是 T_0 管的集电极串联电阻。图6-21(a)是 T_0 网络的图形设计之一,并画出了它的截面图。由图可清楚看出 R_b 和 R_c 的构成,并可由图上的尺寸计算出 R_b 和 R_c 的数值分别约为 500Ω 和 250Ω 。图6-21(b)是 T_0 网络的图形设计之二。这两种图形可供版图设计时选用,其尺寸均为 μm 。

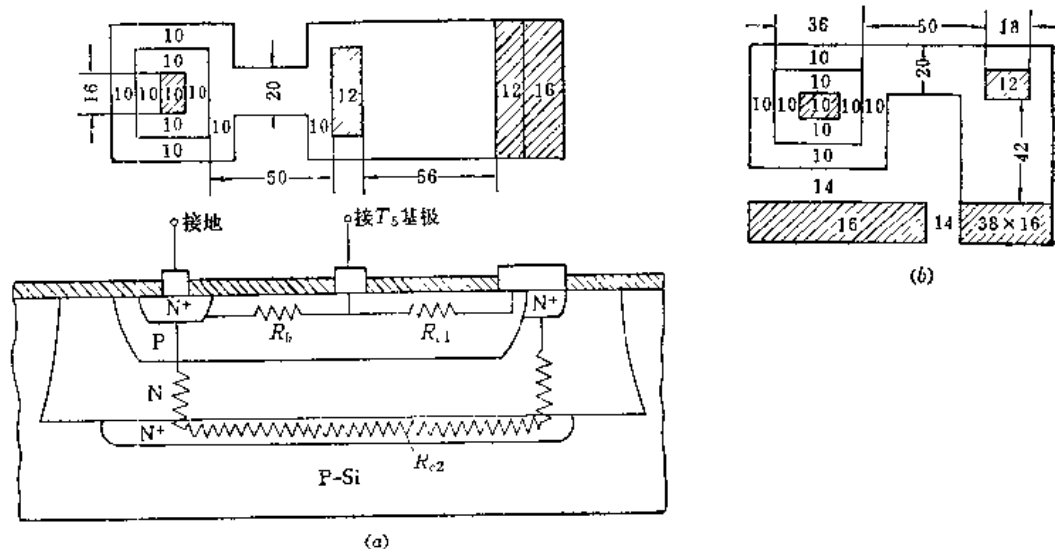


图6-21 T_0 网络的二种设计图形

(a) T_0 网络的设计图形之一(附截面图); (b) T_0 网络的设计图形之二。

6. 多射极管输入端保护二极管图形设计

多射极管输入端保护二极管采用单独二极管结构,由P型衬底与N型外延层、 P^+ 隔离槽与外延层之间形成的PN结构成。设计的重点是尽量降低二极管的正向压降。因为二极管的正向压降等于它的本征压降和串联电阻上的压降之和,所以除设法减小本征压降外,主要是设法减小它的串联电阻。在图形设计上采取三项措施:一是设置隐埋层;二是在二极管的四周进行大面积 P^+ 扩散;三是把引线孔面积适当加大(一般为 $16 \times 16 \mu\text{m}^2$)并进行 N^+ 扩散。其图形尺寸如图6-22所示。

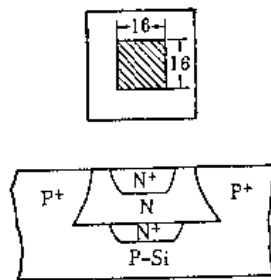


图6-22 输入保护二极管
图形尺寸

7. 电阻的图形设计

首要的问题是确定电阻条的宽度。宽度是由最大工作电流和精度的要求来确定的。

(1) R_1 : 最大工作电流 1.6mA ,对条宽不构成限制因素, $10\mu\text{m}$ 就够了。考虑到 R_1 的阻值对门电流和导通延迟的影响,要求 R_1 精确些,条宽应适当宽些,通常取 $16\mu\text{m}$ 。

(2) R_2 : 最大工作电流 4mA ,条宽应大于 $25\mu\text{m}$ 。考虑到 R_2 对电路的功耗、负载能力和瞬态特性影响较大,因此 R_2 的宽度要放宽一些,以提高 R_2 的精度,一般取 $34\mu\text{m}$ 。

(3) R_4 : 工作电流不大,精度要求也不高,宽度取 $16\mu\text{m}$ 。

(4) R_5 : 其阻值较小,仅为 100Ω ,电阻图形可选用“胖”形。工作电流较大,若按瞬态大电流计算,条宽应大于 $250\mu\text{m}$,但由于是瞬态大电流,并不是持续电流,一般取

120 μm 就可以了。实际设计中,是把 T_3 、 T_4 管的集电极串联电阻也考虑在内,所以 R_5 实际设计得比100 Ω 小一些。

应当指出,电阻在版图中的位置是比较灵活的,为了布局和走线的方便,它的形状可以视具体情况而定。

三、画出布局草图

对于管脚排列次序有统一规定的电路,首先根据管脚的次序确定各元件的大体位置,然后确定隔离区的数目和划分,并大体标出铝线的走向和位置,经过反复试排和斟酌,最后画出较满意的电路布局草图,如图6-23所示。按照目前的统一规定,TTL门电路的外引线排列次序是:由左下角起按逆时针方向依次为1,2,3,...,14,“7”为“地”,“14”为电源 V_{cc} 。

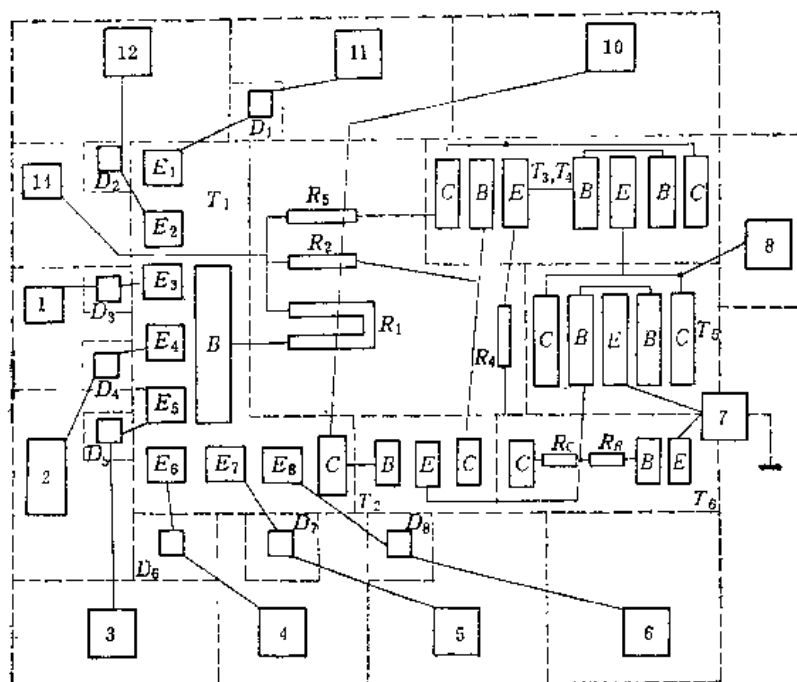


图6-23 元件布局草图

四、绘制总图

根据草图的布局方案,将草图中的各个元件、铝线和压焊点等画成正式的图形尺寸,按照绘图规则绘制成总图,这就是电路的版图。光刻掩模就是根据这个版图制备的。

图6-24是中速TTL八输入端“与非”门电路的版图。设计这个版图所依据的主要工艺条件和采用的图形尺寸,可作为设计一般中速TTL电路的参考,现综合如下:

1. 工艺条件

采用电阻率为7~15 $\Omega\cdot\text{cm}$ 的P型硅单晶做为衬底。埋层扩散锑,薄层电阻为15~20 $\Omega/\square$ 。外延层为N型,电阻率为0.3~0.5 $\Omega\cdot\text{cm}$,厚度为7~9 μm 。采用PN结隔离。硅片背面蒸金,作为金扩散源。基区扩散硼,薄层电阻为200 $\Omega/\square$ 左右。结深控制在2.5~3 μm 。发射区扩散磷,电流增益 β 控制在20以上。

2. 图形尺寸

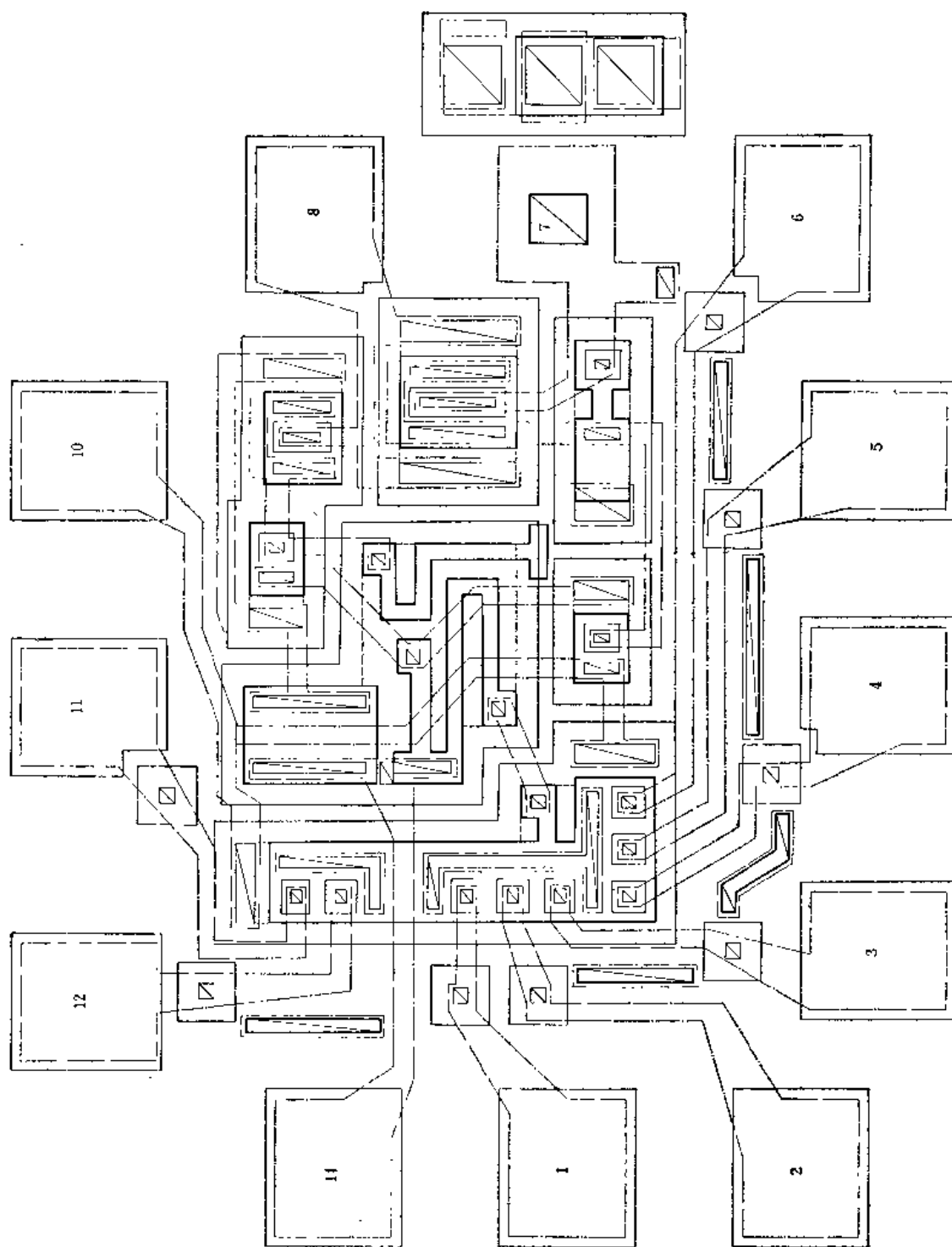


图6-24 中速TTL八输入端“与非”门电路板图

(1) 最小套刻间距	$10\mu\text{m}$
(2) 隔离槽最小宽度	$16\mu\text{m}$
(3) 元件与隔离槽最小间距	$22\mu\text{m}$
(4) 基区与集电极孔间距	$14\mu\text{m}$
(5) 埋层尺寸 (离隔离槽距离)	$22\mu\text{m}$
(6) 发射极孔尺寸	10×16 (或 12×14) μm^2
(7) 基极孔宽度	$12\mu\text{m}$
(8) 集电极孔最小宽度	$12\mu\text{m}$
(9) 键合点最小面积	$120 \times 140\mu\text{m}^2$
(10) 两键合点最小间距	$120\mu\text{m}$
(11) 电阻条最小宽度	$16\mu\text{m}$
(12) 电阻孔最小面积	$12 \times 16\mu\text{m}^2$
(13) 电阻条与电阻条最小间距	$14\mu\text{m}$
(14) 短铝条最小间距	$10\mu\text{m}$
(15) 长铝条最小间距	$14\mu\text{m}$
(16) 铝条最小宽度 (包括两边覆盖 $4\mu\text{m}$)	$18\mu\text{m}$
(17) 划片间距	$400\mu\text{m}$

6.4.3 STTL 电路版图设计介绍

STTL 电路的版图设计基本与 TTL 电路相同, 所不同的只是 SBD 晶体管的图形设计问题。

一、SBD 晶体管图形设计中的问题

图 6-25 是 SBD 晶体管的平面图。SBD 是加在晶体管的集电极上, 它是由铝层与集电区 (N-Si) 相接触而形成的, 如图中交叉线所示。

从 SBD 的图形设计考虑, 需要认真解决下面三个问题: (1) SBD 的面积要尽量小; (2) SBD 的串联电阻要小, 以保证低正向导通压降; (3) 提高 SBD 的反向击穿电压。

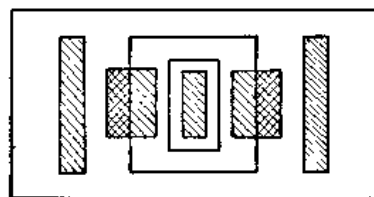


图6-25 SBD晶体管平面图

1. SBD 的面积要设计得尽量小。SBD 是由金属-半导体形成的一个单边突变结, 单位面积的电容取决于外延层的杂质浓度, 所以它和集电结单位面积电容基本相同。SBD 电容与 SBD 的面积成正比, 面积越大, 电容越大。SBD 是与晶体管集电结并联的, SBD 的面积大了, 集电结电容就增大, 这将影响电路速度的提高。此外, 面积大了, 在工艺上要做好一个良好的金属-半导体结也是有困难的, 而且, SBD 的面积大了, 反向漏电流也会增加。所以从这些方面考虑, SBD 的面积越小越有利。

2. SBD 的串联电阻对正向导通压降的影响。图 6-26 (a) 是 SBD 晶体管的截面图, 图中标明了有关的电流和电流所流经各段的电阻。 r_{es1} 和 r_{es2} 是集电极串联电阻的两个部分。 r_{sbd} 表示通过 SBD 的电流流经外延层的一段电阻。图 6-26 (b) 是它的等效电路图,

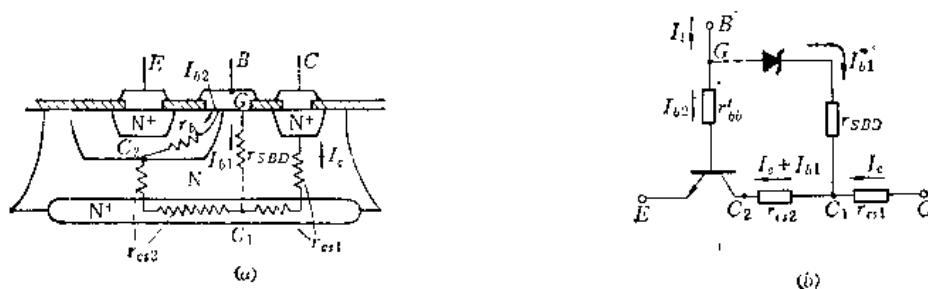


图6-26 SBD晶体管截面图和等效电路图
(a)截面图; (b)等效电路图。

可以看出, 这时 SBD 的实际正向导通压降 V'_{SBD} (指 G 点对 C_2 点的电压), 显然应为 SBD 结的本征压降 V_{SBD} , 再加上电流 I_{b1} 在 r_{SBD} 的压降 $I_{b1}r_{SBD}$ 及电流 $(I_e + I_{b1})$ 在 r_{cs2} 上的压降:

$$V'_{SBD} = V_{SBD} + I_{b1}r_{SBD} + (I_e + I_{b1})r_{cs2} \quad (6-20)$$

可见, 由于 r_{SBD} 和 r_{cs2} 的存在, 使得 SBD 的实际正向压降 V'_{SBD} 增加了, 从而减弱了 SBD 的抗饱和能力。 r_{SBD} 是直接与 SBD 的面积有关的, 面积大, r_{SBD} 小。所以为了减小 SBD 的正向压降, 应增大 SBD 的面积, 但这与第一点是矛盾的, 要折衷考虑。在实际设计中, 它是由实验来确定的。图 5-41 所示的 STTL 电路中, T_1 、 T_2 、 T_5 管的 SBD 面积大致如下:

T_1 管的 SBD 面积	800~1200 μm^2
T_2 管的 SBD 面积	800~1000 μm^2
T_5 管的 SBD 面积	2000~3000 μm^2

上面列出的这些数值并不是一成不变的, 因为 SBD 的串联电阻同具体工艺条件有关, 特别是外延层的电阻率影响较大。当外延层电阻率较小, 或厚度较薄时, SBD 的面积还可适当缩小。

在式 (6-20) $(I_e + I_{b1})r_{cs2}$ 这一项中, 电流 I_e 比 I_{b1} 大得多。假若能把 I_e 和 I_{b1} 分开, 就使这一段串联电阻上的压降减小到 $I_{b1}r_{cs2}$, 办法是把 SBD 和集电极分别做在发射极的两边, 如图 6-27 所示。

3. SBD 的覆盖电极结构

最初采用 SBD 时遇到的一个主要问题是反向击穿电压低, 远远低于单边突变结的击穿电压。经研究这是由表面电场造成的, 可由图 6-28 来说明。由图可见, 在金属电极边缘电场特别强, 首先在这里击穿, 使击穿电压大大降低。为了消除电极边缘的强电场, 通常采用覆盖电极的方法。

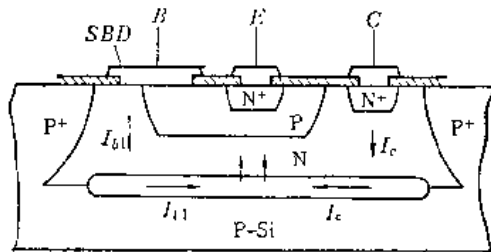


图 6-27

所谓覆盖电极的方法, 就是将 SBD 的铝电极延伸到窗口以外的氧化层上, 形成如图 6-29 所示的结构。覆盖在 SiO_2 上的电极起了分散边缘电力线的作用, 可以有效地克服电极边缘处的低压击穿。

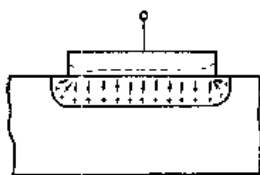


图6-28 电极边缘电场的影响

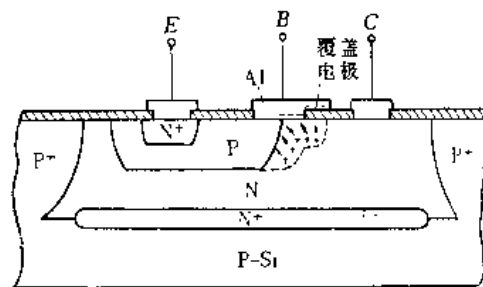


图6-29 SBD覆盖电极结构示意图

二、SBD 晶体管常用图形结构

目前, 在 STTL 电路中, 通常 T_1 、 T_2 和 T_5 管采用 SBD 晶体管。根据前面对 SBD 晶体管图形设计的分析, T_1 、 T_2 和 T_5 管常用的图形结构如图 6-30 所示。

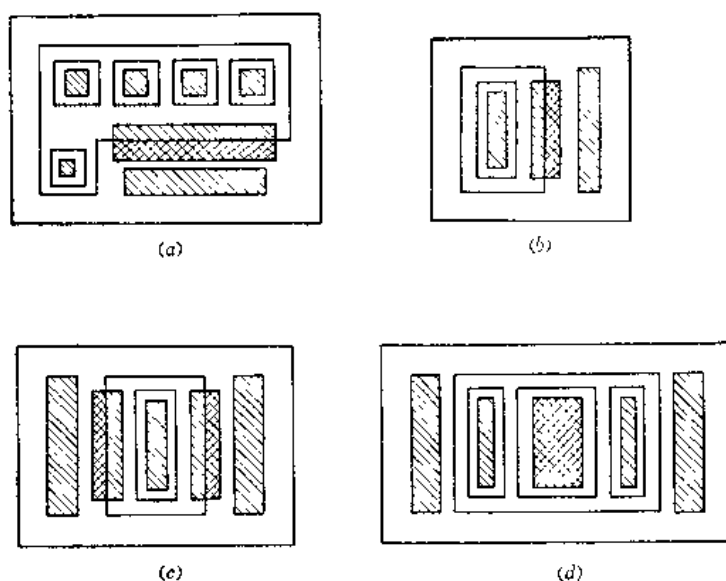


图6-30 SBD晶体管常用图形结构

(a) SBD- T_1 管; (b) SBD T_2 管; (c) SBD- T_5 管之一(双基极、双集电极);
(d) SBD T_5 管之二(双发射极、双集电极)。

参 考 资 料

- [1] Warner, R. M., Jr., and J. N. Fordemwalt(eds), 《Integrated Circuits, Design Principles and Fabrication》, Chapter 7, McGraw-Hill Book Company, New York 1965.
中译本: R. M. 小沃尔和J. N. 福登沃尔特编《集成电路设计原理与制造》第七章, 上海元件五厂, 上海无线电七厂译, 上海科学技术情报所出版, 1970年5月版。
- [2] 复旦大学微电子教研组编《集成电路设计原理——双极型逻辑集成电路》第一章, 人民教育出版社, 1978年1月。
- [3] 北京大学电子仪器厂半导体专业编著《晶体管——晶体管数字集成电路》第三章, 科学出版社, 1977年。
- [4] 《中速TTL系列优选品种版图集中设计(技术说明)》, 第四机械工业部集成电路版图集中设计会议, 1976年6月, 苏州。

第七章 发射极耦合逻辑(ECL)电路

发射极耦合逻辑 (Emitter Coupled Logic) 电路, 简称 ECL 电路, 是一种典型的非饱和型电路。由于电路工作时晶体管工作点不进入饱和区, 存储时间为零, 因而它是目前速度最高的逻辑集成电路, 平均传输延迟时间可以做到 1 ns 左右。ECL 电路除高速外, 还有逻辑灵活性大, 易于用基本单元构成各种复杂的逻辑电路等优点; 但它有功耗大, 对外来噪音的抗干扰能力低等缺点。目前主要应用在高速大型计算机等对速度要求特别高的地方。

本章首先分析 ECL “或/或非” 门的工作原理和特性, 然后简单介绍 ECL 电路的逻辑扩展和版图设计特点。

7.1 ECL 电路的工作原理

图 7-1 是一个二输入端的“或/或非”门。“或/或非”门电路是 ECL 电路的基本单元, 它在 ECL 电路中的地位相当于 TTL 电路中的“与非”门。各种 ECL 电路都可由它组成, 或看作是它的扩展与变形。

图 7-1 由虚线隔开的三部分组成。第 I 部分由输入晶体管 T_{1A} 、 T_{1B} 及其负载电阻 R_{C1} , 定偏晶体管 T_2 及其负载电阻 R_{C2} , 以及这些晶体管的发射极耦合电阻 R_E 组成。这一部分起电流开关作用, 是 ECL “或/或非” 门的核心, 由它来完成门的逻辑功能。第 II 部分是射极跟随器 T_3 和 T_4 , 它是电路的输出级。第 III 部分包括电阻 R_1 、 R_2 、 R_3 , 晶体管 T_5 和二极管 D_1 、 D_2 , 它是一个参考电源, 提供定偏晶体管 T_2 基极的偏置电压 V_{bb} 。

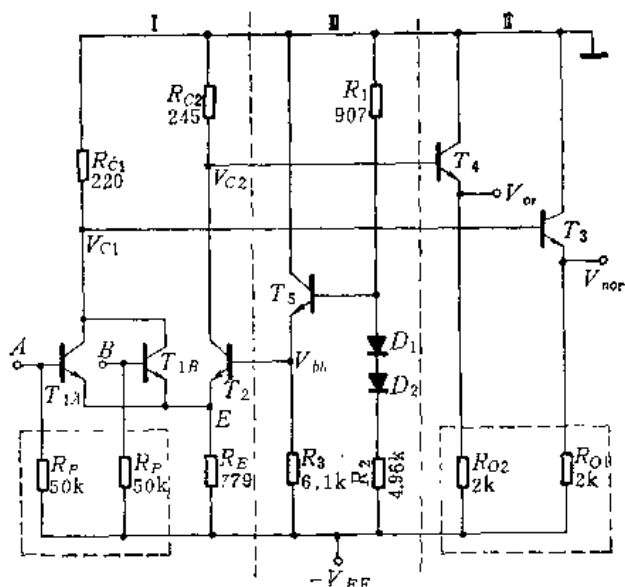


图 7-1 二输入端“或/或非”门

7.1.1 电 流 开 关

由于输入晶体管 T_{1A} 、 T_{1B} 和定偏晶体管 T_2 通过发射极电阻 R_E 相耦合, 故它们的工作状态是关联的。假设输入端 A 、 B 开路, 此时因无基极电流注入, T_{1A} 、 T_{1B} 管截止, T_2 管导通, 它们的公共发射极节点 E 的电位为:

$$V_E = V_{bb} - V_{be2} \quad (7-1)$$

若此时 A 端 (或 B 端) 输入高电平 V_{OH} ($V_{OH} > V_{bb}$), 那么加在 T_{1A} (或 T_{1B}) 管 be 结

上的电压为:

$$V_{be1} = V_{OH} - V_E = V_{OH} - V_{bb} + V_{be2} \quad (7-2)$$

由于 $V_{OH} > V_{bb}$, 故 $V_{be1} > V_{be2}$, 所以 T_{1A} 管导通。 T_{1A} 管一导通, 流过发射极电阻 R_E 的电流就增加, 使 V_E 升高。 V_E 升高使得加在 T_2 管 be 结上的电压 $V_{be2} = V_{bb} - V_E$ 降低, 迫使 T_2 管截止。就是说, 当输入端 A 或 B 有一个是高电平时, 则相应的输入晶体管导通, 定偏晶体管截止。这时输入管集电极输出为低电平 V_{OL} :

$$V_{C1} = -I_{C1}R_{C1} = -\alpha I_{E1}R_{C1} = V_{OL} \quad (7-3)$$

定偏管集电极输出为高电平 V_{OH} :

$$V_{C2} = 0V = V_{OH} \quad (7-4)$$

当所有输入端都为低电平 V_{OL} 且 $V_{OL} < V_{bb}$ 时, 输入晶体管截止, 定偏晶体管导通。此时:

$$V_{C1} = 0V = V_{OH} \quad (7-5)$$

$$V_{C2} = -I_{C2}R_{C2} = -\alpha I_{E2}R_{C2} = V_{OL} \quad (7-6)$$

按照“或”和“或非”逻辑关系的定义, 可以看出, V_{C1} 和输入电平是“或非”逻辑关系, 而 V_{C2} 和输入电平是“或”逻辑关系。因此, 称输入晶体管的公共集电极为“或非”输出端, 定偏晶体管的集电极为“或”输出端。

7.1.2 射极跟随器输出级

电流开关虽能完成“或/或非”逻辑功能, 但没有射极输出器的电流开关, 实际上是不能应用的。因为电流开关的输出高电平是 $0V$, 当它加到后级输入端时, 后级门输入管导通, 其集电极电位为 $-\alpha I_{E1}R_{C1}$ 。可见此时输入管集电极电位比基极低, 输入管饱和, 使电路失去了其高速的优点。因此, 实用的电流开关必须加射极跟随器, 以解决前后级互相耦合的问题。

加上射极跟随器后, “或非”和“或”输出端分别为 T_3 、 T_4 管的发射极, 此时输出高低电平皆位移了一个 be 结压降 V_{be} 。

“或非”端:

$$V_{OH1} = -V_{be3} \quad (7-7)$$

$$V_{OL} = -\alpha I_{E1}R_{C1} - V_{be3} \quad (7-8)$$

“或”端:

$$V_{OH} = -V_{be4} \quad (7-9)$$

$$V_{OL} = -\alpha I_{E2}R_{C2} - V_{be4} \quad (7-10)$$

在实际应用中, 总希望同一块电路的“或”和“或非”两个输出端的输出高电平及低电平数值对应相等。为此在电路设计中就要求:

$$V_{be3} = V_{be4} \quad (7-11)$$

$$\text{及} \quad I_{E1}R_{C1} = I_{E2}R_{C2} \quad \text{或} \quad I_{E2}/I_{E1} = R_{C1}/R_{C2} \quad (7-12)$$

由上述公式可知, ECL 电路的逻辑摆幅为:

$$V_L = V_{OH} - V_{OL} = \alpha I_{E1}R_{C1} = \alpha I_{E2}R_{C2} \quad (7-13)$$

只要限制电路的逻辑摆幅 $V_L \leq V_{be}$, 就可解决前后级的耦合问题。

加射级跟随器后, 前级门的输出高电平为 $V_{OH} = -V_{be}$ 。将它加到后级门的 A 输入端, 则 $V_A = V_{OH} = -V_{be}$, T_{1A} 管导通, 输入管公共集电极节点电位为 $V_{C1} = -\alpha I_{E1} R_{C1} = -V_L$ 。因已经限制 $V_L \leq V_{be}$, 所以 $V_{C1} = -V_L \geq -V_{be} = V_A$, 即输入管集电极电位永不会低于基极, 保证了输入管工作点不会进入饱和区。

射级跟随输出器的第二个作用是放大输出电流, 增加负载能力。

7.1.3 参 考 电 源

由于 ECL 电路的逻辑摆幅小, 抗干扰能力低, 为了保证在高低温下电路能可靠地工作, 通常要求定偏电源 V_{bb} 在温度变化时能保持在高低电平的中点附近, 即:

$$V_{OH} = V_{bb} + V_L/2$$

$$V_{OL} = V_{bb} - V_L/2$$

由于 $V_{OH} = -V_{be}$, $V_L = V_{be}$, 则得

$$V_{bb} = V_{OH} - V_L/2 = -\frac{3}{2} V_{be} \quad (7-14)$$

只要定偏电压 V_{bb} 满足式 (7-14), 在温度变化时, 它就一直能保持在高低电平的中心, 保证 $V_{NL} = V_{NH}$ 。

图 7-1 中的参考电源是能够满足式 (7-14) 要求的, 现将其重画于图 7-2。

由图可列出方程:

$$IR_1 + IR_2 + 2V_D = -V_{EE}$$

从而得到

$$I = -\frac{V_{EE} + 2V_D}{R_1 + R_2}$$

T_5 管的基极电压 V_{B5} 为:

$$V_{B5} = -IR_1 = \frac{V_{EE} + 2V_D}{R_1 + R_2} R_1$$

定偏电压 V_{bb} 为:

$$V_{bb} = V_{B5} - V_{be5} = \frac{V_{EE} + 2V_D}{R_1 + R_2} R_1 - V_{be5} \quad (7-15)$$

适当地选取电阻 R_1 和 R_2 的值, 二极管 D_1 、 D_2 选用 be 结二极管 (使 $V_D = V_{be}$), 这样在温度变化时, 定偏电压 V_{bb} 就能跟随 V_{be} 而变化, 保证 V_{bb} 在高低电平的中点附近。

近来生产的 ECL 电路, 在图 7-1 的基础上已有两点改进 (见图 7-1 中两个虚线框): (1) 在每个输入端到负电源 $-V_{EE}$, 均加接一个 $50k\Omega$ 左右的下拉电阻 R_F , 给输入端到负电源提供漏电通道, 防止低频浮空效应。(2) 采用开发射极输出, 即在电路芯片上不制作电阻 R_{O1} 和 R_{O2} 。这便于电路使用者选择负载 (包括连线), 改善了系统匹配性能。

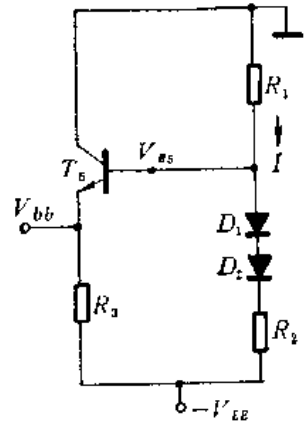


图 7-2 参考电源

7.2 ECL 电路的特性和参数

7.2.1 电压传输特性

ECL 电路有“或非”和“或”两个输出端。因而它有两条电压传输特性曲线。我们

只讨论“或非”端输出电平 V_{nor} 与输入电平 V_i 的关系。“或”端输出电平 V_{or} 与输入电平 V_i 的关系, 可用完全相同的方法来讨论。

设加在 A 输入端的电平为 V_i (其它输入端开路, 相应的输入晶体管截止), 那么通过图 7-1 中发射极耦合电阻的电流 I_E 为:

$$I_E = I_{ES1} e^{(V_i - V_B)/V_T} + I_{ES2} e^{(V_{bb} - V_B)/V_T} \quad (7-16)$$

式中的 I_{ES1} 和 I_{ES2} 分别是 T_{1A} 管和 T_2 管的发射结反向饱和电流, 通常可取 $I_{ES1} = I_{ES2} = I_{ES0}$ 。则

$$I_E = I_{ES} e^{(V_{bb} - V_B)/V_T} [1 + e^{(V_i - V_{bb})/V_T}] \quad (7-17)$$

由上式可得:

$$V_B = V_{bb} - V_T \ln I_E / I_{ES} + V_T \ln [1 + e^{(V_i - V_{bb})/V_T}] \quad (7-18)$$

若忽略射极跟随器 T_3 管基极电流 I_{B3} 在 R_{C1} 上的电压降, “或非”端输出电平 V_{nor} 为:

$$V_{nor} = -\alpha I_{E1} R_{C1} - V_{be} = -V_{be} - \alpha I_{ES} R_{C1} e^{(V_i - V_{bb})/V_T} \quad (7-19)$$

将式 (7-18) 代入式 (7-19) 则得:

$$V_{nor} = -V_{be} - \frac{\alpha I_{ES} R_{C1}}{1 + e^{(V_{bb} - V_i)/V_T}} = -V_{be} - \frac{V_L}{1 + e^{(V_{bb} - V_i)/V_T}} \quad (7-20)$$

将这个公式用图表示就得到图 7-3 所示的电压传输特性曲线。

对于 ECL 电路, 通常定义: 输出电平 V_{nor} 比高电平 V_{OH} 低 $0.1V_L$ 时的输入电平为最大输入低电平 V_{IL} ; 输出电平 V_{nor} 比低电平 V_{OL} 高 $0.1V_L$ 时的输入电平为最小输入高电平 V_{IH} 。

由 V_{IL} 的定义有:

$$V_{nor} = V_{OH} - 0.1V_L = -V_{be} - 0.1V_L = -V_{be} - \frac{V_L}{1 + e^{(V_{bb} - V_{IL})/V_T}}$$

$$0.1V_L = \frac{V_L}{1 + e^{(V_{bb} - V_{IL})/V_T}}$$

$$V_{bb} - V_{IL} = V_T \ln 9 \approx 2.2V_T$$

所以 V_{IL} 为:

$$V_{IL} \approx V_{bb} - 2.2V_T \quad (7-21)$$

同样可以求得 V_{IH} 为:

$$V_{IH} \approx V_{bb} + 2.2V_T \quad (7-22)$$

过渡区宽度 V_w 为:

$$V_w = V_{IH} - V_{IL} \approx 4.4V_T \quad (7-23)$$

可见, ECL 电路电压传输特性曲线的过渡区宽度 V_w 会随温度上升而增加。图 7-4 是

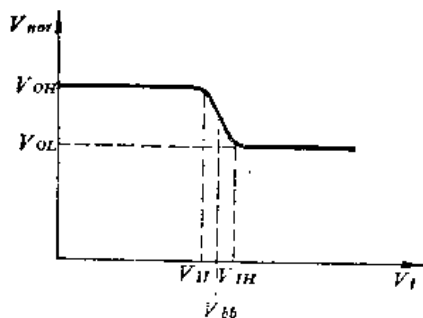


图7-3 电压传输特性曲线

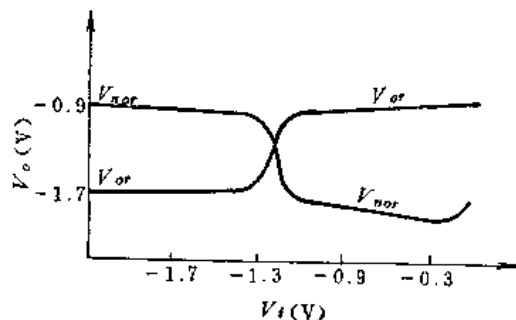


图7-4 实测的电压传输特性曲线

ECL 门电路电压传输特性曲线的实测结果,基本上与理论分析一致。当输入电压 $V_i < V_{IL}$ 时,输入晶体管截止,定偏晶体管导通, V_{nor} 为高电平。当 $V_i > V_{IH}$ 时,输入晶体管导通,定偏晶体管截止, V_{nor} 为低电平。而当 $V_{IL} < V_i < V_{IH}$ 时,两个管子都导通,电路工作于过渡区。

图中“或非”电压传输特性曲线尾部上翘的现象,是由于输入电平太高,输入管 T_{1A} 被驱动到饱和区造成的。

7.2.2 主要直流参数

一、与抗干扰能力有关的参数

1. 输出高电平 V_{OH}

由图 7-1 可知,输出高电平 V_{OH} 为:

$$V_{OH} = -I_{B3}R_{C1} - V_{be3}$$

由于 ECL 电路追求高速,晶体管的结面积做的比较小,加之工作电流又较大,所以 T_3 、 T_4 管的 be 结正向压降都较大,一般为 0.8 V 左右。加上输出管基极电流在 R_{C1} (或 R_{C2}) 上的压降 (通常约 0.1 V 左右),所以输出高电平一般为 -0.9 V 左右,即

$$V_{OH} \approx -0.9 \text{ V}$$

2. 输出低电平 V_{OL}

$$V_{OL} = V_{OH} - V_L = V_{OH} - V_{be} \approx -0.9 \text{ V} - 0.8 \text{ V} \approx -1.7 \text{ V}$$

3. 最小输入高电平 V_{IH} 和最大输入低电平 V_{IL}

对于一般的 ECL 电路,通常在室温 25°C 下取 V_{be} 值为 -1.3 V, 而 $V_T \approx 26 \text{ mV}$ 。由式 (7-21) 和式 (7-22) 分别求得 V_{IL} 和 V_{IH} 的室温值为:

$$V_{IL} = V_{be} - 2.2V_T \approx -1.36 \text{ V}$$

$$V_{IH} = V_{be} + 2.2V_T \approx -1.24 \text{ V}$$

4. 低电平噪声容限 V_{NL} 和高电平噪声容限 V_{NH}

根据第五章对 V_{NL} 和 V_{NH} 的分析,它们分别为:

$$V_{NL} = V_{IL} - V_{OL} = 0.34 \text{ V}$$

$$V_{NH} = V_{OH} - V_{IH} = 0.34 \text{ V}$$

二、与负载能力有关的参数

1. 输入电流 I_{br}

I_{br} 是输入管导通时前级门必须提供给后级门的电流。它等于 T_{1A} 管的基极电流 I_{B1} 和下拉电阻 R_F 上漏掉的电流 I_F 之和。由于 T_{1A} 管导通时工作于有源区,故有

$$I_{B1} = I_{C1}/\beta = \frac{I_{C1}R_{C1}}{\beta R_{C1}} \approx \frac{V_L}{\beta R_{C1}} \quad (7-24)$$

R_F 电阻分流掉的电流 I_F 为:

$$I_F = \frac{V_{OH} + V_{EE}}{R_F} \quad (7-25)$$

则 I_{br} 为:

$$I_{br} \approx \frac{V_L}{\beta R_{C1}} + \frac{V_{OH} + V_{EE}}{R_F} \quad (7-26)$$

由于 ECL 电路中晶体管的 β 值比较大, I_{br} 比较小, 这就为提高电路的负载能力创造了有利条件。

下面计算一个典型“或/或非”门的输入电流。将电路的有关数据 $\beta=50$, $R_{C1}=220\Omega$, $R_F=50k\Omega$, $-V_{EE}=-5.2V$, 代入式 (7-26), 算得:

$$I_{br} \approx 72\mu A + 86\mu A = 158\mu A$$

2. 最大输出电流 I_{OM} 和扇出 N_O

这里讨论“或非”输出端的情况。当“或非”输出端输出高电平时, 输入管截止 (定偏晶体管导通), 流过电阻 R_{C1} 的电流是输出管 T_3 的基极电流, 见图 7-5。电路空载时, 这股电流经 T_3 管放大, 从 R_{O1} 流到负电源 $-V_{EE}$ 。电路带上 N 个负载后, T_3 管发射极就增加了一股电流 $\Delta I_{E3} = NI_{br}$ 。因为 T_3 管一直工作在有源区, 所以 T_3 管基极电流相应的增量 ΔI_{B3} 为:

$$\Delta I_{B3} = \Delta I_{E3} / \beta$$

增量 ΔI_{B3} 在电阻 R_{C1} 上引起一个相应的电压增量 $\Delta V_{RC1} = \Delta I_{B3} R_{C1}$ 。在 ECL 电路中, 一般规定这个电压增量不得大于 $50mV$ 。由这个规定就可算出电路的最大输出电流和扇出。

仍设 $R_{C1}=220\Omega$ 、 $\beta=50$, 由 $\Delta V_{RC1} = \Delta I_{B3} R_{C1}$ 得:

$$\Delta I_{B3} = \frac{\Delta V_{RC1}}{R_{C1}} = \frac{50mV}{220\Omega} \approx 0.23mA$$

ΔI_{B3} 经 T_3 管放大后, 就成为最大输出电流 I_{OM} :

$$I_{OM} = \Delta I_{E3} = \beta \Delta I_{B3} = 11.5mA$$

由于 $I_{OM} = N_O I_{br}$, 得到电路的扇出为:

$$N_O = I_{OM} / I_{br} = 11.5mA / 158\mu A \approx 72$$

可见, ECL 电路的电流负载能力远比 TTL 电路强。但实际上 ECL 电路仍不能带太多的负载, 一般限定带 8 个以内。这是因为所带的负载太多, 连线太长, 而 ECL 电路是高速电路, 它的高速脉冲在长线上容易产生干扰, 破坏电路的正常工作。当然负载增加, 连线的寄生电容和负载电容过大, 也会限制电路速度。

三、功耗

ECL 电路“或/或非”门由电流开关、输出射极跟随器和参考电源三部分组成, 门的功耗由这三部份的功耗组成。假设 $R_E=779\Omega$, $R_{O1}=R_{O2}=2k\Omega$, $R_1=907\Omega$, $R_2=4.96k\Omega$, $R_3=6.1k\Omega$, 试求各部分的功耗如下:

1. 电流开关的功耗

输入高电平 V_{OH} 时, 输入管导通, 定偏管截止, 这时电流开关的电流 I_{EH} 为:

$$I_{EH} = \frac{V_E + V_{EE}}{R_E} = \frac{V_{OH} - V_{be} + V_{EE}}{R_E} = \frac{-0.9V - 0.8V + 5.2V}{779\Omega} \approx 4.5mA \quad (7-27)$$

输入为低电平 V_{OL} 时, 输入晶体管截止, 定偏晶体管导通, 此时电流开关的电流

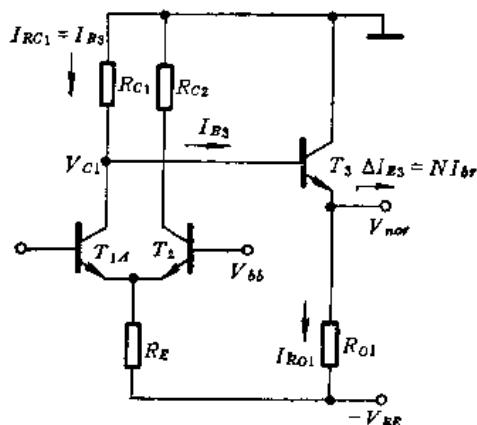


图7-5 计算 I_{OM} 和 N_O 的线路图

I_{EL} 为:

$$I_{EL} = \frac{V_E + V_{EE}}{R_E} = \frac{V_{bb} - V_{be} + V_{EE}}{R_E} = \frac{-1.3V - 0.8V + 5.2V}{779\Omega} \approx 4.0\text{mA} \quad (7-28)$$

可见在输入高电平和输入低电平的两种情况下, 电流开关的电流 I_E 基本不变, 只是输入高电平时输入晶体管导通, 这股电流经过输入管和电阻 R_E 流向负电源 $-V_{EE}$, 而输入低电平时, 定偏晶体管导通, 这股电流经过定偏晶体管和电阻 R_E 流向负电源。就是说有一股基本上不变的电流, 在输入信号的控制下, 一会儿从输入晶体管流向负电源, 一会儿从定偏晶体管流向负电源。“电流开关”的名称是对它的形象描述。

电流开关的平均电流 I_{CCK} 为:

$$I_{CCK} = (I_{EH} + I_{EL})/2 \approx 4.25\text{mA}$$

其平均功耗 P_K 为

$$P_K = I_{CCK}V_{EE} = 22.1\text{mW}$$

2. 射极跟随器的功耗

两个射极跟随器的输出是互补的, 所以两个射极跟随器的电流之和恒定不变:

$$I_F = I_{F1} + I_{F2} = \frac{V_{OH} + V_{EE}}{R_{O1}} + \frac{V_{OL} + V_{EE}}{R_{O2}} = \frac{-0.9V + 5.2V}{2\text{k}\Omega} + \frac{-1.7V + 5.2V}{2\text{k}\Omega} = 3.9\text{mA} \quad (7-29)$$

射极跟随器的功耗 P_F 为:

$$P_F = I_F V_{EE} \approx 20\text{mW}$$

3. 参考电源的功耗

由图 7-2 可知, 流经参考电源的电流有两股: 流过 R_3 的电流和流过 R_1 、 D_1 、 D_2 、 R_2 的电流。

$$I_R = I_{R1} + I_{R2} = \frac{-2V_{be} + V_{EE}}{R_1 + R_2} + \frac{V_{bb} + V_{EE}}{R_3} = \frac{5.2V - 1.6V}{5.867\text{k}\Omega} + \frac{5.2V - 1.3V}{6.1\text{k}\Omega} \approx 1.25\text{mA} \quad (7-30)$$

参考电源的功耗 P_R 为:

$$P_R = I_R V_{EE} = 6.5\text{mW}$$

ECL 电路“或/或非”门的总功耗 P 为:

$$P = P_K + P_F + P_R \approx 48.6\text{mW}$$

可见, ECL 电路的功耗比 TTL 电路的大, 这是 ECL 电路的主要缺点。从上面的计算中可以看出, 流过射极跟随器和参考电源这两部分的电流是恒定不变的, 而流过电流开关的电流也只有很小的变化。ECL 电路工作时, 电源电流起伏小这一特点, 部分弥补了 ECL 电路抗干扰能力低的缺点, 因为电流起伏小, 由此而产生的内部噪音也小。

7.2.3 瞬态特性和速度

ECL 电路的主要优点是电路开关速度高。其高速的原因, 一是电路中的晶体管只工作在截止区和有源区, 不进入饱和区, 没有存贮时间, 二是 ECL 电路的逻辑摆幅小, 各节点电容的充放电幅度小, 此外它的线路的特殊结构——电流开关, 也是一个原因。电流开关的输入管和定偏管用差分对的形式相结合, 管子的工作模式介于共基极和共射极之间。

典型的共基极运用是, 从射极输入, 集极输出, 典型的共射极运用是从基极输入, 集极输出。而电流开关的信号从基极输入, 通过发射极耦合电阻的作用, 又从发射极反馈回来, 所以既有基极输入的成份, 也有发射极输入的成份。由于这种工作模式, ECL 电路比 TTL 电路 (其主要晶体管是共射极运用的) 更好地利用了晶体管的速度潜力。

下面我们简单分析 ECL 电路的瞬态过程, 以了解影响 ECL 电路速度的主要因素。

设电路原来的状态是输入端为低电平 $V_A = V_{OL} = -1.7V$, 此时输入管 T_{1A} 截止, 其集电极电位 $V_{C1} = V_{B3} \approx -0.1V$, $V_{nor} = V_{OH} = -0.9V$; $V_{C2} = V_{B4} \approx -0.9V$, $V_{or} = V_{OL} = -1.7V$ 。

设 t_0 时刻在电路输入端加上一个正脉冲, 则 $t = t_0$ 时, 输入电平变为高电平 $V_A = V_{OH} = -0.9V$ 。在这个输入信号的作用下, 经过 t_{PHL} 时间, 电路完成了其内部状态的变化。这时电路各节点的电位是:

$V_{C1} = V_{B3} = -0.9V$, $V_{nor} = -1.7V$; $V_{C2} = V_{B4} = -0.1V$, $V_{or} = -0.9V$ 在延迟时间 t_{PHL} 内, 电路内部状态的变化过程是 (参考图 7-6):

(1) 在前级门的驱动下, 输入电流通过输入管 T_{1A} 的基极串联电阻 r_{bb1} , 对输入管基极节点电容 C_1 充电。这些电容是: T_{1A} 管发射结势垒电容 C_{e1A} 和扩散电容 C_{d1A} , 集电结势垒电容 C_{c1A} 。当 V_{B1} 充电到 T_{1A} 发射结导通压降 V_{be0} 时, T_{1A} 管开始导通。 T_{1A} 导通后, 随着 I_{C1} 的增大, C_{d1A} 和 C_{e1A} 还要继续充电。

(2) T_{1A} 导通后, 由于 R_{C1} 上的压降增加, V_{C1} 开始下降。但 V_{C1} 的下降和 C_1 节点电容 C_2 的放电过程必须同时进行。这些电容是 T_{1A} 管的集电结势垒电容 C_{c1A} 、全部输入管的隔离结电容 C_{i1} 、电阻 R_{C1} 的寄生电容 C_{RC1} 和其余输入管的 bc 结势垒电容 C_{c1B3} , 还有 T_3 管的输入电容 $C_s = C_{C3}$ 。这些电容的放电是通过逐渐导通的 T_{1A} 管进行的。

(3) V_{C1} 的下降, 使 I_{B3} 减小, V_{nor} 下降。但 V_{nor} 的下降除和 I_{B3} 的下降有关外, 还和 T_3 管发射极节点电容 C_s 的放电速度有关。 C_s 是由负载电容 C_L 和电阻 R_{O1} 的寄生电容 C_{RO1} 组成。这些电容是通过电阻 R_{O1} 放电的。

“或非”端输出电平下降的同时, “或”端输出电平上升, 其相应的内部变化过程请读者自己分析。

在输入脉冲的后沿, 即 T_{1A} 基极电位突然由 $V_{OH} = -0.9V$ 下降到 $V_{OL} = -1.7V$ 时, 电路状态也要发生相应的变化, 即在 t_{PLH} 时间内, V_{C1} 由 $-0.9V$ 上升到 $-0.1V$, V_{nor} 由 $-1.7V$ 上升到 $-0.9V$; V_{C2} 由 $-0.1V$ 下降到 $-0.9V$, V_{or} 由 $-0.9V$ 下降到 $-1.7V$ 。

这个过程中 (参见图 7-7) 电容 C_1 通过电阻 r_{bb1} 放电, I_{C1} 开始减小, V_{C1} 开始上升。当然 V_{C1} 的上升必然伴随着 C_2 电容的充电过程。随着 V_{C1} (也就是 V_{B3}) 的上升, I_{B3} 也增大, V_{nor} 也就跟着上升。当然 V_{nor} 上升的快慢还与电容 C_s 充电过程的快慢有关。

V_{or} 下降过程的分析 and V_{nor} 上升过程是类似的。

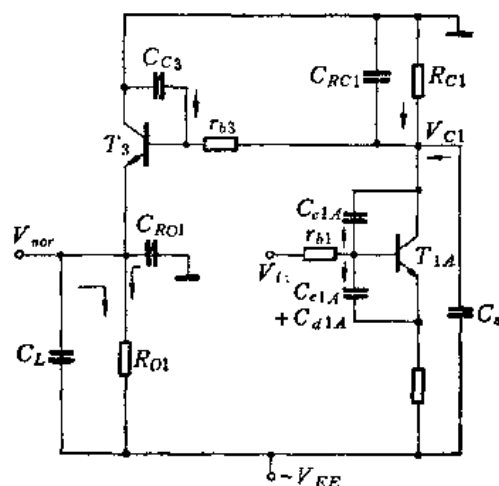


图7-6 分析 t_{PHL} 的等效电路图

从上面的分析中可以看到, ECL 电路的速度也由有关节点电容的充放电过程决定。ECL 电路的逻辑摆幅小, 为其提供了有利的条件。要进一步提高速度, 无非是设法减小有关节点电容和充放电回路的电阻。具体说就是: (1) 输入管、定偏管的有关电容 C_e 、 C_i 、 C_o 要小, f_T 要高(也就是 C_D 要小), 基极串联电阻 r_{bb} 要小;

(2) 输出管的 C_e 、 r_{bb} 要小, 一句话,

除参考电源部分外, ECL 电路的晶体管都希望做成 f_T 高 r_{bb} 小的高速开关管和高频低噪声管; (3) 电阻 R_{C1} 、 R_{C2} 、 R_{O1} 、 R_{O2} 和 R_E 等要小。

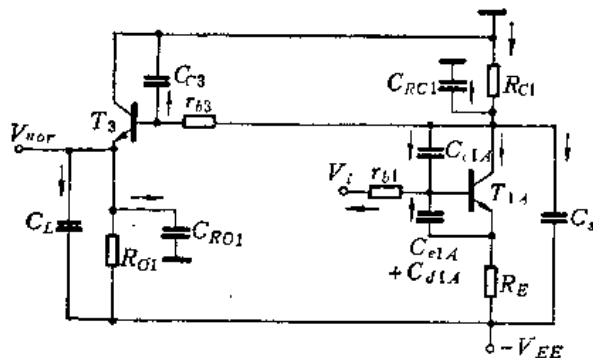


图7-7 分析 t_{PLH} 的等效电路

7.3 ECL 电路的逻辑扩展

在 TTL 电路中, 以“与非”门为基础, 通过各种办法来扩展其逻辑功能, 可以得到“与”门、“或”门、“与或非”门、“异或”门等等电路, 形成 TTL 电路的完整系列。与 TTL 电路相比, ECL 电路具有更大的逻辑灵活性, 更易于扩展其逻辑功能。

ECL “或/或非”门, 同时具有“或”和“或非”输出端, 而且可以通过增加射极输出器, 使电路同时具有几个“或”和“或非”输出端(见图 7-8), 这为逻辑扩展带来了方便。ECL 电路实现逻辑扩展的办法, 一般是用并联和串联两种方法, 将 ECL 门的基本单元联结在一起。下面举例说明。

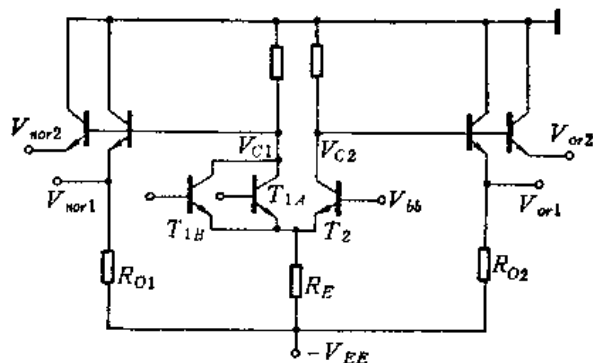


图7-8 多输出的 ECL 门

一、“或-与非/或非”门

如图 7-9 所示, 将两个“或”门的输出端 O_1 和 O_2 实行“线与”连接, 就得到一个“或-与”门。而将两个“或非”门的输出 N_1 和 N_2 实行“线或”连接, 可得到一个“或-与非”门。因为:

$$\begin{aligned} O_1 &= A_1 + B_1 & O_2 &= A_2 + B_2 \\ O &= O_1 \cdot O_2 = (A_1 + B_1) \cdot (A_2 + B_2) \\ N_1 &= \overline{A_1 + B_1} & N_2 &= \overline{A_2 + B_2} \\ N &= N_1 + N_2 = \overline{A_1 + B_1} + \overline{A_2 + B_2} \end{aligned}$$

根据摩根定律:

$$\overline{A_1 + B_1} + \overline{A_2 + B_2} = \overline{(A_1 + B_1) \cdot (A_2 + B_2)}$$

因此有:

$$N = \overline{(A_1 + B_1) \cdot (A_2 + B_2)}$$

和这个逻辑图相对应的线路图如图 7-10 所示。

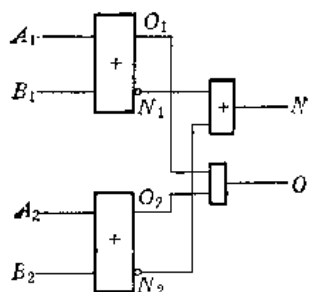


图7-9 “或非/或与”门逻辑图

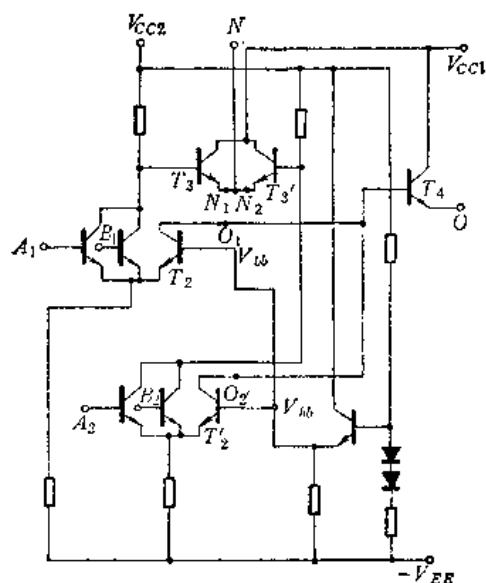


图7-10 “或非/或与”门电路

图中两个“或”门的“线与”是靠两个“或”门的定偏晶体管 T_2 和 T'_2 的集电极并联来实现的。因为两个 T_2 管集电极并联，只要有一个输出是低电平，电路输出就是低电平，只有两个 T_2 管集电极输出都是高电平时，输出才是高电平，所以实现的是“线与”功能。

而两个“或非”门的“线或”功能，是靠两个“或非”门的开发射极输出晶体管 T_3 、 T'_3 的发射极并联来实现的，由图可见，由于两个开路的发射极并联，只要有一个发射极是高电平，输出 N 就是高电平，只有两个并联的发射极都是低电平时， N 才是低电平，所以实现的是“线或”功能。

可见，“或-与非/或-与”门是由“或非/或”门用并联的方法得到的，并联方法又有“线与”连接和“线或”连接两种。

二、“与”门和“与非”门

“与”门和“与非”门是用串联的办法扩大 ECL 电路逻辑功能的一个例子，图 7-11 是“与”门，图 7-12 是“与非”门。这里是将两级电流开关串联起来，所以又叫串级门。

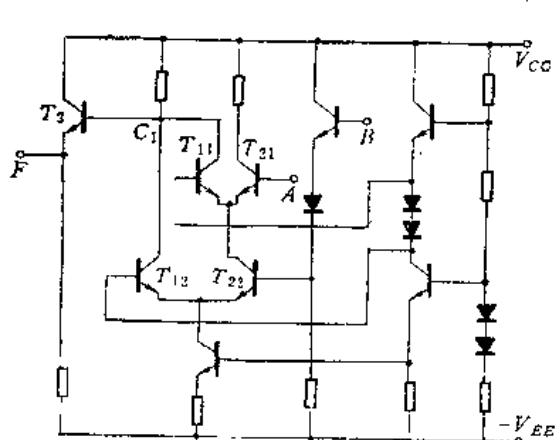


图7-11 “与”门电路

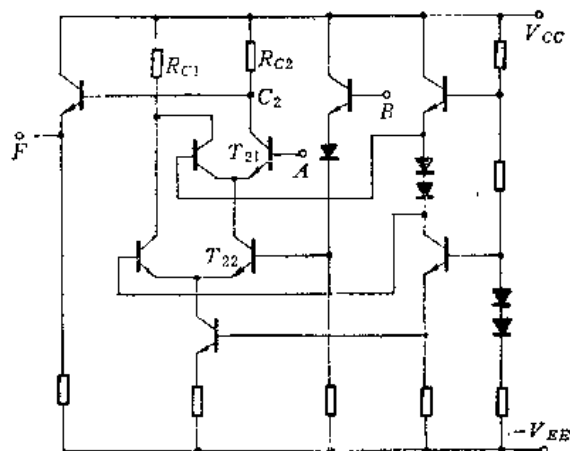


图7-12 “与非”门电路

由图 7-11 可知, 只有 A 、 B 都为高电平时, T_{21} 、 T_{22} 管就同时导通, T_{11} 、 T_{12} 管才会同时截止, 因而 V_{c1} 为高电平, 输出为高电平。 A 、 B 中只要有一个是低电平, T_{21} 、 T_{22} 管中就有一个截止, 因而 T_{11} 、 T_{12} 管中就有一个导通, V_{c1} 为低电平, 输出为低电平, 可见它是一个“与”门电路。

图 7-12 的情况是类似的。 A 、 B 中只要有一个是低电平, T_{21} 、 T_{22} 管中就有一个截止, 从电源 V_{CC} 经 R_{C2} 到 $-V_{EE}$ 的路径开路, V_{c2} 为高电平, 输出为高电平。 只有 A 、 B 都为高电平时, T_{21} 、 T_{22} 管才同时导通, V_{c2} 为低电平, 输出为低电平。 可见它是一个“与非”门电路。

三、“异或”门

“异或”门电路和“与”门、“与非”门类似, 如图 7-13 所示, 它是串联和并联的结合。 由图可知, 当 A 、 B 都为高电平时, T'_{11} 和 T_{22} 管都导通, 输出为低电平。 当 A 、 B 都为低电平时, T_{11} 和 T_{22} 管截止, T_{21} 导通, 输出仍为低电平。 当 A 为高电平, B 为低电平时, T_{22} 和 T_{21} 截止, 所以输出为高电平。 当 A 为低电平, B 为高电平时, T_{12} 和 T'_{11} 管截止, 输出为高电平。 可见它是一个“异或”门。

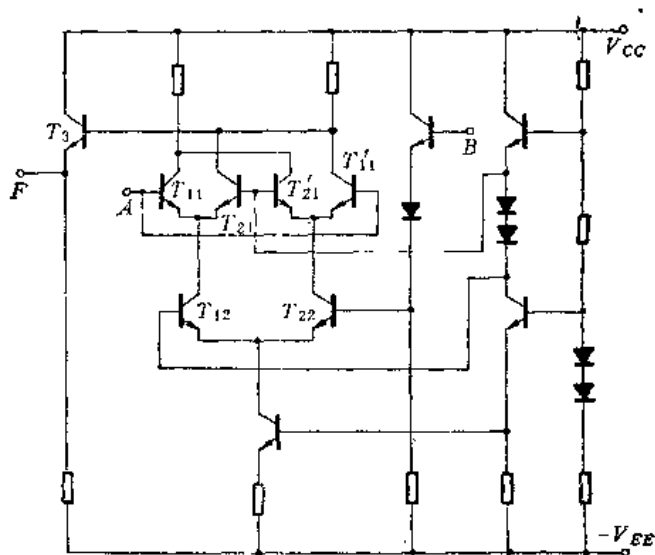


图 7-13 “异或”门电路

7.4 ECL 电路的设计特点

ECL 电路设计的一般原则和 TTL 电路一样, 这里只对它的几个特点稍作说明。

(1) 要求电阻 R_{C1} 、 R_{C2} 和 R_E 的条宽一样, 且平行排列在一起。

第二节讲过, 为了保证同一块电路“或”端和“或非”端的输出低电平相等, 除要求 $V_{be3} = V_{be4}$ 外, 还要求:

$$I_{C1}R_{C1} = I_{C2}R_{C2}$$

在 ECL 电路中, 由于 β 比较大, 一般有:

$$I_{C1} \approx I_{E1} = \frac{V_{OH} - V_{be} + V_{EE}}{R_E}$$

$$I_{C2} \approx I_{E2} = \frac{V_{bb} - V_{be} + V_{EE}}{R_E}$$

结合上述三式, 可得到:

$$R_{C1}/R_{C2} = \frac{V_{bb} - V_{be} + V_{EE}}{V_{OH} - V_{be} + V_{EE}} \quad (7-31)$$

ECL 电路的逻辑摆幅 V_L 为:

$$V_L = \alpha I_{E1} R_{C1} \approx R_{C1}/R_E (V_{OH} - V_{be} + V_{EE}) \quad (7-32)$$

为了保证电路工作时管子不进入饱和区, 需限制 V_L 的极限值为 V_{be} , 则由式 (7-32) 得到:

$$R_{C1}/R_E = \frac{V_{be}}{V_{OH} - V_{be} + V_{EB}} \quad (7-33)$$

为了在扩散和光刻等工艺误差引起阻值偏离时, 仍能保证式 (7-31) 和 (7-33) 成立, 在版图中, 这三个电阻宜平行排列在一起, 电阻条宽也应一样。

(2) 要设计条状小尺寸的晶体管

从瞬态分析知道, 为了保证 ECL 电路的高速度, 要求电路中的晶体管(参考电源部分除外), 既是高速开关管, 也是高频低噪声管, 就是说它们的结电容 C_u 、 C_e 、 C_c 要小, 特征频率 f_T 要高, 基极串联电阻 r_{bb} 要小。这就要求尺寸尽可能小的条状晶体管。

(3) 所有输出管的形状和尺寸都应相同且排列在同一隔离区

为了保证所有输出管的 V_{be} 相同, 以保证同一块电路中, 各输出端的输出电平相同, 常将各输出管设计成形状和尺寸都相同, 且排列在同一隔离区。为了保证输出电平随输出电流的变化小, 则 r_{bb} 应尽量做小些。

(4) 为保证电路高速, 常采用高光刻精度、泡发射区、浅结扩散、薄层外延等难度较高的工艺。

参 考 资 料

- 〔1〕《MECL Integrated Circuits Data Book》(Third Edition) Motorola Inc 1973.
- 〔2〕复旦大学微电子教研组编《集成电路设计原理——双极型逻辑集成电路》第四章, 人民教育出版社1978年。

第八章 集成注入逻辑(I²L)电路

集成注入逻辑 I²L(Integrated Injection Logic), 又称并合晶体管逻辑 MTL(Merged Transistor Logic), 它是一种新型的双极型逻辑电路。自 1972 年诞生以来, 发展很快, 对双极型大规模集成电路的发展起了巨大的推动作用。它具有集成度高, 功耗-延迟时间乘积低, 制造工艺比较简单, 可与模拟集成电路和其它数字电路共作于同一芯片等优点。它的出现, 标志着双极型集成电路在集成度和功耗方面的一次巨大突破, 为双极型大规模集成电路的发展开辟了新的途径, 越来越受到人们的重视。

本章将重点分析集成注入逻辑电路的工作原理、特性, 以及线路设计、版图设计和工艺设计的特点, 并就 I²L 电路的改进和发展作一简单的介绍。

8.1 I²L 电路的工作原理

8.1.1 I²L 电路的由来

在研究 I²L 电路之前, 先回顾一下逻辑电路发展初期阶段的一种结构, 即直接耦合晶体管逻辑(DCTL)电路。从下面的简单分析中可以看到, I²L 电路实际上是直接由 DCTL 电路演变而来的, 但它又不是简单的重复, 而是一种建立在近代集成电路技术基础上的螺旋式的发展。

图 8-1 是 DCTL 的基本电路——“或非”门。它是把几个晶体管的发射极并联接地, 集电极并联作为输出, 而各个晶体管的基极 A、B、C 作为输入。输出和输入之间是“或非”逻辑关系:

$$F = \overline{A + B + C}$$

由这个“或非”门, 就可构成各种复合逻辑。

这种电路结构虽然简单, 但存在一些严重的缺点, 其中最突出的是基极电流分配不均匀的问题, 或称之为抢电流现象。抢电流现象在 DCTL 电路中有两种表现形式, 下面先分析第一种抢电流现象, 关于第二种抢电流现象, 放到 8.3.4 中进行详细分析。

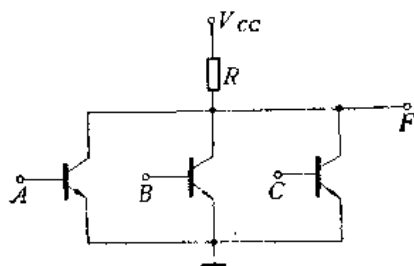


图 8-1 DCTL “或非”门

图 8-2 是两级 DCTL 门电路。当第一级驱动门输出端 F 为高电平时, 直接受它驱动的三个晶体管 T_1 、 T_2 、 T_3 都导通饱和, 电源 V_{cc} 通过 R 向三个晶体管提供基极电流。由于产品参数分散或温度差异所引起的 T_1 、 T_2 、 T_3 管基极-发射极结电压的差异, 如图 8-3 所示, 使分配到各管的基极电流不相等。这样一来, 正向压降比较高的管子可能进不了饱和状态, 而正向压降比较低的管子可能饱和过深。饱和过深则开关速度慢, 饱和不足可能低电平过高。正是由于这个原因, 真正的 DCTL 电路几乎完全不能实用, 而可以使用的是它

的改进型——电阻-晶体管逻辑(RTL)电路。这种电路是在 DCTL 电路中的各个晶体管的基极上串接一个均流电阻, 用电阻上压降的反馈作用来削弱上述抢电流现象。

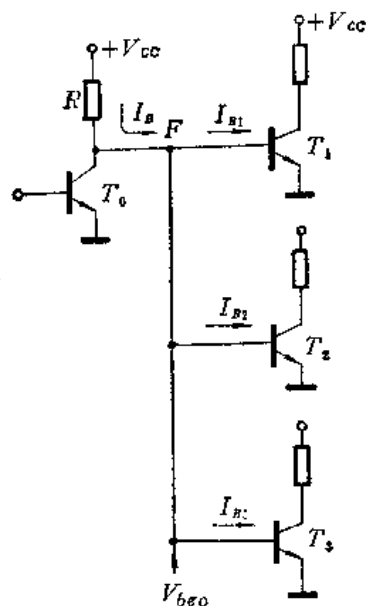


图8-2 两级DCTL门电路

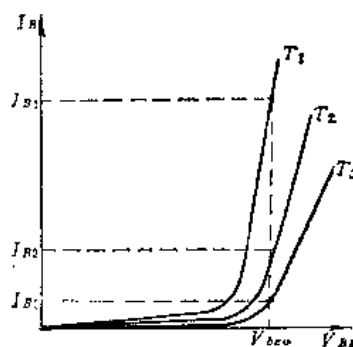


图8-3 各管的基极电流不相等

正是在不断解决 DCTL 电路的新旧矛盾的过程中, 人们才逐步发展了电阻-晶体管逻辑 (RTL) 电路, 电阻-电容晶体管逻辑 (RCTL) 电路, 二极管-晶体管逻辑 (DTL) 电路和晶体管-晶体管逻辑 (TTL) 电路。由于每前进一步, 往往在电路中增加一些元件, 致使前面讲过的 TTL 门电路虽然性能比较完善, 但结构相应复杂起来了, 因此, 在双极型大规模集成电路的研制过程中, 遇到了很多困难。归纳起来, 大致有三点: (1) 单门电路的结构比较复杂, 元件较多, 虽然常采用一些简化门结构, 但仍不够简单; (2) 需要采用隔离技术。隔离在普通双极型电路中占芯片面积的 40~60%, 而它又是工艺复杂的主要原因; (3) 需要电阻, 这就难以降低功耗和缩小芯片面积。但是, 人们在研制双极型大规模集成电路的实践中, 逐渐地认识到:

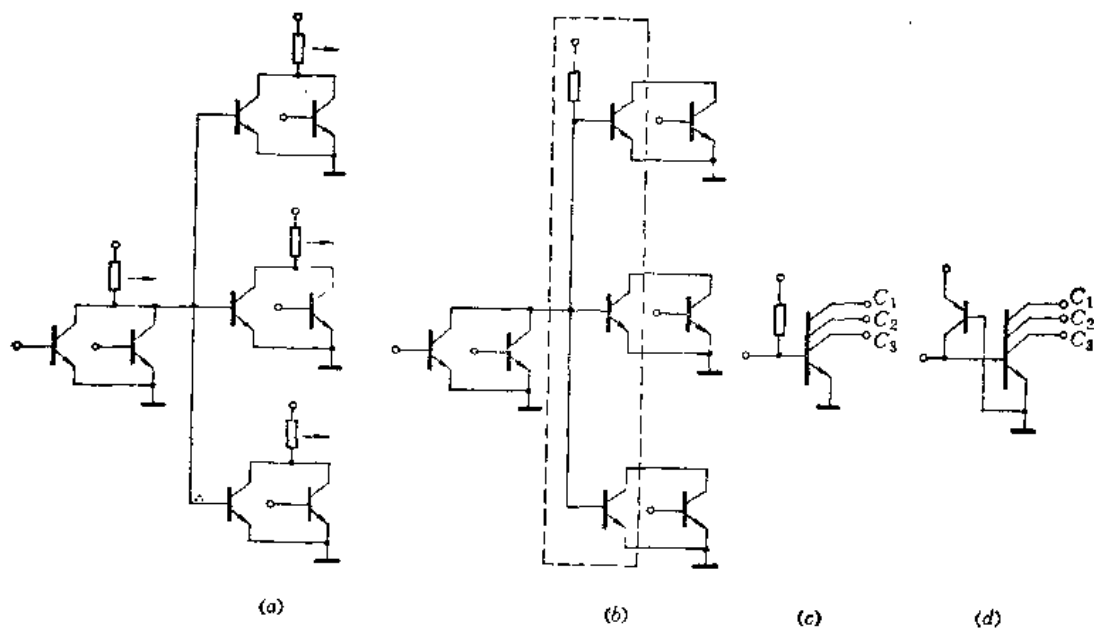
(1) 饱和型开关电路是以共发射极晶体管作为基本开关元件的, 如果用基片作为发射区就可以省略掉晶体管之间的隔离;

(2) 电路中的电阻是无源元件, 它既消耗功率, 又占用较大的面积, 如用有源元件代替, 既可降低功耗, 又可增加集成度;

(3) 集成电路中的晶体管存在着寄生晶体管效应, 一般应尽量减小乃至消除它, 但是, 如果能在电路设计上有效地利用寄生晶体管作为电路中的元件, 既可增加集成度, 又可简化工艺。

人们正是沿着这些思路, 选择了结构最简单的直接耦合晶体管逻辑电路作为改进的对象, 研制成功了 I^2L 电路。其简单的演变过程如图 8-4 所示。

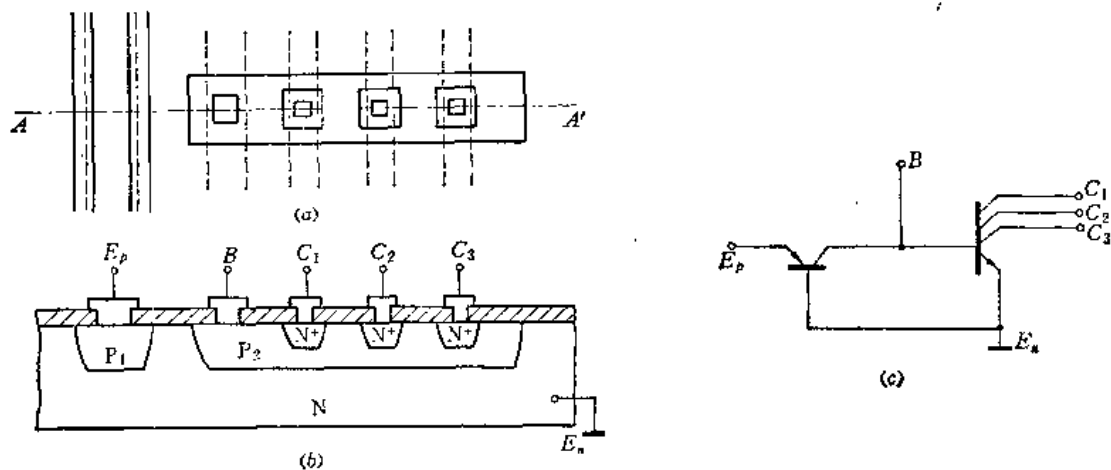
图 8-4(a) 是标准的 DCTL 两级门电路。如果象图 8-4(a) 箭头所示那样, 将集电极电阻移到邻近的门, 就得到图 8-4(b) 所示的电路。如果把图 8-4(b) 虚线框内的电阻 R 和与它相联的三个晶体管集中起来作为一个单元, 这个单元有共同的基极和发射极, 只是三个集电极是分离的, 如图 8-4(c) 所示。如果再用有源元件 PNP 晶体管代替电阻 R 作

图8-4 I^2L 电路的演变过程

为电流源，则如图 8-4(d)所示。这就是现代集成注入逻辑的基本单元——多集电极倒相器。

8.1.2 I^2L 电路基本单元的结构

I^2L 电路的基本逻辑单元是一个具有多个集电极的倒相器，它的平面图、剖面图和单元线路图如图 8-5 所示。

图8-5 三输出 I^2L 倒相器

(a)平面图；(b)剖面图；(c)单元线路图。

在结构图和单元线路图中：

(1) E_p 端称为多集电极倒相器的注入端，它连接的 P_1 区相当于单元电路中 PNP 管的发射区，外接电源，由它向各倒相器提供电流。

(2) B 端称为多集电极倒相器的输入端，它连接的 P_2 区既是 PNP 管的集电区，又是

反向运用 NPN 管的基区。

(3) C_1 、 C_2 、 C_3 是多集电极倒相器的输出端，它连接的 N^+ 区是反向运用 NPN 管的集电极。

(4) E_s 是多集电极倒相器的接地端，它连接衬底 N，N 既是 PNP 管的基区，又是反相工作 NPN 管的发射区。

由此可见，集成注入逻辑的基本单元是由横向结构的 PNP 晶体管和纵向结构反向运用的多集电极 NPN 晶体管构成的。PNP 管的集电区与 NPN 管的基区共用，PNP 管的基区同 NPN 管的发射区共用，它们之间互相渗透，结合成一个统一的整体。因此，集成注入逻辑 (I^2L) 电路通常又称为并合晶体管逻辑 (MTL) 电路。

从上述结构我们可以看出：(1) 集成注入逻辑电路基本单元采用 DCTL 的电路形式，以一个负载和一个晶体管组成倒相器，电路形式简单、元件少。(2) 将普通集成电路中的晶体管集电区作为发射区，而将发射区作为集电区。由于 I^2L 电路所有晶体管发射区都是公共接地，故电路中各倒相管之间无需隔离，这就简化了工艺，缩小了芯片面积。(3) 以共基极接法的 PNP 管作为恒流源，代替 DCTL 中的扩散电阻，达到了降低功耗、缩小面积的目的。

集成注入逻辑电路既保持了 DCTL 电路结构简单的特点，又运用了近代集成技术作了改进，克服了研制双极型大规模集成电路的一些固有困难，为双极型大规模集成电路的发展展现了令人鼓舞的前景。

8.1.3 I^2L 基本单元电路的工作原理

I^2L 基本单元电路具有两个状态：一个是载流子积累的状态，即导通态；一个是载流子耗尽的状态，即截止态。

当注入端 E_p 加上大于一个 PN 结的正向导通压降时，横向 PNP 管的发射结正偏，空穴从 P_1 区注入到 N 型基区，由于横向 PNP 管的基区宽度通常比空穴扩散长度要小，所以注入到 N 型基区的空穴大部被 P_2 区所收集。如果输入端 B 处于开路状态 (B 端悬空或前一级 I^2L 电路截止)， P_2 区收集到的空穴就积累起来，使多集电极 NPN 管的发射结正偏，引起 N 区向 P_2 区注入电子，这些电子被 NPN 管的集电区 N^+ 所收集，导致反向运用的 NPN 管导通，集电极 C_1 、 C_2 、 C_3 输出低电平，如图 8-6 (a) 所示。

如果输入端 B 处于短路状态 (前一级 I^2L 电路饱和导通)，注入极 E_p 依然向 N 区注入空穴，空穴仍然被 P_2 区收集，但是收集的空穴立即由 B 端被前级抽走，多集电

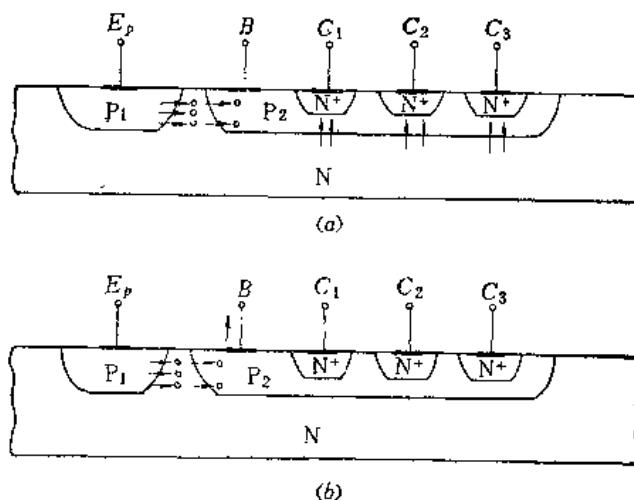


图 8-6 I^2L 电路工作原理图
(a) 载流子的积累；(b) 载流子的耗尽。

极 NPN 管截止, C_1 、 C_2 、 C_3 输出高电平, 如图 8-6(b) 所示。

由此可见, 集成注入逻辑电路基本门的工作过程, 实质上就是由注入端注入的少数载流子在器件内部转移, 引起基本门导通和截止的过程。集成注入逻辑这一名称就是这样的。

8.1.4 I^2L 电路的开关过程

由三级基本门组成的 I^2L 电路, 如图 8-7 所示。图中用恒流源符号代替 PNP 管, 并用加在 T_1 管基极上的一个开关 K_1 理想的表示输入讯号的有无。

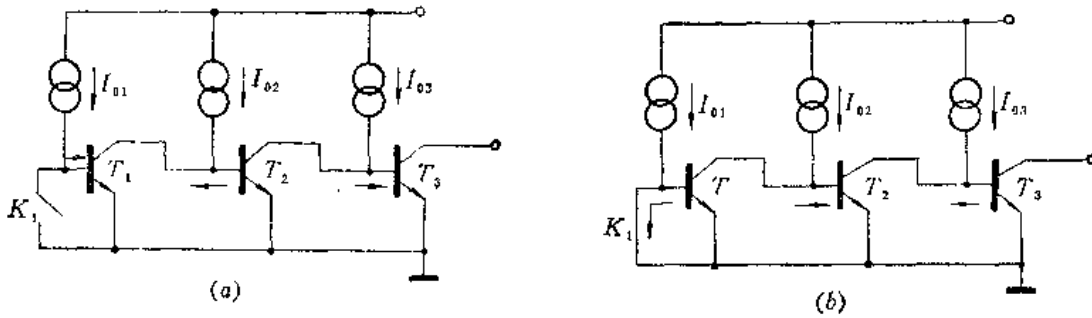


图8-7 I^2L 电路的开关过程

当 K_1 断开时, T_1 管基极的 PNP 管恒流源电流 I_{01} 向 T_1 管提供基极驱动电流, 使 T_1 管导通; T_2 管基极恒流源电流 I_{02} 向 T_1 管集电极流去, T_2 管无基极驱动电流而截止; T_3 管基极恒流源电流 I_{03} 向 T_3 管提供基极驱动电流, 使 T_3 管导通, 如图 8-7(a) 所示。

当 K_1 闭合时, T_1 管基极恒流源电流 I_{01} 向地流去, T_1 管无基极驱动电流而截止; T_2 管基极恒流源电流 I_{02} 向 T_2 管提供基极驱动电流, 使 T_2 管导通; T_3 管基极恒流源电流 I_{03} 向 T_2 管集电极流去, T_3 管无基极驱动电流而截止, 如图 8-7(b) 所示。

设 K_1 断开时, 输入状态为“1”, K_1 闭合时, 输入状态为“0”; T_1 、 T_2 、 T_3 管导通时的输出状态为“0”, 而截止时的输出状态为“1”, 则上述开关过程的逻辑功能可表示如下:

$$K_1 = 1: T_1 = 0, T_2 = 1, T_3 = 0;$$

$$K_1 = 0: T_1 = 1, T_2 = 0, T_3 = 1。$$

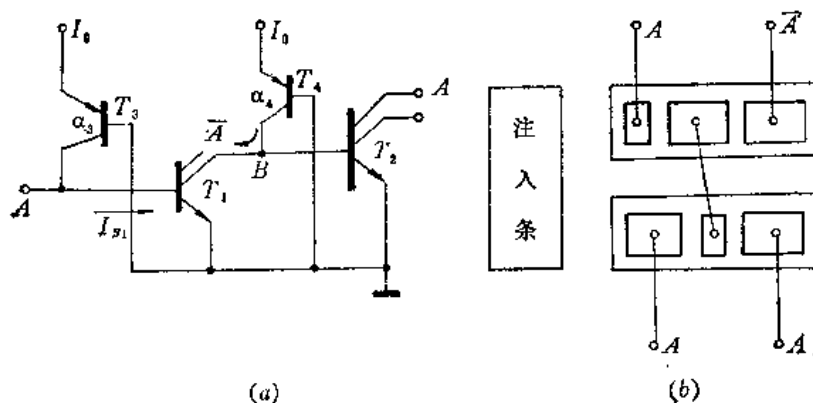
8.1.5 I^2L 电路正常工作的必要条件

要使上述开关过程能正常进行, 各管的电流增益必须满足一定的要求。下面采用图 8-8 所示的两级 I^2L 门电路进行具体分析。

假定两级 I^2L 门电路的注入电流相等, 均为 I_0 。若输入端 A 为高电平, 则 T_2 管向 T_1 管提供基极驱动电流, $I_{B1} = \alpha_3 I_0$ 。要使 T_1 管导通饱和, 则 T_1 管必须完全吸收 T_4 管提供的集电极电流, $I_{C1} = \alpha_4 I_0$ 。因此, T_1 管导通饱和时, 它的电流增益必须满足下列条件:

$$\beta_1 > \frac{I_{C1}}{I_{B1}} = \frac{\alpha_4 I_0}{\alpha_3 I_0} = \frac{\alpha_4}{\alpha_3} \quad (8-1)$$

式中, α_3 和 α_4 分别是 T_3 管和 T_4 管的共基极电流增益。这时 A 点为高电平, $V_A \approx 0.7V$, T_3 管集电结正偏, 处于深饱和态; B 点为低电平, 接近于零伏, T_4 管集电结零偏, 处于临界饱和状态。根据对管于饱和状态分析知道, 处于临界饱和状态的电流增益要比处于深饱

图8-8 两级I²L门电路

和状态的电流增益大, 因而上式可以写为:

$$\beta_1 > 1 \quad (8-2)$$

实际测量表明, I²L 电路正常工作时, 临界饱和的 α_4 要比深饱和时的 α_3 大一倍, 即 $\alpha_4 = 2\alpha_3$ 。考虑到这一情况, 式(8-1) 可以改写成:

$$\beta_1 > 2 \quad (8-3)$$

通常把 $\beta > 2$ 作为 I²L 电路能够正常工作的必要条件。

8.2 I²L电路器件分析

从上一节的分析中我们知道, 集成注入逻辑的基本单元——多集电极倒相器, 是由反向工作的多集电极 NPN 晶体管和横向 PNP 晶体管并合而成的, 它们的特性如何, 直接影响着 I²L 基本单元的性能, 因此, 在分析 I²L 电路的特性之前, 先对反向多集电极 NPN 晶体管和横向 PNP 晶体管的特性进行分析。

8.2.1 反向多集电极 NPN 晶体管

一、电流增益

在晶体管原理中推导的共发射极电流增益 β 的表达式:

$$\frac{1}{\beta} = \frac{\rho_e W}{\rho_b L_{pe}} + \frac{W^2}{4L_{nb}^2} + \frac{SA_e W}{A_s D_{nb}} \quad (8-4)$$

对于反向多集电极 NPN 晶体管已不适用, 下面根据图 8-9 所示的结构, 导出反向多集电极 NPN 晶体管的共发射极电流增益。

式 (8-4) 中, ρ_e 、 ρ_b 分别是发射区和基区的电阻率, L_{pe} 、 L_{nb} 分别是空穴和电子的扩散长度, D_{nb} 是基区中电子扩散系数, W 是有效基区宽度, A_e 是发射极面积, A_s 是表面复合面积, S 是表面复合速度。

在讨论之前, 为方便起见, 把具有 N 个集电极的反向 NPN 晶体管划分为 $(N+1)$ 个相等的部分, 如图 8-9 中虚线所标明的, 因此, 每个集

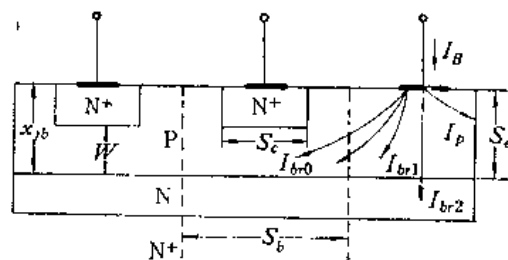


图8-9 反向多集电极NPN管示意图

电区的面积为 S_e ，与每个集电区 S_c 相对应的基区面积为 S_b ，基区总面积则为 $(N+1)S_b$ 。

对于反向多集电极 NPN 晶体管，我们定义它的每个集电极的反向电流增益 β_r 等于该集电极电流 (bc 短接) I_c 同基极电流 I_B 之比，即

$$\beta_r = -\frac{I_c}{I_B} \quad (8-5)$$

下面分别计算。

1. I_B

反向多集电极 NPN 晶体管在发射结正偏时，发射区向基区（包括内基区和外基区两部分）注入电子。注入到内基区的电子，除与空穴复合掉一小部分外，绝大部分通过内基区被集电结所收集，注入到外基区的电子则在外基区的体内和表面被复合掉。显然，在内基区和外基区与电子复合所需要的空穴，都是由基极电流提供的。在发射结正偏时，基区也要向发射区注入空穴。由于反向 NPN 晶体管的基区杂质浓度比发射区杂质浓度要高，因此基区向发射区外延层和衬底注入了大量的空穴。注入的空穴要与多数载流子电子不断复合，因复合而损失的这一部分，显然也须由基极电流来补充。

由上面的分析可知，反向多集电极晶体管的基极电流由三部分构成：内基区体内复合电流 I_{br0} ，外基区体内和表面复合电流 I_{br1} ，N 型外延层和衬底的空穴复合电流 I_{br2} 。因此 I_B 可写成下式：

$$I_B = I_{br0} + I_{br1} + I_{br2} \quad (8-6)$$

通常情况下，基区宽度 W 很小，内基区体内复合电流 I_{br0} 可忽略，因此， I_B 就为 I_{br1} 与 I_{br2} 之和：

$$I_B \approx I_{br1} + I_{br2} \quad (8-7)$$

在前面的分析中已指出 I_{br1} 就是发射结外基区面积上注入的电子电流。假定外基区表面复合速度为无限大，根据晶体管原理， I_{br1} 可由下式表示：

$$\begin{aligned} I_{br1} &= I_{n0} e^{qV_{be}/kT} = [S_b + N(S_b - S_e)] \frac{qD_{nb}n_i^2}{\int_0^{x_{fb}} N_B(x) dx} e^{qV_{be}/kT} \\ &= \frac{qD_{nb}n_i^2 S_b [1 + N(1 - S_e/S_b)]}{\int_0^{x_{fb}} N_B(x) dx} e^{qV_{be}/kT} \end{aligned} \quad (8-8)$$

式中， $[S_b + N(S_b - S_e)]$ 是外基区面积， $\int_0^{x_{fb}} N_B(x) dx$ 为外基区单位面积掺杂量。

I_{br2} 是发射区的空穴复合电流。在我们所讨论的外延结构中，反向 NPN 晶体管的发射区是 N-N⁺ 结构，根据复合理论，在薄 N 型外延层中的空穴复合较在 N⁺ 衬底中的复合小得多，因而可近似认为在 N 型外延层中的空穴浓度是常数，其值为：

$$P_e = \frac{n_i^2}{N_e} e^{qV_{be}/kT} \quad (8-9)$$

式中 N_e 是 N 型外延层的掺杂浓度。假定 N-N⁺ 交界面的复合速度为 s_p ，则在发射区中的复合电流 I_{br2} 为：

$$I_{br2} = qP_e s_p S \quad (8-10)$$

式中 $S = (N+1)S_b$ 是基区的总面积。把式(8-9)代入式(8-10)中, 则得:

$$I_{br2} = \frac{qn_i^2(N+1)S_b}{N_c} s_p e^{qV_{be}/kT} \quad (8-11)$$

把式(8-8)和式(8-11)代入式(8-7)中, 基极电流 I_B 则由下式表达:

$$I_B = I_{br1} + I_{br2} = qS_b n_i^2 \left\{ \frac{D_{nb} \left[1 + N(1 - S_e/S_b) \right]}{\int_0^{x_{jb}} N_b(x) dx} + \frac{(N+1)s_p}{N_c} \right\} e^{qV_{be}/kT} \quad (8-12)$$

2. I_c

在计算 I_B 时, 曾假定内基区的体复合甚小而可忽略 I_{br0} , 因此, 面积为 S_e 的每个集电区所收集的电流, 就为与它相对应的发射结注入的电子电流, 即

$$I_c \approx I_{n0} e^{qV_{be}/kT} = \frac{qS_e n_i^2 D_{nb}}{\int_0^W N_b(x) dx} e^{qV_{be}/kT} \quad (8-13)$$

式中 I_{n0} 为 be 结 S_e 范围内的反向电子饱和电流值, $\int_0^W N_b(x) dx$ 为内基区单位面积的掺杂量。

3. β_n

把式(8-12)和式(8-13)代入式(8-5)中, 反向多集电极 NPN 晶体管每个集电极的反向电流增益 β_n 则为:

$$\beta_n = \frac{I_c}{I_B} = \left(\frac{S_e}{S_b} \right) \frac{\left[\int_0^W N_b(x) dx \right]^{-1}}{\left[1 + N(1 - S_e/S_b) \right] \left[\int_0^{x_{jb}} N_b(x) dx \right]^{-1} + (N+1)s_p/D_{nb}N_c} \quad (8-14)$$

由上式可知, 反向多集电极 NPN 管的反向电流增益 β_n 与外延层掺杂浓度 N_c 、少子扩散系数 D_{nb} 、集电区面积与发射区面积之比 S_e/S_b 、外基区单位面积掺杂量 $\int_0^{x_{jb}} N_b(x) dx$ 成正比, 而与扇出 N 、内基区单位面积掺杂量 $\int_0^W N_b(x) dx$ 、 $N-N^+$ 界面复合速度 s_p 成反比。因此, 为了提高反向多集电极 NPN 管的反向电流增益, 可采取下列措施:

- (1) 适当提高 N 型外延层掺杂浓度, 以增加发射极注入效率;
- (2) 提高材料少子寿命, 避免重金属杂质沾污;
- (3) 改善基区杂质分布, 减薄基区宽度, 减少体内复合;
- (4) 改善表面状态, 减少表面复合速度;
- (5) 增加集电区面积与发射区面积的比值;
- (6) 适当限制反向多集电极 NPN 管的扇出 N 。

对于一般工艺, 取 $\int_0^W N_b(x) dx = 3 \times 10^{12} \text{ cm}^{-2}$, $\int_0^{x_{jb}} N_b(x) dx = 3 \times 10^{14} \text{ cm}^{-2}$, 若 $N = 1$, $S_e/S_b = 0.7$, $N_c = 2 \times 10^{16} \text{ cm}^{-3}$, $D_{nb} = 10 \text{ cm}^2 \text{ s}^{-1}$ 和 $s_p = 10 \sim 20 \text{ m/s}$, 代入式(8-14)计算, 可以得到:

$$10 < \beta_n < 20$$

这与试验值基本相符, 如图 8-10 所示。

在讨论式 (8-14) 时, 基极电流 I_b 中, 没有考虑发射结对着的注入条一边面积为 S , 上注入电流 I_p 的贡献。考虑到这个因素后, 反向多集电极 NPN 管每个集电极的反向电流增益用 β_u 表示, 则:

$$\beta_u = \frac{I_c}{I_b + I_p} = \frac{I_{n0} e^{qV_{be}/kT}}{\frac{I_{n0} e^{qV_{be}/kT}}{\beta_n} + I_{p0} e^{qV_{be}/kT}} = \frac{\beta_n}{1 + \beta_n \frac{I_{p0}}{I_{n0}}} \quad (8-15)$$

实际上, β_u 是 I^2L 电路注入极短接时的反向电流增益, 它与 β_n 的区别可用图 8-11 来表示。通常 β_u 比 β_n 略小。如果 $I_{p0}/I_{n0} \ll 1$, 则 $\beta_u \approx \beta_n$ 。

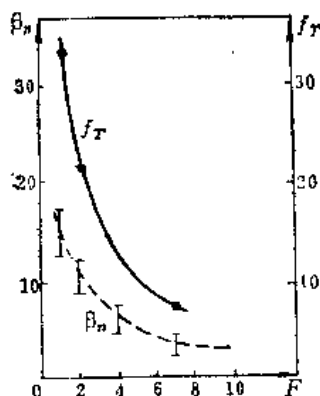


图 8-10 I^2L NPN 管的反向电流增益和特征频率与频率的关系 (曲线为计算值; 点为实验值)

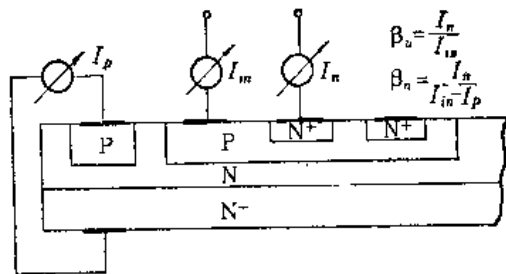


图 8-11 I^2L 电路 β_n 和 β_u 的测量原理图

二、特征频率

反向多集电极 NPN 晶体管的特征频率 f_T 较低, 这主要有两个原因: 基区存在减速场, 发射区外延层和衬底内注入有大量空穴电荷。

大家知道, 对于正向工作的 NPN 晶体管, 基区存在的内建电场是加速场, 对载流子渡越基区起加速作用, 有利于特征频率 f_T 的提高。但是, 对于反向工作的 NPN 管, 基区存在的内建电场是减速场 (如图 8-12 所示), 它将阻碍电子渡越基区, 使基区渡越时间 τ_b 增大, 因而反向 NPN 管的特征频率比正向 NPN 管要低。但是, 使反向 NPN 晶体管特征频率 f_T 降低的更重要的因素是注入到发射区 N 型外延层中的大量空穴电荷。由于该电荷的存在, 将增加发射结扩散电容充放电延迟时间, 使反向 NPN 管的频率特性变坏。对于一般的晶体管, 集电结势垒渡越时间 τ_c 、集电结延迟时间 τ_d 通常较小, 对特征频率 f_T 影响不大; 如果发射结电流不是太小, 发射结势垒电容充放电所引起的延迟时间 τ_e 也可忽略, 那么 f_T 就可近似为:

$$\frac{1}{f_T} = 2\pi\tau_T \approx 2\pi\tau_e \quad (8-16)$$

式中 τ_e 是发射结扩散电容所引起的延迟时间, 它可由下式表示:

$$\tau_e = r_e C_{De} \quad (8-17)$$

式中 C_{De} 是发射结扩散电容, r_e 是发射结电阻。

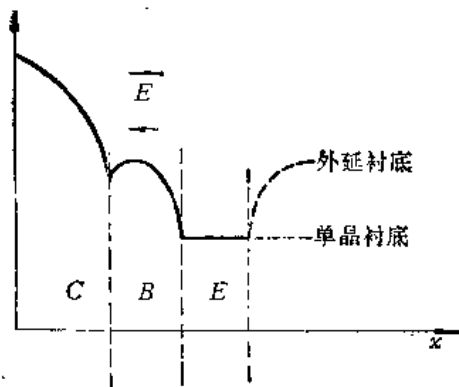
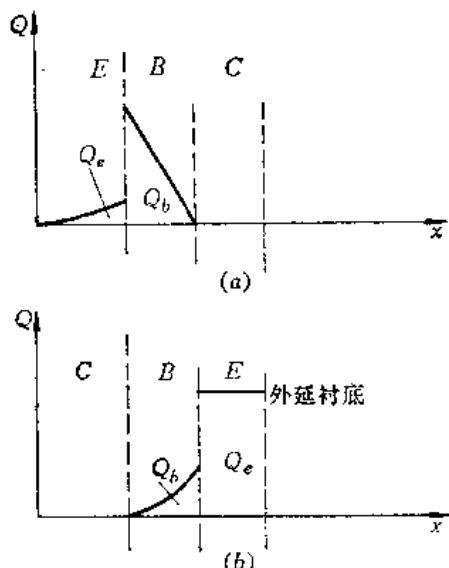


图8-12 反向NPN晶体管的减速电场

图8-13 发射结正偏时基区和发射区的电荷分布
(a)正向NPN管；(b)反向NPN管。

在晶体管原理中分析 τ_b 时曾指出，发射结正偏时，发射区向基区注入电子，基区也向发射区注入空穴。由于发射区杂质浓度比基区高得多，注入到基区的电子电荷 Q_b 就比注入到发射区的空穴电荷 Q_e 多得多，如图8-13(a)所示。因此，在讨论发射结扩散电容 $C_{De} = \frac{d(Q_b + Q_e)}{dV_{be}}$ 对特征频率的影响时，通常都忽略掉 $\frac{dQ_e}{dV_{be}}$ 这一项。但是，对于反向NPN晶体管，情况正相反。发射区杂质浓度比基区低得多，在发射结正偏时，基区向发射区注入的空穴电荷 Q_e 要比发射区注入到基区的电子电荷 Q_b 多得多，如图8-13(b)所示。因此，在讨论反向NPN管的特征频率 f_T 时，应该主要考虑注入到发射区的空穴电荷 Q_e 对发射结扩散电容的贡献。因此

$$\tau_b = r_e C_{De} = r_e \frac{d(Q_e + Q_b)}{dV_{be}} \approx r_e \frac{dQ_e}{dV_{be}} \quad (8-18)$$

下面分别计算 r_e 和 $\frac{dQ_e}{dV_{be}}$ 。

在前面的分析中已经指出，在N型外延层中的空穴浓度是常数，其值为

$$P_e = \frac{n_i^2}{N_e} e^{qV_{be}/kT}$$

因此，在发射区N型外延层中所注入的空穴电荷总量 Q_e 即为：

$$Q_e = qP_e(N+1)S_bW_e = \frac{qn_i^2}{N_e}(N+1)S_bW_e e^{qV_{be}/kT} \quad (8-19)$$

式中 W_e 是基区和衬底之间的外延层厚度。

对式(8-19)求微商，就可得到：

$$\frac{dQ_e}{dV_{be}} = \frac{q}{kT} Q_e \quad (8-20)$$

发射结电阻 r_e 为：

$$r_e = kT/qI_E \approx kT/qI_C \quad (8-21)$$

式中 I_C 就是由式(8-13)所表示的每个集电区的集电极电流。

将式(8-13)、式(8-20)和式(8-21)代入式(8-16)即得,

$$f_T = -\frac{I_C}{2\pi Q_e} = \left(\frac{S_e}{S_b}\right) \frac{D_{nb}N_e}{2\pi(N+1)W_e \int_0^W N_b(x)dx} \quad (8-22)$$

由式(8-22)可知, 反向多集电极 NPN 晶体管的特征频率 f_T 与面积比 S_e/S_b 、少子扩散系数 D_{nb} 、外延层杂质浓度 N_e 成正比; 与扇出 N 、基区和衬底之间的外延层厚度 W_e 、内基区单位面积掺杂量 $\int_0^W N_b(x)dx$ 成反比。

如果仍采用计算 β_n 时用过的那些数据, 并且 $W_e = 1\mu\text{m}$, $N = 1$, 就可得到:

$$f_T \approx 35\text{MHz}$$

可见, 反向多集电极 NPN 晶体管的特征频率 f_T 是比较低的, 它限制了 I²L 门的延迟时间。实验结果表明, f_T 通常在 10~50MHz 之间, 与理论估算基本相符, 如图 8-10 所示。

8.2.2 横向 PNP 晶体管

I²L 电路的横向 PNP 晶体管如图 8-14 所示, 它的发射区就是 I²L 电路的注入极。与反向 NPN 晶体管类似, 在 P 型注入极下外延层中注入的空穴也将引起横向 PNP 晶体管电流增益和特征频率的降低。因为 I²L 电路在工作时注入极一直加有正偏压, 它下面的空穴电荷在开关工作时保持不变, 故对 f_T 影响不那么严重, 但是, 这种空穴电荷的直流复合却对横向 PNP 晶体管的电流增益有较大影响, 下面对此进行具体分析。

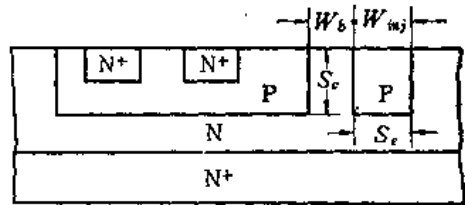


图 8-14 横向 PNP 晶体管示意图

根据定义, 横向 PNP 晶体管的电流增益 β_p 等于集电极电流 I_C 与基极电流 I_B 之比:

$$\beta_p = \frac{I_C}{I_B} \quad (8-23)$$

下面分别计算。

1. I_B

横向 PNP 晶体管的基极电流 I_B 同样由三部分构成: 内基区即横向基区复合电流 I_{br0} ; 外基区复合电流 I_{br1} , 即发射结纵向注入到外延层和衬底中的空穴复合电流; P 型注入极的体内和表面电子复合电流 I_{br2} 。因而 I_B 可用下式表示:

$$I_B = I_{br0} + I_{br1} + I_{br2} \quad (8-24)$$

假定横向 PNP 晶体管的基区 W_b 较小, 内基区复合电流 I_{br0} 予以忽略, 则式(8-24)可近似为:

$$I_B \approx I_{br1} + I_{br2} \quad (8-25)$$

与分析反向 NPN 晶体管类似, 在 N 型薄外延层中空穴复合较 N⁺ 衬底中复合要小得多, 可近似认为在 N 型外延层中空穴浓度是个常数, 其值为:

$$P_e = -\frac{n_i^2}{N_e} e^{qV_p/kT}$$

同样, 引入 N-N⁺ 交界面的复合速度为 s_p , 则

$$I_{br1} = qP_e s_p S_e = \frac{qn_i^2 S_e s_p}{N_e} e^{qV_p/kT} \quad (8-26)$$

式中 S_e 为注入极下底的宽度。

同样假定 P 型注入极表面复合速度为无限大, 则注入到注入极 P 区的电子复合电流 I_{br2} 为:

$$I_{br2} = \frac{qS_e n_i^2 D_{ne}}{\int_0^{x_{fb}} N_B(x) dx} e^{qV_p/kT} \quad (8-27)$$

因而

$$I_B = I_{br1} + I_{br2} = qS_e n_i^2 \left[\frac{D_{ne}}{\int_0^{x_{fb}} N_B(x) dx} + \frac{s_p}{N_e} \right] e^{qV_p/kT} \quad (8-28)$$

2. I_C

在计算 I_B 时曾忽略了横向基区的复合效应, 因而横向 PNP 晶体管的有效集电极电流 I_C 则为:

$$I_C = qn_i^2 S_e \frac{D_{pb}}{N_e W_b} e^{qV_p/kT} \quad (8-29)$$

其中 S_e 为横向 PNP 晶体管的有效集电极面积, W_b 为横向 PNP 晶体管的基区宽度。

3. β_p

将式 (8-28) 和式 (8-29) 代入式 (8-23), 横向 PNP 晶体管的电流增益 β_p 则为:

$$\beta_p = \frac{I_C}{I_B} = \left(\frac{S_{eijnj}}{S_{eijnj}} \right) \frac{D_{pb}(N_e W_b)^{-1}}{D_{ne} \left[\int_0^{x_{fb}} N_B(x) dx \right]^{-1} + s_p N_e^{-1}} \quad (8-30)$$

由上式可知, 要提高横向 PNP 晶体管的电流增益, 可采取下列措施:

(1) 适当降低 N 型外延层掺杂浓度, 但这与提高反向多集电极 NPN 管的反向电流增益相矛盾, 因此必须折衷考虑;

(2) 增加注入极的扩散浓度, 提高注入效率;

(3) 减小横向 PNP 晶体管的基区宽度;

(4) 提高材料少子寿命, 避免重金属杂质沾污;

(5) 改善表面状态, 减小表面复合速度;

(6) 增大 S_e/S_e 的比值, 也即增加 P 型扩散层深度, 减小注入极宽度。

当 $W_b = 2\mu\text{m}$, $(S_e/S_e)_{ijnj} \approx x_{jb}/W_{ijnj} \approx 0.1$ 时 (W_{ijnj} 是注入极宽度), 可算得:

$$1.5 < \beta_p < 3$$

8.3 I²L 电路的特性

本节重点分析 I²L 门电路的以下特性: 输入输出特性; 传输特性和直流参数; 瞬态特性。I²L 电路的抢电流问题也放在这节进行讨论。

8.3.1 输入输出特性

一、输入特性曲线

输入特性是指电路输入端输入电流 I_i 和输入电压 V_i 之间的关系。测试原理如图 8-15(a)

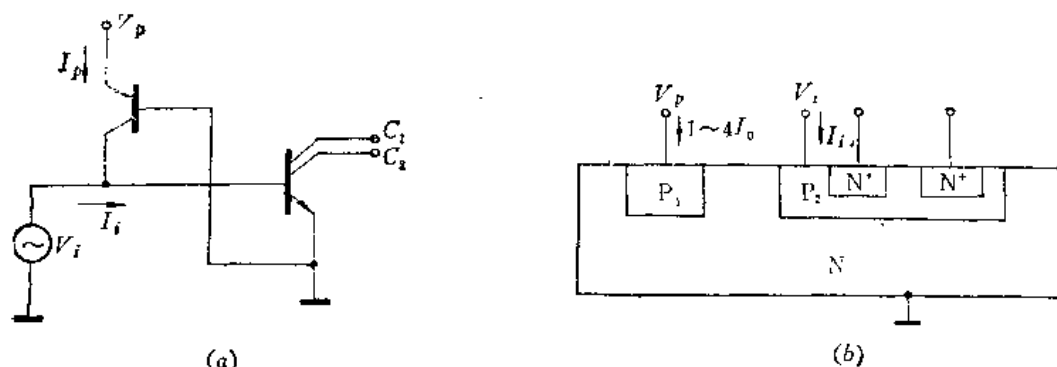


图8-15 输入特性测试原理图

所示，在 I^2L 电路输入端接输入电压 V_i ，它是可变的；并假定输入电流 I_i 流入为正值；流出为负值。通常采用晶体管特性图示仪JT-1来测试，因而得到的是一组输入特性曲线簇，如图8-16所示。下面把该曲线分成三个区域来讨论：

(1) 假定在注入端 V_p 注入的电流分别为 I_0 、 $2I_0$ 、 $3I_0$ 、 $4I_0$ 。当输入电压 V_i 为零时，输入端电流 I_i 分别为 I_{i1} 、 I_{i2} 、 I_{i3} 、 I_{i4} ，它们被表示在图8-16的纵坐标轴上。因为是流出输入端到地，所以是负值。从图8-15(b)来看，这相当于在注入端有 $1 \sim 4I_0$ 注入情况下，有不同量的空穴扩散到 P_2 区，通过输入端有电流 I_{ik} ($k = 1, 2, 3, 4$)被抽走。

(2) 当输入电压 V_i 不断增加时，输入端抽出的电流也随之减少，因而在 P_2 区结附近，载流子的积累不断增加。这种情况相当于当 V_i 电压从零不断增加时，输入特性曲线不断向上翘。

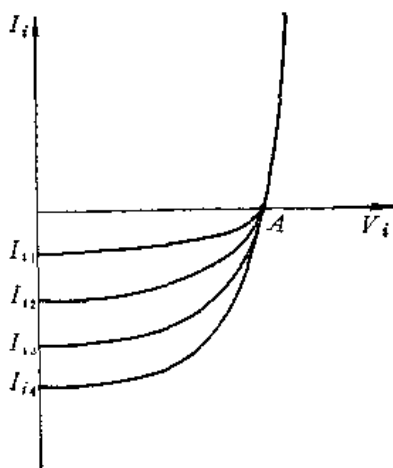


图8-16 输入特性曲线簇

(3) 当输入电压 V_i 增加到0.7V时，输入电流 I_{ik} 减小为零，它相当于图8-16中的A点。如果输入电压 V_i 再增加一点，则反向NPN晶体管的be结导通，形成正向二极管的伏安特性，这就是图8-16中A点以上的区域。

显然，从输入特性曲线簇，利用晶体管电流放大系数的概念，可以得到：

$$I_{ik} = K \alpha I_0 \quad K = 1, 2, 3, 4 \quad (8-31)$$

式中 α 即为横向PNP晶体管共基极电流放大系数。由图8-16不难看出，当输入电压 V_i 从零不断增加时， α 不断减小，横向PNP晶体管也逐渐从临界饱和逐渐地变化到深饱和。

二、输出特性曲线

输出特性曲线是指输出端输出电流 I_o 和输出电压 V_o 之间的关系。测试线路如图8-17所示。

下面分两种情况来讨论：

当输入端 V_i 开路时， I^2L 门电路导通，输出特性曲线实际上就是反向NPN晶体管的输出特性曲线。如图8-18(a)所示。假定反向NPN晶体管的基极电流为：

$$I_{Bk} = K \alpha I_0 \quad K = 1, 2, 3, 4 \quad (8-32)$$

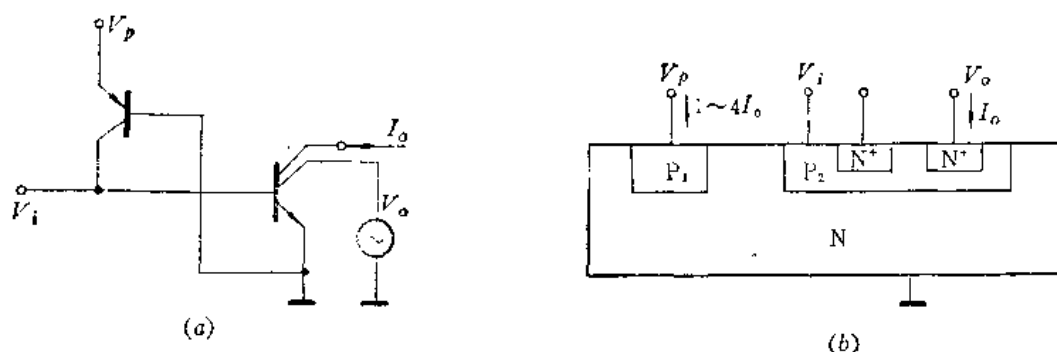


图8-17 输出特性测试原理图

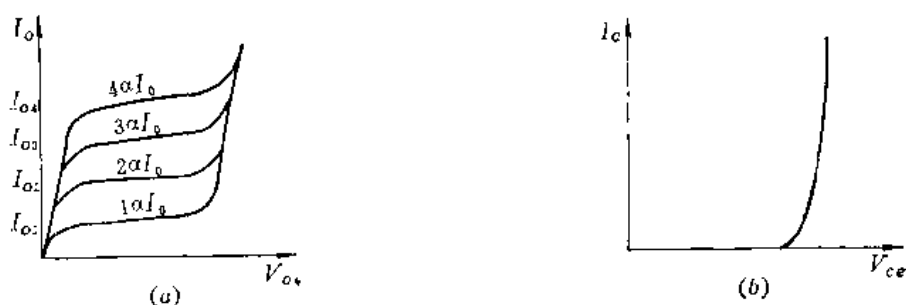


图8-18 输出特性曲线

输出电流则为：

$$I_{ok} = K \alpha \beta I_o \quad K = 1, 2, 3, 4 \quad (8-33)$$

式中 β 为反向 NPN 晶体管的电流增益，因此，由图 8-18 (a) 就可以求出反向 NPN 晶体管的电流增益。

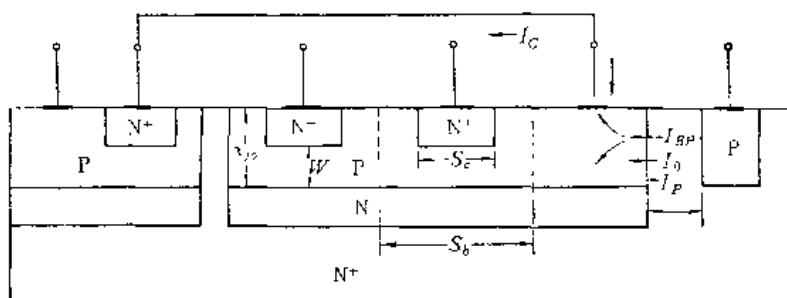
当输入端 V_i 短路时， I^2L 电路截止，输出特性曲线即为反向 NPN 晶体管的集电极-发射极结的击穿特性，如图 8-18 (b) 所示。

8.3.2 传输特性与直流参数

一、传输特性

为了分析 I^2L 门电路的输入、输出之间的传输特性，必须首先建立稳态情况下的 I^2L 单元的电荷控制方程，从而推导出输出电压 V_o 和输入电压 V_i 之间的函数关系。

仍采用图 8-9 所示的外延结构，并重新画在图 8-19 中。根据电流连续性原理，在稳态情况下，进入反向 NPN 晶体管基区的净空穴电流 I_{BP} ，应等于从基极流向前级门的集电

图8-19 I^2L 单元结构示意图

极电流 I_c 与在基区内的复合电流 I_{br} 之和:

$$I_{np} = I_c + I_{br} \quad (8-34)$$

由图8-19可知, 进入基区的净空穴电流 I_{Bp} 应由两部分构成: 对着注入条一侧的发射结注入电流 I_p 以及同该结所收集到的注入电流 I_o 。考虑到 I_p 和 I_o 的电流方向, 则

$$I_{Bp} = I_o - I_p \quad (8-35)$$

将式 (8-35) 代入式 (8-34), I^2L 单元基区电荷控制方程为:

$$I_o - I_p = I_c + I_{br} \quad (8-36)$$

式中

$$I_o = \alpha I_{po} e^{qV_p/kT} \quad (8-37)$$

$$I_p = I_{po} e^{qV_{be}/kT} \quad (8-38)$$

I_{br} 就是式 (8-12) 中的 I_b , 重写如下:

$$I_{br} = qS_b n_i^2 \left\{ \frac{D_{nb} [1 + N(1 - S_c/S_b)]}{\int_0^{x_{j0}} N_b(x) dx} + \frac{(N+1)s_p}{N_s} \right\} e^{qV_{be}/kT} \quad (8-39)$$

I_c 是前级门的集电极电流, 根据埃伯斯-莫尔方程, 它应为:

$$I_c = \alpha_n I_{bso} e^{qV_{be}/kT} - I_{bso} e^{-\frac{qV_{bc}}{kT}} = \alpha_n I_{bso} e^{qV_i/kT} - I_{bso} e^{-\frac{q(V_i - V_o)}{kT}}$$

由于

$$\alpha_n I_{bso} = \alpha_D I_{bso}$$

并且, 在 I^2L 电路中, 正向 NPN 晶体管共基极电流增益 $\alpha_D \approx 1$, 所以

$$I_c = I_{bso} \left(e^{qV_i/kT} - e^{-\frac{q(V_i - V_o)}{kT}} \right)$$

忽略 I_{bso} 中空穴反向饱和电流分量, 则

$$I_c \approx I_{so} \left(e^{qV_i/kT} - e^{-\frac{q(V_i - V_o)}{kT}} \right) \quad (8-40)$$

把式 (8-37)、(8-38)、(8-39)、(8-40) 代入式 (8-36) 中, 就可得到输出电压 V_o 和输入电压 V_i 之间的关系式为:

$$\alpha I_{po} e^{qV_p/kT} - I_{po} e^{qV_o/kT} = I_{so} \left(e^{qV_i/kT} - e^{-\frac{q(V_i - V_o)}{kT}} \right) + \frac{I_{so} e^{qV_o/kT}}{\beta_n}$$

为简单起见, 设注入管 $\alpha \approx 1$, 上式经整理后, 变为:

$$e^{qV_i/kT} = \frac{\frac{I_{po}}{I_{so}} (e^{qV_p/kT} - e^{qV_o/kT}) - \frac{e^{qV_o/kT}}{\beta_n}}{1 - e^{-qV_o/kT}} \quad (8-41)$$

该式即为 I^2L 电路输出电压 V_o 和输入电压 V_i 之间的解析表达式。

当 $V_p = 600 \text{ mV}$ 、 $I_{po}/I_{so} = 0.10$ 时, 由式 (4-41) 计算的传输特性曲线如图 8-20 所示。

由图8-20可见, 输入为低电平时, 在一段较宽的范围内, 输出保持高电平, 输出高电平接近于 V_{po} 。当输

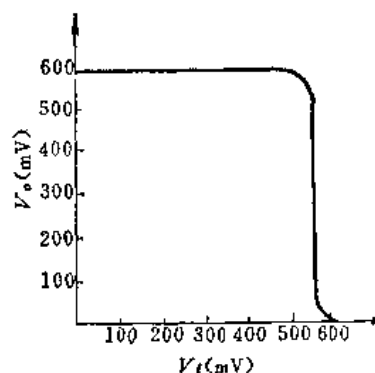


图8-20 I^2L 电压传输特性曲线

入进入过渡区时, 输出迅速降低到低电平, 输出低电平接近于零。过渡区的范围非常狭窄。下面根据式 (8-41) 定量分析 I^2L 门电路的主要直流参数。

二、直流参数

1. 输出高电平 V_{OH}

为了计算方便, 假定 $V_i \ll kT/q$ 时的输出电平 V_o 为输出高电平 V_{OH} 。在 $V_i \ll kT/q$ 的条件下, 式 (8-41) 可简化为:

$$\frac{I_{p0}}{I_{n0}} (e^{qV_i/kT} - e^{qV_{OH}/kT}) - \frac{e^{qV_{OH}/kT}}{\beta_n} = 1$$

整理后得:

$$V_{OH} = V_p - \frac{kT}{q} \ln \left(1 + \frac{I_{n0}}{I_{p0}\beta_n} \right) \quad (8-42)$$

2. 输出低电平 V_{OL}

当输入电平 V_i 为式 (8-42) 所表示的高电平 V_{OH} 时, 输出电平 V_o 即为输出低电平 V_{OL} 。将式 (8-42) 代入式 (8-41), 得:

$$\frac{e^{qV_i/kT}}{1 + \frac{I_{n0}}{I_{p0}\beta_n}} = \frac{I_{p0}}{I_{n0}} \frac{(e^{qV_i/kT} - e^{qV_{OL}/kT})}{1 - e^{qV_{OL}/kT}} - \frac{e^{qV_{OL}/kT}}{\beta_n} \approx \frac{I_{p0}}{I_{n0}} e^{qV_i/kT}$$

整理后得到:

$$V_{OL} = \frac{kT}{q} \ln \left[\frac{1}{1 - \left(\frac{I_{p0}}{I_{n0}} + \frac{1}{\beta_n} \right)} \right] \quad (8-43)$$

如果

$$\left(\frac{I_{p0}}{I_{n0}} + \frac{1}{\beta_n} \right) \ll 1$$

将式 (8-43) 中的对数项展开后, 取一级近似, 则

$$V_{OL} = \frac{kT}{q} \left(\frac{I_{p0}}{I_{n0}} + \frac{1}{\beta_n} \right) \quad (8-44)$$

由此可知, V_{OL} 数值确实是很小的, 即小于 kT/q , 接近于零。

3. 逻辑摆幅 V_L

逻辑摆幅被定义为输出高电平 V_{OH} 与输出低电平 V_{OL} 之差, 由式 (8-42) 和式 (8-43) 可得:

$$V_L = V_{OH} - V_{OL} = V_p - \frac{kT}{q} \ln \frac{1 + \frac{I_{n0}}{I_{p0}\beta_n}}{1 - \left(\frac{I_{p0}}{I_{n0}} + \frac{1}{\beta_n} \right)} \quad (8-45)$$

一般情况下, 该式中的第二项要比第一项小得多, 因而

$$V_L \approx V_p \quad (8-46)$$

4. 阈值电平 V_T

因 I^2L 电路的过渡区很窄, 阈值电平为: 输出电平为 V_{OH} 和 V_{OL} 的中间值 V_{OT} 所对应

的输入电平称为 I²L 电路的阈值电平 V_T 。由式 (8-42) 和式 (8-43) 可得:

$$V_{OT} = \frac{1}{2}(V_{OH} + V_{OL}) = -\frac{1}{2}V_p - \frac{1}{2} - \frac{kT}{q} \ln \left\{ \left(1 + \frac{I_{no}}{I_{po}\beta_n} \right) \cdot \left[1 - \left(\frac{I_{po}}{I_{no}} + \frac{1}{\beta_n} \right) \right] \right\} \\ \approx -\frac{1}{2}V_p \quad (8-47)$$

将 V_{OT} 作为 V_i 代入式 (8-41), 则该式中的 V_i 即为阈值电平 V_T :

$$e^{qV_T/kT} = \frac{\frac{I_{po}}{I_{no}} (e^{qV_p/kT} - e^{qV_p/2kT}) - \frac{1}{\beta_n} e^{qV_p/2kT}}{1 - e^{qV_p/2kT}} \\ \approx \frac{I_{po}}{I_{no}} e^{qV_p/kT} (1 - e^{-qV_p/2kT}) - \frac{1}{\beta_n} e^{qV_p/2kT} \\ \approx \frac{I_{po}}{I_{no}} e^{qV_p/kT} \left(1 - \frac{1}{\beta_n} e^{-qV_p/2kT} \right) \\ \approx \frac{I_{po}}{I_{no}} e^{qV_p/kT}$$

即

$$V_T = V_p - \frac{kT}{q} \ln \frac{I_{no}}{I_{po}} \quad (8-48)$$

5. 噪声容限

因 I²L 电路的转换电平在阈值电平 V_T 处, 当输入电平分别为高电平或低电平时, 存在两种不同的噪声容限:

(1) 高电平噪声容限 V_{NH}

按定义, V_{NH} 应为 V_{OH} 和 V_T 之差, 则

$$V_{NH} = V_{OH} - V_T = \frac{kT}{q} \ln \frac{I_{no}/I_{po}}{1 + I_{no}/I_{po}\beta_n} = \frac{kT}{q} \ln \beta_n \quad (8-49)$$

一般来说, 在芯片内部不可能产生很大的干扰, 但芯片与芯片之间, 例如其连接线上, 由于外界的影响, 可能产生很大的噪声。由式

(8-49) 可知, 高电平噪声容限 V_{NH} 正比于 $\ln \beta_n$, 因此在设计版图时, 有目的的把一个芯片内的输入晶体管和输出晶体管的 β_n 值设计得大一些, 可提高电路的抗干扰能力。 V_{NH} 与 β_n 的关系如图 8-21 所示。

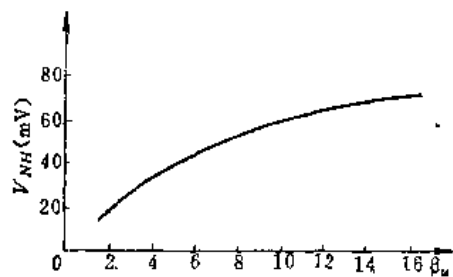


图8-21 噪声容限与电流增益的关系

(2) 低电平噪声容限 V_{NL}

按定义, V_{NL} 应为 V_T 与 V_{OL} 之差, 即

$$V_{NL} = V_T - V_{OL} = V_p - \frac{kT}{q} \ln \frac{I_{no}/I_{po}}{1 - \left(\frac{I_{po}}{I_{no}} + \frac{1}{\beta_n} \right)} \approx V_p \quad (8-50)$$

可见, 低电平噪声容限比注入条偏压 V_p 值稍低一些, 但这比高电平噪声容限 V_{NH} 大得多。

8.3.3 瞬态特性

为了计算 I^2L 反相门的平均延迟时间, 首先分析一下 I^2L 反相门在导通和截止瞬间的物理过程。供分析和计算用的三级 I^2L 门电路如图8-22所示。

假定电路的初始状态为: $V_i = 1$, T_1 管导通、 T_2 管截止、 T_3 管导通。如果在 $t = 0$ 时刻, V_i 突然接地, 由于 T_1 管 be 结短路, 抽出电流很大, 相对后面的 T_2 管、 T_3 管, 可近似认为 T_1 管是瞬时截止的。因此可以说, $t = 0$ 时, 在 T_2 管基极 V_{b2} 处瞬时地加上一个阶跃的高电平 V_{OH} 。

T_2 管基极加了高电平 V_{OH} 后, 不是立即导通, 而是要经过一段延迟时间才导通。在这期间, T_2 管的恒流源电流对 T_2 管基极节点 V_{b2} 处的势垒电容 (C_{e2} 、 C_{c2}) 充电, 使 T_2 管基极电位不断上升。当 T_2 管基极电位上升到 $0.5V$ 左右时, T_2 管发射结有了明显地注入, 它的发射结扩散电容开始充电, 这时 T_2 管导通, 电流开始上升。当 T_2 管基极电位 V_{b2} 处的势垒电容和扩散电容继续充电到 V_{OH} 时, T_2 管饱和, 输出低电平。

但是, 由于 T_2 管和 T_3 管是级联的, T_2 管的导通过程伴随着 T_3 管的截止过程。这两个过程是互有联系的, 情况较为复杂。

在 T_2 管刚开始导通时, T_3 管基极处电位 V_{b3} 不会立即下降, 因为 T_3 管恒流源除向刚导通的 T_2 管提供集电极电流外, 还继续向 T_3 管提供基极电流。随着 T_2 管集电极电流不断上升, 它将吸收越来越多的 T_3 管恒流源电流, T_3 管恒流源向 T_3 管提供的基极电流就越来越少。到某一时刻, 当导通的 T_2 管把 T_3 管恒流源电流全部吸收时, T_3 管恒流源就不再向 T_3 管提供基极电流了。 I_{c2} 再进一步增加, T_3 管基极节点 V_{b3} 处的扩散电容就将通过导通的 T_2 管开始放电。当储存在 T_3 管基区和发射区的超量储存电荷全部被抽走后, T_3 管脱离饱和, V_{b3} 节点处电位才开始下降。随着节点 V_{b3} 处的势垒电容和扩散电容进一步放电, V_{b3} 处电位继续下降, 一直下降到低电平 V_{OL} 数值。

再看 T_3 管集电极电位 V_{c3} 。在 T_3 管基区和发射区的超量储存电荷未抽出之前, V_{c3} 一直处于低电平。当 T_3 管的超量储存电荷全部抽出后, T_3 管集电极电位才开始上升。到 V_{b3} 节点处的扩散电容和势垒电容的电荷全部放完时, T_3 管截止, V_{c3} 输出高电平 V_{OH} 。

从 $t = 0$ 在 T_2 管基极加阶跃高电平开始, 到 T_3 管截止输出高电平为止, 经历了 T_2 管的导通过程和 T_3 管的截止过程, 在这期间各点电位和电流变化情况表示在图8-23中。

根据上述分析可知, 为了求出 I^2L 反相门的平均延迟时间 t_{pd} , 需要写出描述 T_2 管基极恒流源对 T_2 管充电过程的微分方程式, 还要写出描述 T_3 管通过 T_2 管放电过程的微分方程式。

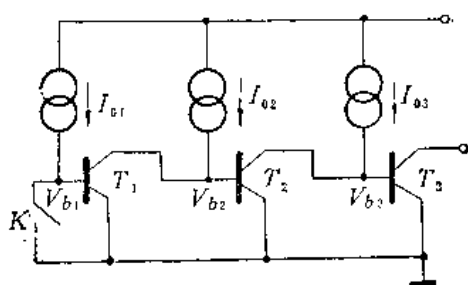


图8-22 三级 I^2L 门电路

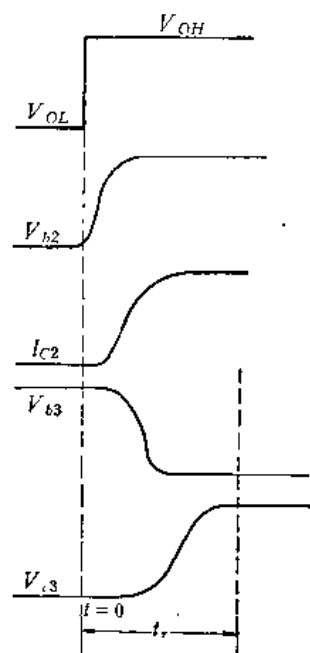


图8-23 各点电位和电流变化情况

这种充放电过程，既包含势垒电容的充放电过程，又包含扩散电容的充放电过程，而且 T_2 管的导通过程伴随着 T_1 管的截止过程，使得求解这些微分方程变得相当困难。

下面我们在上述分析的基础上进行定性的讨论。为了使问题简化，只讨论两种极端的情况：小电流近似和大电流近似。

在小电流近似的情况下，晶体管的发射结正偏较小，注入到发射区外延层中的空穴电荷较少，因而可以近似认为，扩散电容对延迟时间的影响可予忽略，势垒电容对延迟时间的影响起主要作用。在这种情况下，根据上述分析可知， I^2L 门电路的平均延迟时间可归结为势垒电容的充放电问题。显然，它与下述因素有关：（1）与晶体管势垒电容（ C_e 、 C_c ）大小有关。电容越大，充放电时间越长，平均延迟时间也越长。 I^2L 电路中的晶体管是反向多集电极管、集电极数目越多，势垒电容越大，平均延迟时间也越长。（2）与势垒电容充放电电流大小有关。充放电电流越大，平均延迟时间就越短。（3）与势垒电容充放电电压幅度有关。充放电电压幅度越大，平均延迟时间也越长。

通过理论计算，在小电流近似情况下，平均延迟时间 t_{pd} 可用下式表达：

$$t_{pd} \approx \frac{1}{2} [C_e + (N+2)C_c] \frac{V_p}{I_0} \quad (8-51)$$

显然，这与上述定性分析是一致的。因此，在小电流情况下，要提高 I^2L 电路的速度，必须：（1）减小晶体管的结电容 C_e 、 C_c ；（2）限制晶体管集电极的数目 N ；（3）增大基极驱动电流 I_0 。

在大电流近似的情况下，发射区外延层中储存的电荷 Q_e 较多，扩散电容较大，因而可以近似认为，势垒电容对平均延迟时间的影响可予忽略，扩散电容的充放电对延迟时间的影响起主要作用。显然，扩散电容越大，平均延迟时间越长，电路速度越慢。从前面反向多集电极NPN晶体管频率特性的分析中，我们知道，反向多集电极管的特征频率 f_T 主要由发射结的扩散电容决定。扩散电容越大，特征频率越低。由此可以预知，在大电流情况下， I^2L 门电路平均延迟时间 t_{pd} 与多集电极管的特征频率 f_T 成反比。当然平均延迟时间也与多集电极管的反向电流增益 β_n 有关。因为 β_n 越大，饱和越深，电路速度越慢。

通过理论计算，在大电流近似情况下，平均延迟时间 t_{pd} 可用下式表达：

$$t_{pd} \approx \frac{\sqrt{\beta_n}}{4\pi f_T} \quad (8-52)$$

显然，这与上述定性分析也是一致的。因此，在大电流情况下，提高电路速度的根本办法是提高多集电极管的特征频率 f_T 。如何提高多集电极管的特征频率 f_T ，前面已有分析，这里不再重复。

图8-24示出了 I^2L 门电路平均延迟时间同注入电流关系的实验曲线。可以看出，它与上述分析符合得较好。

下表给出了 I^2L 电路与TTL电路主要特性参数的比较。

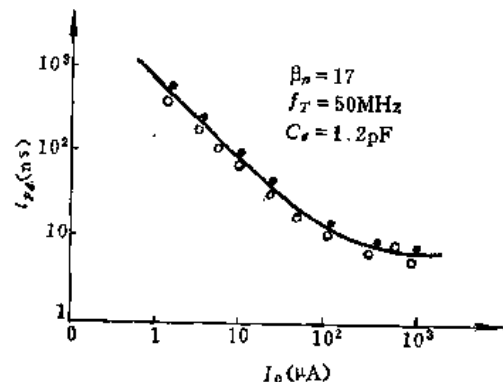


图8-24 I^2L 门电路平均延迟时间与注入电流的关系
(圆点为理论计算值；圆圈为实验值。)

I²L电路与TTL电路主要特性比较

参 数	I ² L	TTL
封装密度	120~200门/mm ²	20门/mm ²
速度-功耗乘积	4~0.2pJ/门	100pJ/门
门延迟	25~250ns	10ns
功耗	60W~700W	10mW
电源	1~15V	3~73V
逻辑摆幅	0.6V	5V
电流范围(每门)	1nA~1mA	2mA

8.3.4 I²L电路的抢电流问题

在8.1.1分析DCTL电路时,曾指出它存在两种抢电流现象。I²L电路是从DCTL电路演化而来的,它是否在抢电流问题呢?

我们知道,从DCTL电路演变到I²L电路时,由于把多个晶体管合并为单一的多集电极晶体管,因此由 $b-e$ 结正向压降的差异而引起的基极电流分配不均匀的问题就克服了。

下面着重分析I²L电路的第二种抢电流现象。在未讨论之前,先看一下DCTL电路第二种抢电流现象是怎么一回事。

由第四章介绍的埃伯斯-莫尔方程可知,一个晶体管的基极电流 I_B 可用下式表达:

$$I_B = I_{ES}(1 - \alpha_F)(e^{qV_{be}/kT} - 1) + I_{CS}(1 - \alpha_R)(e^{qV_{bc}/kT} - 1) \quad (8-53)$$

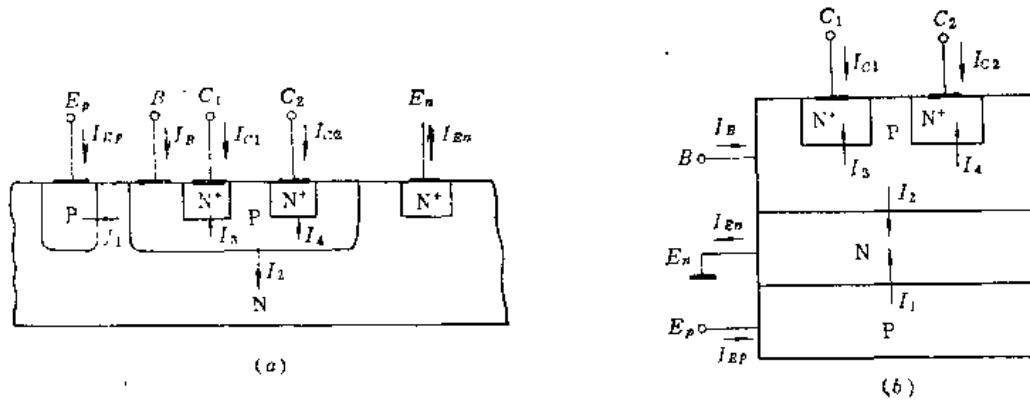
该式表明,晶体管的基极电流 I_B 不仅与发射结偏压 V_{be} 有关,而且还与集电结偏置情况有关。大家知道,晶体管集电结偏压 V_{bc} 是与该管的工作状态有关的。在线性区时,集电极反偏, V_{bc} 为负值,式(8-53)中的第二项很小,可以忽略,因此,基极电流仅由发射结偏压决定。在饱和区工作时,集电结正偏, V_{bc} 为正值,而 V_{bc} 的大小与该管饱和程度有关。饱和越深,也即该管的集电极电流 I_C 越小, V_{bc} 值就越大。一般晶体管 $\alpha_F \gg \alpha_R$,因而 $(1 - \alpha_R) \gg (1 - \alpha_F)$ 。考虑到这两点,晶体管在饱和区工作时,式(8-53)中的第二项就不可忽略,基极电流不仅由发射结偏压决定,而且还与集电结偏压有关。

参看图8-2。当F点输出高电平时, T_1 、 T_2 、 T_3 管饱和导通。假定 T_1 、 T_2 、 T_3 管的 be 结完全相同, T_1 管的基极电流 I_{B1} 应为 $1/3 I_{Bc}$ 。如果改变 T_1 管的负载电流 I_{C1} ,例如使 I_{C1} 减小,那么 T_1 管的集电结偏压就将增大,根据式(8-53), I_{B1} 也将随之增大。这表明, T_1 管抢了 T_2 和 T_3 管的基极电流,或者说, T_1 管集电极电流 I_{C1} 的变化将引起 T_2 和 T_3 管集电极电流的变化。这就是存在于DCTL电路中的第二种抢电流现象。

I²L电路的基本单元是多集电极反相器,为了分析它的第二种抢电流现象,必须运用第四章介绍的多结非线性模型。为了简单起见,下面以具有二个集电极的I²L门电路为例进行具体分析。

图8-25是具有二个集电极的I²L门电路的结构图和它的多结非线性模型图。结电流和端电流的电流方向已在图中标明。

根据多结非线性模型:“通过某一结的总电流,等于这个结的注入电流,以及所有相邻各结的注入电流被该结所收集的各部分电流的总和”,立即可以写出图8-25所示各结电流

图8-25 具有两个集电极的I²L门电路结构图

的方程:

$$I_1 = I_{11} + \alpha_{12} I_{22} \quad (8-54 a)$$

$$I_2 = \alpha_{21} I_{11} + I_{22} + \alpha_{23} I_{33} + \alpha_{24} I_{44} \quad (8-54 b)$$

$$I_3 = \alpha_{32} I_{22} + I_{33} + \alpha_{34} I_{44} \quad (8-54 c)$$

$$I_4 = \alpha_{42} I_{22} + \alpha_{43} I_{33} + I_{44} \quad (8-54 d)$$

考虑到集电区 C_1 和 C_2 之间的距离通常较大, 相互作用较弱, 故可以认为: $\alpha_{34} = 0$, $\alpha_{43} = 0$ 。因此式 (8-54) 可简化为:

$$I_1 = I_{11} + \alpha_{12} I_{22} \quad (8-55 a)$$

$$I_2 = \alpha_{21} I_{11} + I_{22} + \alpha_{23} I_{33} + \alpha_{24} I_{44} \quad (8-55 b)$$

$$I_3 = \alpha_{32} I_{22} + I_{33} \quad (8-55 c)$$

$$I_4 = \alpha_{42} I_{22} + I_{44} \quad (8-55 d)$$

式 (8-55) 中系数 α_{ik} (称为电流分配系数) 的物理意义可作如下分析:

1. α_{12} 和 α_{21}

假定集电极 C_1 和 C_2 与基极短接, 则 $V_3 = V_4 = 0$, 因而, 由式 (8-55 a, b) 可得:

$$I_1 = I_{11} + \alpha_{12} I_{22}$$

$$I_2 = \alpha_{21} I_{11} + I_{22}$$

于是

$$\alpha_{21} = \frac{I_2}{I_1} \bigg|_{V_2=0} = -\alpha_N \quad (8-56 a)$$

$$\alpha_{12} = \frac{I_1}{I_2} \bigg|_{V_1=0} = -\alpha_I \quad (8-56 b)$$

由此可知, α_N 和 α_I 分别是 PNP 管共基极短路正向和反向电流增益。

2. α_{23} 和 α_{32}

假定 $V_1 = V_2 = 0$, 则由式 (8-55 b, c, d) 可得:

$$I_2 = \alpha_{23} I_{33} + \alpha_{24} I_{44}$$

$$I_3 = I_{33}$$

$$I_4 = I_{44}$$

于是

$$\alpha_{23} = \frac{I_2}{I_3} \bigg|_{V_4=0} = -\alpha_{d1} \quad (8-57 a)$$

$$\alpha_{24} = \frac{I_2}{I_4} \bigg|_{V_3=0} = -\alpha_{d2} \quad (8-57 b)$$

可见, α_{d1} 和 α_{d2} 分别是集电极为 C_1 和 C_2 的 NPN 晶体管的下向电流增益 (即正向电流增益)。

3. α_{32} 和 α_{42}

如果集电极 C_1 和 C_2 与基极短接, 则 $V_3 = V_4 = 0$, 由式 (8-55 b、c、d) 可得:

$$I_2 = \alpha_{21} I_{11} + I_{22}$$

$$I_3 = \alpha_{32} I_{22}$$

$$I_4 = \alpha_{42} I_{22}$$

于是

$$\alpha_{32} = \frac{I_3}{I_2} \bigg|_{V_1=0} = -\alpha_{u1} \quad (8-58 a)$$

$$\alpha_{42} = \frac{I_4}{I_2} \bigg|_{V_1=0} = -\alpha_{u2} \quad (8-58 b)$$

可见, α_{u1} 和 α_{u2} 分别是集电极为 C_1 和 C_2 的 NPN 晶体管的上向电流增益 (即反向电流增益)。

根据对分配系数 α_{ik} 的分析, 式 (8-55) 就可改写成:

$$I_1 = I_{11} - \alpha_I I_{22} \quad (8-59 a)$$

$$I_2 = -\alpha_N I_{11} + I_{22} - \alpha_{d1} I_{33} - \alpha_{d2} I_{44} \quad (8-59 b)$$

$$I_3 = -\alpha_{u1} I_{22} + I_{33} \quad (8-59 c)$$

$$I_4 = -\alpha_{u2} I_{22} + I_{44} \quad (8-59 d)$$

显然, 上列各式也可写成矩阵的形式:

$$\begin{pmatrix} I_1 \\ I_2 \\ I_3 \\ I_4 \end{pmatrix} = \begin{pmatrix} 1 & -\alpha_I & 0 & 0 \\ -\alpha_N & 1 & -\alpha_{d1} & -\alpha_{d2} \\ 0 & -\alpha_{u1} & 1 & 0 \\ 0 & -\alpha_{u2} & 0 & 1 \end{pmatrix} \begin{pmatrix} I_{11} \\ I_{22} \\ I_{33} \\ I_{44} \end{pmatrix} \quad (8-60)$$

根据图8-25所标注的电流方向, 各端点电流为:

$$I_{C1} = -I_3 \quad (8-61 a)$$

$$I_{C2} = -I_4 \quad (8-61 b)$$

$$I_B = I_2 + I_3 + I_4 \quad (8-61 c)$$

$$I_{En} = I_1 + I_2 \quad (8-61 d)$$

$$I_{Ep} = I_1 \quad (8-61 e)$$

下面利用式 (8-59) 和式 (8-61) 来分析存在于 I^2L 电路中的第二种抢电流现象。

假设 C_1 反偏, C_2 正偏, 并且 E_p 和 E_n 短接接地, 则 $I_{11} = 0$, $I_{33} = 0$, 由式 (8-59) 可得:

$$I_1 = -\alpha_I I_{22} \quad (8-62 a)$$

$$I_2 = I_{22} - \alpha_{d2} I_{44} \quad (8-62 b)$$

$$I_3 = -\alpha_{u1} I_{22} \quad (8-62c)$$

$$I_4 = -\alpha_{u2} I_{22} + I_{44} \quad (8-62d)$$

如果集电极 C_1 和 C_2 的面积相等, 且不考虑基区串联电阻的影响, 则可以认为: $\alpha_{u1} = \alpha_{u2} = \alpha_u$, $\alpha_{d1} = \alpha_{d2} = \alpha_d$ 。从式 (8-62 b、c、d) 可以解得:

$$I_2 = -\frac{I_3}{\alpha_u} - \alpha_d I_4 + \alpha_d I_3 \quad (8-63)$$

将式 (8-63) 代入式 (8-61 c), 并利用式 (8-61 a、b) 可得:

$$I_B = \left(-\frac{1}{\alpha_u} - \alpha_d - 1 \right) I_{C1} - (1 - \alpha_d) I_{C2}$$

于是

$$I_{C1} = \frac{I_B + (1 - \alpha_d) I_{C2}}{\frac{1 - \alpha_u}{\alpha_u} - \alpha_d} \quad (8-64)$$

该式说明:

(1) 对于多集电极 NPN 晶体管, 通过一个集电极的电流 (如 I_{C1}) 与其它集电极的电流 (如 I_{C2}) 是有关系的, 这就是存在于 I^2L 电路中的第二种抢电流现象。在得到该式时, 为了数学运算简单, 我们选择了一种极端的情况来讨论, 即假定了两个集电结中的一个为正偏, 一个是反偏。对于一般情况, 即假定两个集电结都是正偏时, 同样也可以证明, 只要一个集电极电流有变化, 就将引起另一个集电极电流的变化。

(2) 这种抢电流现象是和上向管 (即反向管) 及下向管 (即正向管) 的电流增益 α_u 和 α_d 有关的。对于 I^2L 电路的多集电极管来说, 下向管电流增益通常都很大, 即 $\alpha_d \rightarrow 1$, 考虑到这一点, 式 (8-64) 就可简化为:

$$I_{C1} = -\frac{\alpha_u}{1 - 2\alpha_u} I_B = \beta_u I_B \quad (8-65)$$

β_u 是单个集电极的共发射极上向电流增益。

该式表明, 只要下向管的电流增益足够大, 一个集电极的电流 I_{C1} 与另一个集电极的电流 I_{C2} 是无关的。这就是说, 对于 I^2L 电路, 第二种抢电流现象通常是可以忽略的。

图 8-26 表示在不同电流增益下, 由式 (8-64) 所得到的 I_{C1} 和 I_{C2} 的关系。图中曲线 ① 反映了, 在 β_d (α_d) 很大时, I_{C1} 随 I_{C2} 的变化非常缓慢, 可认为 I_{C1} 基本上不受 I_{C2} 的影响, 第二种抢电流现象可以忽略。曲线 ② 反映了, 在 β_d (α_d) 很小时, I_{C1} 随 I_{C2} 变化非常迅速, 第二种抢电流现象比较严重。

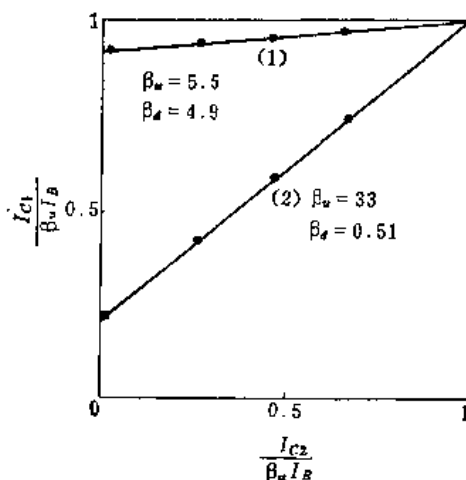


图 8-26 不同电流增益下 I_{C1} 和 I_{C2} 的关系

8.4 I²L 电路的逻辑组合和接口电路

8.4.1 I²L 电路的逻辑组合

一、I²L 电路基本单元逻辑功能

如前所述, I²L 基本单元是多集电极倒相器, 所以, I²L 基本单元具有逻辑“非”功能, 如图 8-27 所示。如果基极输入端为 A , 则多集电极输出端为 $\bar{A}$ 。必须指出, 多集电极输出端之间, 从逻辑上讲是互相独立的, 这就为各种逻辑组合提供了方便。

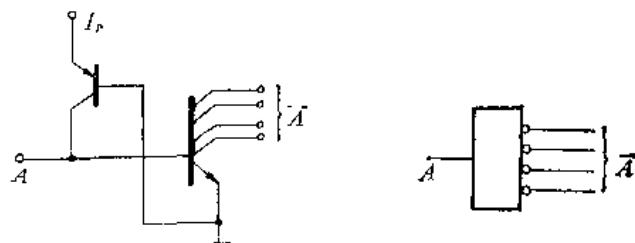


图 8-27 I²L 电路基本单元的逻辑功能

如果两个注入逻辑倒相器的输出端联在一起, 则实现了正逻辑的“或非”功能, 如图 8-28 所示。

原则上讲, 有了注入逻辑倒相器和由它构成的“或非”门, 就可以运用逻辑代数的知识, 组成各种复杂功能的逻辑电路。

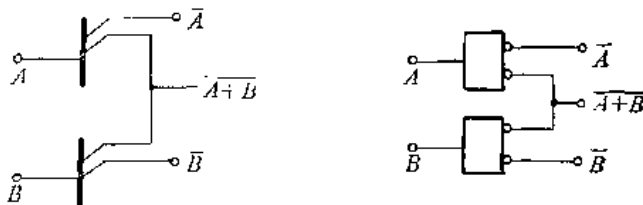


图 8-28 I²L “或非门”

二、“线与”单元

从上述可知, 不同基极的输出头联在一起, 就完成了正逻辑的“或非”功能。但是, 现有的比较成熟的电路系列, 如 TTL 电路, 大都是由“与非”门构成的。为了同 TTL 电路的逻辑习惯相适应, 便于从已熟知的逻辑组合中推导出 I²L 电路的逻辑结构, 我们采用正逻辑, 并引入“线与”的概念。所谓“线与”是指从 I²L 基本门的输入端来看, 各输入信号靠线的连接形成“与”的功能, 如图 8-29(a) 所示。从虚线框处看, 仅当各输入信号 A 、 B 、 C 均为高电平时, 门的总输入信号 D 才为高电平, 只要输入信号 A 、 B 、 C 中任一信号为低电平, D 就为低电平。因此可以说, 输入信号 A 、 B 、 C 在 D 点实现了“线与”功能。由图 8-29(a) 所示的单元即为“线与非”门, 即输出 F 对输入端 A 、 B 、 C 而言, 是“与非”关系, $F = \overline{A \cdot B \cdot C}$ 。

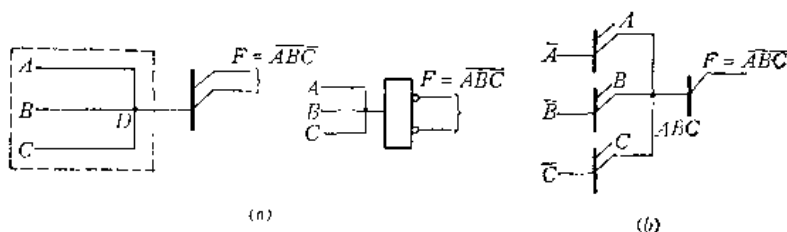


图 8-29 “线与”和“线与非”门

应该指出, 注入逻辑的这种“线与”概念是建立在前级反相门具有多扇出头基础上的。例如图 8-29(b) 所示的“与非”门, 其输入来自前级门的各集电极输出, 由于前级门具有互相隔离的多集电极输出, 因而“线与”并不影响到其它输出端的逻辑电平, 当然

也就不影响其它输出端所组合成的逻辑电路了。

引进“线与”概念后,对于借用已知的各种正逻辑“与非”门构成的逻辑图,直接转换成 I^2L 电路图,将带来许多方便。下面举例说明这种转换方法及特点。

图 8-30 示出了 $S-R$ 触发器的转换过程图。首先把由“与非”门构成的 $S-R$ 触发器变换成由“线与非”门构成的 $S-R$ 触发器,然后再变换成由 I^2L 电路所构成的 $S-R$ 触发器。最后,从不耦合的集电极处引出 $S-R$ 触发器的输出信号。

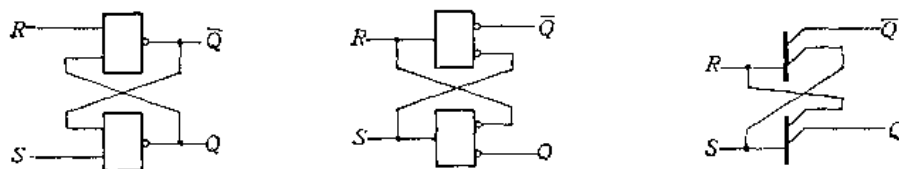


图8-30 $S-R$ 触发器的转换过程

图 8-31 示出了常用的 D 型触发器的转换过程。由图可见,在由普通“与非”门转换成“线与非”门和 I^2L 电路的过程中,增加了一个倒相器。这是因为,时钟输入 CP 不能直接接到两个门的输入端,而必须再增加一个倒相器,从两个相互隔离的集电极接向后级的输入端去,这时时钟脉冲改成 $\overline{CP}$ 输入即可。

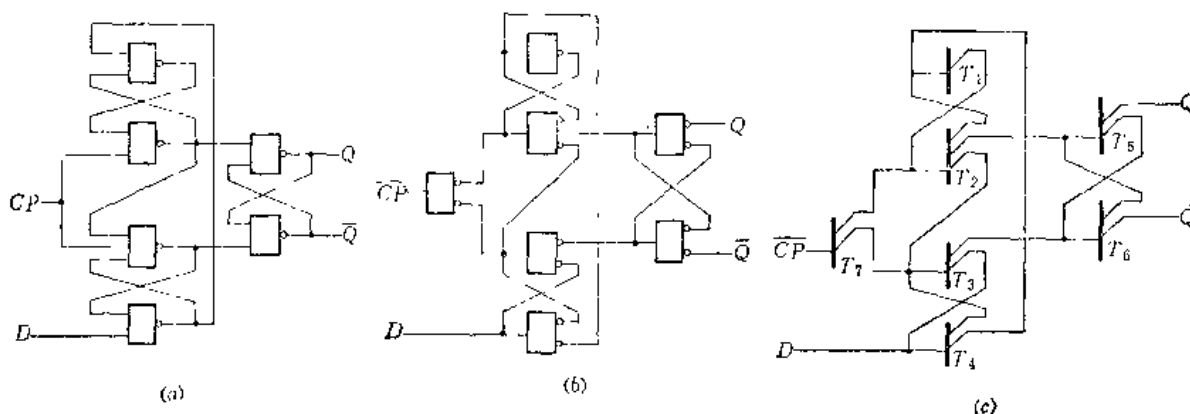


图8-31 D 触发器的转换过程

三、多扇出头

I^2L 单元电路是一个多扇出的倒相器,合理地应用它会对线路设计带来很多方便。比如三个多扇出的倒相器,如图 8-32 那样联结,可以得到七种逻辑关系: $\overline{A}$ 、 $\overline{B}$ 、 $\overline{C}$ 、 $\overline{A+B}$ 、 $\overline{B+C}$ 、 $\overline{A+C}$ 、 $\overline{A+B+C}$,而如果用只具有一个扇出的倒相器,则需要 12 个门。下面以 I^2L 全加器为例作详细说明。

全加器的全加和 S_n 和进位 C_n 的逻辑关系式,可以用各种形式表达。在设计 I^2L 全加器时,可以考虑 I^2L 电路具有多扇出的特点,而把它改写成某种“或非”形式,又能借用较多的公共项,这样设计的电路结构有可能是最简单的。

已知进位 C_n 的逻辑表达式为:

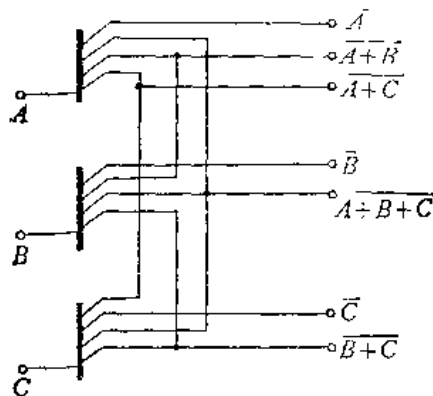


图8-32 多扇出头的逻辑组合

$$C_n = A_n B_n + A_n C_{n-1} + B_n C_{n-1}$$

可以改写成:

$$C_n = (A_n + B_n)(A_n B_n + C_{n-1}) = \overline{A_n + B_n} + \overline{A_n B_n + C_{n-1}} \quad (8-66)$$

全加和 S_n 的逻辑表达式为:

$$S_n = A_n B_n C_{n-1} + \overline{A_n} B_n \overline{C_{n-1}} + A_n \overline{B_n} \overline{C_{n-1}} + \overline{A_n} \overline{B_n} C_{n-1} \quad (8-67)$$

把式 (8-66) 代入式 (8-67), 运算后可得:

$$S_n = (\overline{A_n} B_n + A_n \overline{B_n} + C_{n-1})(A_n B_n + \overline{C_n}) \quad (8-68)$$

由式 (8-68) 还可改写为:

$$\begin{aligned} S_n &= [(A_n + B_n) \cdot \overline{A_n B_n} + C_{n-1}] \cdot (A_n B_n + \overline{C_n}) \\ &= [(\overline{A_n + B_n}) \cdot \overline{A_n B_n} \cdot \overline{C_{n-1}}] \cdot (\overline{A_n B_n} \cdot \overline{C_n}) \\ &= \overline{(A_n + B_n) A_n B_n \cdot C_{n-1}} + \overline{A_n B_n \cdot C_n} \end{aligned} \quad (8-69)$$

这样由式 (8-66)、式 (8-69) 可以看出, 如果先产生 $A_n B_n$ (及 $\overline{A_n B_n}$)、 $(A_n + B_n)$ (及 $\overline{A_n + B_n}$) 项, 就可以用一些“或非”门直接导出 S_n 和 C_n , 由此而得到的 I²L 全加器线路图如图 8-33 所示, 它仅由 11 个反相门构成。可见, 灵活地运用 I²L 多集电极反相门, 可以减少元件, 使线路结构简化。

四、“并合晶体管与非门”

在 I²L 电路中, 所有横向 PNP 晶体管的发射极都连起来接到电源上。这时横向 PNP 晶体管的发射区 (即注入条) 只是用来提供电流, 同电路的输入、输出信号毫无关系。如果将 PNP 晶体管的发射极也作为信号的一个输入端, 那么, 它与另一个输入端就可实现“与非”逻辑功能。这种单元称为“并合晶体管与非门”, 如图 8-34 所示。显然, 当 A 为高电平, B 为低电平时, PNP 管无注入电流, NPN 管不导通, 输出端为高电平。当 A 处于低电平、 B 为高电平时, 虽然 PNP 管导通, 但不能向 NPN 管提供基极电流, 输出仍为高电平。仅当 A 、 B 两端均为高电平时, PNP 管才向 NPN 管提供驱动电流, 输出端才为低电平。可见, 此单元的输出端 F 与输入端 A 、 B 是“与非”逻辑关系。

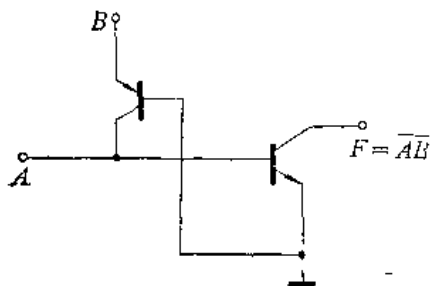


图8-34 I²L“并合晶体管与非门”

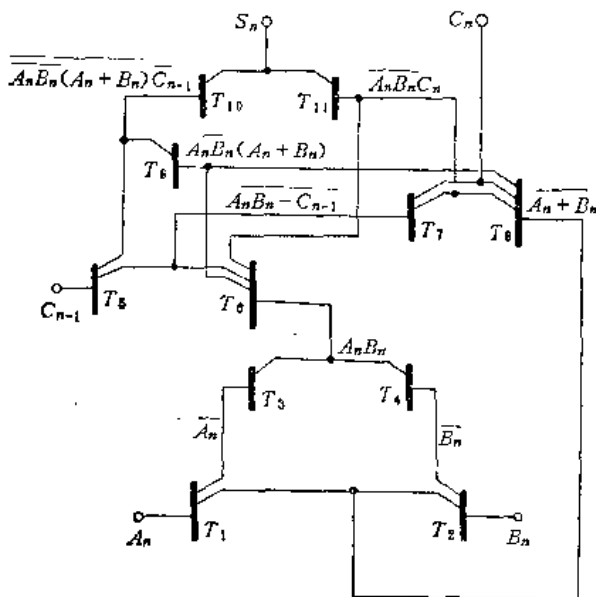


图8-33 I²L全加器线路图

这种“并合晶体管与非门”元件少, 结构十分简单, 在一些复杂的逻辑组合中, 有它的独到的应用。例如, 由它构成“与或非”门, 就十分方便, 如图 8-35

所示。由图可见,这样组成的“与或非”门结构非常简单,而且级数最少,只有一级。

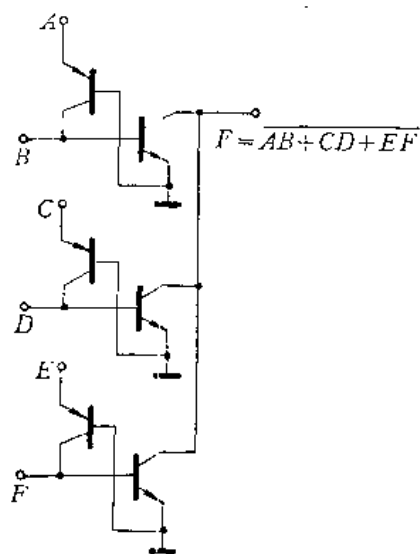


图8-35 由“并合晶体管与非门”构成“与或非”门

但是,这种单元速度较低,这是因为横向PNP晶体管的特征频率甚低的缘故。虽然如此,但在某些集成度要求较高、规模较大而速度要求不高的场合,它还是可以得到某些应用的。

8.4.2 I²L 接口电路

在I²L电路的设计和应用中,有两点要特别注意。第一,它是一个低压器件,输入、输出的电平都比较低,逻辑摆幅小于一个PN结的结压降;第二,它的工作电流较小,约在微安级,反向电流增益也不大,输出负载能力有限,因此,当它与其它类型电路互连接用时,会产生电平匹配和负载能力的问题。为此,需要考虑采用某些输入或输出的接口电路,把它们匹配起来。这些接口电路可以同I²L电路作在同一片上,也可以单独制作,应视具体情况而定。

下面分别就几种基本的I²L接口电路与TTL接口电路作简单介绍。

一、几种基本接口电路

1. 标准I²L输出接口电路

这种接口电路采用标准的I²L电路形式,它的集电极外接负载电阻 R_L 和电源 $+V_{CC}$,如图8-36所示。它的输出电平的幅度大约是 $0 \sim V_{CC}$,但 V_{CC} 值取决于I²L输出管所能承受的最大击穿电压,通常小于6V。输出电流取决于输出管的负载能力(包括基区注入电流大小和管子的反向电流增益),大约为 $1\mu A \sim 1mA$ 。

2. 集电极跟随输出电路

为增加输出负载电流,可采用I²L集电极跟随输出电路,如图8-37所示。它与标准I²L输出电路所不同的,仅是其集电极通过负载电阻接向负电源 $-V_{CC}$ 。显然,这实际上是正向运用晶体管的射极跟随器。在这种情况下,晶体管具有很高的正向电流增益,可输出较大的电流(约在 $10\mu A \sim 10mA$)。这时的输出电平跟随基极电平($0.7 \sim 0V$)变化,从 $0V$ 变到 $-0.7V$ 。

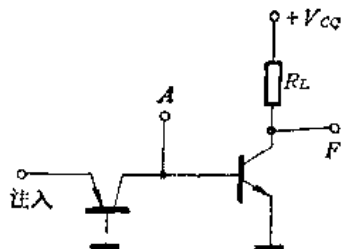


图8-36 标准I²L输出接口电路

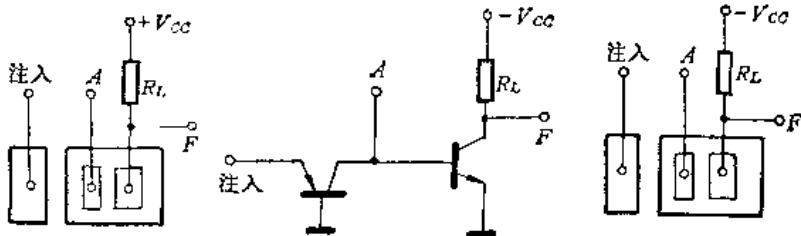


图8-37 集电极跟随输出电路

利用这种电路,可直接驱动磷砷化镓发光二极管,如图8-38(a)所示。磷砷化镓发

光二极管的阳极接到电路输出端，它的阴极接 -1.9V 。发光二极管的正向特性如图 8-38 (b) 所示。当正向电压小于 1.4V 时，二极管不亮，当正向电压大于 1.8V 时，二极管就亮了。

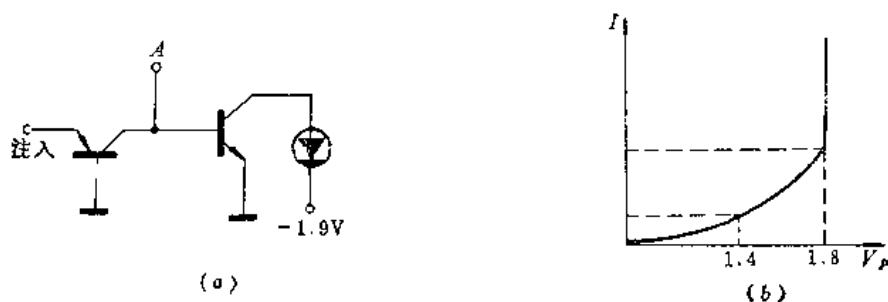


图8-38 驱动磷砷化镓发光二极管示意图

3. 横向 PNP 管后接集电极跟随输出电路

在上述集电极跟随输出电路的输入端，再增加一个横向 PNP 管，就变成了这种电路，如图 8-39 所示。这种电路的输入信号通过增加的横向 PNP 管传输至 NPN 管的基极，消除了输出电平跟随输入电平的弊病，从而提高了输出逻辑电平的摆幅。这是因为，虽然输入电平 A 的摆幅仍然为 $0\sim 0.7\text{V}$ ，但 B 点电平并不跟随 A 点电平，而是同集电极电平相跟随，输出集电极电平便可在 $0\sim -V_{CC}$ 范围内变动。当然，输出摆幅仍取决于输出管的击穿电压，大约在 6V 左右。注入电流经二级 PNP 管后，损失较大，输出电流虽比集电极跟随输出大为降低，但一般仍可达 0.5mA 左右。

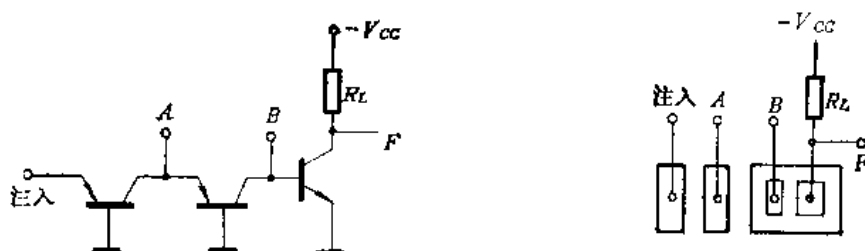


图8-39 横向PNP管后接集电极跟随输出电路

4. 横向 PNP 管输出电路

在某些需要输出更高电平的应用中，可采用这种电路，如图 8-40 所示。P 型注入条的注入电流经 T_1 管后到达中间的 P 区，然后由中间 P 区的输入信号决定所收集的载流子是否再注入，并送往 T_2 管的集电区去。 T_2 管的集电极输出通过外接负载接到负电源 $-V_{CC}$ 。

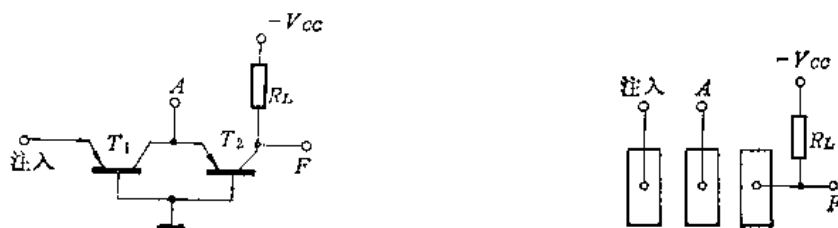


图8-40 横向PNP管输出电路

当 T_2 管导通饱和时, T_2 管集电极输出电平约 $0 \sim 0.6\text{V}$, T_2 管截止时, 集电极输出电平接近 $-V_{cc}$ 值, 故逻辑摆幅在 $0.6\text{V} \sim -V_{cc}$ 范围内。由于 PNP 管的集电结击穿电压很高, 约 30V 左右, 故输出逻辑摆幅大约 30V 左右。

由于 PNP 管电流增益较低, 加上两级 PNP 管的作用, 使注入电流的收集效率大大下降, 因而这种电路输出级的驱动能力是很有限的, 大约在 $0.1\mu\text{A} \sim 0.1\text{mA}$ 范围内。

二、 I^2L 与 TTL 的接口电路

在许多情况下, 需要把 I^2L 电路和 TTL 电路组合在同一芯片上, 这就必须保证元件间的互相匹配。大家知道, 典型 TTL 电路高电平约 3V , 低电平约 0.35V , 输入短路电流约 1.6mA , 反向漏电流也有几十微安, 而 I^2L 电路的输出电平仅为 $0 \sim 0.7\text{V}$, 工作电流仅为 $20 \sim 100\mu\text{A}$, 所以必须要有接口电路, 使得在电平和电流两个方面互相匹配起来。

1. TTL 到 I^2L 的接口电路

图 8-41 的点划线框中是由 TTL 到 I^2L 的接口电路。这种接口电路实际上是一种简化形式的 TTL 集电极开路门。当 TTL 电路输出低电平时, 接口电路的 T_1 管导通, T_2 、 T_3 、 T_4 管截止, T_4 管输出高电平, 高电平的幅度被所驱动的 I^2L 电路箝位于 0.7V 左右。当 TTL 电路输出高电平时, T_1 管反向工作, T_2 、 T_3 、 T_4 管都导通。 T_2 、 T_3 管起电平位移作用, 导通饱和的 T_4 管输出低电平, 为 I^2L 电路的恒流源提供低阻通路, 使 I^2L 电路截止。

由于 TTL 与 I^2L 做在同一芯片上, 工艺上要避免掺金, 因而 T_1 管的反向漏电流较大, 影响前两级 TTL 门的负载能力和可靠性。为了解决这个问题, 通常把 T_1 管的基极与集电极 (反向工作时的发射极) 短接, 这样反向漏电流只等于 T_1 管发射结的漏电流, 从而避免了 T_1 管的反向放大作用。

从图 8-41 可见, T_1 、 T_2 管的集电极、基极是完全重合在一起的, 故可用一个双发射极晶体管来代替它们, 所以实际的接口电路如图 8-42(a) 所示。在版面安排上, 可以把 T_1 、 T_2 、 T_3 管放在同一隔离岛内, 占据的面积并不大。 T_4 管如采用反向运用状态, 则可

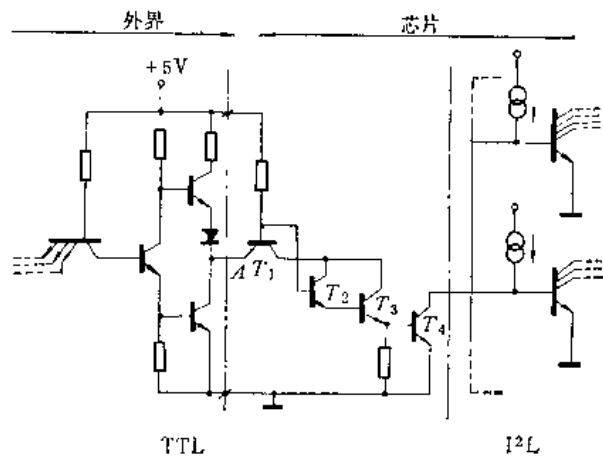


图 8-41 TTL 到 I^2L 接口电路

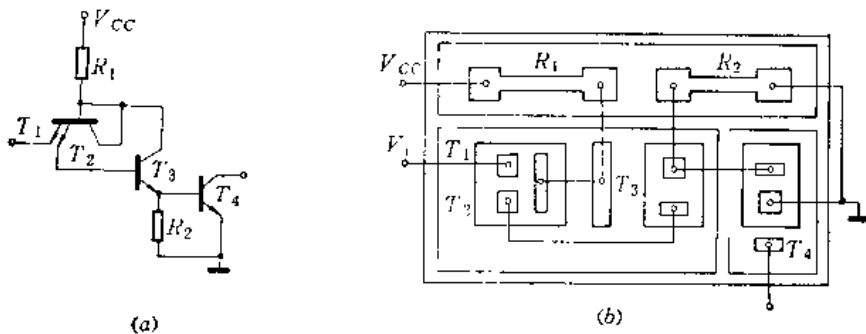


图 8-42 实际的 TTL 到 I^2L 接口电路

同 I^2L 电路部分做在一起, 这时无需另加隔离区。但如考虑需要较大的负载能力, 则可另加一隔离区, 使其作正向运用, 以获得较高的电流增益, 这时的版面布局如图 8-42(b) 所示。

2. I^2L 到 TTL 的接口电路

I^2L 电路的输出电流较小, 为了使它驱动 TTL 门电路, 输出接口电路通常由两部分构成, 如图 8-43 所示。第一部分 (I) 是 I^2L 两级电流放大器, 为的是增强 I^2L 电路的驱动能力, 使之具有驱动一个 TTL 电路的能力。第二部分 (II) 是一个起缓冲作用的 TTL 电路, 它由前面的 I^2L 两级电流放大器所驱动, 再由它去驱动更多的 TTL 负载门。

I^2L 两级电流放大器可采用如图 8-44 所示的结构。它采用了两个办法: 其一, 对 I^2L 电路的输出级晶体管进行特殊设计, 选取较大的集电区面积与发射区面积比 A_c/A_e , 以提高它的反向电流增益; 其二, 增大输出晶体管的基区条宽, 以增加基极驱动电流。图中 T_1 管采用了第一种办法, 把四个集电极连接起来作为输出, 反向电流增益显著提高; T_2 管不但采用了第一种办法, 还运用了第二种办法, 基极驱动电流由此而增加四倍, 因此 T_2 管的负载能力很强, 可达 2mA 以上。

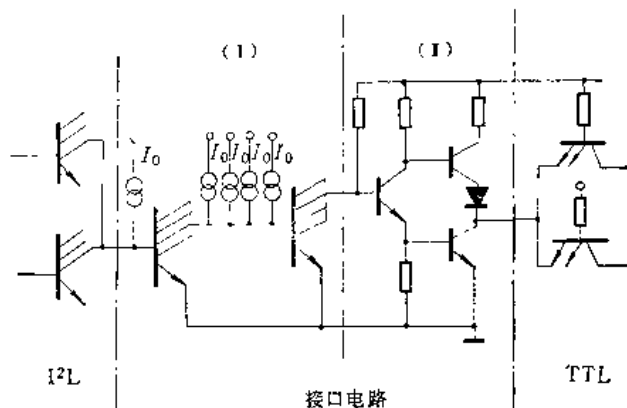


图 8-43 I^2L 到 TTL 接口电路

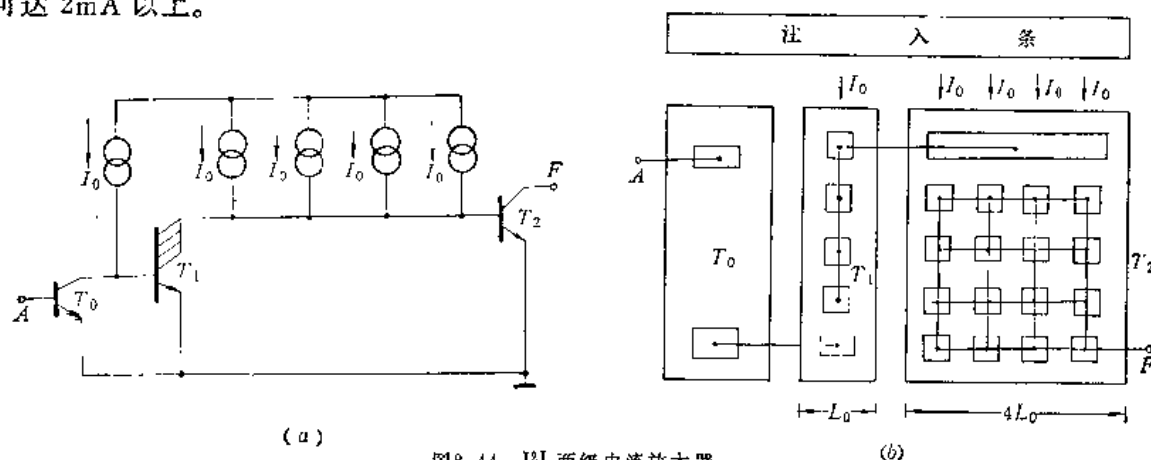


图 8-44 I^2L 两级电流放大器
(a) 线路图, (b) 版图。

8.5 I^2L 电路的版图设计和工艺考虑

8.5.1 I^2L 电路的版图设计

I^2L 电路的版图设计与一般双极型电路相比, 有它自身的特点, 下面就 I^2L 电路版图设计中的几个问题进行讨论。

一、总体布局

对于 I^2L 电路的版图来说, 总的布局是很重要的。

集成注入逻辑的基本单元是多集电极倒相器, 电路的规模不论多大, 都可由这样的基本单元按一定逻辑功能构成。因此, 在进行总体布局时, 往往考虑由一根公用的 P 型注入条进行供电, 而把所有多集电极 NPN 晶体管按线路要求整齐地排列在注入条两侧。有时候由于电路布线的需要, 也可采用几根注入条。为了提高集成度, 降低功耗, 无论采用那种形式, 注入条两侧都应尽量排列 NPN 管, 以充分利用注入电流。

二、注入条的设计

注入条设计的关键是保证均匀注入。

I^2L 电路是恒流源供电, 电流通过注入条直接注入到在它两侧的 NPN 晶体管中去。注入条与地之间是一个正向偏置的 PN 结; 由于注入条通常都很长, 电流通过时要产生一定压降, 往往造成注入条两端注入电流不均匀, 严重时, 将使某些管子分配不到注入电流, 导致电路不能正常工作。为此, 在设计注入条时, 要注意以下各点:

(1) 注入条是硼扩散区, 电阻率较高, 因此, 所有注入条必须开出引线孔, 并用铝条覆盖上。

(2) 注入条的长度要适当。如果过长, 铝线要引进额外电阻, 使注入不均匀。注入条太长, 对制版和光刻也将提出更高的要求。这是因为注入条到各多集电极 NPN 管基区之间的距离通常在 $6\sim 8\mu\text{m}$, 制版和光刻引进的误差和边缘不齐, 会使电流不均匀, 甚至可能造成局部穿透, 只要任何一局部区域发生这种情况, 将使整个电路报废。

(3) 采用多注入条时, 要确保各注入条对总电源是等电位的, 也就是要保证各注入条注入均匀。

(4) 不允许铝线跨越注入条, 否则注入条本身要引入串联电阻, 影响注入的均匀性。

三、NPN 晶体管基区条的设计

1. 基区条条宽

关于基区条条宽, 主要考虑两个方面: 最小套准精度和各级门之间的负载匹配能力。在精度允许的范围内, 基区条越窄, 则集成度越高, 电容也越小, 有利于速度的提高。在考虑各级门相互匹配时, 可采用不同基区条宽, 以适应负载能力的不同要求, 如图 8-45 所示。图中基区条宽分别为 $\frac{1}{2}l_0$ 、 l_0 、 $2l_0$, 相应的注入电流分别为 $\frac{1}{2}I_0$ 、 I_0 、 $2I_0$ 。显然, 基区条愈宽, 驱动能力越强。

2. 基区条的排列方式

基区条相对注入条的排列方式, 直接影响到各级门的延迟时间、驱动能力以及整个电路的集成度和布线难易程度。图 8-46 示出了三种排列方式, 相应的性能如箭头所示。

A 排列可使元件最紧凑地排列在注入条两侧, 集成度最高, 各基区条之间连线也最容易, C 排列最差, B 居中。C 排列基区条最宽, 故驱动能力最强, B、A 则次之。C 排列驱动能力强, 基区串联电阻也最小, 故速度较快, A 最差, B 则居中。

3. 基极引线孔的位置

基极引线孔的位置不同, 引入的基区串联电阻的大小就不一样。基区串联电阻越大,

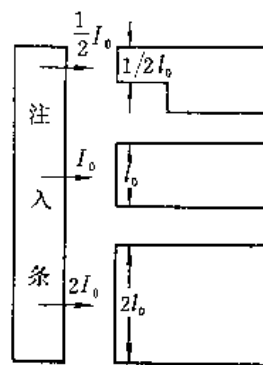


图8-46 不同基区条宽对应不同注入电流

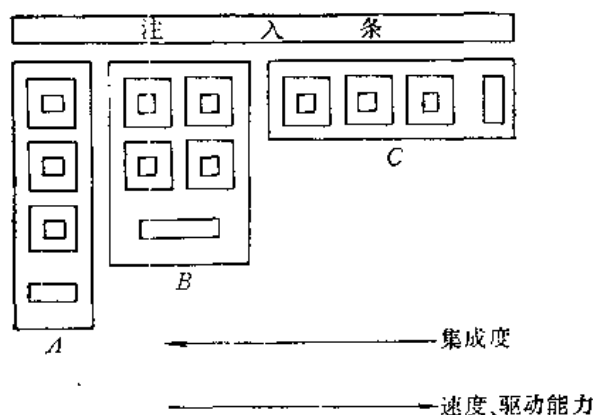


图8-16 基区条的排列方式

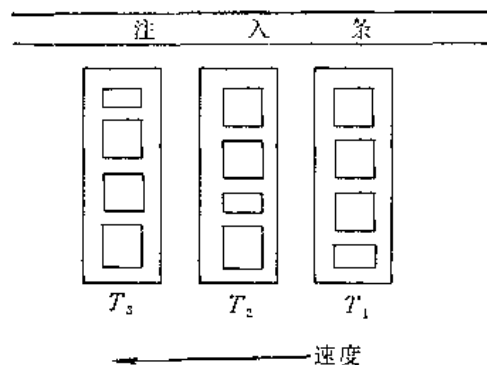


图8-17 基区引线孔的位置

则充放电时间越长，速度也就越慢。图 8-47 中 T_1 管基区串联电阻最大，速度最慢； T_3 管基区串联电阻最小，速度最快； T_2 管基区串联电阻介于 T_1 、 T_3 之间，速度中等。

四、NPN 晶体管集电区的设计

集电区的数目不宜过多，一般限制在四个之内。集电区数目过多，将增加工艺的困难，因为要保证每个集电极的电流增益达到一定要求。此外，集电区越多，则基区条拉得过长，基区串联电阻增大，将造成电流增益不均匀。为了克服基区电阻对电流增益的影响，可适当增加每个集电区的面积比，如图 8-48 所示。距离注入条越长，则集电区面积设计得应相对大一些，以补偿基区串联电阻对电流增益的影响。

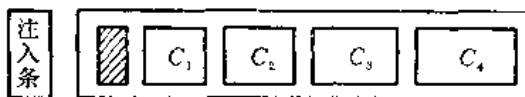
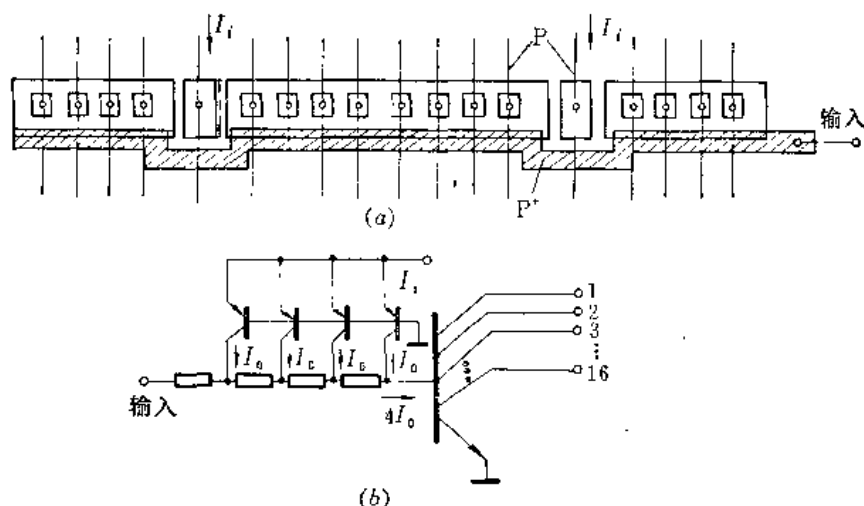


图8-48 各集电区面积比不相同的基极条

在 I^2L 唯读存储器的设计中，集电区的数目通常较多，这时可采用多个注入器并用浓硼条把几个基区连接起来的办法，如图 8-49 所示。

图8-49 多集电区 I^2L 单元

(a)版图；(b)考虑基区串联电阻后的等效电路。

五、 N^+ 磷环

在设计中，可使用与集电区扩散同时形成的 N^+ 磷环，如图 8-50 所示，其作用有三：一

是减小相邻P型基区条之间的寄生PNP管效应,二是减少注入条不必要的电流损失,提高NPN管的反向电流增益,三是改善地线的均匀性。但 N^+ 磷环上通常是较薄的三次氧化层,容易产生针孔,致使铝线与地短路,降低成品率,因此必须采取相应措施。

六、地线的设计

因为整个电路的电流都要通过地线流出,若地线设计得不好,引入较大的电阻,将抬高低电平,影响注入电流的均匀分布。故设计时应注意:

- (1) 接地点必须进行 N^+ 磷扩散;
- (2) 接地点和各单元大致对称;
- (3) 尽量减小接地线电阻,电路规模较大时,必须采用“环”形地线,使地线电阻的影响降到最小。

图8-51是 I^2L 4D触发器的版图,由图可看出 I^2L 电路版图设计的一般特点。

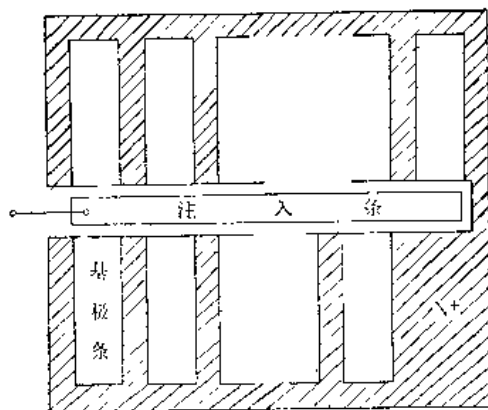


图8-50 N^+ 磷环

8.5.2 I^2L 电路的工艺考虑

I^2L 电路的工艺与一般双极型电路相比,也有它特别的地方,下面简单作一介绍。

一、材料的选择

目前, I^2L 电路通常选用两种不同的衬底材料,一种是单晶材料,一种是外延材料。

单晶材料通常选用N型单晶,电阻率在 $0.07 \sim 0.15 \Omega \cdot \text{cm}$ 范围。

外延材料通常选用电阻率在 $0.001 \sim 0.005 \Omega \cdot \text{cm}$ 的单晶作为衬底,在其上进行外延。外延层电阻率为 $0.3 \sim 0.5 \Omega \cdot \text{cm}$,厚度约 $4 \sim 5 \mu\text{m}$ 。采用外延材料制造 I^2L 电路,工艺虽复杂一点,但 I^2L 电路的性能可得到进一步改善。

显然,无论选用那一种材料,都要求少子寿命长,晶格完整性好,特别是不应含有引起杂质快速扩散的微观缺陷以及有害重金属杂质。

二、工艺措施

1. 采用无金工艺

在TTL电路中,NPN晶体管是正向工作,掺金是为了降低少子寿命,提高开关速度。而在 I^2L 电路中,NPN管是反向工作,反向电流增益 β_r 通常较小。为了提高反向电流增益,必须使少子寿命尽可能的长,因此采用无金工艺,并在整个工艺过程中,要尽量避免金的沾污。

2. 低温退火

低温退火可以减少体缺陷、减少少子复合中心,还可使有害的金属杂质析出来,这些都能提高少子寿命和管子的反向电流增益。尤其是在磷扩散后进行低温退火,对提高反向电流增益更为有效。

为了改善表面态,在合金同时进行磷吸收,也可提高反向电流增益。

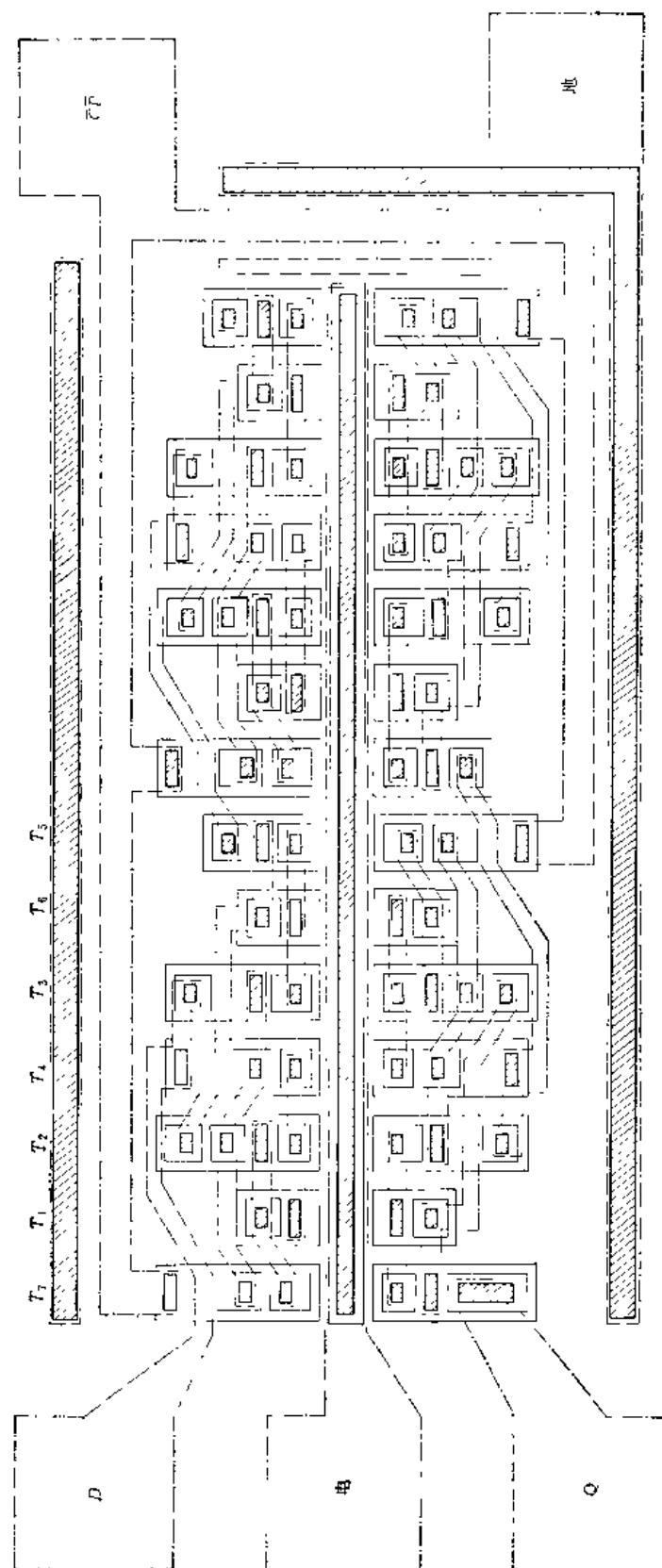


图8-51 I²L4D触发器版图

3. 基区硼扩散

在 I^2L 电路制造中, 基区硼扩散是比较重要的。因为在这一步就形成了横向 PNP 管。所以, 在扩散时, 既要考虑 NPN 管的要求, 又要考虑到横向 PNP 管的要求。

4. 集电区磷扩散

在集电区扩散时, 主要是控制 NPN 管的反向电流增益, 要求反向电流增益大、击穿电压高一些。

5. 光刻和制版

如前所述, I^2L 电路中的注入条通常都很长, 为了精确控制横向 PNP 晶体管的基区宽度, 保证它在整个电路中的均匀性, 在制版和光刻的每一个具体环节中, 都必须引起足够的重视。

引线孔光刻要严格避免针孔, 这是影响成品率的重要一环。可采用两次钝化层工艺。

8.6 I^2L 电路的改进和发展

I^2L 电路的出现, 推动了双极型大规模集成电路的发展。其最突出之点在于集成度高, 功耗-延迟时间乘积低, 工艺也简单。但是早期出现的典型 I^2L 电路, 正如前面所分析的, 速度还较低, 限制了它在高速数字系统中的应用, 从而阻碍了它的进一步推广和发展。近年来, 人们作了不断的努力, 在工艺方法、工艺结构以及电路形式等方面采取了一系列措施, 使得速度和集成度都有了进一步提高, 将 I^2L 电路的研制推向了一个新的发展阶段。

改进后的 I^2L 电路, 一般称为第二代注入逻辑, 目前种类繁多, 新的结构还在不断涌现, 但从原理上讲, 它们并没有引进什么新概念, 只不过充分利用了近代集成电路的各项先进技术, 如离子注入、P 型外延、等平面隔离、自对准技术、多层布线工艺、肖特基箝位等。下面我们简单介绍几种主要的改进型结构。

8.6.1 P 外延自对准 $I^2L(S^2L)$ 电路

这种电路采用自对准双扩散技术制作横向 PNP 管, 生长 P 型外延层以得到反向 NPN 管的基区, 其工艺流程如图 8-52 所示。

这种结构具有如下优点

(1) PNP 管由自对准双扩散技术形成, 基区宽度窄, 而且易于控制; 发射区是 P^+ 扩散、注入效率高, 因而 PNP 管的 α 可显著提高。

(2) NPN 管作成外延基区结构, 基区杂质分布平缓, 消除了原来 I^2L 电路基区中的减速电场, 提高了输运系数; 发射区是 N^+ 衬底, 注入效率高, 因而可显著提高 NPN 管的反向电流增益。

(3) 由于消除了基区的减速电场, NPN 管的特征频率得到了提高, 适当选择 P 型外延层的杂质浓度, 还可减小结电容, 从而提高开关速度。

(4) 注入器通常设计成网状结构, 如图 8-53 所示。因注入器 P^+ 环串联电阻小, 铝线可在上面跨越, 有利于布线, 增加了设计的灵活性。

(5) 注入器采用网状结构, 还消除了各 NPN 管基区间的寄生 PNP 效应; 各输出头受基区串联电阻的影响也减小了, 速度和集成度可得到进一步提高。

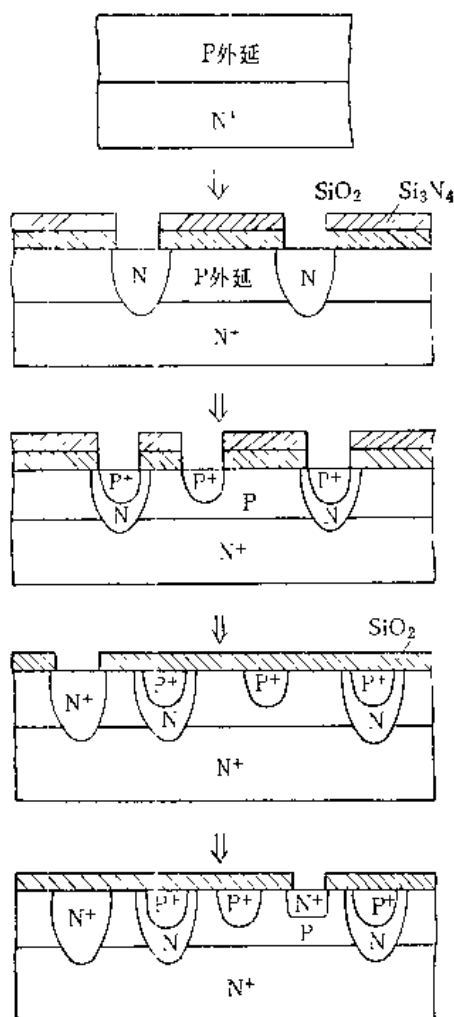


图8-52 P外延自对准I²L(S²L)工艺流程简图

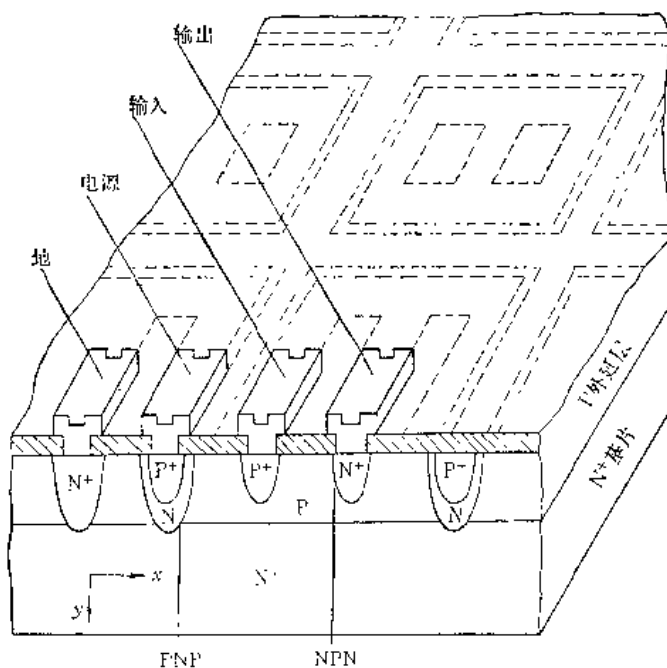


图8-53 P外延自对准I²L(S²L)网状注入器结构图

采用这种结构, 功耗-延迟时间乘积已达 $0.06 \sim 0.1 \text{ pJ/门}$, 最小单门延迟时间在功耗 $80 \sim 100 \mu\text{W}$ 时为 10 ns 。

8.6.2 三层结构逻辑 (3JL)

为了抗饱和和降低逻辑摆幅, 目前在 I²L 电路中, 广泛采用各种肖特基结构, 归纳起来, 有下列几种形式, 如图 8-54 所示。

其中 (a) 和 (b) 是在晶体管的输出、输入端加肖特基二极管, 以降低逻辑摆幅; (c) 是在晶体管的基极和集电极间加肖特基箝位二极管, 它既可抗饱和, 又可以降低逻辑摆幅; (d) 是用肖特基晶体管作为开关器件, 也具有抗饱和和降低逻辑摆幅的优点; (e) 把 (a) 和 (c) 的特点结合起来, 使逻辑摆幅进一步降低; (f) 把 (b) 和 (d) 结合起来, 也是进一步降低逻辑摆幅, 提高速度。

加有肖特基结构的 I²L 电路种类很多, 这里仅介绍由我国科技工作者研制的三层结构逻辑 (3JL)。

三层结构逻辑是一种纵向结构, 采用 PNM (金属如铝) 肖特基晶体管作为倒相管, 纵向 N⁺PN 晶体管作为恒流源供电, 其结构和电路如图 8-55 所示。

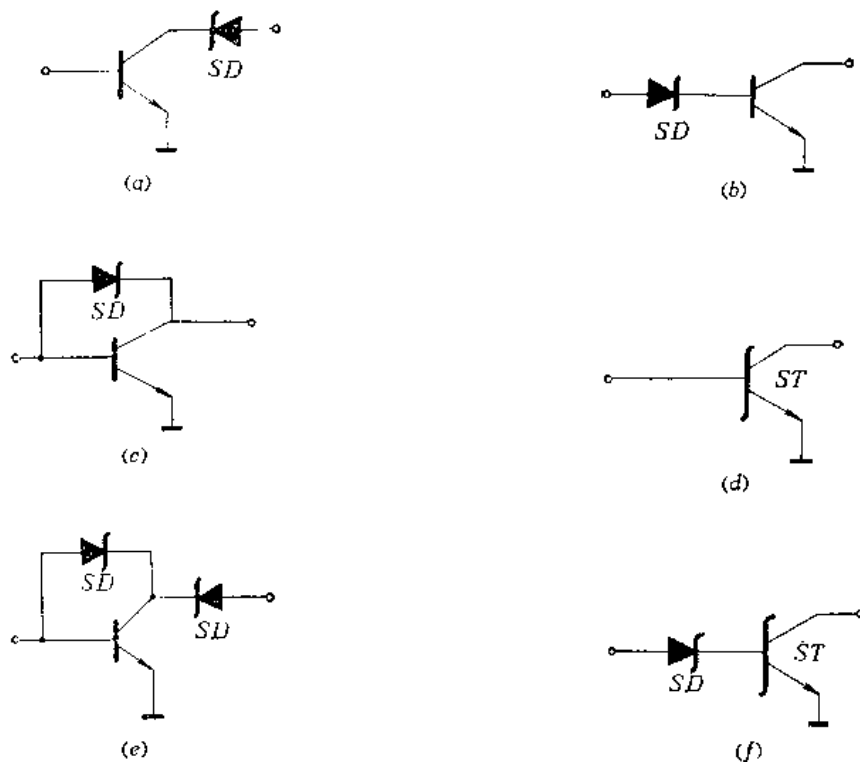


图8-54 各种肖特基结构

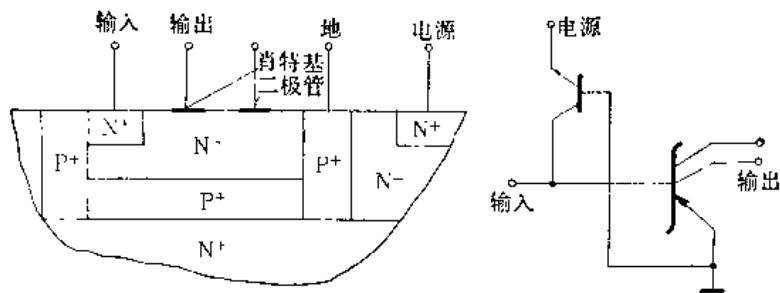


图8-55 3IL结构图

这种结构具有如下优点:

(1) 输出端是铝-硅肖特基集电结, 逻辑摆幅低 (约 300mV), 抗饱和, 减少了少子存储, 提高了速度。

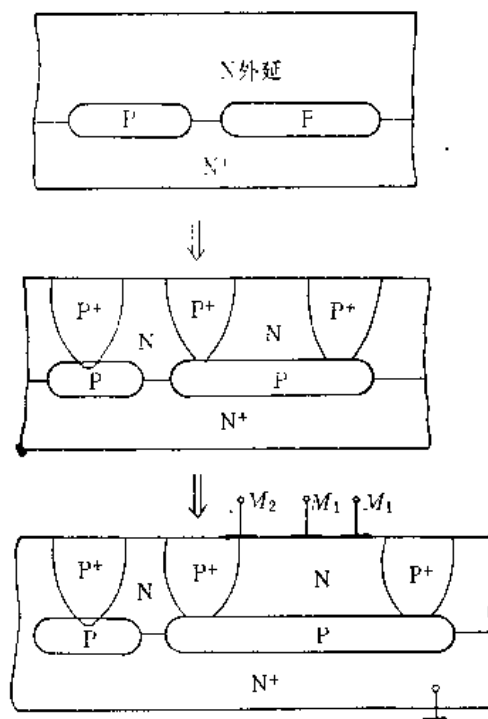
(2) 注入器是纵向 N^+PN 管, 由衬底供电, 使得布线简单, 集成度较高。

(3) 恒流源 N^+PN 管和倒相管 PNM 各自的发射区杂质浓度较高, 基区较薄, 易控且存在加速场, 因而 α 、 β 较大, 提高了速度, 降低了功耗-延迟时间乘积。

这种电路门平均延迟时间可达 5ns, 功耗-延迟时间乘积约 0.55pJ, 集成密度可达 200~800门/ μm^2 。

8.6.3 上扩散 I^2L 电路

这种电路的工艺流程如图 8-56 所示。由图可见, NPN 管的基区是靠衬底上淀积的 P 型区上扩散形成的, 因而得名上扩散 I^2L 电路。

图8-56 上扩散I²L工艺流程简图

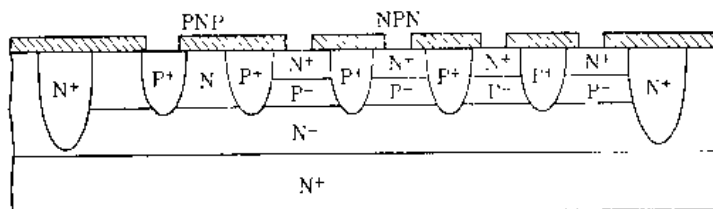
这种结构具有下列优点:

- (1) NPN管的发射区是N⁺衬底,注入效率高,反向电流增益大。
- (2) 由上扩散过程形成的P型基区,杂质分布形成少子的加速场,提高了晶体管的频率特性。
- (3) 在NPN管的集电区、集电区和基区之间加有两种不同金属的肖特基二极管,降低了逻辑摆幅,减少了少子存储,提高了开关速度。

这种电路的反向电流增益可达180,单门延迟时间约2.5ns,功耗-延迟时间乘积为0.2pJ/门。

8.6.4 采用离子注入掺杂的I²L电路

利用离子注入技术代替常规的扩散工艺,可以改变基区的杂质分布,使基区的减速场逆转为加速场;可以制造浅结;可以得到双基区结构的NPN管。利用离子注入掺杂的I²L电路结构如图8-57所示。它是在N⁺衬底上生长N⁻外延层,进行外基区的P⁺扩散,然后由离子注入形成NPN管的内基区P⁻和集电区N⁺。

图8-57 离子注入掺杂的I²L电路结构

这种电路具有以下优点:

- (1) 采用离子注入,改变了NPN管的杂质分布,形成少子加速场,提高了管子的

第三篇 MOS型逻辑集成电路

第九章 MOS 集成电路中的晶体管

MOS 集成电路中的所有元件,一般说来,都是由 MOS 晶体管所组成,这是 MOS 电路的特点之一。因此,在讨论 MOS 电路之前,首先对 MOS 管的基本特性及主要参数,从电路设计的要求上加以简要的分析,以便为以后讨论 MOS 集成电路时提供必要的基础。

9.1 MOS 晶体管的直流特性

9.1.1 简化的特性方程

MOS 晶体管是电压控制器件,它是用栅极电压来控制漏源之间的电流。这种栅极控制作用可以形象地用图 9-1 表示。对于 N 沟道增强型 MOS 管,当栅源电压 V_{GS} 大于或等于开启电压 V_T 时,即 $V_{GS} \geq V_T$ 时, MOS 管导通,呈现很低的导通电阻 R_{on} ,漏源间有电流流动;当 $V_{GS} < V_T$ 时, MOS 管截止,呈现很高的截止电阻 R_{off} ,漏源间仅有很小的一般可以忽略的反向漏泄电流。

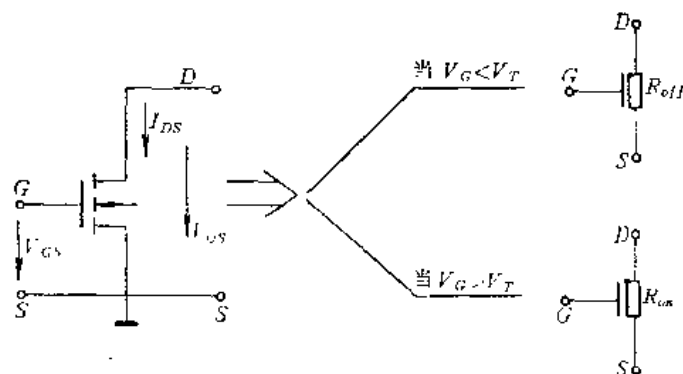


图9-1 栅极对漏源的控制作用

按图 9-1 中所规定的电流电压方向,根据电路设计中可以应用的简单模型, MOS 管的特性方程可由下式给出:

$$I_{DS} = k [2 (V_{GS} - V_T) V_{DS} - V_{DS}^2] \quad (9-1)$$

式 (9-1) 可用于 NMOS 管和 PMOS 管。对于 NMOS 管,应用条件是:

$$(V_{GS} - V_T) > 0; V_{DS} > 0; I_{DS} > 0$$

增强型 开启电压 $V_T > 0$;

耗尽型 夹断电压 $V_p < 0$ 。

所以方程式 (9-1) 取正号。对于 PMOS 管,应用条件是:

$$(V_{GS} - V_T) < 0; V_{DS} < 0; I_{DS} < 0$$

增强型 开启电压 $V_T < 0$;
 耗尽型 夹断电压 $V_P > 0$ 。

所以方程式 (9-1) 取负号。

特性方程中的 k 通常称为导电因子或称 k 常数, 根据定义

$$k = k' \left(\frac{W}{L} \right) \quad (9-2)$$

式中 W 为沟道宽度, L 为沟道长度, 而

$$k' = \frac{\mu \epsilon_{ox}}{2t_{ox}} \quad (9-3)$$

称为本征导电因子或称本征 k 常数, 其单位为 A/V^2 或 mA/V^2 , 其中

μ —— 反型层中载流子平均迁移率;

$$\epsilon_{ox} = \epsilon_f \epsilon_0;$$

ϵ_f —— 栅介质 SiO_2 的相对介电常数, 其值为 $3.8 \sim 4$;

ϵ_0 —— 真空电容率, 其值为 $8.85 \times 10^{-14} F/cm$;

t_{ox} —— 栅介质 SiO_2 层的厚度。

在 MOS 集成电路设计中 k 常数是一个重要参数, 而从式 (9-3) 看出, 本征 k 常数 k' 直接与反型层中载流子平均迁移率有关。因此, 要确定 k' 的大小, 在 t_{ox} 已经确定的情况下, 就需要知道 μ 的大小。实验数据表明, 反型层中载流子平均迁移率低于体内的迁移率, 且与衬底材料的晶向、杂质浓度、栅压以及工艺条件有关。图 9-2 给出反型层中载流子迁移率与晶向和有效栅压的关系, (a) 图为空穴迁移率的实验结果, (b) 图为电子迁移率的实验结果。P 沟道 MOS 电路生产中衬底材料硅常选用 (100) 和 (111) 晶面。设计计算时空穴迁移率一般可从图中取:

$$\mu_p(100) \approx 130 cm^2/V \cdot s$$

$$\mu_p(111) \approx 190 cm^2/V \cdot s$$

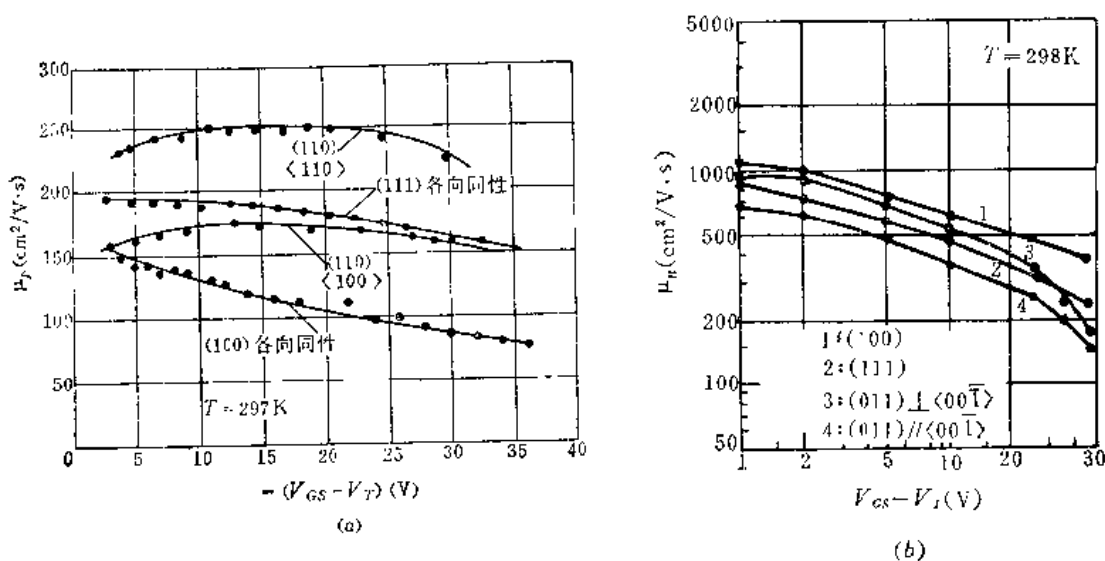


图9-2 表面反型层中载流子迁移率与晶面和有效栅压的关系

N型反型层中的电子迁移率一般认为比空穴迁移率大约高三倍。作为设计计算, 反型层中电子迁移率一般取

$$\mu_n \approx 400 \sim 600 \text{ cm}^2/\text{V} \cdot \text{s}$$

但必须指出, 由于 μ_p 和 μ_n 与衬底材料和工艺有关, 所以在设计计算时, 对于 μ_p 和 μ_n 的取值, 往往从实测中选定。

9.1.2 输出特性曲线

所谓输出特性曲线, 就是在一定的栅压下, 漏源电流 I_{DS} 与漏源电压 V_{DS} 之间的关系曲线。根据特性方程, 在图 9-3 中画出了 N 沟道增强型 MOS 管的输出特性曲线。从图中看到, 这组曲线分成三个区域, 不同的区域表现出不同的特性。

一、可调电阻区或非饱和区

在区域 I 中, V_{DS} 很小, 漏源电流 I_{DS} 基本上随漏源电压 V_{DS} 线性上升, 而且栅源电压 V_{GS} 愈大, 则曲线愈陡, 相应的等效电阻也就愈小。由于在区域 I 中等效电阻的阻值随栅压而变, 表现出可调电阻的特性, 因此称区域 I 为可调电阻区或非饱和区。

方程式 (9-1) 是在缓变沟道近似, 即 V_{DS} 很小, 对沟道厚度的影响可以忽略的基础上推导出来的。因此, MOS 管工作在非饱和区时的电流方程同式 (9-1), 即

$$I_{DS} = k [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \quad (9-4)$$

$$V_{DS} < V_{GS} - V_T$$

二、饱和区

当 V_{DS} 增大到一定程度时, 漏极附近的沟道被夹断。这时, 漏源电流 I_{DS} 不随漏源电压 V_{DS} 线性上升, 而达到一个最大值。此后, V_{DS} 再稍有增加, 特性曲线便开始弯曲, 电流趋于饱和, 曲线进入第 II 区。这个区域称为饱和区。

在饱和区, I_{DS} 与 V_{DS} 无关。因此漏源电流 I_{DS} 趋于临界饱和时的漏源电压可以从下式得出:

$$\frac{dI_{DS}}{dV_{DS}} = 0 = 2k(V_{GS} - V_T - V_{DS})$$

所以

$$V_{DS} = V_{GS} - V_T \quad (9-5)$$

从式 (9-5) 看出, 对应不同的 V_{GS} , 使电流趋于饱和的 V_{DS} 也不同。因此可以在输出特性曲线簇上, 把满足关系式 (9-5) 的那些点连接起来, 就形成了图 9-3 中所示的虚线。此虚线就是非饱和区和饱和区的分界线, 而虚线与各输出特性曲线的交点就是由非饱和区过渡到饱和区的转折点。

显然饱和区的电流方程, 可将式 (9-5) 代入式 (9-1) 得到

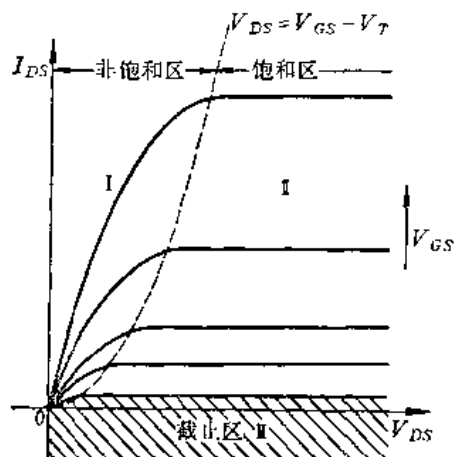


图9-3 N沟道增强型MOS管的输出特性曲线

$$I_{DS} = k (V_{GS} - V_T)^2 \quad (9-6)$$

$$V_{DS} \geq V_{GS} - V_T$$

这就是 MOS 管工作在饱和区时的电流方程。

三、截止区

图 9-3 有一个称为“截止区”的第 III 区域。在这个区域中，栅压小于开启电压，MOS 管处于截止状态，因此漏源电流永远为零，即

$$I_{DS} = 0 \quad (9-7)$$

$$V_{GS} < V_T$$

在逻辑电路中，饱和区和非饱和区是 MOS 管的主要工作区。

9.1.3 转移特性曲线

我们已经知道，MOS 管是一种电压控制器件，它是用栅源输入电压 V_{GS} 控制漏源输出电流 I_{DS} 的大小的。转移特性曲线就是在一定的漏源电压下，漏源饱和电流与栅源电压之间的关系曲线。显然，式 (9-6) 就是反映转移特性的方程式，用它作图，便得到图 9-4 所示的一条平方律转移特性曲线。从图中看出，当 $V_{GS} < V_T$ 时，漏源电流 I_{DS} 为零，只有当 $V_{GS} \geq V_T$ 时，漏源饱和电流 I_{DS} 才按平方律随 V_{GS} 上升。

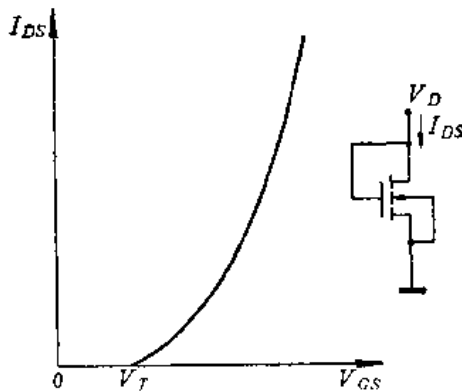


图9-4 N 沟道增强型 MOS 管的转移特性曲线

9.2 MOS 晶体管的主要参数

本节简要讨论一下 MOS 管的几个主要参数，并从集成电路设计的角度着重分析这些电参数与器件结构和工艺参数的关系，以便我们能够在电路设计和制造工艺中有目的的通过改进器件结构、控制工艺参数来提高电路性能。

9.2.1 直流参数

一、阈值电压

对于增强型 MOS 管，在漏源电压为零时产生导电沟道所需要的栅极电压称为开启电压，一般以 V_T 表示。对于耗尽型 MOS 管，由于在栅极电压为零时就已存在导电沟道，所以漏源电压为零时使导电沟道消失所需要的栅极电压定义为夹断电压，通常以 V_P 表示。

开启电压和夹断电压统称为阈电压，其通用表达式为：

$$V_T = \phi_{ms} + \phi_s - \frac{Q_{ox}}{C_{ox}} - \frac{Q_f}{C_{ox}} \quad (9-8)$$

阈电压是 MOS 器件的一个重要参数，为了更好地控制它，下面对其表达式中的各项分别进行讨论。

1. ϕ_{ms} 当 Al-SiO₂-Si 三层结构组成 MOS 管（例如 NMOS）时，不加任何外电压，Al 和 Si 之间就存在着接触电势差（或称功函数差）使能带向下弯曲，如图 9-5(a) 所示。

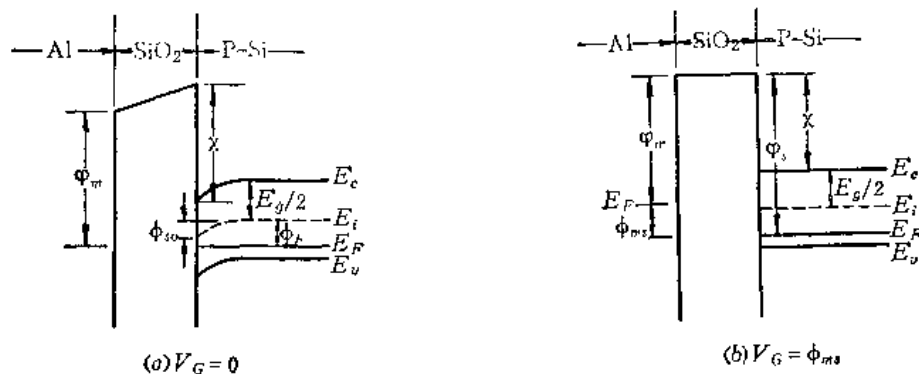


图9-5 MOS结构能带图

要使能带变平，必须加上一定的栅压 V_G ，其大小等于铝和硅之间的功函数差，如图 9-5(b) 所示。显然，铝和硅之间的功函数差 ϕ_{ms} 为：

$$\phi_{ms} = \varphi_m - \varphi_s = \varphi_m - \left(\chi + \frac{E_g}{2} + \phi_F \right) \quad (9-9)$$

式中 φ_m 为铝的功函数； φ_s 为硅的功函数； χ 为硅的电子亲和势，其值为 3.2eV，且与导电类型和晶向无关； E_g 为硅的禁带宽度，其值在室温时为 1.1eV， ϕ_F 为硅的费米势，根据定义：

$$\phi_F = \pm \frac{K_T}{q} \ln \left| \frac{N}{n_i} \right| \quad (9-10)$$

式中 N 为净掺杂浓度。式中符号，对于 P 型硅取正号，对于 N 型硅取负号。由式 (9-10) 看出，费米势是导电类型、掺杂浓度和温度的函数。图 9-6 和图 9-7 给出了费米势与掺杂

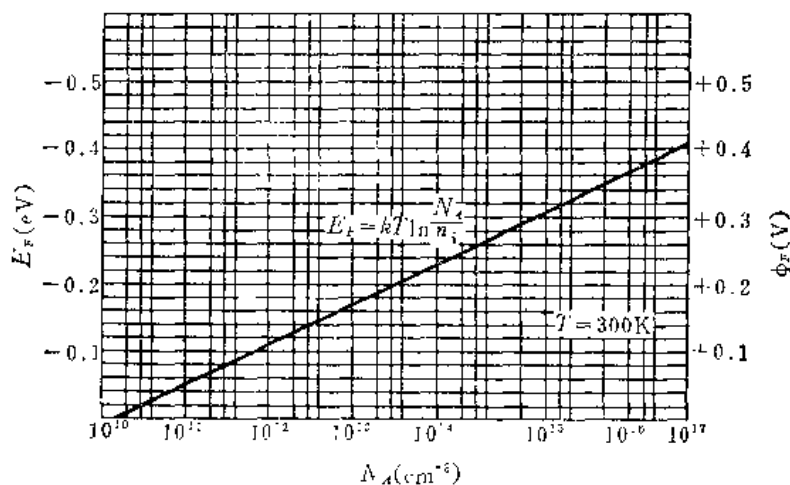


图9-6 P型硅中的费米势与掺杂浓度的关系

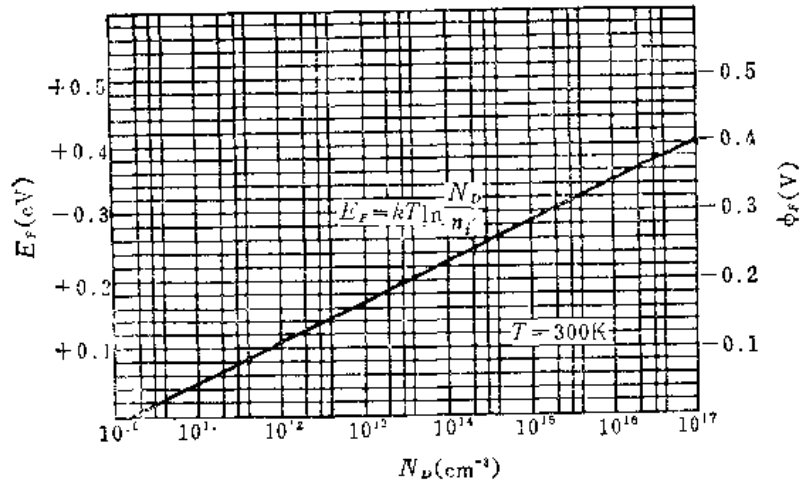


图9-7 N型硅中的费米势与掺杂浓度的关系

浓度的关系。

这样，利用式 (9-9) 就可以对 ϕ_{ms} 进行计算。下表给出了 Al-SiO₂-Si 系统的功函数差的数值。

Al-SiO₂-Si系统的功函数差 (T = 300K)

功函数差 (V)	掺杂浓度 (cm ⁻³)			
	10 ¹⁴	10 ¹⁵	10 ¹⁶	10 ¹⁷
系统				
Al-SiO ₂ -NSi	-0.36	-0.30	-0.24	-1.3
Al-SiO ₂ -PSi	-0.82	-0.88	-0.94	-1.0

图 9-8 给出了铝栅 MOS 结构的功函数差与衬底材料的导电类型和掺杂浓度的关系。

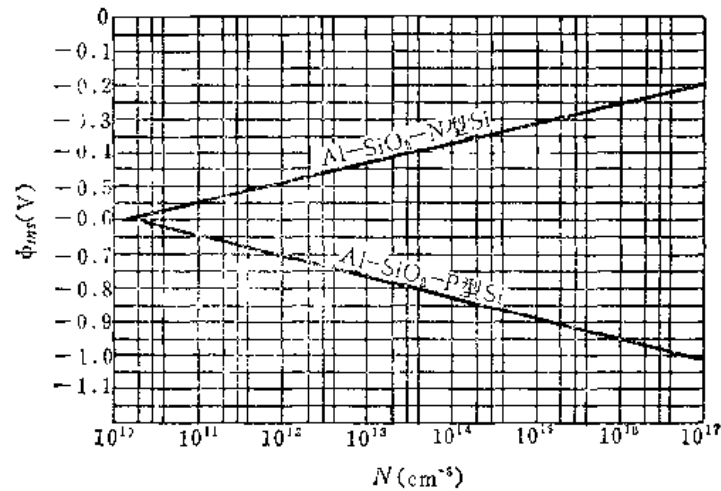


图9-8 铝栅MOS结构的功函数差与掺杂浓度的关系

由以上的分析看出，功函数差 ϕ_{ms} 的大小主要决定于 MOS 器件的栅极和衬底两种材料的固有性质，而与制造工艺无关。所以，可以通过选择栅极材料的办法来调整 ϕ_{ms} 的大小，以满足阈值电压的要求。

2. ϕ_s ϕ_s 是表面发生强反型, 形成导电沟道时的表面势, 其值为费米势的两倍, 即

$$\phi_s = 2 \phi_F \quad (9-11)$$

用式 (9-11) 可以计算 ϕ_s 的大小。

3. Q_B Q_B 为单位面积耗尽层电荷。根据全耗尽近似, 可以把 Q_B 看作一个常数, 其大小等于强反型时的值, 即

$$Q_B = -N_A q x_{d\max} \quad (9-12)$$

式中 $x_{d\max}$ 为强反型时的最大耗尽层宽度, 可表示为:

$$x_{d\max} = \sqrt{\frac{2 \epsilon_{Si} \epsilon_0 \phi_s}{q N_A}} \quad (9-13)$$

式中 ϵ_{Si} 为硅的相对介电常数, 其值为 11.8。所以

$$Q_B = -\sqrt{4 \epsilon_{Si} \epsilon_0 q N_A \phi_s} = -\sqrt{4 \epsilon_{Si} \epsilon_0 K T N_A \ln \frac{N_A}{n_i}} \quad (9-14)$$

由式 (9-14) 看出, 在一定的温度下, 对于一定的衬底材料, Q_B 的大小完全由掺杂浓度决定。

4. Q_{ox} Q_{ox} 为栅氧化层中有效表面态电荷密度, 主要由可动离子 (Na^+ 等)、氧化过程中的氧空位以及 Si-SiO₂ 交界面上存在的界面态组成, 其大小强烈地依赖于工艺条件和工艺水平, 它起到一个正电中心的作用, 对阈值电压有决定性的影响。因此, 在 MOS 电路工艺中必须特别注意控制它。

5. C_{ox} C_{ox} 为单位面积的栅电容, 其大小由下式决定:

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (9-15)$$

由以上分析看出, 在一定的工艺条件下, 阈值电压的设计主要从衬底掺杂浓度上考虑。

图 9-9 和图 9-10 给出了阈值电压随衬底掺杂浓度变化的关系。

二、漏源截止电流

对于增强型 MOS 管, $V_{GS} = 0$ 时, 管子截止, 漏源电流应该为零。但由于 PN 结反向漏电等原因, 管子截止后, 漏源间仍有很小的电流流过。这个电流常称为截止电流, 以 I_{off} 表示。

MOS 电路对截止电流的要求比双极型电路高, 尤其在动态 MOS 电路中, 信息是以电荷的形式暂时存储在栅电容上, 而每个门的输入栅电容又与前级输出的扩散区相连。因此这些电荷会通过扩散区 PN 结的漏电等途径而丢失, 使电路失效。所以, 在动态电路中截止电流不可忽视。

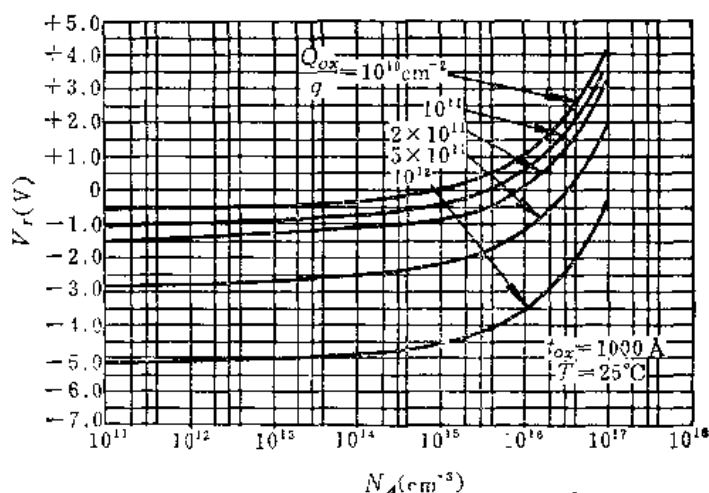


图 9-9 铝栅 N 沟道 MOS 管的阈值电压与衬底掺杂浓度和表面态电荷密度的关系

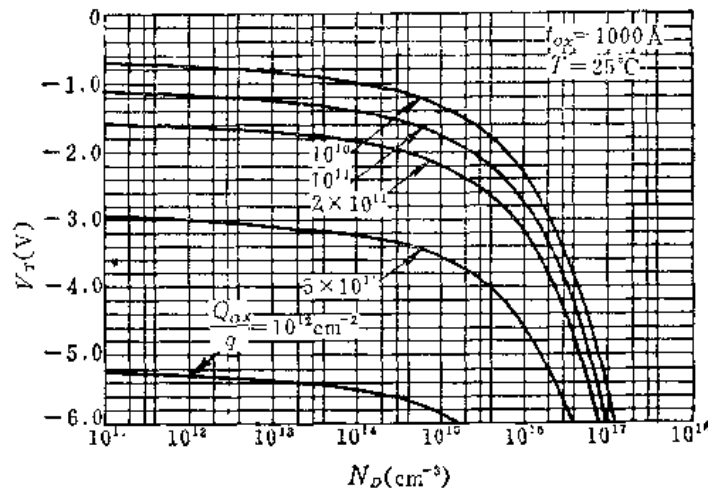


图9-10 铝栅P沟道MOS管的阈电压与衬底掺杂浓度和表面态电荷密度的关系

引起漏电的原因很多，下面只介绍形成截止电流的几个有关的部分。

1. PN结反向饱和电流 I_s 。对于 N^+P 结， $N_D \gg N_A$ ， I_s 可近似由下式表示：

$$I_s \approx \frac{AqD_n n_i^2}{L_n N_A} \quad (9-16)$$

式中 A 为 PN 结面积； D_n 为电子扩散系数； L_n 为电子扩散长度。

2. 耗尽层产生电流 当 PN 结处于反向偏压时，耗尽层内的电场增强。在耗尽层内由于热激发作用，通过复合中心产生的空穴对来不及复合就被强电场拉走，形成另一部分反向电流，通常称为耗尽层产生电流 I_g 。根据理论推导， I_g 由下式表示：

$$I_g = -\frac{Aqn_i x_d}{2\tau_n} \quad (9-17)$$

式中 x_d 为耗尽层宽度； τ_n 为少数载流子寿命。

尤其注意的是，由于本征载流子浓度 n_i 与温度有指数关系：

$$n_i = 3.9 \times 10^{13} \times T^{3/2} \times e^{-E_g/2kT} \quad (9-18)$$

因此，无论是 I_s ，还是 I_g ，都随温度的升高而迅速的增加。

3. 场开启漏泄电流 MOS 电路工作时，电源和输入时钟脉冲的 Al 线相对于硅衬底有较大的电压。如果这些金属线在两个相邻的扩散区上跨过时，常常会使它们之间的场氧化层下面的硅表面出现反型，这种反型通常称为场开启，形成寄生 MOS 管，产生场开启漏泄电流，如图 9-11 所示。对于 N 沟道 MOS 管，场开启漏泄电流更为严重。

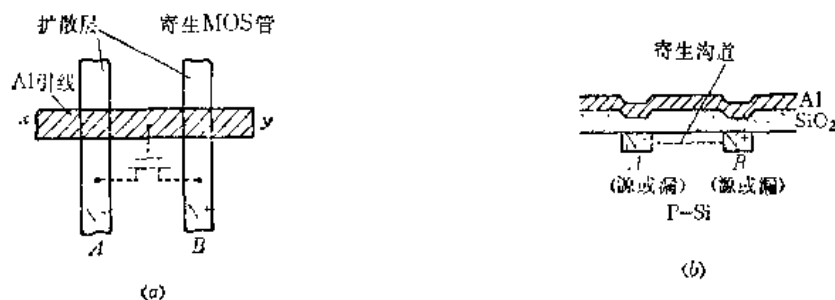


图9-11 寄生 MOS 晶体管

为了防止寄生 MOS 管的产生，一般采取增厚场区氧化层、场区掺杂和加一定的衬底偏压等办法，以提高场开启电压 V_{Ti} 。图 9-12 和图 9-13 分别给出铝栅 N 沟道和 P 沟道场开启电压与场区掺杂浓度之间关系的理论曲线。

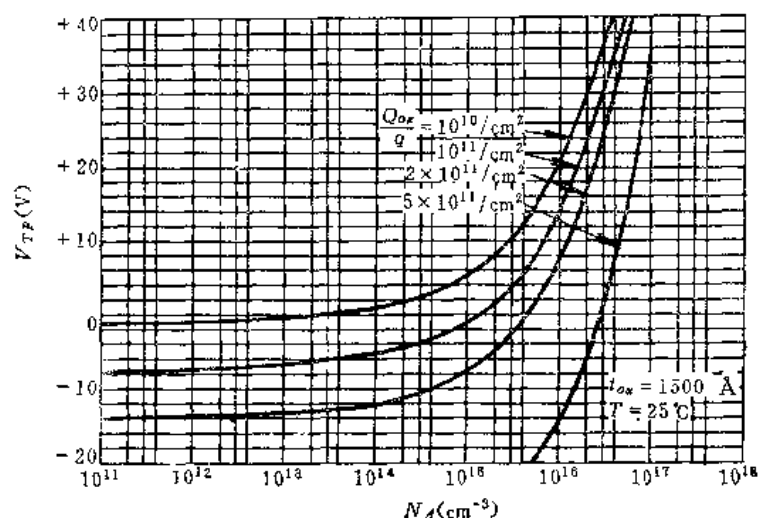


图9-12 铝栅 N 沟道场开启电压与场区掺杂浓度和表面态电荷之间的关系

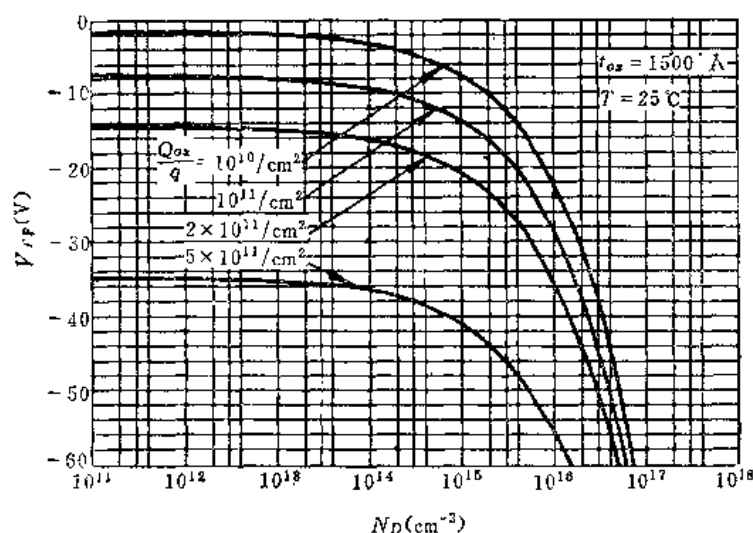


图9-13 铝栅 P 沟道场开启电压与场区掺杂浓度和表面态电荷之间的关系

三、栅源直流输入阻抗

在 MOS 电路中，栅源两极通常作为输入端，因此直流输入阻抗 R_i 实际上就是栅介质 SiO_2 层的绝缘电阻。栅氧化层愈厚，质量愈好，其绝缘电阻就愈高。对于结构完整的热生长 SiO_2 ，厚度在 1500 Å 左右时，绝缘电阻可达 $10^{12} \Omega$ 以上。这样高的输入阻抗，使 MOS 电路具有很多可贵的特性。首先，当一个 MOS 管驱动后面的 MOS 电路时，由于后面不取电流，所以静态负载能力很大。另外，由于输入阻抗很高，使栅极漏泄电流很小，在室温下，漏源电压为零时，栅极漏泄电流一般只有 10^{-14} A 左右。这样，可以将信息在输入端的栅电容上暂时存储一定的时间，这就为动态 MOS 电路创造了条件。

四、直流导通电阻

漏源电压 V_{DS} 与漏源电流 I_{DS} 的比值称之为直流导通电阻 R_{on} ，即

$$R_{on} = \frac{V_{DS}}{I_{DS}} \quad (9-19)$$

根据定义, 在非饱和区, 直流导通电阻 $R_{on非}$ 为:

$$R_{on非} = \frac{V_{DS}}{k [2 (V_{GS} - V_T) V_{DS} - V_{DS}^2]} = \frac{1}{k [2 (V_{GS} - V_T) - V_{DS}]} \quad (9-20)$$

显然, 当 V_{DS} 很小, 接近于零时, 直流导通电阻变为:

$$R_{on非} \Big|_{V_{DS} \rightarrow 0} = \frac{1}{2k(V_{GS} - V_T)} \quad (9-21)$$

在饱和区, 直流导通电阻 $R_{on饱}$ 为:

$$R_{on饱} = \frac{V_{DS}}{k (V_{GS} - V_T)^2} \quad (9-22)$$

由式 (9-22) 看出, 在饱和区, 直流导通电阻并非无穷大, 而是一个有限值。在临界饱和点, 即 $V_{DS} = V_{GS} - V_T$, 直流导通电阻变为:

$$R_{on饱} = \frac{1}{k (V_{GS} - V_T)} \quad (9-23)$$

即在临界饱和点的直流导通电阻为非饱和区的两倍:

$$R_{on饱} = 2R_{on非} \quad (9-24)$$

五、栅源击穿电压

所谓栅源击穿电压 BV_{GS} , 是指栅源之间能够承受的最高电压, 超过该电压, 栅氧化层就要发生破坏性的介质击穿。

我们知道, 热生长的无定形的 SiO_2 的临界击穿电场强度为 $5 \sim 8 \times 10^6 \text{ V/cm}$, 对于栅氧化层厚度 $t_{ox} = 1500 \text{ \AA}$, 理论上允许的最高电压为 $75 \sim 120 \text{ V}$, 但实际上, 由于 SiO_2 存在着缺陷、针孔以及外来沾污, 使最大耐压降低。尤其是由于 MOS 器件的电容结构和栅介质 SiO_2 有很高的绝缘性能, 因此很小的电量就能产生很高的电压, 使栅介质击穿。例如, 如果器件的宽长比 $W/L = 4:1$, 沟道长度 $L = 10 \mu\text{m}$, 栅氧化层厚度 $t_{ox} = 1500 \text{ \AA}$, 单位面积栅电容 $C_{ox} = 0.2 \text{ pF}$, 则只须 0.1 nA 的电流充电 $1 \mu\text{s}$ 那样一点电荷就足以将栅氧化层击穿, 使电路失效。因此, 对于 MOS 电路, 除了在使用、保存注意防止静电击穿外, 在电路内部, 凡是封装引出线的输入栅极, 都必须采取有效措施, 保护其不被击穿。

输入栅保护的方法很多, 但其基本原理是类似的。一般在外引线与栅之间有一个串联的接触电阻和一个并联的保护元件, 这个保护元件, 在电路正常工作电压范围内, 电阻很大, 所以不影响电路的正常工作; 当电压超过一定数值后, 它的电阻变得很小, 在输入端形成一个低阻通路, 将感应的静电荷泄放掉, 从而实现了栅极的保护作用。图 9-14 给出的是目前常用的几种输入栅保护方法。

六、漏源击穿电压

漏源击穿电压 BV_{DS} 一般受到两个限制: 一个是漏与衬底间的雪崩击穿; 另一个是金属栅极与漏区重迭造成附加电场引起击穿。

对于短沟道 MOS 器件, 漏源击穿电压还受到漏源穿通电压的限制。所谓漏源穿通, 是由于反向偏压使漏极耗尽区宽度随漏电压的增加而向源区扩展, 当扩展的耗尽区与源区接触时, 漏源穿通, 沟道长度等于零。漏源穿通电压可根据 PN 结理论从饱和区特性方程

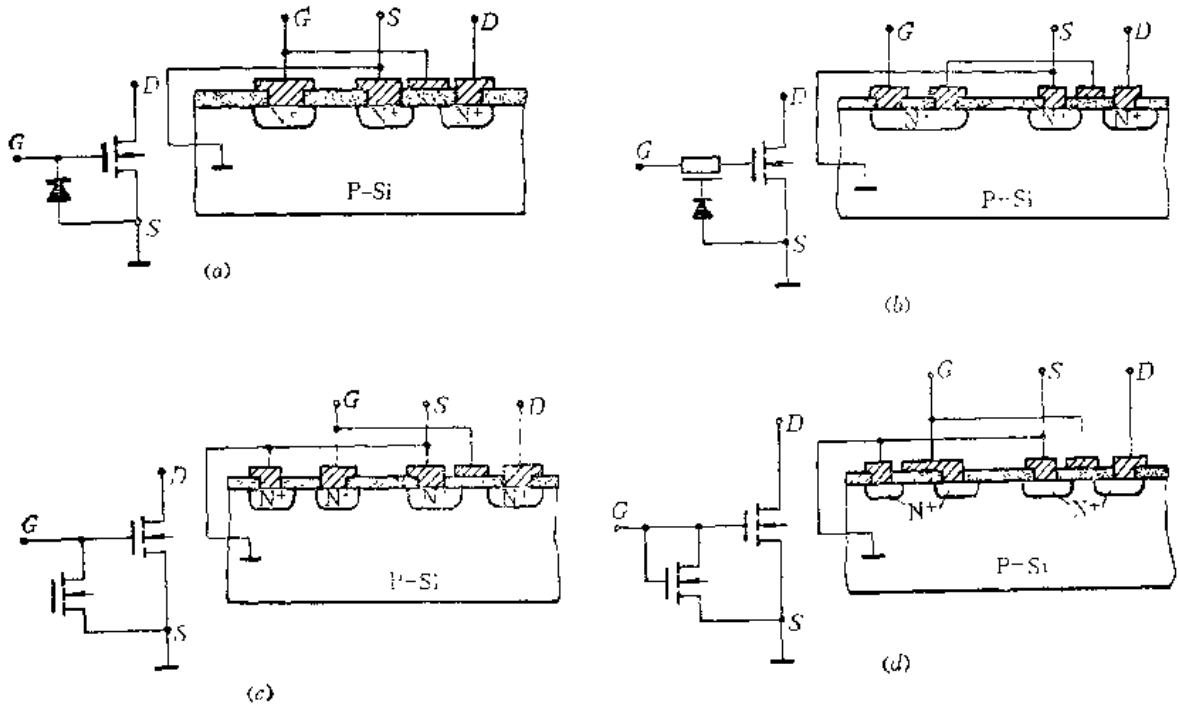


图9-14 栅保护方法示意图

中得到:

$$V_{DSF} = -\frac{L^2 q N}{2 \epsilon_{Si} \epsilon_0} + V_{GS} - V_T \quad (9-25)$$

式中 L 为沟道长度; N 为衬底掺杂浓度。

9.2.2 低频小信号参数

所谓低频, 是指在这种频率下 MOS 器件的电容效应可以忽略不计。这时, 从图 9-15 (a) 所示的栅源输入回路看进去, 栅源之间主要存在 SiO_2 层的绝缘电阻 R_i , 而 R_i 是一个欧姆电阻, 所以输入特性方程可写为:

$$v_g = r_i i_i \quad (9-26)$$

式中 v_g 为低频小信号时的栅源输入电压; r_i 为交流输入电阻。在低频小信号时 $r_i = R_i$ 。反映式 (9-26) 的等效电路如图 9-15 (b) 左面部分。

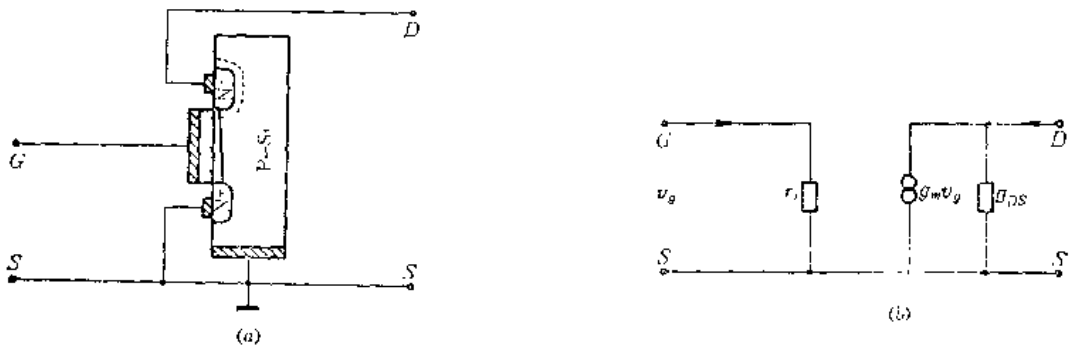


图9-15 MOS管低频小信号等效电路

从图 9-15(a) 的漏源输出回路看, 漏源输出电流 I_{DS} 是栅源电压 V_{GS} 和漏源电压 V_{DS} 的函数。所以输出特性方程可写为:

$$dI_{DS} = \frac{\partial I_{DS}}{\partial V_{GS}} dV_{GS} + \frac{\partial I_{DS}}{\partial V_{DS}} dV_{DS} \quad (9-27)$$

如果用 i_o 表示漏源电流的变化 dI_{DS} , 用 v_o 表示输出端漏源电压的变化 dV_{DS} , 并令 $g_m = \partial I_{DS} / \partial V_{GS}$, $g_{DS} = \partial I_{DS} / \partial V_{DS}$, 则式 (9-27) 可改写为:

$$i_o = g_m v_g + g_{DS} v_o \quad (9-28)$$

反映式 (9-28) 的等效电路如图 9-15(b) 右面部分。

根据式 (9-26) 和式 (9-28) 所描述的低频小信号特性方程, 我们可以引出一些重要的参数。

一、跨导

由于 MOS 管是用输入电压来控制输出电流的电压控制器件, 所以我们定义式 (9-28) 中的 g_m 为跨导, 即

$$g_m = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right|_{V_{DS}} \quad (9-29)$$

由此定义可知, 跨导就是在漏源电压一定时, 漏源电流随栅源电压的变化率。用它来表征输入电压对输出电流的控制能力, g_m 愈大, 控制能力愈强。跨导的单位是姆欧 (Ω) 或微姆欧 ($\mu\Omega$)。

如果将非饱和区的电流公式代入式 (9-29), 便得到非饱和区的跨导:

$$g_{m\#} = 2kV_{DS} \quad (9-30)$$

由式 (9-30) 看出, 非饱和区的跨导与栅源电压无关, 而随漏源电压线性增加。实际上, 由于 k 常数是栅压的函数, 所以随栅压的增大, $g_{m\#}$ 略有降低。

同样, 如果将饱和区的电流公式代入式 (9-29), 便得到饱和区的跨导:

$$g_{m\text{饱}} = 2k(V_{GS} - V_T) \quad (9-31)$$

由式 (9-31) 看出, 饱和区的跨导与漏源电压无关, 而随栅源电压的增加而增大。所以, MOS 管在饱和区工作时, 在一定的栅压下, 不论漏源电压如何变化, 跨导总是常数。

图 9-16 给出了 N 沟道增强型 MOS 管以 $(V_{GS} - V_T)$ 为参量, 跨导 g_m 随漏源电压 V_{DS} 变化的一组理论曲线。图中的斜线表示非饱和区的跨导与漏源电压的关系; 一组平行于横轴的直线表示饱和区的跨导, 它不随漏源电压变化, 但栅源电压不同时, 它有不同的值。

跨导是 MOS 电路设计中的一个重要参数, 其大小不仅取决于 MOS 管的几何尺寸, 而且还取决于工作条件。因此, 为了得到所需要的跨导, 一方面可以从工艺和版图设计上改变 k 常数, 另一方面可以从线路设计和使用的角度上改变 V_{GS} , 从而得到所需要的跨导值。

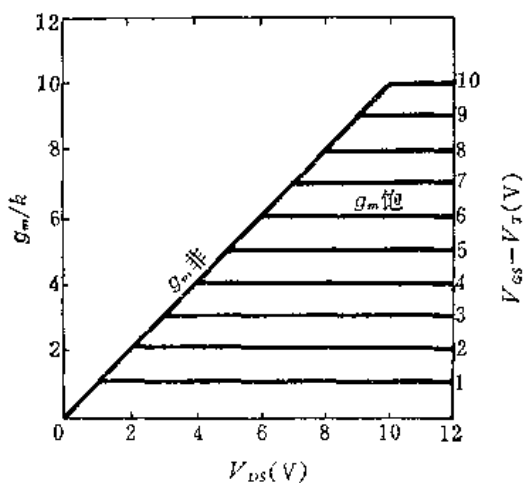


图 9-16 N 沟道 MOS 管的跨导与漏源电压的关系

二、漏源输出电导和动态电阻

从式 (9-28) 中看到的另一个参数是 g_{DS} 。我们定义 g_{DS} 为漏源输出电导

$$g_{DS} = \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right|_{V_{GS}} \quad (9-32)$$

由式可知, 漏源输出电导就是在栅源电压一定时, 漏源电流随漏源电压的变化率。用它来表征输出电压对输出电流的控制能力。单位仍是姆欧。

漏源输出电导的倒数就是漏源动态电阻, 简称动态电阻, 以 r_d 表示。所以

$$r_d = \left. \frac{\partial V_{DS}}{\partial I_{DS}} \right|_{V_{GS}} \quad (9-33)$$

动态电阻是 MOS 电路设计中的又一个重要参数。

在饱和区, 由于沟道夹断, 漏源电流不随漏源电压变化。因此, 根据饱和电流的表达式, 动态电阻应为无穷大, 即

$$r_{d\text{饱}} = \left. \frac{\partial V_{DS}}{\partial I_{DS}} \right|_{V_{GS}} = \frac{1}{\frac{\partial [k(V_{GS} - V_T)^2]}{\partial V_{DS}}} \rightarrow \infty \quad (9-34)$$

但实际上, 由于漏源电压对沟道的调制等原因, 饱和区的动态电阻并非真的无穷大, 而是趋于有限值, 一般在 $10 \sim 500 \text{ k}\Omega$ 范围。

在非饱和区, 当栅源电压一定时, 漏源电流随漏源电压近似线性上升。根据非饱和区的电流公式, 非饱和区的动态电阻为:

$$r_{d\text{非}} = \left. \frac{\partial V_{DS}}{\partial I_{DS}} \right|_{V_{GS}} = \frac{1}{2k(V_{GS} - V_T - V_{DS})} \quad (9-35)$$

由式 (9-35) 看出, 非饱和区的动态电阻与 k 常数成反比, 并随 V_{GS} 的增大而减小。

由于输出特性曲线在原点附近是线性的, 所以我们将原点附近的动态电阻以 r_{on} 表示, 可从式 (9-35) 中, 令 $V_{DS} \rightarrow 0$ 时得到:

$$r_{on} = r_{d\text{非}} \Big|_{V_{DS} \rightarrow 0} = \frac{1}{2k(V_{GS} - V_T)} \quad (9-36)$$

由此得到:

$$r_{on\text{非}} = \frac{1}{g_{m\text{非}}} \quad (9-37)$$

式 (9-37) 简洁而明确地告诉我们, 当 V_{DS} 很小时, 非饱和区的动态电阻等于同一栅源电压下的饱和区的跨导的倒数。

三、电压放大系数

MOS 管是电压控制器件, 所以可以用电压放大系数来描述栅源输入电压的变化所引起的漏源输出电压的变化率, 用 K_v 表示, 即

$$K_v = \left. \frac{\partial V_{DS}}{\partial V_{GS}} \right|_{I_{DS}} = \frac{\partial I_{DS}}{\partial V_{GS}} \cdot \frac{\partial V_{DS}}{\partial I_{DS}} = g_m r_d \quad (9-38)$$

由此看出, 电压放大系数与跨导成正比, 跨导愈大, 放大性能愈好。MOS 器件在用于放大时, 要求有大的跨导。

从理论表达式中不难看出, 饱和区的电压放大系数趋于无穷大。但实际上, 由于饱和区的动态电阻是个有限值, 所以电压放大系数也是有限的。在非饱和区, 电压放大系数可

表示为:

$$K_V = \frac{V_{DS}}{V_{GS} - V_T - V_{DS}} \quad (9-39)$$

9.2.3 最高工作频率

MOS管在高频工作时, 放大性能变差, 其原因主要是沟道电容的影响。沟道电容 C_{GC} 就是金属栅为一极, 而沟道为另一极所构成的 MOS 电容。当栅源输入信号由小增大时, 沟道电导增大, 即沟道中导电的载流子数目增多, 所以漏源输出电流也随之增大; 反之, 当输入信号由大减小时, 沟道中导电的载流子数目减少, 因而输出电流也相应减小。由于静电感应的作用, 沟道中导电的载流子数目的增多和减小, 使金属栅极上的电荷也发生相应的变化。所以上述过程可以看成是沟道电容的充放电过程, 如图 9-17 所示。当栅源之间输入交流信号时, 由源极增加流入的电子流, 一部分对沟道电容 C_{GC} 充电, 经 C_{GC} 流向栅极, 另一部分经沟道流向漏极, 形成漏源电流的增量。因此, MOS 管在高频小信号工作时, 即沟道电容起作用时, 其等效电路示于图 9-18。随着信号频率的增加, 沟道电容的容抗 $1/\omega C_{GC}$ 减小, 因此流过 C_{GC} 的电流增大。当通过沟道电容的电流和漏源电流的数值相等时, 即

$$\omega C_{GC} v_g = g_m v_g \quad (9-40)$$

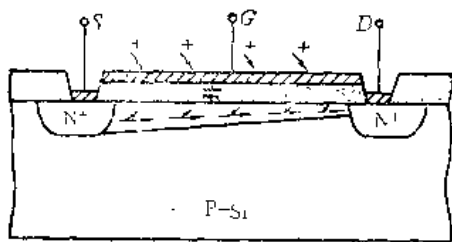


图9-17 沟道电容充电示意图

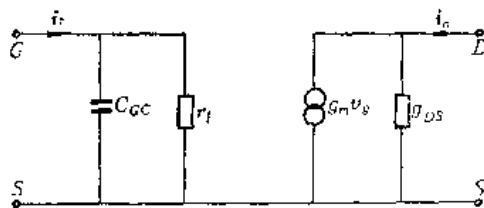


图9-18 MOS管在高频小信号时的等效电路

这时的工作频率定义为 MOS 管的最高工作频率 f_m , 即

$$f_m = \frac{g_m}{2\pi C_{GC}} \quad (9-41)$$

式 (9-41) 表明, 跨导愈大, 沟道电容愈小, 则最高工作频率愈高。

我们知道, 沟道电容 C_{GC} 可表示为:

$$C_{GC} = W \cdot L \cdot C_{ox} = W \cdot L \cdot \frac{\epsilon_{ox}}{t_{ox}} \quad (9-42)$$

将式 (9-42) 和跨导的表达式代入式 (9-41), 得:

$$f_m = \frac{\mu}{2\pi L^2} (V_{GS} - V_T) \quad (9-43)$$

由式 (9-43) 看出, 要想提高最高工作频率, 就要缩小沟道长度和提高反型层中载流子的平均迁移率。

〔例〕 有一 N 沟道增强型 MOS 管, 其沟道长度 $L = 8\mu\text{m}$, 反型层中载流子平均迁移率 $\mu_n = 400\text{cm}^2/\text{V}\cdot\text{s}$, 开启电压 $V_T = 1.5\text{V}$, 栅源电压 $V_{GS} = 10\text{V}$, 工作在饱和区。其最

高工作频率为:

$$f_m = \frac{\mu_n}{2\pi L^2} (V_{GS} - V_T) \approx 800 \text{ MHz}$$

从这个例题中看出, MOS 管是一种工作频率相当高的器件。但实际 MOS 器件的工作频率比这个值要低得多, 其原因就在于上面讨论 MOS 管的频率特性时, 只考虑了沟道电容一个因素的影响, 而实际 MOS 管还有许多寄生电容。例如, 就一般 MOS 管本身而言, 由于金属栅极与源、漏扩散区的交迭分别产生栅源间的寄生电容 C_{GS} 和栅漏间的寄生电容 C_{GD} , 另外, N^+ 型扩散区和 P^- 型衬底之间的 PN 结电容和其它寄生电容将构成漏源间的寄生电容 C_{DS} 。图 9-19 给出了这些寄生电容的示意图。

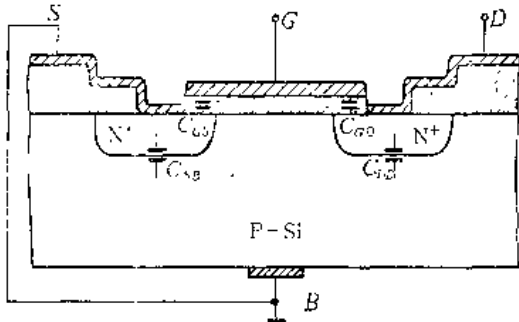


图9-19 MOS管寄生电容示意图

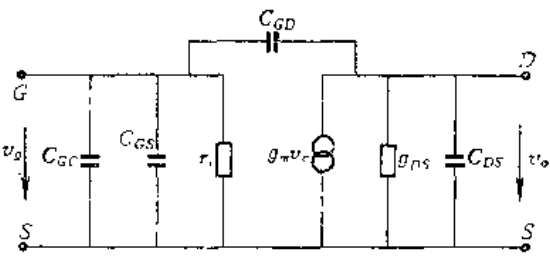


图9-20 考虑到寄生电容后的MOS管高频小信号等效电路

考虑到这些寄生电容后, MOS 管的高频小信号等效电路如图 9-20 所示。这些寄生电容附加在沟道电容上, 使器件的频率特性进一步变坏。特别是栅漏电容 C_{GD} , 跨接在栅极与漏极之间, 是一个负反馈电容。如果输入电压为 v_g , 则由图 9-20 规定的方向可知, C_{GD} 两端的电压为:

$$v_g - v_o = v_g + |v_o| = v_g + K_V v_g = v_g (1 + K_V) \quad (9-44)$$

由此可见, C_{GD} 两端的电压是输入电压的 $(1 + K_V)$ 倍。所以 C_{GD} 在输入电路中可等效为一个放大的密勒电容 C_M :

$$C_M = (1 + K_V) C_{GD} \quad (9-45)$$

式中 K_V 为电压放大系数。因此, 等效电路可改为图 9-21。这时 MOS 管的最高工作频率为:

$$f_m = \frac{g_m}{2\pi C_i} \quad (9-46)$$

式中 C_i 为输入电容, 由下式表示:

$$C_i = C_{GG} + C_{GS} + (1 + K_V) C_{GD} \quad (9-47)$$

式 (9-46) 就是实际 MOS 管的最高工作频率的表达式。

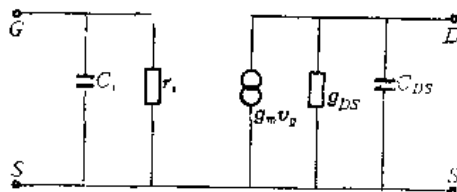


图9-21 等效电路

9.3 MOS 晶体管的温度特性

温度的变化直接影响着 MOS 电路的工作性能及其可靠性。因此, 在电路设计时, 必须把器件参数作为温度的函数来考虑。从前面的讨论中知道, MOS 器件的特性方程以及主要参数, 几乎都与 k 常数及阈电压 V_T 有关。因此, MOS 管的温度特性可以从这两个参数与温度的关系中反映出来。下面我们就着重分析这两个参数与温度的关系。

9.3.1 k 常数与温度的关系

从 k 常数的表达式

$$k = k' \left(\frac{W}{L} \right) \quad (9-2)$$

$$k' = \frac{\mu \epsilon_{ox}}{2t_{ox}} \quad (9-3)$$

看出, 本征 k 常数 k' 与温度的关系, 实质上是通过对反型层载流子迁移率 μ 与温度的关系来反映。理论和实践证明, 对于 N 沟道和 P 沟道 MOS 器件, 反型层中的电子和空穴迁移率与温度的关系近似为:

$$\mu = T^{-n} \quad (9-48)$$

由此看出, 反型层载流子迁移率随温度的变化具有负的温度系数, 即

$$\frac{1}{\mu} \frac{d\mu}{dT} = -\frac{n}{T} \quad (9-49)$$

式中的 n 与衬底掺杂浓度和温度有关, 一般 $n = 1 \sim 1.5$ 。图 9-22 和图 9-23 示出了反型层中的电子迁移率和空穴迁移率随温度变化的关系。

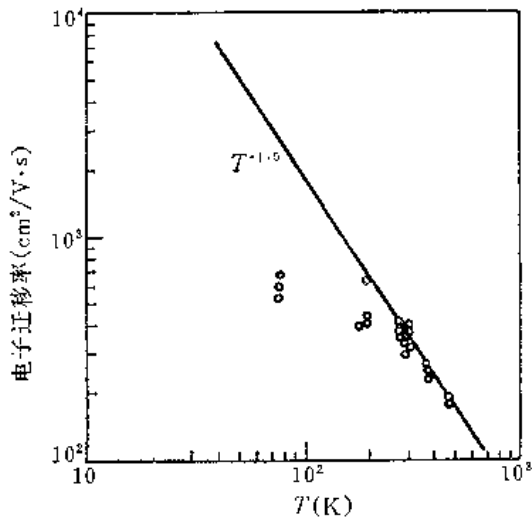


图9-22 反型层电子迁移率随温度的变化

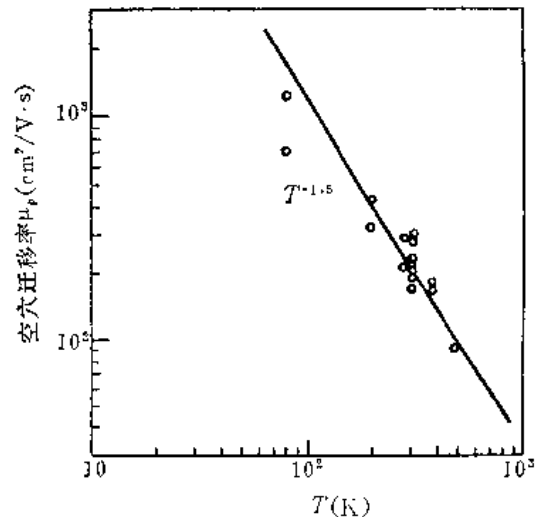


图9-23 反型层空穴迁移率随温度的变化

从图中看出, 反型层中载流子迁移率随温度的升高而显著下降。显然, 在温度为 $T^\circ\text{C}$ 时, μ 和 k' 的值可由下式确定:

$$\frac{k'_T}{k'_0} = \frac{(\mu)_T}{(\mu)_0} = \left(\frac{273 + T}{273 + 25} \right)^{-3/2} \quad (9-50)$$

式中 T 为工作温度; k'_T 和 μ_0 为室温 25°C 时的值, 它们可以通过测量样管的饱和电流而计算求得。

图 9-24 给出了 k'_T 随温度而变化的关系曲线, 可供电路设计计算时参考。

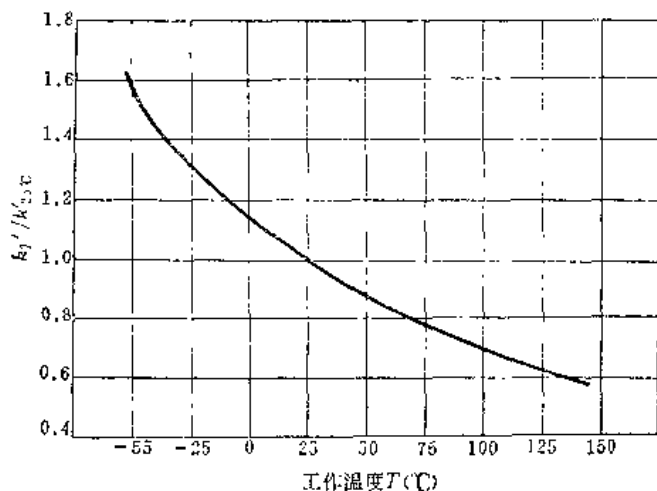


图9-24 k'_T 随温度的变化

9.3.2 阈电压 V_T 与温度的关系

阈电压的表达式:

$$V_T = \phi_{ms} + \phi_s - \frac{Q_{ox}}{C_{ox}} - \frac{Q_b}{C_{ox}} \quad (9-8)$$

假设 ϕ_{ms} 和 Q_{ox} 随温度的变化可以忽略, 则 V_T 随温度的变化可近似为:

$$\frac{dV_T}{dT} \approx \frac{d\phi_s}{dT} - \frac{1}{C_{ox}} \left(\frac{dQ_b}{dT} \right) \quad (9-51)$$

对于N沟道 MOS 器件:

$$\phi_F = -\frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (9-10)$$

$$\phi_s = 2\phi_F \quad (9-11)$$

$$Q_b = -\sqrt{4q\epsilon_{si}\epsilon_0 N_A \phi_F} \quad (9-14)$$

将式 (9-11) 和式 (9-14) 代入式 (9-51), 得到:

$$\frac{dV_T}{dT} \approx 2 \frac{d\phi_F}{dT} - \frac{1}{C_{ox}} \sqrt{4\epsilon_{si}\epsilon_0 N_A} \frac{d(\phi_F)^{1/2}}{dT} \quad (9-52)$$

或者

$$\frac{dV_T}{dT} \approx \frac{d\phi_F}{dT} \left[2 - \frac{Q_b}{2C_{ox}\phi_F} \right] \quad (9-53)$$

而

$$\frac{d\phi_F}{dT} = \frac{k}{q} \ln\left(\frac{N_A}{n_i}\right) + \frac{kT}{q} \cdot \frac{d}{dT} \left[\ln\left(\frac{N_A}{n_i}\right) \right] \quad (9-54)$$

其中 n_i 为本征载流子浓度, 它与温度的关系为:

$$n_i = 3.9 \times 10^{10} T^{3/2} e^{-E_g/2kT} \quad (9-18)$$

将式 (9-18) 代入式 (9-54), 得到:

$$\frac{d\phi_F}{dT} \approx -\frac{K}{q} \left[\ln\left(\frac{N_A}{n_i}\right) - \frac{E_g}{2KT} - \frac{3}{2} \right] \quad (9-55)$$

对于一般的工作温度, $E_g/2kT \gg 3/2$, 所以

$$\frac{d\phi_F}{dT} \approx -\frac{1}{T} \left[\phi_F - \frac{E_g}{2q} \right] \quad (9-56)$$

将式 (9-56) 代入式 (9-53), 得到:

$$\frac{dV_T}{dT} \approx \frac{1}{T} \left[\left(\phi_F - \frac{E_g}{2q} \right) \left(2 - \frac{Q_{ox}}{2C_{ox}\phi_F} \right) \right] \quad (9-57)$$

同样, 对于 P 沟道 MOS 器件, 也可以得到类似的表达式。

从式 (9-57) 看出, 对于 N 沟道 MOS 器件, 阈电压具有负的温度系数, 即阈电压随温度的升高而降低, 如图 9-25 所示。而对于 P 沟道 MOS 器件, 阈电压具有正的温度系数, 即阈电压随温度的升高而增高 (绝对值减小)。如图 9-26 所示。

从上面的分析看出, 无论是 NMOS 还是 PMOS, 温度升高都将引起 $|V_T|$ 减小, 这将导致漏泄电流的增大。在设计动态 MOS 电路时尤其要注意这点。

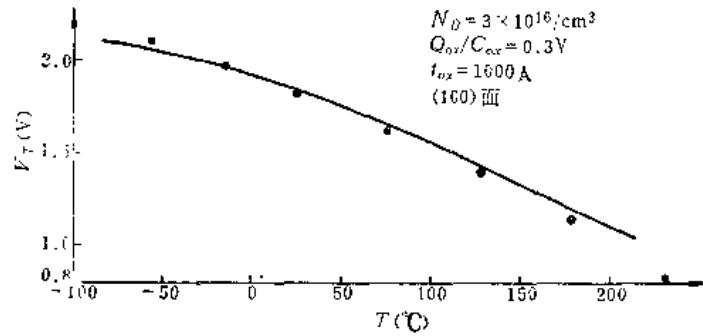


图9-25 N沟道 MOS 管的 V_T 与温度的关系

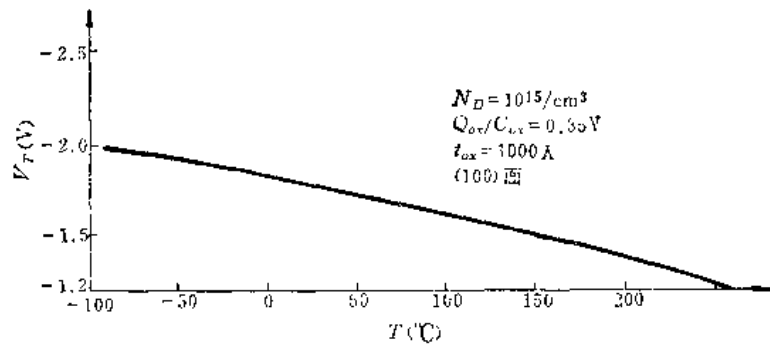


图9-26 P沟道 MOS 管的 V_T 与温度的关系

9.3.3 MOS 晶体管的基本特性与温度的关系

知道了 k 常数和阈电压与温度的关系后, 就不难求得漏源电流和跨导与温度的关系。在非饱和区, 漏源电流的温度系数为:

$$\alpha = \frac{1}{I_{DS}} \left. \frac{\partial I_{DS}}{\partial T} \right|_{V_{GS}} = \left(-\frac{1}{k'} \frac{dk'}{dT} \right) - \frac{1}{V_{GS} - V_T - V_{DS}} \left(-\frac{dV_T}{dT} \right) \quad (9-58)$$

跨导的温度系数为:

$$\gamma = \frac{1}{g_m} \left. \frac{\partial g_m}{\partial T} \right|_{V_{GS}} = \left(\frac{1}{k'} \frac{dk'}{dT} \right) \quad (9-59)$$

在饱和区, 漏源电流的温度系数为:

$$\alpha_s = \frac{1}{I_{DS}} \left. \frac{\partial I_{DS}}{\partial T} \right|_{V_{GS}} = \left(-\frac{1}{k'} \frac{dk'}{dT} \right) + \frac{2}{V_{GS} - V_T} \left(-\frac{dV_T}{dT} \right) \quad (9-60)$$

跨导的温度系数为:

$$\gamma_g = \frac{1}{g_m} \left. \frac{\partial g_m}{\partial T} \right|_{V_{GS}} = \left(\frac{1}{k'} \frac{dk'}{dT} \right) + \frac{1}{V_{GS} - V_T} \left(-\frac{dV_T}{dT} \right) \quad (9-61)$$

图 9-27 示出了 N 沟道增强型 MOS 管在三种不同温度下的转移特性曲线。转移特性曲线的斜率就是跨导。转移特性曲线与 V_{GS} 轴的交点就是开启电压。从图中看到, 跨导和开启电压随温度上升而变小。漏源电流 I_{DS} , 在栅源电压 V_{GS} 较大时, 随温度上升而减小, 也即漏源电流的温度系数是负的; 在栅源电压 V_{GS} 接近开启电压 V_T 时, 漏源电流随温度上升而增大, 也即漏源电流的温度系数是正的。图 9-28 示出了漏源电流 I_{DS} 的温度系数 α_i 随栅源电压 V_{GS} 变化的关系曲线。

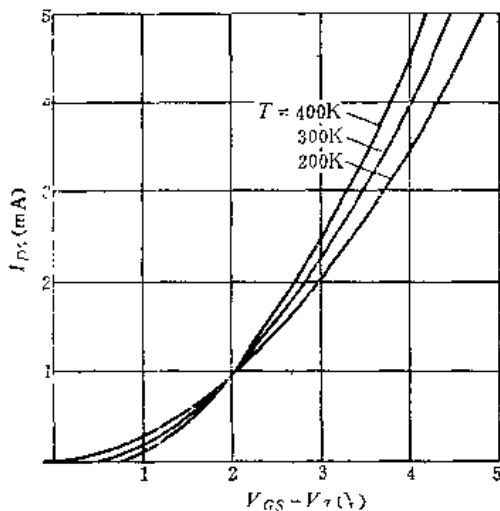


图9-27 N沟道MOS管在不同温度下的转移特性

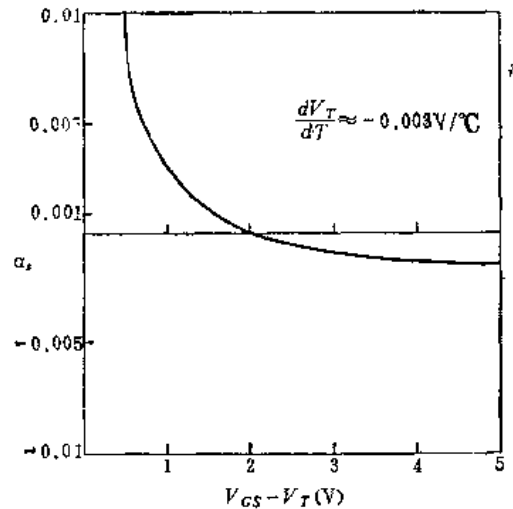


图9-28 漏源电流的温度系数随栅压变化关系

9.4 衬底偏置效应对阈电压的影响

在前面的分析中, 假设 MOS 管的源极和衬底连接在一起, 并同时接地电位。MOS 管作为分立元件使用时往往是这种情况。然而用 MOS 管组成集成电路时, 在同一块衬底上不可能把每只管子的源极都与公共衬底相连, 而往往是源极和衬底处于不同的电位。当衬底和源极处于反向偏置时, 沟道电导将受到调制, 这种效应通常称为衬底偏置效应。

衬底和源极间的反向偏压 V_{BS} , 如图 9-29 所示, 是通过源极加在沟道和衬底之间。沟道的厚度很薄, 可以看作单边突变结 PN^+ 结的 N^+ 区, 而衬底看作 P 区。由于反向偏压 V_{BS} 的作用, 沟道和衬底间的耗尽层向衬底内部扩展, 耗尽层中的电荷增多, 可表示为:

$$(Q_R)_{BS} = -\sqrt{2q\epsilon_{Si}\epsilon_0 N_A (2\phi_F + V_{BS})} \quad (9-62)$$

如果还维持原来的导电能力, 就必须在栅极上积累更多的正电荷, 以平衡耗尽层中增加的负电荷。也就是说, 必须加大栅压。这就意味着阈电压增高了。这时, 阈电压的表达式可

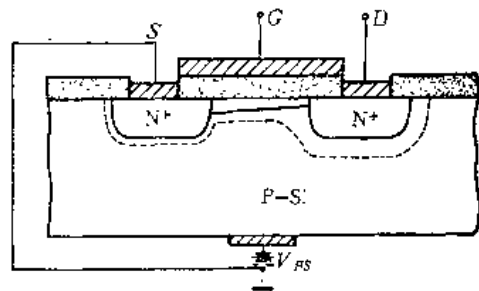


图9-29 衬底偏压对 MOS 管的影响

写为:

$$(V_T)_{BS} = V_T + \Delta V_T = \phi_{ms} + \phi_s - \frac{(Q_B)_{BS}}{C_{ox}} - \frac{Q_{ox}}{C_{ox}} \quad (9-63)$$

将式 (9-63) 减去式 (9-8), 便得到阈电压的增量 ΔV_T 为:

$$\Delta V_T = -\frac{1}{C_{ox}} \sqrt{2q\epsilon_{Si}\epsilon_0 N_A} \left(\sqrt{2\phi_F + V_{BS}} - \sqrt{2\phi_F} \right) \quad (9-64)$$

显然用不着证明, 对于 P 沟道增强型 MOS 管, 当衬底与源极之间存在反向偏压时, 阈电压的增量可由下式给出:

$$\Delta V_T = -\frac{1}{C_{ox}} \sqrt{2q\epsilon_{Si}\epsilon_0 N_D} \left(\sqrt{2|\phi_F| + V_{BS}} - \sqrt{2|\phi_F|} \right) \quad (9-65)$$

从式 (9-64) 和式 (9-65) 看出, 当栅介质厚度一定时, 阈电压增量是衬底掺杂浓度和衬底偏压的函数, 图 9-30 给出了它们之间的关系。

在工程设计中, 阈电压增量可简化为一种近似表达式:

$$\Delta V_T \approx \pm C \sqrt{V_{BS}} \quad (9-66)$$

式中 C 为衬底偏置效应常数, 它随衬底掺杂浓度而变化。典型值:

P 沟道 MOS 管 $C = 0.5 \sim 0.7$

N 沟道 MOS 管 $C = 0.7 \sim 3.0$

对于 P 沟道 MOS 管, ΔV_T 取负值; 对于 N 沟道 MOS 管, ΔV_T 取正值。

很明显, 衬底偏置效应将影响一切与阈电压有关的参数和特性。对于 P 沟道 MOS 管, 由于衬底偏置效应使阈电压的绝对值增高, 因此成为 PMOS 电路设计中的一种限制因素。而对于 NMOS 电路, 则往往用它来调整阈电压, 使其值向正方向增加; 同时利用它还可提高场开启电压, 减小漏泄电流。

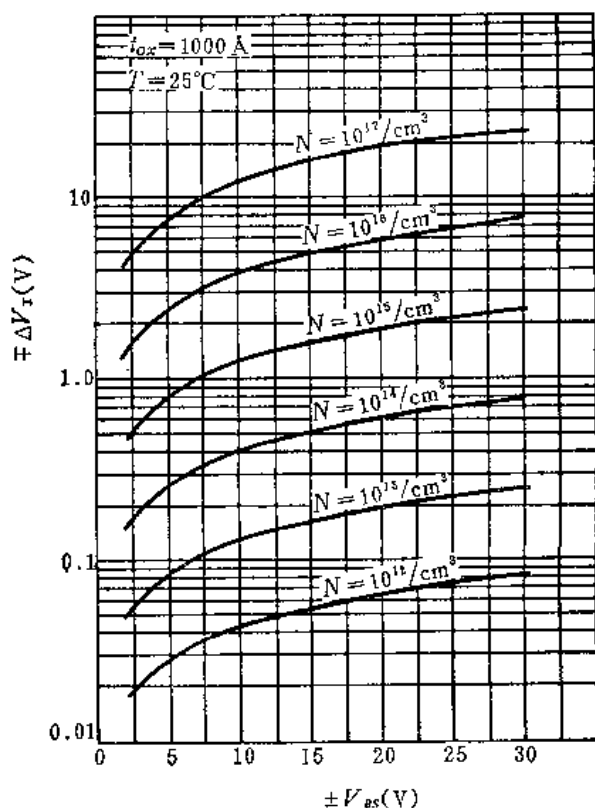


图9-30 N沟道和P沟道MOS管的阈电压增量与衬底偏压的关系

参 考 资 料

- [1] C. T. Sah, "Characteristics of the Metal-Oxide-Semiconductor Transistors", IEEE Transaction on Electron Devices Vol. ED-11, № 7, 1964.
- [2] Paul Richman, 《MOS Field-Effect Transistors and Integrated Circuits》, Wiley-Interscience, 1973.
- [3] 菅野卓哉, 小野貞正, 垂井康夫: 《MOS電界効果トランジスタ》, 日刊工業新聞社, 1969.

第十章 MOS 倒相器和门电路

在 MOS 集成电路中, 倒相器是最基本的单元, 本章将对 MOS 倒相器的工作原理及其特性进行较详细的分析, 从而掌握 MOS 逻辑集成电路设计的基本原理和方法。

MOS 倒相器, 因其结构或负载器件的不同, 可大致分为四种基本类型, 即:

(1) 电阻负载 MOS 倒相器。在这种倒相器中, 输入器件为增强型 MOS 管, 负载元件为线性电阻。所以这种倒相器叫做电阻负载 MOS 倒相器。

(2) E/E MOS 倒相器。在这种倒相器中, 输入器件和负载器件均为增强型 MOS 管, 所以叫做增强型-增强型 MOS 倒相器, 简称 E/E MOS 倒相器。

(3) E/D MOS 倒相器。在这种倒相器中, 输入器件为增强型 MOS 管, 而负载器件为耗尽型 MOS 管, 所以叫做增强型-耗尽型 MOS 倒相器, 简称 E/D MOS 倒相器。

(4) CMOS 倒相器。这种倒相器由两种不同沟道类型的 MOS 管成对串联而成, 如果输入器件为 N 沟道增强型 MOS 管, 则负载器件就为 P 沟道增强型 MOS 管。反之亦然。所以这种倒相器叫做互补对称 MOS 倒相器, 简称 CMOS 倒相器。

上述四种基本类型倒相器, 结构形式虽然不同, 但有一个共同点, 即输入器件均为增强型 MOS 管。

下面对这四种 MOS 倒相器的工作原理及其特性分别进行讨论。

10.1 电阻负载 MOS 倒相器

图 10-1(a) 所示的是一个以线性电阻为负载的 N 沟道 MOS 倒相器, 其中 T_1 为 N 沟道增强型 MOS 管, 称为输入管, 其源极接地, 漏极经负载电阻 R_L 连到电源 V_{DD} 。输入信号 V_i 从栅极输入, 即 $V_i = V_{GS}$; 输出电压 V_o 从漏极取出, 即 $V_o = V_{DS}$ 。下面分析其工作原理。

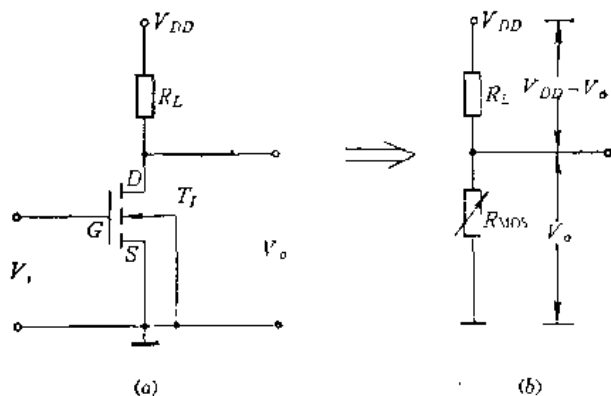


图10-1 电阻负载 MOS 倒相器
(a) 电路图; (b) 等效电路。

10.1.1 工作原理

为了分析简便, 将图 10-1(a) 所示的电路等效为图 10-1(b) 的形式。在这里, 输入管 T_1 等效为可变电阻 R_{MOS} 。由图 10-1(b) 看出, 输出电压 V_o 可由电阻 R_L 和 R_{MOS} 的分压比表示, 即

$$V_o = \frac{R_{MOS}}{R_{MOS} + R_L} \cdot V_{DD} \quad (10-1)$$

由式 (10-1) 看出, 当输入信号为高电平 “1” 时 (以下的分析, 如无特殊说明, 均采用正逻辑), 例如 $V_i = V_{DD}$, 其值大于输入管 T_1 的开启电压 V_T , T_1 充分导通, 其导通电阻很小, 所以 $R_{MOS} \ll R_L$, 因此输出电压 $V_o \approx 0V$, 即输出为低电平 “0”。 T_1 管充分导通时的特性曲线就是 $V_i = V_{DD}$ 的那条, 见图 10-2。当输入信号为低电平 “0” 时, 例如 $V_i \approx 0V$, 其值小于输入管的开启电压, T_1 管截止, 呈现一个很大的截止电阻, 所以 $R_{MOS} \gg R_L$, 因此输出电压 $V_o \approx V_{DD}$, 即输出高电平 “1”。 T_1 管截止时的特性曲线, 是一条与电压坐标轴几乎重合的水平线 (图 10-2)。

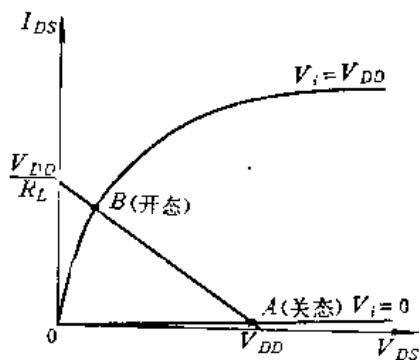


图10-2 电阻负载MOS倒相器的输出特性

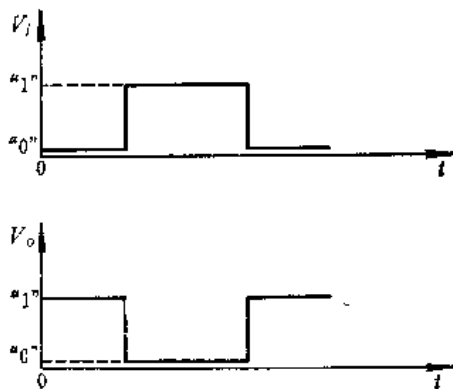


图10-3 输入输出波形

如果输入信号为一个脉冲波, 则输出 V_o 和输入 V_i 波形正好倒相, 如图 10-3 所示。由此可见, 图 10-1(a) 所示的电路具有倒相的功能, 所以称为倒相器。

10.1.2 负载线与工作点

所谓负载线就是倒相器的输出电压 V_o 与工作电流 I_{DS} 的函数关系曲线, 其表达式为:

$$V_o = V_{DD} - I_{DS} R_L \quad (10-2)$$

或

$$I_{DS} = \frac{V_{DD} - V_o}{R_L} \quad (10-3)$$

由式 (10-3) 看出, 输出电压 V_o 与工作电流 I_{DS} 的关系为一直线, 此直线与输入管的特性曲线的交点 A、B 就是倒相器的工作点, 或两种工作状态 (见图 10-2)。当倒相器工作在 A 点时, 称为关态或截止态, 电路输出 “1” 电平; 当倒相器工作在 B 点时, 称为开态或导通态, 电路输出 “0” 电平。

A 点 (关态) 所对应的电压称为关态 (截止) 电压 V_{off} , 或称最大输出电压 $V_{o,max}$, 其

值为:

$$V_{off} = V_{o_{max}} = V_{DD} \quad (10-4)$$

A点所对应的电流称为截止电流 I_{off} , 它仅为很小的漏泄电流, 其值近似为零。

B点(开态)所对应的电压称为开态(导通)电压 V_{on} , 其值近似为零, 即

$$V_{on} \approx 0 \quad (10-5)$$

B点所对应的电流称为开态电流或导通电流 I_{on} , 其值为:

$$I_{on} = -\frac{V_{DD} - V_{on}}{R_L} \approx -\frac{V_{DD}}{R_L} \quad (10-6)$$

一个特性良好的倒相器, 希望导通电流 I_{on} 愈小愈好, 导通电压 V_{on} 愈接近于零愈好。

从上面的分析看出, 电阻负载 MOS 倒相器的输出摆幅近于 $0 \sim V_{DD}$ 之间, 这是很理想的。在 MOS 电路中, 为了实现大的输出摆幅, 有时将输出倒相器设计成高值电阻负载形式。

10.1.3 不同负载电阻对倒相器特性的影响

由于流经负载电阻 R_L 的电流与流经输入 MOS 管 T_1 的电流相等, 所以输入管工作在饱和区时, 有关系式:

$$\frac{V_{DD} - V_{DS}}{R_L} = k_1 (V_{GS} - V_T)^2 \quad (10-7)$$

式中 k_1 为输入管 T_1 的 k 常数。在非饱和区时, 有关系式:

$$\frac{V_{DD} - V_{DS}}{R_L} = k_1 [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \quad (10-8)$$

因此, 对于一定的电源电压 V_{DD} 和开启电压 V_T , 根据关系式 (10-7) 和式 (10-8), 可以画出输出电压 V_{DS} 和输入电压 V_{GS} 的关系曲线, 即倒相器的传输特性曲线。而且, 负载电阻 R_L 和输入管 T_1 的几何尺寸不同, 传输特性曲线也不同。图 10-4(a) 画出了三种不同负载电阻的传输特性曲线。为了便于比较, 在图 10-4(b) 中也画出了三种不同负载电阻 R_L 的输出特性曲线。从图 10-4 中清楚地看到, 对于一定几何尺寸的输入管 T_1 , 负载电阻 R_L

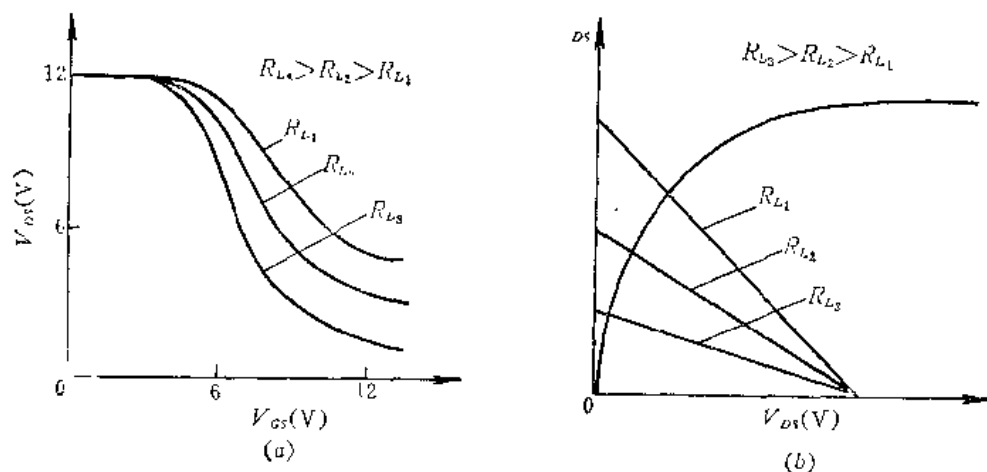


图10-4 电阻负载MOS倒相器的特性曲线
(a) 传输特性; (b) 输出特性。

愈大, 倒相器的传输特性曲线下降得愈快, 即传输特性愈好; 而且, R_L 愈大, 倒相器的导通电压 V_{on} 愈接近于零伏, 且导通电流 I_{on} 也愈小。因此要使倒相器有好的传输特性和低的功耗, 必须适当地选择大的负载电阻 R_L 。同时, 根据式 (10-8), 可以把输入管 T_1 的宽长比与负载电阻的关系表示为:

$$\frac{W}{L} = [(V_{DD} - V_{DS}) / R_L k'] / [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \quad (10-9)$$

从式 (10-9) 看出, 在电源电压和输入电平给定的情况下, 为了保持尽可能小的输入管 T_1 的几何尺寸, 负载电阻 R_L 的取值也必须足够大, 一般要大于 $50k\Omega$ 。但是, 在集成电路中用扩散法制造大电阻, 势必使管芯面积增大, 这就降低了集成度和成品率; 而且扩散电阻的寄生电容效应, 也将使倒相器的瞬态响应变坏, 降低工作频率。所以, 在 MOS 集成电路中, 一般很少采用电阻负载, 而是用另一个 MOS 管作为倒相器的负载。这既能减小功耗, 又能保持较小的芯片面积, 成为 MOS 集成电路的特点之一。下面就来分析这种倒相器。

10.2 E/E MOS 倒相器和门电路

10.2.1 工作原理

E/E MOS 倒相器的负载管处于常导通状态, 因其工作区域不同, 倒相器又分两种: 一种是负载管工作在饱和区, 称为饱和 MOS 负载倒相器; 另一种是负载管工作在非饱和区, 称为非饱和 MOS 负载倒相器。

一、饱和 MOS 负载倒相器

图 10-5 所示的是饱和 MOS 负载倒相器的电路图, 其中 T_1 为输入管, T_L 为负载管。两只 MOS 管均为增强型, 所以这种电路就是 E/E MOS 倒相器。

在这种电路中, 负载管的栅漏短接, 并与电源 V_{DD} 相连, 因而负载管的漏源电压与栅源电压相等, 即 $V_{DSL} = V_{GSL}$ 。这样, 对负载管来说, 总是满足条件 $V_{DSL} > V_{GSL} - V_{TL}$, 其中 V_{TL} 为负载管的开启电压, 所以负载管始终工作在饱和区。因此称为饱和 MOS 负载倒相器。

对于饱和 MOS 负载倒相器, 如果把负载管 T_L 看成是一个“电阻”, 则这种倒相器的工作原理与线性负载倒相器并无本质的差别, 只是这个“电阻”是可变的, 因此, 要使这种电路起到倒相的作用, 必须满足下述条件:

$$r_{d_f}(\text{截止}) \gg r_{d_f}(\text{导通}) \gg r_{d_L}(\text{导通}) \quad (10-10)$$

式中 $r_{d_f}(\text{截止})$ 和 $r_{d_f}(\text{导通})$ 分别为输入管 T_1 截止和导通时的动态电阻; $r_{d_L}(\text{导通})$ 为负载管 T_L 导通时的动态电阻。

关系式 (10-10) 可通过适当选择器件的几何尺寸来达到, 即

$$\beta_R = \frac{k_f}{k_L} = \frac{(W/L)_f}{(W/L)_L} \gg 1 \quad (10-11)$$

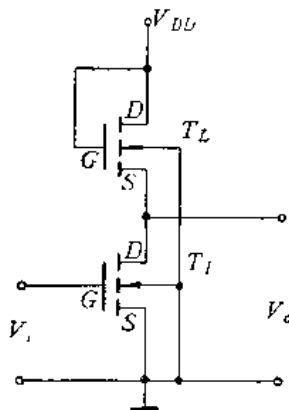


图10-5 饱和MOS负载倒相器

式中 k_r 和 k_L 分别为输入管和负载管的 k 常数, β_k 通常称为 k 常数比。

这样, 当输入信号为“1”电平时, 例如 $V_i = V_{DD}$, 输入管 T_I 导通, 其导通电阻很小, 电源电压的绝大部分降落在负载管 T_L 的漏源两端, 所以输出信号为“0”电平; 当输入信号为“0”电平时, 例如 $V_i \approx 0$ V, 输入管 T_I 截止, 其截止电阻很大, 电源电压的绝大部分降落在输入管 T_I 的漏源两端, 所以输出信号为“1”电平。由此可见, 图 10-5 所示的电路完成了倒相的功能。

为了具体地分析倒相器的两种工作状态, 同样可以用前面介绍的图解法。不同之处, 只是对于阻值一定的电阻, 其两端的电压与流过它的电流成正比, 所以它的伏-安特性是一条直线。而对于图 10-6(a) 所示的 MOS 管作为“电阻”时, 其输出特性如何呢? 由 MOS 晶体管的转移特性知道, 对于栅漏短接的 MOS 管, 由于它始终处于饱和, 所以它的输出特性可用它的转移特性来表示, 如图 10-6(b) 所示。很明显, 这个“电阻”的输出特性不是直线, 而是一条曲线。它与横轴的交点为开启电压 V_T 。这说明, 当负载管 T_L 的漏源电压 $V_{DSL} \geq V_{GSL} - V_{TL}$ 时, 流过它的电流按平方律随 V_{DSL} 的增加而增大, 即负载管的漏源电压愈大, 它呈现的电阻值愈小。

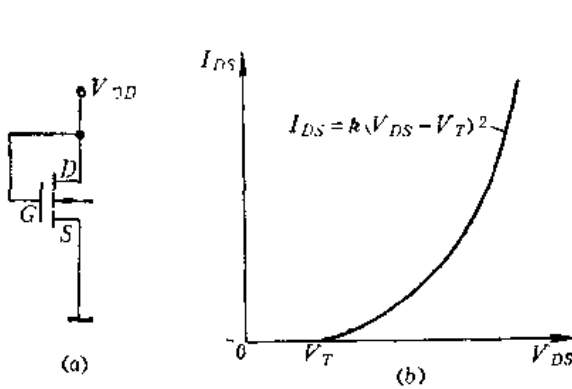


图 10-6 饱和 MOS 负载管的输出特性

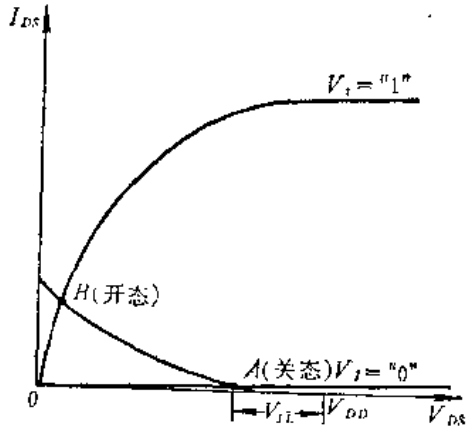


图 10-7 饱和 MOS 负载倒相器的输出特性

有了负载管的输出特性曲线, 就可以作出倒相器的负载线, 如图 10-7 所示。在这里, 由于负载管 T_L 的漏源电压 $V_{DSL} = V_{DD} - V_{DSI}$, 当输入管 T_I 的漏源电压 $V_{DSI} = 0$ 时, $V_{DSL} = V_{DD}$; 当 $V_{DSI} = V_{DD}$ 时, $V_{DSL} = 0$ 。所以负载管电压轴的坐标原点为 V_{DD} , 且其方向与输入管电压轴的方向相反。由图 10-7 看出, 负载线与输入管的特性曲线的交点 A 、 B 就是倒相器的两种工作状态。当输入为“0”时, 倒相器工作在 A 点, 处于关态, 输出是“1”, 其最大输出电压为:

$$V_{o \max} = V_{DD} - V_{TL} \quad (10-12)$$

当输入为“1”时, 倒相器工作在 B 点, 处于开态, 输出是“0”。其电平数值的大小主要与器件的几何尺寸, 即与 k 常数比 β_k 有关, β_k 愈大, 输出“0”电平愈接近于零伏。

综上所述, 可以看出 MOS 负载倒相器的特点:

- (1) 单一电源, 结构简单, 因此使用方便;
- (2) 最大输出电压为 $V_{DD} - V_{TL}$, 比电源电压低一个开启电压的数值。因此为了得到预期的高电平, 就产生了不必要的电源损失;

(3) 由于负载管工作在饱和区, 所以工作速度较低。

二、非饱和 MOS 负载倒相器

饱和 MOS 负载倒相器虽然结构简单, 但是它有一些缺点。为了改进倒相器的性能, 可以将负载管的栅极单独接一电源 V_{GG} , 便得到另一种倒相器 (图 10-8)。偏置电源 V_{GG} 的大小应满足条件 $V_{GG} > V_{DD} + V_{TL}$ 。这样, 负载管总是工作在非饱和区。所以, 这种倒相器称为非饱和 MOS 负载倒相器。

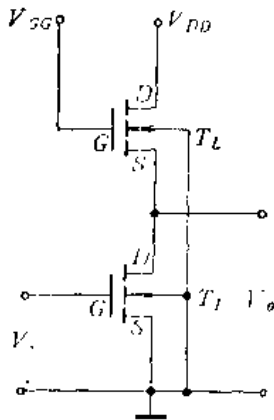


图 10-8 非饱和 MOS 负载倒相器

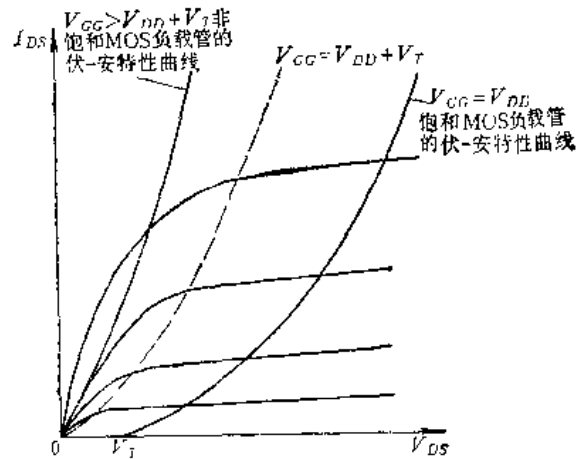


图 10-9 非饱和 MOS 负载管的输出特性

非饱和 MOS 负载管的输出特性如图 10-9 所示。图中也画出了 $V_{GG} = V_{DD}$ 情况下的饱和 MOS 负载管的输出特性, 以作比较。从图 10-9 看到, 当负载管单独接一电源 $V_{GG} > V_{DD} + V_{TL}$ 时, 负载管的输出特性曲线的起点坐标为原点, 而且处于非饱和区。同时可看出, 电源 V_{GG} 愈高, 负载管的输出特性曲线的线性愈好, 这有利于提高开关性能。

将负载管的输出特性曲线画到输入管的特性曲线上, 便得到倒相器的输出特性, 如图 10-10 所示。显而易见, 当倒相器处于截止时, 由于负载管始终处于充分导通状态, 所以电源电压几乎全部降落在输入管的漏源两端, 因此最大输出电压为:

$$V_{o \max} \approx V_{DD} \quad (10-13)$$

这就提高了输出幅度。

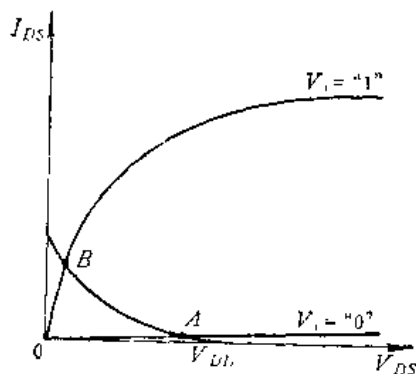


图 10-10 非饱和 MOS 负载倒相器的输出特性

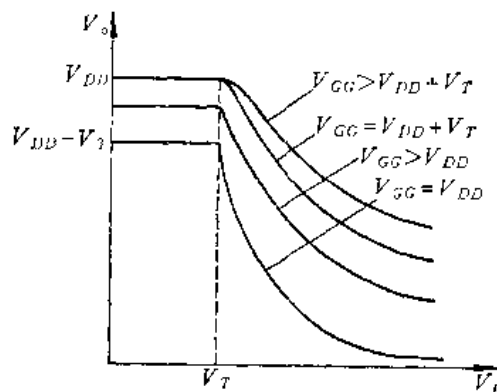


图 10-11 不同 V_{GG} 时的倒相器的传输特性

图 10-11 给出了在各种不同电源 V_{GG} 值 ($V_{GG} \geq V_{DD}$) 情况下的 MOS 倒相器的传输特性。由图看到, 倒相器的最大输出电压与电源 V_{GG} 的大小有关。当 $V_{GG} \geq V_{DD} + V_T$ 时, 输

出电压为 V_{DD} , 但不大于 V_{DD} , 这好象输出电压被箝位于 V_{DD} 。所以电源电压 V_{DD} 的选择可根据预期的输出电平的大小来决定, 从而克服了饱和 MOS 负载时浪费电源的缺点。

综上所述可见, 非饱和 MOS 负载倒相器有以下特点:

- (1) 负载管始终工作于非饱和区, 有利于提高工作速度;
- (2) 最大输出电压为电源电压 V_{DD} , 提高了输出摆幅;
- (3) 增加了一个电源, 使线路结构复杂;
- (4) 功耗较大, 输出低电平稍有升高。

10.2.2 特性分析

在这里, 主要是定量分析倒相器的静态特性和瞬态特性, 导出特性方程, 给出特性曲线, 供设计计算时参考。

一、静态特性

1. 倒相器的输出特性

对于倒相器的输出特性, 主要是分析倒相器的开态 (或导通态) 和关态 (或截止态) 特性。下面以饱和负载为例进行分析。

(1) 开态特性

标志开态特性的是导通电流 I_{on} 和导通电压 V_{on} 的大小。

(i) 导通电流 I_{on}

当倒相器处于导通状态时, 从电源流经负载管和输入管到地的导通电流 I_{on} 如图 10-12 所示。

由于负载管始终处于饱和, 所以流经负载管的电流为:

$$I_{DSL} = I_{on} = k_L(V_{GSL} - V_{TL})^2 = k_L(V_{DD} - V_o - V_{TL})^2 \quad (10-14)$$

在这种状态下, 一般都能满足 $V_o \ll V_{DD} - V_{TL}$, 所以

$$I_{on} = k_L(V_{DD} - V_{TL})^2 \quad (10-15)$$

这就是导通电流的表达式。

在倒相器处于导通时, 负载管的跨导为:

$$g_{mL} = 2k_L(V_{DD} - V_{TL}) \quad (10-16)$$

比较式 (10-15) 和式 (10-16), 得到:

$$I_{on} = \frac{(V_{DD} - V_{TL})}{2/g_{mL}} = \frac{(V_{DD} - V_{TL})}{R_{Leff}} \quad (10-17)$$

其中

$$R_{Leff} = \frac{2}{g_{mL}} \quad (10-18)$$

是负载管 T_L 的等效电阻, 其物理意义是电源电压为 V_{DD} 的 MOS 负载管可以等效成电源电压为 $(V_{DD} - V_{TL})$ 的一个电阻负载, 其阻值等于负载管的跨导 g_{mL} 的倒数的两倍。因

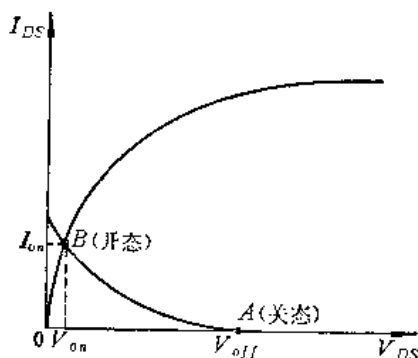


图10-12 倒相器的导通电流 I_{on} 、
导通电压 V_{on} 和截止电压 V_{off}

此, 要使倒相器的导通电流小, 就必须减小负载管的跨导。

(ii) 导通电压 V_{on}

导通电压 V_{on} 就是倒相器处于导通状态时输入管的漏源电压。而这时的输入管处于非饱和区, 所以

$$V_{on} = I_{on} r_{on} \quad (10-19)$$

式中 r_{on} 为输入管在非饱和区时的导通电阻。根据式 (9-37), 式 (10-19) 可改写为:

$$V_{on} = I_{on} \frac{1}{g_{m1}} \quad (10-20)$$

式中 g_{m1} 为输入管在饱和区时的跨导。将式 (10-17) 代入式 (10-20), 得到:

$$V_{on} = \frac{1}{2} \cdot \frac{g_{mL}}{g_{m1}} (V_{DD} - V_{TL}) \quad (10-21)$$

这就是导通电压的表达式。

我们定义, 电路处于导通状态时的输出电平为输出低电平, 以 V_{OL} 表示。因此

$$V_{OL} = \frac{1}{2} \cdot \frac{g_{mL}}{g_{m1}} \cdot (V_{DD} - V_{TL}) \quad (10-22)$$

由式 (10-22) 可见, 在一定的电源电压下, 输出低电平不仅与工艺参数 V_{TL} 有关, 而且还与负载管和输入管的跨导比成正比。因此, 要想得到一个输出特性较好的电路, 从器件设计上, 就要使输入管的跨导远远大于负载管的跨导, 从而使输出低电平 V_{OL} 接近于零伏。

(2) 关态特性

标志关态特性的是截止电流和截止电压的大小, 而倒相器处于截止状态时只有很微小的泄漏电流, 对于静态电路可以不必分析它。因此, 关态特性主要由截止电压来决定。

截止电压 V_{off} 就是在倒相器处于截止状态时输入管的漏源电压。这时, 如果忽略漏泄电流, 则流过负载管的电流也应为零, 所以截止电压可以直接从式 (10-12) 中求得:

$$V_{off} = V_{DD} - V_{TL} \quad (10-23)$$

显然, 截止电压就是倒相器处于截止时的最大输出电压。

我们定义, 电路处于截止状态时的输出电平为输出高电平, 以 V_{OH} 表示。因此

$$V_{OH} = V_{DD} - V_{TL} \quad (10-24)$$

由式 (10-24) 可见, 在一定的电源电压下, 输出高电平只与工艺参数 V_{TL} 有关。但是, 考虑到衬底偏置效应时, 负载管的开启电压 $(V_{TL})_{BS}$ 将随输出高电平而变化。这样, 要从式 (10-24) 中计算 V_{OH} 就比较复杂了。所以, 在实际设计计算时, 一般先确定 V_{OH} , 然后算出 $(V_{TL})_{BS}$, 再确定电源电压 V_{DD} 所应选取的数值。

根据前面的分析, 从式 (10-22) 和式 (10-24) 便可直接得到关系式:

$$\frac{V_{OH}}{V_{OL}} = 2 \frac{g_{m1}}{g_{mL}} \quad (10-25)$$

由式 (10-25) 清楚地看到, 高低电平之比单一地决定于输入管和负载管的跨导之比。所谓“有比电路”这个名称正是由此而来。这个关系式在设计饱和 MOS 负载倒相器时常用到。

2. 传输特性

如前所说, 传输特性就是输出电压与输入电压的函数关系。倒相器用于逻辑电路时, 其基本特性均可从传输特性中反映出来。下面分两种情况讨论。

(1) 饱和 MOS 负载

对于饱和 MOS 负载, 倒相器的工作条件是: 负载管始终工作在饱和区, 而且 $V_{GS_L} = V_{DS_L}$, $V_{GS_L} = V_{DD} - V_o$; 输入管的工作区域根据输入电压的变化而不同, 当 $V_o \geq V_i - V_{T1}$ 时 (V_{T1} 为输入管的开启电压), T_1 工作在饱和区当 $V_o < V_i - V_{T1}$ 时, T_1 工作在非饱和区, 而且 $V_{GS1} = V_i$, $V_{DS1} = V_o$ 。

假设 $V_{1L} = V_{T1} = V_T$, 即暂不考虑衬底偏置效应。

根据上面给出的条件, 现在推导倒相器的传输特性方程。流经负载管的电流 i_L 为:

$$I_L = k_L (V_{DD} - V_o - V_T)^2 \quad (\text{饱和区}) \quad (10-26)$$

流经输入管的电流 i_I , 当 $V_o \geq V_i - V_T$ 时,

$$i_I = k_I (V_i - V_T)^2 \quad (\text{饱和区}) \quad (10-27)$$

当 $V_o < V_i - V_T$ 时,

$$I_I = k_I [2(V_i - V_T)V_o - V_o^2] \quad (\text{非饱和区}) \quad (10-28)$$

因为流经负载管和输入管的电流相等, 即

$$(I_L)_{\text{饱}} = (I_I)_{\text{饱}} \quad (10-29)$$

$$(I_L)_{\text{饱}} = (I_I)_{\text{非}} \quad (10-30)$$

所以, 当 $V_o \geq V_i - V_T$ 时, 有:

$$k_L (V_{DD} - V_o - V_T)^2 = k_I (V_i - V_T)^2 \quad (10-31)$$

当 $V_o < V_i - V_T$ 时, 有:

$$k_L (V_{DD} - V_o - V_T)^2 = k_I [2(V_i - V_T)V_o - V_o^2] \quad (10-32)$$

将 V_o 和 $(V_i - V_T)$ 以最大输出电压 $V_{o, \max} = V_{DD} - V_T$ 归一化, 对于条件

$$\frac{V_o}{V_{DD} - V_T} \geq \frac{V_i - V_T}{V_{DD} - V_T}$$

得到

$$\left(1 - \frac{V_o}{V_{DD} - V_T}\right)^2 = \beta_R \left(\frac{V_i - V_T}{V_{DD} - V_T}\right)^2 \quad (10-33)$$

这就是输入管工作在饱和区时的传输特性方程。不难看出, 此时 V_o 随 V_i 的变化近似成线性关系, 其斜率为:

$$\frac{\partial V_o}{\partial V_i} = -\sqrt{\beta_R} = -\sqrt{\left(\frac{W}{L}\right)_I / \left(\frac{W}{L}\right)_L}$$

它仅由器件的几何尺寸决定, 而与所加的电压无关。

对于条件

$$\frac{V_o}{V_{DD} - V_T} < \frac{V_i - V_T}{V_{DD} - V_T}$$

得到:

$$\left(1 - \frac{V_o}{V_{DD} - V_T}\right)^2 = \beta_R \left[2 \left(\frac{V_i - V_T}{V_{DD} - V_T}\right) \left(\frac{V_o}{V_{DD} - V_T}\right) - \left(\frac{V_o}{V_{DD} - V_T}\right)^2\right] \quad (10-34)$$

这就是输入管工作在非饱和区时的传输特性方程。不难看出, 此时 V_o 随 V_i 的变化成非线性

性关系。 β_R 愈大, 输出电压 V_o 就愈接近于零伏, 即输出低电平愈接近于零伏。

如果电源电压 V_{DD} 和开启电压 V_T 已经确定, 则根据式 (10-33) 和式 (10-34) 就可以作出以 β_R 为参数的归一化传输特性曲线, 如图 10-13 所示。

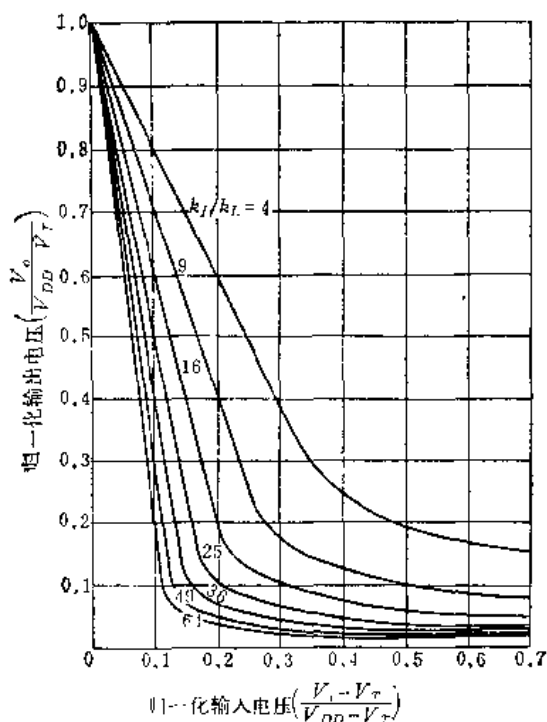


图10-13 饱和MOS负载倒相器的传输特性曲线

由图 10-13 可以看出:

- (i) 饱和 MOS 负载倒相器输出高电平的最大值是 $(V_{DD} - V_T)$;
 - (ii) β_R 愈大, 传输曲线愈陡斜, 输出低电平愈接近于零伏, 电压传输特性就愈好。
- (2) 非饱和 MOS 负载

分析方法与饱和 MOS 负载相同。这时负载管始终工作在非饱和区, 其电流为:

$$\begin{aligned}
 I_L &= k_L [2(V_{GS_L} - V_T)V_{DS_L} - V_{DS_L}^2] \\
 &= k_L [2(V_{GG} - V_o - V_T)(V_{DD} - V_o) - (V_{DD} - V_o)^2] \\
 &= k_L (V_{DD} - V_o) [2(V_{GG} - V_T) - (V_{DD} - V_o)] \\
 &= k_L [2(V_{GG} - V_T) - V_{DD}] \left\{ (V_{DD} - V_o) \left[1 - \frac{V_o}{2(V_{GG} - V_T) - V_{DD}} \right] \right\} \\
 &= k_L V_{DD}^2 \frac{[2(V_{GG} - V_T) - V_{DD}]}{V_{DD}} \left\{ \left(1 - \frac{V_o}{V_{DD}} \right) \right. \\
 &\quad \times \left. \left[1 - \frac{V_{DD}}{2(V_{GG} - V_T) - V_{DD}} \cdot \frac{V_o}{V_{DD}} \right] \right\} \quad (10-35)
 \end{aligned}$$

令

$$m = \frac{V_{DD}}{2(V_{GG} - V_T) - V_{DD}} \quad (10-36)$$

m 称为偏置参数, 它说明负载管的工作状态进入非饱和区的程度, 其取值范围为 $0 < m < 1$ 。将式 (10-36) 代入式 (10-35), 得到:

$$i_L = \frac{k_L V_{DD}^2}{m} \left(1 - \frac{V_o}{V_{DD}} \right) \left(1 - m \frac{V_o}{V_{DD}} \right) \quad (10-37)$$

由于流经负载管和输入管的电流相等, 所以当 $V_o \geq V_i - V_T$ 时, 有:

$$\frac{k_L V_{DD}^2}{m} \left(1 - \frac{V_o}{V_{DD}} \right) \left(1 - m \frac{V_o}{V_{DD}} \right) = k_I (V_i - V_T)^2 \quad (10-38)$$

而当 $V_o < V_i - V_T$ 时, 有:

$$\frac{k_L V_{DD}^2}{m} \left(1 - \frac{V_o}{V_{DD}} \right) \left(1 - m \frac{V_o}{V_{DD}} \right) = k_I [2(V_i - V_T)V_o - V_o^2] \quad (10-39)$$

将 V_o 和 $(V_i - V_T)$ 以最大输出电压 $V_{o\max} = V_{DD}$ 归一化, 对于条件

$$\frac{V_o}{V_{DD}} \geq \frac{V_i - V_T}{V_{DD}}$$

得到:

$$\left(1 - \frac{V_o}{V_{DD}} \right) \left(1 - m \frac{V_o}{V_{DD}} \right) = m\beta_R \left(\frac{V_i - V_T}{V_{DD}} \right)^2 \quad (10-40)$$

这就是输入管工作在饱和区时的非饱和 MOS 负载倒相器的传输特性方程。此时 V_o 随 V_i 的变化近似成线性关系, 其斜率为 $-\sqrt{m\beta_R}$, 它不仅与器件的几何尺寸有关, 而且还与所加的偏压有关。 m 与 β_R 愈大, 曲线愈陡, 传输特性就愈好。

对于条件

$$\frac{V_o}{V_{DD}} < \frac{V_i - V_T}{V_{DD}}$$

得到:

$$\left(1 - \frac{V_o}{V_{DD}} \right) \left(1 - m \frac{V_o}{V_{DD}} \right) = m\beta_R \left[2 \left(\frac{V_i - V_T}{V_{DD}} \right) \left(\frac{V_o}{V_{DD}} \right) - \left(\frac{V_o}{V_{DD}} \right)^2 \right] \quad (10-41)$$

这就是输入管工作在非饱和区时的非饱和 MOS 负载倒相器的传输特性方程。此时 V_o 随 V_i 的变化成非线性关系。

如果以 β_R 为参数, 根据式 (10-40) 和式 (10-41) 就可作出不同 m 值下的 V_o 与 V_i 的关系曲线。图 10-14 到图 10-22 就是 m 值从 0.1 到 0.9 的非饱和 MOS 负载倒相器的传输特性曲线, 可供电路设计计算时参考。

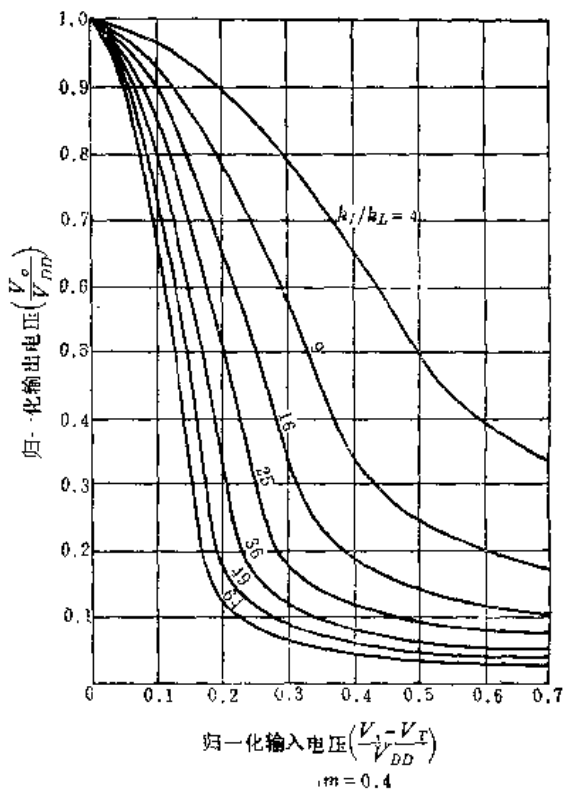
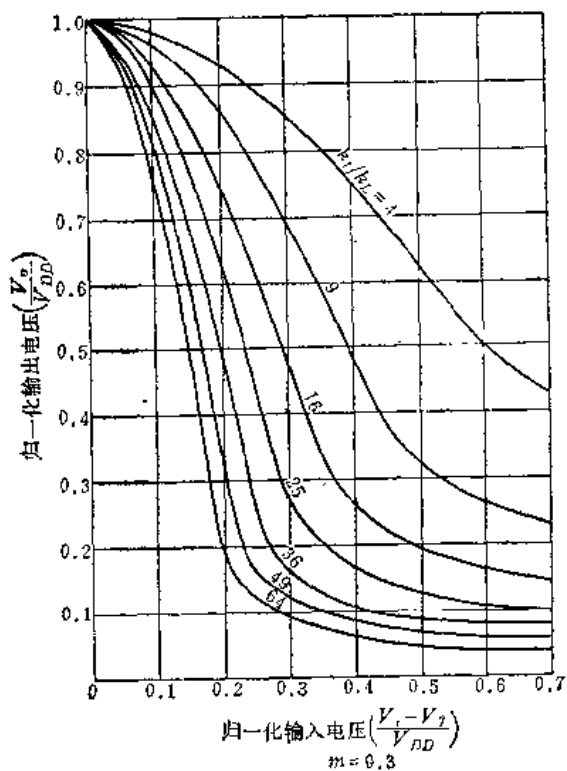
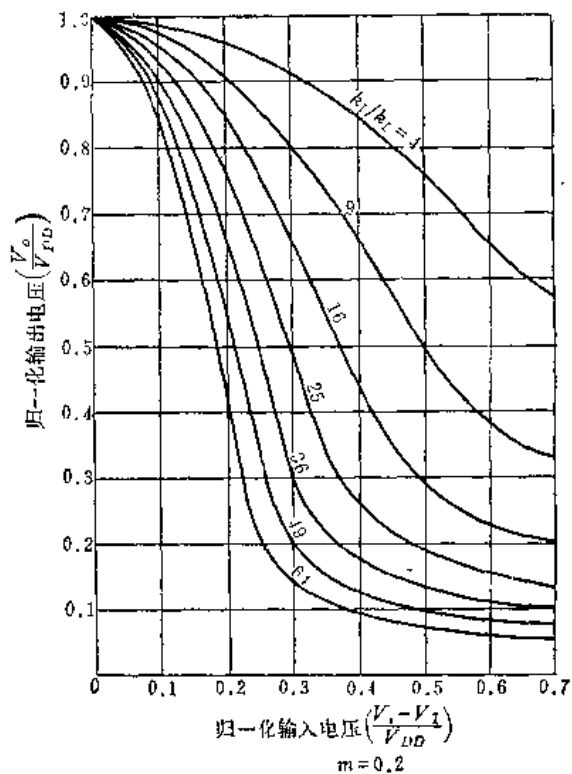
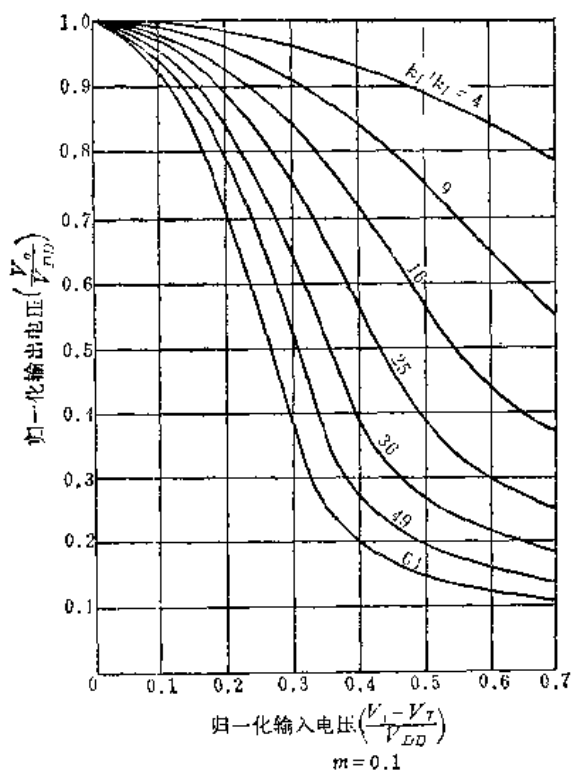
从图中看出, m 值愈小, 传输特性愈差。这与前面的分析是一致的。但 m 值小, 对改善开关速度有利。设计时 m 值的选取是根据具体情况确定的, 通常取 0.5 左右。

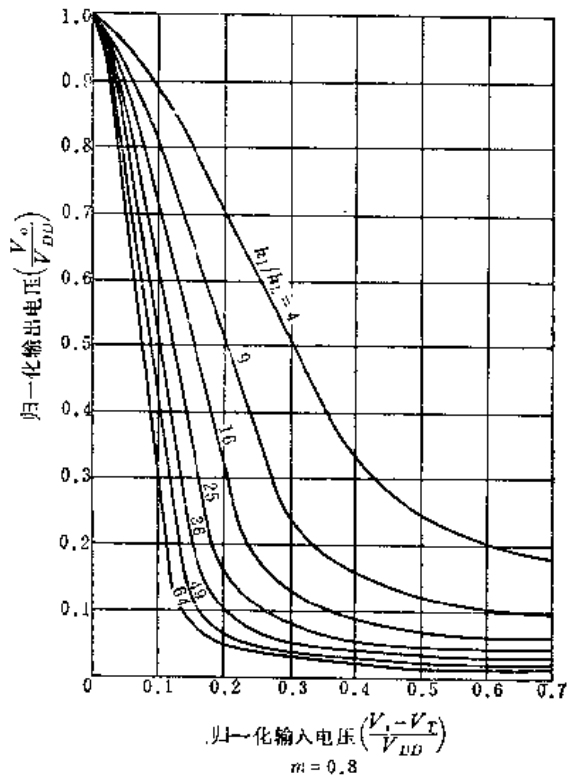
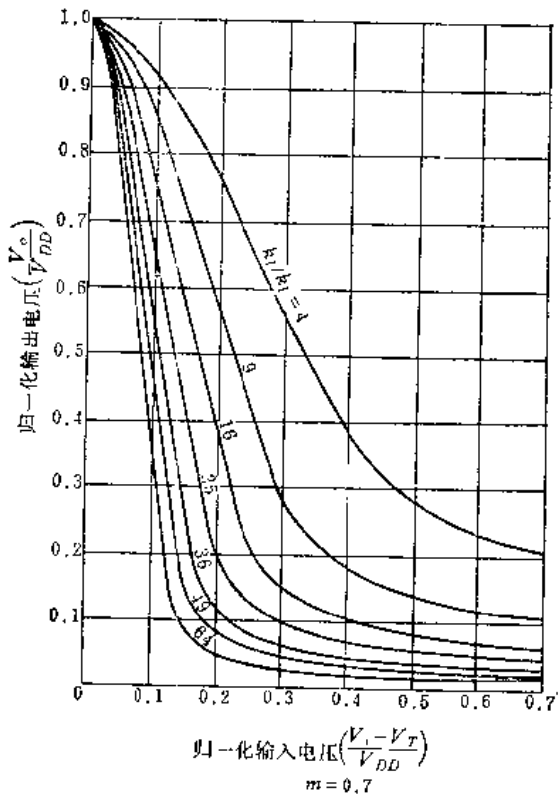
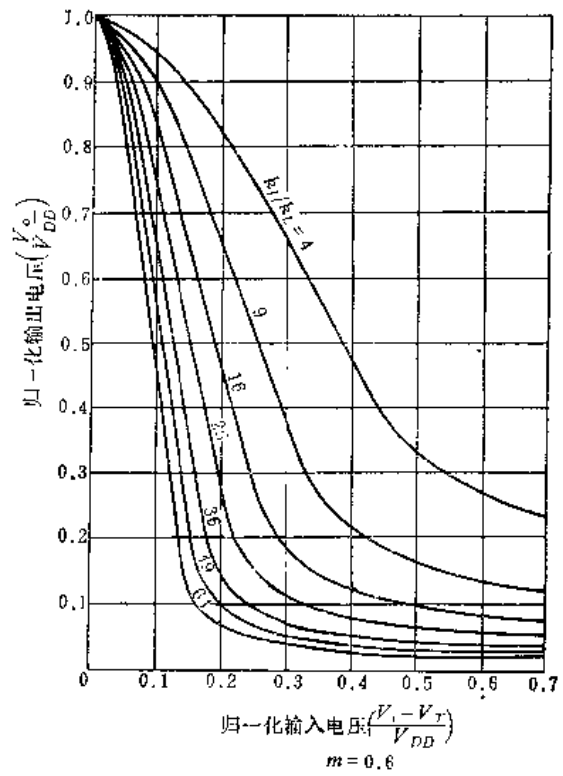
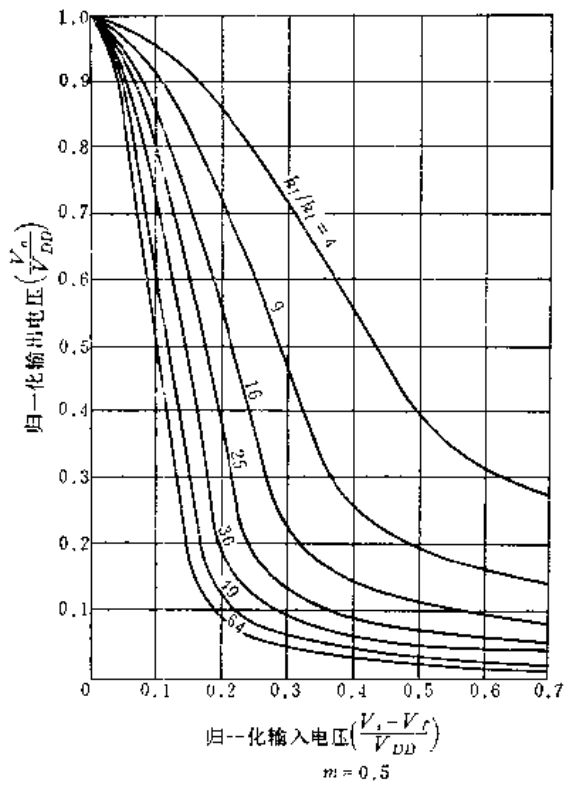
3. 直流噪音容限

直流噪音容限也是 MOS 集成电路的一个重要参数。通常把不破坏电路工作状态, 输入端能承受的最大噪音电压叫噪音容限, 简称噪容。噪容的大小可以从电压传输特性曲线中估算, 如图 10-23 所示。

图中 V_{IL} 为关门电平。所谓关门电平, 通常指电路处于临界截止时, 输出高电平的最小值 V_{OHmin} 所对应的输入电平。它可以从式 (10-31) 中求出。用 V_{OHmin} 代替 V_o , 用 V_{IL} 代替 V_i , 代入式 (10-31), 便可得到 V_{IL} :

$$k_L (V_{DD} - V_{OHmin} - V_T)^2 = k_I (V_{IL} - V_T)^2$$





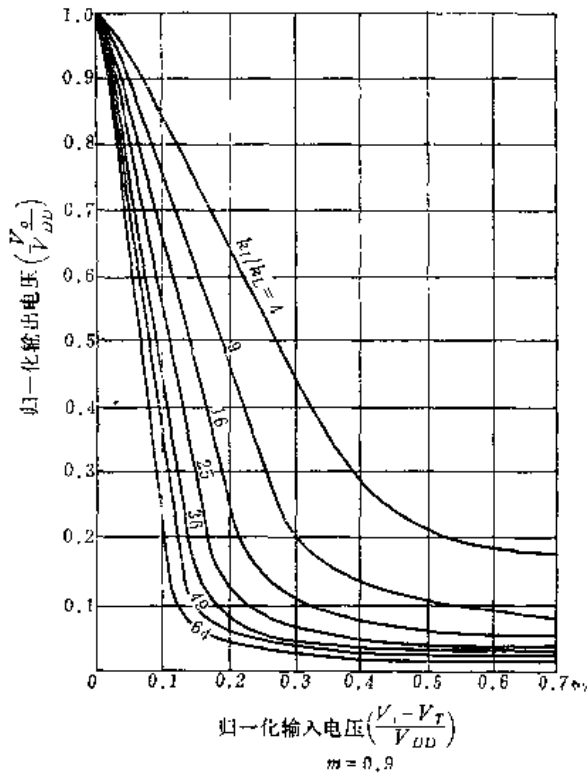


图10-22 非饱和MOS负载倒相器的传输特性曲线

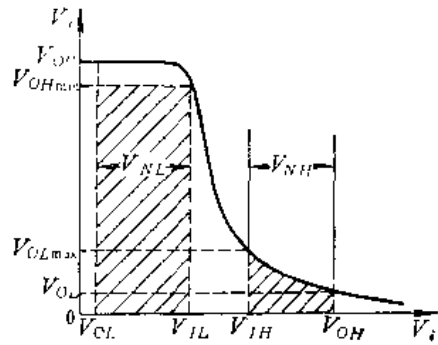


图10-23 说明噪容的传输特性

所以

$$V_{IL} = \frac{1}{\sqrt{\beta_R}} (V_{DD} - V_{OHmin} - V_T) + V_T \quad (10-42)$$

图中 V_{IH} 为开门电平。所谓开门电平，通常指电路处于临界导通时，输出低电平的最大值 V_{OLmax} 所对应的输入电平。它可以从式(10-32)中求出。只要用 V_{OLmax} 代替 V_o ，用 V_{IH} 代替 V_i ，便得到：

$$k_L(V_{DD} - V_{OLmax} - V_i)^2 = k_T[2(V_{IH} - V_T)V_{OLmax} - V_{OLmax}^2]$$

所以

$$V_{IH} = \frac{V_{OLmax}}{2} + \frac{(V_{DD} - V_{OLmax} - V_T)}{2\beta_R V_{OLmax}} + V_T \quad (10-43)$$

输入低电平的噪容 V_{NL} ，是当输入低电平时，为了保证电路输出高电平不小于 V_{OHmin} 所能允许的最大输入噪音电压。从图 10-23 可以得到 V_{NL} 为：

$$V_{NL} = V_{IL} - V_{OL} \quad (10-44)$$

V_{NL} 愈大，电路的低电平抗干扰能力愈强。

输入高电平的噪容 V_{NH} ，是当输入高电平时，为了保证电路输出低电平不大于 V_{OLmax} 所能允许的最大输入噪音电压。从图 10-23 可以得到 V_{NH} 为：

$$V_{NH} = V_{OH} - V_{IH} \quad (10-45)$$

V_{NH} 愈大，电路的高电平抗干扰能力愈强。

综上所述可见，为获得一个噪容特性良好的电路，必须考虑下述设计参数：

(1) 开启电压 V_T 的大小要控制适当；

(2) 输出低电平要尽可能低, 输出高电平要尽可能高;

(3) 电压放大系数要大。

因此, 从设计噪容角度来说, 必须保证 $\beta_R \gg 1$ 。另外采用高电源电压对提高抗干扰能力有利。

二、瞬态特性

倒相器的瞬态特性决定了倒相器的开关时间和工作速度, 是设计 MOS 集成电路的主要依据。

图 10-24 是用来分析 MOS 倒相器瞬态特性的电路图和工作波形。在输出端并联了一个负载电容 C_L , 它包括输出端的输出电容、所有寄生电容和下一级的输入电容。在输入端接一个脉冲信号源, 提供理想的脉冲信号。

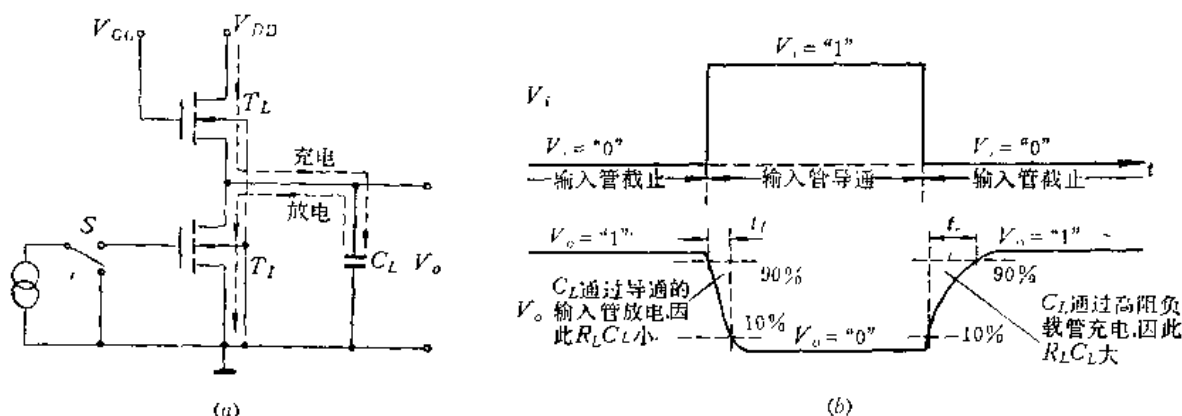


图10-24 分析MOS 倒相器瞬态特性的电路图和工作波形

当输入一个理想的“1”电平时, 倒相器由原来的截止态变为导通态, 输出“0”电平。电路要完成这样一个过程, 输出端的负载电容 C_L 必须将原来截止时所积累的电荷通过已导通的输入管 T_1 放掉, 只有放电结束, 电容 C_L 两端的电压才能接近零伏, 输出才为“0”电平。一般把从截止到导通所需要的时间称为导通时间或下降时间。为测试方便, 通常定义输出电压从幅值的90%下降到10%所需的时间为下降时间, 以 t_f 表示, 见图 10-24(b) 所示。

同样, 当输入一个理想的“0”电平时, 倒相器由导通变为截止, 输出“1”电平。电路要完成这样一个过程也需要一定的时间。因为倒相器导通时, 输出端的电容 C_L 没有积累电荷, 其两端的电压为零伏。要使输出变为“1”电平, 电源电压必须通过负载管 T_2 向 C_L 充电, 使其两端的电压上升。一般把从导通到截止所需要的时间称为截止时间或上升时间。我们定义输出电压从幅值的10%上升到90%所需的时间为上升时间, 以 t_r 表示, 见图 10-24(b) 所示。

上升时间和下降时间的大小是不一样的, 它们反映了倒相器对负载电容充放电的快慢。这种快慢通常以时间常数

$$\tau = RC = \frac{C_L}{g_m} \quad (10-46)$$

的大小来衡量。由于 $\beta_R \gg 1$, 所以上升时间远大于下降时间。正因为如此, 对于有些电路, 在开关速度设计时, 主要考虑上升时间。

下面分别讨论下降时间和上升时间。为了简化分析,在以下的讨论中作如下假设,

- (1) 输入信号为理想的阶跃脉冲;
- (2) 器件本身的频率响应可以忽略;
- (3) 输出端的全部电容(输出电容、寄生电容和下一级的输入电容等)等效为负载电容 C_L 。

1. 下降时间 t_f

对于导通情况,倒相器在开始的瞬间由截止状态转变为充分导通状态,在感兴趣的瞬间电压范围内,电流 i_L 与 i_T 相比非常小,即 $i_L \ll i_T$,因此可以将瞬态电路简化为图10-25(a),瞬变工作点的轨迹如图10-25(b)所示。由图看到,从截止到导通时,工作点由 P_1 点跳变到 P_2 点,导通瞬间的电路就是指 $t = 0^+$ 从 P_2 点开始的情况。

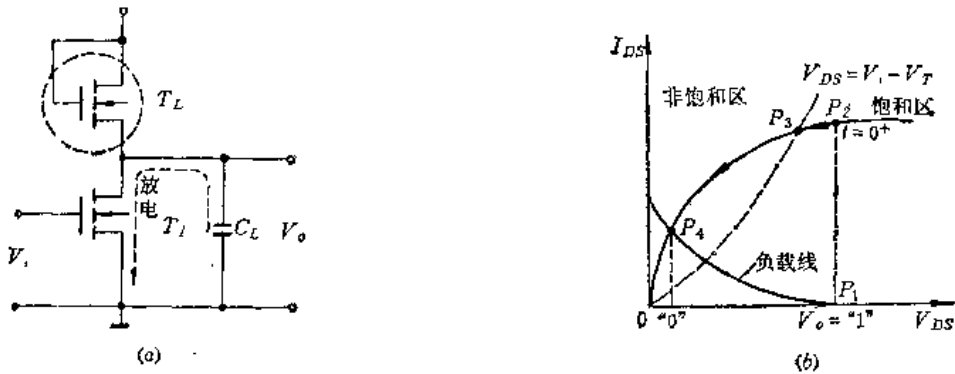


图10-25 分析导通时间的电路图

考虑到输入电平由“0”跳变到“1”时,输入管 T_1 由截止到饱和区再到非饱和区的变化过程,负载电容 C_L 要经过两个区放电,才能实现“0”电平输出,即 P_2 点 $\xrightarrow{\text{饱和区}} P_3$ 点 $\xrightarrow{\text{非饱和区}} P_4$ 点,最后稳定在 P_4 点,达到“0”电平输出。

下面分析 C_L 在两个工作区的放电时间。

(1) 当 $V_o \geq V_i - V_T$ 时,输入管 T_1 工作在饱和区,其电流 i_T 为:

$$i_T = k_T (V_i - V_T)^2 \quad (10-47)$$

而 C_L 的放电电流 i_c 为:

$$i_c = C_L \frac{dV_o}{dt} \quad (10-48)$$

如果忽略放电时流过负载管 T_L 的电流,则 $i_T = -i_c$, 即

$$k_T (V_i - V_T)^2 = -C_L \frac{dV_o}{dt} \quad (10-49)$$

对式(10-49)积分,得到在饱和区的放电时间 $t_{f\text{饱}}$ 为:

$$t_{f\text{饱}} = -\frac{C_L V_o}{k_T (V_i - V_T)^2} + C \quad (10-50)$$

因为在 $t = 0$ 时, $V_o = V_{OH}$, 所以积分常数 C 为:

$$C = \frac{C_L V_{OH}}{k_T (V_i - V_T)^2}$$

因此

$$t_{f\#} = \frac{C_L(V_{OH} - V_o)}{k_I(V_I - V_T)^2} \quad (10-51)$$

式中 $V_o = V_I - V_T$ 。这就是 C_L 在饱和区的放电时间。

(2) 当 $V_o < V_I - V_T$ 时, 输入管 T_1 工作在非饱和区, 其电流 i_I 为:

$$i_I = k_I[2(V_I - V_T)V_o - V_o^2] \quad (10-52)$$

将式(10-52)与式(10-48)相等, 得到积分式:

$$\int dt = -\frac{C_L}{k_I} \int \frac{dV_o}{V_o[2(V_I - V_T) - V_o]} \quad (10-53)$$

利用积分公式:

$$\int \frac{dx}{x(a+bx)} = -\frac{1}{a} \ln \frac{a+bx}{x} + C$$

对式(10-53)积分, 得到:

$$t_{f\#} = \frac{C_L}{2k_I(V_I - V_T)} \ln \left[\frac{2(V_I - V_T) - V_o}{V_o} \right] + C$$

因为 C_L 在非饱和区放电开始的瞬间, 即 $t = 0$ 时, $V_o = V_I - V_T$, 因此可以看出, 积分常数 $C = 0$, 所以

$$t_{f\#} = \frac{C_L}{2k_I(V_I - V_T)} \ln \left[\frac{2(V_I - V_T) - V_o}{V_o} \right] \quad (10-54)$$

式中 $V_o = V_{OL}$ 。这就是 C_L 在非饱和区的放电时间。

由于 C_L 的放电过程是经历了饱和区和非饱和区, 所以总的放电时间, 即下降时间为:

$$t_f = \frac{C_L}{g_{mI}} \left\{ \frac{2(V_{OH} - V_I + V_T)}{V_I - V_T} + \ln \left[\frac{2(V_I - V_T) - V_{OL}}{V_{OL}} \right] \right\} \quad (10-55)$$

式中 $g_{mI} = 2k_I(V_I - V_T)$ 。

由式(10-55)看出, 要想减小下降时间, 就要增大输入管 T_1 的跨导 g_{mI} 。因此, 根据对下降时间的要求, 利用式(10-55)可以决定倒相器输入管的几何尺寸。

只要选择适当的归一化时间常数, 可以使开关时间的计算得到简化。这里引入归一化的时间常数 τ_f 为:

$$\tau_f = \frac{C_L}{g_{mI}} = \frac{C_L}{2k_I(V_I - V_T)} \quad (10-56)$$

利用式(10-56)可将式(10-54)简化为:

$$\frac{V_o}{V_I - V_T} = \frac{2e^{-t_{f\#}/\tau_f}}{1 + e^{-t_{f\#}/\tau_f}} \quad (10-57)$$

式(10-57)表示出归一化的输出电压与归一化的开关时间的函数关系, 如图 10-26 所示。同样, 在图中也画出了在饱和区的归一化的输出电压与归一化的开关时间的函数关系。由图看出, C_L 在非饱和区的放电时间为 $2.74\tau_f$, 在饱和区的放电时间为 $0.8\tau_f$ 。因此, 总的放电时间, 即下降时间为:

$$t_f = 3.5\tau_f \quad (10-58)$$

这就是用来计算 t_f 的简化公式。

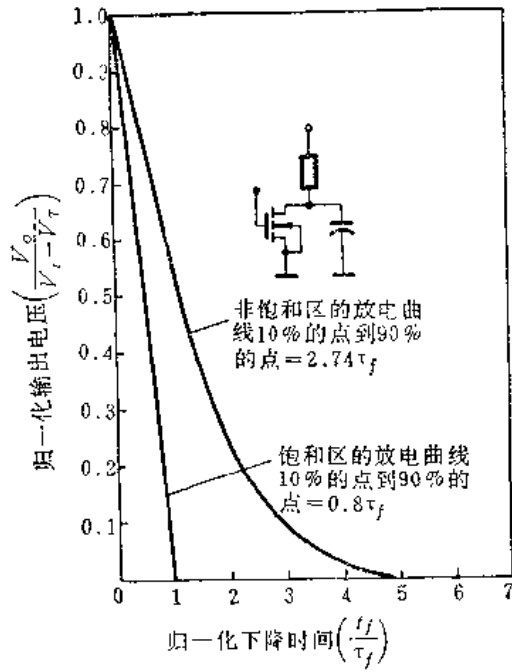


图10-26 MOS倒相器归一化的下降时间与归一化的输出电压的关系

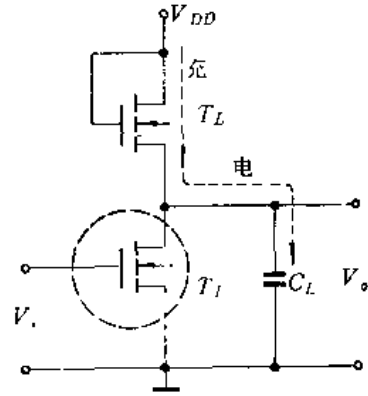


图10-27 截止瞬间的等效电路

2. 上升时间 t_r

分两种负载情况讨论。

(1) 饱和 MOS 负载时的上升时间

对于截止情况，倒相器在开始瞬间的等效电路如图 10-27 所示。

由于负载管 T_L 工作在饱和区，所以

$$i_L = k_L [(V_{DD} - V_o) - V_T]^2 \quad (10-59)$$

而 C_L 的充电电流为

$$i_c = C_L \frac{dV_o}{dt} \quad (10-48)$$

由于节点处的电流相等，所以

$$k_L [(V_{DD} - V_o) - V_T]^2 = C_L \frac{dV_o}{dt} \quad (10-60)$$

由式(10-60)得到积分式：

$$\int dt = \frac{C_L}{k_L (V_{DD} - V_T)} \int \frac{(V_{DD} - V_T)}{[(V_{DD} - V_T) - V_o]^2} dV_o$$

对式(10-60)两边积分，得到：

$$t_r = \frac{C_L}{k_L (V_{DD} - V_T)} \cdot \frac{V_{DD} - V_T}{[(V_{DD} - V_T) - V_o]} + C \quad (10-61)$$

如果当 $t = 0$ 时， $V_o = 0$ ，则积分常数 C 为：

$$C = -\frac{C_L}{k_L (V_{DD} - V_T)}$$

所以

$$t_r = \frac{C_L}{k_L (V_{DD} - V_T)} \left\{ \frac{V_o}{[(V_{DD} - V_T) - V_o]} \right\} = \frac{C_L}{g_{mL}} \left\{ \frac{2V_o}{[(V_{DD} - V_T) - V_o]} \right\} \quad (10-62)$$

式中 $V_o = V_{OH}$, $g_{mL} = 2k_L(V_{DD} - V_T)$ 。这就是饱和 MOS 负载倒相器的上升时间的表达式。由式(10-62)看出, 要想减小 t_r , 就需要增大负载管的跨导。因此, 从开关时间 t_r 的要求上, 利用式(10-62)可以决定倒相器负载管的几何尺寸。

若引入时间常数 τ_r 为:

$$\tau_r = \frac{C_L}{g_{mL}} \quad (10-63)$$

则由式(10-62)可以得到归一化的输出电压与归一化的开关时间的函数关系:

$$\frac{V_o}{V_{DD} - V_T} = \frac{t_r/\tau_r}{2 + t_r/\tau_r} \quad (10-64)$$

图 10-28 给出了这一函数关系的曲线。由图可见, 对于饱和 MOS 负载倒相器, 上升时间的表达式可简化为 $18\tau_r$, 即

$$t_r = 18\tau_r \quad (10-65)$$

这就是用来计算 t_r 的简化公式。

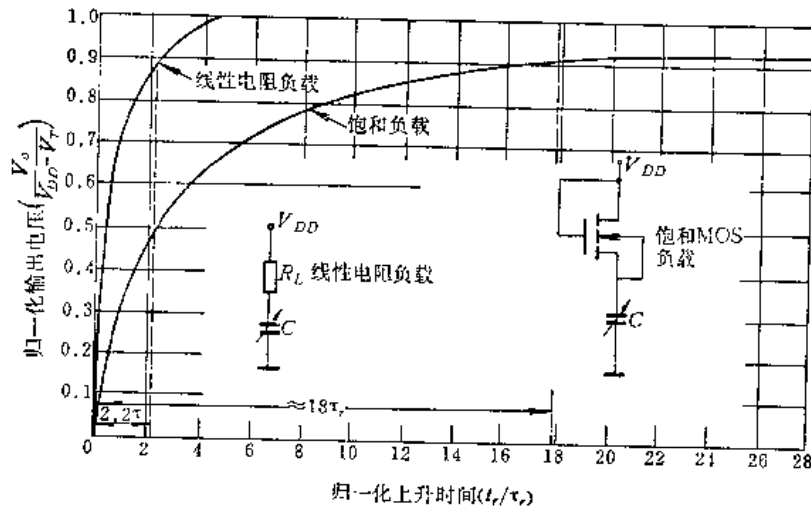


图10-28 MOS倒相器归一化的上升时间与归一化的输出电压的关系

为了比较, 在图 10-28 中也画出了线性电阻为负载时的情况, 其开关时间为 2.2τ ($\tau = R_L C$)。

在实际情况中, 当 $t = 0$ 时, 即 C_L 充电开始时, 输出 V_o 往往不等于零, 而是处于低电平。因此式(10-61)中的积分常数 C 为:

$$C = -\frac{C_L}{k_L} \left[\frac{1}{(V_{DD} - V_T) - V_{OL}} \right]$$

所以, 上升时间 t_r 应为:

$$t_r = \frac{C_L}{k_L} \left\{ \left[\frac{1}{(V_{DD} - V_T) - V_{OH}} \right] - \left[\frac{1}{(V_{DD} - V_T) - V_{OL}} \right] \right\} \quad (10-66)$$

(2) 非饱和 MOS 负载

负载管工作在非饱和区时, 其电流为:

$$i_L = k_L \{ 2[(V_{GG} - V_o) - V_T](V_{DD} - V_o) - (V_{DD} - V_o)^2 \} \quad (10-67)$$

将式(10-67)与式(10-48)相等, 得到:

$$C_L \frac{dV_o}{dt} = k_L [2(V_{GG} - V_T - V_o)(V_{DD} - V_o) - (V_{DD} - V_o)^2]$$

稍加整理, 得到

$$\tau_r' \frac{dV_o}{dt} = (V_{DD} - V_o) - \frac{(V_{DD}^2 - V_o^2)}{2(V_{GG} - V_T)} \quad (10-68)$$

式中

$$\tau_r' = \frac{C_L}{2k_L(V_{GG} - V_T)} \quad (10-69)$$

为非饱和 MOS 负载时的时间常数。

用最大输出电压 $V_{o\max} = V_{DD}$ 对式(10-68)两边归一化, 得到:

$$\tau_r' \frac{d\left(\frac{V_o}{V_{DD}}\right)}{dt} = \left(1 - \frac{V_o}{V_{DD}}\right) - \frac{m'}{2} \left[1 - \left(\frac{V_o}{V_{DD}}\right)^2\right] \quad (10-70)$$

式中

$$m' = \frac{V_{DD}}{V_{GG} - V_T} \quad (10-71)$$

为偏置参数。

对式(10-70)分离变量, 得到积分式:

$$\int_0^{t_r'} \frac{dt}{\tau_r'} = \int_0^{\frac{V_o}{V_{DD}}} \frac{d\left(\frac{V_o}{V_{DD}}\right)}{1 - \frac{V_o}{V_{DD}} + \frac{m'}{2} \left[\left(\frac{V_o}{V_{DD}}\right)^2 - 1\right]} \quad (10-72)$$

式中 t_r' 为非饱和 MOS 负载时的上升时间。利用积分公式

$$\int \frac{dx}{x^2 - a^2} = \frac{1}{2a} \ln \left(\frac{x - a}{x + a} \right)$$

对式(10-72)积分, 得到:

$$\frac{t_r'}{\tau_r'} = \frac{1}{(1 - m')} \left\{ \ln \left[\frac{\left(\frac{V_o}{V_{DD}}\right) - \frac{2}{m'} + 1}{\left(\frac{V_o}{V_{DD}}\right) - 1} \right] - \ln \left(\frac{2}{m'} - 1 \right) \right\} \quad (10-73)$$

对 (V_o/V_{DD}) 求解, 得到:

$$\frac{V_o}{V_{DD}} = \frac{(2 - m') \left[1 - e^{-\frac{t_r'}{\tau_r'} (1 - m')} \right]}{2 - m' \left[1 + e^{-\frac{t_r'}{\tau_r'} (1 - m')} \right]} \quad (10-74)$$

这就是非饱和 MOS 负载时以 m' 为参数的归一化的输出电压与归一化的开关时间的函数关系。

当 C_L 充电到输出电压 V_o 为最大输出电压的 90% 时, 即 $V_o/V_{DD} = 90\%$ 时, 从式(10-74) 不难得出 t_r' 为:

$$t_r' = \frac{\tau_r'}{2 - m'} \ln \left(\frac{20 - 19m'}{2 - m'} \right) \quad (10-75)$$

利用式(10-75)可以计算非饱和 MOS 负载倒相器的上升时间。

另外, 不难看出, 当 $m' = 0$ 时, 式(10-74)可简化为简单的指数关系, 即

$$\frac{V_o}{V_{DD}} = 1 - e^{-\frac{t}{\tau}} \quad (10-76)$$

这正是线性电阻为负载时的情况。这表明, 当 $V_{GS} \rightarrow \infty$ 时, 负载器件已相当于线性电阻, 其开关时间为 2.2τ 。可见偏置电压 V_{GG} 愈大, 负载管导通愈充分, 则充电时间愈短, 开关速度愈高。

当 $m' = 1$ 时, 利用罗必塔法则, 式(10-74)可简化为:

$$\frac{V_o}{V_{DD}} = \frac{t_r/\tau_r}{2 + t_r/\tau_r} \quad (10-77)$$

这正是饱和 MOS 负载时的情况。可见, 当 $m' = 1$ 时, 即 $V_{GG} = V_{DD} + V_T$ 时, 负载器件已工作在饱和区, 其开关时间为 18τ 。

由此可见, 偏置参数 m' 与 m 的物理意义一样, 都是说明负载器件的工作状态进入非饱和区的程度, 而其取值在 $0 \leq m' \leq 1$ 的范围。图 10-29 给出了 m' 从 0 ~ 1 时的归一化输出电压与归一化开关时间的关系曲线, 可供设计计算时参考。

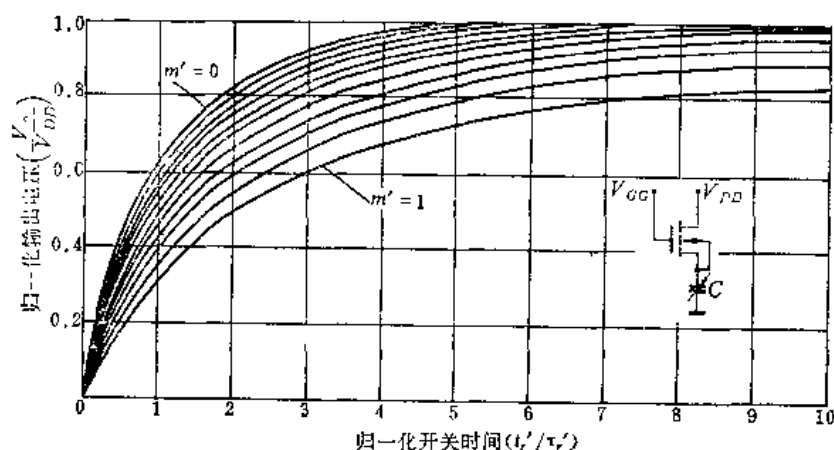


图10-29 非饱和MOS负载时的归一化输出电压与归一化开关时间的关系

以上的分析, 均未考虑衬底偏置效应的影响, 而在实际应用时, 必须考虑衬底偏置效应对开启电压的影响。因此, 在计算上升时间时, 开启电压应以 $(V_T)_{BS} = V_T + \Delta V_T$ 的值代入。

3. 最高工作频率 f_m

上面分析了倒相器的上升和下降时间。对于一般的电路, 上升时间远大于下降时间。例如, 对于饱和 MOS 负载,

$$\frac{t_r}{t_f} = \frac{18\tau_r}{3.5\tau_f} \approx 5\beta_R \quad (10-78)$$

因此, 在实际中, 下降时间可忽略不计。所以最高工作频率主要由上升时间决定。

图 10-30 画出了倒相器的输入、输出波形。从图看出, 如果输入脉冲的半周期 $T/2$ 大于输出脉冲的上升时间 t_r , 电路能够正常工作, 如图 10-30(a) 所示。如果输入脉冲的半周期 $T/2$ 小于输出脉冲的上升时间 t_r , 则输出高电平尚未达到最大值时, 状态就已翻转。

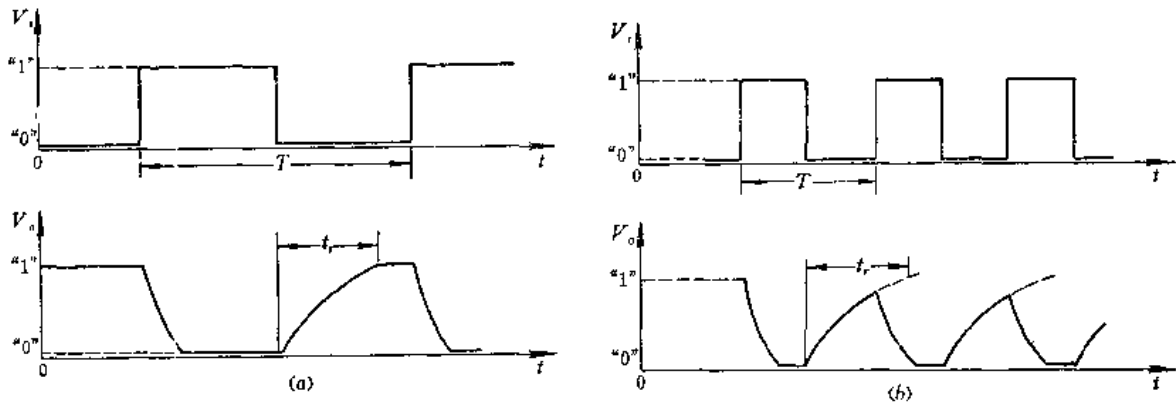


图10-30 定义最高工作频率示意图

这样, 输出电平的幅度显然就要下降。更甚者, 若输出脉冲尚未上升到开门电平, 状态就已翻转, 它作为下一级的门电路的输入, 就不能使下一级门导通, 整个电路就无法工作, 如图10-30(b)所示。因此, 要保证电路正常工作, 输入脉冲的频率就要受到限制, 要求它的半周期 $T/2$ 必须足够大, 即

$$\frac{T}{2} \geq t_r \quad (10-79)$$

由此可见, 输入脉冲的最小周期为:

$$T_{\min} = 2t_r \quad (10-80)$$

因此, 最高工作频率为:

$$f_m = \frac{1}{T_{\min}} = \frac{1}{2t_r} \quad (10-81)$$

三、功耗速度乘积

MOS 倒相器的静态功耗一般是指倒相器不接负载而处于导通状态时的功耗。当倒相器处于导通时, 导通电流流经负载管和输入管, 所以静态功耗为:

$$P_0 = I_{on} \cdot V_{DD} \quad (10-82)$$

从式(10-82)看出, 要想降低功耗, 就要减小导通电流 (即负载管的宽长比 $(W/L)_L$ 应取小些) 和降低电源电压。

从另一方面看, 根据瞬态特性的分析, 要改善 MOS 电路的工作速度, 就应设法减小上升时间, 而在一定的负载电容下, 减小上升时间, 则要求增大对负载电容充电电流。这可从两方面考虑: 一是增大电源电压; 二是减小负载管的电阻, 即增大负载管的宽长比 $(W/L)_L$ 。显然这就导致静态功耗的增加。所以降低功耗和提高开关速度相矛盾。因此, 不能单一地用功耗或者开关速度来衡量电路性能的优劣, 而往往是把静态功耗与上升时间的乘积作为标志电路性能好坏的重要参数, 即

$$\text{功耗速度积} = P_0 \times t_r \quad (10-83)$$

其单位一般是毫微焦耳(nJ)。

10.2.3 静态 MOS 门电路

一、“与非”门电路

图 10-31 所示的就是一个 MOS “与非”门电路。这个电路由三个 N 沟道增强型 MOS 管

所构成。 T_3 相当于倒相器中的负载管。 T_1 和 T_2 串联, 代替了倒相器的输入管, 其栅极分别作为“与非”门的两个输入端。输出从 T_2 管的漏极取出。

现在用正逻辑分析图 10-31 所示电路的逻辑功能。

当 A 、 B 两个输入端均为“1”时, T_1 和 T_2 导通, 具有很小的导通电阻。电源电压的大部分降在负载管 T_3 上。这时输出电压近似为零, 即输出为“0”。当 A 、 B 两个输入端中任一个为“0”, 与该输入端相连的 MOS 管截止。因为 T_1 和 T_2 串联, 只要有一个管子截止, 整个电路就不导通。这时, 输出电压为 $V_{DD}-V_T$, 即输出为“1”。显然, 输出 F 与输入 A 、 B 是“与非”逻辑关系, 所以图 10-31 所示的电路是“与非”门电路。

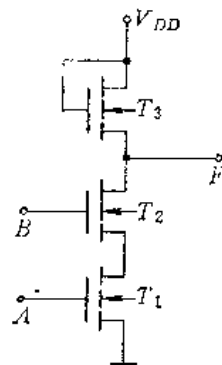


图10-31 MOS“与非”门电路

将图 10-31 所示的“与非”门电路与倒相器加以比较, 可以看出, 两输入端的“与非”门仅仅是把倒相器中的输入管换成了两个串联着的 MOS 管。如果把倒相器中的输入管以 N 个串联在一起的 MOS 管所代替, 则就变成 N 输入端的“与非”门电路, 如图 10-32 (a)

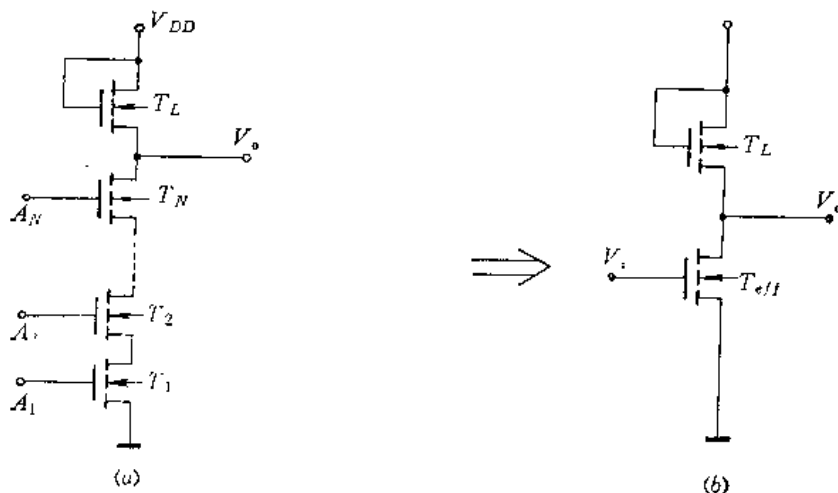


图10-32 N 输入端 MOS “与非” 门及其等效电路

所示。如果将串联的 T_1 、 T_2 、 $T_3 \cdots T_N$ 管以 T_{eff} 来等效, 则 N 输入端“与非”门可以用倒相器来等效, 如图 10-32 (b) 所示。显然, T_{eff} 的等效导通电阻可近似表示为:

$$R_{oneff} = \sum_{n=1}^N (R_{on})_n \quad (10-84)$$

其中 N 为输入端数。我们知道, MOS 管的导通电阻与沟道宽长比成反比, 所以

$$\left[\left(\frac{W}{L} \right)_{eff} \right]^{-1} = \sum_{n=1}^N \left[\left(\frac{W}{L} \right)_n \right]^{-1} \quad (10-85)$$

式 (10-35) 说明, 如果要使“与非”门具有与倒相器相同的特性, 则必须使“与非”门中串联着的各输入管的宽长比等于倒相器的 N 倍, 即

$$\left(\frac{W}{L} \right)_{\text{“与非”门}} = N \left(\frac{W}{L} \right)_{eff} \quad (10-86)$$

由此建立我们对“与非”门的设计方法。

从以上的分析看出,“与非”门电路存在以下缺点:

(1) 为了得到较好的特性,串联的输入管的宽长比必须增大,因而在图形设计上要占用很大的晶片面积,这对提高集成度和工艺成品率不利。

(2) 由于输入管是串联叠加结构,寄生电容较大,因而影响开关速度。

(3) 由于输入管串联,使 T_1 和 T_2 管(见图10-31)的源极电位不同,因此它们的源极与衬底间的电压 V_{BS} 也不同。这就造成各输入管的开启电压和跨导值不一样。所以,为了使输入器件维持一定的导通电阻,对输入“1”电平要求较高。

如果输入端数增加,以上这些问题表现得更为严重,对电路的设计带来很大不便。因此,对于串联输入管工作的“与非”门的输入端数目一般限制在三个以下。

二、“或非”门电路

图10-33所示的电路是由三个N沟道增强型MOS管所构成的“或非”门电路。与“与非”门电路不同的是这里的 T_1 和 T_2 管的源漏并联。

现在用正逻辑分析图10-33所示的电路的逻辑功能。

当 A 、 B 两个输入端都为“0”时, T_1 和 T_2 管均截止,其源漏端具有很高的电阻,所以输出为“1”。当 A 、 B 两个输入端中的任何一个为“1”,与该输入端相连的MOS管导通。因为 T_1 和 T_2 并联,只要有一个管子导通,其源漏端就具有很低的导通电阻,所以输出为“0”。显然,输出 F 与输入 A 、 B 是“或非”逻辑关系。因此图10-33所示的电路就是“或非”门电路。

如果在“或非”门电路的输入端并联 N 个MOS管,就构成 N 输入端“或非”门电路。如图10-34(a)所示,其中 T_1 、 T_2 、 T_3 …… T_N 可等效

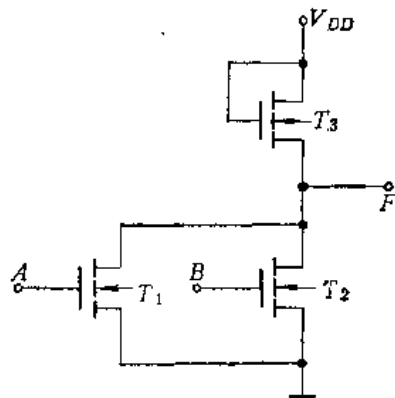


图10-33 MOS“或非”门电路

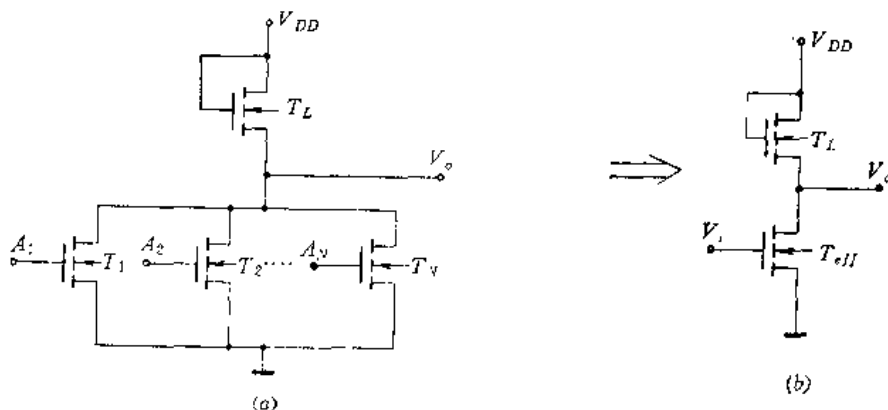


图10-34 N 输入端 MOS“或非”门及其等效电路

为输入管 T_{eff} ,如图10-34(b)所示。显然, T_{eff} 的等效导通电阻可表示为:

$$[(R_{on})_{eff}]^{-1} = \sum_{n=1}^N [(R_{on})_n]^{-1} \quad (10-87)$$

因此

$$\left(\frac{W}{L}\right)_{eff} = \sum_{n=1}^N \left(\frac{W}{L}\right)_n \quad (10-88)$$

式(10-88)说明,如果要使“或非”门具有与倒相器相同的特性,则“或非”门并联的输入管的宽长比等于倒相器的 $1/N$, N 为“或非”门的输入端数。在实际设计时,必须从最坏情况出发,即只有一个管子导通,而其它的并联管处于截止的情况。考虑到这种情况后,“或非”门输入管的宽长比仍需保持和倒相器输入管的宽长比有相同的数值,即

$$\left(\frac{W}{L}\right)_{\text{“或非”门}} = \left(\frac{W}{L}\right)_{eff} \quad (10-89)$$

由此建立对“或非”门的设计方法。

从以上的分析看出,对于输入管并联的“或非”门,它在提高集成度,减小寄生电容,扩大输入端数目等方面都比输入管串联时优越。因此,在MOS逻辑电路设计时,一般常采用输入管并联的形式。而且,当输入管串联工作的“与非”门的输入端数目需要增加时,也往往采用“或非”门加倒相器来构成“与非”门的形式,如图10-35所示,以避免输入管串联工作时所带来的弊病。

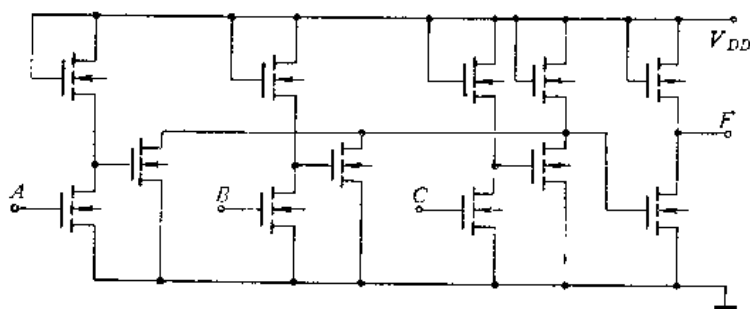


图10-35 不用输入管串联工作的“与非”门电路

根据逻辑代数中的反演律,图10-35中的输出与输入之间应有:

$$F = \overline{\overline{A+B+C}} = \overline{A+B+C} = \overline{A} \cdot \overline{B} \cdot \overline{C} \quad (10-90)$$

这正是“与非”门电路的逻辑表达式。但这种方法增加了门的级数,对工作速度有些影响。

以上讨论的“与非”门和“或非”门电路与极性有关,因为正逻辑用“1”表示高电平,用“0”表示低电平;而负逻辑用“0”表示高电平,用“1”表示低电平。所以用正逻辑设计时的“与非”门恰好是负逻辑设计时的“或非”门;而正逻辑的“或非”门却正好是负逻辑的“与非”门。可见,对于同一电路,从正、负逻辑的不同角度去分析,其逻辑关系是不同的。这一点需予以注意。

三、“与”门、“或”门及“与或非”门电路

MOS“与”门电路实际上是由“与非”门电路再加一级倒相器构成,其电路图如图10-36所示。

同样,MOS“或”门电路是由“或非”门电路再加一级倒相器构成。图10-37所示的是一个两输入端“或”门电路。

“与或非”门电路如图10-38所示,其中 T_1 和 T_2 管先串联再与 T_3 管并联,而后与

作为负载器件的 T_4 管相连, 构成“与或非”门电路。

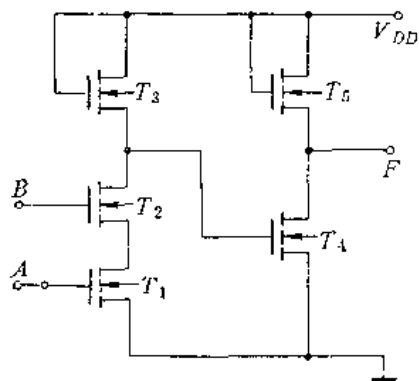


图10-36 MOS “与” 门电路

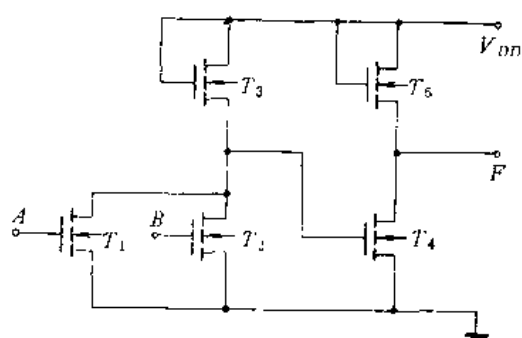


图10-37 MOS “或” 门电路

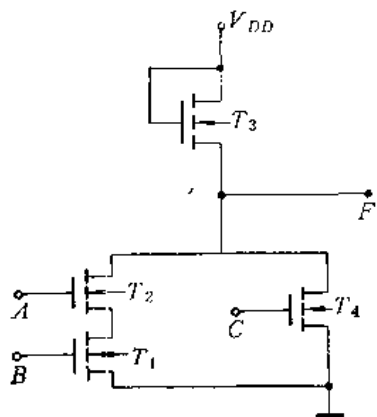


图10-38 MOS “与或非” 门电路

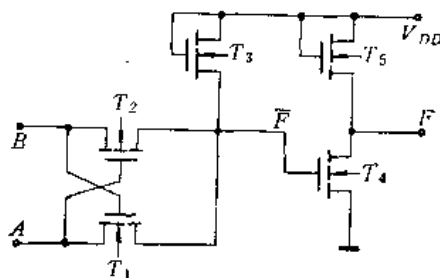


图10-39 NMOS “异或” 门电路

四、“异或”门和“同或”门电路

MOS “异或”门电路比较简单。图10-39所示的是它的电路图。这是一个由N沟道增强型MOS管组成的“异或”门电路, 其中 T_1 和 T_2 为门管, T_3 为负载管, T_4 和 T_5 组成倒相器。当两输入端 A 和 B 都是“1”(正电位)或者都是“0”(地电位)时, 两个门管 T_1 和 T_2 均不导通, $\bar{F}$ 为 $V_{DD}-V_T$, 经过倒相后, 输出端 F 为“0”; 当两个输入端 A 和 B 中一个为“0”而另一个为“1”时, 则两个门管 T_1 和 T_2 中, 一个截止而另一个导通, $\bar{F}$ 近似零, 经过倒相后, 输出端 F 为“1”。这就实现了“异或”逻辑功能。

如果用P沟道增强型MOS管组成“异或”门, 电路形式更简单, 其原理图如图10-40所示。工作原理, 请读者自行分析。

如果在“异或”门的输出端再加一级倒相器, 就构成一个“异或非”门, 其逻辑表达式为:

$$F = \overline{A\bar{B}} + A\bar{B} = AB + \bar{A}\bar{B} = A \oplus B \quad (10-91)$$

由此看出, 当两输入端 A 和 B 电平相同时, 输出端 F 为“1”; 当两输入端 A 和 B 电平相异时, 输出端 F 为“0”。“异或非”门有时称为“同或”门, 其输出电平与输入电平的关系见表10-1。

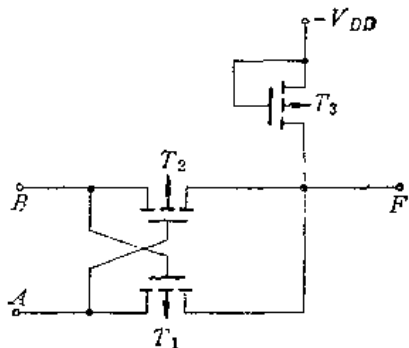


图10-40 PMOS “异或” 门电路

表10-1 “同或”门的逻辑关系

输 入		输 出	输 入		输 出
A	B	F	0	1	0
0	0	1	1	1	1
1	0	0			

显然, 若用N沟道 MOS 管组成“同或”门时, 只用三只管子就可构成。

五、输出驱动门

为了提高开关速度, 增大驱动能力, 电路的输出级, 往往设计成推挽输出 (或称图腾柱输出)。这种输出电路通常称为输出驱动门, 如图 10-41 所示, 其中 (a) 为倒相输出, (b) 为同相输出。

在图 10-41 (a) 中, 当输入 V_i 为“0”时, T_1 和 T_3 截止, T_4 导通, 输出 V_o 为“1”; 当输入 V_i 为“1”时, T_1 和 T_3 导通, T_4 截止, 输出 V_o 为“0”。输出与输入倒相。由以上的工作过程看出, T_3 和 T_4 管总是一个截止而另一个导通。因此, 不论 T_3 和 T_4 管的 k 常数比 β_k 有多大, 输出“0”电平都接近于零伏; 而且, 在静态条件下, T_3 和 T_4 管总有一个截止, 所以静态功耗近似为零。这样可将 T_3 和 T_4 管的宽长比 W/L 设计得相同, 并取较大的值。因而这种电路提高了工作速度和驱动能力。

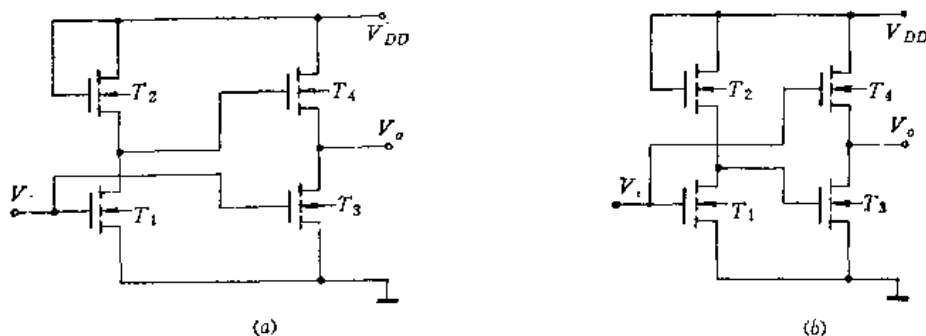


图10-41 输出驱动门

如果使输出级不起倒相的作用, 可采用图 10-41 (b) 所示的同相输出的电路形式, 因而增加了设计的灵活性。同相输出的工作原理与倒相输出的相类似, 故不重述。

设计这种电路时, 首先考虑前级倒相器 T_1 和 T_2 管的几何尺寸。由图 10-41 (a) 看出, 负载管 T_2 和 T_4 的尺寸确定了整个驱动电路对负载电容充电的上升时间, 而 T_2 管主要考虑对 T_4 管栅电容充电的速度。这样, T_2 管的几何尺寸就确定了。 T_1 管的设计主要考虑能够使 T_4 管在 T_3 管导通之前有效地截止, 以免造成电源 V_{DD} 对地的直流通路。这样, T_1 管导通时该级倒相器的输出低电平一定要小于 T_4 管的开启电压 V_T 。由此确定 T_1 管的几何尺寸。后级倒相器 T_3 管, 从电路的速度要求, 可设计成大跨导器件, 这样同时也可达到驱动大的负载能力。

上述两种输出驱动门电路的结构还存在一些缺点: (1) 由于负载管 T_2 和 T_4 均工作在饱和区, 所以输出高电平为 $(V_{DD} - 2V_T)$, 即比原来降低了一个开启电压的数值; (2) 由于前级倒相器实际上存在延迟时间, 所以后级倒相器 T_3 和 T_4 管有可能同时导通和同时截止, 因而影响了上升和下降时间。

为了改善电路性能, 可采取如下的办法:

(1) 在输出端附加一个负载管

图 10-42 所示的是一种改进的输出驱动门, 其中 T_5 管是附加在输出端的负载管。显然, 这时的输出高电平为 $(V_{DD}-V_T)$, 因而改善了电路性能, 而且 T_5 管的宽长比可设计得小些, 对其它参数也无影响。

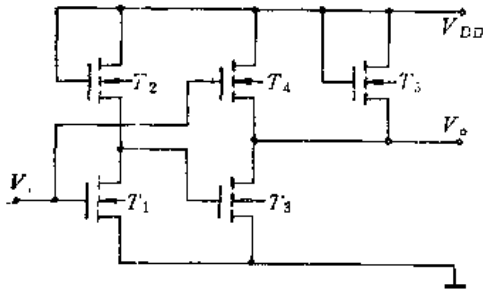


图10-42 改进的输出驱动门

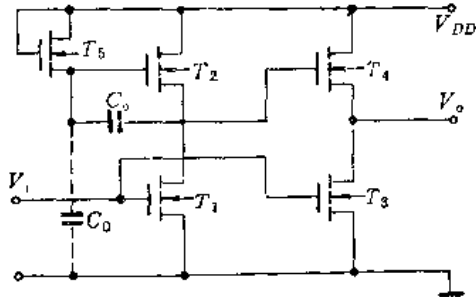


图10-43 具有自举电容的输出驱动门

(2) 采用电容自举电路

图 10-43 所示的是一个具有自举电容的输出驱动门电路, 其中 C_b 为自举电容, 它是做在 T_2 管的栅源之间的 MOS 电容; C_o 是包括 T_2 管的栅电容和 T_5 管的源扩散区势垒电容之和。当输入 V_i 为“1”时, T_1 管导通, 电容 C_b 和 C_o 被充电至 $(V_{DD}-V_T)$ 电位, 即这时 T_2 管的栅压为 $(V_{DD}-V_T)$ 。当输入 V_i 为“0”时, T_1 管截止, 其漏极电位升高。由于自举电容 C_b 的正反馈作用, T_2 管的栅极又叠加一个附加电压 ΔV , 其值近似为:

$$\Delta V = \frac{C_b}{C_b + C_o} \cdot V_{DD} \quad (10-92)$$

令

$$\delta = \frac{C_b}{C_b + C_o} \quad (10-93)$$

称为自举率。要使 δ 增大, 就需要增大 C_b 和减小 C_o 。一般自举电容设计为 $C_b \geq 2C_o$ 。因此 $\Delta V \geq 0.67V_{DD}$, 所以 T_2 管的栅压由于电容 C_b 的反馈作用被“自举”到一个较高的电位 ($\approx 2V_{DD}-V_T$), 从而使 T_2 管工作在非饱和区。这不仅使输出电平得到了改善, 而且也提高了电路的工作速度。

在实际电路中, 为了防止在静态工作时 C_b 上的电荷被反偏的 PN 结漏掉, 一般多采用图 10-44 所示的电路。

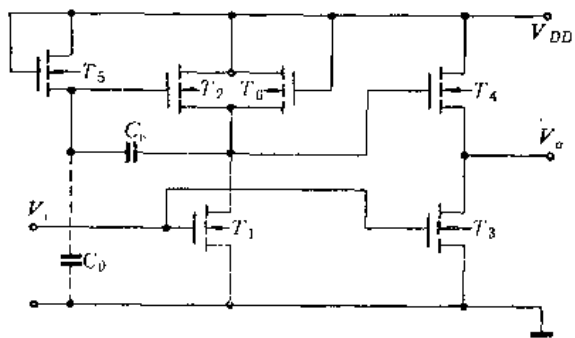


图10-44 静态工作时的自举式输出驱动门

10.3 E/D MOS 倒相器和门电路

为了提高 MOS 电路的性能, 发展了一种用增强型器件作为输入管, 而以耗尽型器件作为负载管的倒相器, 这就是增强型-耗尽型 MOS 倒相器, 简称 E/D MOS 倒相器。图

10-45 所示的是一种N沟道 E/D MOS 倒相器, 其中 T_E 为增强型输入管, T_D 为耗尽型负载管。由于负载管的栅极与源极相连, 即在 $V_{GS}=0$ 的条件下工作, 所以它一直处于导通状态。

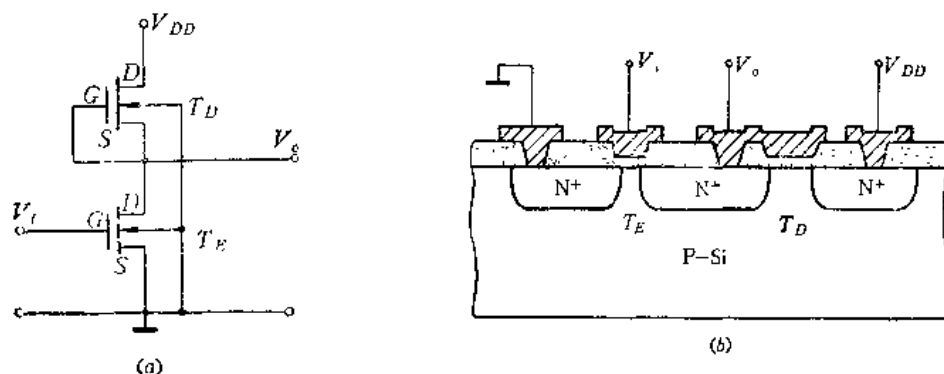


图10-45 N沟道 E/DMOS 倒相器

10.3.1 工作原理

当输入 V_i 为高电平“1”时, 例如 $V_i = V_{DD}$, T_E 管导通, 工作在非饱和区; T_D 管工作在饱和区, 其导通电阻比输入管大得多。因此电源电压基本上降落在负载管上。所以输出 V_o 为低电平“0”。当输入 V_i 为低电平“0”时, 例如 $V_i = 0$, T_E 管截止; 而此时的 T_D 管工作在非饱和区, 其导通电阻比输入管小得多。因此电源电压基本上降落在输入管上, 所以输出 V_o 为高电平“1”。这就完成了倒相的功能。

10.3.2 特性分析

一、静态特性

分析倒相器的静态特性主要是讨论输出特性、直流传输特性及噪音容限。

1. 负载线及输出特性

图 10-46 画出了耗尽型 MOS 管的漏特性曲线。由于负载管的栅源相连, 所以它的伏-安特性就是图 10-46 中 $V_{GS}=0$ 的那一条曲线。根据负载方程

$$V_o = V_{DD} - V_{DSD}$$

式中 V_{DSD} 是 T_D 管的漏源电压。将这条曲线画到输入管的输出特性曲线上, 就得到倒相器的负载线, 如图 10-47 所示。交点 A、B 就是倒相器的两种工作状态。倒相器工作在 A 点。

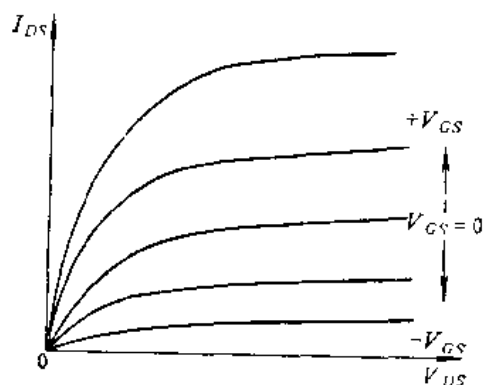


图10-46 耗尽型 MOS 管的漏特性曲线

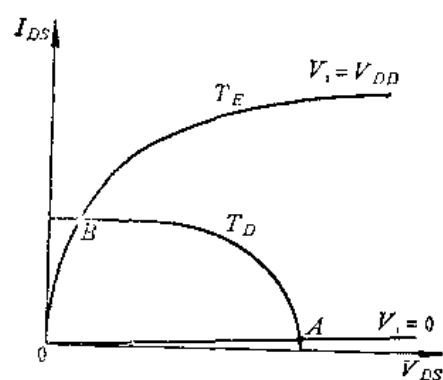


图10-47 E/DMOS 倒相器的负载线及工作点

时,称为关态,电路输出高电平“1”;倒相器工作在 B 点时,称为开态,电路输出低电平“0”。下面分别讨论关态和开态特性。

(1) 关态特性

当输入低电平(≈ 0)时,输入管 T_E 截止,倒相器处于关态,其电流 $I_{D:E}=0$,输出电压 V_o 很接近 V_{DD} 。这时,对于负载管,其漏源电压 V_{DSD} 为

$$V_{DSD}=V_{DD}-V_o\approx 0$$

又因负载管的栅源电压 $V_{GSD}=0$,所以满足条件:

$$V_{DSD}<V_{GSD}-V_P$$

其中 V_P 为耗尽型负载管的夹断电压,其值为负。因此,负载管处于非饱和态,其漏源电流 I_{DSD} 可表示为

$$I_{DSD}=k_D[2(-V_P)(V_{DD}-V_o)-(V_{DD}-V_o)^2] \quad (10-94)$$

式中 k_D 为负载管的 k 常数。如果电路中没有其它漏泄电流,则 $I_{DSD}=I_{DSE}=0$ 。而且这时的 V_o 即为输出高电平 V_{OH} ,因此从式(10-94)得到:

$$V_{OH}=V_{DD} \quad (10-95)$$

由此看出,E/D MOS倒相器的输出高电平为电源电压。这就是说电源电压得到充分利用。

(2) 开态特性

当输入高电平($=V_{DD}$)时,输入管 T_E 导通,倒相器处于开态。输出电压 V_o 很接近地电位零伏。因此,输入管的漏源电压 V_{DSE} 为

$$V_{DSE}=V_o\approx 0$$

又因输入管的栅源电压 $V_{GSE}=V_i=V_{DD}$,所以满足条件:

$$V_{DSE}<V_{GSE}-V_T$$

因此,输入管处于非饱和态,其漏源电流可表示为:

$$I_{DSE}=k_E[2(V_{DD}-V_T)V_o-V_o^2] \quad (10-96)$$

式中 k_E 为输入管的 k 常数。

这时,对于负载管,其漏源电压为:

$$V_{DSD}=V_{DD}-V_o\approx V_{DD}$$

又因

$$V_{GSD}-V_P=-V_P$$

所以满足条件:

$$V_{DSD}>V_{GSD}-V_P$$

因此负载管处于饱和态,其漏源电流 I_{DSD} 可表示为:

$$I_{DSD}=k_DV_P^2 \quad (10-97)$$

由于倒相器稳定时, $I_{DSE}=I_{DSD}$,而且其中的 V_o 即为输出低电平 V_{OL} ,所以从式(10-96)和式(10-97)可以得到:

$$V_{OL}=\frac{V_P^2}{2\beta_R(V_{DD}-V_T)^2} \quad (10-98)$$

式中

$$\beta_R = -\frac{k_R}{k_D} \quad (10-99)$$

式(10-98)就是输出低电平的表达式,它说明E/DMOS倒相器的输出低电平与器件参数 β_R 和工艺参数 V_P 、 V_T 有关。 β_R 愈大, V_T 和 V_P 愈小,输出低电平愈接近于零。

导通电流 I_{on} 就是倒相器处于开态时负载管的饱和电流,即

$$I_{on} = k_D V_P^2 \quad (10-100)$$

由此可见,导通电流 I_{on} 与 $k_D V_P^2$ 成正比,而与所加的电压无关,表现了恒流特性。

2. 传输特性及直流噪声容

先把负载管和输入管的工作区域作一划分。

负载管:当 $V_{DD}-V_o < -V_P$ 时,工作在非饱和区;当 $V_{DD}-V_o > -V_P$ 时,工作在饱和区;饱和区和非饱和区的分界线为:

$$V_o = V_{DD} + V_P \quad (10-101)$$

输入管:当 $V_o < V_i - V_T$ 时,工作在非饱和区;当 $V_o > V_i - V_T$ 时,工作在饱和区。饱和区和非饱和区的分界线为

$$V_o = V_i - V_T \quad (10-102)$$

根据上述条件,在图10-48中划分了三个区域。在Ⅰ区:负载管处于非饱和,输入管处于饱和;在Ⅱ区:负载管和输入管均处于饱和;在Ⅲ区:负载管处于饱和,输入管处于非饱和。

现在讨论电压传输特性。

在Ⅰ区,输入管处于饱和,其电流为:

$$I_{DSE} = k_R (V_i - V_T)^2 \quad (10-103)$$

负载管处于非饱和,其电流为:

$$I_{DSD} = k_D [2(-V_P)(V_{DD} - V_o) - (V_{DD} - V_o)^2] \quad (10-94)$$

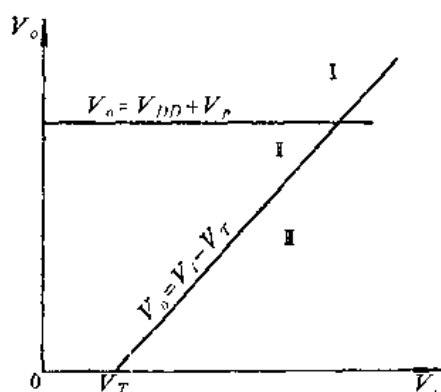


图10-48 E/DMOS倒相器的工作区划分

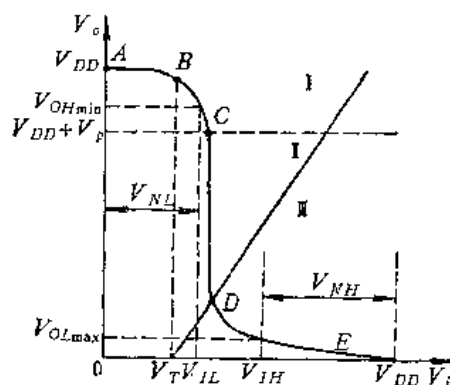


图10-49 E/DMOS倒相器的传输特性和噪声容限

由于流经负载管和输入管的电流相等,所以从式(10-103)和式(10-94)得到

$$V_o = V_{DD} + V_P \left[1 - \sqrt{1 - \frac{\beta_R (V_i - V_T)^2}{V_P^2}} \right] \quad (10-104)$$

当 $V_i < V_T$ 时,输入管截止,倒相器输出高电平。从式(10-104)得到 $V_{OH} = V_{DD}$,如图10-49中的AB段所示。当 $V_i > V_T$,但大得不多时,即满足 $\beta_R (V_i - V_T)^2 \ll V_P^2$ 时,式(10-104)可近似为:

$$V_o \approx V_{DD} + \frac{\beta_R(V_i - V_T)^2}{2V_P} \quad (10-105)$$

由式(10-105)看出, V_o 随 V_i 以抛物线形式变化, 如图 10-49 中的 BC 段所示。C 点对应的输入电压可由式(10-104)和式(10-101)联立求得:

$$V_i = V_T - \frac{V_P}{\sqrt{\beta_R}} \quad (10-106)$$

由此看出, β_R 愈大, V_P 愈小, 则从 B 点到 C 点的转折就愈快。

在 I 区, 负载管和输入管均处于饱和, 因此由式(10-97)和式(10-103)相等, 得到:

$$V_i = V_T - \frac{V_P}{\sqrt{\beta_R}} \quad (10-107)$$

它是与纵轴平行的 CD 直线。D 点的坐标就是式(10-107)与式(10-102)的交点, 即

$$V_o = -\frac{V_P}{\sqrt{\beta_R}} \quad (10-108)$$

由此看出, β_R 愈大, V_P 愈小, 则输出低电平愈接近于零。

在 II 区, 负载管饱和, 输入管非饱和, 由式(10-97)和式(10-96)相等, 得到:

$$V_o = (V_i - V_T) \left[1 - \sqrt{1 - \frac{V_P^2}{\beta_R(V_i - V_T)^2}} \right] \quad (10-109)$$

当 $\beta_R(V_i - V_T)^2 \gg V_P^2$ 时, 上式可近似为:

$$V_o \approx \frac{V_P^2}{2\beta_R(V_i - V_T)} \quad (10-110)$$

由此可见, 输出电压 V_o 随输入电压 V_i 的增大而逐渐降低, 而且 V_P 愈小, V_o 下降愈快, 如图 10-49 中的 DE 段所示。

从以上的分析看出, E/D MOS 倒相器的直流特性与器件参数 β_R 和工艺参数 V_P 、 V_T 有密切关系。而且, 耗尽型负载管的夹断电压 V_P 与增强型负载管的开启电压 V_T 一样, 要受衬底偏压的调制, 即受输出电压的影响。图 10-50 示出了三个设计参数 β_R 、 V_P 和 C (衬底偏置效应常数) 对传输特性曲线的影响。

从图 10-50 看出, 传输特性强烈地依赖于 V_P 。因此 V_P 成为 E/D MOS 电路设计中的一个重要的考虑因素。同时, 对于良好的传输特性, 希望 β_R 有较大的值, 但这将对开关速度不利。图 4-50(a) 表明, 取 $\beta_R = 1$ 较为合适。

现在利用图 10-49 来讨论 E/D MOS 倒相器的直流噪音容限。设 V_{OHmin} 为规定的最小输出高电平, 则它对应的输入电压就是关门电平, 以 V_{IL} 表示。在式(10-105)中用 V_{OHmin} 和 V_{IL} 分别代替 V_o 和 V_i , 便得到:

$$V_{IL} = V_T + \sqrt{\frac{2V_P(V_{OHmin} - V_{DD})}{\beta_R}} \quad (10-111)$$

同理, 设 V_{OLmax} 为规定的最大输出低电平, 则它对应的输入电压就是开门电平, 以 V_{IH} 表示。利用式(10-110)可得:

$$V_{IH} = V_T + \frac{V_P^2}{2\beta_R V_{OLmax}} \quad (10-112)$$

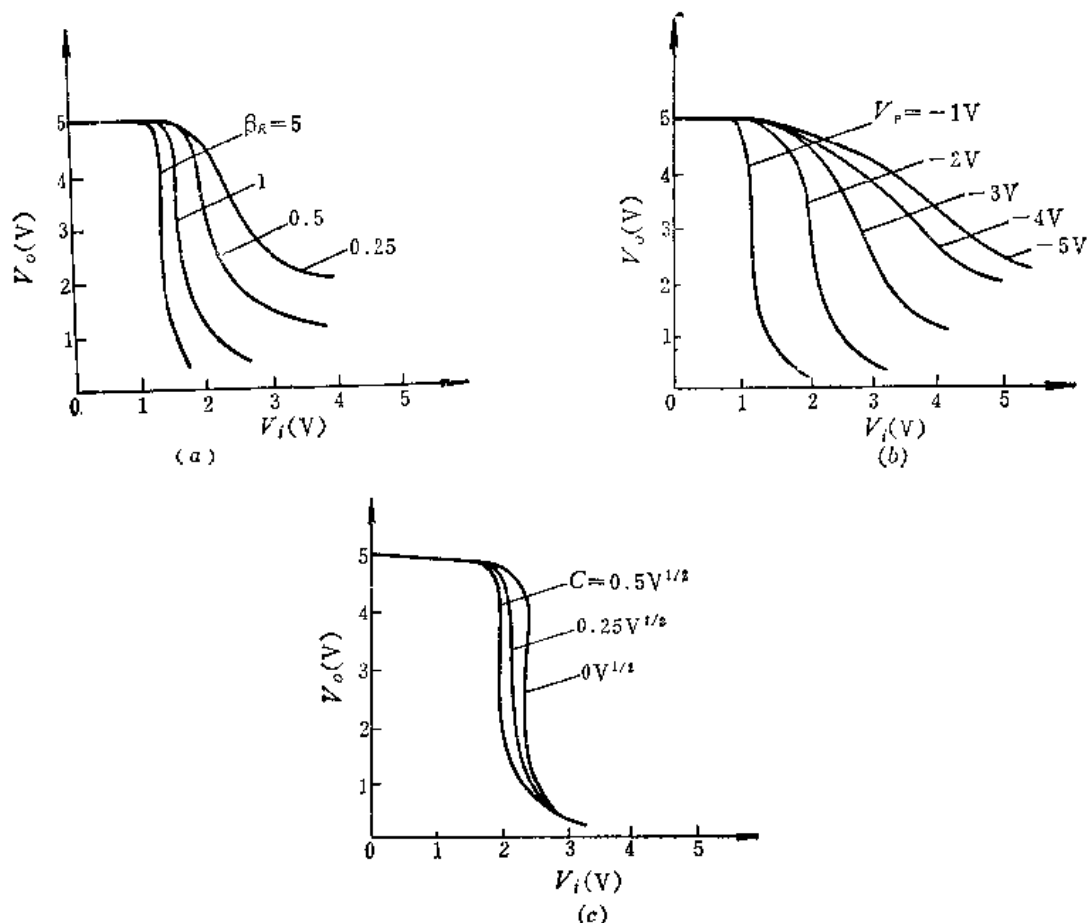


图 10-50

(a) β_R 对传输特性的影响; (b) V_P 对传输特性的影响; (c) C 对传输特性的影响。

由式 (10-111) 可得到输入低电平噪声容为

$$V_{NL} = V_{IL} - V_{OL} \quad (10-113)$$

由式 (10-112) 可得到输入高电平噪声容为

$$V_{NH} = V_{DD} - V_{IH} \quad (10-114)$$

〔例〕 若 $V_{DD} = 5\text{ V}$, $V_T = 1\text{ V}$, $V_P = -1.5\text{ V}$, $\beta_R = 1$, 并规定 $V_{OHmin} = 4\text{ V}$, $V_{OLmax} = 0.5\text{ V}$ 。试计算噪声容。

由式 (10-111), 得到:

$$V_{IL} = 2.75\text{ V}$$

由式 (10-112), 得到:

$$V_{IH} = 3.25\text{ V}$$

所以

$$V_{NL} = 2.75 - 0.5 = 2.25\text{ V}$$

$$V_{NH} = 5 - 3.25 = 1.75\text{ V}$$

由此可见, 噪声容达电源电压的35%以上。

综上所述, 可以看出E/D MOS 倒相器静态特性的几个特点:

(1) 最大输出电压等于电源电压, 因而E/D MOS 电路可以在低电源电压下工作。

(2) 直流特性强烈地依赖于负载管的夹断电压 V_P , V_P 成为电路设计中的一个重要因素。因此在电路设计时, 可以在不改变输入管的宽长比 W/L 的情况下通过调节 V_P 来保证输出低电平的要求, 这样可以减小芯片面积。

(3) 直流噪声容大, 抗干扰能力强。

(4) 负载管具有恒流源特性, 可提高电路的工作速度。

二、瞬态特性

E/DMOS 倒相器的瞬态特性, 同样也是指倒相器在截止和导通时负载电容的充放电时间所决定的开关特性。E/DMOS 倒相器的下降(导通)时间与 NMOS 倒相器的分析方法完全类似, 而且也比较小, 所以就不再讨论。在这里, 主要讨论倒相器在截止时的充电时间, 即上升时间。图 10-51 示出了电源对负载电容充电的途径。

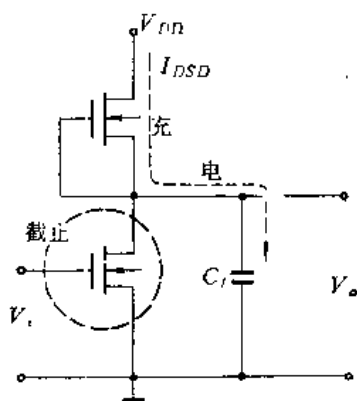


图10-51 截止时间分析

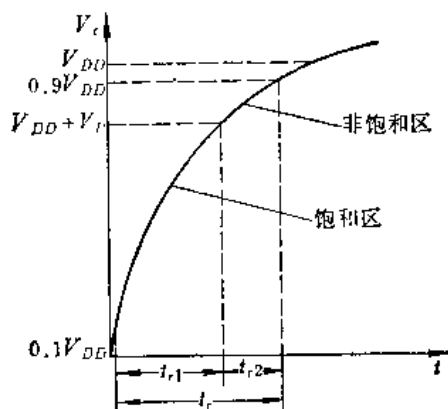


图10-52 E/DMOS倒相器的充电时间

当输入由高电平跳变到低电平时, 输入管截止, 电源电压 V_{DD} 通过导通的负载管向负载电容 C_L 充电, 使输出从低电平 ($\approx 0V$) 上升到高电平 ($\approx V_{DD}$)。我们定义, 输出电压 V_o 从最大输出电平的 10% 上升到 90% 所需要的时间为上升时间 t_r 。在此过程中, 耗尽型负载管经历了饱和与非饱和两种状态, 如图 10-52 所示。

当 $V_o < V_{DD} + V_P$ 时, 负载管处于饱和, 电源通过负载管几乎以恒定电流 I_{DSD} 向 C_L 充电, 即 $I_{DSD} = k_D V_P^2$, 而 $i_c = C_L dV_o/dt$, 所以

$$k_D V_P^2 = C_L \frac{dV_o}{dt} \quad (10-115)$$

输出电压 V_o 从 $0.1V_{DD}$ 上升到 $(V_{DD} + V_P)$ 所需的时间为 t_{r1} , 因此

$$t_{r1} = \int_0^{t_{r1}} dt = \frac{C_L}{k_D V_P^2} \int_{0.1V_{DD}}^{V_{DD}+V_P} dV_o = \frac{C_L(0.9V_{DD}+V_P)}{k_D V_P^2} \quad (10-116)$$

这就是负载管工作在饱和区的充电时间。

当 $V_o > V_{DD} + V_P$ 时, 负载管处于非饱和, 所以

$$k_D [2(-V_P)(V_{DD} - V_o) - (V_{DD} - V_o)^2] = C_L \frac{dV_o}{dt} \quad (10-117)$$

输出电压 V_o 从 $(V_{DD} + V_P)$ 上升到 $0.9V_{DD}$ 所需的时间为 t_{r2} , 可由式 (10-117) 积分得到:

$$t_{r2} = \frac{C_L}{k_D} \int_{(V_{DD}+V_P)}^{0.9V_{DD}} \frac{dV_o}{[2(V_o - V_{DD})V_P - (V_o - V_{DD})^2]} \quad (10-118)$$

令 $(V_o - V_{DD}) = x$, 则上式变为:

$$t_{r2} = -\frac{C_L}{k_D} \int_{V_P}^{-0.1V_{DD}} \frac{dx}{x(2V_P - x)} \quad (10-119)$$

利用积分公式

$$\int \frac{dx}{x(a+bx)} = -\frac{1}{a} \ln \frac{a+bx}{x} + C$$

$$t_{r2} = \frac{C_L}{k_D} \cdot \frac{1}{2V_P} \ln \frac{x}{2V_P - x} \Big|_{V_P}^{-0.1V_{DD}} = \frac{C_L}{2k_D V_P} \ln \frac{2V_P + 0.1V_{DD}}{-0.1V_{DD}} \quad (10-120)$$

这就是负载管工作在非饱和区的充电时间。

所以, 总的充电时间 t_r 为:

$$t_r = t_{r1} + t_{r2} = \frac{C_L}{k_D V_P} \left[\frac{0.9V_{DD} + V_P}{V_P} + \frac{1}{2} \ln \frac{2V_P + 0.1V_{DD}}{-0.1V_{DD}} \right] \quad (10-121)$$

式 (10-121) 适用于 $0.9V_{DD} > V_{DD} + V_P$ 的情况。如果 $0.9V_{DD} = V_{DD} + V_P$, 则 $t_{r2} = 0$, 这时

$$t_r = t_{r1} = \frac{C_L(0.9V_{DD} + V_P)}{k_D V_P^2} \quad (10-122)$$

如果 $0.9V_{DD} < V_{DD} + V_P$, 则负载管始终处于饱和, $t_{r2} = 0$, 而且求 t_{r1} 时, 输出电压是从 $0.1V_{DD}$ 积分到 $0.9V_{DD}$, 可得:

$$t_r = \frac{0.8C_L V_{DD}}{k_D V_P^2} = \frac{0.8C_L V_{DD}}{I_{on}} \quad (10-123)$$

由以上分析看出, E/D MOS 倒相器的上升时间与充电电流的大小有关, 而充电电流的大小又与器件参数 β_R 和工艺参数 V_P 有关。图 10-53 给出了器件参数和工艺参数对上升时间的影响。

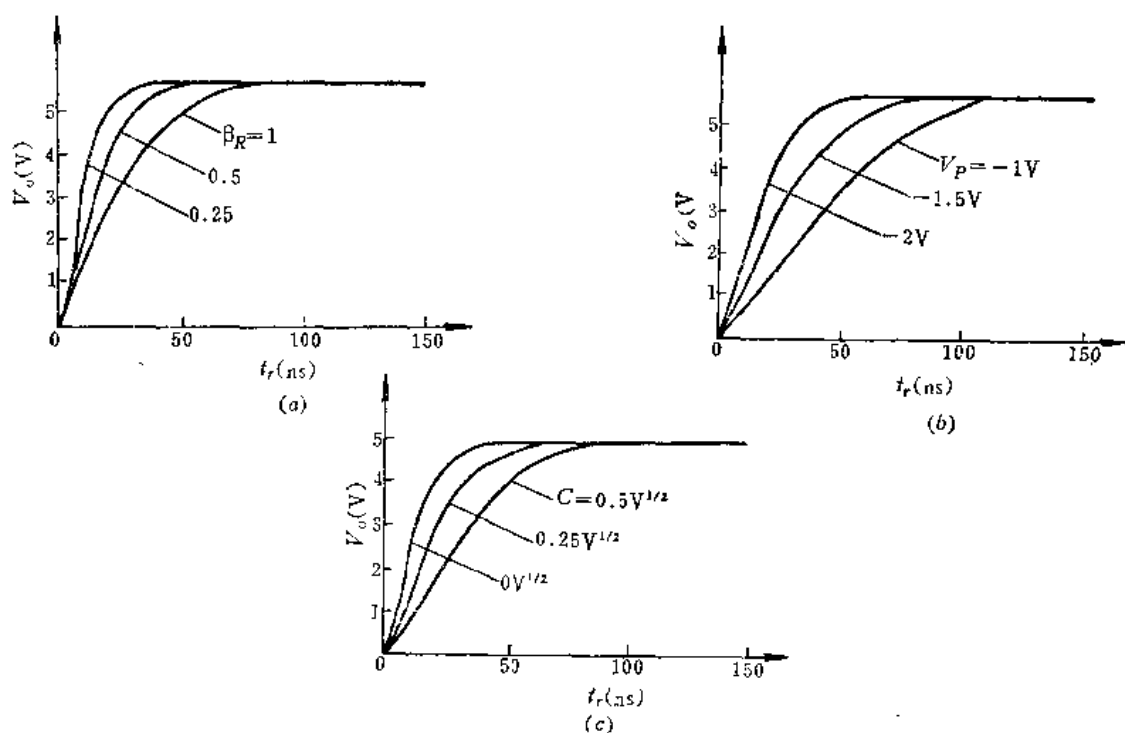


图10-53 β_R , V_P , C 对 t_r 的影响

(a) β_R 对 t_r 的影响; (b) V_P 对 t_r 的影响; (c) C 对 t_r 的影响。

由图 10-53 看出, 要想得到良好的开关特性, 则希望 β_R 小, 即 k_D 较大, 而且夹断电压 V_P 较大。然而这些与良好的直流特性设计相矛盾。所以, 在设计时, 必须处理好这些矛盾, 选取合理的设计参数。

三、速度功耗乘积

E/DMOS 倒相器的静态功耗 P_o 为

$$P_o = I_{on} V_{DD} = k_D V_P^2 V_{DD} \quad (10-124)$$

由上式看出, 对于 k_D 和 V_{DD} 一定的电路, 静态功耗与阈电压的平方成正比。如能控制阈电压将大大减小功耗。但在实际中, 由于阈电压 V_T 和 V_P 的大小取决于工艺, 在设计中调节 β_R 比调节阈电压方便。因此为了使电路有良好的直流特性, 往往要求最佳组合的归一化阈电压 V_T/V_{DD} 和 V_P/V_{DD} 保持不变。这时, 静态功耗与电源电压 V_{DD} 的三次方成正比, 即

$$P_o = k_D (V_P/V_{DD})^2 V_{DD}^3 \quad (10-125)$$

由于 E/DMOS 倒相器的输出高电平接近于 V_{DD} , 电源电压得到了充分利用, 所以可以适当地减小电源电压 V_{DD} 的数值, 以降低功耗。图 10-54 给出了 V_{DD} 与功耗的关系。图中虚线是 $V_{OL} = 0.1V_{DD}$, 实线是 $V_{OL} = 0.05V_{DD}$ 。

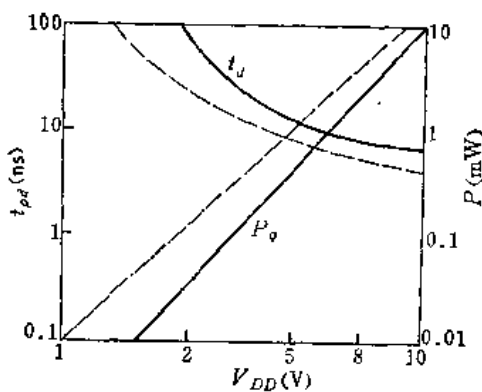


图10-54 延迟-功耗特性

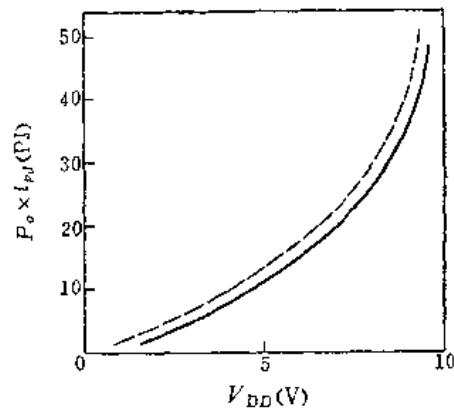


图10-55 速度功耗乘积与电源电压的关系

速度功耗乘积应是延迟时间与功耗的乘积。为了简明, 在这里以上升时间近似表示, 即

$$\text{速度功耗乘积} = k_D (V_P/V_{DD})^2 V_{DD}^3 \frac{C_L V_{DD}}{k_D (V_P/V_{DD})^2 V_{DD}^3} = C_L V_{DD}^2 \quad (10-126)$$

式 (10-126) 可用来估算 E/DMOS 电路的速度功耗乘积的近似值。图 10-55 给出了速度功耗乘积与电源电压的关系。

由图 10-54 和图 10-55 可见, 电源电压愈高, 开关速度愈快, 但功耗也明显增加。所以在设计时要作具体考虑。图 10-54 中 t_{pd} 和 P 两组曲线相交的区域是选取电源电压较为适中的范围。

10.3.3 E/DMOS 门电路

图 10-56 示出了 N 沟道 E/DMOS “与非” 门和 “或非” 门电路的原理图, 它与前面介绍的 E/EMOS “与非” 门和 “或非” 门电路的形式很相似, 而区别在于 E/DMOS 门电路的负载管用耗尽型。正因为如此, 对于 E/DMOS “与非” 门电路无需利用逻辑转换,

将输入管串联工作的“与非”门转换成输入管并联工作的“或非”门，从而减少了级数和器件数目。

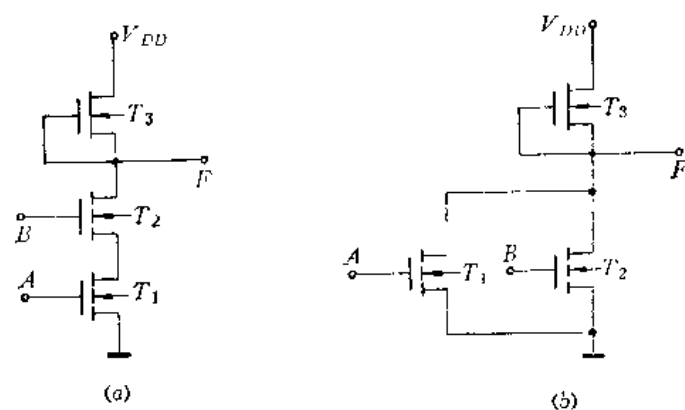


图 10-56

(a) 两输入端 E/DMOS “与非” 门; (b) 两输入端 E/DMOS “或非” 门。

图 10-57 所示的是 E/DMOS 输出驱动门，其中 (a) 为同相输出，(b) 为倒相输出。

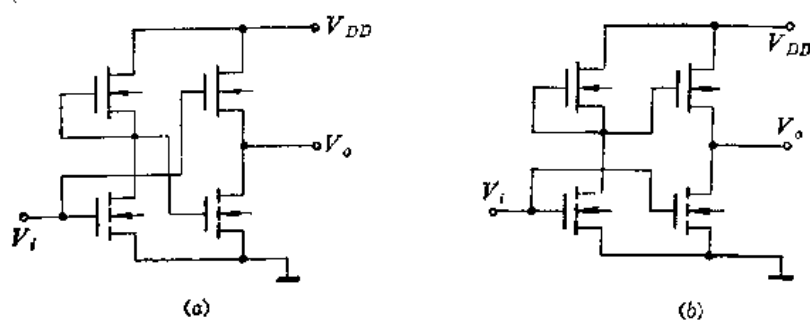


图10-57 E/DMOS输出驱动门

图 10-58 所示的是 E/DMOS “异或” 门电路。在实用的“异或”门电路中， A 、 B 输入端都加有一级倒相器隔离，起整形、缓冲的作用，而输出端一般多采用图腾输出门，以增大驱动能力。

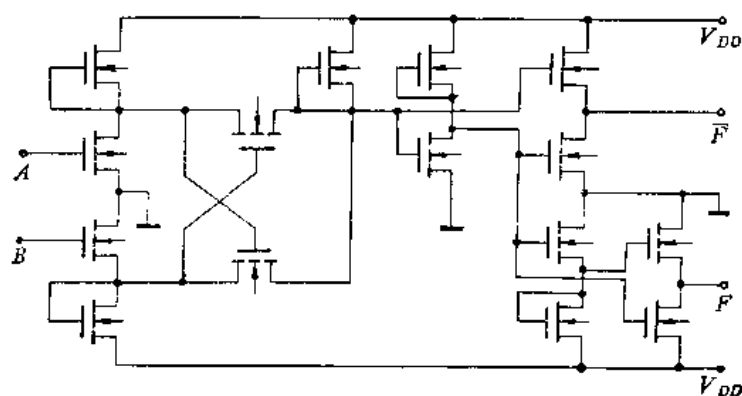


图10-58 E/DMOS “异或” 门电路

10.3.4 E/D MOS 电路设计

一、直流特性设计

要设计一个具有较好直流特性的 E/D MOS 电路, 通常希望输出高电平 $V_{OH} \approx V_{DD}$, 输出低电平 $V_{OL} \approx 0$ 。对于抗干扰能力, 既要求有较大的输入低电平噪声容, 也要求有较大的输入高电平噪声容。最佳情况是两者相等, 即

$$V_{NL} = V_{NH} \approx \frac{1}{2} V_{DD} \quad (10-127)$$

根据噪声容定义, 这就要求

$$V_{IH} + V_{IL} = 1 \quad (10-128)$$

而 V_{IH} 和 V_{IL} 是 V_T 、 V_P 和 β_R 的函数。图 10-59 给出了这些参数之间的关系。

例如: 为了得到最大噪声容, 选定电源电压 $V_{DD} = 5\text{V}$, $\beta_R = 1$ 。则由图中得到一种最佳的阈电压组合是 $V_1/V_{DD} = 0.2$ 和 $V_P/V_{DD} = 0.32$, 分别对应 $V_T = 1\text{V}$ 和 $V_P = -1.6\text{V}$ 。

对于这种最佳组合参数, 再由图 10-60 得到所对应的开门电平 V_{IH} 和关门电平 V_{IL} , 从而得到所要求的最大噪声容。

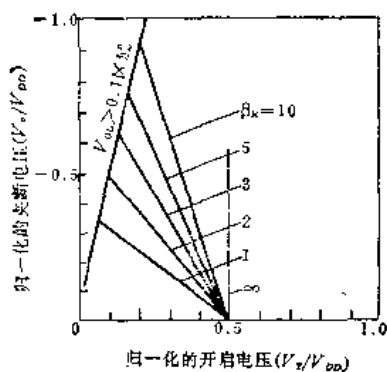


图10-59 最大噪声容设计用图

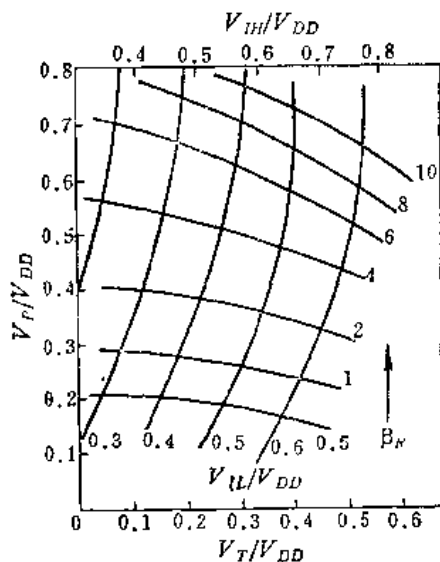


图10-60 E/D MOS 电路设计用图

〔例〕 对于 $\beta_R = 1$, $V_{DD} = 5\text{V}$, $V_1/V_{DD} = 0.2$, $V_P/V_{DD} = 0.32$, 则

$$\frac{V_{IL}}{V_{DD}} = 0.42, \text{ 即 } V_{IL} = 2.1\text{V}$$

$$\frac{V_{IH}}{V_{DD}} = 0.5, \text{ 即 } V_{IH} = 2.5\text{V}$$

所以, 最大噪声容为:

$$V_{NL} = V_{IH} - V_{OL} = 2.1 - 0.5 = 1.6\text{V}$$

$$V_{NH} = V_{OH} - V_{IH} = 5 - 2.5 = 2.5\text{V}$$

二、开关特性设计

E/D MOS 倒相器的开关速度取决于负载管和输入管对负载电容的充放电的电流大小。为了得到最佳开关速度设计, 应使充放电所需的时间相等, 即

$$t_r = t_f \quad (10-129)$$

而 t_r 和 t_f 又是 β_R 、 V_T 和 V_P 的函数。所以在进行设计时, 就需要调整这些参数, 以满足最佳开关速度的要求。

图 10-61 是用来分析开关速度设计的等效电路。在这里把 E/DMOS 倒相器的两只 MOS 管看作两个恒流源。

当输入“1”电平时, 倒相器导通, 输入管工作在非饱和区, 负载管工作在饱和区。导通时间由 $I_{DSE} - I_{DSD}$ 决定, 即 $I_{DSE} - I_{DSD}$ 的差值是对负载电容 C_L 放电的电流。因此导通时间 Δt_f 可表示为

$$\Delta t_f = \frac{C_L V_{DD}}{I_{DSE} - I_{DSD}} \quad (10-130)$$

当输入“0”电平时, 倒相器截止, $I_{DSE} \approx 0$, 负载管工作在饱和区。这时仅有 I_{DSD} 对 C_L 充电。因此, 充电时间, 即上升时间 Δt_r 仅由 I_{DSD} 决定, 所以 Δt_r 可表示为:

$$\Delta t_r = \frac{C_L V_{DD}}{I_{DSD}} \quad (10-131)$$

根据式 (10-128) 的要求, 可得到

$$I_{DSE(\text{非饱和})} = I_{DSD(\text{饱和})} \quad (10-132)$$

由此可以得到:

$$\beta_R = \frac{V_P^2}{2(V_{DD} - V_T)V_{OL}} \quad (10-133)$$

对于给定的 V_{DD} 和选取一定的 β_R , 则可根据式 (10-133) 来调节合适的 V_P 和 V_T 的数值。

综上所述, E/DMOS 电路的设计原则如下:

- (1) 为了获得良好的静态特性和瞬态特性, 选取器件尺寸设计参数, 应使 $\beta_R = 1$ 。这样获得近似于无比电路的器件尺寸, 对 LSI 有利。
- (2) 设计出满足电路性能要求的阈电压 V_P 和 V_T 的最佳组合数值。
- (3) 为了减小 V_P 的变化对电路性能的影响, 在工艺上要严加控制 V_P 的数值。

10.4 CMOS 倒相器和门电路

10.4.1 CMOS 倒相器

CMOS 倒相器由一个增强型 P 沟道 MOS 管和一个增强型 N 沟道 MOS 管组成。通常以 P 管做负载管, N 管做输入管。单一的电源电压为正。与其它类型电路相比, 它具有静态功耗极低, 抗干扰能力强和速度较快的特点, 是一种性能优异的 MOS 型电路。

图 10-62 中给出了 CMOS 倒相器的线路。两只管子的栅极并联做为输入端, 漏极连接起来做为输出端, P 管和 N 管的源极分别接电源和地。它们的阈电压分别为 $V_{TP} < 0$, 和 $V_{TN} > 0$ 。

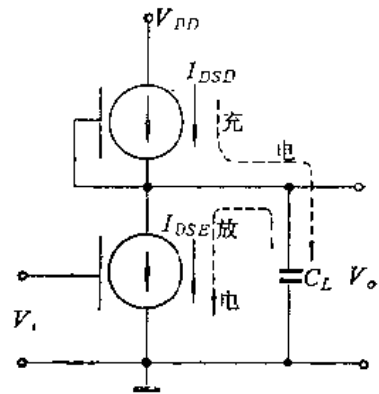


图10-61 分析 E/DMOS 倒相器开关速度的等效电路

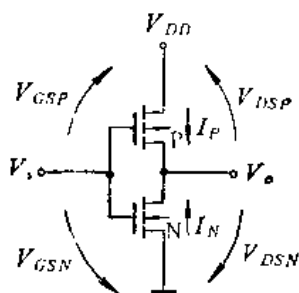


图10-62 CMOS倒相器

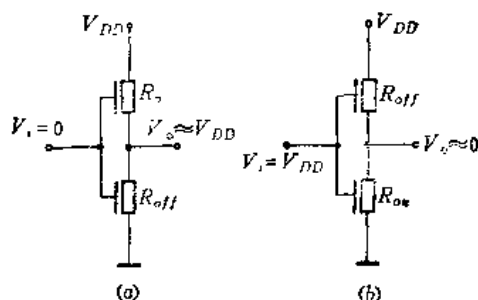


图10-63 CMOS倒相器的等效电路

如图，当输入为低电平，即 $V_i = 0$ 时，输入管（N管）的栅源电压 $V_{GSN} = V_i = 0$ ，小于它的阈电压 V_{TN} ，所以截止。等效为一个很大的截止电阻 R_{off} 。同时，负载管（P管）的栅源电压 $V_{GSP} = 0 - V_{DD} = -V_{DD}$ ，此值大于 $|V_{TP}|$ ，所以导通。等效为一个较小的导通电阻 R_{on} 。这种情况的等效电路如图 10-63 (a) 所示。可知，其输出电压为 $V_o = [R_{off} / (R_{off} + R_{on})] \cdot V_{DD}$ 。因为 MOS 管截止电阻约为 $10^{12} \Omega$ 左右，而导通电阻仅为几千欧，所以输出电压近似等于电源电压 ($V_o \approx V_{DD}$)，为高电平。当输入为高电平时，类似的分析可知，负载管截止，输入管导通。其等效电路如图 10-63 (b) 所示，输出电压近似为零，起了倒相器的作用。由以上分析可以看出，CMOS 倒相器的逻辑摆幅大，高电平就是电源电压，低电平为地电位。其次，无论倒相器处于高电平或处于低电平时，总有一只 MOS 管截止。所以静态电流极小，静态功耗极低，通常在毫微瓦量级，故 CMOS 电路有微功耗电路之称。

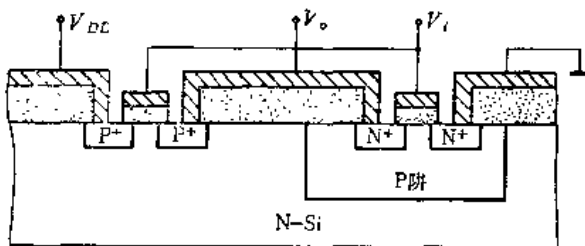


图10-64 CMOS倒相器结构

CMOS 倒相器的器件结构如图 10-64

中所示。通常工艺是在一块 N 型单晶硅上用扩散法形成一个低浓度的 P 型区——P 阱。然后，P 沟道 MOS 管和 N 沟道 MOS 管分别制作在 N 型衬底和 P 阱之中，用铝完成互连引线。

一、直流传输特性

直流传输特性表示输入电压与输出电压的关系，它直接反映出倒相器一些直流参数的性质。

当输入电压由 0 递增至 V_{DD} 时，根据输入电压值的不同，负载管和输入管将分别处于不同的工作状态。据此，可以把倒相器的传输特性分为五个区加以讨论。这五个区如表 10-2 所列。

表 10-2

工作区	输入电压范围	负载管	输入管
1	$0 \leq V_i < V_{TN}$	非饱和	截止
2	$V_{TN} < V_i < V_o - V_{TP} $	非饱和	饱和
3	$V_o - V_{TP} \leq V_i \leq V_o + V_{TN}$	饱和	饱和
4	$V_o + V_{TN} < V_i < V_{DD} - V_{TP}$	饱和	非饱和
5	$V_{DD} - V_{TP} \leq V_i \leq V_{DD}$	截止	非饱和

根据在不同区中 MOS 管的电流关系, 可以导出直流传输特性。电流采用图 10-62 所示的方向, 并注意有如下关系:

$$\text{N 管栅源电压} \quad V_{GSN} = V_i \quad (10-134)$$

$$\text{P 管栅源电压} \quad V_{GSP} = V_i - V_{DD} \quad (10-135)$$

$$\text{N 管漏源电压} \quad V_{DSN} = V_o \quad (10-136)$$

$$\text{P 管漏源电压} \quad V_{DSP} = V_o - V_{DD} \quad (10-137)$$

那么, P 管和 N 管的电流可以表示为:

$$I_{P\text{非}} = -k_p(V_i - V_{DD} - V_{TP})^2 \quad (10-138)$$

$$I_{P\text{非}} = -k_p[2(V_i - V_{DD} - V_{TP})(V_o - V_{DD}) - (V_o - V_{DD})^2] \quad (10-139)$$

$$I_{N\text{非}} = k_n(V_i - V_{TN})^2 \quad (10-140)$$

$$I_{N\text{非}} = k_n[2(V_i - V_{TN})V_o - V_o^2] \quad (10-141)$$

由此可以写出输入电压与输出电压的关系。

第 1 区: 因为 N 管截止, 所以

$$V_o \approx V_{DD} \quad (10-142)$$

第 2 区: 因为 $I_{P\text{非}} + I_{N\text{非}} = 0$, 所以由式 (10-139) 和 (10-140) 可得:

$$V_o = V_i - V_{TP} + \left[(V_i - V_{TP} - V_{DD})^2 - \frac{k_n}{k_p} (V_i - V_{TN})^2 \right]^{1/2} \quad (10-143)$$

第 3 区: 因为 $I_{P\text{非}} + I_{N\text{非}} = 0$, 所以由式 (10-138) 和 (10-140) 可得:

$$V_i = \frac{V_{DD} + V_{TP} + V_{TN} \sqrt{k_n/k_p}}{1 + \sqrt{k_n/k_p}} \equiv V^* \quad (10-144)$$

第 4 区: 因为 $I_{P\text{非}} + I_{N\text{非}} = 0$, 所以由式 (10-138) 和 (10-141) 可得

$$V_o = V_i - V_{TN} - \left[(V_i - V_{TN})^2 - \frac{k_p}{k_n} (V_i - V_{DD} - V_{TP})^2 \right]^{1/2} \quad (10-145)$$

第 5 区: 因为 P 管截止, 所以

$$V_o \approx 0 \quad (10-146)$$

式 (10-142)~(10-146) 给出了完整的直流传输特性表达式。

图 10-65 中画出了直流传输特性曲线。可以看出 CMOS 倒相器的直流传输特性接近于理想特性。它的转换区电压增益很高, 所以可以获得较高的噪音容限。

二、直流噪音容限

根据指定噪音容限的定义, 高电平直流噪音容限 V_{NH} , 为驱动级输出高电平与被驱动级最小输入高电平之差, 即

$$V_{NH} = V_{OH} - V_{IH} \approx V_{DD} - V_{IH} \quad (10-147)$$

低电平直流噪音容限 V_{NL} , 为被驱动级最大输入低电平与驱动级输出低电平之差, 即

$$V_{NL} = V_{IL} - V_{OL} \approx V_{IL} \quad (10-148)$$

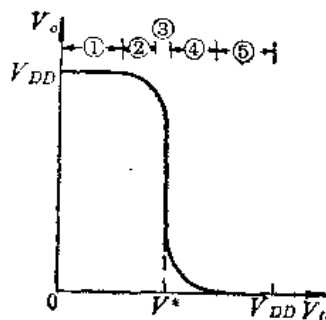


图 10-65 直流传输特性曲线

图 10-66 中示出这一噪音容限定义的意义, 图 10-67 中用传输特性曲线表示出这一噪音容限。这里假定驱动级与被驱动级具有相同的直流传输特性。

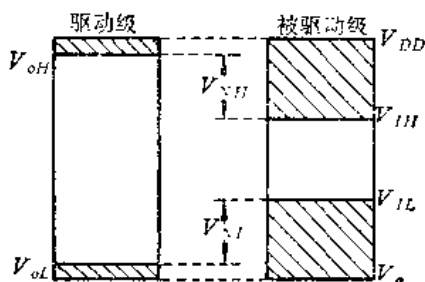


图10-66 指定噪音容限定义示意图

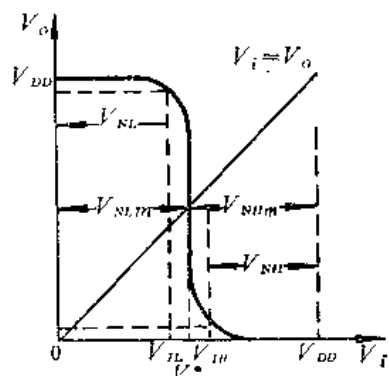


图10-67 最大噪音容限定义示意图

在 CMOS 电路中, 为了设计方便, 多使用最大噪音容限。它是以直流传输特性曲线与 $V_i = V_o$ 直线的交点所对应的输入电压, 分别与电源 V_{DD} 和零电位之差, 来代表高、低电平的噪音电平。由于 CMOS 倒相器在转换区具有十分高的电压增益, 所以这个交点对应的输入电压就是转换电平 V^* 。这样最大噪音容限为:

$$\text{高电平最大噪音 } V_{NHM} = V_{OH} - V^* \approx V_{DD} - V^* \quad (10-149)$$

$$\text{低电平最大噪音 } V_{NLM} = V^* - V_{OL} \approx V^* \quad (10-150)$$

图 10-67 中也画出了这一噪音容限。显然, 指定噪音容限均稍小于最大噪音容限。传输特性越接近理想特性, 二者越相近。

我们把表示转换电平的式 (10-144) 改写为:

$$v^* = \frac{\sqrt{\beta_0}(1 - \alpha_p) + \alpha_N}{1 + \sqrt{\beta_0}} \quad (10-151)$$

式中 $v^* = \frac{V^*}{V_{DD}}$ 为归一化转换电平;

$\alpha_p = \frac{|V_{TP}|}{V_{DD}}$ 为归一化 P 管阈电压;

$\alpha_N = \frac{V_{TN}}{V_{DD}}$ 为归一化 N 管阈电压;

$\beta_0 = \frac{k_p}{k_n}$ P 管与 N 管的 k 常数比。

式 (10-151) 给出了转换电平与阈电压和 k 常数比之关系。为了获得良好的噪音特性, 即 $V_{NLM} = V_{NHM}$, 由式 (10-149) 和 (10-150) 可知, 就要求 $V^* = \frac{V_{DD}}{2}$ 或 $v^* = 0.5$ 。所以, 式 (10-151) 是设计 CMOS 倒相器的噪音特性的主要公式。由式 (10-151) 可知, 噪音特性与器件参量的关系为: (1) 当 $\alpha_p = \alpha_N$, $\beta_0 = 1$ 时, 永远有 $v^* = 0.5$; (2) 当 $\alpha_p > \alpha_N$ 时, 应设计 $\beta_0 > 1$, 可以使 v^* 接近 0.5; (3) 当 $\alpha_p < \alpha_N$ 时, 应设计 $\beta_0 < 1$, 可以使 v^* 接近 0.5。

图 10-68 给出阈电压匹配 ($\alpha_p = \alpha_N$) 时, 不同 β_0 值对传输特性的影响。 $\beta_0 < 1$, 使低电平噪音容限下降; $\beta_0 > 1$, 使高电平噪音容限降低。

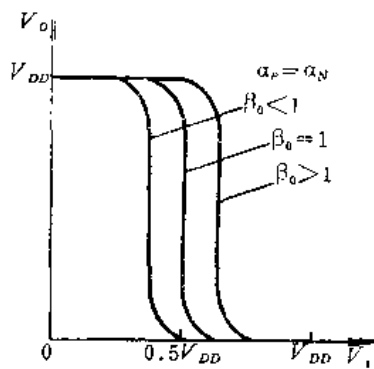


图10-68 不同 β_0 值的传输特性

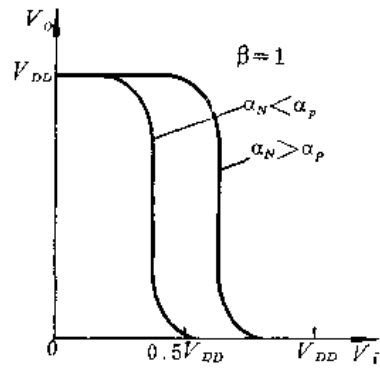


图10-69 不匹配阈电压的传输特性

图 10-69 给出跨导相同 ($\beta_0 = 1$) 时, 不同阈电压对传输特性的影响。 $\alpha_p > \alpha_N$, 使低电平噪音容限下降; $\alpha_p < \alpha_N$, 使高电平噪音容限下降。

图 10-70 给出 $\beta_0 = 1$ 、 $\alpha_p = \alpha_N$ 相等但取不同数值时传输特性的变化曲线。 $\alpha_p(\alpha_N)$ 的数值越大, 传输特性越接近理想特性, 可获得更好的噪音容限。但从下面分析可知, 阈电压 (数值) 升高会使开关速度下降。

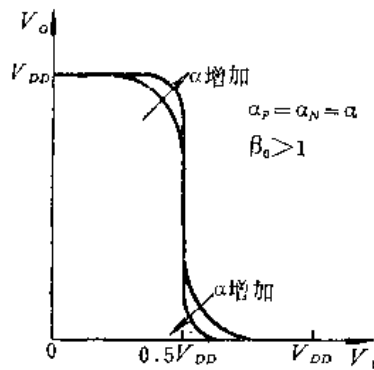


图10-70 阈电压匹配而不同数值时的传输特性

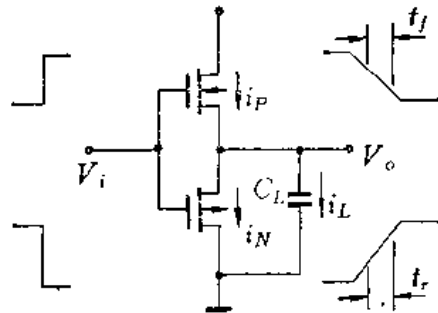


图10-71 瞬态分析等效电路

三、瞬态特性

用图 10-71 的等效线路分析倒相器的上升、下降时间。这里也用阶跃输入, 并忽略器件的响应时间。类似于单沟道 MOS 电路中的分析, 在放电时的下降时间方程为:

$$\begin{cases} i_N = -i_C = -C_L \frac{dV_o}{dt} \\ i_N = \begin{cases} k_N [2(V_{DD} - V_{TN})V_o - V_o^2] & V_{DD} - V_{TN} > V_o \geq 0 \\ k_N (V_{DD} - V_{TN})^2 & V_{DD} \geq V_o > V_{DD} - V_{TN} \end{cases} \end{cases} \quad (10-152)$$

初始条件

$$V_o(0) = V_{DD} \quad (10-153)$$

方程 (10-152) 中 i_N 的两个表达式是考虑到放电过程中 N 管从饱和区到非饱和区的过渡。

方程 (10-152) 在初始条件 (10-153) 下的解为:

$$V_o(t) = \begin{cases} V_{DD} \left[1 - \frac{k_N V_{DD}}{C_L} (1 - \alpha_N)^2 t \right], & 0 \leq t \leq t_0 \\ (V_{DD} - V_{IN}) \left\{ 1 - \text{th} \left[\frac{k_N V_{DD}}{C_L} (1 - \alpha_N) (t - t_0) \right] \right\}, & t_0 < t \end{cases} \quad (10-154)$$

其中

$$t_0 = \frac{C_L \alpha_N}{k_N V_{DD} (1 - \alpha_N)^2} \quad (10-155)$$

为N管由饱和区进入非饱和区的时刻。将式 (10-154) 改写为:

$$\frac{V_o(t)}{V_{DD}} = \begin{cases} (1 - \alpha_N)^2 \frac{t}{\tau_N}, & 0 \leq t \leq t_0 \\ (1 - \alpha_N) \left\{ 1 - \text{th} \left[(1 - \alpha_N) \frac{t - t_0}{\tau_N} \right] \right\}, & t_0 < t \end{cases} \quad (10-156)$$

其中

$$\tau_N = \frac{C_L}{k_N V_{DD}} \quad (10-157)$$

由式 (10-156) 可得下降时间为:

$$t_f = \tau_N \left[\frac{\alpha_N - 0.1}{(1 - \alpha_N)^2} + \frac{\text{arcth} \left(1 - \frac{0.1}{1 - \alpha_N} \right)}{1 - \alpha_N} \right], \quad 0.1 < \alpha_N < 0.9 \quad (10-158)$$

对上升时间可以做类似的计算。其瞬态方程为:

$$i_P = C_L \frac{dV_o}{dt} \quad (10-159)$$

$$i_P = \begin{cases} k_P (-V_{DD} - V_{TP})^2 & V_o < |V_{TP}| \\ k_P [2(-V_{DD} - V_{TP})(V_o - V_{DD}) - (V_o - V_{DD})^2] & V_o > |V_{TP}| \end{cases}$$

初始条件

$$V_o(0) = 0 \quad (10-160)$$

方程 (10-159) 的解为:

$$\frac{V_o(t)}{V_{DD}} = \begin{cases} (1 - \alpha_P)^2 \frac{t}{\tau_P} & t'_0 < t \\ 1 - (1 - \alpha_P) \left\{ 1 - \text{th} \left[\frac{1 - \alpha_P}{\tau_P} (t - t'_0) \right] \right\} & 0 < t < t'_0 \end{cases} \quad (10-161)$$

其中

$$t'_0 = \frac{\tau_P \alpha_P}{(1 - \alpha_P)^2} \quad (10-162)$$

为P管从非饱和区进入饱和区的时刻。

$$\tau_P = \frac{C_L}{k_P V_{DD}} \quad (10-163)$$

由式 (10-161) 可得上升时间为:

$$t_r = \tau_P \left[\frac{\alpha_P - 0.1}{(1 - \alpha_P)^2} + \frac{\text{arcth} \left(1 - \frac{0.1}{1 - \alpha_P} \right)}{1 - \alpha_P} \right], \quad 0.1 < \alpha_P < 0.9 \quad (10-164)$$

式 (10-158) 和 (10-164) 的曲线在图 10-72 中给出。由于二式的对称性, 故横坐标为 α_p 时, 曲线给出 t_r 值; 横坐标为 α_N 时, 曲线给出 t_f 值。

CMOS 倒相器的延迟时间, 在 $(\alpha_N + \alpha_p) < 1$ 和 $\beta_0 > 0.2$ 条件下可以用下面近似公式表示:

$$T_D \approx 0.9\tau_N \left[\frac{1}{(1 - \alpha_N)^2} + \frac{1}{\beta_0(1 - \alpha_p)^2} \right] \quad (10-165)$$

这里的 T_D 表示非阶跃信号经过两级相同倒相器后的延迟时间, 也称为“对延迟时间”。由于 T_D 表示两级倒相的延迟, 所以上升和下降时间必须都短, 才可以获得短的延迟时间 T_D 。显然最佳设计是 $t_r = t_f$ 。这个关系反映了对 P 管和 N 管间关系的要求。为满足二者相等, 倒相器参量必须满足近似公式:

$$(1 - \alpha_N)^2 \approx \beta_0(1 - \alpha_p)^2 \quad (10-166)$$

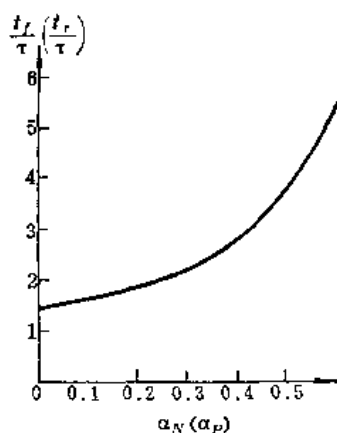


图10-72 上升、下降时间与阈电压的关系

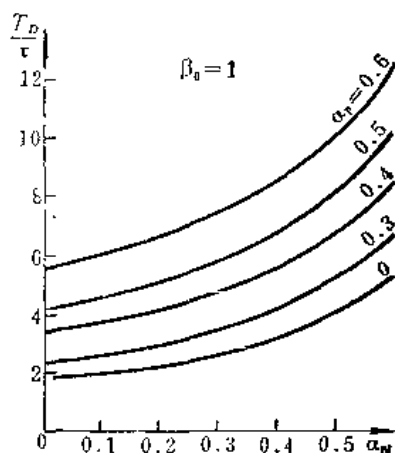


图10-73 $\beta_0 = 1$ 时，延迟时间与阈电压的关系

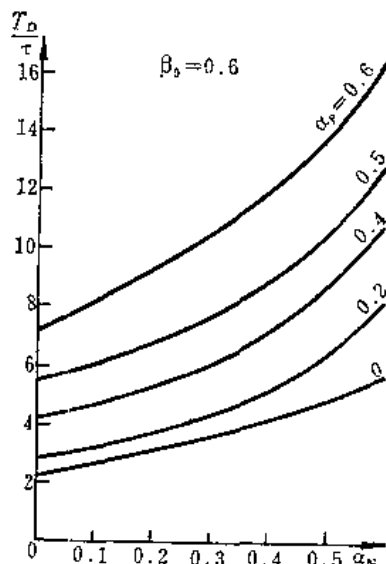


图10-74 $\beta_0 = 0.6$ 时，延迟时间与阈电压的关系

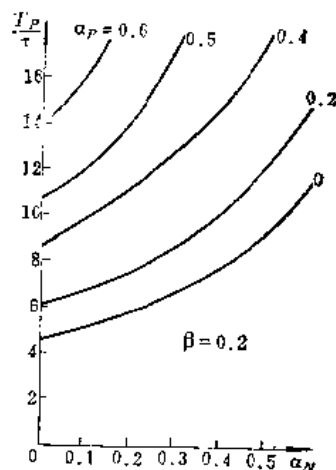


图10-75 $\beta_0 = 0.2$ 时，延迟时间与阈电压的关系

图 10-73 至 10-75 分别给出了 $\beta_0 = 1$ 、0.6 和 0.2 时的 T_D 和 α_N 、 α_p 的关系。

四、功耗

用图 10-76 (a) 的等效电路计算其动态功耗。(b) 图表示在阶跃输入脉冲作用下, 输

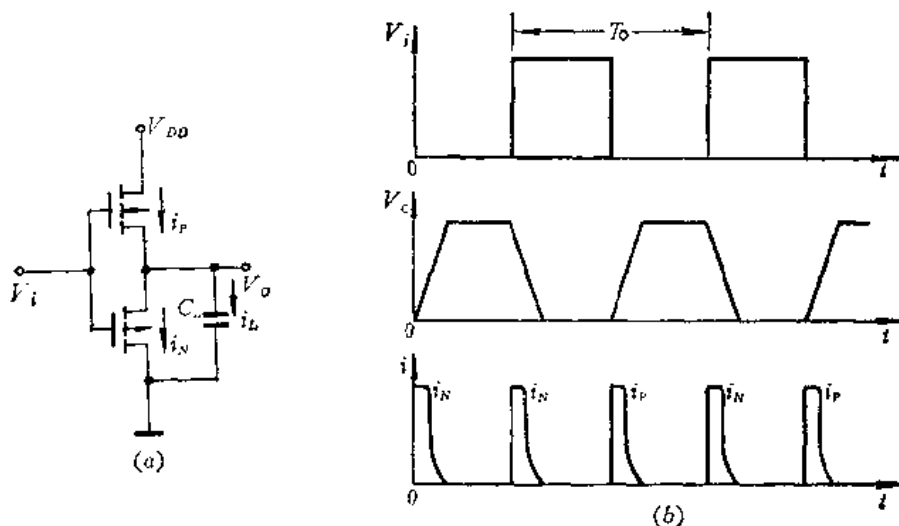


图10-76 倒相器开关时的电流、电压

出电压和P管、N管上的瞬态电流。

因为：充电时 $V_{DSP} = V_o - V_{DD}$, $i_P = i_C$;

放电时 $V_{DSN} = V_o$, $i_N = -i_C$;

电容电流 $i_C = C_L \frac{dV_o}{dt}$ 。

所以在—个周期 T_0 内的平均功耗为：

$$\begin{aligned}
 P_{\text{动}} &= \frac{1}{T_0} \left(\int_0^{\frac{T_0}{2}} i_N V_{DSN} dt + \int_{\frac{T_0}{2}}^{T_0} -i_P V_{DSP} dt \right) \\
 &= -\frac{C_L}{T_0} \left[\int_0^{V_{DD}} V_o dV_o + \int_{V_{DD}}^0 (V_{DD} - V_o) d(V_{DD} - V_o) \right] = C_L f V_{DD}^2 \quad (10-167)
 \end{aligned}$$

其中 f 为输入信号的频率。

静态功耗就是电源电压 V_{DD} 与总的静态工作电流 I_0 的乘积：

$$P_{\text{静}} = V_{DD} I_0 \quad (10-168)$$

I_0 包括 MOS 管的截止电流和寄生二极管的反向饱和电流，它与器件的尺寸、数目及工艺水平有关。倒相器总功耗为式 (10-167) 和 (10-168) 之和。

10.4.2 CMOS 门电路

图 10-77 中给出 CMOS 二输入端“与非”门的电路形式，它由两只并联的 P 沟道 MOS 管 T_1 和 T_2 做负载管，两只串联的 N 沟道 MOS 管 T_3 和 T_4 做输入管。输入端 A 为高电平、 B 为低电平时， T_1 和 T_3 管导通， T_2 和 T_4 管截止，输出 F 为高电平。输入端 A 为低电平， B 为高电平时， T_1 和 T_3 管截止， T_2 和 T_4 管导通，输出仍为高电平。 A 和 B 同为低电平时，因为 T_1 和 T_2 管导通， T_3 和 T_4 管截止， F 也是高电平。仅当 A 和 B 同为高电平时，因为 T_1 和 T_2 管都截止， T_3 和 T_4 管都导通，所以输出为低电平，完成“与非”逻辑功能，即 $F = \overline{A \cdot B}$ 。同样的道理，图 10-78 中给出的电路是 CMOS“或非”门。

多输入端门的传输特性，由于使用的端数不同，在转换区分离为几条，如图 10-79 所示。这是因为负载管和输入管的串联、并联效应所致。传输特性的分离将导致噪音容限的

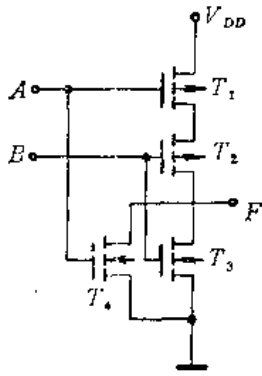


图10-77 CMOS “与非”门

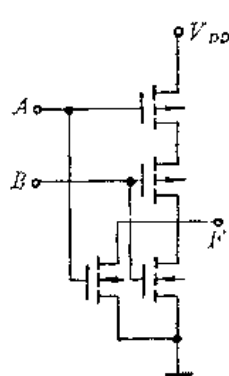


图10-78 CMOS “或非”门

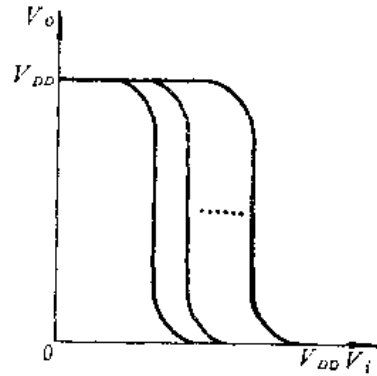


图10-79 逻辑门的传输特性

下降。下面以二输入端“与非”门为例，讨论这一性质，以期得到逻辑门的噪容特性。

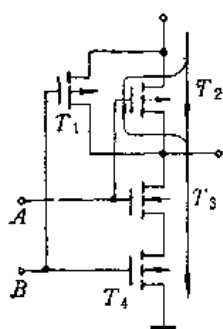
一个二输入端“与非”门，当两个输入端 A 和 B 并联，同时开关转换时，在转换区工作时的电流流通如图 10-80(a) 所示，即电流流过并联的 T_1 和 T_2 管和串联的 T_3 和 T_4 管。我们可以把二只负载管等效为一个 k 常数为 $k_{P\&} = 2k_p$ 的 P 管，把二只输入管等效为一个 k 常数为 $k_{N\&} = \frac{k_N}{2}$ 的 N 管，由这样二只等效管组成的倒相器的传输特性即可给出这个“与非”门在这种情况下的特性。其中 k_p 和 k_N 分别代表“与非”门中一只 P 管和一只 N 管的 k 常数。那么这个等效倒相器的转换电平 $V_{M\&}$ ，根据式 (10-144) 可得：

$$\frac{V_{M\&}}{V_{DD}} = \frac{\sqrt{\beta_{N\&}}(1 - \alpha_p) + \alpha_N}{1 + \sqrt{\beta_{N\&}}}$$

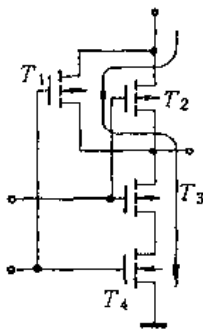
式中

$$\beta_{N\&} = \frac{k_{P\&}}{k_{N\&}} = 4\beta_c;$$

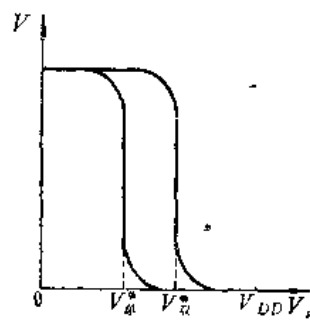
$$\beta_0 = k_p/k_N.$$



(a)



(b)



(c)

图10-80 “与非”门

当输入端 A 维持高电平，仅使用 B 端开关转换时，在转换区工作时的电流流通如图 10-80(b)。电流仅流过 T_1 管（因为 T_2 管维持截止）和两只串联的 T_3 和 T_4 管。这样，等效 P 管的 k 常数为 $k_{P\&} = k_p$ ，等效 N 管的 k 常数为 $k_{N\&} = \frac{k_N}{2}$ 。其转换电平为

$$\frac{V_{DD}^*}{V_{DD}} = \frac{\sqrt{\beta_{\text{eff}}}(1 - \alpha_p) + \alpha_N}{1 + \sqrt{\beta_{\text{eff}}}}$$

式中

$$\beta_{\text{eff}} = \frac{k_{p\text{eff}}}{k_{N\text{eff}}} = 2\beta_0$$

其转换特性如图 10-80(c) 所示。由图中可知, 最大噪音容限为:

$$\text{低电平噪音 } V_{NL\text{eff}} = V_{\text{eff}}^*$$

$$\text{高电平噪音 } V_{NH\text{eff}} = V_{DD} - V_{\text{eff}}^*$$

显然都比倒相器的要小。门输入端数越多, 这一效应越严重。

推而广之, 对 n 个输入端“与非”门, 当 n 个门开关时, 传输特性将分离为 n 支。在计算噪音容限时, 只要考虑两个极端情况, 即一个门开关和 n 个门开关情况就可以了。如分别以 $V_{(1)}^*$ 和 $V_{(n)}^*$ 代表一个门和 n 个门开关时的转换电平, 则这时的最大噪音容限为:

$$V_{NL\text{eff}} = V_{(1)}^* \quad (10-169)$$

$$V_{NH\text{eff}} = V_{DD} - V_{(n)}^* \quad (10-170)$$

根据式(10-151)、(10-169)和(10-170)可写为:

$$\frac{V_{NL\text{eff}}}{V_{DD}} = \frac{\sqrt{\beta_{(1)}}(1 - \alpha_p) + \alpha_N}{1 + \sqrt{\beta_{(1)}}} \quad (10-171)$$

$$\frac{V_{NH\text{eff}}}{V_{DD}} = 1 - \frac{\sqrt{\beta_{(n)}}(1 - \alpha_p) + \alpha_N}{1 + \sqrt{\beta_{(n)}}} \quad (10-172)$$

其中等效 β 值为:

$$\beta_{(1)} = n\beta_0 \quad (10-173)$$

$$\beta_{(n)} = n^2\beta_0 \quad (10-174)$$

对于 n 个输入端“或非”门可以做类似的分析。得:

$$\frac{V_{NL\text{eff}}}{V_{DD}} = \frac{\sqrt{\beta'_{(n)}}(1 - \alpha_p) + \alpha_N}{1 + \sqrt{\beta'_{(n)}}} \quad (10-175)$$

$$\frac{V_{NH\text{eff}}}{V_{DD}} = 1 - \frac{\sqrt{\beta'_{(1)}}(1 - \alpha_p) + \alpha_N}{1 + \sqrt{\beta'_{(1)}}} \quad (10-176)$$

其中等效 β' 值为:

$$\beta'_{(1)} = \frac{1}{n}\beta_0 \quad (10-177)$$

$$\beta'_{(n)} = \frac{1}{n^2}\beta_0 \quad (10-178)$$

10.5 CMOS 传输门

图 10-81 为 CMOS 传输门线路。它由一对互补 MOS 管组成, P 管和 N 管的衬底分别接电源和地, 其源和漏互相连接。栅上加以互补脉冲以控制其开关。当控制端 C 为高电平时, 两只管子同时导通, 接通输入、输出端 A 和 B; 当 C 为低电平时, 两只管子同时截止, 传输门关闭。A 和 B 两端是对称的, 可任意决定其输入和输出端, 故又称为双向开关。

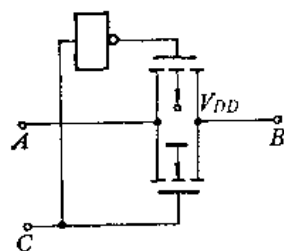


图10-81 CMOS传输门

10.5.1 单沟道传输门

单沟道传输门是CMOS传输门的基础，下面先介绍一下单沟道传输门的工作过程。

图10-82是一个N沟道传输门。先讨论传输高电平情况。当控制电压 $V_c = V_{DD}$ 时，传输门打开，输入端的高电平($V_i = V_{DD}$)通过传输门传至输出端。根据电流方向，可以确定N管的源(S)和漏(D)。当输出电压达到 $V_o = V_c - V_{TN}$ 时，因为MOS管上的栅源电压为 $V_{GS} = V_c - V_o = V_{TN}$ ，所以截止。这表示输出电压比输入电压要小 V_{TN} 。提高控制电压 V_c 可以减小这一传输损失，但使线路复杂。

在传输高电平时，N管工作在源跟随器，即 $V_{DS} = V_{GS}$ 的条件下。图10-83中给出了这一工作状态。图中 $V_{DS} = V_i - V_o$ ， $V_{GS} = V_c - V_o$ ， I_D 表示传输电流。传输门打开后工作点由A点跃至B点，沿 $V_{DS} = V_{GS}$ 线(BCD)对 C_L 充电，到达D点时截止。这时输出电压为 $V_o = V_i - V_{TN}$ 。

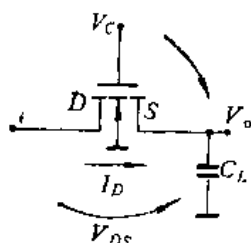


图10-82 N沟道传输门

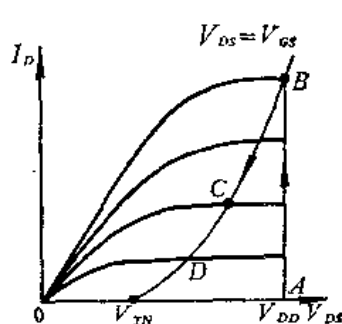


图10-83 传输高电平时工作状态

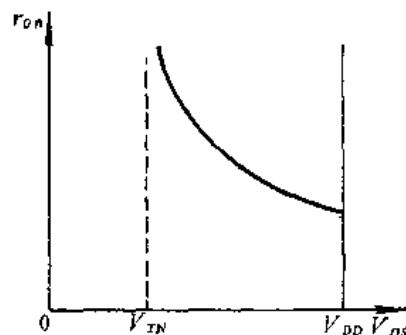


图10-84 传输高电平时的导通电阻

其交流导通电阻 r_{on} 即为BCD曲线斜率的倒数。这时MOS管工作在饱和区，所以根据第九章有

$$r_{on} = \frac{1}{2k_N(V_{DS} - V_{TN})} \quad (10-179)$$

图10-84中给出了 r_{on} 的变化曲线。

图10-85中表示传输低电平时的MOS管工作状态。传输门打开后，输出端的电压从 $V_o = V_{DD}$ 开始向输入端放电，其电流方向和源、漏如图中所示。这时MOS管工作在恒定栅压，即 $V_{GS} = V_{DD}$ 的情况。工作曲线如图10-86所示。传输门打开后，工作点由A点跃至B点，沿BC放电至O。在BC段管子处于饱和区，CO段管子处于非饱和区，所以交流

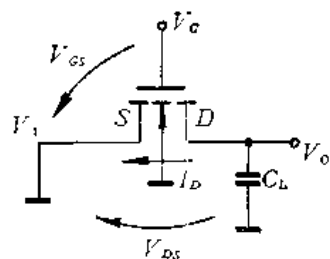


图10-85 传输低电平时电路图

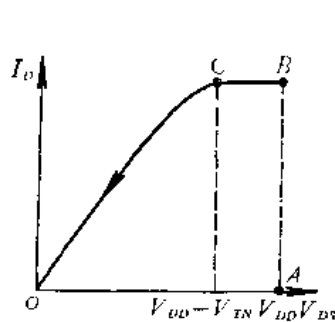


图10-86 传输低电平时的工作状态

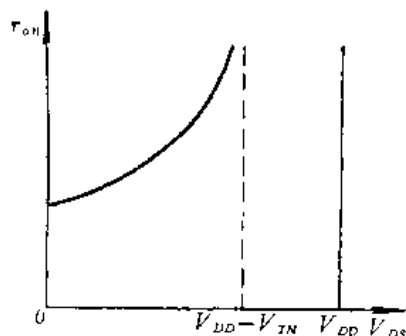


图10-87 传输低电平时的导通电阻

导通电阻为:

$$r_{on} = \begin{cases} \infty & \text{(饱和区)} \\ \frac{1}{2k_N[(V_{DD} - V_{TN}) - V_{DS}]} & \text{(非饱和区)} \end{cases} \quad (10-180)$$

r_{on} 的变化如图 10-87 所示。实际上因为 MOS 管饱和区的特性并非理想的水平线，故导通电阻也不是无穷大。

P 沟道传输门的特性可做类似的分析，它在传输高电平时是恒定栅压工作，而传输低电平时是作为源跟随器工作。

单沟道传输门的一个共同缺点是：传输高电平时存在传输电压损失和导通电阻在传输过程中变化很大。CMOS 传输门改善了这些性能。

10.5.2 CMOS 传输门

传输高电平时的 CMOS 传输门如图 10-88 中所示。这时 P 管是恒定栅压工作 ($V_{GSP} = -V_{DD}$)，N 管是做为源跟随器工作 ($V_{GSN} = V_{DSN}$)。CMOS 传输门就是这两个单沟道传输门的并联特性。亦即：CMOS 传输门的导通电阻就是两个单沟道传输门导通电阻的并联。其导通电阻特性在图 10-89 中给出。其中横轴以输入、输出电压差 ($V_i - V_o$) 表示之。图中 r_{on} 表示 CMOS 传输门的导通电阻，而 r_P 、 r_N 分别表示 P 沟道传输门和 N 沟道传输门的导通电阻。由图可知：(1) CMOS 传输门的导通电阻比单沟道门的小；(2) 在整个电压传输范围内 CMOS 门的导通电阻变化小。这是因为一只管子截止了，但另一只管子仍良好地

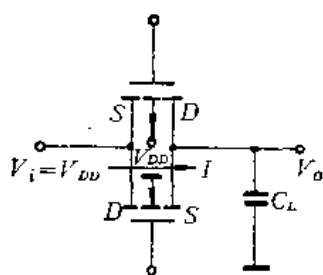


图10-88 CMOS传输门传输高电平

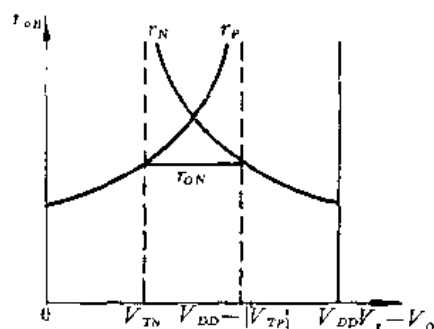


图10-89 CMOS传输门传输高电平时之导通电阻

导通着。

在传输低电平时，N管是恒定栅压工作，P管是做为源跟随器工作。图 10-90 和 10-91 分别给出这一工作情况和导通电阻。

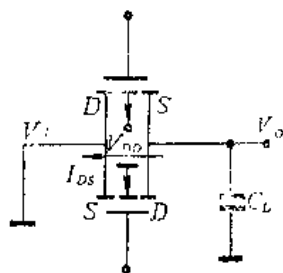


图10-90 CMOS传输门传输低电平

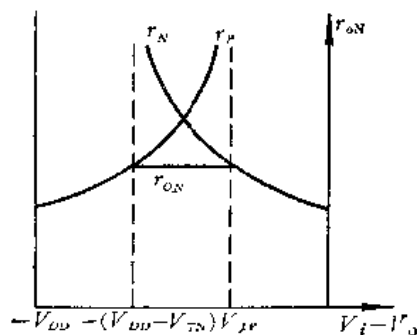


图10-91 传输低电平时的导通电阻

CMOS 传输门的导通电阻计算如下。因为它是P沟道和N沟道传输门导通电阻的并联，所以可以用下式计算。

$$r_{on} = \frac{r_P r_N}{r_P + r_N} \quad (10-181)$$

但是要考虑到导通时，P管和N管处的不同工作状态，把相应的单沟道传输门的导通电阻表达式 (10-179) 和 (10-180)，代入式 (10-181) 即可。在传输高电平时的 CMOS 传输门导通电阻为：

$$r_{on} = \begin{cases} \frac{1}{2k_P[(V_{DD} - |V_{TP}|) - (V_i - V_o)]} & 0 \leq V_i - V_o < V_{TN} \\ \frac{1}{2k_N[(V_i - V_o) - V_{TN}] + 2k_P[(V_{DD} - |V_{TP}|) - (V_i - V_o)]} & V_{TN} \leq V_i - V_o \leq V_{DD} - |V_{TP}| \\ \frac{1}{2k_N[(V_i - V_o) - V_{TN}]} & V_{DD} - |V_{TP}| < V_i - V_o \leq V_{DD} \end{cases} \quad (10-182 a)$$

当组成 CMOS 传输门的两只管子特性对称时，即 $k_P = k_N = k$ ， $|V_{TP}| = V_{TN} = V_T$ ，式 (10-182) 可以化简为：

$$r_{on} = \begin{cases} \frac{1}{2k[(V_{DD} - V_T) - (V_i - V_o)]} & 0 \leq V_i - V_o < V_T \\ \frac{1}{2k(V_{DD} - V_T)} & V_T \leq V_i - V_o \leq V_{DD} - V_T \\ \frac{1}{2k(V_i - V_o - V_T)} & V_{DD} - V_T < V_i - V_o \leq V_{DD} \end{cases} \quad (10-182 b)$$

下面讨论一下阈值电压对导通电阻的影响和衬底偏置效应。根据式 (10-182 b) 可以看出，阈值电压升高，将导致导通电压的升高和在传输电压范围内起伏加大。图 10-92 中说明了这一情况。当 $V_T = V_{DD}/2$ 时， r_{on} 在 $V_{DD}/2$ 点趋于无穷大，而 $V_T = 0$ 可以得到水平曲线。

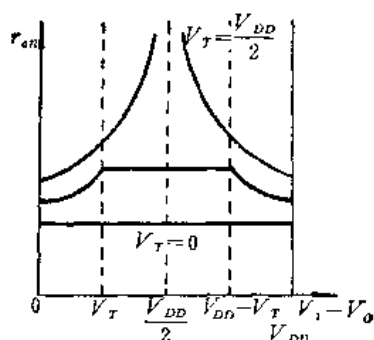


图10-92 阈电压对导电电阻的影响

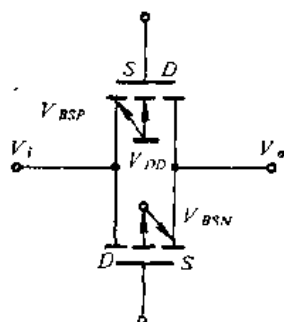


图10-93 衬底偏置效应

图 10-93 中的传输门, 在传输高电平时, 开始 N 管的衬底和源均为地电位。但随着电压的传输, 其源的电位逐渐上升, 在衬底与源之间就形成了偏置电压, 最大可达 V_{DD} 。这时 P 管不存在这一效应。这个衬底偏置效应将使 N 管的阈电压升高。衬底偏置效应导致阈电压升高的作用, 除与偏置电压大小有关外, 还与衬底杂质浓度的平方根成正比。因为通常 CMOS 电路中 N 管是制在 P 阱中, P 阱浓度比 N 型衬底要大。所以在 N 管上这一效应就更为显著, 应设法消除。

10.6 设计举例

本节以两输入端“与非”门的设计为例说明 CMOS 电路的设计方法。CMOS 电路设计中对高、低电平不要考虑, 主要的设计指标是最高工作频率和噪声容限等方面。该电路的线路形式见图 10-77, 设计指标在表 10-3 中列出, 其中也给出了工艺参量。反型层中迁移率取实验值。

表 10-3

参 量	单 位	最 小 值	典 型 值	最 大 值
电源电压 V_{DD}	V	9.5	10	10.5
低电平噪声 V_{NL}	V	3	—	—
高电平噪声 V_{NH}	V	3	—	—
负载电容 C_L	pF	—	—	15
工作频率 f	MHz	—	—	1
N 管阈电压 V_{TN}	V	1.0	—	1.5
P 管阈电压 V_{TP}	V	-3.5	—	-3.0
栅氧化层厚 t_{ox}	Å	1500	—	1700
电子迁移率 μ_n	$\text{cm}^2/\text{V}\cdot\text{s}$	280	—	290
空穴迁移率 μ_p	$\text{cm}^2/\text{V}\cdot\text{s}$	160	—	180

一、最高工作频率

为了保证最高工作频率为 1 MHz, 可以取上升和下降时间都是 300 ns。为了保证电路在表 10-3 中所列指标范围内良好工作, 要采取“最坏条件”设计电路。例如对于工作频率来说, 低电源电压、高阈电压、厚氧化层和大负载电容是不利的, 所以在设计最高频率时采用下表中的数据。

V_{DD}	9.5V
V_{TN}	1.5V
V_{TP}	-3.5V
I_{DZ}	1700A
C_L	15pF

(一) 负载管 (P管)

根据表中数据有:

$$\alpha_N = -\frac{V_{TN}}{V_{DD}} = 0.16$$

$$\alpha_P = -\frac{|V_{TP}|}{V_{DD}} = 0.36$$

由式 (10-164) 有:

$$t_r = \tau_P \left[\frac{0.36 - 0.1}{0.64^2} + \frac{\operatorname{arcth} \left(1 - \frac{0.1}{1 - 0.36} \right)}{1 - 0.36} \right] = 2.54 \tau_P$$

所以

$$\tau_P = 118 \text{ ns}$$

负载管之等效 k 值为:

$$k_{P*} = \frac{15 \times 10^{-12}}{118 \times 10^{-9} \times 9.5} = 1.31 \times 10^{-5} \text{ A/V}^2$$

因为对“与非”门电路, $k_P = k_{P*}$, 并且

$$k_P = k'_P \left(\frac{W}{L} \right)_P$$

$$\text{式中 } k'_P = \frac{8.85 \times 10^{-14} \times 4 \times 160}{2 \times 1700 \times 10^{-8}} = 1.66 \times 10^{-6} \text{ A/V}^2$$

所以, 负载管的宽长比为:

$$\left(\frac{W}{L} \right)_P = \frac{k_P}{k'_P} = 8.1$$

(二) 输入管 (N管)

由式 (10-158) 同样计算得:

$$t_f = 1.73 \tau_N$$

所以

$$\tau_N = 173 \text{ ns}$$

输入管的等效 k 值为:

$$k_{N*} = \frac{15 \times 10^{-12}}{173 \times 10^{-9} \times 9.5} = 0.91 \times 10^{-5} \text{ A/V}^2$$

实际输入管的 k 值为 k_{N*} 的二倍, 所以

$$k_N = 2 \times 0.91 \times 10^{-5} \text{ A/V}^2$$

因为

$$k'_N = \frac{8.85 \times 10^{-14} \times 4 \times 280}{2 \times 1700 \times 10^{-8}} = 2.92 \times 10^{-6} \text{ A/V}^2$$

所以, 输入管的宽长比为:

$$\left(\frac{W}{L}\right)_N = \frac{k_N}{k'_N} = 6.2$$

考虑到横向扩散可选宽长比为 $\left(\frac{W}{L}\right)_P = 8$ 和 $\left(\frac{W}{L}\right)_N = 6$ 。若沟道长为 $10\text{ }\mu\text{m}$ ，则P管和N管的沟道宽分别为 $80\text{ }\mu\text{m}$ 和 $60\text{ }\mu\text{m}$ 。

二、直流噪音容限

对以上结果的直流噪音容限估算一下，如不满足要求再适当调整。

低电平噪音容限用右表中数值估算。由以上计算结果有：

$$\beta_0 = \frac{1.66 \times 8}{2.92 \times 6} = 0.76$$

由式(10-137)

$$\beta_{(1)} = 2 \cdot \beta_0 = 1.52$$

由式(10-175)

$$\frac{V_{NLP}}{V_{DD}} = \frac{\sqrt{1.52}(1 - 0.35) + 0.1}{1 + \sqrt{1.52}} = 0.4$$

最大低电平噪容为 4 V 。可以满足 3 V 的要求。

高电平噪音容限用右表的数值估算，由式(10-174)

$$\beta_{(2)} = 2^2 \cdot \beta_0 = 3.04$$

由式(10-176)

$$\frac{V_{NHP}}{V_{DD}} = 1 - \frac{\sqrt{3.04}(1 - 0.3) + 0.15}{1 + \sqrt{3.04}} = 0.5$$

最大高电平噪容为 5 V ，也可满足要求。

三、功耗

由式(10-167)计算动态功耗(频率为 1 MHz 时)为

$$\begin{aligned} P &= C_L \cdot f \cdot V_{DD}^2 \\ &= 15 \times 10^{-12} \times 1 \times 10^6 \times 10^2 \\ &= 1.5\text{ mW} \end{aligned}$$

参 考 资 料

- [1] R.H.Crawford, « MOS FET in Circuit Design », McGraw-Hill Book Company, 1967.
姚尔文译,《金属-氧化物-半导体场效应晶体管电路设计》,科学出版社,1971。
- [2] W.M.Penney, L.Lau, « MOS Integrated Circuits », Van Nostrand Reinhold Company, 1972.
清华大学电子工程系半导体车间译,《金属-氧化物-半导体集成电路》,科学出版社,1977。
- [3] J.R.Burns, "Switching Response of Complementary-Symmetry MOS Transistor Logic Circuits", RCA Rev., Vol. 25, No 4, 1964.
- [4] Mc MOS Handbook, Motorola Inc, « Semiconductor Products Division » Second Edition, 1974.
- [5] 史常忻,《CMOS集成电路》,江苏科学技术出版社,1979。

第十一章 动态 MOS 电路

MOS 晶体管有两个突出的特点：一是它具有极高的输入阻抗；二是它具有一定的栅电容。利用这两个特点，在时钟脉冲的作用下，可以简化电路，提高电路性能，从而发展了一类属于“动态逻辑”范畴的电路，称为动态 MOS 电路。下面将看到，与静态 MOS 电路相比，动态 MOS 电路具有功耗低、速度快、电路简单、集成度高等一系列的 优点。所以，在发展大规模集成电路中，动态 MOS 电路得到广泛的应用。

11.1 动态 MOS 倒相器和门电路

11.1.1 栅电容的存储效应

动态 MOS 电路的基础是栅电容的存储效应。图 11-1(a) 是分析栅电容存储效应的

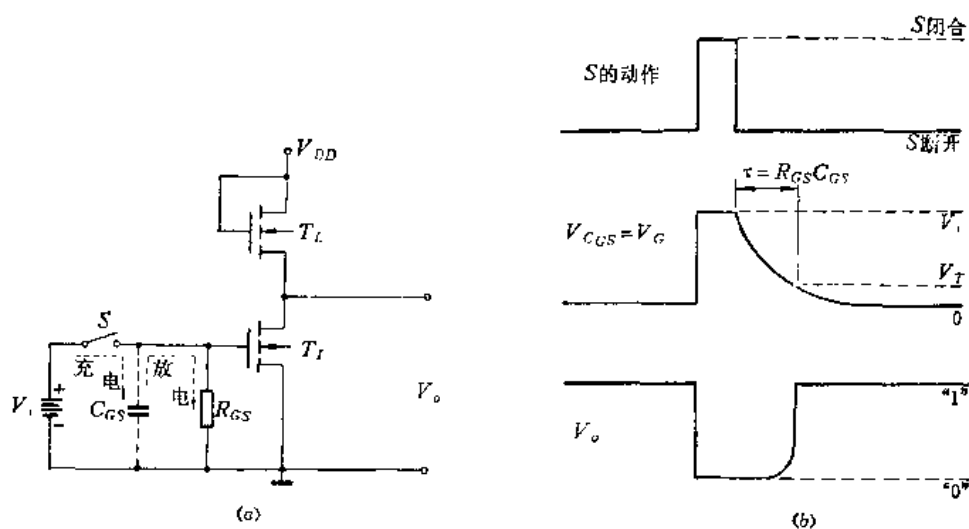


图11-1 栅电容的存储效应
(a) 原理图；(b) 充放电波形。

原理图。图中 R_{gs} 为输入电阻，其值很高，对静态电路影响很小，所以在分析静态特性时没有把它标出来； C_{gs} 为栅电容（包括有关的寄生电容），其值很小，除了在讨论倒相器的开关特性时曾提到它外，在一般的静态电路中也并没有把它标出来。但是在分析栅电容的存储效应时，这两个参数便成为重要的因素。

假设输入管原来的栅源电压 $V_{gs} = 0$ ，当开关 S 闭合时，栅极与输入电压 V_i 相连，栅电容 C_{gs} 很快被充电，带上正电荷。这个充电时间很短，所以栅压 V_g 由零迅速上升到 V_i ，如图 11-1(b) 所示。这样，输入电压 V_i 就以电荷的形式存储在栅电容 C_{gs} 上。当开关 S 断开后，存储在栅电容 C_{gs} 上的电荷仅能通过 R_{gs} 放电，放电时间常数 $\tau = R_{gs} C_{gs}$ 。 R_{gs} 一般大于 $10^{10} \Omega$ ， C_{gs} 一般在零点几微微法到几微微法。因此， τ 约在 ms 数量级。这

个时间比输入信号的变化周期长得多。所以, 可以认为栅电容存储的电荷在较长的时间内是没有衰减的, 也就是说, 栅电容能够将电荷暂时存储一定的时间。这就是栅电容的存储效应。

由于栅电容的存储效应, 开关 S 断开后, 栅电容上的电荷要经过较长的时间才能漏掉, 所以栅压 V_G 在 S 断开后经过较长的时间才能从 V_i 下降到零。也就是说, 在较长的时间里输入管是导通的, 从而使输出电压在一定的时间内能够保持稳定的“0”电平。只有经过一段较长的时间 τ 后, 当栅压 V_G 减小到比输入管的开启电压 V_T 还小的时候, T_i 管截止, 输出状态才由“0”变为“1”电平。

由此可见, 只要把开关 S 闭合一个很短的时间, 就能靠栅电容上存储的电荷, 使输入管较长时间地导通。动态 MOS 电路就是根据这一原理而工作的。

MOS 晶体管具有导通和截止两种工作状态, 因此它可以作为图 11-1(a) 中的开关 S , 而其导通和截止由时钟脉冲来控制。这种电路结构就是动态 MOS 倒相器。

11.1.2 动态 MOS 倒相器

静态 MOS 电路都是有比电路, 而动态 MOS 电路, 则可分为有比电路和无比电路两种类型。所谓无比电路是指输出电平的大小不由输入管和负载管的跨导比来决定的电路。下面仍以 N 沟道 MOS 电路为例分别进行讨论。

一、动态有比 MOS 倒相器

图 11-2(a) 所示的是一种动态有比 MOS 倒相器。它与静态 MOS 倒相器相比多了一

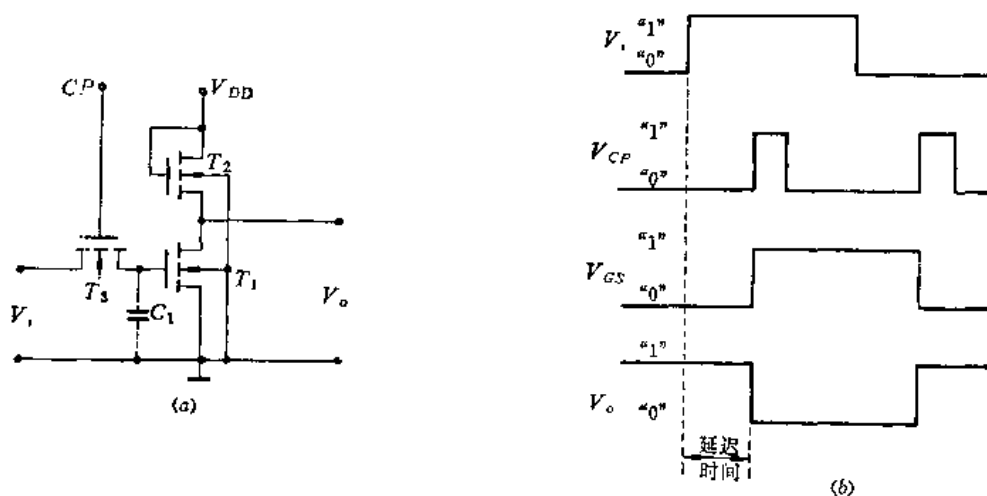


图 11-2 动态有比 MOS 倒相器
(a) 原理图; (b) 充放电波形。

只 MOS 管 T_3 。在时钟脉冲 CP 的控制下 T_3 管起电子开关的作用, 控制信号的输入或传递。所以常称 T_3 管为门控管。

现在简单地分析一下这种倒相器的工作过程。

当输入电压 V_i 变为“1”电平后, 输入管 T_1 并不马上导通, 要等到正时钟脉冲 CP 出现, 门控管 T_3 导通, V_i 通过导通的 T_3 向栅电容 C_1 充电, 使输入管 T_1 的栅压 V_{GS} 升至“1”电平。这时 T_1 才会导通, 输出为“0”电平。当 CP 消失后, T_3 管截止。由于

栅电容 C_1 的存储效应, T_1 管仍保持导通, 输出状态不变, 见图 11-2(b) 所示。

当 V_i 变为“0”电平后, T_1 管并不马上截止, 要等到下一个 CP 到来, T_2 管导通, C_1 放电, T_1 管的栅压降为“0”电平, 这时 T_1 管才截止, 输出为“1”电平, 见图 11-2(b) 所示。由图看出, 动态 MOS 倒相器的输出波形, 在相位上除与输入波形倒相外, 相对输入波形还延迟一段时间。

实际的动态电路, 尤其是要求功耗低、集成度高的电路, 往往是采用负载管的栅极由 CP 来控制的电路形式, 如图 11-3(a) 所示。在这种电路中, 负载管 T_2 的栅极和门控管 T_3 的栅极相连, 同时由时钟脉冲 CP 控制。因此, 只有当 CP 出现时, T_2 和 T_3 才导通。所以这种电路的功耗比前一种电路低。这种电路的工作波形如图 11-3(b) 所示。

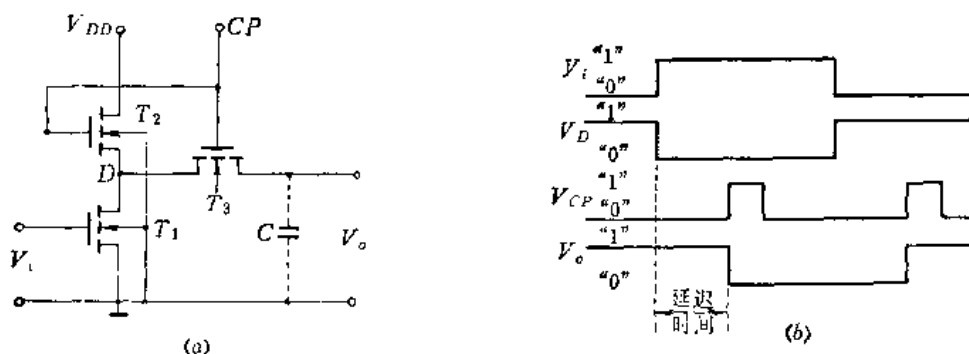


图 11-3 低功耗动态有比 MOS 倒相器
(a) 电路图; (b) 工作波形。

由以上分析看出, 图 11-2 和图 11-3 所示的电路是根据栅电容的存储效应, 在时钟脉冲的控制下工作的, 它不仅能完成“倒相”的功能, 而且还起到“延迟”的作用。同时, 对于这种电路, 当输入为“1”电平时, 输入管导通。这时, 时钟脉冲出现, 负载管和门控管导通, 输出为“0”电平。而输出“0”电平的大小由均处于导通状态的输入管和负载管的跨导比所决定。所以, 称这种电路为动态有比 MOS 倒相器。与静态电路相比, 它有以下优点:

(1) 功耗较小。由于负载管和门控管均由时钟脉冲控制, 在时钟脉冲到来前和消失后, 它们都处于截止状态, 倒相器仅有很小的泄漏电流。只有当时钟脉冲出现期间才有负载电流, 而时钟脉冲的作用时间很短, 所以功耗较低。

(2) 开关速度较高。在动态倒相器中时钟脉冲的幅度可以选得较大, 在它作用期间, 使负载管和门控管充分导通, 形成很小的导通电阻, 加速对电容的充电, 从而提高了开关速度。

(3) 工艺简单。动态 MOS 倒相器可以采用同一种沟道类型的管子, 因而制造工艺较 E/D MOS 电路和 CMOS 电路简单。

二、动态无比 MOS 倒相器

前面讨论的动态有比 MOS 倒相器虽然比静态电路有很大的改进, 但是在时钟脉冲的作用期间, 倒相器处于开态时, 从电源至地有一个直流通路, 所以它的功耗不能降到最小。另外, 因为它是无比电路, 要求 $\beta_R \gg 1$, 所以集成度较低。而且, 假若输出电容近似等于输入电容, 则可以证明, 上升(截止)时间与 β_R 成正比, 即开关速度反比于 β_R 。因此 β_R

限制了开关速度的提高。如果设计成无比电路,组成电路的输入管和负载管不需要有一定的跨导比,即 $\beta_R=1$,显然,其开关速度将比有比电路提高 β_R 倍。无比电路就是为克服有比电路的某些缺点而发展起来的。

一种动态无比 MOS 倒相器示于图 11-4(a),它由两部分组成:输入管 T_1 、负载管 T_2 和与其相连的寄生电容 C_1 组成取样电路;门控管 T_3 和 C_2 组成输出电路。

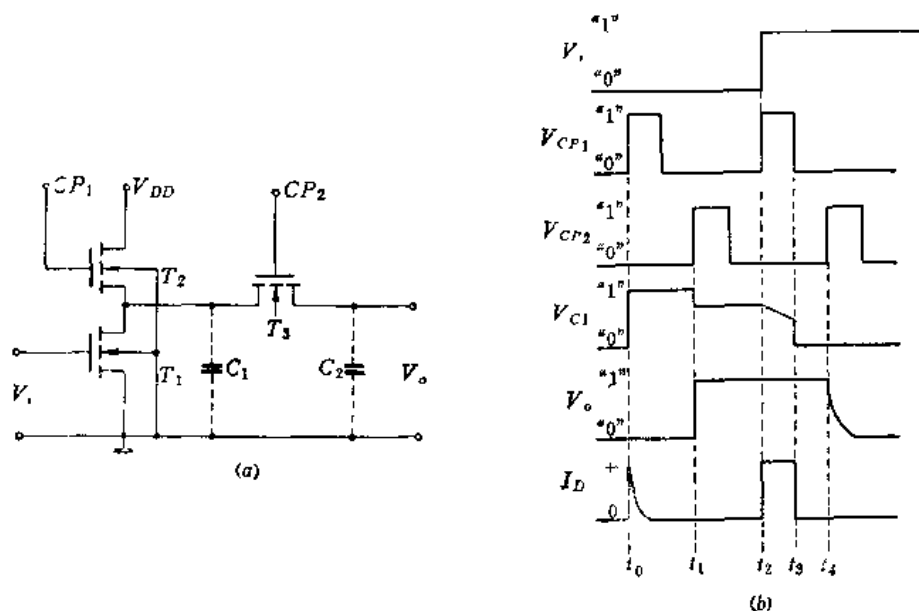


图11-4 两相动态无比倒相器
(a) 电路图; (b) 工作波形。

这种电路的工作过程的分析可参见图 11-4(b) 所示的工作波形。假设在 $t=t_0$ 时, 输入 V_i 为“0”电平, CP_1 变为“1”时, T_1 管截止而 T_2 管导通向 C_1 充电。在 $t=t_1$ 时, CP_2 变为“1”, T_3 管导通, C_1 上的电荷通过导通的 T_3 管传输到 C_2 。电容 C_1 和 C_2 都是寄生电路, 但要使 $C_1 \gg C_2$ 。因此, 电荷传输时 C_1 上的压降可以忽略。这样, 在 t_1 时刻输出变为“1”, 输出相对于输入延迟了一段时间 ($t_1 \sim t_0$), 且与输入倒相。

假设在 t_2 时刻, V_i 和 CP_1 为“1”, C_1 部分放电。但因 T_3 管截止, 输出仍保持“1”。当 CP_1 在 t_3 时刻变为“0”时, T_2 管截止, C_1 通过 T_1 管完全放电。因此在 t_4 时刻, 当 CP_2 变为“1”时, T_3 管导通, C_2 经 T_3 管和 T_1 管放电, 输出变为“0”。输出延迟了一段时间 ($t_4 \sim t_2$) 后与输入倒相。

由此可见, 这种倒相器输出“0”电平的大小不由输入管和负载管的跨导比来决定, 所以输入管和负载管的跨导不需要保持一定的比例关系, 因此称无比电路。

从图 11-4(b) 看到, 在 $t_2 \sim t_3$ 的时间间隔内, 输入管和负载管均处于导通状态, 倒相器仍有直流导通功耗。为了进一步降低这种倒相器的功耗, 可采用图 11-5(a) 所示的电路形式。在这种电路里, 门控管控制输入, 而其本身又与负载管同时由时钟脉冲控制, 而且电源直接由时钟脉冲提供。

这种电路的工作过程, 请读者结合图 11-5(b) 给出的工作波形自行分析。

动态无比 MOS 倒相器有如下的特点:

(1) 功耗很低。这种倒相器的时钟线也起了电源线和地线的作用, 而时钟到地之间

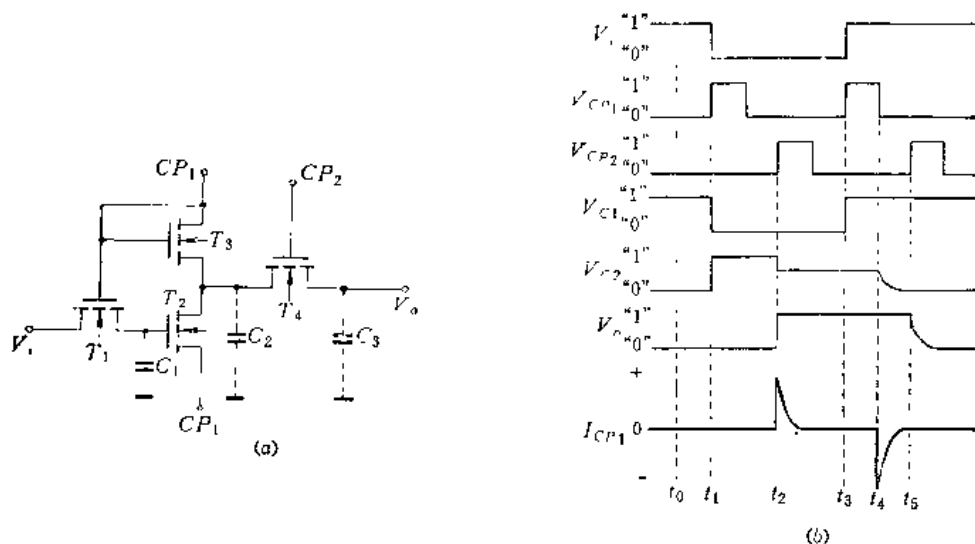


图11-5 低功耗动态无比例相器
(a) 电路图; (b) 工作波形。

并没有直流通路。所以, 它的功耗主要是时钟电压对电容充放电的瞬态功耗。令这一功耗为 P_d , 则

$$P_d = V_{r_d}(t) \cdot i_c \quad (11-1)$$

而降在 MOS 管动态导通电阻 r_d 上的压降 $V_{r_d}(t)$ 为

$$V_{r_d}(t) = V_{CP} e^{-t/r_d C} \quad (11-2)$$

充电电流 i_c 为

$$i_c = C \frac{dV_c(t)}{dt} \quad (11-3)$$

电容 C 两端的压降 $V_c(t)$ 为

$$V_c(t) = V_{CP} (1 - e^{-t/r_d C}) \quad (11-4)$$

因此, 充电时的平均功耗为

$$\begin{aligned} -\frac{1}{T} \int_0^T \frac{V_{r_d}^2(t)}{r_d} dt &= \frac{1}{T} \frac{V_{CP}^2}{r_d} \int_0^T e^{-2t/r_d C} dt \\ &\approx \frac{1}{2} V_{CP}^2 C f \end{aligned} \quad (11-5)$$

所以, 总的动态功耗为

$$P_d \approx V_{CP}^2 C f \quad (11-6)$$

式中 f 为时钟脉冲频率, V_{CP} 为时钟脉冲电压幅度, C 为负载电容。

(2) 由于是无比电路, 所以器件设计时不必考虑跨导比, 输入管和负载管均可按最小尺寸设计。因此缩小了面积, 提高了集成度, 同时也提高了速度。

11.1.3 动态 MOS 基本门电路

与静态 MOS 电路一样, 可利用动态 MOS 倒相器组成各种基本的逻辑门电路。两输入端动态有比“与非”门和“或非”门由图 11-6 给出。

同样, 图 11-7 给出了两输入端动态无比“与非”门和“或非”门。

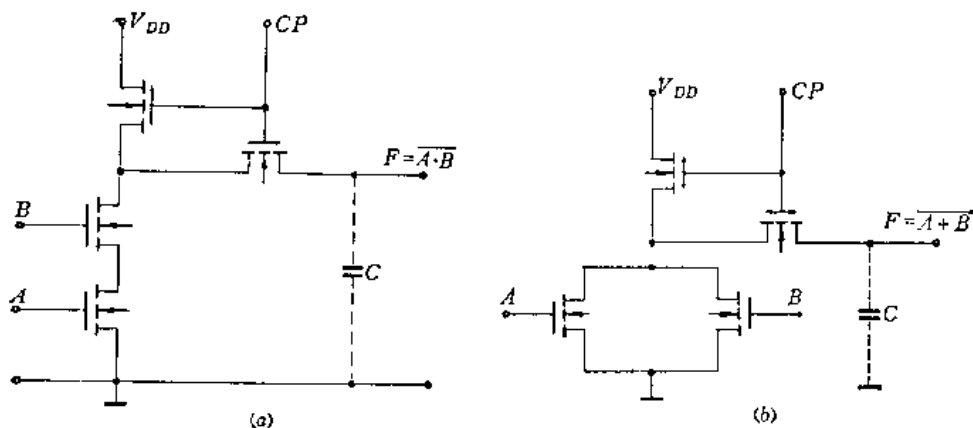


图11-6 动态有比门电路
(a) 动态有比“与非”门; (b) 动态有比“或非”门。

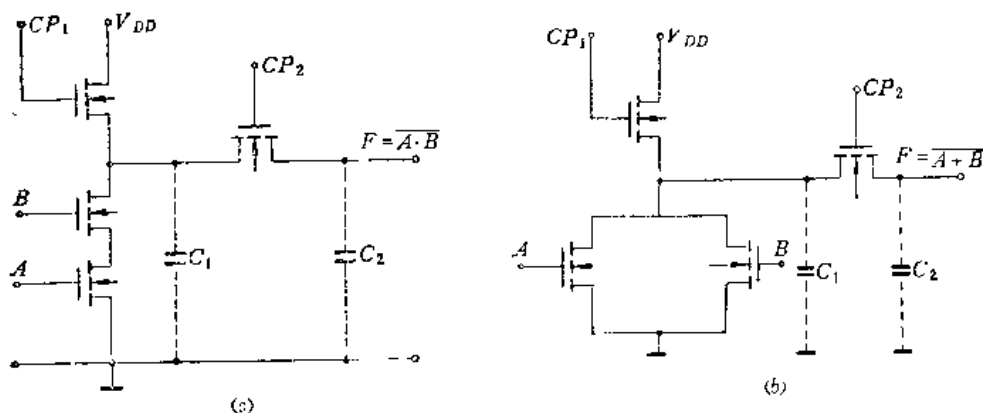


图11-7 动态无比门电路
(a) 动态无比“与非”门; (b) 动态无比“或非”门。

11.2 动态 MOS 移位寄存器

移位寄存器用来暂时存放数码,并具有将存放的数码移位的功能,它是计算机中不可缺少的基本逻辑部件。我们知道,动态 MOS 倒相器既具有“倒相”的功能,同时也能起“延迟”的作用。所以,将动态 MOS 倒相器串接起来,就组成一个动态 MOS 移位寄存器。

11.2.1 两相动态有比移位寄存器

图 11-8 所示的是一个两相动态有比移位寄存器的基本单元 (1 bit)。它是由两个动态有比例相器串接起来组成的。第一级倒相器的输出端也是第二级倒相器的输入端。为了使输入信号能逐级地移到下一位去,两相时钟脉冲在时间上互相错开,如图 (c) 所示。

现结合图 11-9 所示的工作波形分析一下动态有比移位寄存器的工作原理。

当 $t = t_0$ 时, V_i 为“0”, T_1 管截止。当 $t = t_1$ 时, CP_1 出现, T_2 、 T_3 管导通,并且由于 T_1 管截止, C_1 、 C_2 被充电至“1”。同时, C_2 上的“1”电平将使 T_4 管导通,因而 C_3 开始放电至“0”。 CP_1 消失后, T_2 、 T_3 管截止,“1”电平暂存于 C_2 , T_4 管保持导通。当 $t = t_2$ 时, CP_2 出现, T_5 、 T_6 管导通, C_4 开始放电至“0”。 CP_2 消失后, T_5 、 T_6 管截止,“0”电平暂存于 C_4 。由此可见,两相时钟作用后,输入信号往后移了一位暂存。

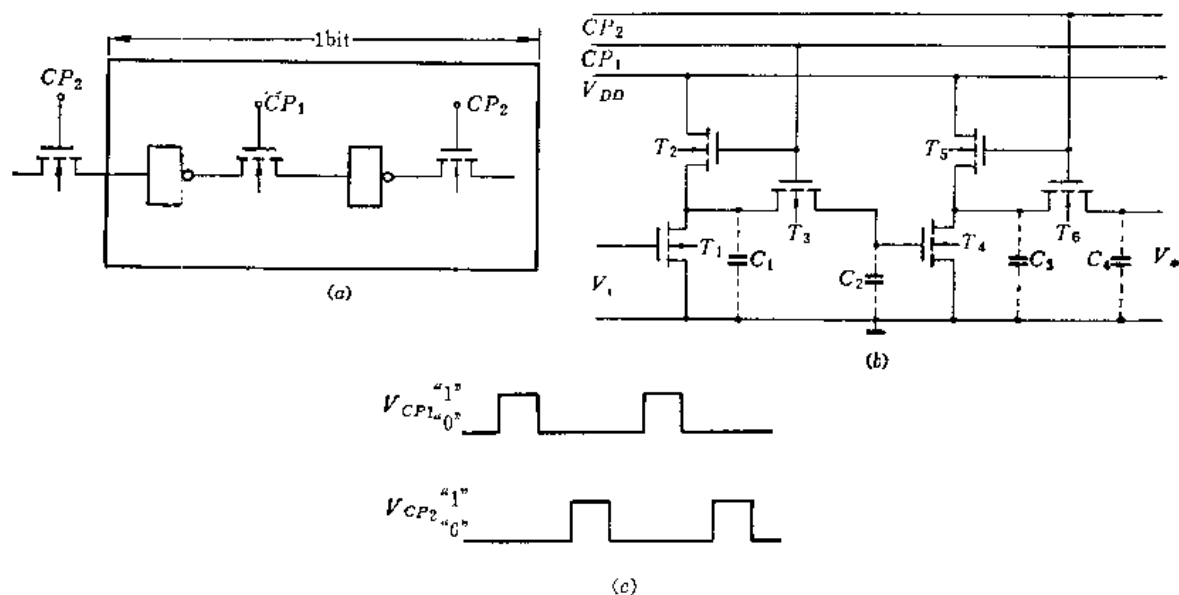


图11-8 两相有比逻辑单元
(a) 逻辑图; (b) 电路图; (c) 时钟脉冲关系图。

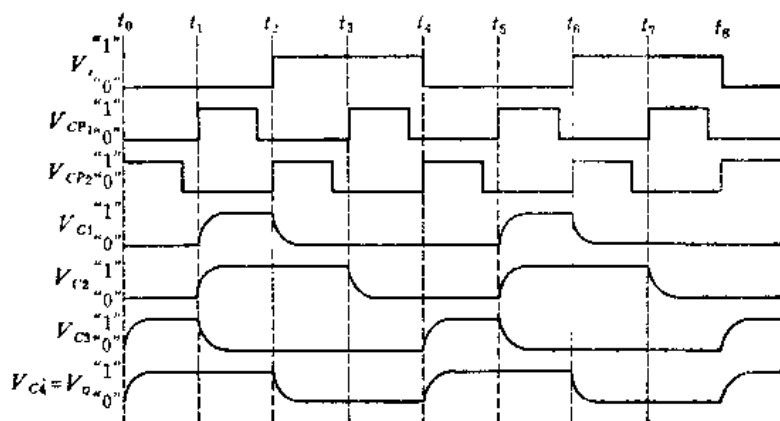


图11-9 两相有比逻辑单元工作波形

这就实现了移位寄存的功能。

由以上分析, 看出这种电路的特点是:

(1) 其移位寄存的功能主要是靠栅电容暂时存储信号(电荷)的特性实现的, 所以它必须在动态下工作, 即要不停地有时钟脉冲的作用。如果时钟信号停止, 或时钟频率过低, 移位寄存就因漏电而失效。这就决定了时钟频率的下限。

(2) 各级倒相器在输出低电平“0”时, 其负载管和输入管均处于导通状态。因此输出低电平的大小仍取决于输入管和负载管的跨导比。所以这种电路称为动态有比移位寄存器。

(3) 为实现相同的逻辑功能, 它比静态电路所需器件数量少, 因而有利于提高集成度, 适于大规模集成。

二、设计方法

动态有比 MOS 移位寄存器的设计方法基本上和静态电路相同, 但还有其自己的特点。

1. 门控管的设计

动态倒相器的电路结构比静态倒相器多了一个门控管, 在图 11-10 中 T_M 管表示门控管, 它对倒相器的性能影响很大。下面从瞬态特性的分析中讨论一下门控管如何设计。

从两相动态有比移位寄存器的工作原理中知道, 当输入管 T_I 截止时, 在时钟脉冲 CP_1 作用期间, 负载管 T_L 和门控管 T_M 导通。电源 V_{DD} 将通过导通的 T_L 和 T_M 向下一级的输入电容 C_i 充电, 其充电时间, 就是由 T_I 、 T_L 和 T_M 组成的动态倒相器的上升时间 t_r 。现在先分析一下 t_r 的表达式, 从而由 t_r 的表达式来确定门控管 T_M 的几何尺寸。

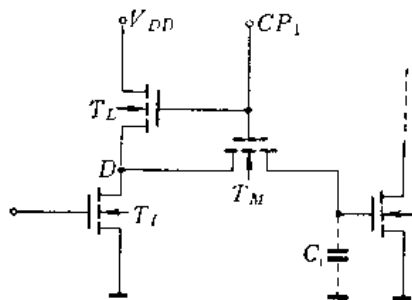


图 11-10 分析门控管设计的电路图

设电源 V_{DD} 通过 T_L 和 T_M 向 C_i 充电时, 输入管 T_I 的漏极电压 (或负载管 T_L 的源极电压) 为 V_D , 在充电过程中, V_D 由低电平 V_{OL} 逐渐转变为高电平 V_{OH} 。如果忽略 T_I 管的泄漏电流, 则流过 T_L 管的电流将全部流过 T_M 管, 即流过 T_L 管的电流 I_L 和流过 T_M 管的电流 I_M 相等。假设时钟脉冲的幅度为 V_{DD} , 则 T_L 管工作在饱和区。所以, 在不考虑衬底偏置效应时, 流过 T_L 管的电流可表示为:

$$I_L = k' \left(\frac{W}{L} \right)_L (V_{DD} - V_T - V_D)^2 \quad (11-7)$$

式中 V_D 为 T_L 管的源极电压。

对于门控管, 当 T_I 处于导通时, T_L 管的源极电位, 也即 T_M 管的漏极电位至少比 V_{DD} 低一个开启电压 V_T , 因此 T_M 管总是工作在非饱和区。所以, 流过 T_M 管的电流 I_M 可表示为:

$$I_M = k' \left(\frac{W}{L} \right)_M [2(V_{DD} - V_o - V_T)(V_D - V_o) - (V_D - V_o)^2] \quad (11-8)$$

式中 V_{DD} 为 CP_1 的电压幅值, V_o 为 T_M 管的源极电压, 也是电容 C_i 的端电压。因为 $I_L = I_M$, 所以从式 (11-7) 和式 (11-8) 两式相等中可解出 V_D 为:

$$V_D = (V_{DD} - V_T) \pm \sqrt{(V_{DD} - V_T)^2 - \xi} \quad (11-9)$$

式中

$$\xi = \frac{1}{\left(\frac{W}{L} \right)_L + \left(\frac{W}{L} \right)_M} \left\{ \left(\frac{W}{L} \right)_L (V_{DD} - V_T)^2 + \left(\frac{W}{L} \right)_M [2(V_{DD} - V_T)V_o - V_o^2] \right\} \quad (11-10)$$

将式 (11-9) 代入式 (11-8) 和式 (11-7), 便得到流过 T_L 管和 T_M 的电流

$$\begin{aligned} I_L = I_M &= k' \left(\frac{W}{L} \right)_L \left\{ (V_{DD} - V_T) - \left[(V_{DD} - V_T) \pm \sqrt{(V_{DD} - V_T)^2 - \xi} \right] \right\}^2 \\ &= k' \left(\frac{W}{L} \right)_L [(V_{DD} - V_T)^2 - \xi] \end{aligned} \quad (11-11)$$

将式 (11-10) 代入式 (11-11), 得到:

$$I_L = k' (V_{DD} - V_T - V_o)^2 \quad (11-12)$$

式中

$$\eta = \frac{\left(\frac{W}{L}\right)_L \cdot \left(\frac{W}{L}\right)_M}{\left(\frac{W}{L}\right)_L + \left(\frac{W}{L}\right)_M} \quad (11-13)$$

由于电容 C_i 的充电电流为:

$$i_c = C_i \frac{dV_o}{dt} \quad (11-14)$$

而且

$$i_c = I_L \quad (11-15)$$

所以

$$dt = \frac{C_i dV_o}{\eta k' (V_{DD} - V_T - V_o)^2} \quad (11-16)$$

对式 (11-16) 两边积分, 边界条件是: 当 $t = 0$ 时, $V_o = V_{OL}$; 当 $t = t_r$ 时, $V_o = V_{OH}$, 得到:

$$t_r = \frac{C_i}{\eta k'} \left[\frac{1}{(V_{DD} - V_T - V_{OH})} - \frac{1}{(V_{DD} - V_T - V_{OL})} \right] \quad (11-17)$$

这就是动态 MOS 倒相器上升时间的表达式。

将式 (11-17) 与静态倒相器上升时间的表达式 (10-66) 相比较, 可以看到两个表达式完全类似, 其区别只在于由式 (10-66) 可直接得到负载管的宽长比 $\left(\frac{W}{L}\right)_L$, 而由式 (11-17) 得到的是 η 。但从 η 的表达式 (11-13) 中不难看出, 如果满足 $\left(\frac{W}{L}\right)_L / \left(\frac{W}{L}\right)_M \ll 1$ 的条件, 则 $\eta \approx \left(\frac{W}{L}\right)_L$ 。这就是说, 只要使门控管的 $\left(\frac{W}{L}\right)_M$ 比负载管的 $\left(\frac{W}{L}\right)_L$ 大得多, 则因 T_M 管的存在对上升时间所产生的影响就可以忽略, 即图 11-10 中 D 点的信号通过门控管 T_M 可以全部传输到下一级的栅电容。

但是, 门控管的宽长比 $\left(\frac{W}{L}\right)_M$ 也不能取得太大, 否则不但使电路的版面面积变大, 而且由于它的宽长比增大, 使其栅面积也相应地变得很大。这样就使栅源和栅漏之间存在很大的寄生电容 C_{GS} 和 C_{GD} , 如图 11-11 所示。这些寄生电容将影响开关速度和下一级的输入电平。

下面估算一下, 当 $\left(\frac{W}{L}\right)_M / \left(\frac{W}{L}\right)_L$ 等于多少时, 电路的总面积最小。

设 $\left(\frac{W}{L}\right)_M / \left(\frac{W}{L}\right)_L = x$, 则由式 (11-13) 可得:

$$\left(\frac{W}{L}\right)_M = \eta (1 + x) \quad (11-18)$$

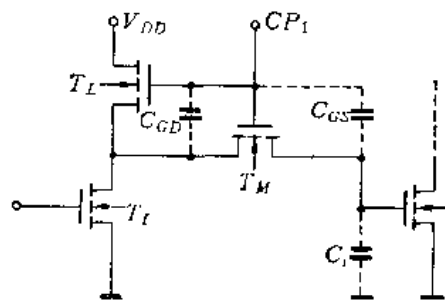


图 11-11 门控管的寄生电容

$$\left(\frac{W}{L}\right)_L = \eta \left(-\frac{1+x}{x}\right) \quad (11-19)$$

如果已知输入管的宽长比是负载管的宽长比的 M 倍, 即

$$\left(\frac{W}{L}\right)_I = M \left(\frac{W}{L}\right)_L$$

则

$$\left(\frac{W}{L}\right)_I = M \eta \left(-\frac{1+x}{x}\right) \quad (11-20)$$

而倒相器中所有沟道的总面积 A 为:

$$A = (W \cdot L)_L + (W \cdot L)_M + (W \cdot L)_I$$

一般说来, 在有比电路中, 负载管所占的面积是比较小的。因此, 作为近似估算, 可以把 $(W \cdot L)_L$ 略去, 所以

$$A \approx (W \cdot L)_M + (W \cdot L)_I \quad (11-21)$$

另外, 在版图设计中, 电路中的最小尺寸 L_M 或 L_I (L_M 和 L_I 分别为门控管和输入管的沟道长度), 它们由光刻精度决定。如以 H 表示光刻精度, 则 $L_M = L_I = H$, 式(11-21)可改写为:

$$A = H^2 \eta (1+x) + H^2 M \eta \left(-\frac{1+x}{x}\right) \quad (11-22)$$

为了得到 A 的最小值, 则必须使 $dA/dx = 0$, 所以

$$\frac{dA}{dx} = H^2 \eta - H^2 \eta M \frac{1}{x^2} = 0 \quad (11-23)$$

由此得到:

$$x = \sqrt{M} \quad (11-24)$$

即门控管的宽长比是负载管的宽长比的 $\sqrt{M}$ 倍时, 可得到最小的电路面积。因此, 当 M 已知后, 门控管的几何尺寸也就大体上确定了。

2. 时钟脉冲频率的估计

动态电路是利用栅电容的存储效应在时钟脉冲的作用下工作的, 因此对时钟频率有一定的要求。要使图 11-8 所示的两相动态移位寄存器能正常工作, 则要求存储在 C_2 上的电荷从 CP_1 的后沿到 CP_2 的前沿 T_{12} 这段时间间隔内, 必须保持不变; 同时存储在 C_4 的逻辑状态从 CP_2 消失后直到下一个 CP_1 到来之前 T_{21} 这段时间内, 也必须没有明显的变化。所以, 最低时钟频率可表示为:

$$f_{\min} = \frac{1}{T_{12} + T_{21}} \quad (11-25)$$

当 $t_{12} = t_{21}$ 时, $f_{\min}$ 有最小值。

在第九章里曾指出, 泄漏电流随温度而变化。温度每升高 8°C , 泄漏电流的数值几乎要增大一倍。所以电路能正常工作的最低时钟脉冲频率将随温度的上升而显著增高。例如, 温度在 $0 \sim 70^\circ\text{C}$ 的范围内, 最低时钟脉冲频率几乎将变化一个数量级。

最高时钟脉冲频率主要由节点电容的充放电时间常数限制, 所以可表示为:

$$f_{\max} = -\frac{1}{2i_{CP} + 2i_t + 2i_\phi} \quad (11-26)$$

式中 i_{CP} 为 CP_1 和 CP_2 的最小脉宽, 并假设 $i_{CP1} = i_{CP2}$;

i_t 为开关时间, 并假设上升和下降时间相等;

i_ϕ 为 CP_1 和 CP_2 之间的最小相位差。

在这里需要指出的是, MOS 电路的开关时间随温度的升高而增大, 因此时钟脉冲频率的上限将随温度的升高而降低。

11.2.2 两相动态无比移位寄存器

由两个动态无比倒相器串接起来就组成一个动态无比移位寄存器的单元电路。如图

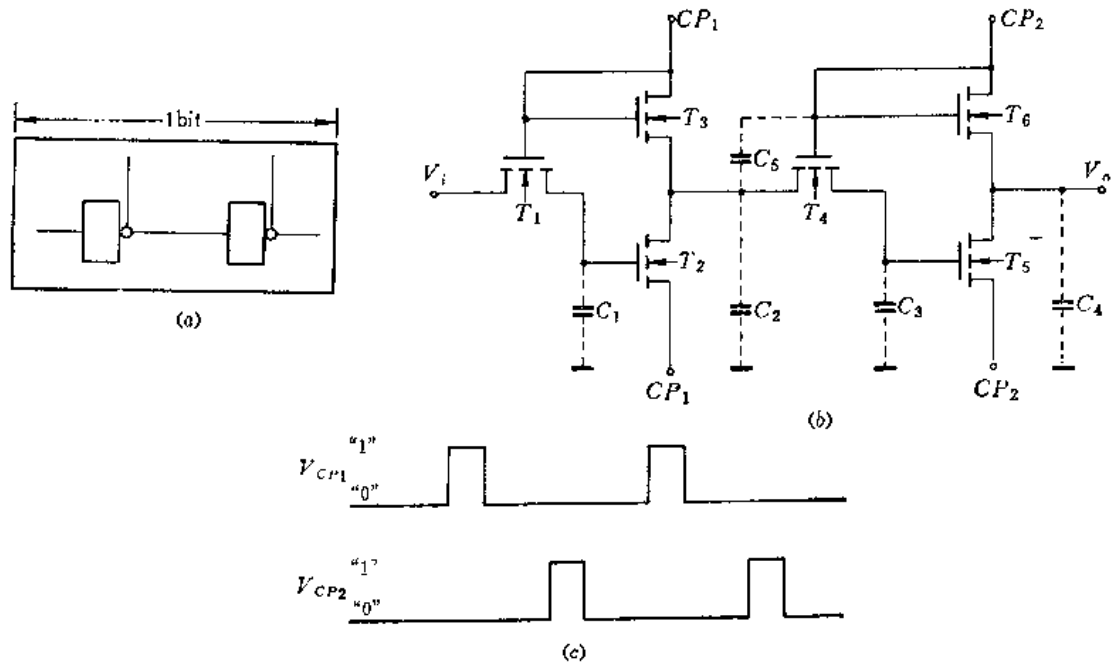


图11-12 两相动态无比逻辑单元
(a) 逻辑图; (b) 电路图; (c) 时钟脉冲关系图。

11-12 所示。电路中的 C_1 、 C_2 、 C_3 、 C_4 是有关各节点对地的电容, C_5 是 T_5 管的栅漏覆盖寄生电容。电路工作时的电源线和地线由时钟线来提供。

一、工作原理

结合图 11-13 给出的工作波形进行分析。

当输入信号 V_i 为“1”时, 在 $t = t_1$ 时刻, CP_1 到来为“1”, T_1 、 T_2 管导通, T_2 管由于其源极电位为“1”, 所以截止。这时, 输入信号 V_i 将通过 T_1 管向电容 C_1 充电至“1”, CP_1 将通过 T_3 管向电容 C_2 充

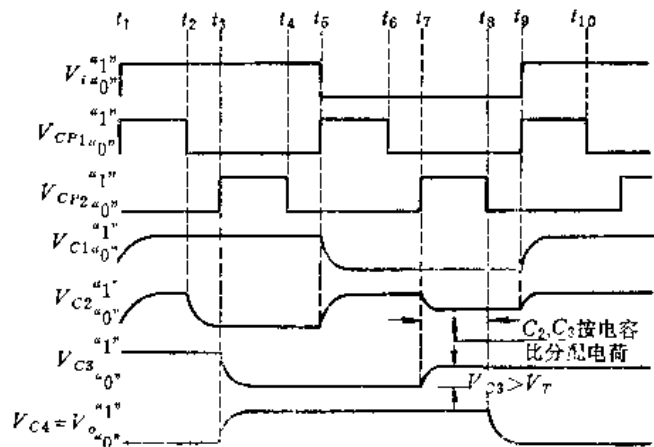


图11-13 两相动态无比逻辑单元工作波形

电至“1”。接着在 $t = t_2$ 时刻, CP_1 消失, 恢复到“0”电平。这时 T_1 和 T_3 管均截止, “1”电平暂时存储在 C_1 上。但这时 T_2 管的源极电位为“0”, 所以导通, C_2 上原来存储的电荷就通过 T_2 管放电, 使 C_2 为“0”。当 $t = t_3$ 时刻, CP_2 到来, 其情况完全同 CP_1 到来时类似。当 CP_2 为“1”时, T_4 、 T_6 管导通, T_5 管截止。 C_2 的“0”经 T_4 管传输到 C_3 。而与此同时, CP_2 通过 T_6 管向电容 C_4 充电至“1”。接着在 $t = t_4$ 时刻, CP_2 消失, 恢复到“0”电平。这时 T_4 和 T_6 管均截止, T_5 管的源极变为“0”, 但其栅极上的电平也为“0”, 所以仍处于截止状态。 C_4 上的电荷没有放电的通路, 所以仍维持在“1”, 即输出“1”电平, 并且暂时存储在电容 C_4 上。

当输入 V_i 为“0”时, 在 $t = t_5$ 时刻, CP_1 再次到来为“1”, T_1 和 T_3 管导通, C_2 被充电至“1”。但因 V_i 为“0”, 所以此时 C_1 经 T_1 管放电为“0”, T_2 管截止。接着在 $t = t_6$ 时刻, CP_1 变为“0”, T_1 和 T_3 管截止, C_2 维持“1”。当 $t = t_7$ 时刻, CP_2 到来为“1”, T_4 和 T_6 管导通, CP_2 通过 T_6 管向电容 C_4 充电至“1”。与此同时, C_2 上的“1”电平经导通的 T_4 管, 在电容 C_2 和 C_3 上按电容比重新分配。设计时, 要保证电荷重新分配后 C_3 上的端电压大于 T_5 管的开启电压, 即 $V_{C_3} > V_{T_5}$ 。这样, 当 $t = t_8$ 时刻, CP_2 消失后, T_5 管足以导通, C_4 通过充分导通的 T_5 管放电为“0”, 即输出“0”电平, 并且暂时存储在电容 C_4 上。

由上述的工作过程看到, 经过两相时钟脉冲 CP_1 和 CP_2 的连续作用后, 输入信号 V_i 就从 1 位单元电路的输入端移至输出端, 即移了 1 位, 实现了移位寄存的功能。

两相动态无比移位寄存器具有无比电路的优点, 即功耗低, 速度快, 集成度高等, 因此这对发展 MOS 大规模集成电路十分可取。

二、设计考虑

由于无比电路具有本身的特点, 因此在设计时需要有一些特殊的考虑。

1. 电容的考虑

无比电路工作时没有从电源到地的直流通路, 因此电路的性能, 如输出电平、功耗以及速度等, 主要由节点电容决定。图 11-14 画出了无比电路设计时要考虑的主要电容。

(1) 电容 C_2 和 C_3 是影响无比电路性能的关键电容。根据电路的要求, T_4 管导通后, 在 CP_1 作用时充在 C_2 上的电荷将分一部分给 C_3 , 使其两端的电压 V_{C_3}

大于下一级倒相器的开门电平, 这样 T_5 管才能够充分导通, 以保证输出“0”电平的设计要求。根据这一要求, 下面对电容 C_2 和 C_3 进行简单的设计估算。

假设原来电容 C_2 存储“1”电平时的端电压为 $V_{C_2} = V_{CP_1}$ 。 T_4 管导通后, C_2 和 C_3 按电容比重新分配电荷。这时 C_3 上的端电压为 V_{C_3} 。如果忽略 T_4 管的导通电阻和泄漏电流的影响, 则

$$V_{C_3}(C_2 + C_3) = V_{CP_1}C_2 \quad (11-27)$$

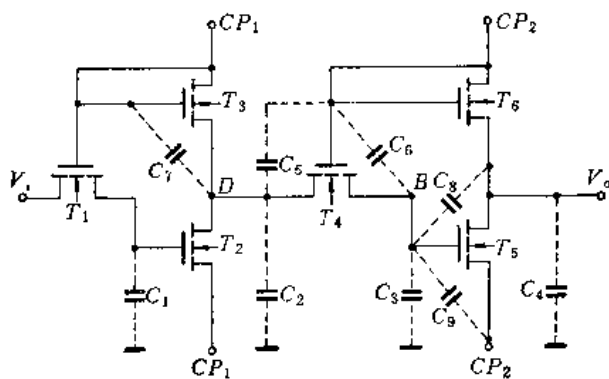


图11-14 无比电路的有关电容

所以

$$V_{C_3} = \frac{C_2}{C_2 + C_3} V_{CP1} \quad (11-28)$$

根据电路的要求,

$$V_{C_3} > V_{IH} \quad (11-29)$$

式中 V_{IH} 为下一级倒相器的开门电平。所以

$$\frac{C_2}{C_2 + C_3} V_{CP1} > V_{IH} \quad (11-30)$$

由式 (11-30) 可以得到:

$$C_2 > \left(\frac{V_{CP1}}{V_{IH}} - 1 \right) C_3 \quad (11-31)$$

这就是 C_2 和 C_3 电容比的关系表达式。

电容 C_3 包括 T_4 管的源区扩散 PN 结电容、 T_5 管的栅电容以及有关的寄生电容。为了估算出电容 C_3 的数值, 以图 11-15 (a) 所示的节点 B 为例, 分析一下电容 C_3 的几个组成部分及其大小。

(i) C_{ox} ——MOS 管的单位面积栅电容, 可由下式表示:

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

若取 $t_{ox} = 1500 \text{ \AA}$, 则 $C_{ox} \approx 2.25 \times 10^{-4} \text{ pF}/\mu\text{m}^2$ 。 C_{ox} 是节点电容的主要组成部分。

(ii) C_{MNT} ——金属 Al-薄氧化层- N^+ 型扩散区之间的单位面积电容, 其值和零偏压下

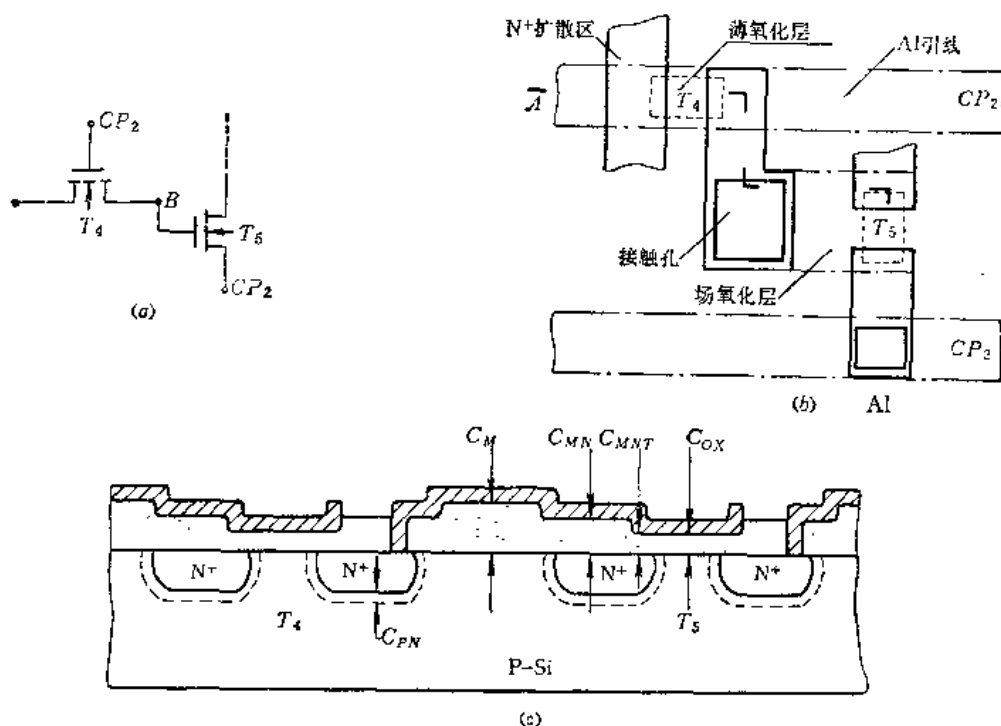


图 11-15 节点电容分布示意图

(a) 节点 B 所连接的两个 MOS 管; (b) 版面示意图; (c) 沿 AA 线剖面示意图。

的 C_{ox} 相同, 但 C_{MNT} 与电压无关。

(iii) C_M ——金属连线 Al-场氧化层-P 型衬底之间的单位面积电容, 一般 C_M 比 C_{ox} 小一个数量级, 即 $C_M \approx 2.25 \times 10^{-5} \text{ pF}/\mu\text{m}^2$ 。

(iv) C_{MN} ——金属 Al-厚氧化层- N^+ 型扩散区之间的单位面积电容, 一般比 C_M 略大些, 大约为 $(2 \sim 3) C_M$, 即 $C_M \approx (5 \sim 7) \times 10^{-5} \text{ pF}/\mu\text{m}^2$ 。

(v) C_{PN} ——MOS 管源、漏 N^+ 型扩散区与 P 型衬底之间的单位面积 PN 结电容, 可按突变结电容公式计算。在零偏压时, 突变结电容为:

$$C_{PNO} = \sqrt{\frac{q\epsilon_{si}\epsilon_0 N_A}{2\Phi}} \quad (11-32)$$

式中 N_A 为 P 型衬底的杂质浓度, 若衬底的电阻率为 $1\Omega \cdot \text{cm}$, 则 N_A 大约为 $2 \times 10^{16} \text{ cm}^{-3}$; Φ 为 PN 结自建电势, 对于上述杂质浓度, 其值大约为 0.7V 。将上述各参数的数值代入式 (11-32), 则

$$C_{PNO} \approx 3.7 \times 10^{-4} \text{ pF}/\mu\text{m}^2$$

PN 结电容是结偏压 V_R 的函数, 其关系可表示为:

$$\frac{C_{PN}}{C_{PNO}} = \left(1 - \frac{V_R}{\Phi}\right)^{\gamma} \quad (11-33)$$

式中 γ 是一个与杂质分布有关的指数, 对于突变结 $\gamma = -\frac{1}{2}$ 。

由式 (11-33) 看出, 结电容 C_{PN} 随结的反向偏压 V_R 的增加而减小。典型的扩散结电容随反向偏压的变化曲线如图 11-15 所示。由图看出, 当反向偏压为 10V 时, 结电容降至零偏压时的 0.3 倍左右。

以上各部分均为单位面积电容。在估算节点电容时, 首先把节点电容各组成部分的面积求出, 然后再估算出总的节点电容 C_S 的值。这样, 就可以根据式 (11-31) 估算出电容 C_2 的大小。 C_2 是第一级倒相器输出节点 D 处的扩散 PN 结电容。在实际设计时, 增大电容 C_2 不是再加大 D 点对地的电容, 而是在 D 点对 T_4 管的栅极, 即 D 点对上部 CP_2 时钟线上加一个较大的电容 C_5 来实现。电容 C_5 是 T_4 管的栅漏覆盖电容, 设计时将 T_4 管的栅面积向其漏区扩大即可得到。

(2) 电容 C_6 是 T_4 管的栅极覆盖其源区而产生的寄生电容。这种电容对一般的电路来说, 影响较小, 但在无比电路中影响却很大, 尤其是对于 T_4 管这样的串联耦合器件更应值得注意。每当时钟脉冲 CP_2 变到 “0” 时 (即地电位), 电容 C_6 将影响加在 C_3 两端的电

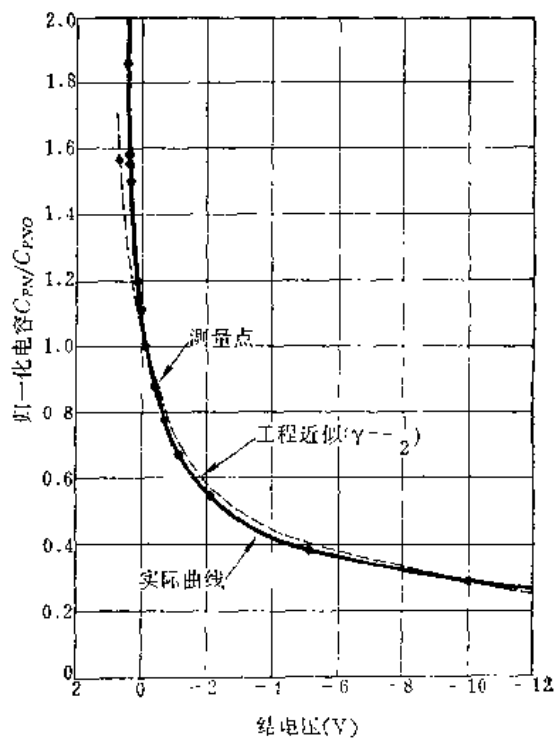


图11-16 典型扩散结的结电容随电压变化的曲线

压。如果 C_5 影响较大, 设计时需适当地增大电容 C_3 。

(3) 电容 C_7 是 T_3 管的栅极覆盖其源区而产生的寄生电容, 它在时钟脉冲 CP_1 每次等于“0”时(即地电位), 都要泄漏掉 C_2 中存储的电荷, 设计时要注意减小它。

(4) 电容 C_8 和 C_9 是 T_5 管的栅极覆盖漏源区而产生的寄生电容。当 T_5 管截止而时钟脉冲 CP_2 为“1”时, 时钟脉冲 CP_2 可以通过这些电容的耦合使 T_5 管的栅极电位升高。严重时甚至能使 T_5 管导通, 造成 C_4 的放电通路, 这将破坏逻辑状态。设计时应注意尽量减小电容 C_8 和 C_9 , 同时也可适当加大 C_3 以消除 C_8 和 C_9 的影响。但增大 C_3 同时还要注意它与 C_2 的关系, 所以不能任意增大。

2. MOS 器件的设计考虑

无比电路中的 MOS 器件均可按最小尺寸设计, 必要时可做一些特殊考虑。

(1) MOS 管 T_1 和 T_4 均可作为门控管考虑。

(2) MOS 管 T_3 是为了对电容 C_2 充电。因为功耗不是这种电路的主要问题, 所以 T_3 管可设计成低阻器件, 以满足速度的要求。

(3) MOS 管 T_2 。当 T_2 、 T_4 管导通时, C_2 和 C_3 将通过 T_4 和 T_2 管放电, 这个放电时间一般限制了两相无比电路的工作速度。所以 T_2 管的设计, 可根据这个放电时间(即工作速度)来考虑。

综上所述, 一个无比电路的设计, 不仅包括器件尺寸的调整, 而更重要的是对电容(包括寄生电容)的设计考虑, 必要时可修改器件尺寸。在这里还必须注意温度对节点电容存储电荷泄漏的影响。

11.2.3 四相动态无比移位寄存器

上而讨论的两相动态无比移位寄存器, 由于电荷分配问题, 电容 C_2 (见图 11-12) 的容量要足够大, 因此仍限制了电路的集成度和工作速度。如果采用四相时钟脉冲电路, 就可以消除这一问题, 从而使集成度和工作速度将得到进一步的提高。由此可见, 四相无比电路是两相无比电路的一个发展。

四相动态无比移位寄存器的形式之一如图 11-17 所示。这是一个一位单元, 有六只 MOS 管和两组交迭的四个时钟脉冲。每个门的输入端不需要耦合器件。

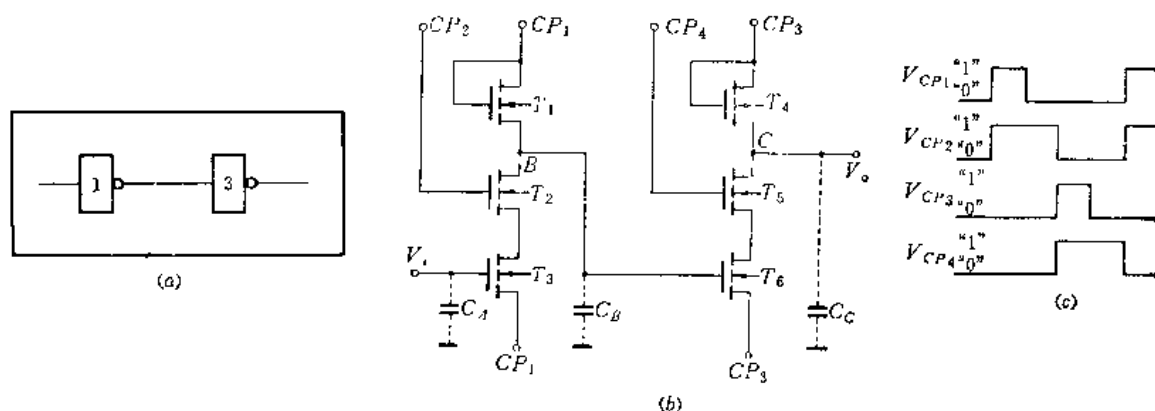


图11-17 四相动态无比移位寄存器
(a) 逻辑符号; (b) 电路图; (c) 四相时钟脉冲关系。

这种电路的工作过程如下:

当时钟脉冲 CP_1 为“1”时, T_1 管导通, 电容 C_B 预充电至“1”, 且与输入端的逻辑状态无关。当 CP_1 变为“0”时, 维持在 CP_2 的时钟信号“1”使 T_2 管导通。这时, 假若输入信号 V_i 为“1”, T_3 管导通, 则 C_B 经 T_2 管和 T_3 管至 CP_1 放电为“0”; 假若输入信号 V_i 为“0”, T_3 管截止, 则 C_B 没有放电通路, 仍保持“1”。由以上分析看出, 经时钟脉冲 CP_1 、 CP_2 连续作用后, 输入信号完成一次倒相。

时钟脉冲 CP_3 和 CP_4 的工作分别与 CP_1 和 CP_2 类似。因此, 经过 CP_1 、 CP_2 、 CP_3 和 CP_4 四相时钟脉冲的作用, 输入信号延迟 $t_3 \sim t_1$ 一段时间后就传输到输出端。所以, 这种电路起到了移位的作用。见图 11-18 所示。

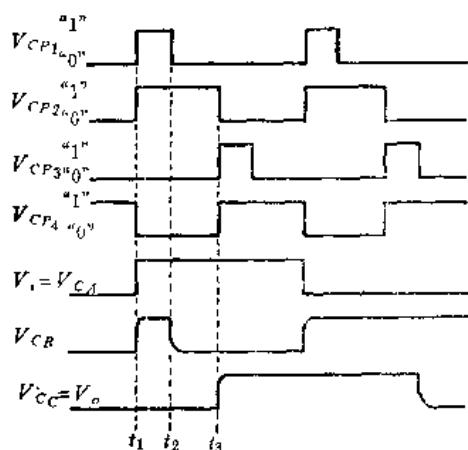


图11-18 四相动态无比移位寄存器工作波形

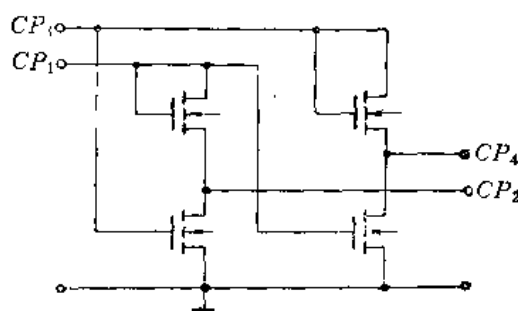


图11-19 在电路中由 CP_1 和 CP_3 产生 CP_2 和 CP_4 的电路

四相无比电路中的四相时钟脉冲可以取同等的脉宽, 以利于充分充电。但缺点是这样的四个时钟都得从外部输入。如果四个时钟相取不同的宽度, 例如, CP_1 和 CP_3 同宽度, CP_2 和 CP_4 同宽度, 则外部只输入两相时钟就可以了, 另两相可由电路内部自己产生, 因而使时钟发生器得到简化。图 11-19 就是在电路中由 CP_1 和 CP_3 产生 CP_2 和 CP_4 的电路, CP_2 和 CP_4 的幅度受 T_2 管和 T_4 管的开启电压的影响。

这种电路在设计时要注意的是 T_2 管的源漏区寄生电容与栅极间存在着的密勒效应¹⁾所引起的问题。图 11-20 画出了这些电容的分布及等效电容。 C_1 是第一级输出端的结点扩散

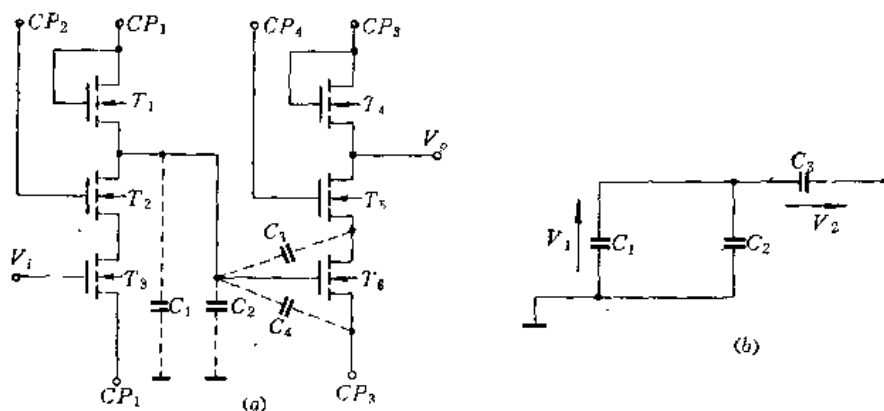


图11-20 四相无比电路的电容分布及等效电容
(a) 电容分布; (b) 等效电路。

电容, C_2 是 T_6 管的栅极和地之间的电容, C_3 和 C_4 是 T_6 管的栅极分别与源区和漏区的覆盖电容。当第一级的输出端建立一个逻辑“0”时, 这个信号便存储在 C_1 和 C_2 上。当 CP_3 变为“1”状态时, T_4 管导通。这时 T_5 管也被 CP_4 打开, 电荷将通过 C_3 和 C_4 转移到 T_6 管的栅极上, 有可能使 T_6 管导通。不过, 这时 T_6 管导通问题还不大, 但当 CP_3 变为“0”状态后, 如果由于 C_3 注入的电荷使 T_6 管仍在导通, 则这一级的输出端就有一条放电的通路, 将使原来的“1”电平放电为“0”电平, 因而破坏了逻辑功能。所以, 要保证在 CP_3 变为“0”以后, T_6 管可靠地截止, 电容 C_1 的容量必须设计的较大些, 以便吸收从 C_3 注入的电荷, 保持 T_6 管的栅极电压在开启电压值以下。根据图 11-19 (b) 所示的等效电容, 可以得到下列关系式

$$V_1(C_1+C_2)=V_2C_3 \tag{11-34}$$

所以

$$C_1=C_3(V_2/V_1)-C_2 \tag{11-35}$$

因此, 如果知道了 C_2 和 C_3 , 则由式 (11-35) 就可算出 C_1 的值。再根据单位面积的扩散电容, 就可估算出 C_1 所占的面积。

以上讨论了由动态倒相器组成的动态移位寄存器逻辑单元电路的工作原理和 设计方法。其它的动态电路, 如动态存储器等, 将在后面分析。

11.3 设计举例

本节以图 11-8 所示的单元电路的设计为例, 说明两相动态有比移位寄存器的设计方法。电路设计指标如表 11-1 所列。

表11-1 电路设计指标

电 路 参 数	单 位	最 小 值	典 型 值	最 大 值
电源电压 V_{DD}	V	9	10	11
时钟脉冲幅度 $V_{CP1}=V_{CP2}$	V	13.5	15	16.5
输出高电平 V_{OH}	V	7		
输出低电平 V_{OL}	V			0.5
上升时间 t_r	μs			0.2
噪声 V_N	V	1		
环境温度 T_A	°C			-90
阈电压 V_T	V	1		1.5
栅氧化层厚度 t_{ox}	Å		1000	
电子迁移率 μ	cm ² /V·s		400	

因为要设计的动态移位寄存器是有比电路, 所以, 其设计方法基本上可以根据静态电路的设计理论进行设计计算。

一、器件参数设计

1. 负载管

负载管的沟道宽长比可以由瞬态特性 (本例中为上升时间) 决定。在设计计算时, 要从给出的电路指标中选出反映速度“最坏条件”的设计参数进行计算。对于速度来说, 最坏的工作条件在表 11-2 中列出。

表11-2 反映速度最坏条件的设计参数

电 路 参 数	最 坏 条 件	简 要 说 明
V_{DDmin}	9 V	低 V_{DD} , 电容 C 充电慢, 开关速度慢
V_{CPmin}	13.5 V	低 V_{CP} , 使偏置参数高, 开关速度慢
V_{Tmax}	1.5 V	高 V_T , 使负载电流小, 对电容 C 充电慢, 开关速度慢
T_{Amax}	+90°C	高温, 使 k' 减小, 从而负载电流较小, 开关速度慢

以这些最坏条件的设计参数, 利用图 10-29 给出的设计曲线, 设计负载器件。

(1) 决定偏置参数 m'

考虑到衬底偏置效应, 偏置参数 m' 由下式给出:

$$m' = \frac{V_{DD}}{V_{CP} - (V_T)_{BS}}$$

假若取衬底偏置常数为 1, $V_{BS} = \frac{1}{2}V_{OH}$, 则根据式 (9-66) 阈电压增量为:

$$\Delta V_T = C\sqrt{V_{BS}} = \sqrt{7/2} \approx 1.8 \text{ V}$$

所以

$$(V_T)_{BS} = 1.5 + 1.8 = 3.3 \text{ V}$$

$$m' = \frac{9}{13.5 - 3.3} \approx 0.9$$

由此可见, 负载管工作在非饱和区。

(2) 求归一化的输出电压

倒相器截止时, 输出电压即是输出高电平, 所以归一化的输出电压为:

$$\frac{V_o}{V_{DD}} = \frac{V_{OH}}{V_{DD}} = \frac{7}{9} \approx 0.8$$

(3) 确定归一化的开关时间

利用图 10-29 给出的曲线, 在 $m = 0.9$ 和 $V_o/V_{DD} = 0.8$ 的数值下, 查得:

$$\frac{t_r}{\tau_r} = 5.6$$

即

$$\tau_r = \frac{t_r}{5.6}$$

(4) 求 k_L

考虑到衬底偏置效应, 利用式 (10-69), 非饱和 MOS 负载倒相器的时间常数为:

$$\tau = \frac{C_L}{2k_L[V_{CP} - (V_T)_{BS}]}$$

所以

$$k_L = \frac{C_L}{2\tau[V_{CP} - (V_T)_{BS}]}$$

电容估算: 根据 11.2.2 节对电容的分析, 可以估算出图 11-8 中的 C_1 和 C_2 的电容值。

同时, 在设计的电路中, 当 T_1 管截止, 时钟脉冲 CP_1 出现, T_2 、 T_3 管导通, C_1 和 C_2 同时被充电至“1”电平。所以时间常数 τ 表达式中的负载电容, 在这里可以看成是 C_1 和 C_2 的并联值。假设 $C_1=C_3$, $C_2=C_4$, 并且 C_1 和 C_2 均取 1pF , 将有关值代入, 可得:

$$k_L = \frac{2 \times 10^{-12}}{2 \times \frac{0.2 \times 10^{-6}}{5.6} \times (13.5 - 3.3)} \approx 2.8 \mu\text{A}/\text{V}^2$$

(5) 求 k'

$$k' = \frac{\mu\epsilon_{ox}}{2t_{ox}} = \frac{400 \times 0.35 \times 10^{-12}}{2 \times 10 \times 10^{-8}} = 7 \mu\text{A}/\text{V}^2$$

考虑到温度对 k' 的影响, 从图 9-24 中查得:

$$k'_{90^\circ\text{C}} = 0.75 k'_{25^\circ\text{C}}$$

将常温下的本征 k' 常数值代入上式, 得:

$$k'_{90^\circ\text{C}} = 0.75 \times 7 \approx 5.3 \mu\text{A}/\text{V}^2$$

(6) 求 $\left(\frac{W}{L}\right)_L$

由

$$k = k' \left(\frac{W}{L}\right)$$

得:

$$\left(\frac{W}{L}\right)_L = \frac{k_L}{k'} = \frac{2.8}{5.3} \approx \frac{1}{2}$$

即负载管的沟道宽长比为 $\frac{1}{2}$ 。

2. 输入管

输入管的沟道宽长比可由静态特性中的输出低电平决定。对于输出低电平来说最坏条件下的设计参数在表 11-3 中给出:

表11-3 输出低电平最坏条件下的设计参数

电 路 参 数	最 坏 条 件	简 要 说 明
$V_{DD\max}$	11V	高 V_{DD} , 使 V_{OL} 增高
$V_{CP\max}$	16.5V	高 V_{CP} , 使 I_{on} 增大, V_{OL} 增高
$V_{T\max}$	1.5V	高 V_T , 使过驱动电压降低, V_{OL} 增高

对于导通的输入器件, 温度无影响。

以这些最坏条件的的设计参数, 利用传输特性曲线, 设计输入管。

(1) 决定偏置参数 m

$$m = \frac{V_{DD}}{2(V_{CP} - V_T) - V_{DD}} = \frac{11}{2(16.5 - 1.5) - 11} \approx 0.6$$

(2) 求归一化的输出电压

$$\frac{V_o}{V_{DD}} = \frac{V_{OL}}{V_{DD}} = \frac{0.5}{11} \approx 0.05$$

(3) 求归一化的输入电压

因为前一级的输出即是下一级的输入, 同时考虑到噪音容限, 所以归一化输入电压为:

$$\frac{V_i - V_T}{V_{DD}} = \frac{V_{OH} - V_N - V_T}{V_{DD}} = \frac{7 - 1 - 1.5}{11} \approx 0.4$$

(4) 确定 k_I/k_L

从图 10-19 中 $m=0.6$ 的归一化设计曲线上, 查得:

$$\frac{k_I}{k_L} = 4$$

(5) 确定 $\left(\frac{W}{L}\right)_I$

$$\frac{k_I}{k_L} = \frac{(W/L)_I}{(W/L)_L} = 4$$

所以

$$\left(\frac{W}{L}\right)_I = 4 \times \left(\frac{W}{L}\right)_L = 4 \times \frac{1}{2} = 2$$

即输入管的沟道宽长比为 2。

3. 门控管

根据式 (11-24)

$$\left(\frac{W}{L}\right)_M = \sqrt{M} \left(\frac{W}{L}\right)_L$$

这里 $M=4$, $(W/L)_L=1/2$, 所以

$$\left(\frac{W}{L}\right)_M = \sqrt{4} \times \frac{1}{2} = 1$$

即门控管的沟道宽长比为 1。

综上所述, 同时考虑到工艺限制, 若取最小尺寸为 $10\mu\text{m}$, 则两相动态有比移位寄存器单元电路各只 MOS 管的几何尺寸列于表 11-4。

表 11-4 各点 MOS 管的几何尺寸

器件 参 数	T_1	T_2	T_3	T_4	T_5	T_6
W/L	2	1/2	1	2	1/2	1
$L(\mu)$	10	20	10	10	20	10
$W(\mu)$	20	10	10	20	10	10

二、时钟脉冲频率的估计

动态电路是利用栅电容的存储效应并在时钟脉冲的作用下工作的, 因此对时钟脉冲频率有一定的要求。

根据式 (11-25) 和式 (11-26) 可以估算出时钟脉冲频率的下限和上限。

为了估计时钟频率的下限, 先分析一下节点电容 (例如图 11-8 所示的 C_2) 能存储信号多长时间。 C_2 保持信号的长短, 主要取决于门控管 T_3 截止后, C_2 对地的泄漏电流有多

大。从图 11-8 看到, C_2 对地的泄漏电流有两条路, 一是通过输入管 T_4 , 另一条是通过门控管 T_3 。我们知道, 栅介质电阻很高, 因此通过它的泄漏电流可以忽略。如果通过门控管 T_3 泄漏, 门控管 T_4 的截止电阻一般也有 $10^9 \Omega$ 数量级。这个电阻与具有 1pF 左右的节点电容 C_2 构成 RC 时间常数, 显然, 这个时间常数在 ms 数量级。也就是说, C_2 对信号的存储时间可以保持 ms 数量级。同样的分析, 节点电容 C_4 对信号也能保持 ms 数量级的时间。这就决定了时钟脉冲频率的下限为 kHz 。

为了估计时钟频率的上限, 先分析一下节点电容的充放电时间。从上面设计计算的结果看到, $g_{m1} > g_{m3} > g_{m2}$ 。因此, 节点电容 C_2 通过 T_3 、 T_1 的放电时间要比通过 T_2 、 T_3 的充电时间短, 所以考虑延迟时间时, 可将放电时间忽略。充电时间基本上由 T_2 的导通电阻决定。根据电路的工作条件, T_2 管工作在非饱和区时的导通电阻大约为 $20\text{k}\Omega$, 因此时间常数大约为 40ns 。假若将 C_2 充电至 “1” 电平需用 5τ , 则时钟脉宽最小为 200ns 。又假若 CP_1 和 CP_2 之间的最小相位差为 100ns , 从式 (11-26) 就可估算出时钟脉冲频率的上限为 MHz 。

这样选取时钟脉冲频率的范围可在 $\text{kHz} \sim \text{MHz}$ 之间。

参 考 资 料

- [1] W. M. Penney, L. Lau, 《MOS Integrated Circuits》, Van Nostrand Reinhold Company, 1972.
清华大学电子工程系半导体车间译, 《金属-氧化物-半导体集成电路》, 科学出版社, 1977。
- [2] A. Barna, D. I. Porat, 《Integrated Circuits in Digital Electronics》, Wiley-Interscience, 1973。

第十二章 MOS 逻辑电路

前面已经讨论了基本的 MOS 门电路, 利用这些门电路可以实现逻辑运算和逻辑控制。但只有这些基本门电路还不够。因为门电路的特点是: 输入信号一旦消失, 输出信号就不复存在, 即没有“记忆”信号的作用。而在数字系统中还需要有能够计数、移位以及存储指令和代码的电路。例如, 触发器就是这样一种电路, 它的根本特点是具有“记忆”作用。因此, 利用触发器可以构成计数器、移位器以及存储器等各种复杂的逻辑电路。所以, 触发器和门电路一样, 作为一种基本单元电路, 在计算技术、数字仪表以及各种电子系统中有着极其广泛地应用。本章在第一篇的基础上着重对基本的 MOS 触发器进行分析, 然而再讨论其它逻辑部件。

12.1 MOS 触发器

MOS 触发器按其逻辑功能分, 主要有 S - R 触发器, J - K 触发器, D 触发器等类型。而按其工作原理, 又可分为静态触发器、准静态触发器和动态触发器。以 MOS 倒相器和门电路为基础, 可以构成各种类型触发器。下面分别进行讨论。

12.1.1 S - R 触发器

一、基本 S - R 触发器

图 12-1 所示的是一种由 P 沟道 MOS “或非” 门 (采用负逻辑) 组成的基本 S - R 触发器。 S - R 触发器有两个输入端, 分别称为 S 输入端和 R 输入端, 有两个互补的输出端, 分别以 Q 和 $\bar{Q}$ 表示。在没有信号输入时, S 端和 R 端均处于高电平 “0”。

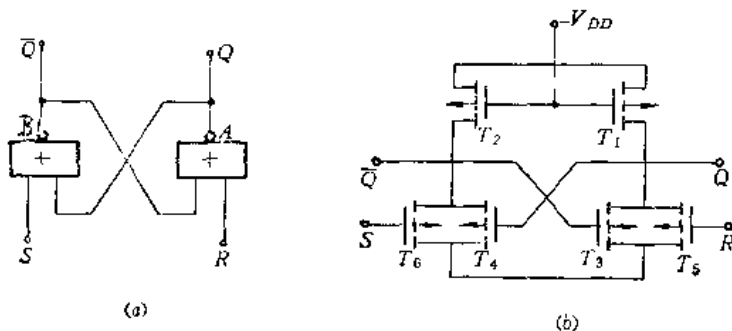


图12-1 P 沟道MOS基本 S - R 触发器
(a) 逻辑结构图; (b) 电路图。

1. 工作原理

S - R 触发器的基本特征是有两种稳定的工作状态和具有触发翻转的性质。现在就来分析图 12-1 所示的电路是如何体现这些特征的。

(1) 两种稳定状态

从逻辑图看,若 R 输入“1”, S 输入“0”,则不管触发器原来状态如何,输出 Q 因“或非”关系必定为“0”。这时“或非”门 B 的输入端全为“0”,因而输出 $\bar{Q}$ 为“1”。 $\bar{Q}$ 处于“1”本身经正反馈又反过来使 Q 更稳定于“0”状态。通常把

$$Q = "0" (\bar{Q} = "1")$$

称为触发器的“0”状态。所以 R 输入端又称置“0”端。

反之,当 S 输入“1”, R 输入“0”时,则 $\bar{Q}$ 变成“0”,而 Q 稳定于“1”。通常把

$$Q = "1" (\bar{Q} = "0")$$

称为触发器的“1”状态。所以 S 输入端又称置“1”端。

若 S 和 R 同时输入“0”时,则两个“或非”门 A 和 B 应稳定在原状态,即触发器的状态不变;若 S 和 R 同时输入“1”时,触发器的状态不定。所以这种电路只有 $Q = "1"$ ($\bar{Q} = "0"$)或 $Q = "0"$ ($\bar{Q} = "1"$)这两种稳定状态。

从电路图看,图中的MOS管 T_1 、 T_2 为负载管,其余均为输入管。若 S 输入“1”, R 输入“0”,则 T_6 管导通, T_5 管截止,使 $\bar{Q}$ 为“0”, Q 为“1”,而 $\bar{Q}$ 为“0”,经正反馈,迫使 T_3 管截止,这更保证 Q 为“1”。因此,在无外力触发时,触发器就一直处于这一稳定状态。若 R 输入“1”, S 输入“0”时,则 T_5 管导通, T_6 管截止,使 Q 为“0”, $\bar{Q}$ 为“1”,迫使 T_3 管导通,更保证 Q 为“0”。因此,这又是一种稳定状态。当 S 和 R 同时输入“0”, T_5 管和 T_6 管不导通,触发器保持原来输出状态不变。当 S 和 R 同时输入“1”, T_5 和 T_6 管同时导通,其漏端电压上升到“0”电平,这样迫使 T_3 管和 T_4 管都处于截止,触发器处于何种状态不定。

由以上分析可见,由两个“或非”门组成的基本 S - R 触发器中,如果一个“或非”门导通,则另一个就必然截止;而一个“或非”门的截止,反过来又保证了另一个的导通。两者互相矛盾而又相互依存,共同促成触发器的两个稳定状态。

(2) 两种稳定状态的转换

触发器处于一种稳定状态时,可以“记忆”一种状态(或者存入一个二进制代码1或0)。而利用在 S 和 R 端加适当的触发信号,则又可以实现状态的转换——置“1”或置“0”。

(i) 触发器的置“1”

假设开始时触发器处于“0”状态。为了使触发器由“0”状态转换到“1”状态,即触发器置“1”,只要在置“1”端 S 加一个负的触发脉冲就可以实现,其过程是: S 输入端加上负脉冲后, T_6 管导通,经过一级门的传输延迟时间 t_{pd} 后, $\bar{Q}$ 的电平由“1”变成“0”,使 T_3 管截止。由于 R 端没有信号输入,仍然保持高电平“0”,所以 T_3 管截止后,又经过一级门的传输延迟时间 t_{pd} 后;使 Q 的电平由“0”变成“1”,反过来使 T_4 管导通。因此即使 S 输入端上的负脉冲消失了,触发器仍将稳定地保持在“1”状态,这就实现了状态的转换,或称触发器的翻转。上述过程的工作波形如图12-2所示。从图还可看到,如果触发器已经处于“1”状态,在 S 输入端上加负脉

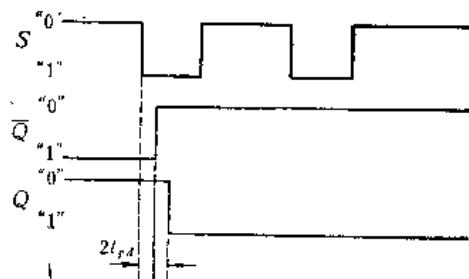


图12-2 触发器置“1”工作波形

冲, 状态也不会再发生变化。

(ii) 触发器的置“0”

触发器的置“0”, 只要在置“0”端 R 上加一个负的触发脉冲就可实现。当然, 只有在触发器原来处于“1”状态的情况下才会引起触发器的翻转。由于电路的对称性, 其转换过程与前面完全类似, 其工作波形如图 12-3 所示。从图也可看到, 如果触发器已经处于“0”状态, 在 R 输入端上加负脉冲, 状态也不会再发生变化。

将 $S-R$ 触发器的工作情况总结成表 12-1。

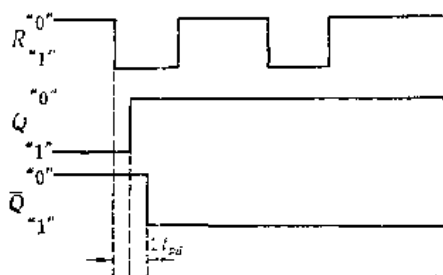


图12-3 触发器置“0”工作波形

表12-1 $S-R$ 触发器状态表

S	R	Q	$\bar{Q}$
0	0	不变	不变
0	1	0	1
1	0	1	0
1	1	不定	不定

以上讨论的是由 MOS “或非” 门组成的 $S-R$ 触发器。同理, 可用 MOS “与非” 门组成 $S-R$ 触发器, 请读者自行分析。

2. 设计考虑

在触发器电路中, 稳定是有条件的, 转换也是有条件的。只有正确地选择电路中各器件的参数和工作条件, 电路才能具有两个稳定状态, 才能从一个稳定状态转换到另一个稳定状态, 从而实现触发器的逻辑功能。下面就电路正常工作所需要的条件进行分析, 以此建立我们对触发器的设计思想。

(1) 最高工作频率

从前面的分析知道, 要使 $S-R$ 触发器稳定地进行工作, 触发脉冲的宽度必须大于 $2t_{pd}$, 由此便可决定触发器的最高工作频率为:

$$f_m = \frac{1}{2t_{pd}} \quad (12-1)$$

式中 t_{pd} 为一级门的平均传输延迟时间。式 (12-1) 给出了最高工作频率与组成触发器的各逻辑门的延迟时间的关系。因此, 根据工作频率的要求, 确定出各逻辑门的延迟时间, 便可从瞬态特性设计组成逻辑门的器件参数。

(2) 输出电平

要使 $S-R$ 触发器能保持稳定的工作状态, 输出端 Q (或 $\bar{Q}$) 的高电平“0”的绝对值要小于门电路的关门电平, 而低电平“1”的绝对值要大于门电路的开门电平, 以保证门电路可靠地截止和充分地导通, 从而使触发器处于稳定的工作状态。从这些基本要求出发, 根据门电路的设计方法, 决定负载管和输入管的跨导比。

(3) 静态功耗

由于 $S-R$ 触发器是双稳电路, 触发器处于工作状态时总是一个门导通, 另一个门截止。因此, 触发器的静态功耗只要考虑一个门即可。和倒相器设计一样, 功耗和速度与负

载管的几何尺寸有关。

3. 基本 $S-R$ 触发器的特点

(1) 它是由两个“或非”门相互首尾连接而组成, 因而电路对称, 结构简单, 成为其它各种触发器的基础。

(2) 它具有两个稳定的工作状态, 因而有“记忆”的功能。

(3) 通过在 S 端或 R 端加负脉冲, 可实现置“1”或置“0”。因此常称它为置“1”置“0”触发器或置位复位触发器。

基本 $S-R$ 触发器还有以下缺点:

(1) 触发器状态的存入无法从时间上控制。而在中大规模集成电路中, 各单元之间必须协同动作, 所以难以直接用 $S-R$ 触发器来实现。

(2) $S-R$ 触发器只有置“1”置“0”的功能, 而当 S 、 R 端同时输入负脉冲时, 触发器的状态不确定。

正是由于这些矛盾, 才促使触发器进一步发展, 出现了性能逐渐完善的 $S-R-T$ 触发器、 $J-K$ 触发器、 D 触发器等等。

二、 $S-R-T$ 触发器

$S-R-T$ 触发器或称同步触发器, 它是受时钟脉冲 CP 控制的触发器, 如图 12-4 所示。与图 12-1 所示的基本 $S-R$ 触发器相比, 这里增加了 MOS 管 T_7 和 T_8 , 它们的栅极连在一起, 受时钟脉冲的控制。

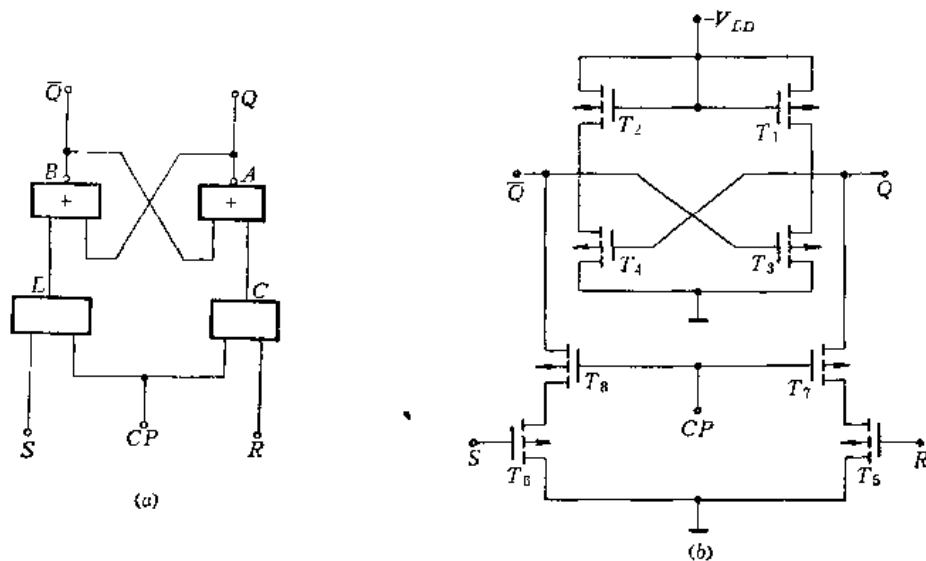


图12-4 P沟道 MOS $S-R-T$ 触发器

(a) 逻辑图; (b) 电路图。

现在分析一下它的工作过程。

当时钟脉冲没有来到, 即 CP 为“0”电平时, 管 T_7 和管 T_8 截止, 不管 S 和 R 两个输入端上的电平如何, Q 和 $\bar{Q}$ 与地之间都没有通路, 所以触发器保持原状态不变。

当时钟脉冲来到, CP 为“1”时, 管 T_7 和管 T_8 导通。根据 S 、 R 两输入端上电平的不同, 可分成以下四种情况讨论:

(1) S 为“1”, R 为“0”: 时钟脉冲到来时, CP 为“1”电平, 使 $\bar{Q}$ 与地连通,

触发器变成“1”状态。当时钟脉冲消失后, 触发器继续保持“1”状态。

(2) S 为“0”, R 为“1”: 时钟脉冲到来时, 使 Q 与地连通, 触发器变成“0”状态。当时钟脉冲消失后, 触发器继续保持“0”状态。

(3) S 、 R 均为“0”: 时钟脉冲到来后, 虽然管 T_7 、 T_8 导通, 但管 T_6 、 T_9 截止, Q 和 $\bar{Q}$ 都不与地连通, 因此触发器的状态不变。

(4) S 、 R 均为“1”: 时钟脉冲过后, Q 和 $\bar{Q}$ 都与地连通, 使管 T_9 、管 T_4 截止。时钟脉冲消失后, 触发器的状态不定, 即可能是“1”, 也可能是“0”, 失去了逻辑意义。这种情况应当避免。

上述逻辑关系, 可简明地用表 12-2 表示。

表12-2 S - R - T 触发器状态表

S	R	Q	$\bar{Q}$
0	0	不变	不变
0	1	0	1
1	0	1	0
1	1	不定	不定

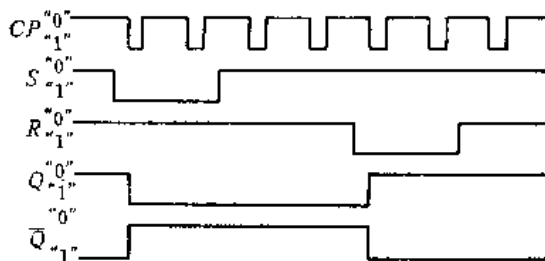


图12-5 S - R - T 触发器的工作波形

为了更好地描写 S - R - T 触发器的工作过程, 在图 12-5 中画出了它的工作波形, 从图中可以看出: (1) S 、 R 两输入端的信号不能直接使触发器翻转, 只有当时钟脉冲 CP 出现 (即由“0”电平变为“1”电平) 时, 触发器才能翻转; (2) 时钟脉冲 CP 只起触发器动作的作用, 至于触发器翻转到什么状态与它无关, 而仅由 S 、 R 决定。

图 12-6 所示的 S - R - T 触发器既有直接触发的功能, 又有受时钟脉冲控制的功能。

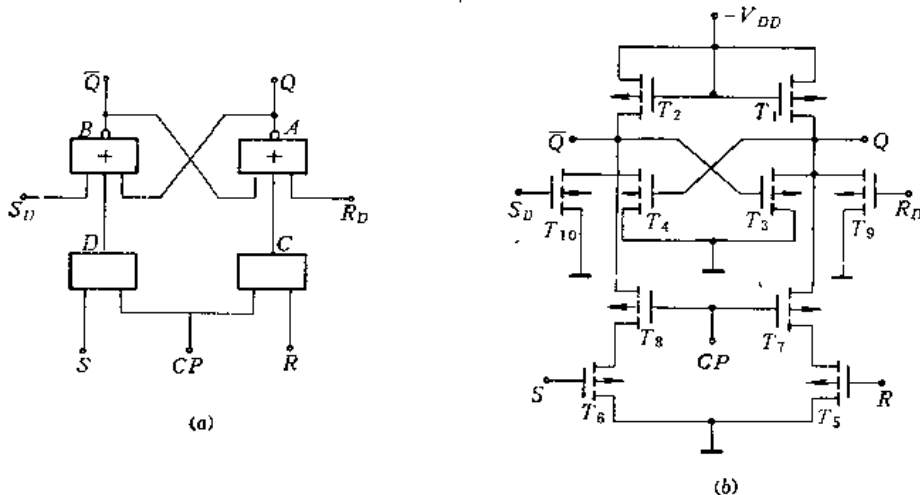


图12-6 既有直接触发, 又受时钟脉冲控制的 S - R - T 触发器
(a) 逻辑图; (b) 电路图。

这种触发器的逻辑功能可以归纳如下:

(1) 在保证时钟脉冲 $CP = "0"$ 的前提下, 把“1”电平加到输入端 S_D 或 R_D , 就可以直接使触发器置“1”或置“0”, 其工作情况如同一个基本 S - R 触发器一样。

(2) 在时钟脉冲 $CP = "1"$ 的配合下, S_D 和 R_D 保持高电平, 把“1”电平加到输

入端 S 或 R , 就可以使触发器置“1”或置“0”。置“1”置“0”时的各点工作波形如图 12-7 所示。

从以上的分析看出, $S-R-T$ 触发器的逻辑功能比基本 $S-R$ 触发器有所扩大。

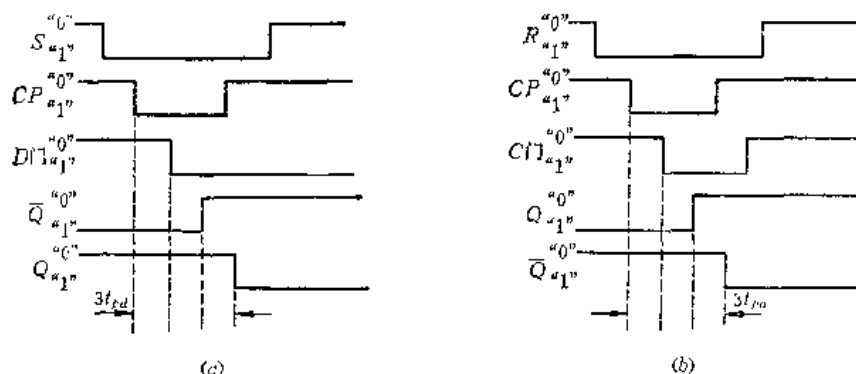


图 12-7 既有直接触发, 又受时钟脉冲控制的 $S-R-T$ 触发器的工作波形

三、主-从 $S-R$ 触发器

主-从 $S-R$ 触发器是由两个时钟控制的 $S-R$ 触发器级联而成。图 12-8 给出主-从 $S-R$ 触发器的电路图。这个电路包括两个时钟控制的 $S-R$ 触发器, 其中每一个触发器都有一个直接置位输入端和一个直接复位输入端。下面的触发器受时钟脉冲 CP 控制, 上面的触

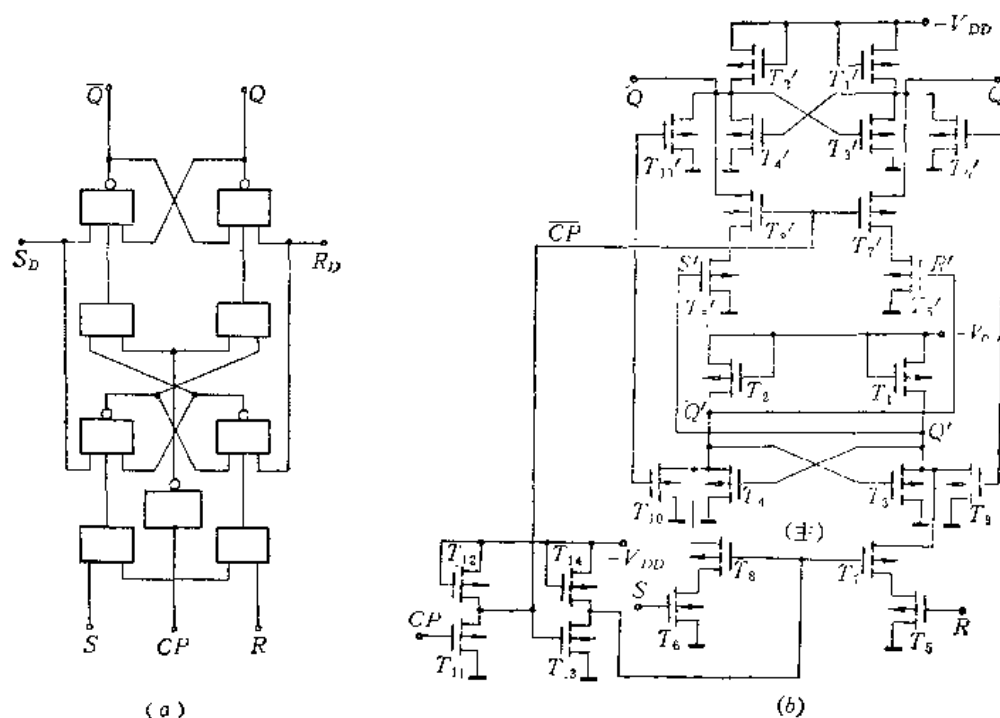


图 12-8 主-从 $S-R$ 触发器
(a) 逻辑图; (b) 电路图。

发器受倒相的时钟脉冲 $\overline{CP}$ 控制。下面触发器的输出端 Q' 和 $\overline{Q}'$ 分别与上面触发器的输入端 S' 和 R' 相连, 因此下面触发器的状态能够控制上面触发器的翻转, 所以下面的触发器叫做主触发器, 上面的触发器叫做从触发器。这种两个 $S-R$ 触发器级联在一起的电路叫做主-从 $S-R$ 触发器, 其输入端是主触发器的输入端 S 和 R , 其输出端是从触发器的输出

端 Q' 和 $\bar{Q}'$ 。

下面分析这种主-从 $S-R$ 触发器的功能。

当时钟脉冲 CP 由“0”变为“1”时，主触发器的变化情况与 $S-R-T$ 触发器的变化完全相同（见表 12-2），而这时的从触发器的状态则因 MOS 管 T_7' 和 T_8' 截止而不变。

当时钟脉冲 CP 由“1”变为“0”时，主触发器的状态因 MOS 管 T_7 和 T_8 截止而不变，而这时的从触发器则变成与主触发器相同的状态。显然，由于主、从两个触发器在一个时钟脉冲周期内轮流动作，从而避免了在一个时钟脉冲作用期间可能造成的空翻现象。

主-从 $S-R$ 触发器的变化过程见表 12-3，它与 $S-R-T$ 触发器有相同的逻辑关系，只不过时钟脉冲 CP 由“0”变到“1”时， $S-R-T$ 触发器的输出就会变化，而主-从 $S-R$ 触发器要到时钟脉冲 CP 由“1”变到“0”时输出才发生变化。同样当主-从 $S-R$ 触发器的两个输入端 S 和 R 都是“1”电平时，触发器的状态不定，在使用时要避免这种情况。

表12-3 主-从 $S-R$ 触发器的状态表

S	R	Q'	$\bar{Q}'$	Q	$\bar{Q}$
0	0	不变	不变	不变	不变
0	1	0	1	0	1
1	0	1	0	1	0
1	1	不定	不定	不定	不定

在设计这种电路时，一般主触发器各器件的宽长比 W/L 都要比对应的从触发器各器件的宽长比 W/L 小些，这是因为主触发器只驱动从触发器，负载不大；然而从触发器的输出一般要接较大的负载，因此各器件的宽长比 W/L 要增大。

12.1.2 $J-K$ 触发器

$J-K$ 触发器比 $S-R$ 触发器有更强的逻辑功能。这种触发器的两个主要输入端记作 J 、 K ，因此称为 $J-K$ 触发器。 $J-K$ 触发器的种类繁多，这里仅以主-从 $J-K$ 触发器为例加以简单地讨论。

主-从 $J-K$ 触发器是在主-从 $S-R$ 触发器的基础上发展起来的，如图 12-9 所示。它也包括主触发器和从触发器，但它区别于一般主-从触发器的特点是：触发器本身的两个输出端 Q 和 $\bar{Q}$ 分别引回主触发器的输入端，相应于 S 输入端改称为 J 输入端，相应于 R 输入端改称为 K 输入端。另外在 $J-K$ 触发器中，从触发器受主触发器控制，而主触发器又受到从触发器的控制。同样，时钟脉冲 CP 控制主触发器，而倒相后的时钟脉冲 $\bar{CP}$ 控制从触发器。

现在分析主-从 $J-K$ 触发器的工作情况。

当时钟脉冲 CP 由“1”变成“0”时，主触发器状态不变，从触发器变成与主触发器相同的状态。当时钟脉冲 CP 由“0”变成“1”时，从触发器状态不变，主触发器的状态变化可分成以下四种情况讨论：

(1) $J = K = “0”$ 时，在时钟脉冲作用下，触发器的状态不变。

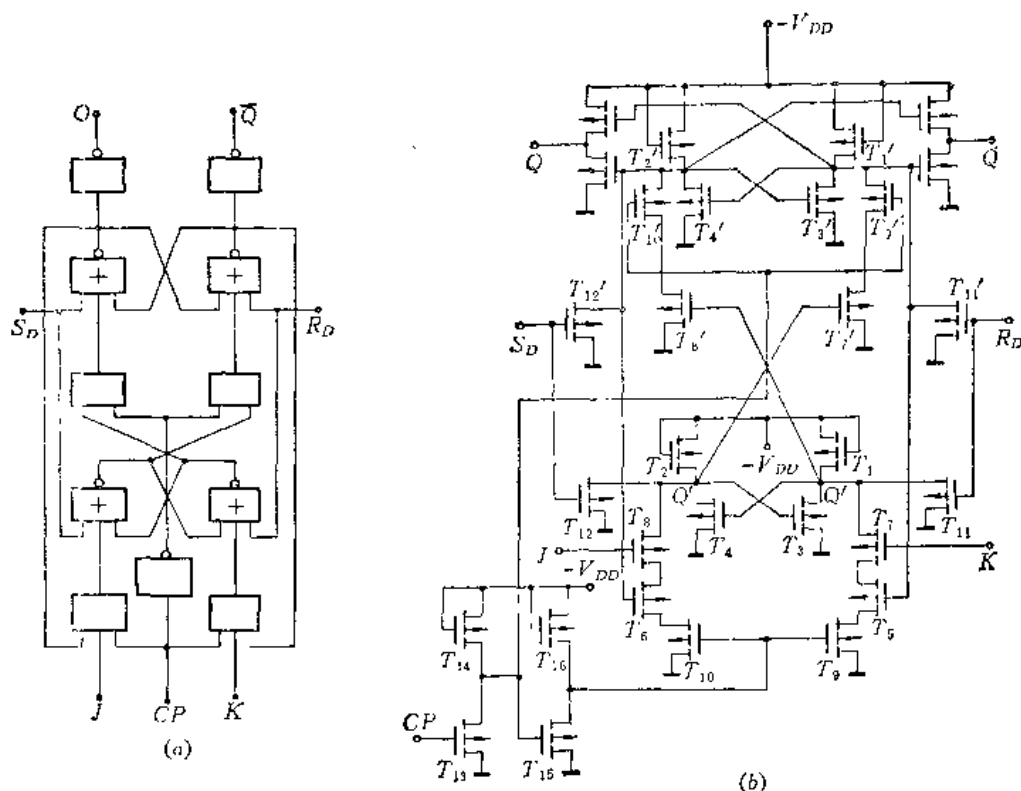


图12-9 P沟道MOS J - K 触发器
(a) 逻辑图, (b) 电路图。

这时 MOS 管 T_7 、 T_8 均截止, 主触发器状态不变。当时钟脉冲 CP 由“1”变成“0”时, 从触发器的状态也不变。

(2) $J = K = “1”$ 时, 在时钟脉冲作用下, 触发器的状态翻转一次。

这时 MOS 管 T_7 、 T_8 都导通, MOS 管 T_5 和 T_6 中有一个导通 (必然是漏、栅极都是低电平的那只管子导通)。当时钟脉冲 CP 由“0”变成“1”时, MOS 管 T_8 — T_6 — T_{10} 和 MOS 管 T_7 — T_5 — T_9 两路中必有一路全导通, 其结果把 Q' 和 $\bar{Q}'$ 中原来为低电平的接地, 引起主触发器翻转一次。

(3) $J = “1”$, $K = “0”$ 时, 在时钟脉冲作用下, 触发器被置“1”。

这时 MOS 管 T_8 导通, 而 MOS 管 T_7 截止。这又可分两种情况: 如果原来主触发器处于“1”状态, 从触发器也跟着处于“1”状态, 则管 T_5 导通而管 T_6 截止, 这样 Q' 和 $\bar{Q}'$ 对地的通路都被截断, 当时钟脉冲 CP 由“0”变成“1”时, 主触发器状态不变; 如果原来主触发器处于“0”状态, 从触发器也跟着处于“0”状态, 则管 T_6 导通而管 T_5 截止。当时钟脉冲 CP 由“0”变成“1”时, $\bar{Q}'$ 与地连通, 使主触发器变成“1”状态。总之, 不管原来的状态是什么, 在时钟脉冲的作用下, 触发器都会变成“1”状态。

(4) $J = “0”$, $K = “1”$ 时, 在时钟脉冲的作用下, 触发器被置“0”。

根据类似的分析可知, 不管触发器原来的状态是什么, 在时钟脉冲 CP 由“0”变成“1”后, 主触发器会处于“0”状态。在时钟脉冲 CP 由“1”变成“0”后, 从触发器也跟着变成“0”状态。

J - K 触发器的逻辑关系见表 12-4。 Q_n 和 $\bar{Q}_n$ 表示时钟脉冲 CP 为“1”时的输出电

平, Q_{n+1} 和 $\overline{Q}_{n+1}$ 表示时钟脉冲 CP 为“0”后的输出电平。

由表 12-4 看出, 不管输入端 J 、 K 是什么电平, $J-K$ 触发器的输出状态都是确定的, 这是 $J-K$ 触发器的一大特色, 因此利用它可以方便地构成计数器。

表12-4 $J-K$ 触发器状态表

J	K	Q_{n+1}	$\overline{Q}_{n+1}$	J	K	Q_{n+1}	$\overline{Q}_{n+1}$
0	0	Q_n	$\overline{Q}_n$	1	0	1	0
0	1	0	1	1	1	$\overline{Q}_n$	Q_n

另外, 时钟脉冲 CP 和 $\overline{CP}$ 互为倒相, 即它们的作用时间是互补的。这就使主触发器和从触发器不同时接受信号, 因而 $J-K$ 触发器杜绝了空翻的可能性。

12.1.3 准静态触发器

可以利用静态电路中交叉耦合触发器的直流存储性能和动态电路中栅电容的暂时存储效应来设计触发器电路, 一个综合了这两种性质的触发器称为准静态触发器。下面以准静态 D 触发器为例进行讨论。

准静态 D 触发器的一种基本单元电路如图 12-10 所示, 其中 MOS 管 T_1 、 T_2 、 T_3 、 T_4 组成双稳电路, MOS 管 T_7 和 T_8 、 T_9 分别为由时钟脉冲 CP_1 和 CP_2 控制的门控管, MOS 管 T_5 、 T_6 组成输出倒相器。

现在分析其工作过程。当 CP_1 出现为“1”时, 门控管 T_7 导通, 输入端 D 的信号就暂存于管 T_1 的栅电容 C_1 上。这时因为 CP_2 为“0”, 门控管 T_8 、 T_9 截止, 所以由 T_1 、 T_2 组成的倒相器的输出 A 点的信号不会传递到输出端 Q 。 CP_1 消失后, T_7 管截止。然后 CP_2

出现为“1”, 门控管 T_8 、 T_9 导通, 这时 A 点的信号经由 T_8 传到 B 点, 即 T_5 的栅极, 再经一次倒相后从 C 点输出。所以输出 Q 比输入 D 的信号延迟了一个节拍, 起到了移位的作用。其工作波形如图 12-11。

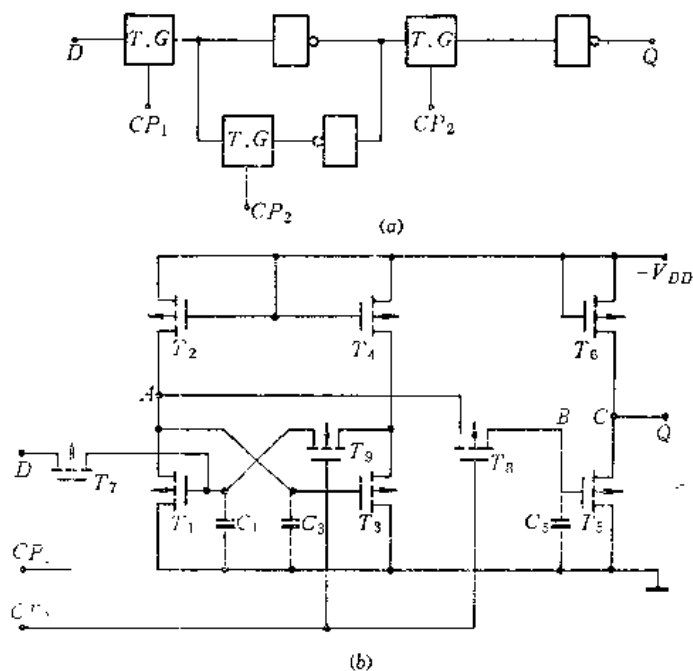


图12-10 准静态 D 触发器基本单元
(a) 逻辑图; (b) 电路图。

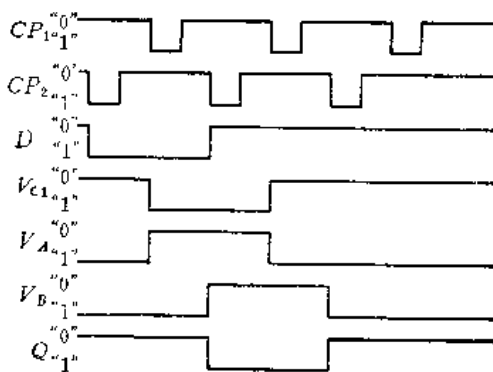


图12-11 准静态 D 触发器工作波形

另一方面, 由 MOS 管 T_3 、 T_4 组成的倒相器的输出信号经门控管 T_6 反馈到 T_1 的栅极, 使 T_1 的栅极电平稳定在原来的状态, 即 CP_1 为“1”时输入 D 的信号经 T_7 传到 T_1 栅极的状态。

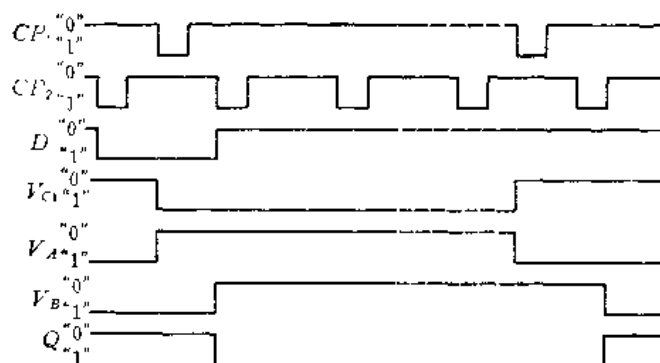


图12-12 时钟脉冲 CP_1 停止一段时间的情况

由以上分析看出, 这种电路具有如下的特点: 由于有双稳电路的作用, 存储在 T_1 的栅电容 C_1 上的电荷不因 CP_1 频率过低而丢失, 也就是说, 只要 CP_2 仍保持有规律地出现, 即使 CP_1 在一段较长的时间内中断, 电路也能正常工作。如图 12-12 所示。在实际应用中, 利用这个特点, 用时钟脉冲 CP_1 来控制数码的移位, 可以使一个数码在一定的时间里移一定位数, 也可以使数码在一段时间内不进行移位, 而长时间的存储下来。

需要指出的是, 在这种电路里, 时钟脉冲 CP_2 不能停止。而且, 即使时钟脉冲 CP_1 重复地产生, 如果时钟脉冲 CP_2 停止了, 门控管 T_8 截止, 存储在 MOS 管 T_5 栅电容 C_5 上的信号也会丢失, 而使电路失效。

若把图 12-10 所示的电路改成图 12-13 所示的形式, 就可以在以下两种情况下工作。一是时钟脉冲 CP_2 重复地产生而时钟脉冲 CP_1 停止, 另一是时钟脉冲 CP_1 重复地产生而时钟脉冲 CP_2 停止。这种电路的工作过程可与图 12-10 所示的电路作类似的分析, 故不赘述。

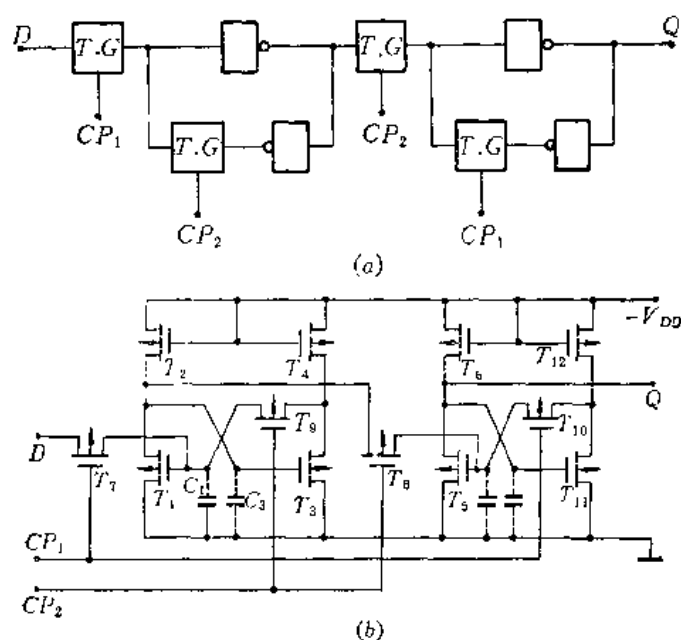


图12-13 有两个反馈回路的准静态 D 触发器的基本单元
(a) 逻辑图; (b) 电路图。

12.2 MOS 计数器

本节以一个同步二-十进制计数器为例, 说明其设计方法。

计数器可以分为两部分: 寄存器和计算网络。其寄存器可以由各种类型的触发器组成,

而计算网络则由门电路组合来完成。计数器的设计,就是根据计数器的计数要求(如位数、速度等)选用适当的触发器和根据不同触发器设计其计算网络。我们可以把计算网络看成这样一个组合逻辑:其输入变量是寄存器的输出,其输出变量是寄存器的输入。见图12-14。其中 Q 和 Q' 分别代表计数器在加1以前和加1以后的二进制数。即:

$$Q = Q_4 Q_3 Q_2 Q_1$$

$$Q' = Q'_4 Q'_3 Q'_2 Q'_1$$

并且满足

$$Q' + Q = 1$$

这一计数器的真值表在表12-5中给出。根

据表12-5可以写出计算网络输入变量和输出变量满足的逻辑式为:

$$Q'_1 = \bar{Q}_4 \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 + \bar{Q}_4 \bar{Q}_3 Q_2 \bar{Q}_1 + \bar{Q}_4 Q_3 \bar{Q}_2 \bar{Q}_1 + \bar{Q}_4 Q_3 Q_2 \bar{Q}_1 + Q_4 \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 \quad (12-2)$$

$$Q'_2 = \bar{Q}_4 \bar{Q}_3 \bar{Q}_2 Q_1 + \bar{Q}_4 \bar{Q}_3 Q_2 \bar{Q}_1 + \bar{Q}_4 Q_3 \bar{Q}_2 Q_1 + \bar{Q}_4 Q_3 Q_2 \bar{Q}_1 \quad (12-3)$$

$$Q'_3 = \bar{Q}_4 \bar{Q}_3 Q_2 Q_1 + \bar{Q}_4 Q_3 \bar{Q}_2 \bar{Q}_1 + \bar{Q}_4 Q_3 \bar{Q}_2 Q_1 + \bar{Q}_4 Q_3 Q_2 \bar{Q}_1 \quad (12-4)$$

$$Q'_4 = \bar{Q}_4 Q_3 Q_2 Q_1 + Q_4 \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 \quad (12-5)$$

表 12-5

Q_4	Q_3	Q_2	Q_1	Q'_4	Q'_3	Q'_2	Q'_1	Q_4	Q_3	Q_2	Q_1	Q'_1	Q'_3	Q'_2	Q'_4
0	0	0	0	0	0	0	1	0	1	0	1	0	1	1	0
0	0	0	1	0	0	1	0	0	1	1	0	0	1	1	1
0	0	1	0	0	0	1	1	0	1	1	1	1	0	0	0
0	0	1	1	0	1	0	0	1	0	0	0	1	0	0	1
0	1	0	0	0	1	0	1	1	0	0	1	0	0	0	0

考虑到约束条件:

$$Q_4 \bar{Q}_3 Q_2 \bar{Q}_1 + Q_4 \bar{Q}_3 Q_2 Q_1 + Q_4 Q_3 \bar{Q}_2 \bar{Q}_1 + Q_4 Q_3 \bar{Q}_2 Q_1 + Q_4 Q_3 Q_2 \bar{Q}_1 + Q_4 Q_3 Q_2 Q_1 = 0$$

式(12-2)至(12-5)可以如下化简:

$$\begin{aligned} Q'_1 &= (\bar{Q}_4 \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 + \bar{Q}_4 \bar{Q}_3 Q_2 \bar{Q}_1 + \bar{Q}_4 Q_3 \bar{Q}_2 \bar{Q}_1 + \bar{Q}_4 Q_3 Q_2 \bar{Q}_1) + (\bar{Q}_4 \bar{Q}_3 Q_2 \bar{Q}_1 \\ &\quad + \bar{Q}_4 Q_3 Q_2 \bar{Q}_1 + Q_4 \bar{Q}_3 \bar{Q}_2 \bar{Q}_1) = \bar{Q}_2 \bar{Q}_1 \\ &\quad + Q_2 \bar{Q}_1 = \bar{Q}_1 \end{aligned} \quad (12-6)$$

$$\begin{aligned} Q'_2 &= (\bar{Q}_4 \bar{Q}_3 \bar{Q}_2 Q_1 + \bar{Q}_4 Q_3 \bar{Q}_2 Q_1) + (\bar{Q}_4 \bar{Q}_3 Q_2 \bar{Q}_1 + \bar{Q}_4 Q_3 Q_2 \bar{Q}_1 + Q_4 \bar{Q}_3 Q_2 \bar{Q}_1 \\ &\quad + Q_4 Q_3 Q_2 \bar{Q}_1) = \bar{Q}_4 \bar{Q}_2 Q_1 + Q_2 \bar{Q}_1 \end{aligned} \quad (12-7)$$

$$\begin{aligned} Q'_3 &= (\bar{Q}_4 \bar{Q}_3 Q_2 Q_1 + Q_4 \bar{Q}_3 Q_2 Q_1) + (\bar{Q}_4 Q_3 Q_2 \bar{Q}_1 + (Q_4 Q_3 Q_2 \bar{Q}_1 + Q_4 \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 \\ &\quad + Q_4 Q_3 \bar{Q}_2 \bar{Q}_1) + (\bar{Q}_4 Q_3 \bar{Q}_2 Q_1 + \bar{Q}_4 Q_3 Q_2 Q_1 + Q_4 Q_3 \bar{Q}_2 Q_1 \\ &\quad + Q_4 Q_3 Q_2 Q_1) = \bar{Q}_3 Q_2 Q_1 + Q_3 \bar{Q}_1 + Q_3 \bar{Q}_2 = \bar{Q}_3 Q_2 Q_1 \\ &\quad + Q_3 \bar{Q}_2 \bar{Q}_1 \end{aligned} \quad (12-8)$$

$$\begin{aligned} Q'_4 &= (\bar{Q}_4 Q_3 Q_2 Q_1 + Q_4 \bar{Q}_3 Q_2 Q_1) + (Q_4 Q_3 \bar{Q}_2 \bar{Q}_1 + Q_4 \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 + Q_4 Q_3 Q_2 \bar{Q}_1 \\ &\quad + Q_4 \bar{Q}_3 Q_2 \bar{Q}_1) = \bar{Q}_4 Q_3 Q_2 Q_1 + Q_4 \bar{Q}_1 = Q_3 Q_2 Q_1 + Q_4 \bar{Q}_1 \end{aligned} \quad (12-9)$$

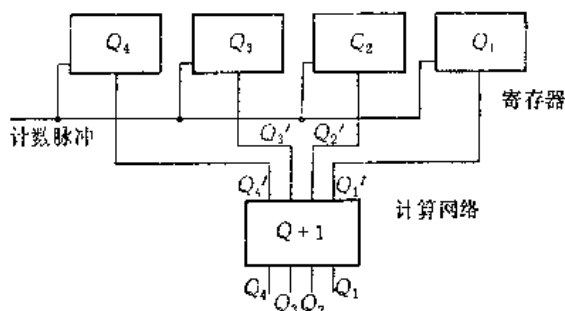


图12-14 计数器

点建立新电平。必须当 A_1 , A_2 , A_3 和 A_4 点的电平都稳定之后, 第二个计数脉冲才能开始计数。根据图中的线路, 其最长的延迟时间为 $2t_{pd}$, t_{pd} 为每一个逻辑门的平均延迟时间。因之, 最高计数频率 f_m 为:

$$\frac{1}{f_m} = t_F + 2t_{pd} \quad (12-21)$$

一般情况可以表示为:

$$\frac{1}{f_m} = t_F + t_d \quad (12-22)$$

$$t_d = nt_{pd} \quad (12-23)$$

式中 t_d 为计算网络的延迟时间, n 为计算网络逻辑门的级数。式 (12-22) 和 (12-23) 给出了最高计数频率与组成计数器逻辑部件延迟时间的关系, 也就是各逻辑部件的设计依据。在实际设计中除了上述考虑外, 尚需考虑触发器输出端的负载能力和逻辑门输入端数目限制等因素。

12.3 MOS 电路设计方法

MOS 集成电路设计, 一般包括逻辑设计, 器件设计, 版图设计和工艺设计几部分。而且这几部分是彼此渗透, 相互关联的有机整体, 只是在实际设计时由于具体情况不同而各有侧重。本节的主要内容是在前面分析的基础上, 从器件、版图、工艺等方面, 提出 MOS 电路设计的一般考虑和方法。

12.3.1 器件设计

器件设计就是根据电路指标要求和一定的工艺条件, 设计计算器件结构参数——沟道宽长比。下面以 PMOS D 锁触发器为例, 介绍器件设计方法。

图 12-17 所示的就是一种 D 锁触发器, 其电路特点是: 它具有单一数据 (D) 输入

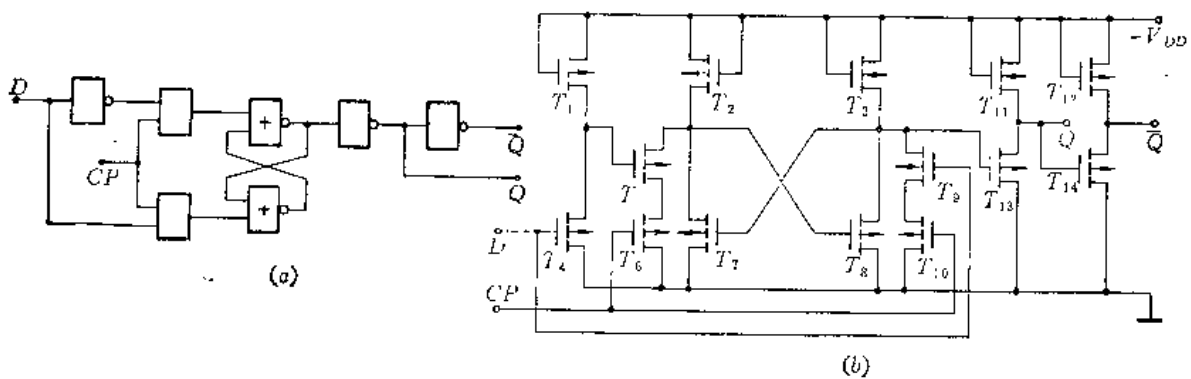


图12-17 D 锁触发器
(a) 逻辑图; (b) 电路图。

端和一个时钟脉冲 CP 输入端。这就避免了 $S-R$ 两输入端同时为 “1” 的不定状态。这种触发器的逻辑功能是: 当某一时刻 t_n 时 $D = “0”$, 则经过 CP 作用后, 在 t_{n+1} 时刻的输出 Q 也是 “0”; 若 t_n 时 $D = “1”$, 则经过 CP 作用后, 在 t_{n+1} 时刻的输出 Q 也是 “1”。其

逻辑状态如表 12-6 所示。由此看出, 输出 Q 的状态始终比输入 D 的状态延迟一个节拍, 因此有时也称这种触发器为延迟触发器。图 12-18 给出了它的工作波形。

表12-6 D 门控触发器状态表

t_n	t_{n+1}
D	Q
0	0
1	1

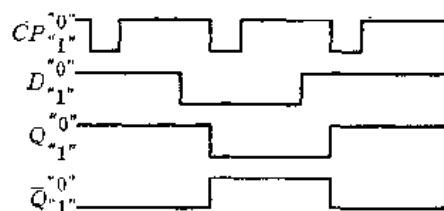


图12-18 D 门控触发器工作波形

一、器件参数设计

电路指标由表 12-7 给出, 其中也给出了工艺参数。

表12-7 电路设计指标

参 量	单 位	最 小 值	典 型 值	最 大 值
电源电压 V_{DD}	V	-20	-22	-24
输出低电平 V_{OL}	V	-12	—	—
输出高电平 V_{OH}	V	—	—	-2
下降时间 t_f	μs	—	—	10
使用温度 T_A	$^{\circ}C$	-40	—	+90
功耗 P	mW	—	—	30
传输时间 t_d	μs	—	—	2
负载电容 C_L	pF	—	—	30
开启电压 V_T	V	-3	-4	-5
空穴迁移率 μ_p	$cm^2/V \cdot s$	—	—	200
栅氧化层厚度 t_{ox}	$\text{\AA}$	1500	—	1700

任何一个具有复杂逻辑功能的 MOS 电路, 都是由最简单的门电路所构成, 而其中的倒相器就是最基本的单元。例如, 图 12-17 所示的 D 门控触发器中就是由三个倒相器和两个“与或非”门所组成。因此整个电路中各只 MOS 管的沟道宽长比的设计, 可以分解成各个门电路中每只 MOS 管的沟道宽长比的设计。

图 12-17 所示的电路中的三个倒相器是: T_1 和 T_{13} 、 T_{12} 和 T_{14} 组成两个输出倒相器; T_1 和 T_4 组成一个内倒相器。而由 T_2 、 T_5 、 T_6 和 T_7 以及 T_3 、 T_8 、 T_9 和 T_{10} 组成两个“与或非”门。根据表 12-7 给出的电路指标, 下面对上述逻辑门分别进行设计计算。

1. 输出倒相器设计

(1) 输出倒相器的负载管设计

输出倒相器的负载管设计一般由电路的瞬态特性(截止时间)所决定。由于 T_{12} 工作在饱和区, 所以根据饱和 MOS 负载倒相器截止时间的表达式 (10-66), 对于 PMOS 电路有:

$$t_f = -\frac{C_L}{k_L} \left\{ \frac{1}{[(V_{DD} - V_T) - V_{OL}]} - \frac{1}{[(V_{DD} - V_T) - V_{OH}]} \right\} \quad (12-24)$$

考虑到衬底偏置效应, 负载管的宽长比为:

$$\left(\frac{W}{L}\right)_L = \frac{C_L}{k' t_f} \left\{ \frac{1}{[V_{DD} - (V_T)_{BS} - V_{OL}]} - \frac{1}{[V_{DD} - (V_T)_{BS} - V_{OH}]} \right\} \quad (12-25)$$

根据式 (9-66), 对于 PMOS 有:

$$(V_T)_{BS} = V_T - \frac{1}{2} \sqrt{|V_{BS}|} \quad (12-26)$$

其中 V_{BS} 是负载管的源和衬底间的反向偏压, 在充电过程中它在 V_{OH} 与 V_{OL} 之间变化, 因此可取

$$V_{BS} = -\frac{1}{2}(V_{OL} - V_{OH}) \quad (12-27)$$

考虑到温度的影响, 由式 (9-50) 得到本征 k 常数为:

$$\begin{aligned} (k')_{90^\circ\text{C}} &= \left[\frac{273+90}{273+25} \right]^{-3/2} \times (k')_{25^\circ\text{C}} \\ &= \left(\frac{363}{298} \right)^{-3/2} \times \frac{200 \times 0.35 \times 10^{-12}}{2 \times 17 \times 10^{-6}} \approx 1.46 \mu\text{A/V}^2 \end{aligned}$$

为了保证电路在表 12-7 中的范围内良好地工作, 要以“最坏条件”设计电路, 所以

$$\left(\frac{W}{L}\right)_L = \frac{30 \times 10^{-12}}{1.46 \times 10^{-6} \times 10 \times 10^{-6}} \left\{ \frac{1}{[20 - 6.12 - 12]} - \frac{1}{[20 - 6.12 - 2]} \right\} \approx 1$$

(2) 输出倒相器的输入管设计

输出倒相器的输入管设计一般由电路的静态特性 (输出高电平) 决定。根据式 (10-22) 对于 PMOS 电路有:

$$V_{OH} = \frac{1}{2} \frac{g_{mL}}{g_{mI}} (V_{DD} - V_T)$$

所以输入管的宽长比为:

$$\left(\frac{W}{L}\right)_I = \frac{(V_{DD} - V_T)^2}{2V_{OH}(V_{OL} - V_T)} \times \left(\frac{W}{L}\right)_L \quad (12-28)$$

同样以“最坏条件”设计, 得到:

$$\left(\frac{W}{L}\right)_I = \frac{(24-5)^2}{2 \times 2 \times (12-5)} \times \left(\frac{W}{L}\right)_L \approx 13$$

综上计算结果, 输出倒相器的负载管 T_{11} 和 T_{12} 的宽长比设计值为 1, 输入管 T_{13} 和 T_{14} 的宽长比设计值为 13。

2. 内倒相器设计

先分析一下内倒相器和输出倒相器有什么不同。

(1) 负载电容不同

输出倒相器的输出端直接和电路负载相连, 因此负载电容为 C_L 。

内倒相器的输出端是与下一级倒相器的输入管的栅极相连, 其负载电容就是下一级倒相器的输入电容。一般讲, 一个内倒相器的输出端与 2~3 只管子的栅极相连。假定每只管子的输入电容为 0.5pF, 则内倒相器的负载电容 C_L' 可取 2pF。

(2) 对输出高、低电平要求不同

对于输出倒相器, 其输出高、低电平必须满足电路设计指标。

对于内倒相器, 其输出低电平 V'_{OL} 只要使下一级倒相器充分导通, 其输出高电平 V'_{OH} 只要使下一级倒相器可靠截止就可满足。为保证有一定的噪容 (假定 $V_N=1V$), 可取 $V'_{OH}=V_T-V_N$ 。

(3) 下降时间不同

对于输出倒相器, 下降时间必须满足电路设计指标。

对于内倒相器, 其下降时间 t'_f 是由 i_d 的大小而定。一般可表示为:

$$t'_f = \frac{t_d}{\frac{1}{2}(n+1)} = -\frac{2t_d}{n+1} \quad (12-29)$$

式中 n 为逻辑门级数。

考虑了上述不同点之后, 内倒相器的设计思想基本上与输出倒相器一致。因此由式 (12-25) 和式 (12-28) 就可得到内倒相器的负载管和输入管的宽长比的表达式, 即

$$\left(\frac{W}{L}\right)'_L = \frac{C'_L}{k't'_f} \left\{ \frac{1}{[V_{DD} - (V_T)_{NS} - V'_{OL}]} - \frac{1}{[V_{DD} - (V_T)_{PS} - V'_{OH}]} \right\} \quad (12-30)$$

$$\left(\frac{W}{L}\right)'_I = \frac{(V_{DD} - V_T)^2}{2V'_{OH}(V'_{OL} - V_T)} \times \left(\frac{W}{L}\right)'_L \quad (12-31)$$

为了使内倒相器在版面设计中所占的面积 A' 最小, 需对其负载管和输入管的宽长比取最佳值。令

$$A' = H \cdot L'_L + W'_I H \quad (12-32)$$

式中 H 为光刻精度, 并令

$$\left(\frac{W}{L}\right)'_L = X_L, \quad \left(\frac{W}{L}\right)'_I = X_I$$

则

$$L'_L = \frac{W'_L}{X_L} = \frac{H}{X_L} \quad (12-33)$$

$$W'_I = L'_I X_I = X_I H \quad (12-34)$$

将式 (12-34) 和 (12-33) 代入式 (12-32), 得:

$$A' = X_I H^2 + \frac{H^2}{X_L} \quad (12-35)$$

令 $\varphi = X_I/X_L$, 则式 (12-35) 又可改写为:

$$A' = \frac{H^2}{X_L} + H^2 \varphi X_L \quad (12-36)$$

对式 (12-36) 求最小值, 即

$$\frac{dA'}{dX_L} = -\frac{H^2}{X_L^2} + H^2 \varphi = 0$$

所以

$$X_L = \frac{1}{X_I} \quad (12-37)$$

式 (12-37) 说明, 内倒相器的负载管和输入管的宽长比互为倒数时, 其总面积最小。

现在, 将式 (12-30)、(12-31) 和 (12-37) 联立, 并将上面已确定的参数值代入, 解出结果如表 12-8 所列。

表 12-8

由表 12-8 看出, 内倒相器负载管的宽长比取 1/3, 输入管的宽长比取 3 为最理想。

3. 其它门电路设计

根据串并联效应, 利用式 (10-86) 和式 (10-89), 可以对两个“与或非”门进行设计。图 12-17 所示电路中的两个“与或非”门

$\left(\frac{W}{L}\right)'_I$	$\left(\frac{W}{L}\right)'_L$	t_f	V_{OL}
2	1/2	1.42 μ s	-16.2 V
3	1/3	210ns	-10 V
4	1/4	140ns	-7.8 V
5	1/5	100ns	-6.5 V

是内部门电路, 与输出负载无关, 所以它们的负载管的宽长比和内倒相器的负载管的宽长比取相同的值。对于 T_5 和 T_6 以及 T_9 和 T_{10} , 由于它们串联, 所以其宽长比应是内倒相器输入管的两倍。对于 T_7 和 T_8 , 由于它们分别与 T_5 、 T_6 和 T_9 、 T_{10} 并联, 所以其宽长比应是 T_5 、 T_6 和 T_9 、 T_{10} 的 1/2。

综上所述, 图 12-17 所示 D 门锁触发器各只 MOS 管的沟道宽长比列于表 12-9。

表 12-9

	T_1	T_2	T_3	T_4	T_5	T_6	T_7	T_8	T_9	T_{10}	T_{11}	T_{12}	T_{13}	T_{14}
W/L	1/3	1/3	1/3	3	6	6	3	3	6	6	1	1	13	13

4. 功耗验算

图 12-17 所示电路的总电流为三部分电流之和:

(1) 流过 T_1 的电流

$$I_1 = k'_{250} \left(\frac{W}{L} \right)_1 (V_{DD} - V_T - V_{OH})^2 = 2 \times \frac{1}{3} \times (24 - 3 - 2)^2 = 0.24 \text{ mA}$$

(2) 流过 T_2 (或 T_3) 的电流与流过 T_1 的电流相等, 即

$$I_2 = 0.24 \text{ mA}$$

(3) 流过 T_{11} (或 T_{12}) 的电流

$$I_{11} = k'_{250} \left(\frac{W}{L} \right)_{11} (V_{DD} - V_T - V_{OH})^2 = 2 \times 1 \times (24 - 3 - 2)^2 = 0.72 \text{ mA}$$

如果忽略其它管子的泄漏电流, 则电路的总功耗为:

$$P = V_{DD} \times (I_1 + I_2 + I_{11}) = 24 \times 1.2 = 28.8 \text{ mW}$$

由此可见, 取以上设计参数, 即能满足电路指标要求。如果不满足, 再重新调整。

二、选取各 MOS 管的实际设计尺寸

为了有良好的频率特性和提高集成度, 器件的尺寸应尽量取小些。但在实际中, 还受到工艺条件等限制, 所以目前沟道最小尺寸通常取 8~12 μ m。如果沟道的最小尺寸选取 12 μ m, 则 D 门锁触发器中各个 MOS 管的沟道尺寸于表 12-10 给出。

表 12-10

	T_1	T_2	T_3	T_4	T_5	T_6	T_7	T_8	T_9	T_{10}	T_{11}	T_{12}	T_{13}	T_{14}
$W (\mu\text{m})$	12	12	12	36	72	72	36	36	72	72	12	12	156	156
$L (\mu\text{m})$	36	36	36	12	12	12	12	36	12	12	12	12	12	12

12.3.2 版图设计

版图设计是按照器件设计的要求和工艺条件,选择尺寸,确定图形,合理布局和连线,并按照工艺流程设计出一套光刻掩模版。正确、良好的版图设计,不仅是实现电路功能所必需,而且对成品率、集成度以及电路性能都有很大影响。中、小规模集成电路的版图设计往往凭借实践经验靠人工完成,大规模集成电路的版图设计采用计算机辅助设计将是发展的必然趋势。版图设计随工艺的不同而不同,但很多考虑却是共同的。在这里,主要就中、小规模集成电路版图设计中的共同问题作一简要介绍。

一、版图设计中主要考虑的问题

1. 沟道最小尺寸以及栅同源、漏区的套合

(1) 沟道最小尺寸

在器件设计中,一般只给出 MOS 管的沟道宽长比,而具体的沟道长度 L 则应由版图设计者根据 MOS 管原理,参照电路工作电压及工艺条件来确定。从集成度的角度看,希望 L 尽可能小,但 L 的减小要受到源漏穿通电压 V_{DSP} 的限制,根据式 (9-25)

$$V_{DSP} \approx -\frac{qN}{2\epsilon_{si}\epsilon_0} L^2$$

所以,为了保证源漏穿通电压大于 MOS 管的工作电压,对于一定杂质浓度的衬底,沟道长度不能小于一定的值。例如,对于 $N=1 \times 10^{16} \text{ cm}^{-3}$ 、 $V_{DSP} \geq 30 \text{ V}$ 的情形,则要求

$$L = \left(\frac{2\epsilon_{si}\epsilon_0}{qN} \right)^{1/2} \geq 6.3 \mu\text{m} \quad (12-38)$$

另外,沟道长度的确定也与电路的工作电压有关,工作电压减小, L 就可以减小。就是在同一电路中,不同的 MOS 管也可能工作电压不同,例如饱和负载倒相器,负载管的工作电压可以达到 V_{DD} ,而输入管的工作电压则只能达到 $V_{DD} - V_{TL}$ 。因此负载管的沟道长度要比输入管大一些。

还要注意的,考虑到源、漏区的侧向扩散,实际上的源漏间距要比版图上的小。源漏区的侧向扩散一般取为结深的一半,这样,假定版图上的源漏间距为 L' ,则实际的源漏间距 L 为

$$L = L' - x_j \quad (12-39)$$

这是进行版图设计时必须注意的。例如结深为 $2 \mu\text{m}$,实际沟道长度 L 选为 $8 \mu\text{m}$,则版图上的漏源间距 L' 应为 $10 \mu\text{m}$ 。

(2) 栅同源、漏区的套合

在常规 MOS 工艺中,往往是先扩源漏区,然后进行栅区光刻和栅氧化。因此为了使栅氧化层能全部覆盖沟道区,栅的长度应比源、漏间距大。但太大则会增加栅源和栅漏覆盖电容,所以栅的长度一般总是取光刻套准精度所容许的最小值。例如选取栅氧化层覆盖源和漏区都是 $6 \mu\text{m}$,在沟道长度取 $10 \mu\text{m}$ 时,栅氧化层的长度就是 $22 \mu\text{m}$ 。

对于增强型 MOS 管,栅的宽度可以比源、漏扩散区的宽度小,如图 12-19(a)所示,这时的沟道宽度由栅宽决定。也可以设计得使栅的宽度比源、漏扩散区的宽度大,如图

12-19(b)所示,这时的沟道宽度由源漏扩散区的宽度决定。而对于耗尽型 MOS 管,则只能采用图 12-19(b)的设计,否则在未覆盖栅的部分,漏源之间的沟道不受栅的控制,始终处于导通态,不会夹断,于是就会影响耗尽型管的工作。

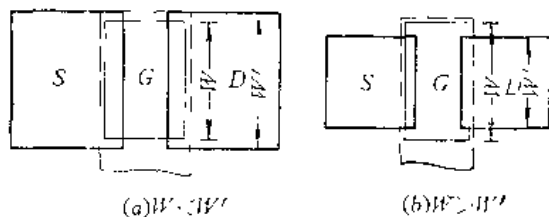


图12-19 MOS管栅同源漏区的套合

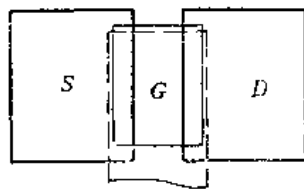


图12-20 栅电极偏移引起的寄生沟道

栅金属电极的尺寸应保证将沟道区上部的栅氧化层完全覆盖。如果由于栅电极的纵向尺寸设计得不够,或是套刻时误差较大,以致栅电极没有把沟道区上部的栅氧化层完全覆盖,如图 12-20 所示,则这不仅缩短了可以调制的沟道宽度,而且会形成寄生沟道,造成源漏间的附加泄漏电流。

所以在版图设计和工艺中,必须注意栅同源、漏的套合问题。

2. 电路器件和单元的图形设计

在 MOS 集成电路中,除了输入端有时有二极管作输入保护用之外,其余所有元件都是 MOS 管,所以电路的图形设计,实际上就是 MOS 管或单元电路图形设计的适当组合。由于一般电路中负载管和输入管的尺寸大小不同,可以有各种不同的图形设计。一般说,图形设计应尽量规则、对称、简单,有利于发挥电路性能。

(1) 负载器件

对于负载器件(W/L) ≥ 1 的情况,可采用条形结构,图形简单。对于(W/L) < 1 的情况,根据电路具体布图可灵活设计。图 12-21 是常见的几种共栅漏连接的负载管图形。

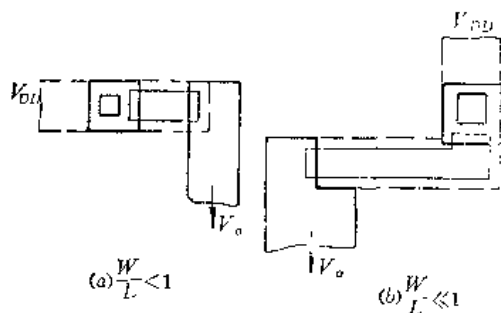


图12-21 共栅漏负载器件常见图形

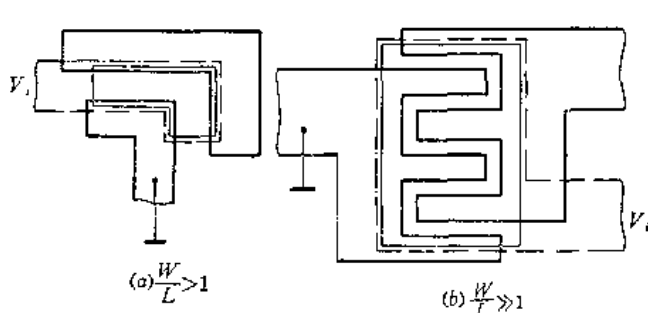


图12-22 输入器件图形

(2) 输入器件

对于输入器件, (W/L) > 1 的小跨导器件,可采用条形结构。对于(W/L) $\gg 1$ 的大跨导器件常见的有“L”形或“梳状”形,如图 12-22 所示。

(3) 单元电路

图 12-23 给出了几种常见的倒相器图形,由于负载管的源极与输入管的漏极相连,并作为输出端,所以它们可以共用一个扩散区。输入管的源极引线孔与衬底短接,形成源与衬底接地。

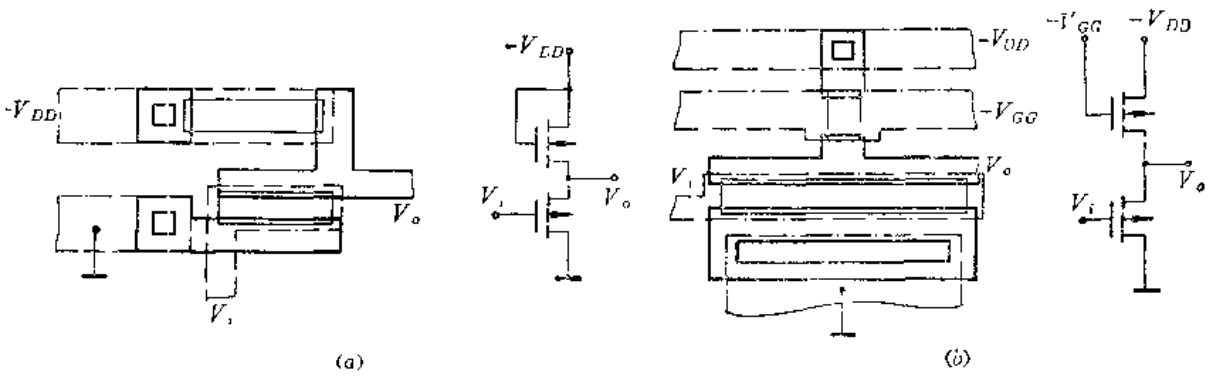


图12-23 倒相器图形
(a) 饱和负载; (b) 非饱和负载。

图 12-24 是一个 CMOS 倒相器的设计图形, NMOS 管和 PMOS 管采取了隔离环保护。需要注意的是 P 阱与 N⁺ 保护环间要保持适当的距离, 以免在工艺过程中, 由于侧向扩散和势垒区的展宽, 造成 P 阱同 N⁺ 环相碰。

在门电路中往往是几个输入管串联或并联, 这时它们可以共用一些扩散区, 所以图形面积可以节省些。图 12-25 给出的是三输入端“与非”门和“或非”门图形。

图 12-26 给出的是一个实用的 CMOS 传输门的设计图形, 其中把 CMOS 传输门的 N 管和 CMOS 倒相器的 N 管放在一个 P 阱内, 这样可以节省面积。

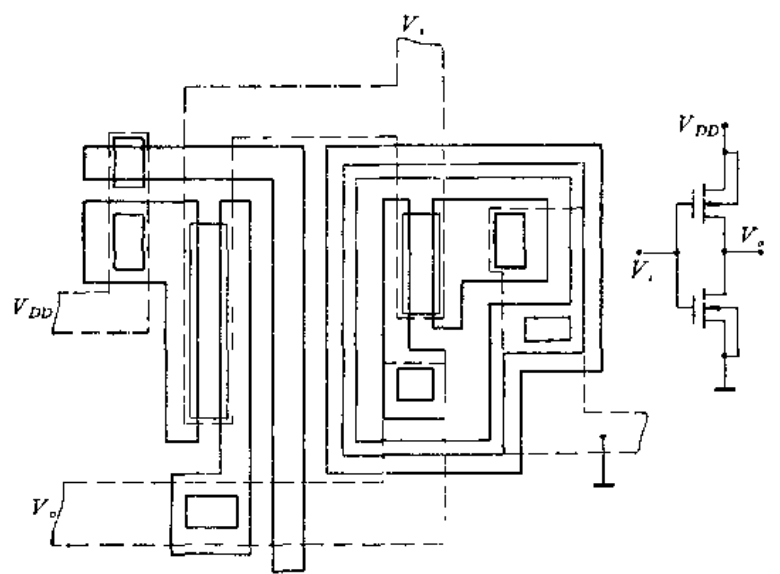


图12-24 CMOS倒相器图形

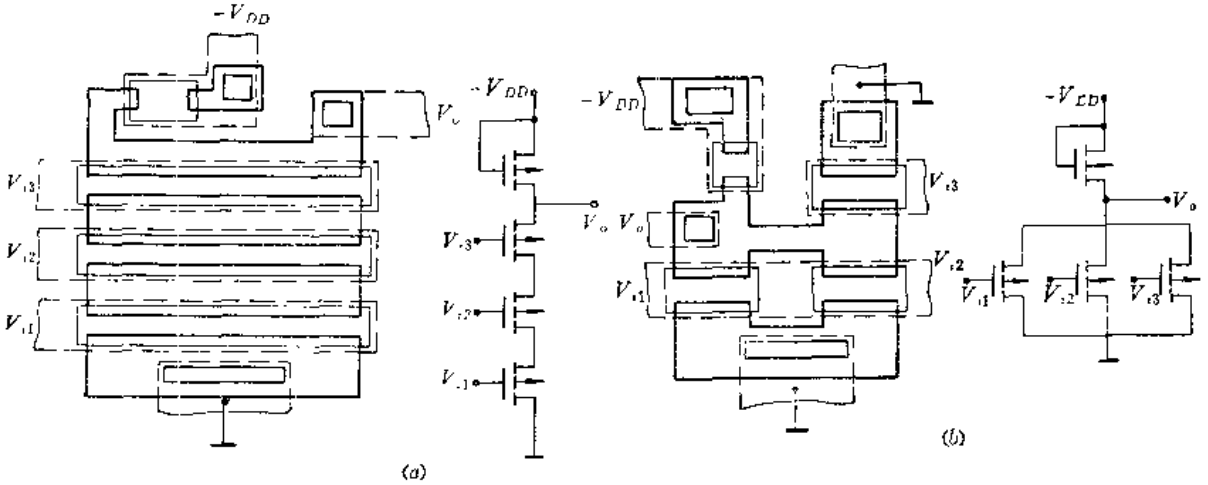


图12-25 “与非”门和“或非”门图形
(a) “与非”门, (b) “或非”门。

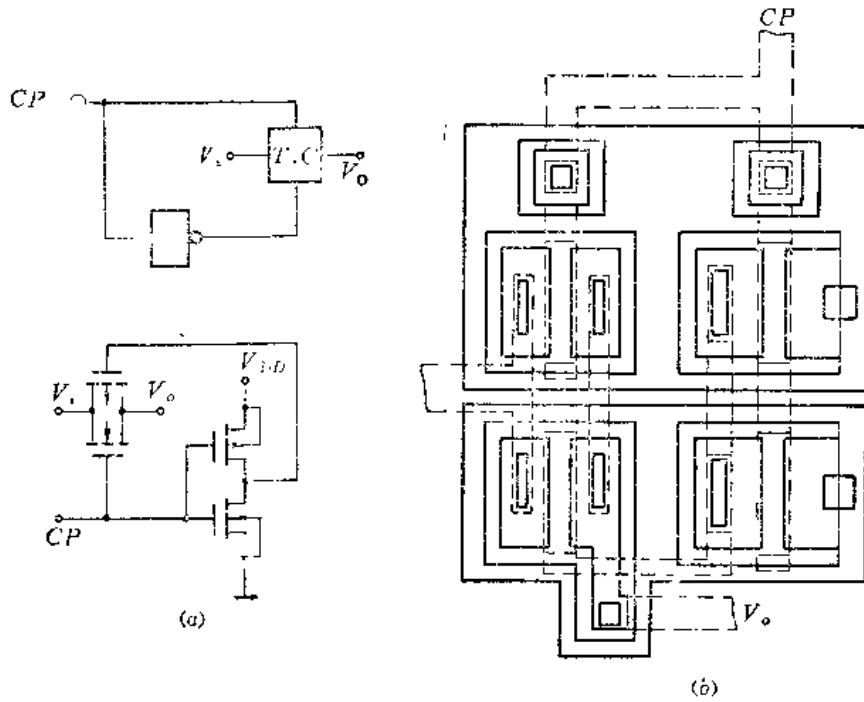


图12-26 CMOS传输门图形

图 12-27 是两相动态有比移位寄存器单元电路图形。从图中更清楚地看到，各器件之间的连线有两种，一种是铝线，一种是扩散区作连线。由于这两种线之间有氧化层隔开，所以可以相互交叉穿过，也可以开接触孔相互连接，从而实现各种布线。

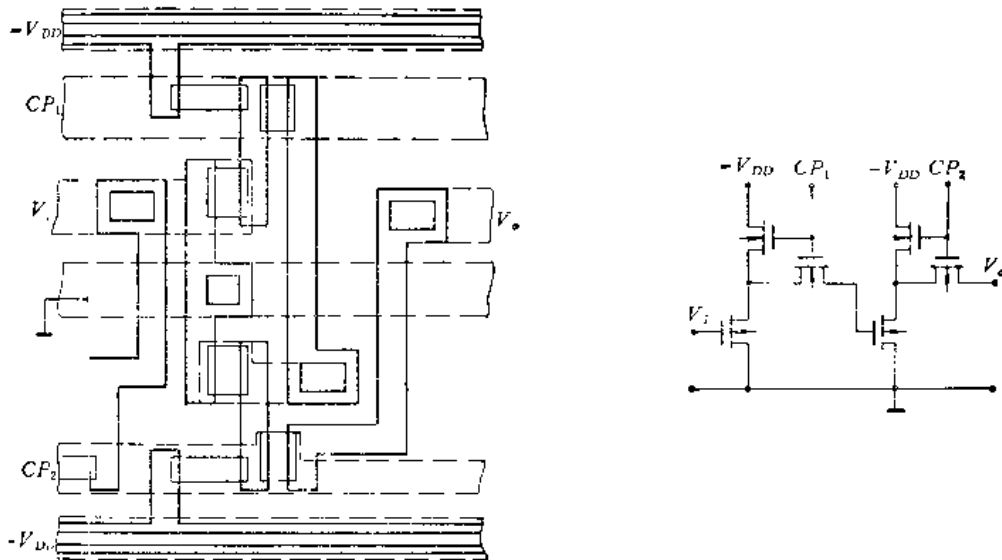


图12-27 两相动态有比移位寄存器单元电路图形

3. 扩散区布局

从电路器件和单元图形设计看到，MOS 电路的扩散区主要是负载器件的漏区(包括电源扩散区)、输入器件的源区(包括接地扩散区)以及二个或三个 MOS 管的共用扩散区等。在版图设计时，首先是使有源区面积尽量小，并注意充分利用共用扩散区，以减小芯

片面积, 提高成品率; 同时还要使扩散区布局有利于引线布局, 使引线也能均匀分布, 以提高可靠性。在具体布局考虑时应注意以下问题:

(1) 对侧向扩散(采用什么工艺, 晶片进高温炉的总次数和总时间)可能产生的影响要有估计。

(2) 对长扩散区所产生的寄生电阻对电路性能(输出电平和开关速度)的影响要有估计。

(3) 避免寄生 MOS 管产生。为此可适当加大两相邻扩散区的间距。对于 CMOS 电路, 为了消除寄生效应, 一般采用隔离环(或称保护带), 即在两种沟道 MOS 管的周围扩散一个与衬底极性相同的重掺杂区形成隔离环, 将两种沟道管子隔开, 如图 12-28 所示。

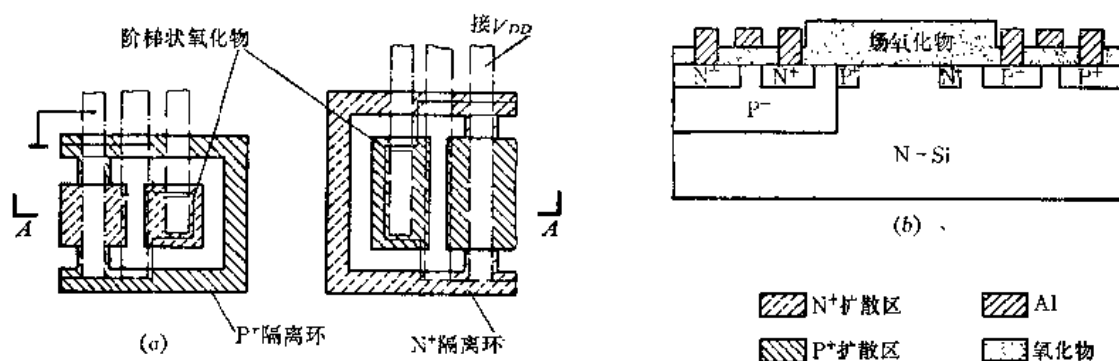


图12-28 典型的CMOS管
(a) 平面图; (b) A-A剖面图。

4. 引线布局

引线布局俗称“布线”, 它是在扩散区布局决定了电路中 MOS 器件之后, 用 Al 线按所要求的电路形式把电路中的器件连接起来。在布线时要注意以下几点。

(1) 避免产生寄生效应。输出线和电源线一般要远离输入器件。

(2) 电源线、地线尽量多用 Al 线连接, 以减小串联电阻。在扩散布局无法采用 Al 线时, 可采用与源漏区同时扩散的“隧道”连接。高电位线经“隧道”穿过, 低电位线由“隧道”上面爬过。

(3) Al 线的走向力求简便和分布均匀, 同时不宜过长和尽量走直, 避免交越。

二、版图设计步骤

版图设计主要靠经验的积累, 没有什么固定不变的设计程序。下面所要介绍的与其说是版图设计的步骤, 不如更确切地说是版图设计过程所包括的几个主要方面。

1. 确定最小单元电路。例如, 移位寄存器的最小单元为每一位单元电路, 4×2 “与非-非”门电路的最小单元为四个二输入端的“与非-非”门电路, 等等。

2. 选取图形尺寸

选取图形尺寸主要考虑两方面限制, 即 MOS 工艺水平限制和电学限制。工艺限制包括制版精度、光刻精度、扩散水平、探针测试及热压等限制; 电学限制一般由源漏区的穿透电压、PN 结耗尽层在反向偏压时的扩展宽度、铝引线的最大电流密度及其引起寄生管的最小扩散间距等限制。

3. 画出电路草图

在总的布图原则指导下, 结合上述的具体要求, 大体划定电路的几个主要组成部分的区域, 安排一下各器件的位置, 画出内引线的连接图形, 确定输入输出引线的走向。引出端的排列应按管脚排列, 符合标准化。

4. 绘制正式复合版图

有了布局草图作为参考, 就可根据电路图, 严格按照版图设计的尺寸规则, 在坐标纸上绘出正式的复合版图。

5. 检查

版图设计绘出后, 要经过严格的、反复的审查, 才允许进行刻图制版。

最后还需说明的是, 版图设计除了要设计给定电路的版图之外, 还要根据工艺流程和测试分析的需要设计一些辅助图形, 如对中记号、陪管等。这些辅助图形可放置在电路周围压焊块之间的空档处。另外, 根据电路的工作电压和工艺条件设计适当的输入栅保护电路。

12.3.3 工 艺 设 计

工艺设计就是根据电路参数和光刻掩模版图形的要求, 确定合理的材料参数、工艺参数和工艺条件, 以便把一定的线路制成合乎要求的集成电路。正确的工艺设计是建立在目前工艺水平基础之上的, 下面仅就 MOS 电路常规工艺中的几个问题作一简单介绍。

一、阈电压设计

工艺设计中的核心问题是阈电压的控制。下面以 CMOS 电路为例讨论。

CMOS 电路对阈电压提出如下要求:

1. 保证 N 管和 P 管均为增强型。这一基本要求要借助于控制阈电压与各物理参量之间的关系来实现。我们知道, 一个实际 MOS 结构的阈电压已由式(9-8)给出, 即

$$V_T = \phi_{ms} + \phi_s - \frac{Q_{ox}}{C_{ox}} - \frac{Q_B}{C_{ox}} \quad (9-8)$$

其中 $\phi_s = 2\phi_i$, 式中各项符号的正负取值由表 12-11 给出。将表中给出的正负取值代入式

表 12-11

管 型 \ 参 数	ϕ_{ms}	ϕ_s	Q_{ox}	Q_B	V_T
P 管	-	-	+	+	-
N 管	-	+	+	-	+ 或 -

(9-8) 不难看出, P 管的阈电压 $V_{TP} < 0$, 因此 P 管总以增强型工作, 而 N 管的阈电压 $V_{TN} \geq 0$, 因此, 对于 N 管来说, 可能是增强型, 也可能是耗尽型。要保证 N 管以增强型工作, 就必须要求

$$\left| \frac{Q_{BP}}{C_{ox}} + 2\phi_F \right| > \left| \frac{Q_{ox}}{C_{ox}} + \phi_{ms} \right|$$

所以, 在工艺上要采取措施尽可能地减小 Q_{ox} (由工艺水平和方法决定) 和适当地提高 Q_{BP} , 即提高 P 阱的掺杂浓度 (受击穿电压的限制)。根据目前的工艺条件, 可以将表面态电荷

密度控制在 $Q_{ox}/q < 10^{11}/\text{cm}^2$ 左右。这样, 从图 9-9 看出, 要保证 N 管为增强型, 即 $V_{TN} > 0$, 则 P 阱的掺杂浓度应大于 $10^{15}/\text{cm}^3$ 。

2. N 管和 P 管的阈值电压匹配。CMOS 电路的高抗干扰性能和良好的开关特性是在 N 管和 P 管特性最佳匹配情况下得到的。因此在工艺设计时, 要保证阈值电压尽可能匹配, 即

$$V_{TN} + V_{TP} = 0 \quad (12-40)$$

由这一匹配条件可得到下面表达式:

$$\left(-\phi_{msp} + 2\phi_{fp} + \frac{Q_{BP}}{C_{ox}} - \frac{Q_{ox}}{C_{ox}}\right) + \left(-\phi_{msn} - 2\phi_{fn} - \frac{Q_{BP}}{C_{ox}} - \frac{Q_{ox}}{C_{ox}}\right) = 0$$

所以

$$Q_{BP} = 2Q_{ox} + Q_{Bn} + (\phi_{msp} + \phi_{msn} - 2\phi_{fp} + 2\phi_{fn})C_{ox} \quad (12-41)$$

式中括号内各项在一定的 N_A 和 N_D 范围内 ($10^{15} \sim 10^{17}/\text{cm}^3$) 近似为常数, C_{ox} 可由 t_{ox} 来控制, Q_{Bn} 也可以计算出来。这样, 式 (12-41) 可改写为:

$$Q_{BP} = 2Q_{ox} + \text{常数} \quad (12-42)$$

这就是说, 阈值电压 V_{TN} 和 V_{TP} 完全匹配的条件是 Q_{BP} 与 Q_{ox} 呈线性函数, 如图 12-29 中的点划线所示。

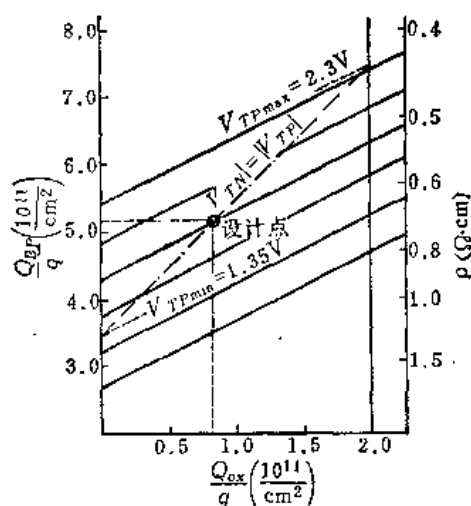


图 12-29 阈值电压匹配设计点的范围

图 12-29 给出了阈值电压匹配设计点和变化范围。由图可见, 每个匹配设计点是 Q_{BP} 和 Q_{ox} 的函数, 即是 P 阱扩散浓度和表面态电荷的函数。当表面态电荷密度较大时, 则要求很高的 P 阱浓度, 这不仅给工艺带来了困难, 而且也受到击穿电压的限制。同时高的表面态电荷密度, 使 V_{TP} 增大, 将影响电路性能。因此只有在 $Q_{ox}/q < 2 \times 10^{11}/\text{cm}^2$ 时, 才能得到良好的阈值电压匹配特性。这就对 CMOS 电路工艺提出了严格的净化要求。

二、材料参数设计

1. 硅衬底材料

(1) 型号选择 单沟道 NMOS 管或 PMOS 管硅衬材料型号是不言而喻的, 即 N 沟道 MOS 管的衬底材料用 P 型硅, P 沟道 MOS 管的衬底材料用 N 型硅。但是, 对于 CMOS 电路来说, 硅衬底材料型号的选择要取决于工艺方法和电路性能。目前普遍采用掺杂的方

法制备 CMOS 电路（无论采用离子注入或扩散掺杂均属于扩散补偿法）。这样必须使扩散浓度比衬底杂质浓度至少要大一个数量级，才会有良好的工艺重复性。

目前 MOS 管的栅介质普遍采用 SiO_2 ，而 SiO_2 薄层中有正的表面态电荷。另外，热氧化时由于杂质在 Si-SiO_2 中的分凝系数的不同，硅表面具有所谓“N型化效应”。

以上这两个因素均会使 N 管的阈电压值变负，P 管的阈电压的绝对值增高。而 CMOS 电路的性能要求 N 管和 P 管均为增强型且其阈电压数值匹配。因此，CMOS 电路的衬底材料必须采用 N 型硅。这样，制备掺杂浓度比衬底杂质高一个数量级以上的 P 阱也较为方便，同时易使 V_{TN} 为正值， $|V_{TP}|$ 减小，因而二者便于调节。

（2）晶向选择 单晶硅的许多性质是各向异性的。对于 MOS 电路来说尤其重要的是氧化层中表面态电荷密度也是各向异性的。实验指出，在相同的工艺条件下，氧化层中有效表面态电荷密度强烈地依赖于单晶的晶向，其大小按下列顺序减小： $(111) > (110) > (100)$ 。因而，在相同的工艺条件下，P 管的阈电压绝对值 $|V_{TP}|$ 将按这个顺序减小，而 N 管的阈电压 V_{TN} 将按这个顺序朝正值增大，这正是 CMOS 电路的性能所要求的。所以，对于 Al 栅 SiO_2 栅介质的 MOS 电路（包括 CMOS 电路），其衬底硅单晶的晶向要选取 (100) 面。

（3）电阻率选择 衬底材料电阻率的选取主要根据阈电压的要求而定。从阈电压的表达式（9-8）可以看到，在栅氧化层厚度 t_{ox} 一定的情况下，阈电压 V_T 的值主要取决于衬底掺杂浓度和有效表面态电荷密度。如果有效表面态电荷密度能控制在 $Q_{ox}/q < 10^{11}/\text{cm}^2$ ，从图 9-9 和图 9-10 看到，P 阱的浓度 N_A 控制在 $10^{16}/\text{cm}^3$ （相当于电阻率为 $1.5 \Omega \cdot \text{cm}$ ），N 型衬底的掺杂浓度 N_D 为 $10^{15}/\text{cm}^3$ （相当于电阻率为 $5 \Omega \cdot \text{cm}$ ），N 管和 P 管的阈电压可望能得到匹配。

2. 栅介质材料

常规的 MOS 电路工艺是用 SiO_2 作为栅介质。但是采用 SiO_2 单层栅介质，由于 SiO_2 的介电常数较低，因此限制了 MOS 栅电容，又加上 SiO_2 膜中存有大量的正的表面态电荷，所以使器件的阈电压受到限制，同时也造成器件工作的不稳定性。因此，随着 MOS 电路的发展，除了采用 SiO_2 作为栅介质外，还采用 Al_2O_3 、 Si_3N_4 等材料作为栅介质（实际上采用的是 $\text{SiO}_2\text{-Al}_2\text{O}_3$ 、 $\text{SiO}_2\text{-Si}_3\text{N}_4$ 双层介质）。 Al_2O_3 和 Si_3N_4 较之 SiO_2 有更好的特性，如表 12-12 所列。特别是 Al_2O_3 膜中的表面态电荷是负值，所以当 $\text{SiO}_2\text{-Al}_2\text{O}_3$ 以一定的厚度

表 12-12

参 数 \ 介 质	SiO_2	Al_2O_3	Si_3N_4
密度 g/cm^3	2~2.2		2.7~2.8
相对介电常数	3~3.8	7.3~10.7	6.2~9.8
电阻率 $\Omega \cdot \text{cm}$	$10^{14} \sim 10^{17}$		10^{17}
临界电场强度 V/cm	$6 \sim 8 \times 10^6$	$2 \times 10^6 \sim 10^8$	10^7
表面态电荷密度 $1/\text{cm}^2$	$10^{12} \sim 10^{14}$	$-3 \times 10^{11} \sim -10^{12}$	$< 10^{12}$
离子迁移	+80°C 时 N_2 明显迁移	+250°C 无明显迁移	+400°C 无明显迁移

比组成复合栅介质时, 阈电压 V_T 可以得到很好的调节, 尤其对于 CMOS 电路, 它能使 N 管的阈电压 V_{TN} 不易变为负值, 使 P 管的阈电压 V_{TP} 的绝对值减小, 有利于阈电压数值匹配。

3. 栅电极材料

常规的 MOS 电路工艺以金属铝作为栅电极, 但是由于 Al 和 Si 之间的功函数差也限制了阈电压的改进, 同时由于铝栅电极对源漏覆盖, 产生很大的寄生电容, 因而也限制了工作速度的提高。如果采用硅栅, 即以高浓度掺杂的多晶硅代替铝作为栅电极, 就改变了栅电极(多晶硅)与衬底(单晶硅)之间的功函数差, 因此在其它条件相同的情况下, MOS 管的阈电压可向正值的方向变化, 使 P 管的阈电压 V_{TP} 绝对值减小, 使 N 管的阈电压 V_{TN} 朝正值方向增大。同时硅栅工艺有“自对准”作用, 并能实现多层布线, 因此在速度和集成度方面也能得到很大改进。

三、工艺参数设计

合理的工艺参数的确定是建立在一定的工艺水平基础之上的, 随着工艺水平的提高, 工艺参数也将得到改进。下面也仅以常规工艺为例介绍选取工艺参数的基本原则。

1. 栅氧化层与场氧化层厚度

栅氧化层厚度 t_{ox} 与很多参量有关, 但主要由栅源击穿电压和工艺水平来确定:

$$t_{ox} = \frac{BV_{gs}}{E_f} \quad (12-43)$$

式中 E_f 为 SiO_2 的最大临界电场击穿强度, 其值为 $8 \times 10^8 \text{ V/cm}$ 。在工艺条件许可的情况下, 栅氧化层应尽量薄一些。在 P 沟道 MOS 电路中, t_{ox} 通常控制在 $1500 \sim 2000 \text{ \AA}$ 之间。对于 N 沟道 MOS 电路, 由于要使阈电压控制为正值, 以得到增强型器件, 所以栅氧化层应适当地取薄一些, 通常在 $1000 \text{ \AA}$ 左右。

场氧化层厚度 t'_{ox} 一般是根据场开启电压 V_{TF} 来确定。为了防止金属铝条通过两个相邻的扩散区之间时所产生的寄生 MOS 管效应, 则要求这个寄生 MOS 管的开启电压, 即场开启电压 V_{TF} 有足够大的值, 至少应大于电源电压。根据开启电压的表达式, 可以得到:

$$t'_{ox} > \frac{\epsilon_{ox}(\phi_{ms} + 2\phi_f - V_{DD})}{Q_{ox} + Q_s} \quad (12-44)$$

由式(12-44)看到, 如果 Q_{ox} 控制得比较低, 或者衬底的掺杂浓度选得比较小, 则场氧化层的厚度就要增大, 一般在 $1.2 \sim 1.5 \mu\text{m}$ 左右。所以, 如果能够把栅氧化层厚度做得薄一些, 在保证开启电压 V_T 不变的情况下, 就可以将衬底的掺杂浓度适当地选得高一些, 这样对减薄场氧化层厚度、防止断铝、台阶过高有利。

2. 源漏扩散浓度和结深

源漏扩散杂质要补偿衬底掺杂, 因此其浓度至少要大于衬底浓度一个数量级。同时, 要形成良好的欧姆接触和低阻“隧道”引线, 以减小分布电阻的影响, 扩散杂质浓度还应适当的高一些。但要防止浓度过高时形成合金点、染色及硼硅玻璃不易光刻等问题。

为了得到良好的 PN 结, 并考虑到结深对击穿特性的影响以及侧向扩散对沟道长度的调制作用, 源漏扩散深度的偏差不能太大, 一般控制在 $1.5 \sim 2 \mu\text{m}$ 左右。

3. P 阱扩散浓度和结深

在 CMOS 电路工艺中要在 N 型硅片衬底上制作一块 P 型硅, 通常称为 P 阱, 作为 N 管的衬底。如果用扩散的方法制作 P 阱, 其浓度应比衬底浓度至少要大一个数量级。同时 N 管的阈电压 V_{TN} 也要求有较高的 P 阱浓度, 以便容易使之成为正值。但是, P 阱的浓度要受到击穿电压的限制, 而且载流子迁移率、衬底偏置效应也要求 P 阱的浓度不能太高。根据前面的分析, P 阱的杂质浓度一般控制在 $10^{16}/\text{cm}^3$ 左右。而且, 在保证 N 管 P 管阈电压要求的情况下, P 阱的杂质浓度尽可能选得低一些。

对于 P 阱的扩散深度也有一定的要求, 在 P 阱区上要扩散形成 N 管的源漏区, 其结深约为 $2\mu\text{m}$ 左右。在 CMOS 电路工作时, 电路的 N 型衬底接正电源电压 V_{DD} , 而 P 阱与 N 管的源极连在一起接地电位。所以 P 阱和衬底之间形成一个反向偏置 PN 结, 其反向偏压的大小为 V_{DD} 值。另外, 在电路输出高电平时, N 管的漏区的电位也接近 V_{DD} 的大小, 所以它和 P 阱之间又形成一个反偏 PN 结, 其反向偏压的最大值为 V_{DD} 。P 阱的最大深度应保证在 CMOS 电路工作时上述两个反向偏置 PN 结的势垒区不致于穿通, 由此就可以决定出 P 阱扩散的结深。现在采用单边突变结近似, 估算一下 P 阱的最大结果。如果 P 阱的平均杂质浓度为 $5 \times 10^{15}/\text{cm}^3$, V_{DD} 为 10V , 则 P 阱与 N 管漏区的 PN 结的势垒宽度为 $2.5\mu\text{m}$ 。可以认为这个势垒区基本上在 P 阱一侧。若 N 型衬底的浓度为 $9 \times 10^{14}/\text{cm}^3$, 则可得到 P 阱与 N 型衬底之间的 PN 结的势垒宽度约为 $7\mu\text{m}$, 其中在 P 阱区一侧的部分约为 $2.4\mu\text{m}$ 。这样, 为了保证势垒区不会发生穿通, P 阱的扩散深度至少应大于 $6.9\mu\text{m}$ 。所以, 一般实际上控制在 $8 \sim 10\mu\text{m}$ 左右。

但是, P 阱的深度也不能太大, 因为要考虑到侧向扩散, 否则会影响集成度。

4. 铝层厚度

一般认为在台阶处的铝层为平面处的 $1/10$ 厚度, 所以, 考虑到铝的电迁移现象, 铝层厚度不能太薄。一般认为电流密度在 $10^5 \sim 10^6 \text{A}/\text{cm}^2$ 左右, 就会产生电迁移, 因此, 可以从防止达到电迁移之电流密度, 估算出最小铝层厚度。

参 考 资 料

- [1] W. N. Garr and J. P. Mize, 《MOS/LSI Design and Application》, McGraw-Hill Book Company, 1972.
- [2] J. A. Dempsey, 《Basic Digital Electronics with MSI Applications》, Addison-Wesley Publishing Company, 1977.

第十三章 MOS存储器

存储器不仅是各种类型电子数字计算机的主要组成部分之一,也广泛地为其他电子技术所采用。MOS存储器由于在高密度、大容量和低功耗、低成本方面具有显著优点,所以它在半导体存储器中一直占据主导地位。随着新工艺、新技术的进展,MOS存储器在速度上也不断提高。特别是在非易失性存储器的研制方面,MOS存储器也取得很大进展。所以,MOS存储器随着它发展的日益成熟,已形成电子学中一个新的技术领域,成为大规模、超大规模集成电路的一个重要方面。

存储器按其功能可分为以下几类:

1. 随机存取存储器(RAM);
2. 唯读存储器(ROM);
3. 可编程序唯读存储器(PROM);

在MOS型中PROM又分为二种:

- (1) 可擦除型唯读存储器(EPROM);
- (2) 电可改写型唯读存储器(EAROM);
4. 移位寄存器;
5. 其他特殊功能(如可寻址、先进后出)存储器。

本章仅介绍随机存取存储器、唯读存储器和可编程序唯读存储器。

13.1 随机存取存储器

随机存取存储器,它所存储的数据可以随机地读出和写入,即可以访问存储器内大量存储单元中的任意一位(或若干位),对该位进行读或写。它是用量最大的一种存储器。

存储器中数据存储有两种结构:位结构和字结构。图13-1(a)中给出了位结构存储器,它可以存储若干字的同一位。它包括字译码(X 译码)和位译码(Y 译码),可以对每一位(即存储单元)写入或读出。图13-1(b)表示字结构存储器,它可以存储一个字或若干个字的若干位(图中为 M 位)。它只有字译码,没有位译码,所以在访问时是 M 位同时读出或写入。在大容量存储器中位结构形式居多,故我们仅讨论位结构存储器的工作原理。对字结构存储器,读者可自行分析。

存储器的主要组成部分包括:(1)存储矩阵;(2)地址译码器;(3)控制电路和(4)输入、输出电路。存储矩阵是存储器核心,是由很多相同的存储单元组成的二维矩阵。每一存储单元可以存储一位数据。所以存储单元的数目决定了存储器的容量。地址译码电路是把外部输入的地址码进行译码,选中存储矩阵中某一特定单元,以便读出该单元的数据或把数据写入该单元。控制电路是控制该存储器进行写入操作或读出操作,或者是既 not 读也不写的不工作状态。输入、输出电路是数据进、出的通道,通常包括读出放大电路。

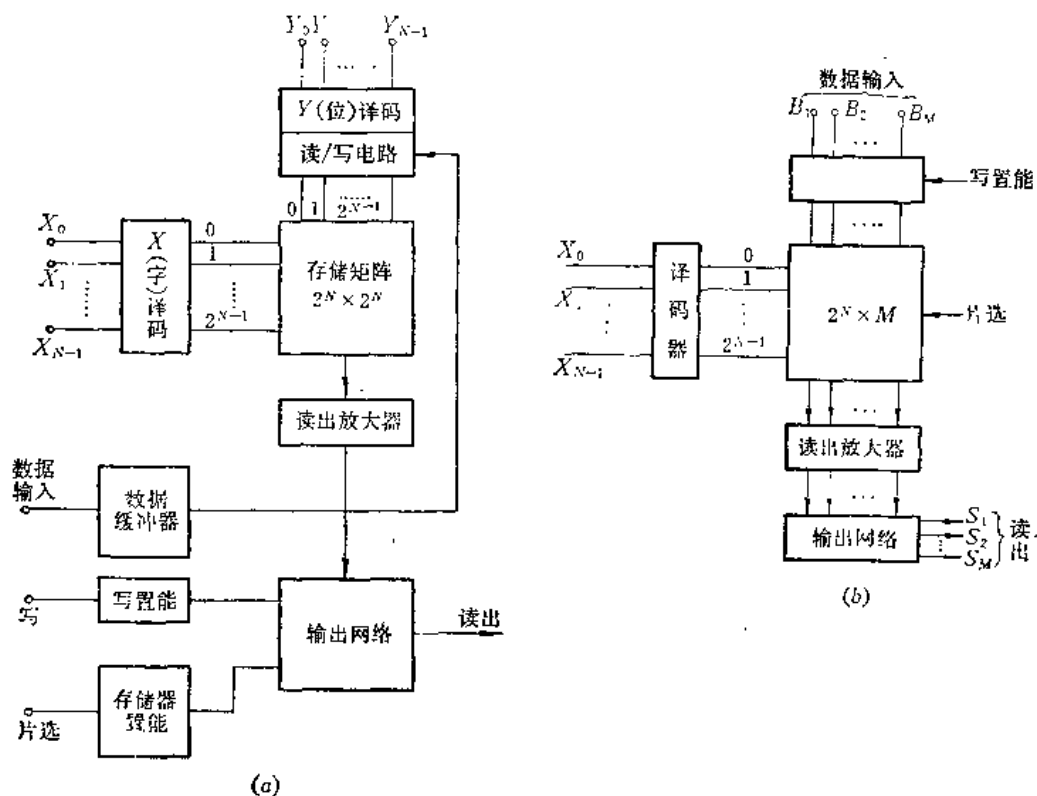


图13-1 随机存取存储器的结构

13.1.1 存储单元

存储单元是存储器的核心部件。MOS存储器的单元线路形式很多，最早出现的为静态八管单元、六管单元，发展到动态四管单元、三管单元以及单管单元。各类单元其存储数据的方式可归纳如下：

- (1) 利用双稳态电路构成存储单元；
- (2) 利用MOS管的“导通”和“截止”两种状态来表示存储不同数据；
- (3) 利用存储电容上的电荷有无(或数量多少)表示存储不同数据。

一、静态八管单元和六管单元

静态八管单元是最早的单元线路，如图13-2(a)所示。其中由 T_1 、 T_2 、 T_3 和 T_4 管构成

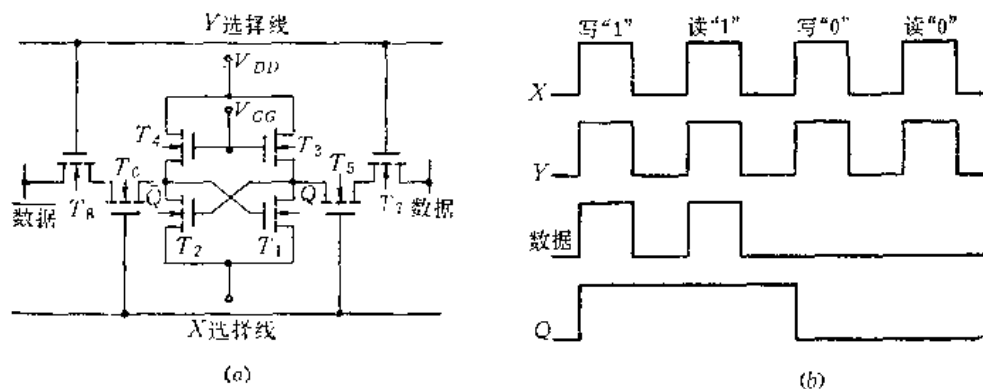


图13-2 静态八管单元

的触发器起存储数据的作用。根据 Q 和 $\bar{Q}$ 点的电位决定存储的数据。而该触发器通过门控管 T_5 、 T_6 、 T_7 和 T_8 与地址选择线相连。 X 选择线和 Y 选择线分别接至 X 、 Y 译码器的相应输出端。当 X 、 Y 选择线同时为高电平时, T_5 至 T_8 管全部导通, 触发器与数据线接通, 该单元被选中。通过控制电路就可以把外来的数据写入单元, 或读出该单元中存储的数据。在写入或读出时, 两根数据线上均为互补电平。其写入和读出时的波形如 (b) 图中所示。

六管单元是八管单元的简化, 线路如图13-3所示。其工作情况读者可自行分析。

静态译码电路基本形式如图13-4中所示。(a)为地址输入缓冲器,(b)为地址译码器。缓冲器把地址码放大整形, 并形成非量, 然后通过译码器(即或非门)给出各选择线上的相应控制电平。例如, 当地址码 $A_1, A_2, \dots, A_{N-1}$ 全部为 0 时, 经译码后仅有第 0 号字线为高电平, 其他第 1 号, 第 2 号...第 $(2^N - 1)$ 号字线均为低电平。这表示仅第 0 号字线被选。同理, 位线上也会选中相应的某一位线。二者重合就选中一个存储单元。

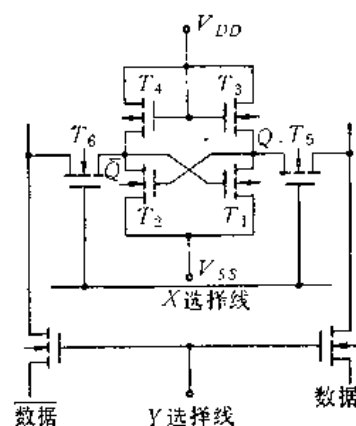


图13-3 静态六管单元

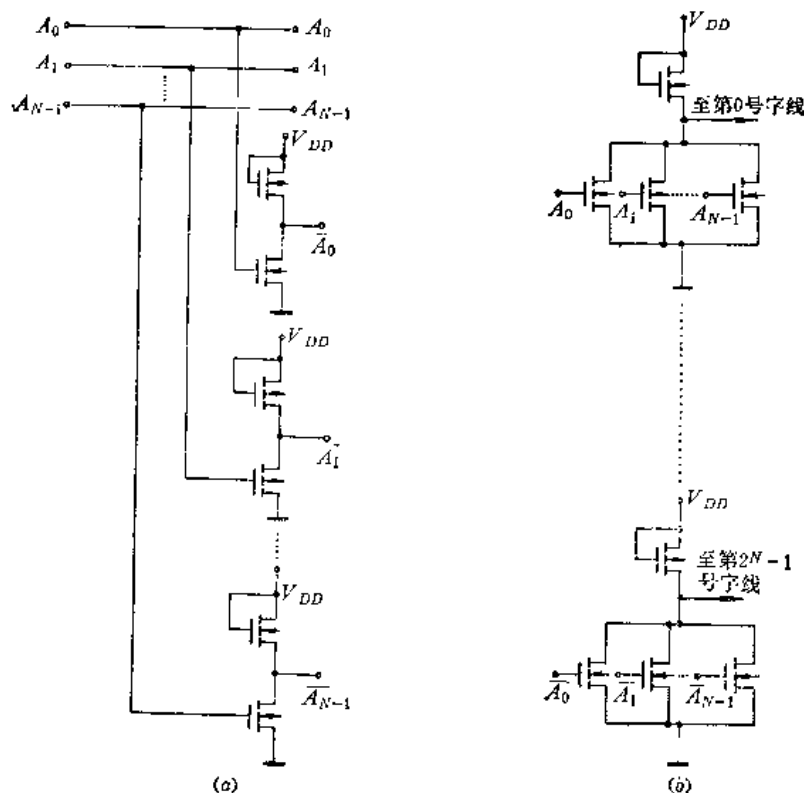


图13-4 静态译码电路

静态电路的缺点是功耗大, 单元器件数目多, 集成度低。但是它存储的数据不会因漏电而消失, 不需要再生电路, 所以线路简单, 使用方便。

二、动态四管单元和三管单元

为了减少单元的器件数, 提高集成度, 发展了动态单元电路。图13-5(a)是动态四管

单元线路。与六管单元相比,它合并了门控管和负载管。存储数据原理如下:当字选择线为高电平时, T_3 和 T_4 管导通。如右方数据线为高电平(左方为低电平),使 Q 点为高电平, T_2 管导通; $\bar{Q}$ 为低电平, T_1 管截止。这样就把数据“1”写入单元。当字选择线恢复为低电平后, T_3 和 T_4 截止,这时 T_1 和 T_2 管的状态就依靠暂存在寄生栅电容 C_1 和 C_2 上的电荷来维持。显然这些电荷不能保持很长时间,而需要定时再生。故称为动态单元。其写入和读出时的波形如图(b)所示。

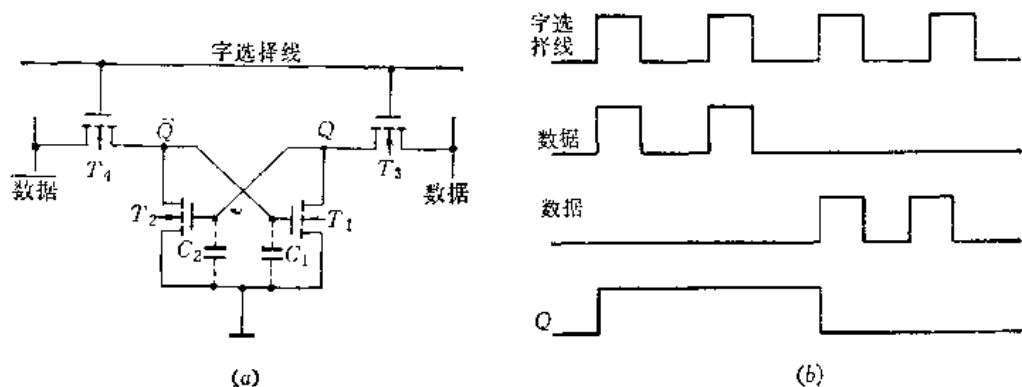


图13-5 动态四管单元

三管单元在MOS存储器中应用广泛,有多种不同形式的线路,介绍如下。

图13-6(a)中给出一种最基本的三管单元线路。它由三只MOS管,两根读、写选择线 and 两根读、写数据线以及一根地线组成。其工作过程如下:写“1”,使数据线为高电平,同时写选择线也为高电平,写入门控管 T_2 导通,数据通过 T_2 管进入单元,存储在存储管 T_1 的栅寄生电容 C 上,使 T_1 管导通。在写入过程中读选择线保持为低电平,读出门控管 T_3 截止。在读出时:先把读数据线预充电为高电平,然后使读选择线为高电平,读出门控管 T_3 导通。如果存储管 T_1 存储数据为“1”时,它处于导通状态,读数据线上的高电平通过 T_3 , T_1 管放电为零;如果存储数据为“0”, T_1 管处于截止状态,读数据线上的高电平维持不变。这样,根据读数据线上的电平就可以判别存储单元中所存的数据。注意,数据线上读出的数据与单元中存储的数据相反,故尚需把读数据线上的读出信号倒相后输出,

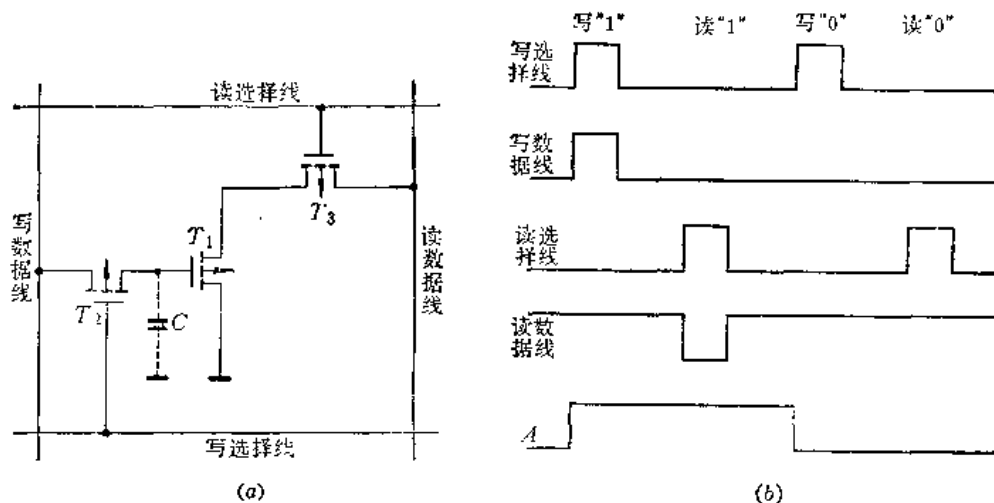


图13-6 2X-2Y三管单元

可得与原存储数据一致的结果。其读、写波形如图(b)所示。这种单元也称为 $2X-2Y$ 单元, 因为有两根 X 选择线和两根 Y 选择线。

图13-7(a)中给出了 $2X-1Y$ 的三管单元。它包括三个MOS管, 两根读、写选择线和一根数据线。由于把两根数据线合并成一根, 故可以减小面积提高集成度。但是由于写入和读出的数据共用一根数据线, 故要增加读、写控制电路。

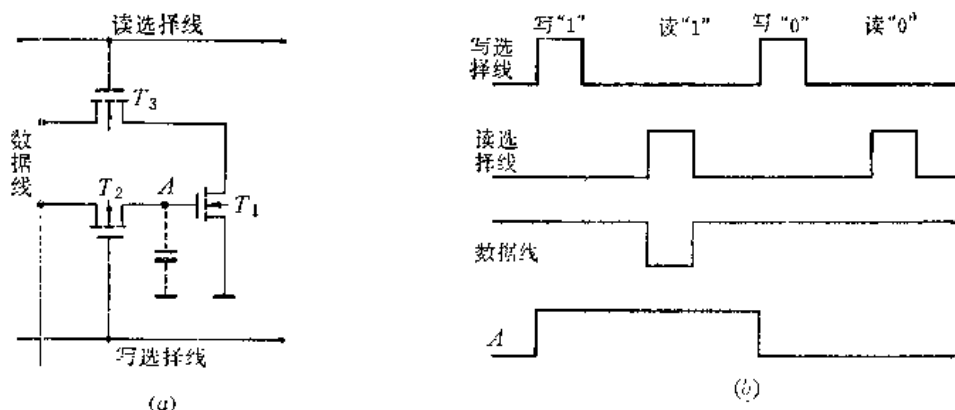


图13-7 $2X-1Y$ 三管单元

当写“1”时, 先将数据线预充电为高电平, 然后使写选择线为高电平打开门控管 T_1 , 将节点 A 充电为高电平, T_1 管导通。同时读选择线维持低电平。要读出时, 也先将数据线预充电为高电平。打开 T_2 管后, 如果 T_1 管导通, 则数据线上高电平通过 T_1 管放电, 表示单元存“1”; 如果 T_1 管截止, 则数据线上维持高电平不变, 表示单元存“0”。其读、写工作波形在图(b)中给出。

这种单元线路由于公用一根数据线, 所以当读出时在数据线上建立了稳定电平之后, 马上打开 T_2 管, 就把读出的数据及时又写回原存储单元, 比较方便地实现了再生。但是要注意, 这重新写回去的数据与原存储数据相反。因之这种单元又称反相单元, 所以需要记录该单元被访问的次数。如果被访问过偶数次, 则读出的数据直接输出; 如果被访问过奇数次, 就要把读出的数据反相后输出。或者利用读、写控制, 使每次读出之后将数据反相后再重新写回去, 以实现再生。图13-8中给出一个反相后重新写入的再生线路。读出时, 读指令使 T_3 、 T_4 和 T_6 管导通, 读出数据线上的数据达到数据输出端后被反相, 然后写指令使 T_1 和 T_2 管导通, 重新写入 T_1 管的数据就与原存储的数据相同了。

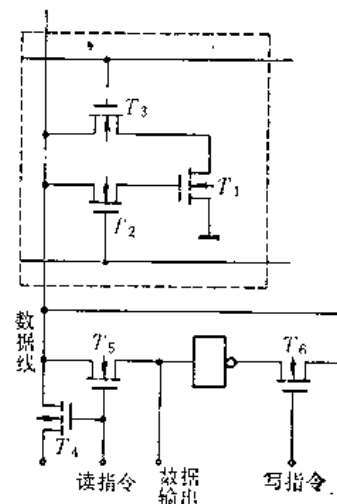


图13-8 反相单元的再生线路

图13-9(a)中给出了 $1X-2Y$ 三管单元的线路。它是把读、写选择线合并, 读、写数据线分开的一种线路。这一线路中因为读、写选择线共用, 所以要以一个“中值电平”读出, 以不破坏原存储数据, 工作过程如下: 当写“1”时, 在选择线上加高电平使 T_2 和 T_3 管导通, 数据通过 T_2 管到达 T_1 管, 存储于节点 A 上。读出时, 先把两根数据线预充电为高电平, 然后在选择线上加以低于高电平, 但略高于读出管 T_3 阈电压的“中值电平”, 使 T_3 管

导通而读出单元中存储的数据。如果同样用高电平读出, 则 T_2 和 T_3 管同时充分导通, 当 A 点存“1”时, 因为数据线也是高电平, T_1 管保持导通状态不变, 对读出没有影响。但是在 A 点存“0”时, 由于 T_2 管导通, 则在读出的过程中写数据线不断向 A 点充电, 破坏了原来存储的数据, 将导致读出错误。用中值电平读出可以避免这个问题。因为在 A 点存“1”时, T_2 管的源和漏均为高电平, 而它的衬底接地, 衬底偏置效应使 T_2 管的阈电压升高。这样在中值电平下 T_2 管截止。当 A 点存“0”时, T_2 管在中值电平下导通后, A 点被充电。一俟 A 点电位升至中值电平与 T_2 管阈电压之差时, T_2 管就截止, 这样也保护了 A 点存储的“0”数据。这一中值电平的选取主要根据电路中器件的阈电压决定。例如一个阈

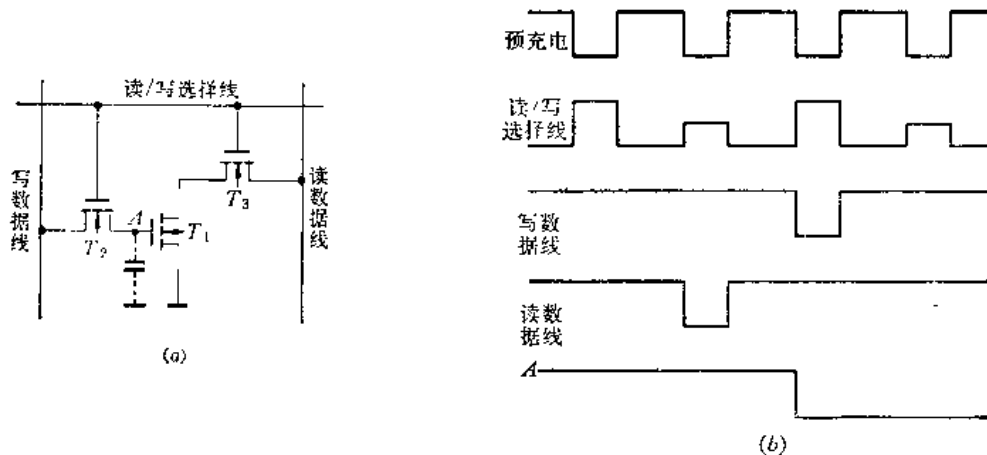


图13-9 1X-2Y三管单元

电压为 1.8V 的器件组成的单元中, 在存“1”和“0”时, 用不同的中值电平 V_m 读出时, 其读出电压 V_o 变化如图 13-10 所示。由图可知, 选用 5.0~5.5V 的中值电平读出, 可以明确区别不同的存储数据。中值电平不仅要与阈电压相适应, 而且还要在工作期间跟踪由于电源电压和温度变化而引起的阈电压漂移。所以通常是在同一芯片中制造出一个具有上述性能的中值电平发生器, 供读出电路使用。

这一单元的读、写工作波形如图13-9(b)中所示。

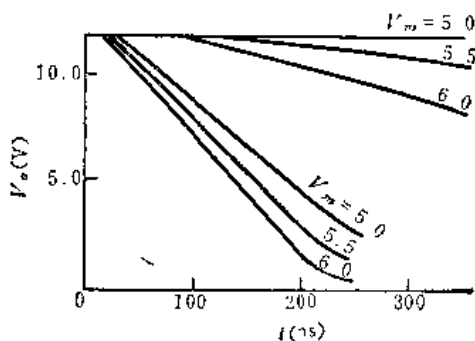


图13-10 不同中值电平的读出电压

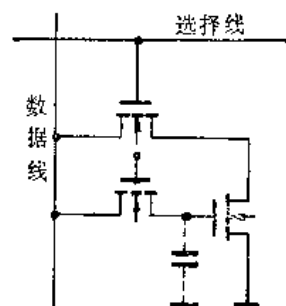


图13-11 1X-1Y三管单元

引线数目最少的三管单元是图 13-11 中给出的 1X-1Y 单元。它把选择线和数据线均合并为一根, 占面积最小。显然, 它既具有 2X-1Y 单元的反相特性, 又具 1X-2Y 单元所需要的以中值电平读出的特性。工作也与上述两类单元类似, 读者可自行分析不予重复。

三、单管单元

单管单元线路如图 13-12 所示。由于其器件数目最少故可获得大的集成密度。在 4 k 位以上的 RAM 中几乎均采用单管单元线路, 是大规模、超大规模 RAM 发展的主要形式。

单管单元的数据存储在电容 C_s 上。MOS 管 T 做为门控管控制数据的进出。它的栅接读/写选择线(字线), 漏和源分别接数据线(位线)和存储电容。当字线上加以高电平时, T 管导通, 可以把数据写入, 存储在 A 点; 或从 A 点读出存储的数据。数据“1”或“0”是以电容 C_s 上的电荷有无(或数量多少)来辨别的。但是因为数据线本身存在分布电容 C_0 , 故在读出时, A 点存储的电荷将在电容 C_s 和 C_0 中间分配, 使得读出电压下降。如果原存储在 C_s 上的电压为 V_s , 则读出电压 V_R 为:

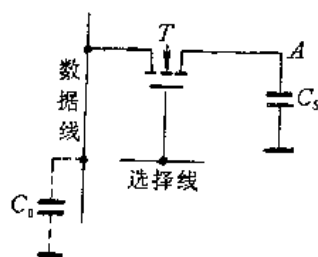


图13-12 单管单元

$$V_R = \frac{C_s}{C_s + C_0} V_s \approx \frac{C_s}{C_0} V_s$$

因为一般 C_0 比 C_s 大很多, 由上式可知读出电压将比存储电压下降很多。这表明, 不仅读出信号很微弱, 而且存储电容 C_s 上的电荷每读出一次, 就要减少一些, 造成所谓破坏性读出, 影响以后再读出数据的正确性。所以, 在单管单元线路中, 为了能读出微弱信号和补偿读出时被破坏的数据, 保证其正常工作, 就要求存储器中: (1) 具有一个高灵敏度的读出放大器; (2) 每一列中有一个再生放大器, 补偿读出破坏的数据。设计高灵敏度的再生放大器成为单管单元存储器中的关键工作。

图 13-13 中给出一个由受控触发器构成的再生放大电路的例子。该放大器接在每一列存储单元的中间, 两旁各有相同数目的存储单元。工作如下(暂不考虑虚线框中的电路)。当该列不读也不写时, 时钟 ϕ_1 为高电平, T_1 管导通接通放大器两侧, 使位线 BL 和 BL' 等电位。读出之前 ϕ_1 为低电平使 T_1 管截止。当被选单元的 MOS 管(如 T_s)导通后, 该存储电容(C_s)与放大器该侧的位线(BL)接通, 使这一侧位线的电压升高(存“1”时)或降低(存“0”时)。如 C_s 上存“1”, 则 Q 点电位升高, Q' 点电位下降。从而使读出的信号既得到

放大又同时把数据写回原存储单元得到再生。随后存储单元截止, ϕ_1 使 T_1 管再导通, 恢复放大器两侧的电位平衡。

减少或补偿各种干扰, 特别是触发器两侧的非对称性干扰是提高放大器灵敏度的关键。采用“基准单元”(或称假单元)可以防止两侧不相等的电位漂移和时钟耦合带来的干扰。图 13-13 中虚线内画出的一对基准单元 T_D 、 C_D 和 T'_D 、 C'_D 就是起这样作用的。平时它们均被预充电以—

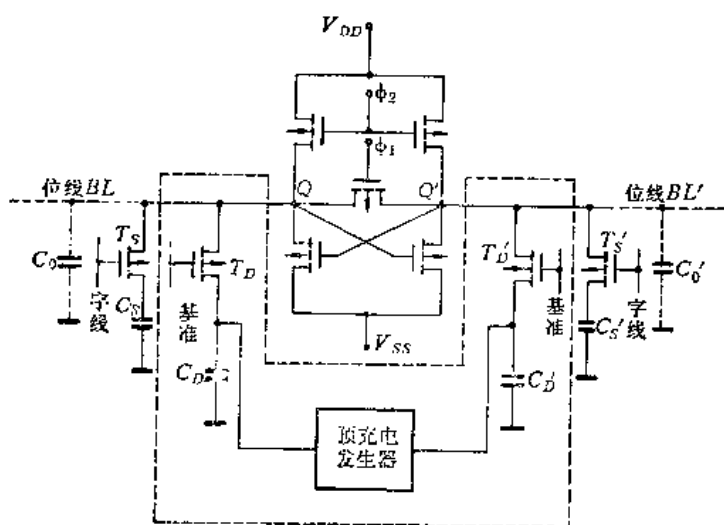


图13-13 单管单元的再生放大电路

定的参考电位。当 ϕ_1 使 T_1 管截止后, 放大器某一侧单元被选并给出对应于存储数据的电平, 同时另一侧的基准单元也导通, 给出参考电位。这样保证了放大器工作可靠, 使灵敏度提高。

下面讨论单管单元的设计要求。图 13-14 中表示某一位线中包括 m 个存储单元, 并设:

V_{s1}, V_{s0} 分别为存储电容 C_s 上存数据“1”和存数据“0”时的电压;

V_K 为位线上预充电的参考电压;

V_{B1}, V_{B0} 分别为位线上读出数据“1”和数据“0”时的电压;

C_0 为每一个单元的位线寄生电容;

m 为行数, 即该列中存储单元数。

因此, 当存数据“1”时, 有

$$V_{s1}C_s + V_KmC_0 = V_{B1}(C_s + mC_0)$$

$$\text{故 } V_{B1} = \frac{V_{s1} + V_K \frac{mC_0}{C_s}}{1 + m \frac{C_0}{C_s}} \quad (13-1)$$

当存数据“0”时, 有

$$V_{s0}C_s + V_KmC_0 = V_{B0}(C_s + mC_0)$$

$$\text{故 } V_{B0} = \frac{V_{s0} + V_K \frac{mC_0}{C_s}}{1 + m \frac{C_0}{C_s}} \quad (13-2)$$

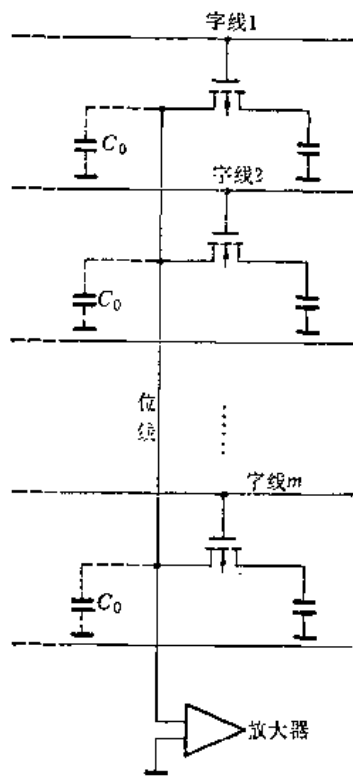


图13-14 m 个存储单元电路

如果放大器可以区别出数据“1”和“0”的输入电压范围为 V_i , 则要求:

$$V_{B1} - V_{B0} > V_i \quad (13-3)$$

将式(13-1)和(13-2)代入式(13-3)后, 得

$$m \frac{C_0}{C_s} < \frac{V_{s1} - V_{s0}}{V_i} - 1 \quad (13-4)$$

式(13-4)给出对存储单元和放大器的综合要求。可以把 $(V_{s1} - V_{s0})/V_i$ 做为设计放大器的优值, 而把 C_0/C_s 做为设计存储单元的优值。它们均越大越好。由此可见, 若要提高存储器的集成度, 即增大 m 值, 就要: (1) 尽量缩小单元面积。这仅需要减小芯片面积, 同时也减小了电容 C_0 。如 C_s 不变, 就可以增加 m 。(2) 提高放大器灵敏度, 即减小 V_i 值。这也可使 m 增加。此外, 降低功耗、提高工作速度也是设计的重要指标。

动态译码电路如图 13-15 所示。(a)图是动态无比电路构成的地址缓冲器, P 为预充电时钟; (b)图是动态“或非”门构成的译码电路, 其输出驱动器是动态无比电容自举倒相器。当片子不工作时, CE 为低电平, $\overline{CE}$ 为高电平, T' 管导通, 选择线接地。当片子工作时, CE 为高电平, $\overline{CE}$ 为低电平, T' 管截止。如果“或非”门输出为高电平时, T 管导

通，选择线为高电平，该行（或列）被选。

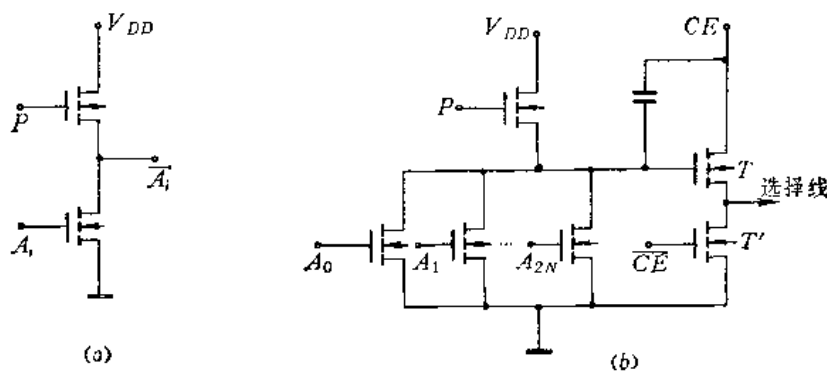


图13-15 动态译码电路

13.1.2 电路举例

为了对随机存取存储器工作有一个完整概念，本节分析一个 1024 位动态 RAM 的工作。其线路示意如图 13-16 所示，它是由硅栅 N 沟工艺制的四管动态单元所组成。该存储

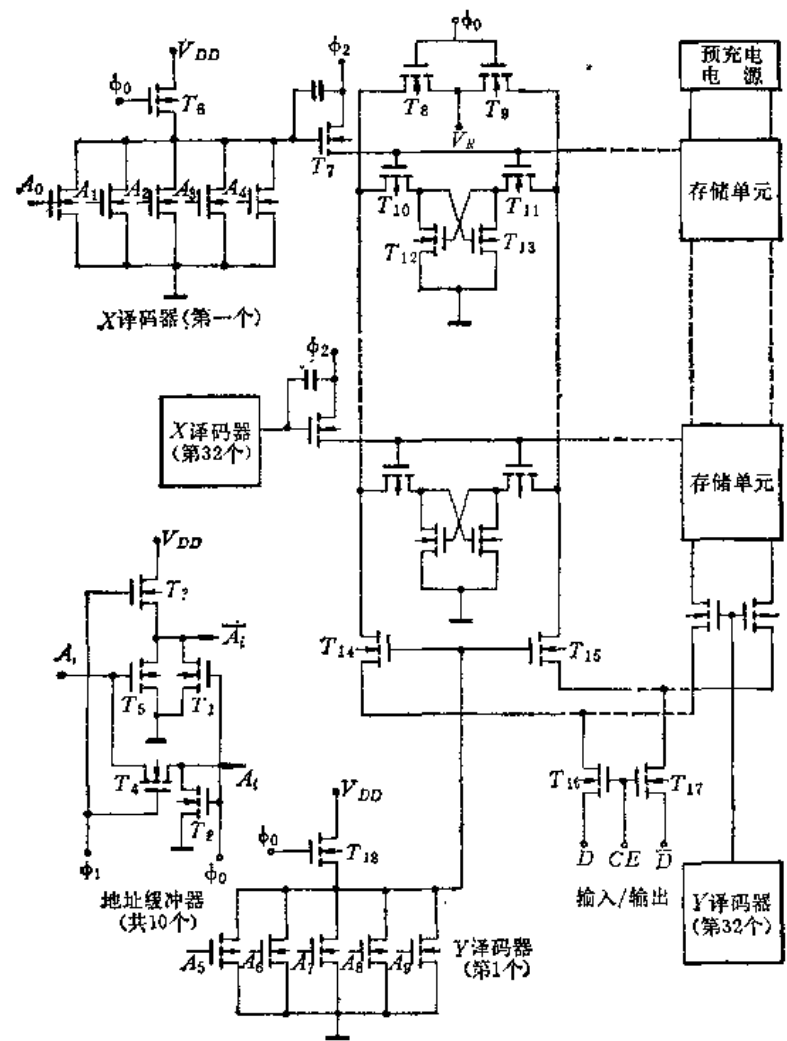


图13-16 1024位的动态RAM

器包括：(1)地址缓冲器：因为1024位有10个地址码，所以共有10个地址缓冲器。(2)地址译码器：有32个 X 译码和32个 Y 译码，交叉重合就可以对1024位存储单元寻址。(3)存储矩阵：1024位四管单元排列成32列、32行的矩阵。在每一行上有一个参考电压预充电电路。(4)输入、输出电路。由片选信号 CE 控制。

该存储器技术指标如下：

电源电压 V_{DD} $+11 \sim +15V$

参考电压 V_R $+5V$

衬底置偏电压 V_B $-3 \sim -9V$

存取周期 $<300ns$

取数周期 $\sim 100ns$

再生时间 $>5ms(+28^\circ C)$

功耗 $<150mW$

时钟 3 相

引线数目 20

工作过程如下。读写之前先对数据线进行预充电，由预充电时钟 ϕ_0 控制。当 ϕ_0 为高电平时，地址缓冲器中的 T_1 和 T_2 管导通，地址缓冲器的输出全为零，所以全部地址输入为零，使32个 X 译码器和32个 Y 译码器的输出全为高电平。这样 X 译码驱动器的驱动管(T_7)的栅预充电为高电平，同时 Y 译码器控制的行开关管(T_{14} 和 T_{15})导通。使每一行的参考电压 V_R 通过导通的 T_8 和 T_9 将全部位线充电， ϕ_0 回到低电平后仍可维持。随后进行读写，地址码 A_i 和时钟 ϕ_1 来到。如地址码为0000000000，则32个 X 译码器中仅第一个输出为高电平，其他全是低电平。同时32个 Y 译码器中仅使第一对位线上的行控管导通，其他都截止。 ϕ_1 和地址码结束后，时钟 ϕ_2 和片选信号 CE 来到。 ϕ_2 使第一列字线为高电平，该字线上的全部门控管(T_{10} 和 T_{11} ，等等)导通。但是因仅第一行的行控管(T_{14} 和 T_{15})导通，故只有第一列、第一行交叉点上的存储单元通过寻通的 T_{10} 、 T_{11} 、 T_{14} 、 T_{15} 和 T_{16} 、 T_{17} 管与输入/输出端接通。如果要写入数据，则在数据线 D 和 $\bar{D}$ 上加以相应电平。如果要读出数据，则维持输入/输出数据总线为高电平，若在 D 线上有电流通过，表示读“1”，若在 $\bar{D}$ 线上有电流通过，表示读“0”。注意，当读出或写入时，同一字线上的其他非被选单元，因为门控管打开，所以同时就进行了再生。存储器的专门再生操作，是定时地一列一列地进行。其方法和读出操作一样，只是不要加片选信号。

存储器的写入和读出的工作波形分别如图13-17中(a)和(b)所示。其中 T_0 是预充电时钟脉冲宽度，其要保证能在数据线上建立起稳定的5V电平。这取决于图13-16中 T_8 、 T_9 、 T_{14} 和 T_{15} 管的导通电阻和数据线的分布电容。 T_A 为地址码的脉冲宽度，其要保证非被选的译码器输出端高电平放电为零。这取决于译码器输入管的导通电阻和负载电容之积。 T_2 是时钟 ϕ_2 和片选信号 CE 的脉宽。这是使被选字线上门控管(T_{10} 和 T_{11})和片选管(T_{16} 和 T_{17})充分导通后，输入的数据在数据线上建立稳定电平，并使存储单元变成写入所要求的稳定状态的时间。如果是读出，则是保证读出数据电流在输出端稳定出现的时间。前者取决于 T_{10} 、 T_{11} 、 T_{16} 和 T_{17} 管的导通电阻、数据线分布电容和存储单元触发器翻转的时间；后者仅取决于这些管子的导通电阻。

表示存储器速度的时间参数有：访问时间（取数时间）和循环时间。访问时间指从地址码输入到有效数据输出的时间。它包括地址译码器的延迟以及片选信号加入后在读出电路上延迟（见图13-17(b)中 T_R ）。循环时间指存储器完成一定操作的基本时间周期。故也称循环周期。所谓一定的操作，是指进行读出-写入，或读出-读出，或写入-写入，或写入-读出时的各种操作。循环周期是指上述各种操作周期中最长的。图13-17中的 T 表示完成了写入后再进行下一操作的周期，而 T' 表示完成了读出后再进行下一操作的周期。循环周期由二者中大的一个决定。

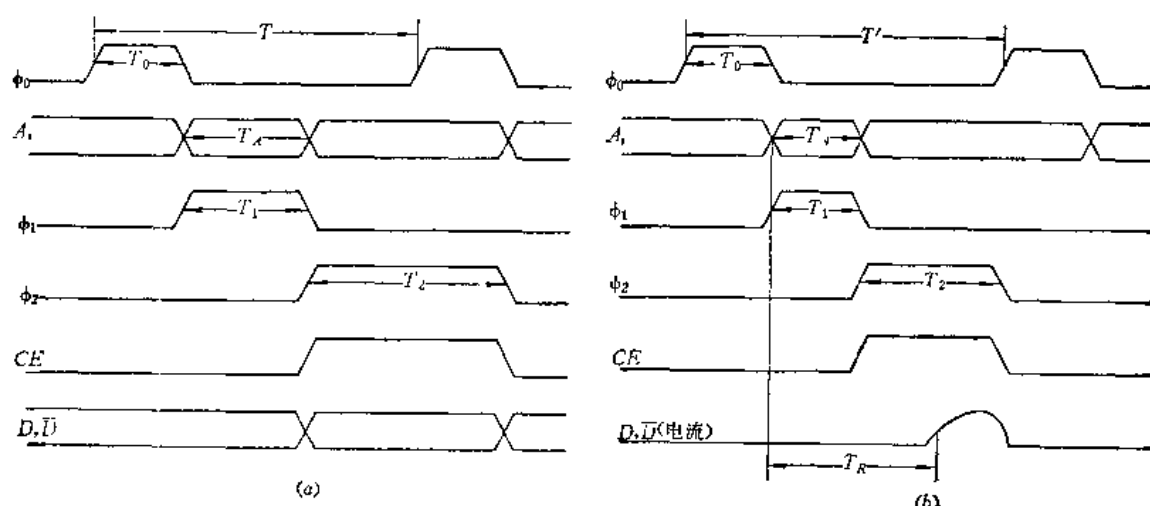


图13-17 RAM工作波形

13.2 唯读存储器和可编程序逻辑阵列

13.2.1 唯读存储器

唯读存储器，又称固定存储器。它存储的内容固定不变，只能读出不能写入。

唯读存储器的结构如图13-18所示。它包括：(1)地址译码器，(2)存储矩阵和(3)读出电路。其译码器与RAM类似，区别在于它仅是一维译码。当地址输入经译码后选中某一字，则该字的若干位同时读出。图13-18中是一个 N 个字、每字 M 位的唯读存储器。

图13-19中表示一个MOS结构的ROM存储矩阵。它是4个字、每字4位的存储矩阵。(a)图是线路图，(b)图是版面俯视图，(c)图是剖面图。图中 W_1, W_2, W_3 和 W_4 代表地址译码器的输入端，称为字线。 B_1, B_2, B_3 和 B_4 称为位线。 T_{L1}, T_{L2}, T_{L3} 和 T_{L4} 是负载管。 V_{DD} 和 V_{GG} 分别为电源电压和栅压。矩阵中画有栅记号的表示为一个MOS管，标以 $T_1, T_2, \dots, T_{16}$ ，通常均为P沟道增强型管子。例如当输入地址经译码后，字线 W_1 被选，输出为低电平，使 T_1 至 T_4 管导通，在 B_1, B_2, B_3, B_4 上的输出为1111(正逻辑)。同理，若 W_2 被选时输出为0101， W_3 被选时输出为1001， W_4 被选时输出为0011。这表示每一地址对应一个固定

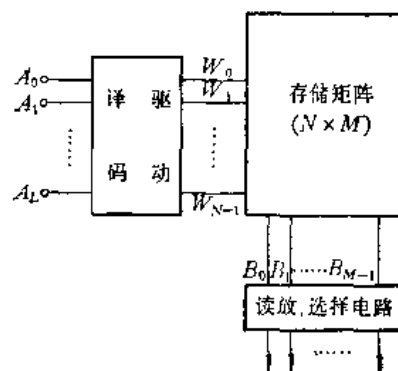


图13-18 ROM结构

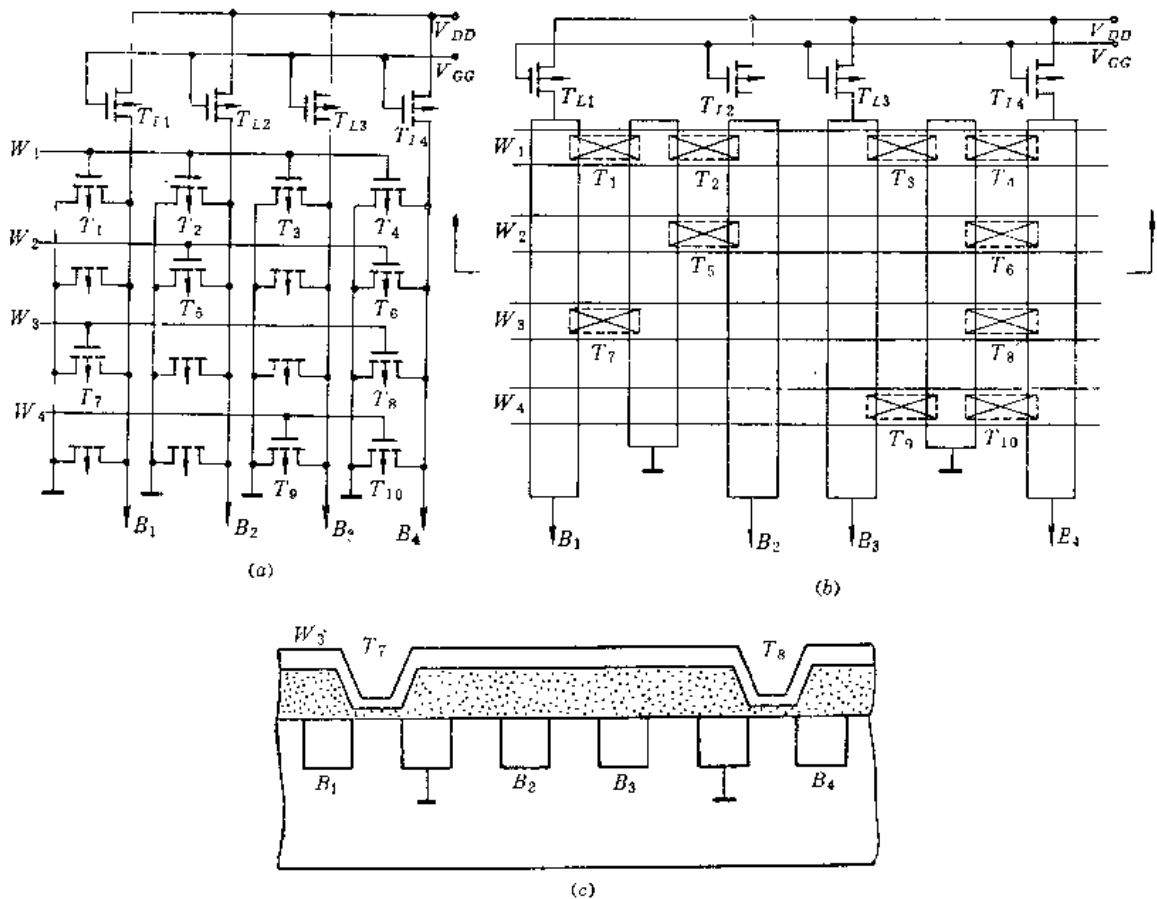


图13-19 ROM 存储矩阵

的输出内容。这一存储内容是根据需要而设计制造的。(c)图示意地表示了MOS工艺,其中薄氧化层处表示为一个MOS管,未标有栅区处是厚氧化层,不存在MOS管。当位线(铝条)上为低电平时,薄栅下的MOS管导通,厚氧化层下无作用。故工艺上只要根据逻辑需要,在要MOS管处光刻出薄栅区,其余仍为厚氧化层,就可以实现所需的矩阵结构了。

13.2.2 用两级ROM实现组合逻辑

上节讨论了ROM。实际上, P沟道MOS管构成的ROM存储矩阵可以看成是逻辑“与非”门。由图13-20中的线路实例可以看出, (a)图中的ROM矩阵形式, 可以表示为

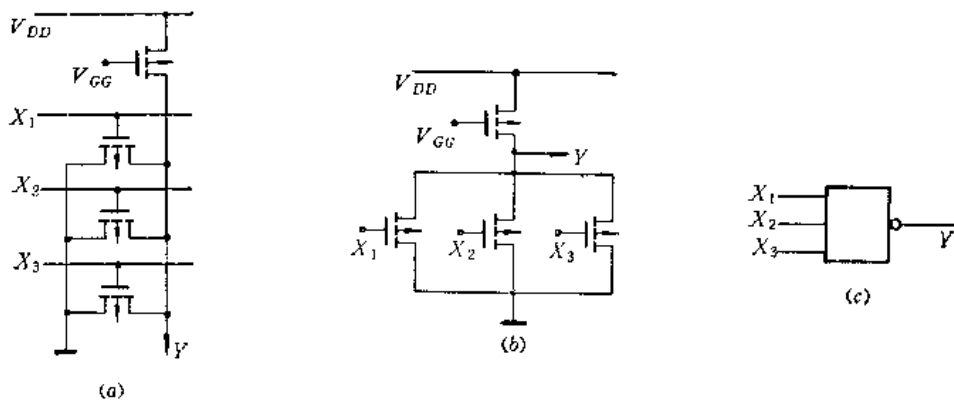


图13-20 ROM矩阵的演化

(b)图的“与非”门形式。输出变量 y 即为输入变量 x_1 、 x_2 和 x_3 的“与非”逻辑,如(c)图。

根据以上分析,我们考虑如下一组逻辑函数,如何用ROM阵列来实现。

$$z_1 = x_1 x_2 + \bar{x}_1 \bar{x}_2 \quad (13-5)$$

$$z_2 = x_1 x_2 \quad (13-6)$$

令

$$y_1 = \overline{x_1 x_2} \quad (13-7)$$

$$y_2 = \overline{\bar{x}_1 \bar{x}_2} \quad (13-8)$$

表示式(13-7)和(13-8)的逻辑关系的线路在图 13-21 中给出。这是用一个 2×2 ROM 矩阵形成的“逻辑与”项。(a)图为线路形式,(b)图为逻辑图,(c)图是在 PLA 中使用的简化形式,其中每一个节点代表字线、位线交叉点中存在耦合器件,即 MOS 管。该位线上的输出变量就是各节点上的位线输入变量的“与非”。如 $y_1 = \overline{x_1 x_2}$, $y_2 = \overline{\bar{x}_1 \bar{x}_2}$ 。这一简化形式图不仅在表示逻辑关系上图形简洁,而且对版面设计也很方便。

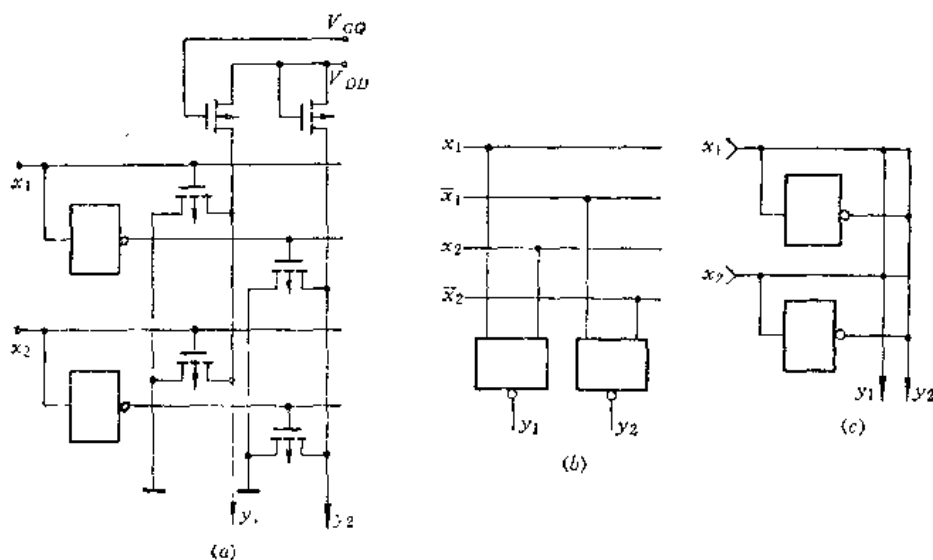


图 13-21

为了最终完成式(13-5)和(13-6)的逻辑关系,只须将 y_1 和 y_2 用同样的方法组合即可。这在图 13-22 中给出。(a)、(b)和(c)图也同样分别代表线路图、逻辑图和简化形式。它是由两级 ROM 矩阵组合而成的,通常可以以图 13-23 中的形式表示之。分析式(13-5)和(13-6)可知,函数 z_1 、 z_2 是由变量 x_1 、 x_2 、 $\bar{x}_1$ 和 $\bar{x}_2$ 的“与或”关系组成,因为每一个 ROM 实际上都表示一个“与非”关系,而两级 ROM 就表示“与或”关系了。所以可以看做图中上面的 ROM 是完成“与”功能,下面的 ROM 是完成“或”功能,故又分别把它们称为“与”ROM 和“或”ROM。二者结合就给出了式(13-5)和(13-6)的逻辑关系。

推而广之,因为任何一个逻辑函数 $z = f(x_1, x_2, \dots, x_n)$ 均可以用它的逻辑变量的若干个最小项之和来表示,也就是任何一个逻辑函数均可表示为“与或”形式。所以两级 ROM 阵列就完全可以描写任何一个组合逻辑函数。

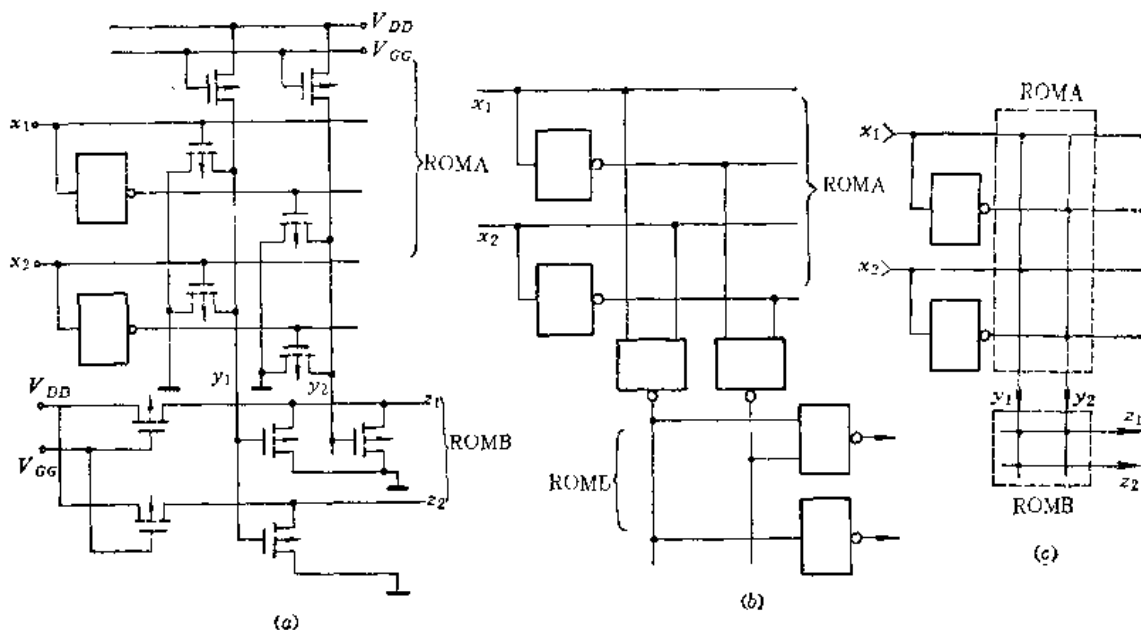


图13-22 两级 ROM 组合

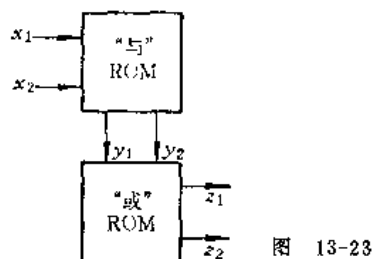


图 13-23

下面以一个把格雷码译为二进制代码的译码器的例子说明之。其真值表如表13-1。

表 13-1

格雷码 $G_4 \ G_3 \ G_2 \ G_1$	二进制码 $B_4 \ B_3 \ B_2 \ B_1$	格雷码 $G_4 \ G_3 \ G_2 \ G_1$	二进制码 $B_4 \ B_3 \ B_2 \ B_1$	格雷码 $G_4 \ G_3 \ G_2 \ G_1$	二进制码 $B_4 \ B_3 \ B_2 \ B_1$
0 0 0 0	0 0 0 0	0 1 0 1	0 1 1 0	1 0 1 0	1 1 0 0
0 0 0 1	0 0 0 1	0 1 0 0	0 1 1 1	1 0 1 1	1 1 0 1
0 0 1 1	0 0 1 0	1 1 0 0	1 0 0 0	1 0 0 1	1 1 1 0
0 0 1 0	0 0 1 1	1 1 0 1	1 0 0 1	1 0 0 0	1 1 1 1
0 1 1 0	0 1 0 0	1 1 1 1	1 0 1 0		
0 1 1 1	0 1 0 1	1 1 1 0	1 0 1 1		

用卡诺图化简后得到如下函数形式:

$$B_4 = G_4 \quad (13-9)$$

$$B_3 = \bar{G}_4 G_3 + G_4 \bar{G}_3 \quad (13-10)$$

$$B_2 = \bar{G}_4 \bar{G}_3 G_2 + \bar{G}_4 G_3 \bar{G}_2 + G_4 G_3 G_2 + G_4 \bar{G}_3 \bar{G}_2 \quad (13-11)$$

$$B_1 = \bar{G}_4 \bar{G}_3 \bar{G}_2 G_1 + \bar{G}_4 \bar{G}_3 G_2 \bar{G}_1 + \bar{G}_4 G_3 \bar{G}_2 \bar{G}_1 + \bar{G}_4 G_3 G_2 G_1 + G_4 \bar{G}_3 \bar{G}_2 \bar{G}_1 + G_4 \bar{G}_3 G_2 G_1 - G_4 G_3 \bar{G}_2 G_1 + G_4 G_3 G_2 \bar{G}_1 \quad (13-12)$$

表示式 (13-9) 至 (13-12) 函数关系的两级ROM译码电路如图 13-24 所示。

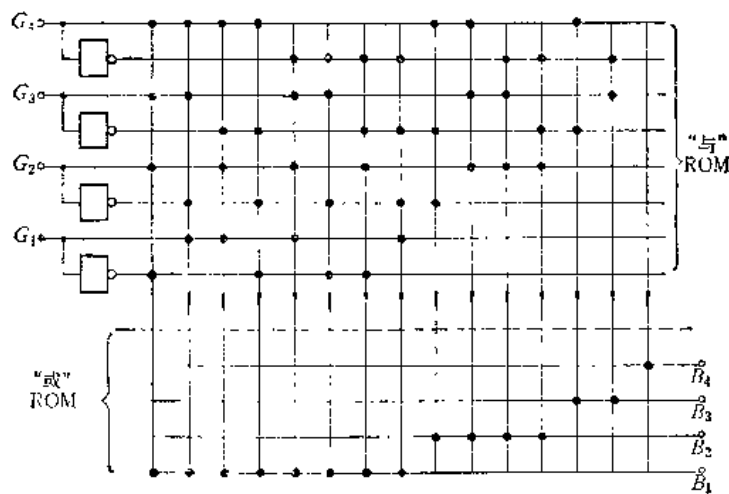


图 13-24

13.2.3 时序逻辑的PLA设计

在两级ROM之间加以触发器反馈电路，可以构成时序逻辑。最简单的是包括一个反馈网络的电路，如图 13-25 所示。这种设计方法给时序逻辑电路的生产带来很大的灵活性和经济性。

下面以一个可变模复位为零的计数器设计为例说明之。这个计数器功能如下：其计数模由控制端 $x_4x_3x_2x_1$ 的状态决定。根据它们从 0001 到 1111 十五个不同状态，计数模分别为 2_{10} , 3_{10} , 4_{10} , $\dots$, 16_{10} 。当控制端为 0000 时计数器不工作，当计数器计数到规定的模时，全部复位为零，从 0000 重新计数。计数器输入为 BCD 码。

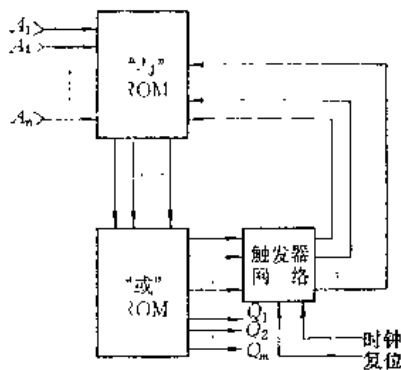


图13-25 带有一级反馈的PLA电路

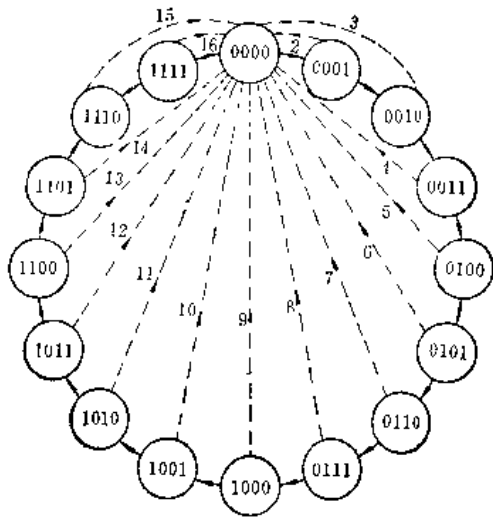


图13-26 计数器流程图

图 13-26 给出该计数器的流程图。图中圆圈表示计数器的状态，虚线表示计满归零，虚线上的数字表示规定的十进制模数。例如，当控制端为 0111 时，表示计数模为 8，即计数从 0000 开始，沿 0001, 0010, $\dots$ 直到 0111 时归零。即逢七进一。

我们可以取如下的逻辑式表示该计数器的工作:

$$I = TF + T \quad (13-13)$$

式中 F ——二进制的正常计数序列 (模为16);

T ——控制计数器工作模式的变量。

当 $T = 1$ 时, 表示计数目达到规定的模, 使计数器归零; 当 $T = 0$ 时, 表示计数器正常计数。

若以 $Q_4Q_3Q_2Q_1$ 表示计数器的输出状态, 则以 16 为模的计数状态转换图如图 13-27 所示。

如果用 $J-K$ 触发器和 ROM 组合完成这一逻辑功能, 则根据 $J-K$ 触发器的激发表 (表 13-2) 和转换图, 可以得到表示计数器所归状态关系的状态表, 如表 13-3 所列。其中

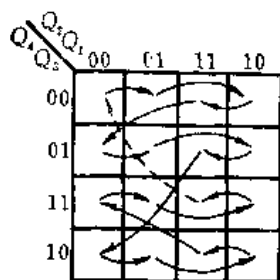


图13-27 状态转换图

表 13-2

J_i	K_i	Q_i	Q_i
ϕ	0	0	0
ϕ	1	0	1
1	ϕ	1	0
0	ϕ	1	1

$s(t)$ 表示本时刻状态, $n(t)$ 表示时钟来到之后下一时刻的状态, 表中右栏对应各触发器的 J 、 K 输入端的状态。

表 13-3

$s(t)$	$n(t)$	Q_1	Q_2	Q_3	Q_4
$Q_4 Q_3 Q_2 Q_1$	$Q_4 Q_3 Q_2 Q_1$	$J_1 K_1$	$J_2 K_2$	$J_3 K_3$	$J_4 K_4$
0 0 0 0	0 0 0 1	ϕ 1	ϕ 0	ϕ 0	ϕ 0
0 0 0 1	0 0 1 0	1 ϕ	ϕ 1	ϕ 0	ϕ 0
0 0 1 0	0 0 1 1	ϕ 1	1 ϕ	ϕ 1	ϕ 0
0 0 1 1	0 1 0 0	1 ϕ	1 ϕ	ϕ 1	ϕ 0
0 1 0 0	0 1 0 1	ϕ 1	ϕ 0	0 ϕ	ϕ 0
0 1 0 1	0 1 1 0	1 ϕ	ϕ 1	0 ϕ	ϕ 0
0 1 1 0	0 1 1 1	ϕ 1	0 ϕ	0 ϕ	ϕ 0
0 1 1 1	1 0 0 0	1 ϕ	1 ϕ	1 ϕ	ϕ 0
1 0 0 0	1 0 0 1	ϕ 1	ϕ 0	ϕ 0	0 ϕ
1 0 0 1	1 0 1 0	1 ϕ	ϕ 1	ϕ 0	0 ϕ
1 0 1 0	1 0 1 1	ϕ 1	0 ϕ	ϕ 0	0 ϕ
1 0 1 1	1 1 0 0	1 ϕ	1 ϕ	ϕ 1	0 ϕ
1 1 0 0	1 1 0 1	ϕ 1	ϕ 0	0 ϕ	0 ϕ
1 1 0 1	1 1 1 0	1 ϕ	ϕ 1	0 ϕ	0 ϕ
1 1 1 0	1 1 1 1	ϕ 1	0 ϕ	0 ϕ	0 ϕ
1 1 1 1	0 0 0 0	1 ϕ	1 ϕ	1 ϕ	1 ϕ

根据表 13-3 所列的状态, 由卡诺图化简 (图 13-28) 后, 考虑到式 (13-13), 可以得到各触发器输入端的函数式为:

$$\left. \begin{aligned}
 J_1 &= \bar{T} & K_1 &= \bar{T} + T \\
 J_2 &= \bar{T}Q_1 & K_2 &= \bar{T}Q_1 + T \\
 J_3 &= \bar{T}Q_2Q_1 & K_3 &= \bar{T}Q_2Q_1 + T \\
 J_4 &= \bar{T}Q_3Q_2Q_1 & K_4 &= \bar{T}Q_3Q_2Q_1 + T
 \end{aligned} \right\} \quad (13-14)$$

其中变量 T ，根据定义是触发器输入变量 $Q_4Q_3Q_2Q_1$ 与控制端变量 $x_4x_3x_2x_1$ 的函数。要求二者相等时， $T = 1$ 。所以有

$$T = (Q_4x_4 + \bar{Q}_4\bar{x}_4)(Q_3x_3 + \bar{Q}_3\bar{x}_3)(Q_2x_2 + \bar{Q}_2\bar{x}_2)(Q_1x_1 + \bar{Q}_1\bar{x}_1) \quad (13-15)$$

$$\bar{T} = (Q_4\bar{x}_4 + \bar{Q}_4x_4)(\bar{Q}_3x_3 + Q_3\bar{x}_3)(\bar{Q}_2x_2 + Q_2\bar{x}_2)(\bar{Q}_1x_1 + Q_1\bar{x}_1) \quad (13-16)$$

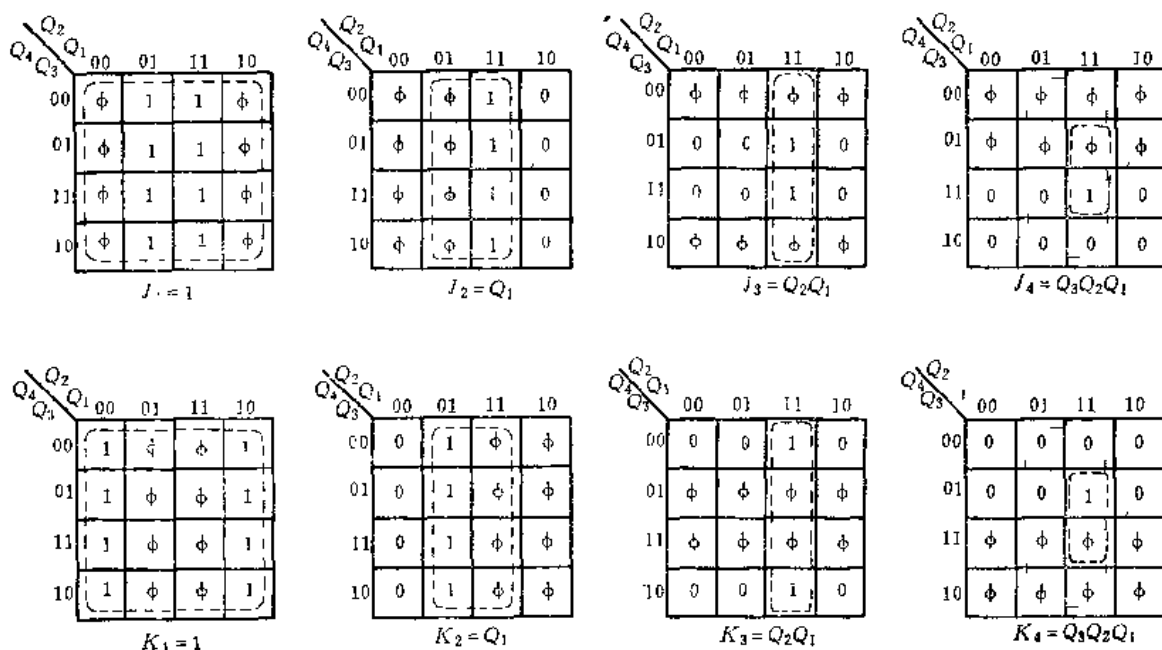


图13-28 化简卡诺图

根据式 (13-14) 和 (13-15)、(13-16) 可以得到由 $J-K$ 触发器网络构成的计数器的 PLA 图(图13-29)。

由上分析，可以看出 PLA 具有如下特点：

1. PLA 是 ROM 发展的一个分支。两级 ROM 组合实际上是一个“不完全译码”的 ROM。ROM 的译码部分就是“与”ROM，而 ROM 的存储矩阵就是“和”ROM。由于这样的变化使它比 ROM 具有更为灵活的逻辑功能，也更有效地利用了器件。

2. 从器件设计角度看，PLA 的组合逻辑设计与通常的组合逻辑设计不同。一般的逻辑设计要求(1)逻辑门的数目少，(2)每个门的输入端数少，(3)级数少。就是在逻辑式化简时，不仅要求逻辑函数的最小项表达式的最小项数目少，也要求每一最小项中变量数少。但是 PLA 中主要希望是最小项的数目少，每一最小项中变量数目是次要的。从图 13-29 中的例子可以看出，只有减少一个最小项才能减少一条“乘积线”(纵线)。

在一般组合逻辑中，随着逻辑功能的复杂，其级数也相应增加，这导致延迟时间增加。但是在两级 ROM 组合的线路中，不会因逻辑功能的复杂而增加级数，故也就不会增加延迟时间。

3. PLA 的简化线路图，同时就给出了电路的版图布局。它比一般的逻辑版面设计整

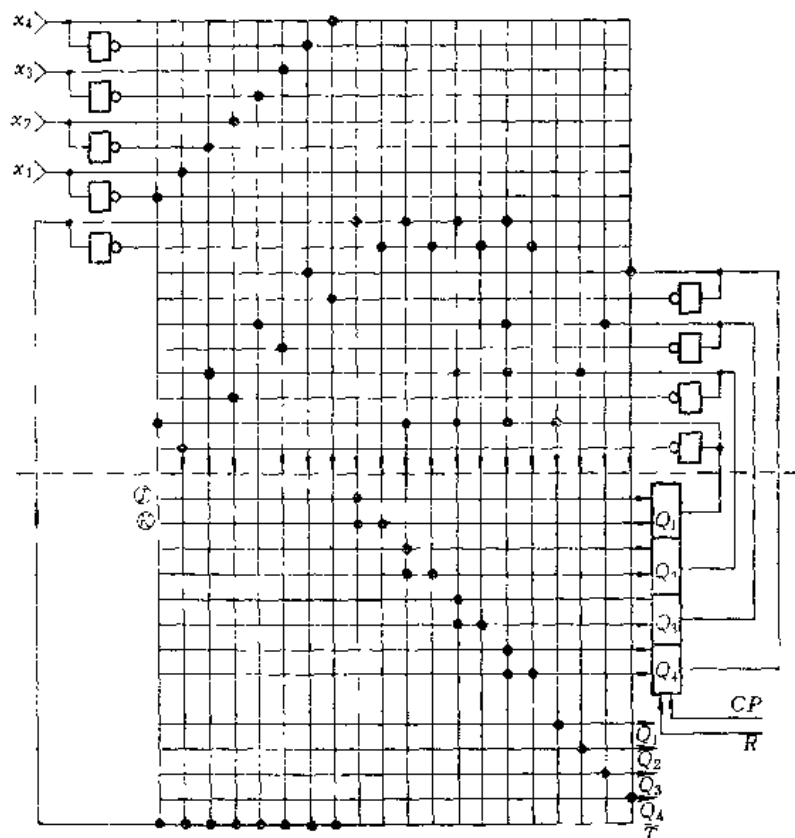


图13-29 可变模复位为零计数器

齐，便于检查，有利于减少差错，也便于计算机辅助设计和制版。

13.3 可编程序唯读存储器

可编程序唯读存储器是在ROM基础上发展起来的。一般的ROM，它存储的内容在制造过程中是用特定的掩膜版完成的。由于一经制造成功就不可改变，这使其在使用中受到一定程度的限制。可编程序唯读存储器，其存储的内容可以根据需要来编制。当又需要新内容时，还可以把原存储内容“擦去”，再行编入新内容。这样就具有更大的灵活性，应用更为广泛。近年来在MOS存储器中，它的发展极为活跃。

MOS型可编程序唯读存储器从性能上分为两类：

1. 可擦除可编程序唯读存储器（EPROM）。这类存储器可以用紫外光或X射线将存储内容一次全部擦除，然后再写入新内容。但不能逐字擦除。

2. 电可改写可编程序唯读存储器（EAROM）。这类存储器可以用电学方法将存储内容逐字擦除，再重新写入，即可逐字改写。所以它实际上具有RAM的功能，但是比RAM的写入能量大，读、写速度慢，特别是写入速度慢。因此它仍然用来做唯读存储器，故又称为主读存储器（RMM）^①。这类存储器应用比EPROM灵活方便。降低它的擦除和写入能量，提高它的读、写速度，就可以实现半导体RAM的不易失性，而完全取代磁芯。

MOS型PROM从器件结构上的不同，又可分为两类：一类是用多晶硅做栅电极，以薄二氧化硅层作为栅介质的浮栅雪崩注入MOS结构（FAMOS）^②，用这类器件可以构成

① RMM是英文Read Mostly Memory的缩写。

② FAMOS是英文Floating-gate Avalanche-injection MOS Transistor的缩写。

EPROM。在其基础上发展起来的叠栅注入MOS结构 (SIMOS[●])，它可以构成EPROM，也可以构成EAROM。另一类是复合栅介质MOS结构，它是用氮化硅-二氧化硅或三氧化二铝-二氧化铝的双层材料做为栅介质，用铝为栅金属电极的MOS型器件。它们可以构成EAROM。以下我们从器件结构的角度来讨论各种PROM。

13.3.1 FAMOS 可编程唯读存储器

FAMOS 器件结构如图 13-30 所示。它以在N型硅衬底上用化学汽相淀积技术形成的多晶硅做为栅电极，并用二氧化硅包围与外界绝缘，所以称它为浮栅。它的下面为 1000 Å 左右厚的热生长二氧化硅层，是栅介质。它的上面是化学汽相淀积形成的二氧化硅，厚 1 μm。

FAMOS 管工作原理如下：当漏和源均为零电位时，浮栅上没有电荷。当漏接负电位时，漏结上形成反向偏置电压，同时在浮栅对漏的覆盖区上形成了正电位。当漏的负电压足够大（-30 V 左右）时，在漏结接近表面的耗尽层

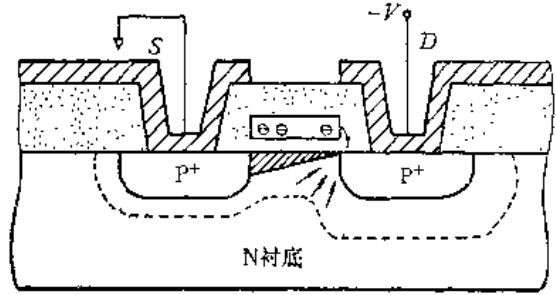


图13-30 FAMOS管

中发生雪崩倍增效应。由此产生的高能电子可以越过硅-二氧化硅界面的势垒，被二氧化硅中的电场扫入多晶硅栅中去。发生雪崩注入过程的能带图如图 13-31 所示。其中 (a) 图为平衡能带图；(b) 图为雪崩注入时的能带图；(c) 图为电子注入浮栅中以后的电荷保持情况。

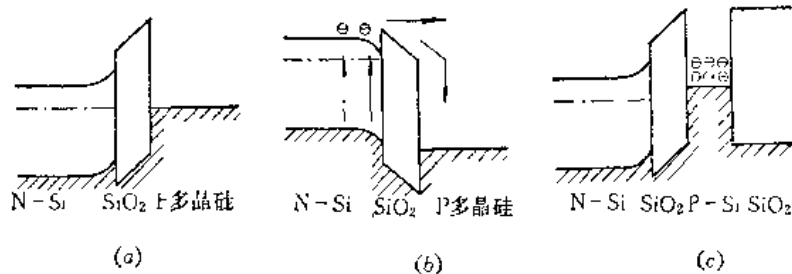


图13-31 FAMOS器件的能带图

由于浮栅被二氧化硅包围绝缘，不能放电，所以注入的电子将做为栅电荷而保持在其中。已知单位面积栅电荷与等效栅压的关系为：

$$V_{G\#} = \frac{Q_G}{C_f} \quad (13-17)$$

非饱和区中 MOS 管的直流导通电阻 R 为：

$$R = \frac{1}{\mu C_f \frac{W}{L} (V_G - V_T - V_D/2)} \quad (13-18)$$

式中 W/L ——FAMOS 器件之沟道宽长比；

● SIMOS是英文Stacked-gate Injection MOS Transistor的缩写。

V_G ——栅电压;
 V_D ——漏电压;
 V_T ——阈电压;
 C_f ——单位面积栅电容;
 μ ——迁移率。

由式 (13-17) 和 (13-18) 可以看出, 浮栅中有电荷与没有电荷时, 相当于栅上加有不同的等效栅压, 在相同的漏电压下就给出不同的导通电阻。图 13-32 中给出了 FAMOS 器件在浮栅中不带电, 和带电 (相当于 $V_{G*} = -10V$) 时的电流-电压特性。虚线给出与普通 MOS 管的比较。由此可知, 如果用 $V_D = 5V$ 的电压进行读出, 则可以完全区别出两种不同的状态。

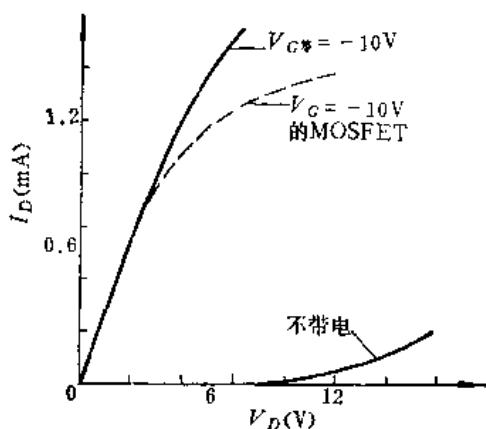


图13-32 FAMOS的伏-安特性比较

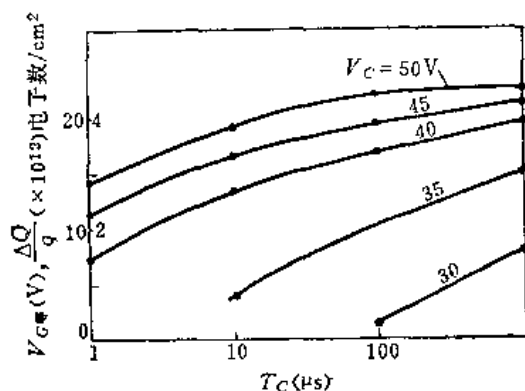


图13-33 FAMOS的电荷注入特性

显然, 浮栅中积累电荷的数量与充电电压的大小和时间有关。图 13-33 中给出这一特性。这是栅氧化层厚度为 $1200 \text{ \AA}$, 衬底浓度为 $8 \times 10^{14} \text{ cm}^{-3}$ 的器件, 浮栅上被充电电荷数 $\Delta Q/q$ 和等效栅压 V_{G*} 与充电电压的幅度 V_C 和脉宽 T_C 的关系。图中表明, 注入电荷呈现饱和特性。这是因为当外加电压达到了临界击穿电压之后, 再增加的电压就降落在二氧化硅层中了, 对注入并无帮助。

我们希望注入到浮栅中的电荷, 在擦除之前能长久地保持下去。但是实际工艺中的漏电以及 Fowler-Nordheim 发射会使电子逐渐减少。例如在最大存储电荷量 $4 \times 10^{12} \text{ e} \cdot \text{cm}^{-2}$ 时, 在二氧化硅中的电场为 $2 \times 10^6 \text{ V} \cdot \text{cm}^{-1}$, 引起的 Fowler-Nordheim 发射电流为 $10^{-40} \text{ A} \cdot \text{cm}^{-2}$ 。FAMOS 电荷的保持特性在图 13-34 中给出。图中 Q_0 为初始注入电荷。注入量越大, 温度越高, 漏电速率越大。

擦除浮栅中的电荷有两种方法: 紫外光擦除和 X 射线擦除。紫外光擦除是

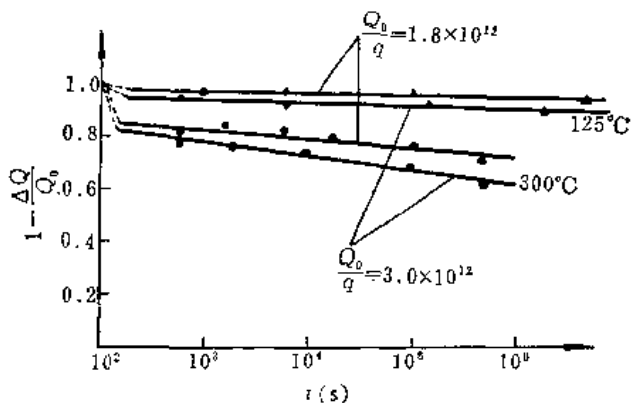


图13-34 FAMOS的电荷保持特性

使浮栅中电子从光子处获得能量,是以越过势垒进入二氧化硅,然后被二氧化硅中电场扫向硅衬底。P型筒并多晶硅与二氧化硅间的势垒高度为 4.3eV ,而波长 $2537\text{\AA}$ 的紫外光的光子能量为 4.9eV ,故可以实现上述过程。用能量大于二氧化硅禁带宽度的X射线照射器件,可以产生电子-空穴对。空穴进入浮栅而中和了其中的电子,实现擦除。图 13-35(a)和(b)分别给出紫外光擦除和X射线擦除时的能带图。在擦除之后,器件要进行退火处理,以消除因辐照而产生的陷阱电荷。

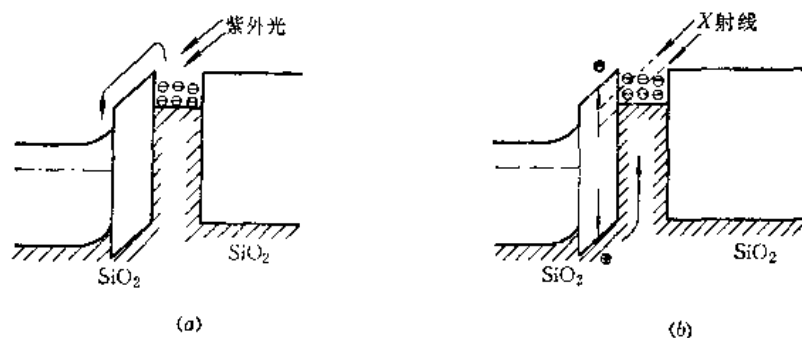


图13-35 电荷擦除时能带图

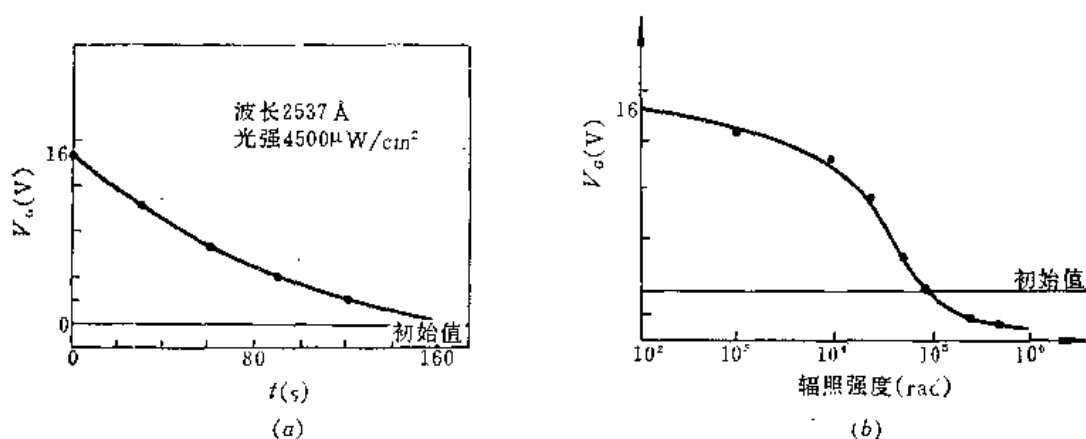


图13-36 FAMOS的擦除特性

图 13-36 中给出了这两种方法的擦除特性。(a)图为紫外光擦除时等效栅压随擦除时间的变化,擦除用的紫外光波长为 $2537\text{\AA}$,强度为 $4500\mu\text{W}\cdot\text{cm}^{-2}$; (b)图为X射线擦除时等效栅压与辐射强度的关系。

用 FAMOS 管构成的 EPROM 的存储单元有两种形式,如图 13-37 中的 (a) 和 (b) 所示。其中 T_1 为 FAMOS 管做存储用, T_2 为普通 MOS 管做选择管用。 T_2 管的栅接到 X 译码器的对应输出端。存储单元的写入和读出也是依靠 X、Y 选择线重合实现的,其存储矩阵如图 13-38 所示。

图 13-39 是包括读、写控制的线路。以此我们讨论一下它的工作。在写入(编程序)时, V_{DD} 接以较大的负电压 (-45V), 写入电压 V_p 使 T_p 管导通。如果写入

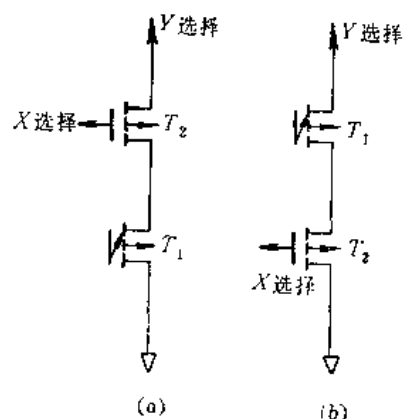


图13-37 FAMOS存储单元

的数据为“1”，则使 T_w 管导通，这时 V_{DD} 的负电压通过 T_P 和 T_w 管进入被选单元， T_i 管在该电压下发生雪崩注入，浮栅中被注入电子，单元存“1”。如果写入的数据为“0”， T_w 管保持截止； V_{DD} 电压加不到被选单元的 FAMOS 管上，不发生电荷注入。在写入时，片选信号（CE）使读放电路不工作。在读出时， T_P 和 T_w 管均截止。 V_{DD} 加以较小的负电压（-15V），通过负

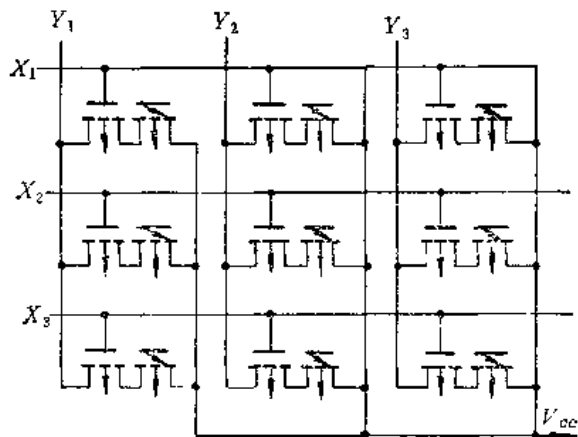


图13-38 FAMOS存储矩阵

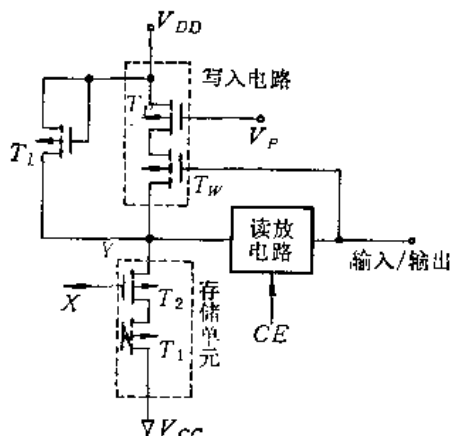


图13-39 读写电路

载管 T_L 可以把被选单元所存储的数据读出。如果单元中存“1”（FAMOS管低阻导通）时，读出的电压接近 V_{CC} ；如果单元中存“0”（FAMOS管高阻截止）时，读出的电压接近 V_{DD} 。读出信号通过读放电路到达输出端。采用不同数值的写入电压和读出电压是为了防止在读出时对原来存“0”的被选单元误充电。比较图13-37中的两类存储单元可以看出，（a）图中的单元由于 T_2 管上的压降，使 T_1 管的充电电压下降，电荷注入效率降低。但是这种单元在Y线被选，X线没有被选时的禁编能力强。

13.3.2 SIMOS 可程序唯读存储器

从FAMOS器件构成的EPROM矩阵中的存储单元需要两支管子。为了缩小单元面积，提高集成度，发展了叠栅注入MOS管（SIMOS）结构。这种器件不仅可构成EPROM的单管单元，而且可以实现FAMOS不能实现的EAROM。

图13-40中给出了SIMOS管的结构。它与FAMOS管的区别在于：（1）它有两个相互重叠的多晶硅栅，下面的栅与外界绝缘称为浮栅，起存储电荷的作用。上面的栅与X译码器连接，称为控制栅，起着对器件选通和控制作用，因之就省去了一个控制MOS管，构成单管单元。（3）浮栅中的电子注入不是由雪崩效应完成，而是靠“沟道注入”完成的。所谓沟道注入，就是在漏和源之间加以足够高的电场，使电子被电场加速成为热电子，当能量超过二氧化硅-硅界面势垒高度时，借助于控制栅上的附加正电压面从沟道中直接注入到浮栅中去。为了达到足够高的沟道电场，沟道长度要足够短。通常在漏源电压为20V时，沟道

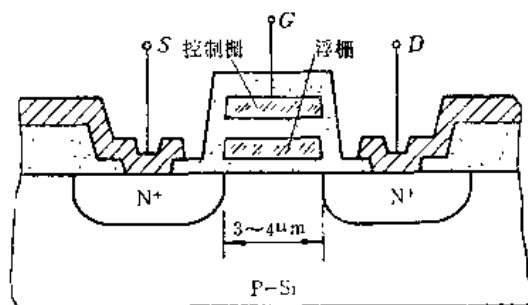


图13-40 SIMOS管

长度要小于 $4\text{ }\mu\text{m}$ 。

SIMOS 管也是根据浮栅中的有无电荷, 导致控制栅上阈电压改变来表示存储不同的数据。

根据图 13-41 中的等效电路可以分析它的电荷积累特性。图中 V_{GS} 、 V_{FS} 、 V_{DS} 和 V_{BS} 分别代表控制栅、浮栅、漏和衬底相对源的电压。 C_{FG} 为控制栅和浮栅间的电容, C_{FS} 为浮栅和源之间的电容, C_{FD} 为浮栅和漏之间的电容, C_{FB} 为浮栅和衬底之间的电容。

当浮栅上具有电荷 ΔQ 时, 浮栅上电压为:

$$V_{FS} = \frac{V_{GS}C_{FG} + V_{DS}C_{FD} + V_{BS}C_{FB} + \Delta Q}{C_{FS} + C_{FD} + C_{FB} + C_{FG}}$$

(13-19)

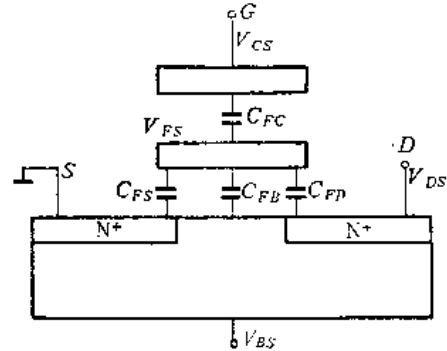


图13-41 SIMOS管的等效电路

如前所述, 热电子是借助于浮栅和沟道间的电位差注入到浮栅中去。一旦电子注入到浮栅中将使浮栅电位下降, 当浮栅电位下降到与沟道注入区电位相等时, 注入停止。如以 V'_{DS} 表示沟道注入电压, V_P 为控制栅的编程电压 (即已写入控制栅上的电压), 并且忽略电容 C_{FD} 和令 $V_{BS} = 0$ 。由式 (13-19) 可知, 当 $V_{FS} = V'_{DS}$ 时注入停止, 浮栅中得到的最大电荷为 $Q_{\max}$:

$$-Q_{\max} = V_P C_{FG} - V'_{DS} (C_{FS} + C_{FB} + C_{FG}) \quad (13-20)$$

那么, 在浮栅上当电荷为零和电荷为 $Q_{\max}$ 时, 其控制栅的等效阈电压分别为:

$$V_{T0} = \frac{C_{FS} + C_{FB} + C_{FG}}{C_{FG}} V_{FS} \quad (13-21)$$

$$\text{和} \quad V_{TQ} = \frac{C_{FS} + C_{FB} + C_{FG}}{C_{FG}} V_P + \frac{Q_{\max}}{C_{FG}} \quad (13-22)$$

$$\text{阈电压差为:} \quad \Delta V_T = V_{TQ} - V_{T0} = V_P - V'_{DS} \frac{C_{FS} + C_{FB} + C_{FG}}{C_{FG}} \quad (13-23)$$

当 C_{FG} 远大于其他几个电容时, 式 (13-23) 可以简化为下式

$$\Delta V_T = V_P - V'_{DS} \quad (13-23)'$$

式 (13-23) 表示编程电压 V_P 越高则可获得更大的阈电压差。而且 ΔV_T 将随两个栅间的耦合电容 C_{FG} 的加大而增加。图 13-42 中给出阈电压变化与编程电压的关系。图 13-43 中给

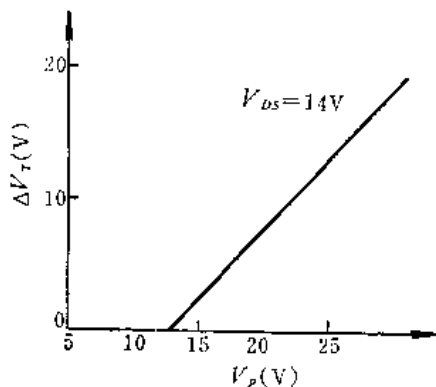


图13-42 ΔV_T 和 V_P 的关系

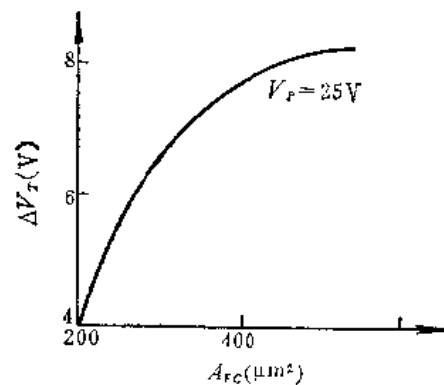


图13-43 阈电压差与耦合电容之关系

出同样编程电压下, 叠栅间耦合电容 (与叠栅面积 A_{FC} 成正比) 对阈电压变化的影响。

这一器件的擦除也是用紫外光照射实现的。

在 EAROM 中使用的 SIMOS 器件如图 13-44 中所示。它是在上面介绍的叠栅结构的基础上改进而成的, 其改进目的为了实现电可改写。它由两层叠栅组成, 下面是浮栅, 上面是控制栅。区别是它的浮栅不仅没有全部覆盖沟道区, 而且在沟道以外的源上面还有一小部分覆盖区。这一小覆盖区是为了擦除数据用的, 其下面的氧化层较薄, 约为 $400\sim 500\text{ \AA}$ 之间, 称为擦除覆盖区。控制栅除去全部覆盖了沟道区之外, 也覆盖了擦除区, 见俯视图。

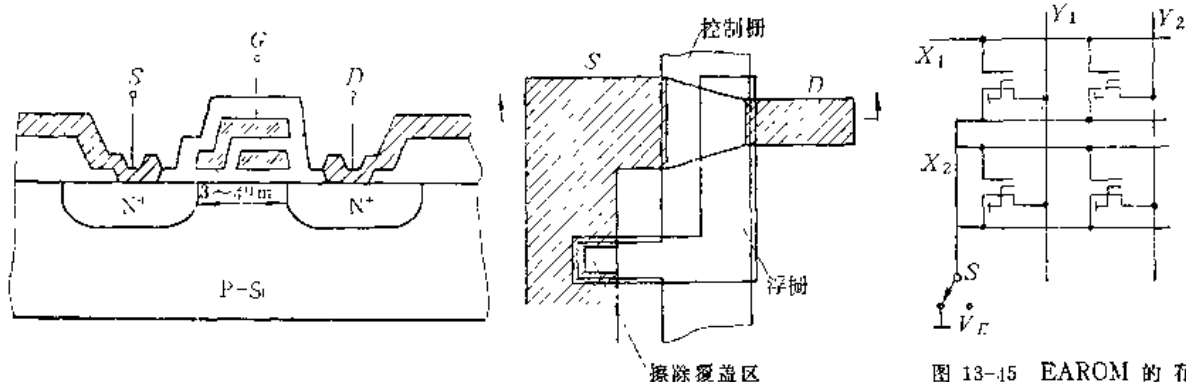


图13-44 EAROM用的SIMOS器件

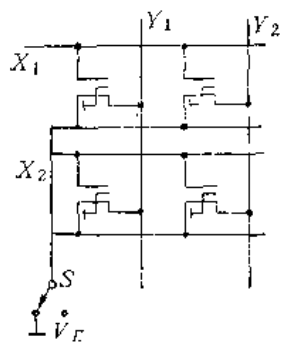


图 13-45 EAROM 的存储矩阵

图 13-45 中给出由 SIMOS 器件组成的存储矩阵。图中 X 选择线接控制栅, Y 选择线接漏, 全部的源接地电位 (写入时), 或接擦除电位 V_E (擦除时)。

这一存储器的工作过程如下。在编程序时, 全部器件的源接地, 被选单元的控制栅和漏接足够大的编程电压, 它使沟道中产生可以越过二氧化硅-硅势垒的热电子, 其在正的控制栅电压下注入到浮栅中去。漏斗形的沟道可以增加漏附近的电流密度, 提高注入效率。如果浮栅中没有电荷时, 控制栅的等效阈电压为 $V_{T0}=1\text{V}$, 则在编程写“1”后, 浮栅中被电荷注入, 控制栅的等效阈电压将变为 $V_{T1}=10\text{V}$ 。所以在读出时, 只要在 X 选择线 (即控制栅) 上加以读出电压 V_R , 并满足 $V_{T0} < V_R < V_{T1}$ (例如 $V_R=5\text{V}$), 就可以区别出存储器中所存的数据了。

擦除可以用两种机构完成。即中和掉浮栅中的电荷或将浮栅中的电子发射出来。前者只要使控制栅为零, 将源或漏加以擦除电压, 使雪崩倍增产生的空穴注入浮栅即可。后者是利用 Fowler-Nordheim 发射将浮栅中电子直接发射到源或漏中去。通常这一机构更为有效。为了方便地实现这一发射, 所以把擦除覆盖区上的氧化层做得很薄, 在 30V 左右就可以开始电子发射。

擦除的方式可以一次全部擦除, 也可以逐字选择擦除。一次擦除时只要选择栅 (即 X 线) 全部为零, 矩阵中全部 SIMOS 管的源接擦除电压即可完成。当选择擦除时, 则仅使被选字线上为零, 其他字线为 25V 。擦除电压通过 Y 译码器加到被选单元的漏上, 通过 X 、 Y 选择线的交叉重合, 实现选择擦除。为了防止该行中未选单元中产生沟道电流, 公共源在选择擦除时要悬浮。

由于这种电学擦除方法不象光学方法可以达到“白平衡”, 所以可能造成“过擦除”, 即浮栅中荷正电。这样会导致浮栅下面的一部分沟道反型。为了保证对控制栅而言, 器件永

为增强型工作，故设计的浮栅不是全部覆盖沟道，而是部分覆盖，留下一部分由控制栅直接覆盖。这样就保证即使在过擦除的情况下，器件仍然可以增强型工作。

13.3.3 MNOS 可编程唯读存储器

MNOS 器件的结构如图 13-46 所示。它的介质是由两种材料，即二氧化硅和氮化硅组成。其二氧化硅厚度只有几十埃甚至十几埃。氮化硅的厚度为几百埃。它是利用电子的隧道效应穿透薄二氧化硅层，然后被陷在两种介质界面上及介质内陷阱中的性质，实现在栅中存储电荷以改变阈电压的效应，来存储数据的。

MNOS 器件的工作原理如下。当衬底和栅接地、源和漏接负电位时，使漏结处发生表面击穿。由此产生的雪崩电流使栅下面衬底的电位与漏源一样。这样，衬底中的电子由于隧道效应而通过薄二氧化硅层进入氮化硅，存储在陷阱内。由于栅介质中有了负电荷，使阈电压向正方向移动，通常这过程称为写“0”。相反，当源和漏为地电位，栅为负电位时，电子从栅介质中发射到衬底，阈电压向负方向移动，称为写“1”。表示这两种情况下

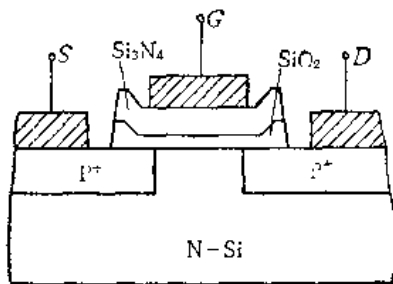


图13-46 MNOS管

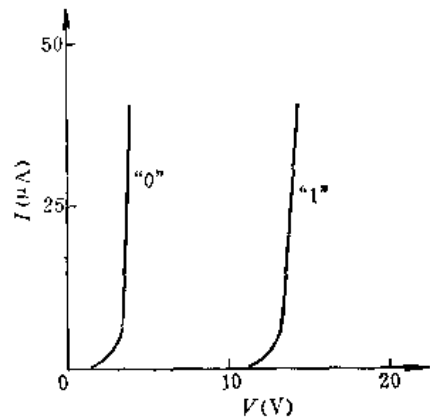


图13-47 在“1”和“0”状态下，MNOS管的伏-安特性

的器件伏-安特性在图 13-47 中给出。这两种状态下的阈电压差称为“阈电压窗口”。

由 MNOS 器件组成 EAROM 的存储矩阵如图 13-48 所示。每个存储单元由三只管子组成：中间是 MNOS 管，两边各串联一个普通 MOS 管。它们的栅并联接至 X 译码器，做为选择控制管。例如要将第 (1, 2) 单元写“0”，需要使 X_1 , S_2 , D_2 线为负电位 ($-35V$)，其他各线接地。这样第 (1, 2) 单元中的两支 MOS 管 (P 沟道) 导通，使该

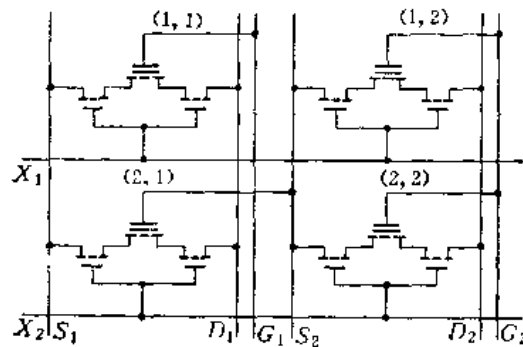


图13-48 MNOS组成的存储矩阵

单元中的 MNOS 管的源和漏分别与 S_2 和 D_2 线接通。因为 G_2 为地，所以产生雪崩注入电子进入氮化硅中，阈电压向正方向移动，写入“0”。如要写“1”，则把 X_1 如 G_2 线负偏置，其余各线接地。这时第 (1, 2) 单元中的 MNOS 管与 S_2 和 D_2 线接通，为电位。栅中被陷电子通过隧道效应发射到硅底中去，阈电压向负方向移动，写入“0”。读出时，只要在 X_1 线加负电压使 MOS 管导通，在 G_2 线上加以读出电压（它的数值在存“0”阈电压和存“1”阈电压之间），即可读出相应的信号。其读、写工作波形如图 13-49 所示。

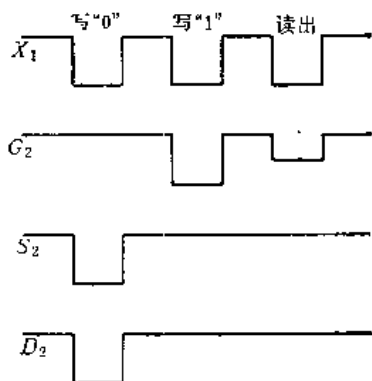


图13-49 EAROM的读、写工作波形

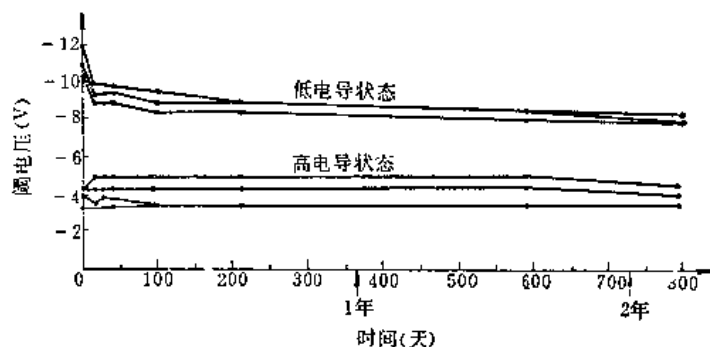


图13-50 MNOS管的保持特性

MNOS 器件的电荷保持特性可以用阈电压窗口的衰减来表示。图 13-50 中给出了它的保持特性的曲线。此外，MNOS 管在使用中由于反复写入、擦除，将导致阈电压窗口的衰减。这一经受擦写循环次数多少的能力称为耐久性。目前 MNOS 管可经受的擦写循环为 10^6 次。

也有用三氧化二铝-二氧化硅双层介质构成的 MAOS 器件组成 EAROM，其原理与 MNOS 类似，不予赘述。

可编程唯读存储器，它的用途很广，用量也大。特别是在探索半导体非易失性 RAM 的研究中，是一种很受重视的存储器。它的发展主要是以下几方面的问题。

1. 电荷积累特性。就是要求用较低的能量使栅中（浮栅或复合栅）积累较多的电荷，以降低写入能量，提高写入速度和效率。

2. 电荷保持特性。要求已经累积在栅中的电荷能够尽量长地保持不泄漏，以此实现数据的不易失性。

3. 电荷去除特性。即擦除时也不需要过高的能量，而且最好是电学方法，方便易行。

4. 使用的耐久性。要能经受多次写入、读出、擦除的循环，器件性能（主要反映在阈电压窗口上）也不退化。

比较 FAMOS 和 MNOS 两种结构。由于前者浮栅下面的二氧化硅层较厚，故写入能量较高，写入速度较慢。但是信息保持的时间较长。又由于可以采用硅栅自对准工艺，故可以获得较快的读出速度，与普通 MOS 管相近。后者由于二氧化硅层薄，因之写入电压低，写入速度也较快。但是信息保持时间不如前者长，而且因不易于采用自对准技术故读出速度也较慢。特别是耐久性也比前者要低四、五个数量级。

参 考 资 料

- [1] G. Luecke, J. P. Mize and W. N. Garr, «Semiconductor Memory Design and Application», McGraw-Hill Book Company, 1973.
- [2] W. N. Garr and J. P. Mize, «MOS/LSI Design and Application», McGraw-Hill Book Company, 1972.
- [3] S. C. Lee, «Digital Circuits and Logic Design», Prentice-Hall, 1976.
- [4] W. M. Regitz and J. A. Karp, "Three Transistor-Cell 1024-Bit 500ns MOS RAM", IEEEJ. SC-5, No.5, 1970.
- [5] 北京大学仪器厂, 《电子数字计算机原理》, 第一册, 科学出版社, 1975.
- [6] K. U. Stein and H. Friedrich, "A 1-Mil² Single-Transistor Memory Cell in n-Silicon-Gate Technology", IEEE J., SC-8, No.5, 1973.
- [7] D. F. Bentchenkowsky, "FAMOS-A New Semiconductor Charge Storage Device", Solid-State Electronics, Vol. 17, No.6, 1974.
- [8] A. Scheible and H. Schulte, "Technology of A New n-Channel One-Transistor EAROM Cell Called SIMOS", IEEE Trans., ED-24, No.5, 1977.
- [9] B. Rössler, "Electrically Erasable and Reprogrammable Read-Only Memory Using the n-Channel SIMOS One-Transistor Cell", IEEE Trans. ED-24, No.5, 1977.
- [10] R. G. Müller, H. Nistach, B. Rössler and E. Woleter, "An 8192 bit Electrically Alterable ROM Employing a One Transistor Cell with Floating Gate", IEEE J., SC-12, No.5, 1977.
- [11] Y. Hsieh, "MNOS LSI Memory Device Data Retention Measurements and Projection", IEEE Trans., ED-24, No.5, 1977.

第四篇 模拟集成电路

模拟集成电路是继数字集成电路之后迅速发展着的另一类型集成电路,开始称为线性集成电路。随着各种类型电路的不断发展,这种命名就显得不那么确切。1967年国际电气技术委员会(IEC)正式提出了模拟集成电路的概念,它把数字集成电路以外的电路统称为模拟集成电路,而把模拟集成电路又区分为线性集成电路和非线性集成电路两大类。

所谓模拟集成电路,就是具有对模拟量进行放大、运算以及变换功能的集成电路。模拟量是指变化着的物理量,如电路系统中的电压和电流等。线性和非线性一般主要以输出和输入信号之间的关系来区分。通常把输出信号和输入信号的变化成线性关系的集成电路,称为线性集成电路,如运算放大器、音频、中频及宽频带放大器等。把输出信号和输入信号的变化不成线性关系的集成电路,称为非线性集成电路,如模拟乘法器、比较器、电压调整器等。

由于模拟集成电路品种繁多,线路复杂,而且同数字集成电路相比,电源电压高(通常大于12V),电路中重复单元少,加之工艺的限制,制造电感、大电容、大电阻以及性能良好的PNP管都比较困难,因此,模拟集成电路的发展落后于数字集成电路。然而,近几年来由于集成工艺水平的提高,电路设计技术的不断改进,模拟集成电路已获得较大的进展。当前,模拟集成电路在计算机、控制系统、雷达、电视、通讯以及各种测量系统等设备中已得到广泛的应用,它正朝着高性能、多功能、大规模的方向发展。近年来在工艺结构上已由原来单一的双极型集成而发展了相容工艺,如双极-MOS相容和双极- I^2L 相容等,以及数字、模拟兼有的单片集成电路,如A/D、D/A转换等。

本篇不一一介绍各种模拟集成电路,而是以发展较成熟、应用较多的线性集成运算放大器作为主要内容。在第十四章中,先扼要介绍差分放大器的基本特性,而重点是分析集成运算放大器典型的单元电路,此外,也介绍作为内部偏置的基准电压和电压源电路,以及可用于鉴频、检波等的模拟乘法电路。在第十五章中主要以三代通用型集成运算放大器为例,着重分析电路的特性。在第十六章中主要介绍集成运算放大器有关版图设计和工艺设计方面的问题。

第十四章 模拟集成电路中的基本电路

14.1 模拟集成电路基础——差分放大器

14.1.1 差分放大器的小信号特性

基本的差分放大电路如图14-1所示。 R_{c1} 和 R_{c2} 分别是 T_1 和 T_2 晶体管的负载电阻, R_e 是射极公共电阻。①、②是信号输入端, Δv_{i1} 和 Δv_{i2} 分别是 T_1 和 T_2 的输入信号;③、

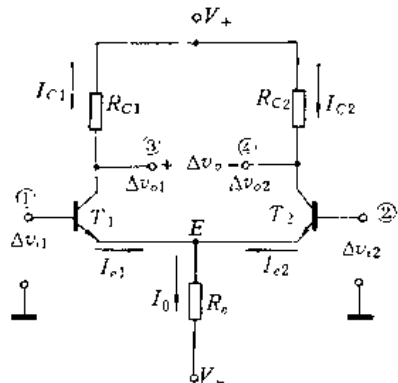


图14-1 差分放大电路

④是输出端， Δv_o 是输出信号， $\Delta v_o = \Delta v_{o1} - \Delta v_{o2}$ 。为使输入端可工作于零电平输入，采用了正、负电源供电。为了分析的简化，假定信号源内阻忽略不计，同时假设电路的结构是完全对称的： $R_{C1} = R_{C2} = R_C$ ， T_1 和 T_2 的参数完全一样。

一、输入差模信号 $\Delta v_{i1} = -\Delta v_{i2} = -\frac{1}{2}\Delta v_{id}$

从图14-1可见，在输入差模信号时，两晶体管的电流将向相反方向变化。由于输入信号是大小相等，方向相反，在一个管子的发射极电流增加时，而另一个管子的发射极电流则减少，在电路完全对称的条件下，增加的和减少的量彼此相等，所以流过 R_E 上的电流 I_0 将维持不变， E 点电位也恒定不变，也即 R_E 上没有由于差模信号作用引起的电压变化。这就是说，在差模信号作用下， E 点相当于接地（称为虚地点）。这样可画出在差模信号作用时的简化电路如图14-2（a）所示。它说明公共电阻 R_E 对差模信号是不起任何作用的。

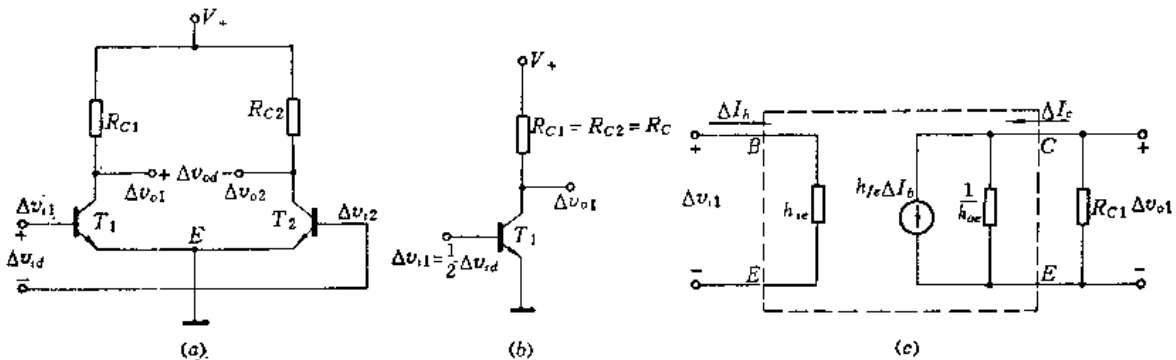


图14-2 差模电路

（a）差模等效电路；（b）差模单管电路；（c）简化的 h 参数等效电路。

从图14-2（a）可见，由 T_1 、 T_2 组成的差分放大电路是最简单的共发射极放大电路，考虑到电路的完全对称性，可用单管电路来计算每一边的电路参数。差模单管电路如图14-2（b）所示。根据图14-2（b）电路，利用简化的晶体管 h 参数等效电路，就能直接写出差模单管时的电路参数。简化的 h 参数等效电路如图14-2（c）所示。图中

h_{fe} 是共射短路电流放大系数, $h_{fe} \approx \beta$;

h_{oe} 是共射开路输出电导, $\frac{1}{h_{oe}} = r_{oe}$;

h_{ie} 是共射短路输入电阻,

$$h_{ie} = r_{bb} + (1 + \beta)r_e \approx \beta r_e \quad (14-1)$$

$$r_e = \frac{kT}{qI_{e1}} = \frac{V_T}{I_{e1}} \quad \left(V_T = \frac{kT}{q} \approx 26 \text{ mV}; \text{ 常温下} \right)$$

从图14-2(c)可直接写出单管共射放大电路的电压增益 K_v (有时称为电压放大倍数) 和输入电阻 R_{in} 、输出电阻 R_{out} 为:

$$K_v = \frac{\Delta v_{o1}}{\Delta v_{i1}} = - \frac{\beta(R_C // r_{oe})}{h_{ie}} \quad (14-2)$$

$$R_{in} = h_{ie} \approx \beta r_e = \frac{\beta V_T}{I_{e1}} \approx \frac{V_T}{I_{b1}} \quad (14-3)$$

$$R_{out} = R_C // r_{oe} \approx R_C \quad (14-4)$$

则差模单端输出的电压增益 K_{v1d} 为:

$$K_{v1d} = \frac{\Delta v_{o1}}{\Delta v_{id}} = \frac{1}{2} \cdot \frac{\Delta v_{o1}}{\Delta v_{i1}} = - \frac{1}{2} \frac{\beta(R_C // r_{oe})}{h_{ie}}$$

一般 $r_{oe} \gg R_C$, 所以

$$K_{v1d} \approx - \frac{1}{2} \frac{\beta R_C}{h_{ie}} \approx - \frac{1}{2} \frac{R_C}{r_e} \quad (14-5)$$

从上式可见, 差模单端输出的电压增益只有单管共射电路电压增益的一半。

在差动输出时, 其差模电压增益 K_{vd} 为:

$$K_{vd} = \frac{\Delta v_{od}}{\Delta v_{id}} = \frac{\Delta v_{o1} - \Delta v_{o2}}{\Delta v_{i1} - \Delta v_{i2}} \approx - \frac{R_C}{r_e} \quad (14-6)$$

从上式可见, 差动输入差动输出时其电压增益与一般单管共射电路的电压增益相同。很容易看出, 在双端差动时的输入、输出电阻, 应是单管时的两倍, 即

$$R_{ind} = 2R_{in} \approx \frac{2\beta V_T}{I_{e1}} = \frac{4\beta V_T}{I_0} \quad (14-7)$$

$$R_{outd} = 2R_{out} \approx 2R_C \quad (14-8)$$

二、输入共模信号 $\Delta v_{i1} = \Delta v_{i2} = \Delta v_{is}$

从图14-1可见, 在输入共模信号时, 两管的电流将有同样的变化; 当输入信号上升时, I_{e1} 、 I_{e2} 同样增大; 当输入信号下降时, I_{e1} 、 I_{e2} 同样减小。由于电路是对称的, 总有 $I_{e1} = I_{e2}$, 而流过

R_e 的电流为 $I_0 = I_{e1} + I_{e2} = 2I_{e1} = 2I_{e2}$

R_e 上的压降 $v_e = I_0 R_e = I_{e1} \cdot 2R_e = I_{e2} \cdot 2R_e$

若把 v_e 看成 I_{e1} (或 I_{e2}) 在 $2R_e$ 上的压降, 这样可把图14-1电路改画成图14-3(a)的形式。考虑到电路是对称的, 当共模信号作用时, 管子电流的变化将引起电路中对称点的电位同时升高或降低, 电路中对称点的电位将始终保持相等 (如 $v_{e1} = v_{e2}$)。这时连接对称点 (e_1 、 e_2) 的导线上将没有电流, 即 $i_z = 0$, 可看成开路的。这样可把共模双管电路简化成共模

单管电路, 如图14-3(b)所示。

综上所述, 射极公共电阻 R_e , 对于共模信号, 相当于 $2R_e$ 的负反馈作用, 即 R_e 对共模信号有较强的抑制作用。

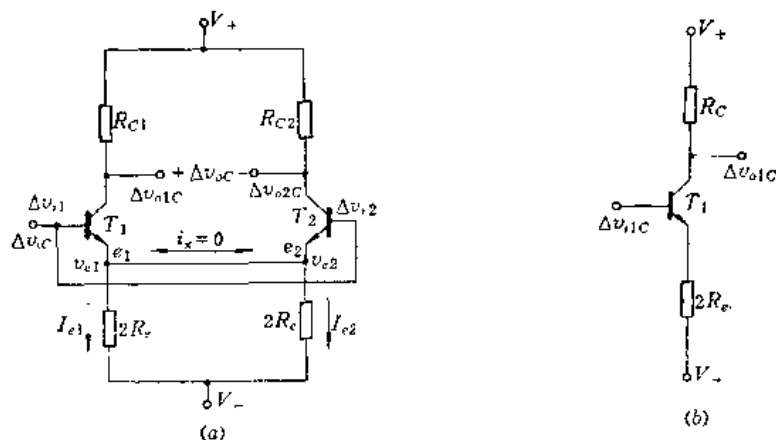


图14-3 共模电路

(a) 共模等效电路; (b) 共模单管电路。

根据图14-3(b)电路, 可以直接写出在共模信号作用下的电路参数。共模单管的电压增益 K_{v1c} 为:

$$K_{v1c} = \frac{\Delta v_{o1c}}{\Delta v_{i1c}} \approx - \frac{\beta R_C}{(r_e + 2R_e)(1 + \beta)} \quad (14-9)$$

共模双端输出时的共模电压增益为:

$$K_{v_e} = \frac{\Delta v_{oe}}{\Delta v_{ie}} = \frac{\Delta v_{o1c} - \Delta v_{o2c}}{\Delta v_{i1c}} = 0 \quad (14-10)$$

上式说明, 在电路完全对称的情况下, 双端输出共模电压增益为零。当考虑实际电路的不对称时, $K_{v_e} \neq 0$ 。这个问题将在后面讨论。

三、共模抑制比 (CMRR)

从上面分析可知, 差分放大器对差模信号的电压增益与单管共射电路相同; 对共模信号始终存在着 $2R_e$ 的负反馈作用, 使电压增益显著下降, 当电路完全对称时, 共模电压增益 $K_{v_e} = 0$ 。这说明差分放大器有抑制共模信号的能力。习惯上用“共模抑制比”这个参数来描述共模抑制能力的大小。它定义为放大器对差模信号的电压增益与对共模信号的电压增益之比。用 CMRR 来表示, 即

$$\text{CMRR} = \frac{K_{v_d}(\text{差模增益})}{K_{v_e}(\text{共模增益})} \quad (14-11)$$

通常共模抑制比的大小用分贝 (dB) 数表示, 即

$$\text{CMRR}_{\text{dB}} = 20 \log \frac{K_{v_d}}{K_{v_e}} \quad (\text{单位: dB}) \quad (14-12)$$

当电路完全对称时, 电路的共模增益 $K_{v_e} = 0$, $\text{CMRR} \rightarrow \infty$ 。一般情况下, 电路不可能完全对称, 差分电路双端输出的共模抑制比完全取决于电路参数不对称的程度。为了提高电路的共模抑制比, 一方面要使电路的参数尽量对称, 另一方面尽可能地加大射极公共电阻 R_e 。在不对称的情况下, R_e 越大, 共模抑制比也越大。但 R_e 太大, 会影响合适的工作点, 以及引起电源电压 V_{cc} 的提高, 增大了电路的功耗。因此, 在集成电路中, 常用晶

体管恒流源代替射极公共电阻 R_e ，以获得较大的共模抑制比。其具体电路将在后面讨论。

14.1.2 差分放大器的传输特性

前面讨论了差分放大器在小信号作用下的工作特性。当输入信号较大时，就需要用传输特性来分析放大器的工作特性。

图14-4所示电路是一个考虑了提高共模抑制比而采用恒流源电路的差分放大器。图中：恒流源电流 $I_0 = I_{e1} + I_{e2}$ ； v_{i1} 、 v_{i2} 为差分对管 T_1 、 T_2 的基极输入电压； V_{BE1} 、 V_{BE2} 为 T_1 、 T_2 管基-射极电压，并且

$$V_{BE1} - V_{BE2} = v_{i1} - v_{i2}$$

利用三极管 BE 结的结电压 V_{BE} 与发射极电流 I_e 之间的基本关系式，可以求出差分放大器的输入-输出特性（传输特性）。对一个晶体管，当不考虑 BC 结的作用时， BE 结的电压 V_{BE} 与发射极电流 I_e 之间有如下关系：

$$I_e = I_{ES}(e^{V_{BE}/V_T} - 1) \approx I_{ES}e^{V_{BE}/V_T} \quad (14-13)$$

式中 I_{ES} 是发射结反向饱和电流。

对于 T_1 、 T_2 两个管子，可分别写出：

$$\left. \begin{aligned} I_{e1} &= I_{ES1}e^{V_{BE1}/V_T} \\ I_{e2} &= I_{ES2}e^{V_{BE2}/V_T} \end{aligned} \right\} \quad (14-14)$$

设两管特性相同，则可假定两个管子的 BE 结反向饱和电流相等， $I_{ES1} = I_{ES2} = I_{ES}$ ，并考虑到 $I_0 = I_{e1} + I_{e2}$ ，则可写出：

$$I_0 = I_{e1} + I_{e2} = I_{e1}[1 + e^{(v_{i1} - v_{i2})/V_T}] \quad (14-15)$$

所以

$$I_{e1} = \frac{I_0}{1 + e^{(v_{i1} - v_{i2})/V_T}} \quad (14-16)$$

同理

$$I_{e2} = \frac{I_0}{1 + e^{(v_{i1} - v_{i2})/V_T}} \quad (14-17)$$

利用集电极电流 $I_c = \alpha I_{e1}$ ，可以写出

$$I_{c1} = \frac{\alpha I_0}{1 + e^{(v_{i1} - v_{i2})/V_T}} \quad (14-18)$$

$$I_{c2} = \frac{\alpha I_0}{1 + e^{(v_{i1} - v_{i2})/V_T}} \quad (14-19)$$

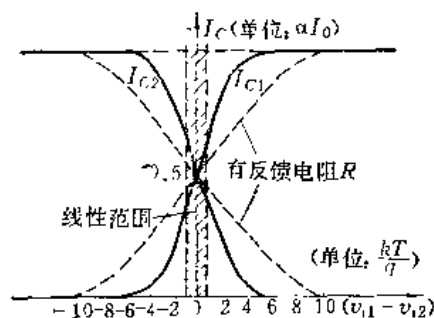


图14-5 传输特性曲线

由式 (14-18)、(14-19) 可画出差分放大器的输入电压与输出电流的传输特性曲线，如图14-5所示。由此传输特性曲线可以看出以下几点：

(1) 当输入信号 $(v_{i1} - v_{i2})$ 很大的负值时， T_1 的集电极电流 $I_{c1} = 0$ ，而 T_2 的 I_{c2} 最大，且等于 αI_0 。输入电压逐渐升高时， I_{c1} 逐渐上升， I_{c2} 逐渐下降。在 $v_{i1} = v_{i2}$ 时，两管处于平衡状态，每个管子流过的电流为

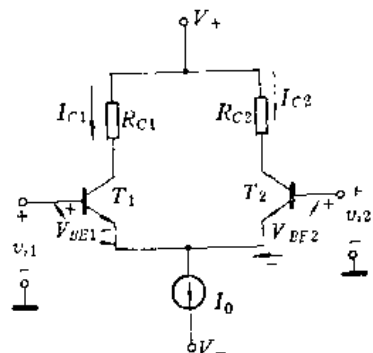


图14-4 差分放大电路

$-\frac{1}{2}(\alpha I_0)$ 。当输入信号是很大的正值时, I_{e1} 达到最大值, I_{e2} 降到零。在整个 $(v_{i1}-v_{i2})$ 的变化范围内, 始终有 $I_{e1}+I_{e2}=\alpha I_0$ 。

(2) 输入电压 $(v_{i1}-v_{i2})$ 在零附近, 传输特性是线性的。这段范围就是通常小信号输入时差分放大器的线性放大范围, 一般在 $\pm \frac{kT}{q} \approx \pm 25\text{mV}$ 左右。即输入信号小于 50mV (峰-峰值) 时, 输出与输入可保持线性关系。

(3) I_{e1} 从零到最大值的区域(或 I_{e2} 从最大值到零的区域), 仅为 $\pm 4 \frac{kT}{q} = \pm 100\text{mV}$ 左右。输入电压超过此范围, I_{e1} 、 I_{e2} 就基本上恒定不变了。

(4) 由于整个传输特性是非线性曲线, 因此, 可以利用差分放大器作限幅、检波、变频等非线性变换。

(5) 传输特性曲线的斜率称为跨导, 用符号 g_m 表示, 即

$$g_m = \frac{dI_e}{d(v_{i1}-v_{i2})} = \frac{\alpha I_0 e^{(v_{i1}-v_{i2})/V_T}}{V_T [1 + e^{(v_{i1}-v_{i2})/V_T}]^2} \quad (14-20)$$

注意, I_e 为单管电流, 所以它只表示单端输出时差分电路的跨导。上式表明, 跨导 g_m 是输入电压的函数, 当 $v_{i1}-v_{i2}=0$ 时, 得单端输出时的最大跨导

$$g_{m\max} = \left. \frac{dI_e}{d(v_{i1}-v_{i2})} \right|_{v_{i1}-v_{i2}=0} = \frac{\alpha I_0}{4V_T} \approx 10I_0 \quad (14-21)$$

其中 I_0 的单位是 mA, g_m 的单位是毫姆欧 (m Ω)。

在双端输出时的最大跨导为:

$$g_{m\max} = \frac{\alpha I_0}{2V_T} \approx 20I_0 = 2g_{m\max} \quad (14-22)$$

从上两式可见, 增大 I_0 , 可增大 g_m 。若利用跨导的概念来表示差分放大器的电压增益, 则式 (14-5)、(14-6) 可改写为:

$$K_{vd} = -\frac{R_c}{r_e} = -g_{m\max} R_c \quad (14-23)$$

$$K_{v1d} = -\frac{1}{2} g_{m\max} R_c = -g_{m\max} R_c \quad (14-24)$$

(6) 当输入信号较大超出线性范围时, 可改进电路以展宽线性范围。通常利用负反馈展宽线性范围, 如图14-6所示。它是在 T_1 、 T_2 的发射极上分别串入一个小电阻 R 。 R 对差模信号要产生负反馈作用, 传输特性曲线的斜率将随着 R 的加大而减小, 但线性区域的范围加宽, 集电极电流从零到最大值的过渡区域也增大, 如图14-5中的虚线所示。

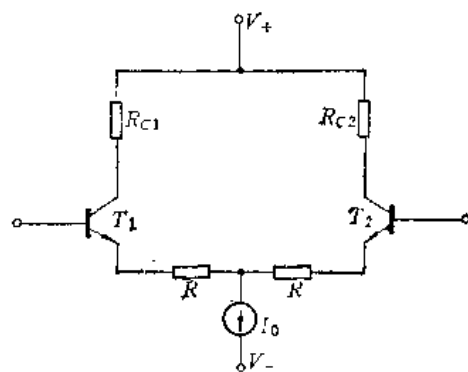


图14-6 利用负反馈展宽线性范围

14.1.3 差分放大器的不对称性

在以上讨论中, 尚未涉及到差分放大器不对称性的影响, 下面将讨论这一问题。一个实际的差分放大器, 它的两侧不可能完全对称。电路的不对称除了对共模抑制比有影响外, 还对电路的直流工作状态和温度漂移有很大的影响, 即影响放大器的失调和温漂。所谓失

调, 就是一个理想的差分放大器, 当两输入端没有信号输入时, 两个输出端之间的输出电压应为零。实际上, 由于不对称性的存在, 两输出端之间的输出电压并不为零。这种零输入时输出不为零的现象, 称为放大器的失调。对于用分立元件构成的差分放大器, 这种不对称性的影响是很可观的, 使分立元件差分放大器的应用受到了限制, 而对集成的差分放大器来说, 可大大地改善这种不对称性, 使电路性能得到很大的提高。下面将通过对不对称性的分析, 指出元件不对称对参数的影响, 以便版图设计中加以考虑。在表14-1中, 我们列举了集成电路中各种元件的误差范围, 以供读者参考。

表14-1 集成电路中元件误差范围

元 件 名 称	符 号	典 型 范 围	误 差	温 度 系 数
NPN晶体管电流增益	β	10~200	$\pm 50\%$	$+0.5\%/^{\circ}\text{C}$
邻近晶体管 β 的误差	$\Delta\beta$		$\pm 10\%$	$\pm 0.05\%/^{\circ}\text{C}$
小电流基-射结电压	V_{BE}	0.7 V	$\pm 3\%$	$-2\text{mV}/^{\circ}\text{C}$
邻近晶体管 V_{BE} 的误差	ΔV_{BE}		$\pm 2\text{mV}$	$\pm 10\mu\text{V}/^{\circ}\text{C}$
基区电阻	R	50 Ω ~100 k Ω	$\pm 20\%$	$+0.2\%/^{\circ}\text{C}$
邻近基区电阻的误差	ΔR		$\pm 3\%$	$\pm 0.005\%/^{\circ}\text{C}$
NPN射极结击穿电压	BV_{EB}	6~9 V	$\pm 30\%$	$0\sim+3\text{mV}/^{\circ}\text{C}$
NPN集电极击穿电压	BV_{CB}	25~120 V	$\pm 30\%$	
NPN集-基片击穿电压	BV_{CS}	25~150 V	$\pm 25\%$	
MOS电容	C_m	0.5~50 pF	$\pm 20\%$	
扩散电容	C_D	0.5~20 pF	$\pm 25\%$	
邻近电容的误差	ΔC		$\pm 3\%$	
横向PNP管电流增益	β_P	0.5~20	$\pm 50\%$	$+0.5\%/^{\circ}\text{C}$
邻近横向PNP管 β_P 之误差	$\Delta\beta_P$		$\pm 15\%$	
沟道电阻	R	5 k Ω ~1 M Ω	$\pm 100\%$	$+0.1\%/^{\circ}\text{C}$
邻近沟道电阻误差	ΔR		$\pm 3\%$	$\pm 0.0003\%/^{\circ}\text{C}$

一、差分放大器不对称时的共模抑制比

如图14-1所示的差分放大电路, 两边不对称如表14-2所示。当输入共模信号时, 可以

表 14-2

	负 载 电 阻	电 流 增 益	射 极 电 阻
T_1 管	R_C	β	r_e
T_2 管	$R_C + \Delta R_C$	$\beta \pm \Delta\beta$	$r_e \pm \Delta r_e$

分别写出单端输出的近似电压增益为:

$$K_{vc_1} = \frac{\Delta v_{o_1}}{\Delta v_{i_0}} \approx - \frac{\beta R_C}{(1 + \beta)(r_e + 2R_e)}$$

$$K_{vc2} = \frac{\Delta v_{os2}}{\Delta v_{ie}} \approx - \frac{(\beta \pm \Delta\beta)(R_e \pm \Delta R_e)}{(1 + \beta \pm \Delta\beta)(r_e \pm \Delta r_e + 2R_e)}$$

令 $K = \frac{\beta R_e}{(1 + \beta)(r_e + 2R_e)}$, 把 K_{vc2} 表示成

$$K_{vc2} = -[K - \Delta K(\beta, R_e, r_e)]$$

即 $K_{vc2} = -\left\{K - K\left[-\frac{\Delta\beta}{(1 + \beta)\beta} + \frac{\Delta R_e}{R_e} + \frac{\Delta r_e}{(r_e + 2R_e)}\right]\right\}$

若近似设 $R_e \gg r_e$, 则由上面式子可得到共模双端输出的电压增益 K_{vc} 为:

$$K_{vc} = \frac{\Delta v_{os1} - \Delta v_{os2}}{\Delta v_{ie}} \approx - \frac{R_e}{2R_e} \left[\frac{\Delta\beta}{(1 + \beta)\beta} + \frac{\Delta R_e}{R_e} + \frac{\Delta r_e}{2R_e} \right] \quad (14-25)$$

从上式可见, 由于元件不对称, 双端输出的共模电压增益并不为零。考虑到电路的不对称性, 共模抑制比可改写为:

$$CMRR = \frac{K_{vd}}{K_{vc}} \approx \frac{2R_e}{r_e} \cdot \frac{1}{\frac{\Delta\beta}{(1 + \beta)\beta} + \frac{\Delta R_e}{R_e} + \frac{\Delta r_e}{2R_e}} \quad (14-26)$$

从式 (14-26) 可知, 要提高共模抑制能力, 除了尽量设法使差分两侧各特性一致外, 还可设法提高对共模信号起负反馈作用的射极电阻 R_e 。前面已经指出, 在集成电路中均采用恒流源来代替 R_e , 因此, 它在不增加电源电压的前提下, 可获得很大的动态电阻, 以增大共模抑制比。除此之外, 有时在电路上也采用共模负反馈的方法来提高共模抑制能力。

二、差分放大器的失调

差分放大器的失调一般用输入失调电压和输入失调电流来表示。当输入信号为零时, 由于差分放大器的不对称, 输出电压并不为零, 这个不为零的输出直流电压折算到输入端就称为输入失调电压 V_{os} , 可表示为:

$$V_{os} = \frac{V_{e1} - V_{e2}}{|K_{v1}|} \quad (14-27)$$

如图 14-1 所示的差分放大器, T_1 、 T_2 管集电极电压可表示为:

$$V_{e1} = V_+ - \alpha_1 I_{e1} R_{e1} \quad (14-28)$$

$$V_{e2} = V_+ - \alpha_2 I_{e2} R_{e2} \quad (14-29)$$

影响 $V_{e1} \neq V_{e2}$ 的因素显然是上两式中有关参数的不对称, 把这种差异列于表 14-3 中, 重写

表 14-3

	共基极电流增益	射极电流	负载电阻
T_1 管	α	I_e	R_e
T_2 管	$\alpha = \Delta\alpha$	$I_e \pm \Delta I_e$	$R_e \pm \Delta R_e$

式 (14-28)、(14-29) 如下:

$$V_{e1} = V_+ - \alpha I_e R_e \quad (14-30)$$

$$V_{e2} = V_+ - (\alpha + \Delta\alpha)(I_e + \Delta I_e)(R_e + \Delta R_e) \quad (14-31)$$

由于这种不对称, 输出失调电压 V'_{os} 为:

$$V'_{os} = V_{e1} - V_{e2} \approx \alpha I_e R_e \left(\frac{\Delta \alpha}{\alpha} + \frac{\Delta I_e}{I_e} + \frac{\Delta R_e}{R_e} \right) \quad (14-32)$$

把 V'_{os} 折算到输入端, 即为输入失调电压

$$V_{os} = \frac{V'_{os}}{|K_v|} \approx V_T \left(\frac{\Delta \alpha}{\alpha} + \frac{\Delta I_e}{I_e} + \frac{\Delta R_e}{R_e} \right) \quad (14-33)$$

其中

$$\frac{\Delta \alpha}{\alpha} = -\frac{\Delta \beta}{(1 + \beta)\beta} \approx -\frac{\Delta \beta}{\beta^2} \quad (14-34)$$

$$\Delta I_e = I_e \left(\frac{\Delta I_{ES}}{I_{ES}} + \frac{\Delta V_{BE}}{V_T} \right) \quad (14-35)$$

把式 (14-34)、(14-35) 代入式 (14-33) 有:

$$V_{os} = V_T \left(\frac{\Delta \beta}{\beta^2} + \frac{\Delta R_e}{R_e} + \frac{\Delta I_{ES}}{I_{ES}} \right) + \Delta V_{BE} \quad (14-36)$$

从式 (14-36) 可知, 引起输入失调电压的因素有四个方面: 电流增益不对称 ($\Delta \beta$), 发射结反向饱和电流不对称 (ΔI_{ES}), 集电极负载电阻不对称 (ΔR_c), 以及基-射极正向电压不对称 (ΔV_{BE})。其中以 ΔV_{BE} 的影响最大。 β 的不对称从直接影响来看较小 (取 $\beta = 50$, $\frac{\Delta \beta}{\beta} = 10\%$, $\frac{\Delta \beta}{\beta^2} = 0.2\%$), 然而 β 的不同引起基流差异进而影响 ΔV_{BE} 的大小, 有时很可观。

为了减小输入失调电压, 可以采用如图 14-7 所示电路, 用调节电位器 R_w 来改变 T_1 、 T_2 管集电极负载电阻, 以调节 $\frac{\Delta R_e}{R_e}$ 数值来降低输入失调电压, 这称为集电极调零。

输入失调电流定义为: 使放大器输出电压等于零时, 两个基极注入的直流电流之差值, 用 I_{os} 表示。在图 14-1 所示电路中, 当 $V_{e1} - V_{e2} = 0$ 时, 有

$$I_{os} = I_{b1} - I_{b2} \quad (14-37)$$

根据图 14-1, 由 $V_{e1} = V_{e2}$, 则有:

$$\beta_1 (I_{b1} + I_{CB01}) R_{c1} = \beta_2 (I_{b2} + I_{CB02}) R_{c2} \quad (14-38)$$

由于差分放大器两侧各参数的不对称:

$$\beta_1 = \beta, \quad R_{c1} = R_c, \quad I_{CB01} = I_{CB0}$$

$$\beta_2 = \beta + \Delta \beta, \quad R_{c2} = R_c + \Delta R_c, \quad I_{CB02} = I_{CB0} + \Delta I_{CB0}$$

代入式 (14-38) 整理后可得:

$$I_{os} = I_{b1} - I_{b2} \approx I_b \left(-\frac{\Delta R_c}{R_c} + \frac{\Delta \beta}{\beta} \right) + \Delta I_{CB0} \quad (14-39)$$

其中近似取

$$I_b = \frac{1}{2} (I_{b1} + I_{b2})$$

显然, 输入失调电流除了与不对称因素 ($\Delta \beta$ 、 ΔR_c 、 ΔI_{CB0}) 有关外, 还正比于输入基流本身的大小。输入基流越小, 输入失调电流也越小。

输入失调电压和输入失调电流都反映了放大器的失调。我们可以这样来理解: 由于差

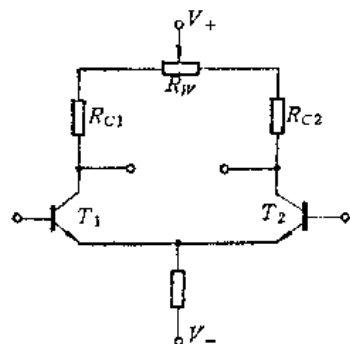


图 14-7 集电极调零

分放大器的不对称性, 故当输入不加信号时, 输出信号不为零。如果要使输出信号为零, 则对于信号源为恒压源 ($R_s = 0$) 情况下, 需在输入端施加一个补偿电压, 即为输入失调电压; 对于信号源为恒流源 ($R_s \rightarrow \infty$) 的情况下, 需在输入端补偿一个电流, 即为输入失调电流。实际的情况是信号源为一有限内阻值, 因此同时存在着失调电压和失调电流的影响。

三、差分放大器的温度漂移

对差分放大器来说, 固定的失调电压和失调电流并不影响放大器精度, 因为可以用调零装置进行预先调零。然而, 当温度发生变化时, 失调也就随之而变化, 一般来说, 调零装置难以追随。这种由于温度变化而引起的失调的漂移也是差分放大器的一个重要参量。

单位温度变化引起的输入失调电压的漂移, 称为输入失调电压温漂, 记作 $\frac{\Delta V_{os}}{\Delta T}$, 单位: $\mu\text{V}/^\circ\text{C}$ 。

由于 T_1 、 T_2 管做在同一块硅片衬底上, 先假设衬底温度均匀, 且衬底温度与环境温度的变化一致, 那么, 由式 (14-36) 可得:

$$\begin{aligned} \frac{\Delta V_{os}}{\Delta T} = & \frac{K}{q} \left[-\frac{\Delta \beta}{\beta(1+\beta)} + \frac{\Delta R_c}{R_c} + \frac{\Delta I_{ES}}{I_{ES}} \right] + V_T \frac{d}{dT} \left[-\frac{\Delta \beta}{\beta(1+\beta)} \right. \\ & \left. + \frac{\Delta R_c}{R_c} + \frac{\Delta I_{ES}}{I_{ES}} \right] + \frac{d}{dT} (\Delta V_{BE}) \end{aligned} \quad (14-40)$$

上式中第二项贡献较小, 约 $1 \mu\text{V}/^\circ\text{C}$, 可忽略, 故上式改写为:

$$\frac{\Delta V_{os}}{\Delta T} \approx \frac{K}{q} \left[-\frac{\Delta \beta}{\beta(1+\beta)} + \frac{\Delta R_c}{R_c} + \frac{\Delta I_{ES}}{I_{ES}} \right] + \frac{d}{dT} (\Delta V_{BE}) \quad (14-41)$$

如果衬底温度不均匀, 例如 T_1 管处温度为 T'_1 , T_2 管处温度为 T'_2 , 那么当环境温度变化时, 这两处温度变化也不一致, 也会引起 ΔV_{BE} 的变化, 因此式 (14-41) 中 $\frac{d}{dT} (\Delta V_{BE})$ 项可改写为:

$$\frac{d(\Delta V_{BE})}{dT} = \frac{\partial(\Delta V_{BE})}{\partial T'} + \frac{\partial V_{BE}}{\partial(\Delta T)} \frac{\partial(\Delta T)}{\partial T} \quad (14-42)$$

上式中, 第一项表示 ΔV_{BE} 本身随温度变化的速率; 第二项就是由于 T_1 、 T_2 管处温度不同而产生的附加温漂, 通常还是相当可观的。因为 V_{BE} 温度系数较大, 为 $-2 \text{ mV}/^\circ\text{C}$, 若 $\frac{\partial(\Delta T)}{\partial T} = 0.01$, 这项附加温漂约 $20 \mu\text{V}/^\circ\text{C}$ 。所以在设计版图时, 必须考虑到热学参数的对称性。

同样把单位温度的变化引起的输入失调电流的变化称为输入失调电流温漂, 记作 $\frac{\Delta I_{os}}{\Delta T}$, 单位为 $\text{nA}/^\circ\text{C}$ 。由式 (14-39) 可得:

$$\frac{\Delta I_{os}}{\Delta T} = \frac{\partial I_b}{\partial T} \left(-\frac{\Delta R_c}{R_c} + \frac{\Delta \beta}{\beta} \right) + I_b \frac{\partial}{\partial T} \left(\frac{\Delta R_c}{R_c} + \frac{\Delta \beta}{\beta} \right) + \frac{\partial(\Delta I_{C_{BE}})}{\partial T'} \quad (14-43)$$

$$\begin{aligned} \text{其中} \quad \frac{\partial I_b}{\partial T'} &= \frac{\partial}{\partial T} \left(-\frac{I_c}{\beta} \right) = \frac{1}{\beta} \frac{\partial I_c}{\partial T} - I_b \frac{1}{\beta} \frac{\partial \beta}{\partial T} = \frac{I_b}{I_c} \frac{\partial I_c}{\partial T} - I_b \frac{1}{\beta} \frac{\partial \beta}{\partial T} \\ &= I_b \frac{\partial}{\partial T'} (\ln I_c) - I_b \frac{\partial}{\partial T'} (\ln \beta) = I_b (\varepsilon - \sigma) \end{aligned} \quad (14-44)$$

$$\begin{aligned} \frac{\partial}{\partial T} \left(\frac{\Delta R_c}{R_c} \right) &= \frac{1}{R_c} \frac{\partial(\Delta R_c)}{\partial T} - \frac{\Delta R_c}{R_c^2} \frac{\partial R_c}{\partial T} \approx \Delta \left(\frac{1}{R_c} - \frac{\partial R_c}{\partial T} \right) \\ &= \Delta \left[\frac{\partial}{\partial T} (\ln R_c) \right] = \Delta \rho \end{aligned} \quad (14-45)$$

同理
$$\frac{\partial}{\partial T} \left(\frac{\Delta \beta}{\beta} \right) \approx \Delta \left[\frac{\partial}{\partial T} (\ln \beta) \right] = \Delta \sigma \quad (14-46)$$

又反向漏电流 I_{CB0} 随温度变化经验公式为:

$$I_{CB0}(T) = I_{CB0}(T_0) e^{n(T-T_0)}$$

故
$$\frac{\partial}{\partial T} (\Delta I_{CB0}) = n \Delta I_{CB0} \quad (14-47)$$

式(14-57)中系数 n 与施加于 BC 结电压有关, 一般在 $0.05 \sim 0.12/^\circ\text{C}$ 范围。

把式(14-44)~(14-47)代入式(14-43), 则得:

$$\frac{\Delta I_{os}}{\Delta T} = I_b (\varepsilon - \sigma) \left(\frac{\Delta R_c}{R_c} + \frac{\Delta \beta}{\beta} \right) + I_b (\Delta \rho + \Delta \sigma) + n \Delta I_{CB0} \quad (14-48)$$

上式中第一项主要是 I_b 随温度变化引起的漂移, 约为 $(1/1000)I_b$ 。第二项是由负载电阻和 β 的温度系数不均匀产生的漂移。由于 β 的温度系数相对值 σ 在 10^{-3} 数量级, 比电阻的温度系数相对值 ρ 几乎大一个数量级, 而且决定 β 的因素较多, 均匀性更难控制, 因此第二项中主要贡献来自 $\Delta \sigma$ 。第三项是反向漏电流产生的漂移。在小电流工作 (I_b 较小) 以及 β 均匀性较好时, 也应考虑反向漏电流对漂移的影响。

从以上分析可知, 要减小失调漂移需尽量减小失调本身的大小, 另一方面应尽量使衬底温度保持不变。

14.2 运算放大器的输入级电路

输入级是集成运算放大器最重要的部分, 它直接决定了电路输入偏流, 输入阻抗, 共模和差模的输入电压范围, 而且对电路的失调、温漂、共模抑制比也起了决定性的作用。

对输入级的要求是:

- (1) 输入阻抗高, 输入偏流小;
- (2) 输入失调电压和失调电流小, 温漂小;
- (3) 差模增益高;
- (4) 共模抑制比高;
- (5) 输入共模电压范围大, 输入差模电压范围大。

输入电路的种种改进, 就是针对如何提高上述性能而进行的, 下面介绍几种常用的形式。

14.2.1 基本差分对输入级

它是用普通 NPN 管构成的差分对, 如图14-4所示, 射极电阻用恒流源代替, 这是集成运放中最基本的电路形式。对于这种电路, 前面已作了扼要的介绍。为便于比较, 在此再写出几个参数的表达式。差模电压增益:

$$K_v = \frac{v_{o1} - v_{o2}}{v_{i1} - v_{i2}} = -g_m R_c = -\frac{I_c}{2V_T} R_c \quad (14-49)$$

差模输入电阻 R_{in} 为

$$R_{in} \approx \frac{4\beta V_T}{I_c} = -\frac{2V_T}{I_b} \quad (14-50)$$

从上两式可见, 这种电路其电压增益和输入电阻对 I_0 的要求是矛盾的。加大 I_0 虽可提高增益, 然而却降低了输入电阻, 也就是增大了输入偏流。另外这种电路共模输入电压范围和差模输入电压范围都较小。正向共模输入电压受到 T_1 、 T_2 管进入饱和的限制; 负向共模输入电压受到提供恒流源 I_0 的恒流管进入饱和的限制。差模输入电压范围受到 T_1 、 T_2 管基射结击穿电压的限制, 约 6~9 V 左右。从式 (14-50) 可见, 减小集电极电流 I_0 , 若能保持一定的 β 值, 则可减小输入偏流, 提高输入阻抗。假若 I_0 可减小到几十微安以下, 由于此时对于硅管以势垒复合电流为主, 结偏压与电流关系为:

$$I_e = I_{ES} e^{V_{BE}/nV_T}$$

则式 (14-50) 输入电阻表示式修正为:

$$R_{in} = -\frac{2nV_T}{I_b} \quad (\text{其中 } n = 1 \sim 2) \quad (14-51)$$

然而, 通常在 I_0 较小时, β 值会下降, 因此需要在图形设计和工艺中采取措施, 提高小电流下的 β 值。

14.2.2 达林顿 (Darlington) 复合差分输入级

如图14-8所示, 这是每边用两个 NPN 管复合组成的差分对, 信号从 T_1 、 T_2 管基极输入。显然对于同样的集电极电流, T_1 、 T_2 管的基极电流

是很小的, 因为 $I_{b1} \approx \frac{I_{e3}}{\beta_1 \beta_2}$ (或 $I_{b2} \approx \frac{I_{e4}}{\beta_2 \beta_4}$), 相应地输入电阻增大。如果电路两边对称, 则输入电阻可写为:

$$R_{in} \approx 2(\beta_1 r_{e1} + \beta_1 \beta_3 r_{e3}) \quad (14-52)$$

由于 $I_{e1} = I_{e3} \approx \frac{I_{e3}}{\beta_3}$, 所以 $r_{e1} \approx \beta_3 r_{e3}$, 故式 (14-52) 为

$$R_{in} = \frac{8\beta_1 \beta_3 n V_T}{I_0} = 4 \frac{n V_T}{I_b} \quad (n = 1 \sim 2) \quad (14-53)$$

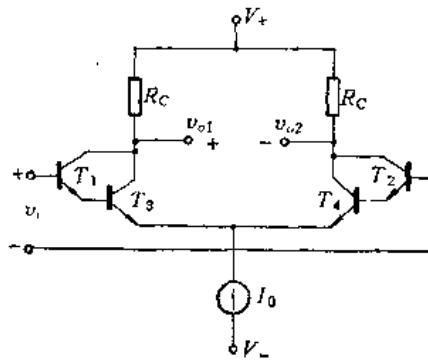


图14-8 达林顿复合差分输入级

把式 (14-53) 与 (14-51) 比较, 设 $\beta_1 = \beta_3 = \beta$, 则在相同的恒流源 I_0 时, 复合差分电路的输入电阻比基本差分对增大 2β 倍。可以证明这种电路的跨导 g_m 比基本差分对小一倍, 电压增益也减小一倍, 即

$$K_v = -g_m R_c = -\frac{I_0}{4nV_T} R_c \quad (14-54)$$

复合差分对的差模输入电压范围比基本差分对增大一倍, 因为它由两个 EB 结承受反向电压。这种电路由于 I_0 较小, 失调电流 I_{OS} 及 I_{OS} 的温漂都可以减小。

这种电路的缺点是失调电压较大, 即使 $I_{c3}=I_{c4}$, 但若 $\beta_3 \neq \beta_4$, 则造成 $I_{b3} \neq I_{b4}$, 也即 $I_{e1} \neq I_{e2}$, 使 T_1 、 T_2 管产生 ΔV_{BE} 的差值:

$$|\Delta V_{BE}| = |V_{BE1} - V_{BE2}| = V_T \ln \frac{I_{b3}}{I_{b4}} = V_T \ln \frac{\beta_4}{\beta_3}$$

如果 β 值有 5% 的不对称, 产生附加的失调电压约 1.3mV。另外注意到 T_1 、 T_2 管工作电流很小, 若工艺中达不到小电流下高 β 值的要求, 复合管的意义就不大了。

14.2.3 互补复合差分输入级

如图14-9所示, 差分对每一边由一个高 β 的 NPN 管 (T_1 、 T_2) 和横向 PNP 管 (T_3 、 T_4) 组成复合 PNP 管。 T_1 、 T_2 接成共集电极, T_3 、 T_4 接成共基极。信号从 T_1 、 T_2 基极输入, T_3 、 T_4 管基极连在一起并接有恒流源 I_0' , 集电极接负载电阻 R_C (也可以是另外的恒流源), 放大的信号由集电极输出。 T_1 、 T_2 管的集电极接恒流源 I_0 。

因为差分对每边可等效为一只管子

$$\beta = \frac{I_{e3}}{I_{b1}} = -\frac{\alpha_3 I_{e1}}{I_{b1}} = \alpha_3 (1 + \beta_1) \approx \beta_1$$

故可设法把 NPN 管 β 做得高些, 以减小基极偏流, 提高输入电阻。其输入电阻为:

$$R_{in} \approx 2\beta_1(r_{e1} + r_{e3}) = \frac{8\beta_1 nV_T}{I_0} = \frac{4nV_T}{I_b} \quad (14-55)$$

由于 T_1 、 T_2 管为射极跟随器, 无电压增益, 但却降落了一半的输入信号, 因此, 可以证明其跨导比基本差分对小一倍, 电压增益也小一倍。有

$$K_v = -g_m R_C = -\frac{I_0}{4nV_T} R_C \quad (14-56)$$

由于电路中横向 PNP 管接成共基极形式, 使得特征频率 f_T 较低的横向 PNP 管对放大器频响的影响, 得到一定的改善。同时共基极形式输入电阻小 (接近 r_e), 输出电阻大, 起了隔离作用, 且有利提高增益。另外从图 14-9 可见, 这种输入级其差模输入电压范围较大。若在输入端加差模电压 (①端为正, ②端为负), 当所加信号较大时, T_3 、 T_4 管公共基极电位随着①端电位增加而抬高, T_2 、 T_4 管处于反偏。而 T_4 管是横向 PNP 管, 基区是外延层, 其 BV_{BE0} 较高, 相当于普通 NPN 管之 BV_{CB0} , 一般达 80V 左右, 因此输入级不易损坏。

14.2.4 超 β 管输入级

采用电流增益为 2000~5000 的超 β NPN 管组成输入差分对, 其输入基流可大大降低。这种超 β 管基区较薄, 2~4V 的集-射电压就会发生穿通现象[⊕], 因此在电路中使用, 要

⊕ 根据经验公式: $BV_{CE0} = \frac{BV_{CB0}}{\sqrt{\beta}}$, 设 $BV_{CB0} = 30V$, $\beta = 5000$, 则 $BV_{CE0} = 3.6V$ 。

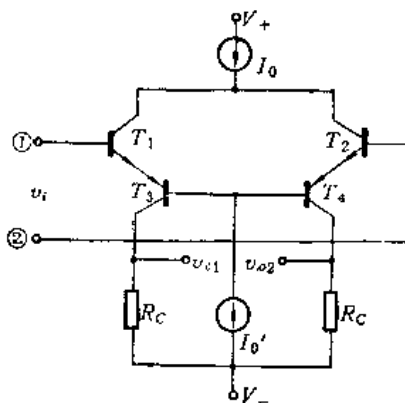


图14-9 互补复合差分输入级

通过一定的连接方式,使超 β 管之集-射电压接近于零伏的状态。图 14-10 是可采用的一种形式。 T_1 、 T_2 为超 β 管,信号从 T_1 、 T_2 管基极输入; T_1 、 T_2 、 T_3 、 T_4 组成共射-共基差分输入级; D_1 、 D_2 的作用是使 T_1 、 T_2 的集-射电压很小,结果使集-基结偏置近似为零伏。这样的电路,其输入偏流约为零点几毫微安到几个毫微安,并且由于连接成 $V_{CB} \approx 0$,因而 CB 结反向漏电流 $I_{CB0} \approx 0$,消除了 I_{CB0} 对输入基流的影响,使它在全温域 ($-55 \sim 125^\circ\text{C}$) 范围内,保持较好的输入特性。在高温情况下,仍能保持较小的输入偏流。另外也避免了由于基宽调变效应对共模抑制比的影响。这种电路的差模电压增益和差模输入电阻与基本差分对相同。即 $K_v = -g_m R_C$; $R_{in} = \frac{2nV_T}{I_b}$ 。

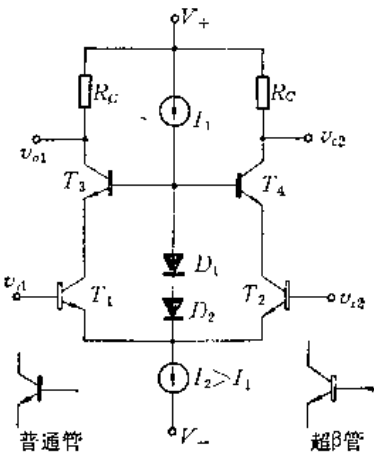


图 14-10 超 β 管输入级

14.2.5 场效应晶体管输入级

如图 14-11 所示,由场效应管 T_1 、 T_2 组成差分对。它突出的优点是输入电阻很大 ($R_{in} > 10\text{M}\Omega$),输入偏流很小,一般是 pA 数量级。目前采用的场效应管有结型的,也有 MOS 型的。在常温下,它们的失调电流及其漂移特性也是较好的。

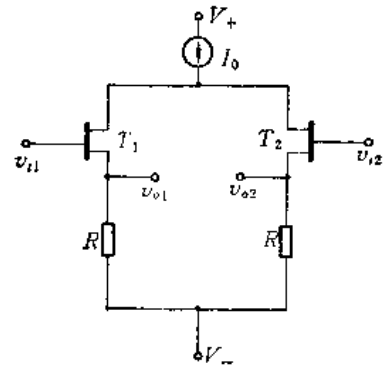


图 14-11 场效应管输入级原理图

这种输入级有以下几个缺点:一是由结型场效应管组成的输入差分对,其偏置电流是 PN 结反向漏电流,它随着温度升高会明显地增大,电路性能下降;二是与双极型晶体管相比,其跨导 g_m 较小;三是在相同的几何尺寸和相同的光刻套准误差的情况下,场效应管差分对的失调电压和失调电压温漂较大,约比双极型大一个数量级左右(一般 $V_{os} = 10 \sim 30\text{mV}$,失调温漂约 $50\mu\text{V}/^\circ\text{C}$)。

不过用场效应管作为差分输入级的单片集成运算放大器,在常温下,以及在某些实际应用中,是有其突出的优点的。特别是场效应管与双极型器件相结合,已成为新型集成运算放大器发展方向之一,目前主要的问题是解决工艺上的相容性问题。

14.3 恒流源电路

恒流源电路在线性集成电路中应用非常广泛,主要用途有两个方面:一是作为有源负载,这部分内容在下一节中再讨论;二是用来对电路进行偏置,也就是把一个支路中的参考电流 (I_r),比较精确地反射到另一个支路中去,起到稳定工作点的作用。在集成电路中采用恒流源作为偏置电路,可充分利用元件对称性,从而获得优于分立元件的性能。下面介绍几种常用的恒流源线路。

14.3.1 基本型恒流源电路

图 14-12 为基本型恒流源电路, 流过 T_2 管的集电极电流 I_{c2} 就是需要加以控制的恒流电流 I_0 , 而电阻 R_r 和 T_1 管作为 T_2 管偏置电路来控制 I_0 。称流过 R_r 的电流为参考电流 I_r 。图中 T_1 、 T_2 管基极连在一起, 发射极又一起接地, 所以两管的 V_{BE} 相等。若 T_1 、 T_2 管大小、特性一致, 则 $I_{b1} = I_{b2} = I_b$, $I_{c1} = I_{c2} = I_0$ 。注意图中 T_1 管 BC 短接, 故有:

$$I_r = I_{c1} + 2I_b = I_0 \left(1 + \frac{2}{\beta} \right) = I_0 \left(1 + \frac{2}{\beta} \right)$$

$$\text{或写成} \quad I_0 = I_r \left(\frac{\beta}{\beta + 2} \right) \quad (14-57)$$

显然, 若 $\beta \gg 1$, 则 $I_0 \approx I_r$ 。由图 14-12 可写出 I_r 为:

$$I_r = \frac{V - V_{BE}}{R_r} \quad (14-58)$$

这种偏置电路, 有助于稳定管子工作点。当温度升高而使 V_{BE} 降低时, 流过电阻 R_r 的电流 I_r 增加 ΔI_r , 若没有 T_1 管, 则 T_2 管基流变化为 ΔI_r , 而由于 T_1 管存在, T_2 管基流仅增加 $\frac{\Delta I_r}{\beta + 2}$ 。这样由于温度变化引起 I_0 的变化大大地减小了, 也即提高了管子工作点的稳定性。

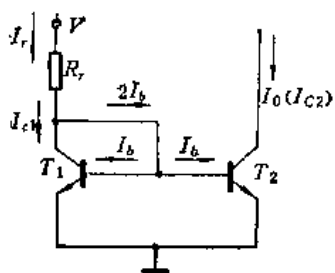


图14-12 基本型恒流源电路

图 14-12 所示的基本型恒流源, $I_0 = I_r$, 有时希望 $I_0 \neq I_r$, 而是与 I_r 成一定比例关系。通常可用下面两种方法调整 I_0 与 I_r 的大小。

一、改变 T_1 、 T_2 管发射结的面积

如果 T_1 、 T_2 管发射结面积分别为 A_1 、 A_2 , 不难证明

$$\frac{I_{02}}{I_r} = \frac{A_2}{A_1} \quad (14-59)$$

这样可通过设计 T_1 、 T_2 管发射结面积之比来确定 I_0 与 I_r 间的关系。

二、改变发射极电阻的大小

如图 14-13 所示, T_1 、 T_2 管发射极分别接入电阻 R_1 、 R_2 , 容易得出

$$\frac{I_0}{I_r} = \frac{R_1}{R_2} \quad (14-60)$$

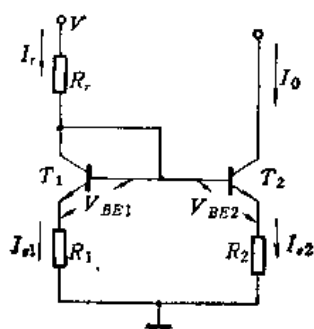


图14-13 电阻比例恒流源

可见, 改变 R_1 、 R_2 的比值, 即可改变 I_0 与 I_r 的比例关系。这种电路通常称为电阻比例恒流源。

14.3.2 小电流恒流源

有时要求恒流源处于小电流工作状态, 例如要求恒流电流 $I_0 = 10 \mu A$, 若用基本恒流源电路, 若电源 $V = 15 V$, 则电阻 $R_r = \frac{V - V_{BE}}{I_r} = 1.43 M\Omega$ 。这样大的电阻, 集成工艺难以制作。对此, 一般采用两种方法, 一是外接大电阻, 二是采用如图 14-14 所示小电流恒流

源。实际上它是电阻比例恒流源一种极端情况, 即 $R_1 = 0$ 。由图可写出

$$V_{BE1} = V_{BE2} + I_{e2} R_2 \quad (14-61)$$

而
$$V_{BE1} - V_{BE2} = V_T \ln \frac{I_{e1}}{I_{e2}} \quad (14-62)$$

把式 (14-62) 代入式 (14-61), 若 $\beta \gg 1$ ($I_e \approx I_c$), 则有

$$R_2 = \frac{1}{I_0} V_T \ln \frac{I_r}{I_0} \quad (14-63)$$

因此, 若要选择某个较小的恒流电流, 对于一定的 I_r , 则可代入上式算出 R_2 的数值即能满足。例如, 已知 $I_r = 1 \text{ mA}$, 若希望 $I_0 = 10 \mu\text{A}$, 则利用式 (14-63) 可算出 $R_2 = 12 \text{ k}\Omega$ 。 R_2 取 $12 \text{ k}\Omega$ 在集成工艺中还是容易实现的。

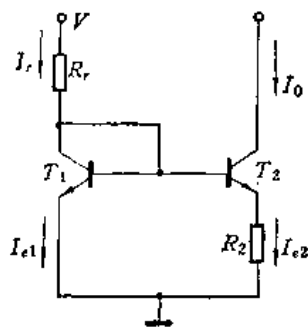


图14-14 小电流恒流源

14.3.3 带有缓冲级的恒流源电路

当电路中要求有多个恒流源时, 若仍使用基本恒流源电路, 则参考电流与恒流电流之间差值较大。参照图 14-15(a), 此时参考电流 I_r 为:

$$I_r = I_0 + (n+1)I_b = I_0 + (n+1)I_b \quad (14-64)$$

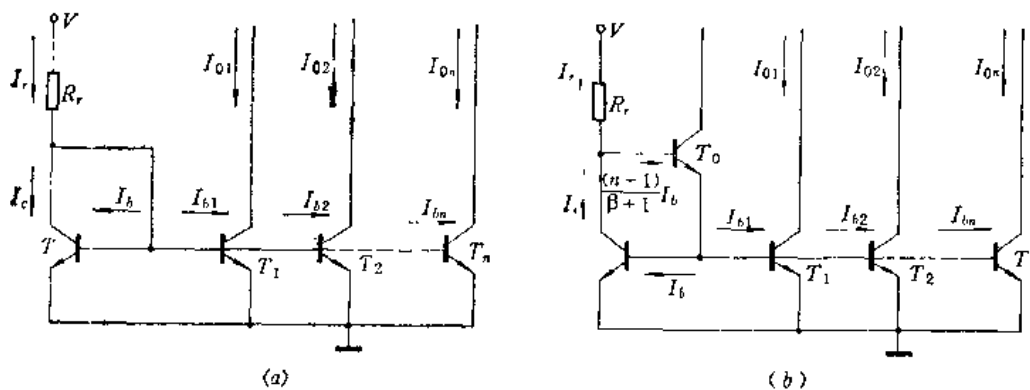


图14-15 恒流源

(a) 多级基本恒流源; (b) 多级带缓冲级恒流源。

其中 I_0 为各级恒流电流, 显然 I_r 与 I_0 差值为 $(n+1)I_b$, 较可观。为了使 I_r 与 I_0 尽量接近, 则加入 T_0' 管, 如图 14-15(b)。这时参考电流 I_r 为:

$$I_r = I_0 + \frac{n+1}{\beta+1} I_b \quad (14-65)$$

I_r 与 I_0 差值缩小了 $\beta+1$ 倍。把 $I_b = \frac{I_0}{\beta}$ 代入式 (14-65), 得到 I_r 与 I_0 关系为:

$$I_r = I_0 \left(1 + \frac{n+1}{\beta^2 + \beta} \right) \approx I_0 \quad (14-66)$$

14.3.4 补偿恒流源

如前所述, 基本恒流源的恒流电流 I_0 与参考电流 I_r 之间有一差值为 $\frac{2}{\beta} I_0$ 。当 β 较

小时差值较大, 而且此差值随 β 变化而改变, 这样不利于恒流, 为此采用补偿恒流源, 如图 14-16 所示。

若 T_1 、 T_2 、 T_3 管同样大小, 特性一致, 根据图 14-16 来分析一下 I_r 与 I_0 关系。因

$$I_{e3} = I_{e2} + 2I_b = (\beta + 2)I_b$$

$$\text{故 } I_0 = I_{e3} \frac{\beta}{(\beta + 1)} = \frac{(\beta + 2)\beta}{(\beta + 1)} I_b \quad (14-67)$$

$$\text{又 } I_{b3} = -\frac{I_{e3}}{\beta + 1} = -\frac{\beta + 2}{\beta + 1} I_b$$

$$\text{故 } I_r = I_{e1} + I_{b3} = -\frac{\beta^2 + 2\beta + 1}{\beta + 1} I_b \quad (14-68)$$

$$\text{则 } \frac{I_0}{I_r} = \frac{\beta^2 + 2\beta}{\beta^2 + 2\beta + 1} \quad (14-69)$$

从式 (14-69) 可见, 即使 β 较小, $\frac{I_0}{I_r}$ 比值近似为 1。

这种恒流源有负反馈的特性。当由于某个原因 $I_0 \uparrow \rightarrow I_{e3} \uparrow \rightarrow I_{e2} \uparrow$, 由于 T_1 、 T_2 管组成基本恒流源, 故 $I_{e2} \uparrow \rightarrow I_{e1} \uparrow$, 而 I_r 是基本不变的, 又 $I_r = I_{e1} + I_{b3}$, 所以若 $I_{e1} \uparrow \rightarrow I_{b3} \downarrow \rightarrow I_0 \downarrow$, 这样稳定了工作点。

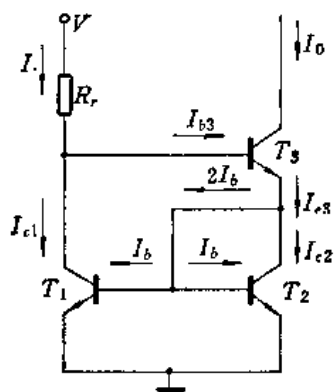


图14-16 补偿恒流源

14.3.5 PNP 管恒流源

以上讨论的各种恒流源均可由 PNP 管组成, 只不过恒流电流极性相反而已。然而应该指出的是集成电路中 PNP 管一般采用横向管, 其发射区和收集区都同时由硼扩实现, 因此在工艺上很容易制得多个发射极或收集极。注意到基本恒流源电路的两个晶体管, 它们的基极是连在一起的, 发射极也是接同样电位的, 因此可用一个多收集极横向 PNP 管来等效多个恒流源。图 14-17(a) 表示了三收集极 PNP 管恒流源, 其中集电极 C_1 与基极 B 相短接, 作为偏置二极管。图 14-17(b) 为其等效的恒流源电路。

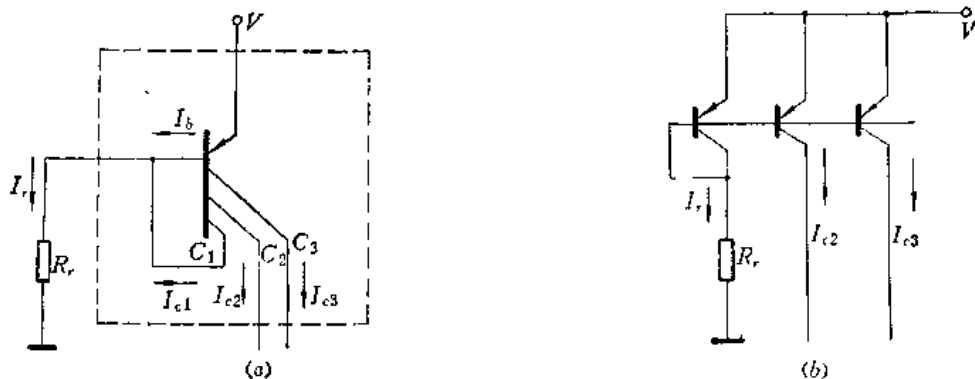


图14-17 三收集极PNP管恒流源
(a) 电路图; (b) 等效电路。

从图 14-17(a) 可知, 由三收集极横向 PNP 管组成的两组恒流源, 参考电流 I_r 为:

$$I_r = I_{e1} + I_b = \frac{V - V_{BE}}{R_r} \quad (14-70)$$

恒流电流分别为 I_{e2} 、 I_{e3} 。如果 C_1 、 C_2 、 C_3 三个集电极结构、大小完全一致, 则 $I_{e1} = I_{e2} = I_{e3} = I_0$ 。故上式可写为:

$$I_r = I_0 + I_b \quad (14-71)$$

有时, 希望两个恒流电流各不相同, 这可以通过图形设计来获得。如果使得各收集区与发射区之间基区宽度相同, 则各收集极电流大小正比于对着发射极的各收集条侧向面积。适当选择这些面积的比例, 就能获得所需的恒流电流。用横向 PNP 管组成恒流电路, 可把用以偏置和恒流的几个管子做在一个隔离岛内, 而且共用一个发射极, 一个基极, 从而节省了硅片面积。

14.4 有源负载(动态负载)

如前所述, 共射放大器的增益可写成 $|K_v| = g_m R_c$, R_c 可近似视为集电极负载电阻。为了提高增益, 可加大负载电阻 R_c 。然而增大 R_c , 若要保持原来的工作电流, 则需要提高电源电压, 而且 R_c 的增大, 也增加了其上的直流功耗; 加之在集成工艺中, 要获得过大的电阻也是困难的。为此可用有源元件晶体管来作为负载电阻, 使这个负载晶体管工作于输出特性曲线的平坦部分, 如图 14-18 中 Q 点。它的显著特点是直流电阻小而交流电阻相当大。由此带来的优点是: (1) 由于直流电阻不大, 故不必用高的电源电压来维持一定的工作电流; (2) 由于交流电阻大, 故放大器的增益可以提高; (3) 在集成工艺中, 做一个用作负载的晶体管所占面积很小, 也容易制作。

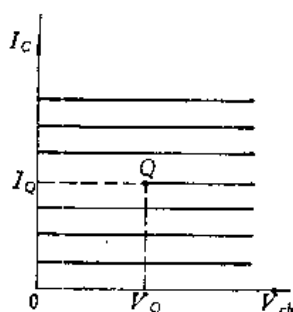


图14-18 共基极晶体管的输出特性

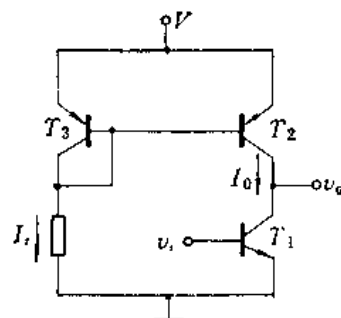


图14-19 单管有源负载

在集成电路中, 有源负载大都由恒流源电路组成, 这样既给予了偏置, 且有稳定作用。图 14-19 即为具有有源集电极负载的单管共射电路。图中 T_1 为放大管, T_2 为有源集电极负载, T_2 、 T_3 组成恒流源电路。 T_2 的输出电阻 R_o 就是 T_1 的集电极负载, R_o 近似为 T_2 管共基极输出电阻 r_o , 它的数值较大, 有几百千欧到几兆欧。如果有源负载电路连接方式不同 (共基或共射), 输出电阻也不相同。

14.5 电平位移电路

在集成运放中, 级与级之间是直接耦合的, 无隔直流电容; 而放大器多果用共射接法, 信号从基极输入, 由集电极输出。对于 NPN 管来说, 集电极直流电平总比基极电平高, 因此每经一级放大, 输出电平就升高一些, 这样, 当输入为零电平时, 输出就不是零电平。这在使用上很不方便, 而且使输出电平变化范围也变小了。所谓电平位移电路, 就是把较

高的电平变成较低的电平。常用的电平位移电路有以下几种。

14.5.1 线性电阻和恒流源的电平位移电路

用线性电阻分压的方式显然可以降低电平, 如图 14-20(a) 所示。由 R_1 、 R_2 分压,

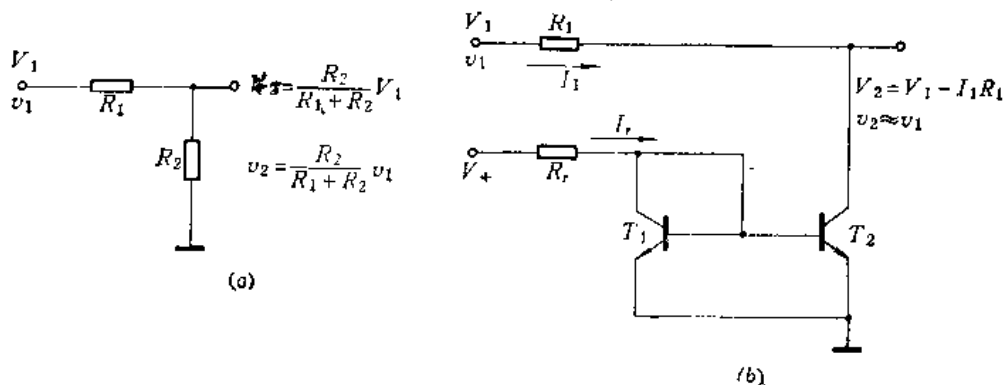


图14-20 电平位移电路

(a) 电阻电平位移电路; (b) 恒流源电平位移电路。

则直流电平由原来 V_1 降为 $V_2 = \frac{R_2}{R_1 + R_2} V_1$ 。这个方法虽然简单, 但在直流电平位移的同时, 交流信号 v_1 也衰减了, 即 $v_2 = \frac{R_2}{R_1 + R_2} v_1$ 。

由恒流源组成的电平位移电路如图 14-20(b) 所示。从图可见, 对直流电平来说, $V_2 = V_1 - I_1 R_1$; 对交流信号来说, 由于恒流源交流电阻很大, 故有 $v_2 \approx v_1$ 。

14.5.2 二极管电平位移电路

利用二极管来组成电平位移电路有两种方式。一种是利用齐纳二极管, 如图 14-21(a)

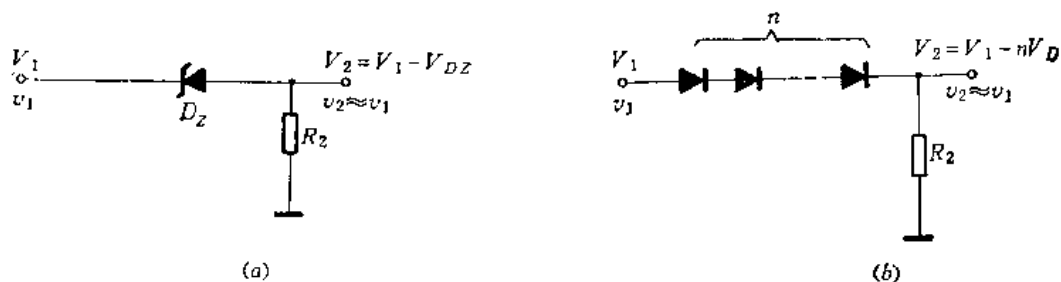


图14-21 二极管电平位移电路

(a) 齐纳二极管电平位移电路; (b) 正向二极管电平位移电路。

所示。显然直流电平 V_1 通过 D_Z 降为 V_2 , 有

$$V_2 = V_1 - V_{DZ}$$

V_{DZ} 为击穿电压, 一般 6~8 V。

这种位移电路位移的电平值受反向击穿电压 V_{DZ} 的限制, 而且噪声大。

另一种是利用正向二极管串联组成电平位移电路, 如图 14-21(b) 所示。从图中可知,

$$V_2 = V_1 - nV_D$$

V_D 为二极管正向导通压降, n 为串联二极管数。

这种电路也有缺点: (1) 在制作二极管时, 每个二极管需一个单独隔离岛, 占用硅片面积较大; (2) V_D 随温度变化, 使输出电平温漂较大。

14.5.3 PNP 管电平位移电路

我们知道, 对于工作于放大区的 PNP 管, 若是共射接法, 如图 14-22(a) 所示, 其收

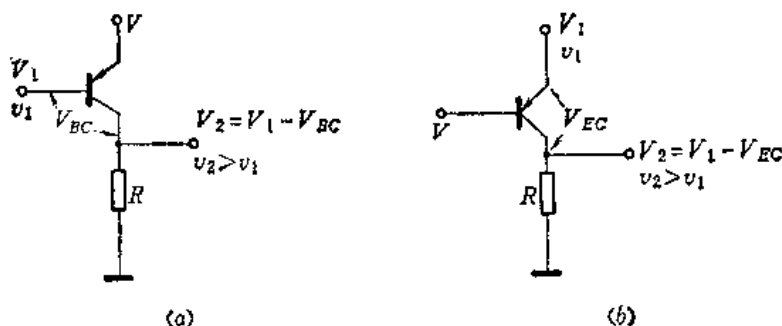


图14-22 PNP管电平位移示意图

(a) 共射接法; (b) 共基接法。

集极直流电平总是低于基极直流电平, 有 $V_2 = V_1 - V_{BC}$, 这样就实现了直流电平位移。而 PNP 管本身还有一定放大能力, 因此交流信号不仅没衰减, 还得到一次放大。如果是共基接法, 如图 14-22(b) 所示, 它也能实现电平位移, 只是位移的电平数值不同, $V_2 = V_1 - V_{EC}$ 。

由于横向 PNP 管电流增益 β 较低, 因此在使用中常把一个电流增益高的 NPN 管和横向 PNP 管组成复合 PNP 管, 如图 14-23(a)、(b) 所示。这样既有电平位移的功能, 又可提高放大能力。

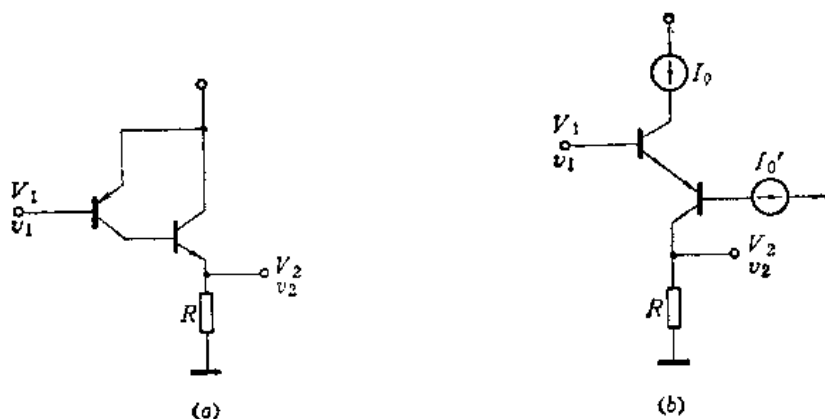


图14-23 复合PNP管

但是由于横向 PNP 管频率特性较差, 因此在高速电路中不宜使用。

14.6 双端输入变单端输出(单端化)电路

集成运放输入级几乎全是差分式放大器, 而末级输出是单端输出, 因此常希望能在尽

量减少增益损失和保证共模抑制比的前提下, 将差分输出的两个大小相同、相位相反的信号变成一个单端输出的信号。因而提出了单端化的任务。

对于一个差分放大器, 如图 14-1 所示。信号从 T_1 、 T_2 管基极输入, 如果要获得单端输出, 显然可以从 T_1 (或 T_2) 的集电极单独引出作为输出端。然而它比起双端输出, 差模增益减小了一半, 而且也没有充分利用两管对称对共模信号的抑制作用, 因此它在集成运放中较少采用。

下面介绍几种集成运放中常用的单端化电路。

14.6.1 并联电压负反馈单端化电路

如图 14-24 所示。当输入差模信号时, T_1 、 T_2 差分放大器的输出信号电流为 ΔI_1 、 ΔI_2 , 大小相等、方向相反, 即 $\Delta I_1 = -\Delta I_2$ 。由 T_3 、 R_1 、 R_2 组成并联电压负反馈, R_1 为反馈电阻。如果 T_3 管在无反馈时的电压增益足够大, 那么根据负反馈原理可近似认为 ΔI_1 全部流过 R_1 , 而流入 T_3 管基极的信号电流 $\Delta I_{b3} \approx 0$, 因此 T_3 管基极信号电压很小 ($v_{b3} \approx 0$), 故 T_3 管集电极电压

$$v_{c3} = v_{R1} + v_{b3} \approx v_{R1} = \Delta I_1 R_1$$

又电阻 R_2 上电压变化 $v_{R2} = \Delta I_2 R_2$, 因此在 T_4 管基极 (A 点) 得到的信号电压为:

$$V_A = -V_{R2} + V_{C3} = -\Delta I_2 R_2 + \Delta I_1 R_1 \quad (14-72)$$

如果取 $R_1 = R_2 = R$, 而 $\Delta I_1 = -\Delta I_2$, 就有

$$V_A = -\Delta I_2 R_2 + \Delta I_1 R_1 = 2\Delta I_1 R \quad (14-73)$$

这样就把由 T_1 、 T_2 双端输出的信号电压在 A 点单端输出时得到迭加, 使单端输出时的电压增益与双端输出时相同。

当输入共模信号时, 由于 ΔI_1 与 ΔI_2 大小相等、方向相同 ($\Delta I_1 = \Delta I_2$), 故 $V_A = -\Delta I_2 R_2 + \Delta I_1 R_1 = 0$, 两管的共模输出电压在输出端 (A 点) 相抵消, 起到了抑制共模的作用。

从上述分析可知, 这样的单端化电路使差模电压增益和共模抑制比都提高到与双端输出时一样。

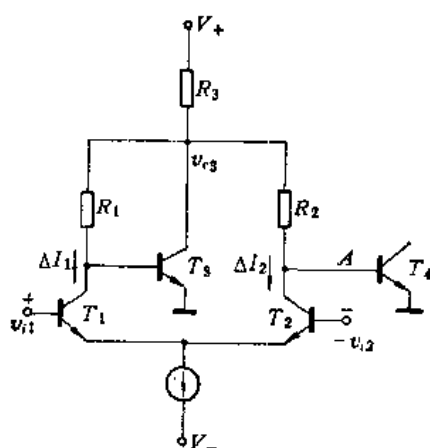


图14-24 并联电压负反馈单端化电路

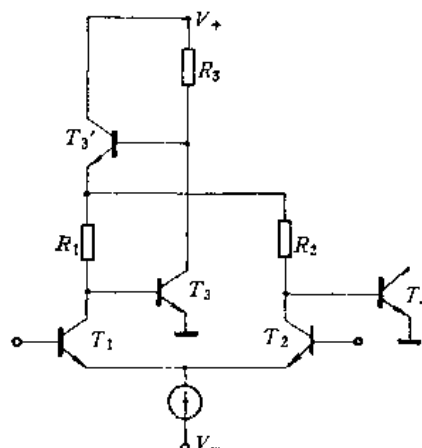


图14-25 带有射极跟随器的单端化电路

该电路不足之处是不易满足 T_3 管在无反馈时电压增益足够大, 因此对上述电路还可作些改进, 那就是在 T_3 集电极与 R_1 、 R_2 的接点之间插入一个射极跟随器, 如图 14-25 中的

T_3' 管。作这样改进的好处是：流经 T_1 、 T_2 管之电流不经过 R_3 而由 T_3' 管提供，这样 R_3 可取得大些； T_3 管集电极等效负载电阻增大，使 T_3 管无反馈时电压增益足够大，与上面假设相符合。这里 T_3' 管是射随器，电压增益 $K_v \approx 1$ ，因此不会影响信号的传输。

这样的单端化电路（包括改进型）存在一些缺点：一是工艺上原因， R_3 不可能过大，因此 T_3 管电压增益也不会很大；二是 T_3 、 T_4 管射极直接接地，使 T_1 、 T_2 管集电极电压仅 0.7V 左右，若 T_1 、 T_2 管基极输入电压高于 0.7V，则 T_1 、 T_2 管饱和，限制了输入差模电压范围和共模电压范围。针对后一个缺点，可在线路上作进一步改进，这将在下一章中结合具体线路给予介绍。

14.6.2 有源负载单端化电路

如图 14-26 所示。由 T_1 、 T_2 管组成之差分放大器加以差模输入信号后，输出电流分别为 ΔI_1 、 ΔI_2 ，其大小相等、方向相反， $\Delta I_1 = -\Delta I_2$ 。 T_3 、 T_4 管分别为 T_1 、 T_2 管之有源集电极负载，而 T_3 、 T_4 又组成基本恒流源。 T_1 和 T_3 收集极电流近似相等，因此当 T_1 管有电流增量 ΔI_1 时，则有 $\Delta I_3 = \Delta I_1$ 。由于 T_3 、 T_4 又组成恒流源，因此应有 $\Delta I_4 = \Delta I_3$ 。而 T_2 管收集极信号电流为 ΔI_2 ，故流向负载 R_L 的电流为：

$$\Delta I_L = \Delta I_4 - \Delta I_2 = \Delta I_1 - \Delta I_2 = 2\Delta I_1$$

因此， R_L 上信号就是 T_1 、 T_2 组成之差分放大器输出信号的迭加。

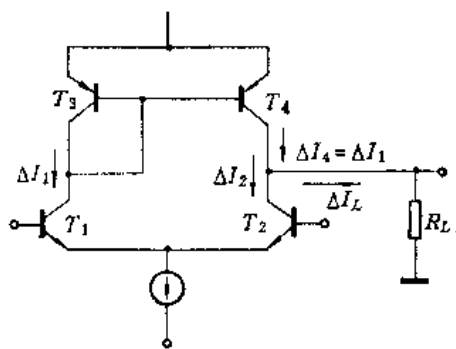


图14-26 有源负载单端化电路

如果输入共模信号，则 ΔI_1 、 ΔI_2 大小相等、方向相同，即 $\Delta I_1 = \Delta I_2$ 。流向负载的电流 ΔI_L 为：

$$\Delta I_L = \Delta I_4 - \Delta I_2 = \Delta I_1 - \Delta I_2 = 0$$

由此可见，这种单端化电路使差模信号输出增大一倍，使共模信号输出相互抵消。故实现了单端化输出的要求。

14.6.3 基-射极同时加信号的单端化电路

如图 14-27 所示。输入差模信号时， T_1 、 T_2 差分对输出信号 v_{o1} 、 v_{o2} ，分别加到 PNP 管 T_3 的基极与射极，使 T_3 管射-基极加有一变化的信号电压 v_{EB3} ：

$$v_{EB3} = v_{o2} - v_{o1}$$

注意到 v_{o2} 为正、 v_{o1} 为负，设 $|v_{o1}| = |v_{o2}| = v_o$ ，故

$$v_{EB3} = 2v_o$$

若 T_3 电压增益为 K_{v3} ，则 T_3 集电极输出电压为：

$$v_{o3} = K_{v3} v_{EB3} = K_{v3} (2v_o)$$

即在 T_3 管集电极得到的是放大了 K_{v3} 倍的 T_1 、 T_2 管输出信号的迭加。

若输入共模信号， v_{o1} 、 v_{o2} 等值同相，它们在 T_3 管

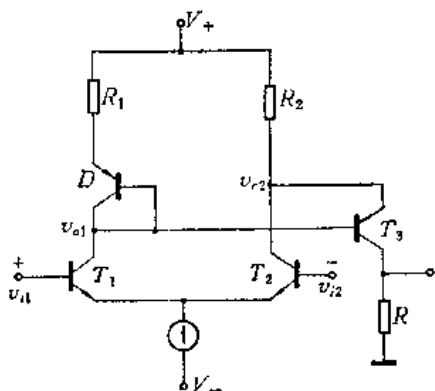


图14-27 基-射加信号的单端化电路

的控制端互相抵消,共模输出为零。

综上所述,该电路同样实现了单端化的目的。在图 14-27 中接成二极管的 D 是为了给 T_3 管提供偏置。

14.7 输出级及输出级保护电路

输出级直接与负载连接,不同的负载固然对输出级有不同的要求,但通常都希望输出级有如下特点:

- (1) 静态功耗低(静态电流小);
- (2) 输出阻抗低;
- (3) 输出信号的电压幅度大;
- (4) 输出电流能力强;
- (5) 过负荷能力强。

常用的输出级电路有以下几种。

14.7.1 单管射极输出器

射极输出器如图 14-28 所示。它的特点是:输入阻抗较高,输出阻抗较低,电压增益 $K_v \approx 1$, 电流增益 $K_i \approx \beta$, 而且也可获得较大的输出电压幅度,线路比较简单等,因此是一种最简单的输出级形式。但它存在着一些缺点,主要是:

(1) 所能获得的输出电压正负向最大幅度不一样。NPN 管射随器,正向最大幅度大;PNP 管射随器,负向最大幅度大,故正负向跟随特性不一致。

(2) 输出信号电压最大幅度与功耗的矛盾。以 NPN 管跟随器为例,其负向输出电压最大幅度 $v_o = V_- - \frac{R_L}{R_e + R_L} V_-$, 要提高 v_o 之值,就需减小 R_e 或增大负电源电压 V_- , 这都会增

大静态功耗。而且 R_e 减小,使正向电压输出时 R_e 上流过较大的无用电流,增大了无用功耗,降低了电路效率。

(3) 对容性负载容易出现波形失真。图 14-29(a)

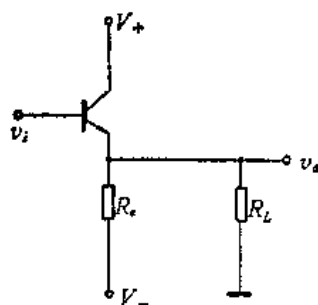
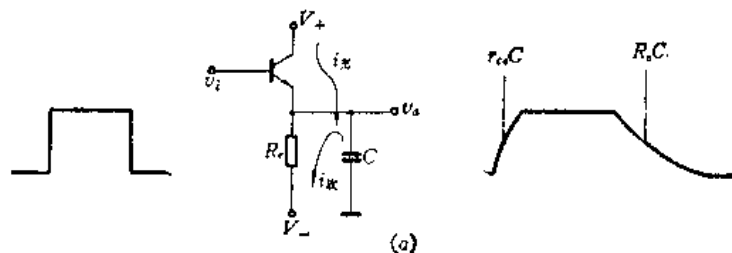
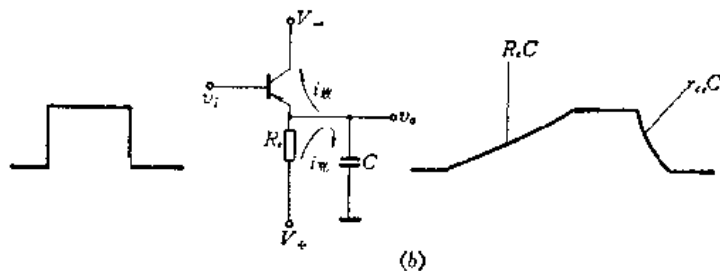


图14-28 单管射极输出器



(a)



(b)

图14-29 对容性负载充放电情况
(a) NPN管; (b) PNP管。

表明, 对 NPN 管跟随器, 若外接容性负载, 当大的方波信号输入时, 其输出波形中充电时间常数为 $r_{oe}C$ (r_{oe} 为饱和时集-射间电阻), 而放电时间常数为 R_eC , 一般 $r_{oe} \ll R_e$, 所以在输入大的方波信号时, 输出波形的边缘会有较明显地失真。图 14-29(b) 表示 PNP 管跟随器对容性负载充放电的情况。可见, 它与 NPN 管相反, 充电时间常数 (R_eC) 大于放电时间常数。

14.7.2 推挽输出级电路

如图 14-30 所示, T_1 是倒相管, T_3 、 T_4 是推挽输出管, T_2 的引入是使 T_2 、 T_4 组成基本恒流源, 由流过 T_2 管静态电流来控制流过 T_4 管的静态电流。电路工作原理如下:

当 T_1 管基极输入信号 v_i 为负时, 则 v_{i3} 为正, 通过 T_3 管射极跟随, 在负载 R_L 上得到的输出信号 v_o 为正; 与此同时, v_{i4} 与 v_i 同相为负, 故 T_4 管集电极电流减小, 或者看成 T_4 管集-射间等效电阻增大。当 T_1 管基极 v_i 为正时, 则 v_{i3} 为负, 使 T_3 趋于截止; 此时 T_4 基极得到信号 v_{i4} 与 v_i 同相 (为正), 故 T_4 导通, 电流由地经 R_L 、 T_4 、 V_- 回到地, 在 R_L 上得到一个与 v_{i4} 反相之信号, 即 v_o 为负。

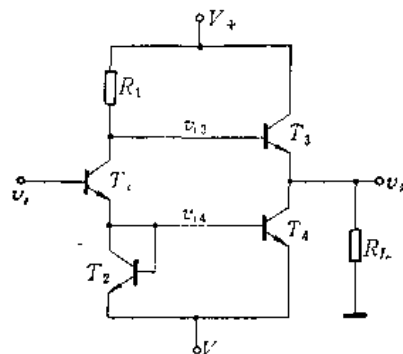


图14-30 推挽输出级电路

从上面分析可知, 当输入信号 v_i 为负时, 若有足够的驱动, 使 T_3 趋于饱和, 这时输出电压 v_o 可趋于正电源电压 V_+ ; 当 v_i 为正时, 若亦有足够的驱动, 使 T_3 趋于截止, T_4 趋于饱和, 这时输出电压 v_o 可趋于负电源电压 V_- , 因此其正负向输出幅度比较对称。

又从上述分析可知, T_4 管相当于 T_3 管射极可变电阻。 v_i 为正时, T_4 电流增大, 等效电阻减小; v_i 为负时, T_4 电流减小, 等效电阻增大, 因此提高了输出级的效率。

这种电路的缺点是: 正负向输出时, 输出电阻不同。在 T_3 导通时, 电路输出电阻较低, 接近于 T_3 射极输出电阻; 但在 T_3 截止后, 电路输出电阻较高, 为 T_4 集电极输出电阻。

另外, 为获得输出对称波形, 要求 $\beta_1 R_1 = \beta_4 R_L$ 。

14.7.3 互补输出级电路

如图 14-31 所示, 由 NPN 的 T_1 管与 PNP 的 T_2 管组成互补输出, 其工作原理如下:

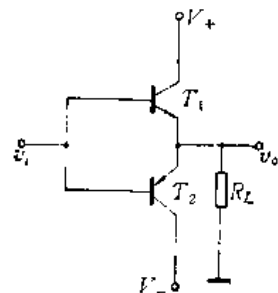


图14-31 互补输出级电路

当输入信号 v_i 为正时, T_1 导通, T_2 截止, 电流由 T_1 流入负载, 这时 T_1 、 R_L 组成射随器, 在 R_L 上得到电压增益近于 1 的正的输出信号; 当输入信号 v_i 为负时, T_2 导通, T_1 截止, 电流由负载流入 T_2 , 这时 T_2 、 R_L 组成射随器, 在 R_L 上得到负的输出信号。

这种电路利用了 NPN 管良好的正向跟随特性和 PNP 管良好的负向跟随特性, 故能获得接近正负电源电压值的正负向电压最大摆幅, 而且是单管轮流工作, 省去了原来在射极电阻 R_e 上的功耗, 另外电路的输出电阻也比较小。

但是图 14-31 电路存在一个缺点, 就是当输入交流信号从零开始变化时, 由于起始较小, 还未达到 $T_1(T_2)$ 管基-射极导通电压(约 0.5V) 时, T_1 、 T_2 管均未导通, 这时电流为零, 在电流波形上出现了如图 14-32 中 $a-b$ 段、 $c-d$ 段所示的一段“死区”, 这种现象称为“交越失真”。为了改善(减小)交越失真, 通常采用两种方法。

一种是采用负反馈, 在输出端到前面增益级之间加负反馈。当输出信号趋于“死区”, 即输出趋于零时, 反馈信号也趋于零。由于是负反馈, 因此使此时实际加于输出级信号增强, 从而使输出级中一个管子很快导通, 这样减小了交越失真。

另一种克服交越失真的办法是使输出级工作于甲乙类状态, 给两管一定的偏置。虽然静态时 T_1 、 T_2 管会有一定的电流, 增大了电路的静态功耗, 但是, 以此换取了交越失真显著地减弱。图 14-33 画出了三种加偏置的电路形式, 如虚线方框中所示。图 14-33(a)

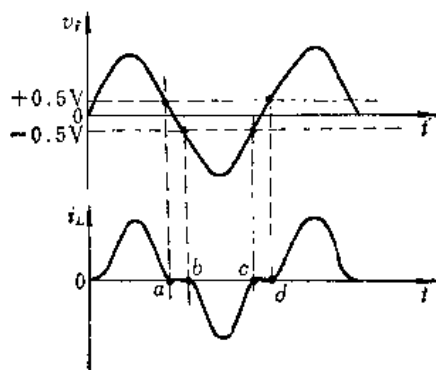


图14-32 交越失真示意图

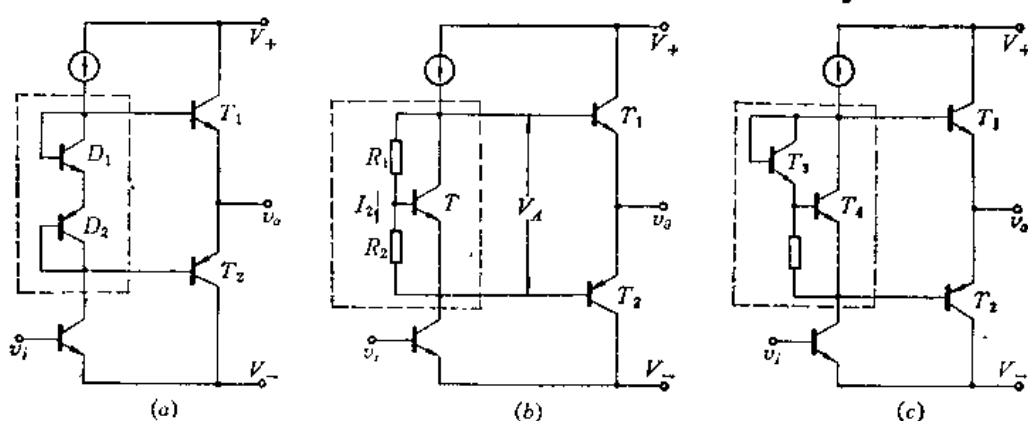


图14-33 输出级三种偏置电路

是用了一个 NPN 管的 BE 结和一个 PNP 管的 EB 结这样两个正偏压, 加于 T_1 、 T_2 管基极之间; 图 (b) 是通过调节电阻 R_1 、 R_2 来控制加于 T_1 、 T_2 基极之间的偏压 $V_A \approx I_2 \times (R_1 + R_2) = V_{BE} \left(1 + \frac{R_1}{R_2}\right)$; 图 (c) 是用两个 NPN 管构成复合形式, 把两个 BE 结正偏压加于 T_1 、 T_2 基极之间。不管那种形式, 都是使 T_1 、 T_2 两基极之间静态时获得 $1.1 \sim 1.4\text{V}$ 的偏压而处于导通状态。一般选取电流较小的导通状态, 因此称其工作于甲乙类状态。

为了使得输出信号正负半周波形尽量对称, 要求输出级 T_1 、 T_2 管特性一致。然而作为 PNP 结构的 T_2 管若用横向管, 其电流增益较小, 为此一般采用两种方法制得所需的 PNP 管。一是制作纵向 PNP 管。它是分别以衬底、外延层、硼扩构成收集区、基区和发射区, 其基区可以做得比横向 PNP 管薄, 性能比横向管好。但是, 由于它是用衬底作为收集区, 而衬底是需接最低电位的, 因此只能用于像输出级那样的集电极直接接负电源电压的情况。而且由于基区自偏现象较严重, 工作电流不宜过大, 一般为几 mA , 不然 β 下降较甚。二是采用 NPN 管和电流增益为 1 的横向 PNP 管组成如图 14-23(a) 的复合 PNP

管形式。这个等效 PNP 管的电流增益近似为 NPN 管的电流增益 $\beta \approx \beta_p \beta_n \approx \beta_n$ ，而却有 PNP 的特性。对于横向 PNP 管只需工作于小电流，而由 NPN 管输出较大电流。

14.7.4 输出级保护电路

在集成运放使用中，或者因环境温度升高，或者因不慎使输出端与电池或地短接，致使输出管因电流过大而损坏，因此不少输出级都有保护电路，以限制输出级的电流。

图 14-34 是一种二极管保护电路，它由 D_3 、 D_4 、 R_{e1} 、 R_{e2} 组成。 D_3 、 D_4 是过流保护二极管， R_{e1} 、 R_{e2} 为取样电阻。正常情况 D_3 、 D_4 是截止的。设 T_1 管工作，流过 R_{e1} 上电流为 I_{e1} ，则 D_3 上压降为：

$$V_{D3} = V_{BE1} + I_{e1}R_{e1} - V_{D1} \approx I_{e1}R_{e1}$$

当 I_{e1} 较大时，使在 R_{e1} 上电压超过二极管导通电压，则 D_3 导通，从而使注入到 T_1 的基流减小，也就使输出电流 I_{e1} 减小。被限制的最大输出电流为：

$$I_{e1\max} = \frac{(V_{D3})_{on}}{R_{e1}} \quad (14-74)$$

$(V_{D3})_{on}$ 为二极管导通电压，一般取 $0.5 \sim 0.6 \text{ V}$ 。

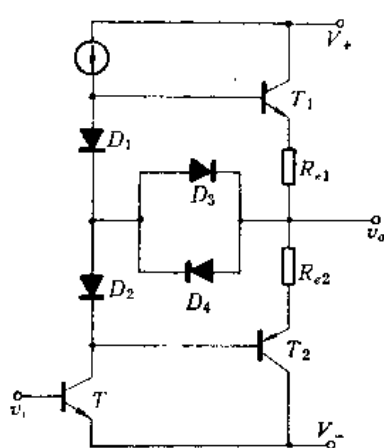


图14-34 二极管保护电路

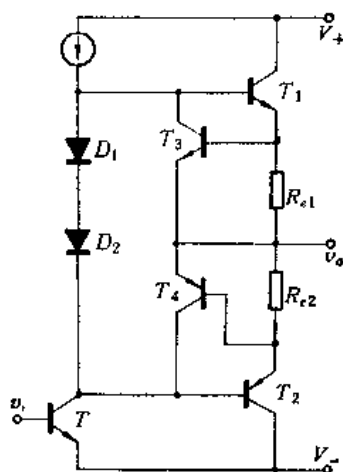


图14-35 三极管保护电路

图 14-35 是三极管保护电路，它是由 T_3 、 T_4 、 R_{e1} 、 R_{e2} 组成。 T_3 、 T_4 是过流保护三极管， R_{e1} 、 R_{e2} 为取样电阻。工作原理与上一电路相同。当输出电流 I_{e1} 过大，使 R_{e1} 上压降 $I_{e1}R_{e1}$ 大于 T_3 管 BE 结导通电压时， T_3 导通，使 T_1 基流减小，也就限制了 I_{e1} 增大。

14.8 内部稳压源电路

某些集成电路，电路内部要求有一个稳定的直流电压。一般有两个方面的用途：一是作为参考，称为基准电压；二是提供独立偏置，称为电压源。通常希望它们具有低的内阻，高的稳定性（主要是温度稳定性）和低的噪声。然而，作为基准电压，着重于强调稳定性，特别要求具有低的温度系数；作为电压源，着重于强调具有低的内阻。但这也是相对而言的，例如在精度较高的稳压电源中，其基准电压内阻的影响也须考虑。因此有些电路形式上是互用的，在实际应用中，需根据电路的具体要求进行选择。下面分别予以介绍。

14.8.1 基准电压电路

一、齐纳二极管基准电压电路

如图 14-36(a) 所示。 D_z 为齐纳二极管，通常采用 BC 结短路的集成晶体管〔如图 14-36(b)〕，利用 EB 结反向击穿电压作为齐纳管击穿电压，故基准电压 V_r 为： $V_r = V_{D_z} = BV_{EB0}$ ，约 $6 \sim 8 \text{ V}$ 。

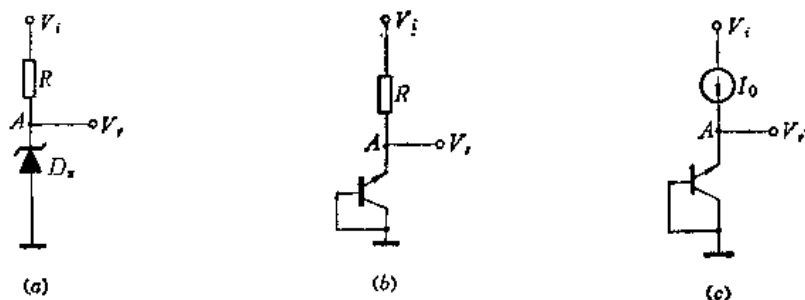


图14-36 齐纳二极管基准电压电路

这种形式电路，从 A 端看进去，总内阻 $R_0 = R // R_r$ ， R_r 为二极管 D_z 本身内阻（约几十欧），通常 $R \gg R_r$ ，所以 $R_0 \approx R_r$ 。 R_r 由两部分组成：一是动态内阻 R_z ，另一是欧姆电阻 R_Ω 。动态内阻 R_z 的存在是因为二极管 PN 结各部分不一致性及其缺陷、杂质的不均匀等因素使结面各处击穿有先有后，随着电流增加，击穿电压也在增加，因此称之为动态内阻。欧姆电阻 R_Ω 包括体电阻和接触电阻。一般来说欧姆电阻的影响是主要的。由于 R_r 的存在，基准电压 V_r 易受外电源变动的影响，其影响大小由下式确定：

$$\Delta V_A = \Delta V_i \frac{R_r}{R + R_r} \quad (14-75)$$

为了减小这种影响，可采用图 14-36(c) 所示恒流源供电方法。

二、具有温度补偿的齐纳管基准电压电路

把齐纳管 D_z 和正向二极管 D 串联起来，如图 14-37(a) 所示，则 $V_r = V_{D_z} + V_D$ 。由

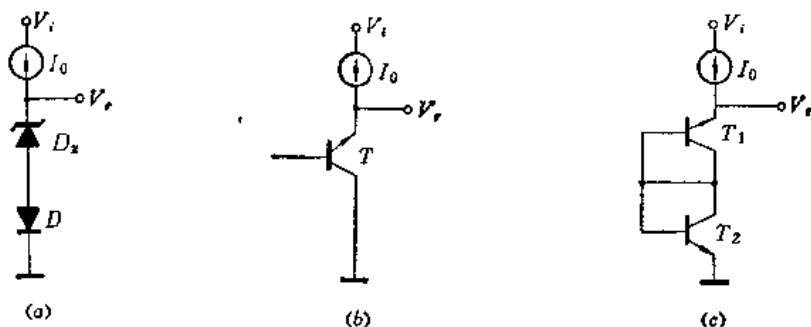


图14-37 具有温度补偿的齐纳管电路

于齐纳管通常具有正的温度系数，而正向二极管通常具有负的温度系数。它们的温度系数与工作电流有关。适当选择工作电流，在一定范围内可实现温度补偿。为方便起见，通常采用如图 14-37(b) 所示基极开路的三极管来代替 D_z 和 D ，但引入了较大的内阻。若采用图 14-37(c) 的结构，内阻会小一些。

三、射极输出式基准电压电路

如图 14-38 所示。这种电路有三个主要特点：一是基准电压采用射极跟随形式， V_r 由 T_1 管射极输出，故内阻较小；二是齐纳管 D_z 与 T_2 管正向 BE 结串接实现了温度补偿；三是 T_1 、 T_2 管和 D_z 组成负反馈电路，这是最主要一点。若某种原因引起基准电压 $V_r \uparrow$ ，则 $V_B \uparrow \rightarrow I_{B2} \uparrow \rightarrow V_A \downarrow \rightarrow V_r \downarrow$ ，使 V_r 又趋于原来数值，因此基准电压更为稳定。

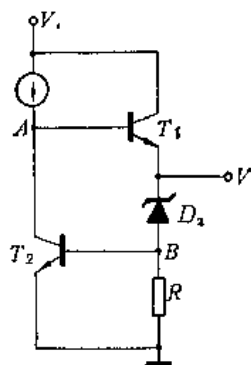


图 14-38 射极输出式基准电压电路

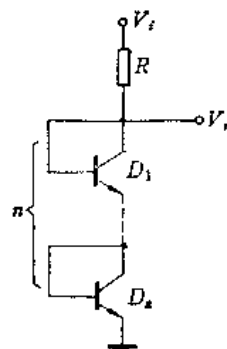


图 14-39 多个二极管串联电路

四、正向二极管串联的基准电压电路

上述三种电路均利用齐纳二极管击穿电压，故 V_r 在 6 V 以上。有时希望基准电压值低一些，可采用若干正向二极管串联构成，如图 14-39 所示。显然，基准电压 $V_r = n \times 0.7 \text{ V}$ 。这种电路的缺点是温度系数大，且随二极管数增加而增加；另外本身内阻较大，为各串联二极管内阻之和。

五、零温度系数的基准电压电路

在集成电路中，可以利用齐纳二极管与扩散电阻的正温度系数和正向二极管的负温度系数特性，进行一定的配合，获得零温度系的基准电压。这种基准电压电路如图 14-40 所示。工作原理如下：由于齐纳二极管 D_z 有正温度系数，故当温度上升时， V_{D_z} 随之上升，A 点电位亦随之上升，而 A 与 B 之间 n 个二极管（包括 T 的 BE 结）的正向压降是随着温度升高而下降的，若两者作用结果使 B 点电位 V_B 随温度升高而升高；又 C 点与地之间有 m 个正向二极管，故 V_C 随温度升高而下降。随着温度的升高， V_B 升高， V_C 下降，适当选择 m 、 n 和 R_1 、 R_2 的比例，必定可在 B、C 之间得到一点 Q，其电位不随温度变化，由 Q 点输出的 V_r ，即为零温度系数的基准电压。

为了避免由于输入变动产生的影响，图 14-40 中由 T_1 、 T_2 管组成基本恒流源。恒流源 I_0 向 D_z 提供恒定电流，从而保证齐纳管的击穿电压恒定；由恒流源 I_0' 作为晶体管 T 的集电极电流，从而也恒定了晶体管射极支路上的电流。

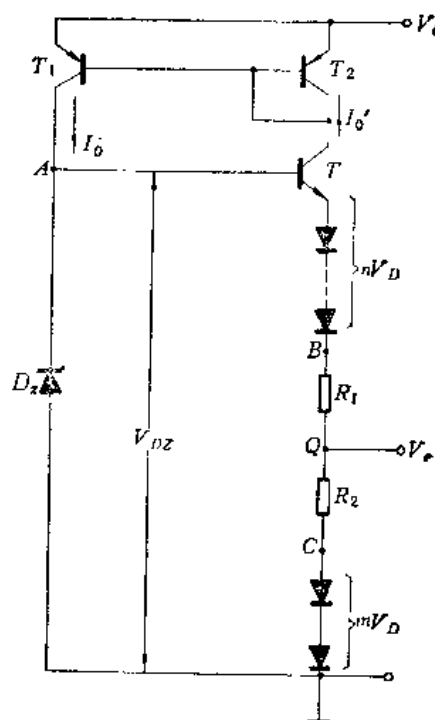


图 14-40 零温度系数基准电压电路

这种电路的缺点是：一是由于影响基准电压的因素较多，因此工艺上要求较严格；二是齐纳管本身有较大的噪声电压，用于电路中易引起振荡，往往需要外接大容量补偿电容；三是这种基准电压其内阻近似为 $R_1 // R_2$ ，不算很小，故负荷能力不大。

六、低噪声零温度系数基准电压电路

如图 14-41 所示。 T_1 、 T_2 、 R_1 、 R_3 实际上组成了小电流恒流源。基准电压 V_r 为电阻 R_2 上压降 V_{R_2} 和 T_3 管 BE 结正向压降之和，故可得到较小数值的 V_r ，约可小到 1V 左右。由于未用齐纳二极管，噪声也较低。下面分析一下这个线路如何实现零温度系数的。

由式 (14-62) 可得降于电阻 R_3 上压降 ΔV_{BE} 为：

$$\Delta V_{BE} = V_{BE1} - V_{BE2} = V_T \ln \frac{I_{e1}}{I_{e2}} = I_{e2} R_3 \quad (14-76)$$

若管子 β 较大，基流很小，近似有 $I_1 \approx I_{e1}$ ， $I_2 \approx I_{e2}$ ，则降于电阻 R_2 上压降为：

$$V_{R_2} = I_2 R_2 \approx I_{e2} R_2 = \frac{R_2}{R_3} V_T \ln \frac{I_{e1}}{I_{e2}} \quad (14-77)$$

由图 14-41 可知， $V_{R_1} + V_{BE1} = V_{R_2} + V_{BE3}$ ，所以

$$V_{R_1} = V_{R_2} + V_{BE3} - V_{BE1} = V_{R_2} - V_T \ln \frac{I_{e3}}{I_{e1}} \quad (14-78)$$

显然只要满足 $V_T \ln \frac{I_{e3}}{I_{e1}}$ 远小于 V_{R_1} 或 V_{R_2} (T_1 、 T_3 导通时一般来说能够满足)，有 $V_{R_1} \approx V_{R_2}$ ，则

$$\frac{R_2}{R_1} = \frac{I_1}{I_2} \approx \frac{I_{e1}}{I_{e2}}$$

代入式 (14-77)

$$V_{R_2} = \frac{R_2}{R_3} V_T \ln \frac{R_2}{R_1} \quad (14-79)$$

所以基准电压 V_r 就可写为：

$$V_r = V_{R_2} + V_{BE3} = \frac{R_2}{R_3} V_T \ln \frac{R_2}{R_1} + V_{BE3} \quad (14-80)$$

基准电压的温度系数为：

$$\frac{\partial V_r}{\partial T} = \frac{R_2}{R_3} \frac{K}{q} \ln \frac{R_2}{R_1} + \frac{\partial V_{BE3}}{\partial T} \quad (14-81)$$

由于 $\frac{\partial V_{BE3}}{\partial T} < 0$ ，因此只要适当配置 R_1 、 R_2 、 R_3 ，可使 $\frac{\partial V_r}{\partial T} \rightarrow 0$ ，得到零温度系数基准电压。另外这种电路 T_3 、 R_2 接成电压并联负反馈形式，内阻较小。

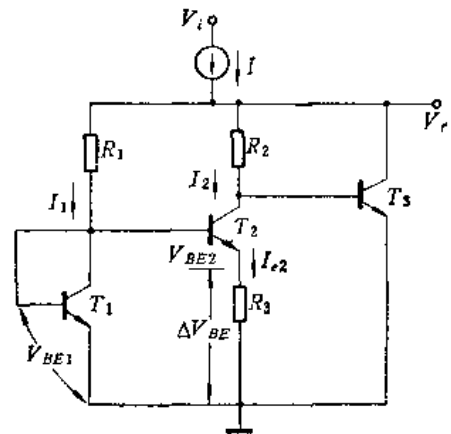


图 14-41 低噪声零温度系数基准电压电路

14.8.2 电压源电路

一、简单的射极输出电压源电路

如图 14-42 所示。其输出电压 V_o 为:

$$V_o \approx V_i \frac{R_2}{R_1 + R_2} \quad (14-82)$$

图 14-42 中, 二极管 D 用来作为 T 管 BE 结的温度补偿, Z_L 表示负荷。由图 14-42 很容易得到此电压源的内阻 R_o 为:

$$R_o \approx \frac{R_1 R_2}{\beta (R_1 + R_2)} + \frac{V_T}{I_C} \quad (14-83)$$

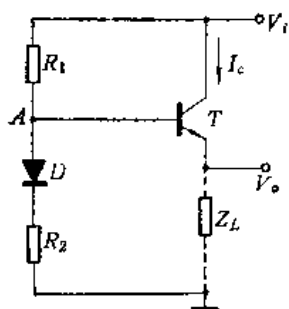


图14-42 射极输出电压源

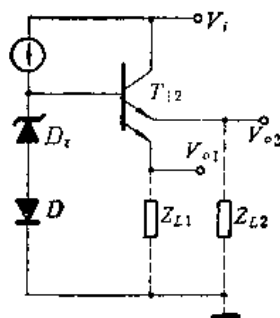


图14-43 双电压源电路

在某些应用中, 要求多个同样电压源, 以使各交流信号分别流经各个电压源。在集成电路中, 可以采用多射极管来代替图 14-42 中的三极管。图 14-43 表示了二个电压源的电路, T_{12} 即为双射极管, V_{o1} 、 V_{o2} 为两个彼此独立的电压源。

二、改进型射极输出电压源电路

如果希望电压源具有更小的内阻, 可采用如图 14-44 所示电路, 它由并联负反馈电路 (T_1 、 R_1 、 R_2) 及射极输出器 T_2 组成。显然输出电压为

$$V_o = V_A - V_{BE} \approx V_{BE} \frac{R_1}{R_2} \quad (14-84)$$

可见, 输出电压可以通过调节 $\frac{R_1}{R_2}$ 之值来控制, 而与外电源无关。根据电压并联负反馈电路输出电阻的计算方法, 可直接写出 T_1 的输出电阻, 即从节点 A 看入的电阻为 $R_A \approx \frac{R_1}{\beta_1}$ 。从输出电压处 (Q 点) 看入的电压源内阻 R_o 为:

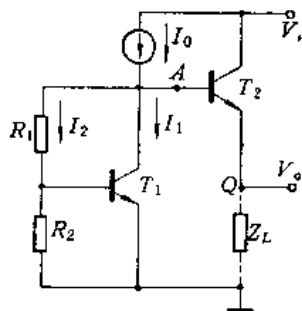


图14-44 低内阻电压源

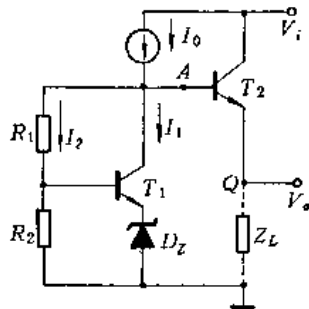


图14-45 输出高电压的电压源

$$R_0 \approx \frac{R_A}{\beta_2} + r_{e2} = \frac{R_1}{\beta_1 \beta_2} + r_{e2} \quad (14-85)$$

可见, 这种电路内阻是较小的。

有时要求有较高电压的电压源, 可采用如图 14-45 所示的电路形式, 输出电压可写为:

$$V_o = V_A - V_{BE2} = V_{B2} \left(1 + \frac{R_1}{R_2} \right) + V_{BE} \frac{R_1}{R_2} \quad (14-86)$$

这种电压源电路对于要求输出电压 V_o 在 20~100 V 范围是比较适宜的。

14.9 模拟乘法电路

在某些模拟集成电路的应用中, 特别是用于自动化装置的电路中, 要求输出信号与两个输入信号的乘积成正比。如果以信号电压为参量, 应有:

$$v_o = K_m v_{i1} v_{i2} \quad (14-87)$$

我们称具有这种功能的电路为模拟乘法器, 其中 K_m 为模拟乘法器的增益常数。

模拟乘法器的构成是基于晶体管的跨导与其射极偏置电流成正比。其工作原理可从图 14-46 带恒流源的差放来说明。设 v_{i1} 、 v_{i2} 为两个输入信号电压, 若 v_{i1} 为小信号, 则双端输出电压可表示为:

$$v_o = g_m R_c v_{i1} \quad (14-88)$$

g_m 为差分级的跨导, 由式 (14-22) 可写出:

$$g_m = -\frac{I_0}{2V_T}$$

I_0 为 v_{i2} 为零时 T_3 管集电极电流。从图 14-46 可见, v_{i2} 加于 T_3 管基极, 显然通过 T_3 管电流将随着 v_{i2} 而变化, 也就是差分级之跨导将随着 v_{i2} 而变化。设这时 I_0 变成 $i_0 = I_0 + \Delta I_0$, 则

$$g'_m = -\frac{i_0}{2V_T} = \frac{I_0 + \Delta I_0}{2V_T}$$

ΔI_0 为 v_{i2} 引起电流的变化, 在小信号情况下, ΔI_0 与 v_{i2} 成正比, 可表示为: $\Delta I_0 = g_{m3} v_{i2}$, $g_{m3} = \frac{\Delta I_0}{v_{i2}}$, g_{m3} 为 T_3 管的跨导。

当考虑到 v_{i1} 、 v_{i2} 同时变化时, 则

$$\begin{aligned} v_o &= g'_m R_c v_{i1} = \frac{(I_0 + \Delta I_0)}{2V_T} R_c v_{i1} = K_{v0} v_{i1} + \frac{g_{m3} R_c}{2V_T} v_{i1} v_{i2} \\ &= K_{v0} v_{i1} + K_{m1} v_{i1} v_{i2} \end{aligned} \quad (14-89)$$

其中 $K_{v0} = -\frac{I_0}{2V_T} R_c$ 为 T_3 管基极加恒定电压时差分放大器的电压增益, $K_{m1} = \frac{g_{m3} R_c}{2V_T}$ 为增益常数, 表示输出电压 v_o 和两输入电压之积 $v_{i1} \cdot v_{i2}$ 间的比例关系。

由上式可见, 带恒流源的差分放大器有相乘作用, 因此它能完成模拟乘法器的功能。但是这种简单电路有明显的缺点: 首先从式 (14-89) 可见, 输出 v_o 中除包括 $v_{i1} \cdot v_{i2}$ 乘

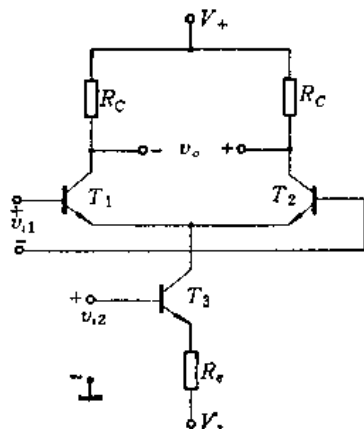


图14-46 简单的模拟乘法器

积一项之外, 还有 $K_{v_0} v_{i1}$ 项, 这在模拟乘法器中是不希望有的; 其次是射极电流 I_0 随着 v_{i2} 而变化, 将在差分输出端引起较大的共模输出分量; 第三是 v_{i2} 只能单端输入; 第四是 T_3 管温漂没能给予线路上的补偿。为解决上述这些问题, 下面介绍广泛采用的另一种模拟乘法器电路。

先回顾一下在差分放大器中集电极电流和输入电压的关系。在图 14-4 的基本差分放大器中

$$v_{id} = v_{i1} - v_{i2} = V_{BE1} - V_{BE2} \quad (14-90)$$

$$I_{C1} \approx I_{e1} = I_0 e^{(v_{id} + V_{BE2})/V_T} \quad (14-91)$$

$$I_{C2} \approx I_{e2} = I_0 e^{V_{BE2}/V_T} \quad (14-92)$$

$$\text{又由} \quad I_0 = I_{e1} + I_{e2} \approx I_{C1} + I_{C2} \quad (14-93)$$

利用式 (14-91)、(14-92)、(14-93) 可得:

$$I_{C1} \approx \frac{I_0 e^{v_{id}/V_T}}{1 + e^{v_{id}/V_T}} = I_0 f_1(v_{id}) \quad (14-94)$$

$$\text{同理} \quad I_{C2} \approx \frac{I_0}{1 + e^{v_{id}/V_T}} = I_0 f_2(v_{id}) \quad (14-95)$$

利用上述基本方程, 分析如图 14-47 所示的较完善的模拟乘法器。其基本部分由六个晶体管组成, 图中 v_{i1} 、 v_{i2} 为两个输入信号, T_3 、 T_4 集电极作为输出端。根据式 (14-94)、(14-95) 可得:

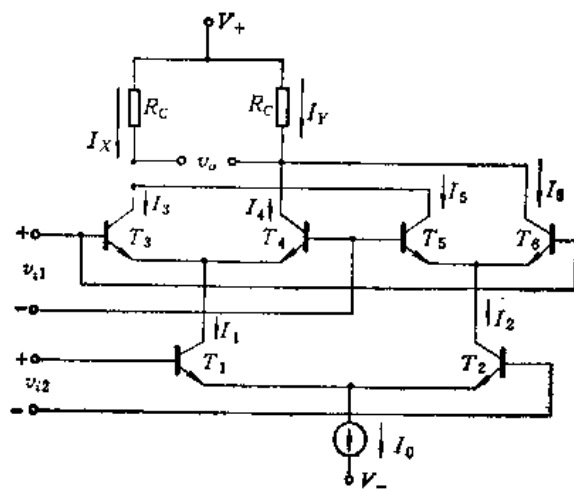


图 14-47 模拟乘法器

$$\left. \begin{aligned} I_1 &= \frac{I_0 e^{v_{i2}/V_T}}{1 + e^{v_{i2}/V_T}} = I_0 f_1(v_{i2}) \\ I_2 &= \frac{I_0}{1 + e^{v_{i2}/V_T}} = I_0 f_2(v_{i2}) \end{aligned} \right\} \quad (14-96)$$

$$\left. \begin{aligned} I_3 &= \frac{I_1 e^{v_{i1}/V_T}}{1 + e^{v_{i1}/V_T}} = I_1 f_1(v_{i1}) \\ I_4 &= \frac{I_1}{1 + e^{v_{i1}/V_T}} = I_1 f_2(v_{i1}) \end{aligned} \right\} \quad (14-97)$$

$$\left. \begin{aligned} I_5 &= \frac{I_2}{1 + e^{v_{i1}/V_T}} = I_2 f_2(v_{i1}) \\ I_6 &= \frac{I_2 e^{v_{i1}/V_T}}{1 + e^{v_{i1}/V_T}} = I_2 f_1(v_{i1}) \end{aligned} \right\} \quad (14-98)$$

则

$$\begin{aligned} I_x &= I_3 + I_5 = I_1 f_1(v_{i1}) + I_2 f_2(v_{i1}) \\ &= I_0 f_1(v_{i2}) f_1(v_{i1}) + I_0 f_2(v_{i2}) f_2(v_{i1}) \end{aligned} \quad (14-99)$$

$$\begin{aligned} I_y &= I_4 + I_6 = I_1 f_2(v_{i1}) + I_2 f_1(v_{i1}) \\ &= I_0 f_1(v_{i2}) f_2(v_{i1}) + I_0 f_2(v_{i2}) f_1(v_{i1}) \end{aligned} \quad (14-100)$$

输出电流 I_d 即为 I_x 和 I_y 之差, 故有

$$\begin{aligned} I_d &= I_x - I_y = I_0 \left[\frac{e^{\frac{v_{i2}}{V_T}} \cdot e^{\frac{v_{i1}}{V_T}} + 1 - e^{\frac{v_{i2}}{V_T}} - e^{\frac{v_{i1}}{V_T}}}{(1 + e^{v_{i2}/V_T})(1 + e^{v_{i1}/V_T})} \right] \\ &= I_0 \left[\frac{e^{\frac{v_{i2}}{2V_T}} - e^{-\frac{v_{i2}}{2V_T}}}{e^{\frac{v_{i2}}{2V_T}} + e^{-\frac{v_{i2}}{2V_T}}} \right] \left[\frac{e^{\frac{v_{i1}}{2V_T}} - e^{-\frac{v_{i1}}{2V_T}}}{e^{\frac{v_{i1}}{2V_T}} + e^{-\frac{v_{i1}}{2V_T}}} \right] \\ &= I_0 \tanh \frac{v_{i2}}{2V_T} \tanh \frac{v_{i1}}{2V_T} \end{aligned} \quad (4-101)$$

根据数学公式中 $\tanh x$ 的展开式

$$\tanh x = x - \frac{x^3}{3} + \frac{2}{15}x^5 - \dots$$

并认为 v_{i1} 、 v_{i2} 为小信号, 取第一项作为近似值, 则

$$I_d = I_x - I_y = I_0 - \frac{1}{4V_T^2} v_{i1} v_{i2} \quad (14-102)$$

那么输出电压可表示为

$$v_o = I_d R_c = -\frac{I_0}{4V_T^2} R_c v_{i1} v_{i2} = K_m v_{i1} v_{i2} \quad (14-103)$$

其中 K_m 为增益常数, $K_m = -\frac{I_0}{4V_T^2} R_c$ 。

式 (14-103) 说明了该电路具有模拟乘法器的功能。

集成模拟乘法器除在自动化仪表中用于实现两个模拟量相乘外, 还可用来完成检波、鉴频、解调等功能, 在电视集成电路中获得了广泛的应用。

参 考 资 料

- [1] 《电机工程手册》, 第42篇集成电路, 机械工程手册电机工程手册编辑委员会, 机械工业出版社, 1978年。
- [2] “半导体器件”, 上海元件五厂情报资料室, 第3期, 1976.6。
- [3] “集成直流稳压源译文集”, 上海无线电七厂, 上海无线电七厂出版社, 1976年。
- [4] 张郁弘、庄灿涛编著, 《晶体管运算放大器及其应用》, 国防工业出版社, 1978年。
- [5] Alan B. Grebene, 《Analog Integrated Circuit Design》, V. N. R. Company, 1972。
- [6] Douglas I. Hamilton, 《Basic Integrated Circuit Engineering》, McGraw-Hill Book Company, 1975。
- [7] V. H. Grinich, et al, 《Introduction to Integrated Circuits》, McGraw-Hill Book Company, 1975。

第十五章 集成运算放大器电路分析

15.1 运算放大器的基本应用

15.1.1 运算放大器电路模型

运算放大器，顾名思义，是一种能够实现数学运算的放大器。如果说得确切一点，“运算放大器”实际上是一个高增益直接耦合放大器。当给它加上一定形式的反馈，便能完成加法、减法、积分、微分等等数学运算，这就是当初称为“运算放大器”的来由。

运算放大器可以看成是一个具有一定开环增益、输入阻抗、输出阻抗的放大器，其小信号电路模型如图 15-1 (a) 所示。图中 (-) 端为反相输入端，表示输出信号与输入信号相位相反，(+) 端为同相输入端，表示输出信号与输入信号相位相同， R_i 为输入电阻， R_{out} 为输出电阻， K_V 是放大器开环增益。为简便起见，通常用图 15-1 (b) 表示一个运算放大器。

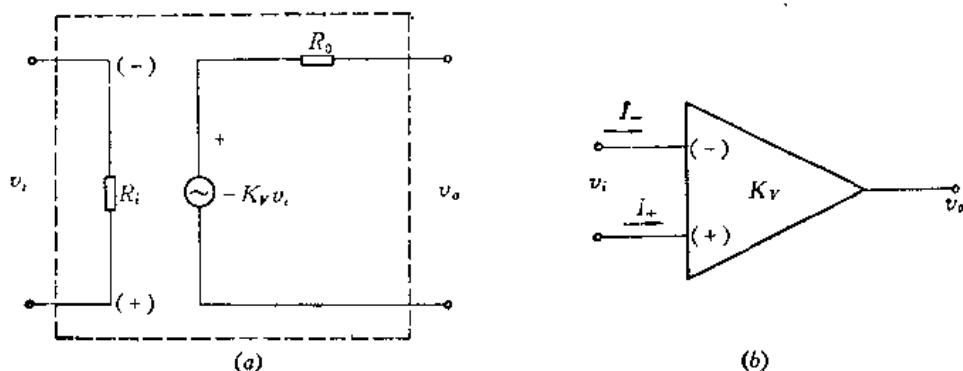


图15-1 运算放大器
(a) 小信号电路模型；(b) 运放的符号。

15.1.2 理想运算放大器

理想运算放大器就是其各项参数均达到理想的最佳值，其主要特征是：

- (1) 开环增益 $K_V \rightarrow \infty$ ；
- (2) 输入电阻 $R_{in} \rightarrow \infty$ ，即输入电流 $I_+ = I_- = 0$ ；
- (3) 输出电阻 $R_{out} \rightarrow 0$ ；
- (4) 输入失调电压和失调电流为零；
- (5) 开环带宽为无限大，转移速度为无限大；
- (6) 没有噪声。

当然实际上是不可能有这样理想运算放大器的,但在具体应用的情况下,往往把一个运算放大器看成是理想的,对于一定运算精度范围内,这种人为的相对理想化又是可行的,这对简化问题的分析,将带来很大的方便。因此对一个实际运放常常希望它达到理想的指标。

15.1.3 运算放大器负反馈的基本电路形式

如前所述,运算放大器在实际使用中,往往要加以一定形式的正或负反馈网络,形成闭环运用。如果从输出端反馈到放大器同相端(+),如图15-2(a)所示,则构成正反馈电路。利用正反馈特性,可作成正弦波、方波等信号发生器。如果从输出端反馈到放大器反相端(-),如图15-2(b)所示,则构成负反馈电路。由于集成运放的开环增益较大,在采用负反馈后,虽然其闭环增益较小,但闭环增益的特性比较稳定,基本上仅取决于反馈网络,而且还改善了电路的频响、温漂等特性,有利于提高数学运算的精度。负反馈放大器应用很广泛,形式也很多,但常用的基本电路主要是以下两种。

一、同相放大器

同相放大器如图15-3所示。输入信号 v_i 加于放大器的同相输入端,输出电压 v_o 与输入电压 v_i 是同相的。 z_f 、 z_i 构成负反馈回路, z_f 是反馈阻抗, z_i 是为了获得所需闭环增益的阻抗。由

$$v_o = -K_v v_i \quad (15-1)$$

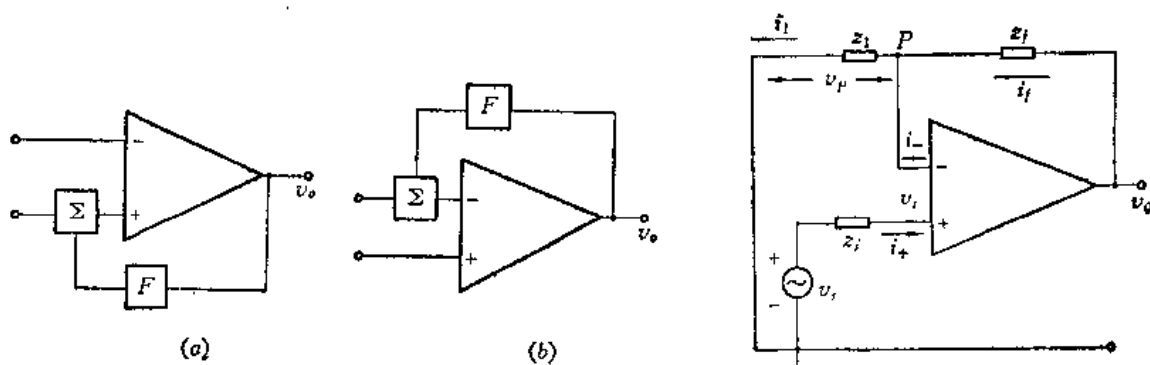


图15-2 反馈放大器方框图
(a) 正反馈; (b) 负反馈。

图15-3 同相放大器

若 $K_v \rightarrow \infty$,那么对于一个有限值的输出电压 v_o ,其输入电压 $v_i \rightarrow 0$,又由于放大器是理想的, $i_- = i_+ = 0$,故 z_f 与 z_i 节点处之电平 v_p 为:

$$v_p = v_i + v_s = v_i \quad (15-2)$$

所以

$$i_1 = \frac{v_p}{z_1} = \frac{v_i}{z_1} \quad (15-3)$$

因此

$$i_f = -\frac{v_o - v_p}{z_f} = -\frac{v_o - v_i}{z_f} \quad (15-4)$$

由于 $i_- = 0$,根据基尔霍夫定律,必有

$$i_1 = i_f \quad (15-5)$$

把式 (15-3)、(15-4) 代入式 (15-5), 整理后可得:

$$\frac{v_o}{v_s} = \frac{z_f}{z_i} + 1 \quad (15-6)$$

令 $K_f = \frac{v_o}{v_s}$, K_f 称为放大器的闭环增益, 则

$$K_f = \frac{v_o}{v_s} = \frac{z_f}{z_i} + 1 \quad (15-7)$$

可见, 在开环增益 $K_v \rightarrow \infty$ 情况下, 闭环增益 K_f 完全由反馈回路 z_f 、 z_i 所决定。

图 15-3 中 z_i 为信号源内阻, 使用中常选取 $z_i // z_f = z_s$, 以此消除输入基流不平衡引起的失调。

同相放大器电路实际上是电压串联负反馈放大器。对于电压串联负反馈放大器, 它有较强的输入阻抗以及较小的输出阻抗。根据负反馈原理可写出输入、输出阻抗如下:

$$\text{输入阻抗} \quad z_{i_f} = \frac{1}{1 + (z_f/z_i)} z_{in} \quad (15-8)$$

$$\text{输出阻抗} \quad z_{o_f} = \frac{1 + (z_f/z_i)}{K_v} z_o \quad (15-9)$$

式中 z_{in} 、 z_o 为开环放大器的输入、输出阻抗。

作为这种同相负反馈电路的一种特殊情况, 当 $z_i \rightarrow \infty$ 时, 就成了如图 15-4 之形式。根据式 (15-7), 当 $z_i \rightarrow \infty$, 得

$$K_f = \frac{z_f}{z_i} + 1 = 1 \quad (15-10)$$

这就成为闭环增益为 1 的电压跟随器。有输入阻抗高和输出阻抗低的特点, 可用作阻抗变换。

二、反相放大器

反相放大器如图 15-5 所示。其输出电压 v_o 与输入电压 v_s 是反相的, 即输入信号通过 z_i 加到放大器的反相端; z_f 、 z_i 构成了反馈回路, z_f 为反馈阻抗。

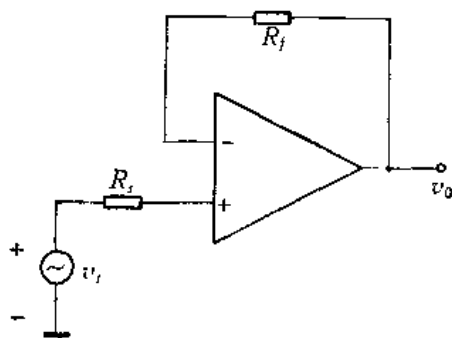


图15-4 电压跟随器

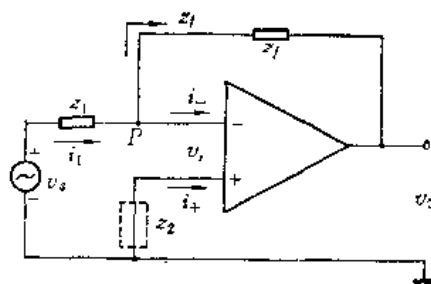


图15-5 反相放大器

若设开环增益 $K_v \rightarrow \infty$, 则 $v_p \rightarrow 0$, 同相端直接接地, 因此 z_i 与 z_f 节点处电压 v_p 近似为零。若放大器是理想的, 有 $i_- = i_+ = 0$, 根据基尔霍夫定律有

$$i_1 = i_f \quad (15-11)$$

$$\text{又} \quad i_1 = \frac{v_s - v_p}{z_i} = \frac{v_s}{z_i} \quad (15-12)$$

$$i_f = \frac{v_p - v_o}{z_f} = -\frac{v_o}{z_f} \quad (15-13)$$

可得到

$$\frac{v_f}{z_1} = -\frac{v_o}{z_f}$$

则

$$K_f = \frac{v_o}{v_f} = -\frac{z_f}{z_1} \quad (15-14)$$

可见闭环增益 K_f 与 z_f 、 z_1 有关。

为了消除输入基流不平衡引起的失调, 通常在同相端接入 z_2 (图中虚线所示), 并取 $z_2 = z_1 // z_f$, 图中信号源内阻 R_s 包括于 z_1 之中。

上面提到的 P 点处电压 v_p 近似为零, 通常称为虚地。 P 点称为虚地点。所谓虚地, 就是 P 点电位很低, 几乎接近地电位; 但 P 点不是真正的地, 如果 P 点是真正的地, 则所有输入信号均被短路。所以, 虚地是 P 点电位小到可以忽略; 而流入放大器电流近似为零。利用 P 点是虚地概念, 直接有 $i_- = i_+ = 0$ 。后面还会看到, 利用虚地概念, 使分析问题简化。

反相放大器实质上是电压并联负反馈放大器。对于电压并联负反馈放大器, 它有较低的输入阻抗和输出阻抗。可写出输入、输出阻抗如下:

$$z_{if} = z_1 + \frac{z_f}{1 + K_v} \approx z_1 \quad (15-15)$$

$$z_{of} = z_o \left[\frac{1 + (z_f/z_1)}{K_v} \right] \quad (15-16)$$

作为反相放大器的一种特殊情况, 若取 $z_1 = z_f$, 从式 (15-14) 得: $K_f = -1$, 即 $v_o = -v_f$, 它说明输出电压与输入电压大小相等, 相位相反, 这就构成了一个倒相器。在数学运算中常用它实现反相运算。

15.1.4 运算放大器的基本应用

运算放大器应用相当广泛, 在这里不可能一一讨论它, 下面仅对运放用以实现基本数学运算作一简单介绍。

一、加法器

放大器的输出电压为几个输入电压的代数和称为加法器。图 15-6 是加法器原理电路图。因为放大器输入端 P 点是“虚地”的, 所以三个输入电流 i_1 、 i_2 、 i_3 全部流入反馈电阻 R_f , 即

$$i_1 + i_2 + i_3 = i_f \quad (15-17)$$

由于 P 点是“虚地”的, 上式又改写为

$$\frac{v_{s1}}{R_1} + \frac{v_{s2}}{R_2} + \frac{v_{s3}}{R_3} = -\frac{v_o}{R_f}$$

所以

$$v_o = -R_f \left(\frac{v_{s1}}{R_1} + \frac{v_{s2}}{R_2} + \frac{v_{s3}}{R_3} \right)$$

若 $R_1 = R_2 = R_3 = R_f$, 则

$$v_o = -(v_{s1} + v_{s2} + v_{s3}) \quad (15-18)$$

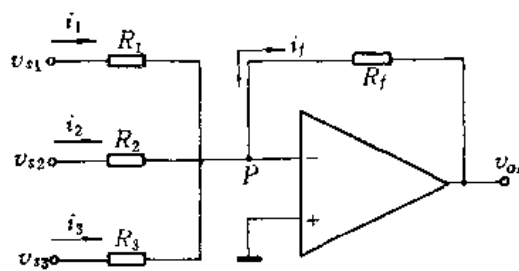


图15-6 加法器原理图

即放大器的输出电压直接等于各输入电压之和, 不过相位相反。若在其后再接一个倒相器, 就构成一个完整的加法器。

二、减法器

若放大器的输出电压是两个输入信号电压的代数差, 则称为减法器。图 15-7 是减法器原理电路图。首先将 v_{s1} 短路, 变成反相输入电路, 则

$$v_{o2} = -\frac{R_f}{R_2} v_{s2} \quad (15-19)$$

然后将 v_{s2} 短路, 变成同相输入电路, 则

$$v_{o1} = \frac{R_2 + R_f}{R_2} v_B$$

由于放大器 $R_{in} \rightarrow \infty$, 所以

$$v_{o1} = \frac{R_2 + R_f}{R_2} \cdot \frac{R_f}{R_1 + R_f} v_{s1} \quad (15-20)$$

根据迭加原理可得

$$v_o = v_{o1} + v_{o2} = \frac{R_2 + R_f}{R_2} \cdot \frac{R_f}{R_1 + R_f} v_{s1} - \frac{R_f}{R_2} v_{s2}$$

若 $R_1 = R_2 = R_f$, 则

$$v_o = v_{s1} - v_{s2} \quad (15-21)$$

即放大器的输出电压等于两个输入电压之差, 从而构成一个减法器。

三、积分器

若放大器的输出电压与输入电压成积分关系, 则称为积分器。图 15-8 是积分器原理电路图。设输入信号 v_s 是时间的任意函数, $v_s = v_s(t)$, 又考虑到 P 点是“虚地”的, 则流过 R 的电流 i_1 为:

$$i_1(t) = \frac{v_s(t)}{R} \quad (15-22)$$

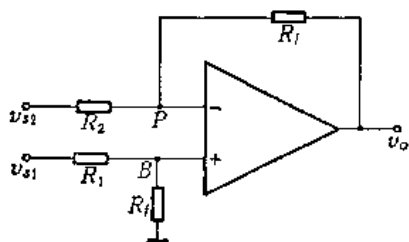


图15-7 减法器原理图

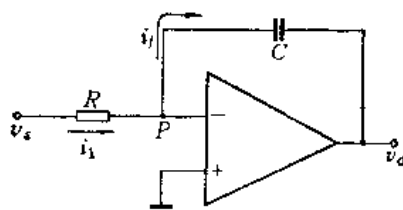


图15-8 积分器原理图

这个电流全部对电容 C 进行充电, 即

$$i_f(t) = i_1(t) = \frac{v_s(t)}{R} \quad (15-23)$$

则

$$v_o(t) = -\frac{1}{C} \int i_f dt = -\frac{1}{RC} \int v_s(t) dt \quad (15-24)$$

即放大器的输出电压与输入电压的积分成比例, 从而构成一个积分器。

四、微分器

若放大器的输出电压与输入电压成微分关系, 则称为微分器。从数学上可知微分是积分的反运算, 所以, 只要把图 15-8 所示积分电路中的 R 、 C 互换位置即可构成微分器。图 15-9 是微分器原理电路图。根据电容器的特性, 流过电容器上的电流是电容两端电压对时间的微分, 即

$$i_1(t) = C \frac{dv_i}{dt} \quad (15-25)$$

由于 P 点是“虚地”的, 放 i_1 全部流入 R 支路, 因此输出电压 v_o 为:

$$v_o = -i_f R = -i_1 R = -RC \frac{dv_i}{dt} \quad (15-26)$$

即放大器的输出电压正比于输入电压的微分, 因此称为微分器。

五、对数放大器和反对数放大器

若放大器的输出电压与输入电压成对数关系, 则称为对数放大器。图 15-10 是对数放大器的原理电路图。从图可见, 由于 P 点是“虚地”的, 则

$$i_c = i_1 = \frac{v_i}{R_1}$$

$$v_o = -v_{BE} = -V_T \ln \frac{i_c}{I_{ES}} = -V_T (\ln v_i - \ln R_1 I_{ES}) = -V_T \ln v_i + C \quad (15-27)$$

即放大器的输出电压与输入电压的对数成比例。

如果把对数放大器中的输入电阻 R_1 与对数反馈元件 T 互换位置, 就变成图 15-11 所示的反对数放大器 (或指数放大器) 电路原理图。由于

$$v_o = -i_f R_1$$

$$i_f \approx i_1 \approx I_{ES} e^{v_i/V_T}$$

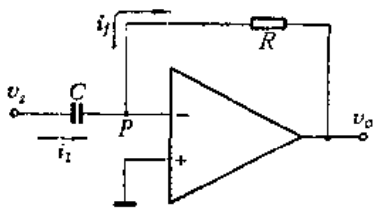


图15-9 微分器原理图

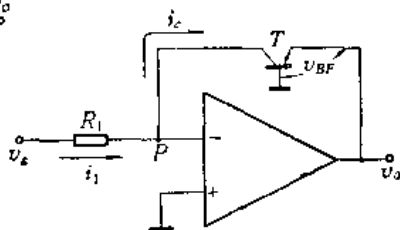


图15-10 对数放大器原理图

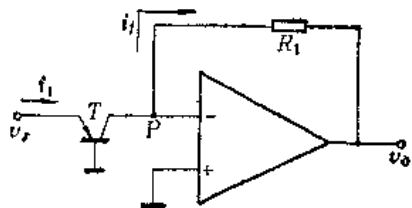


图15-11 反对数放大器原理图

所以
$$v_o = -I_{ES} R_1 e^{v_i/V_T} \quad (15-28)$$

即放大器的输出电压与输入电压成指数关系 (反对数关系)。

把对数放大器和反对数放大器与加法器、减法等配合使用, 很容易组成乘法器、除法器, 完成乘法和除法等运算功能。

15.2 运算放大器的频率补偿技术

15.2.1 放大器开环频率特性

如图 15-12 所示共射单管放大器, 把各种寄生电容, 如扩散电阻 R 的分布电容、隔离寄生电容和引线电容等所产生的影响, 等效为集电极与地之间的一个电容 C , 则集电极总的负载为 R 与 C 并联, 这时放大器电压增益 (即开环增益) 为:

$$K_v(f) = -g_m R \frac{1}{1 + j\omega CR} \quad (15-29)$$

如果认为晶体管本身增益与工作频率无关, 即 g_m 与 f 无关, 且令 $f_{p1} = \frac{1}{2\pi RC}$ 称为极点频率, $K_{v0} = -g_m R$ 称为直流增益, 则式 (15-29) 可写为:

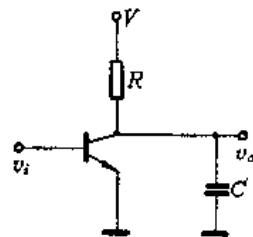


图 15-12 共射单管放大器

$$K_v(f) = \frac{K_{v0}}{1 + j \frac{f}{f_{p1}}} = \frac{K_{v0}}{\sqrt{1 + (f/f_{p1})^2}} e^{j\phi} \quad (15-30)$$

由上式可知, 由于电容 C 的存在, 当工作频率变化时, 电压增益模值和附加相移都发生变化。称电压增益模值与频率关系为幅频特性, 称电压增益附加相移[●]与频率关系为相频特性。根据式 (15-30) 可记为:

$$\text{幅频特性} \quad |K_v(f)| = \frac{|K_{v0}|}{\sqrt{1 + (f/f_{p1})^2}} \quad (15-31)$$

$$\text{相频特性} \quad \phi(f) = -\arctg(f/f_{p1}) \quad (15-32)$$

有时增益的模值用分贝数表示, 则式 (15-31) 改写为:

$$[|K_v(f)|]_{dB} = 20 \log \frac{|K_{v0}|}{\sqrt{1 + (f/f_{p1})^2}} \quad (15-33)$$

如果把上式表示成 K_v - f 曲线关系, 且横轴的频率用对数坐标, 如图 15-13 (a) 中虚曲线所示。当 $f = f_{p1}$ 时, 由式 (15-33) 可得:

$$|K_v(f_{p1})|_{dB} = 20 \log |K_{v0}| - 3 = |K_{v0}|_{dB} - 3 \quad (15-34)$$

从式 (15-34) 可见, 当 $f = f_{p1}$ 时, $|K_v(f_{p1})|_{dB}$ 比 $|K_{v0}|_{dB}$ 小 3 分贝, 所以又称 f_{p1} 为 3 分贝带宽频率。

又由式 (15-32) 可得 ϕ - f 相频特性曲线, 如图 15-13 (b) 中虚曲线所示。显然 $f = f_{p1}$ 时 $\phi = -45^\circ$ 。

一般为方便起见, 用折线近似来代替图 15-13 (a)、(b) 中幅频、相频之虚曲线 (这种近似误差不大)。幅频特性的近似曲线如图 15-13 (a) 中之实线。当 $f \leq f_{p1}$ 时, $|K_v(f)|_{dB} = |K_{v0}|_{dB}$; 当 $f > f_{p1}$ 时, $|K_v(f)|_{dB} = |K_{v0}|_{dB} - 20 \log(f/f_{p1})$ 。由此可知, $f > f_{p1}$ 之后, 频率每增加 10 倍, 增益下降 20 分贝, 即近似曲线斜率为 $-20 \text{ dB}/10 \text{ 倍频程}$ 。相频特性的近似

● 共射放大器的输出电压与输入电压在低频时反相形成的 180° 相位差未计入其内。

曲线如图 15-13(b) 中之实线。当 $f = 0.1f_{P1}$ 时 $\phi \approx 0^\circ$ ；当 $10f_{P1} > f > 0.1f_{P1}$ ， ϕ 以 $-45^\circ/10$ 倍频程增大；当 $f > 10f_{P1}$ 时， $\phi = -90^\circ$ 。值得指出的是，图 15-13 中用折线近似曲线的方法为 H. W. Bode 首先提出，故又称它为波德图。

综上所述，共射单管放大器，它只有一个极点频率 (f_{P1})，其最大附加相移为 -90° 。

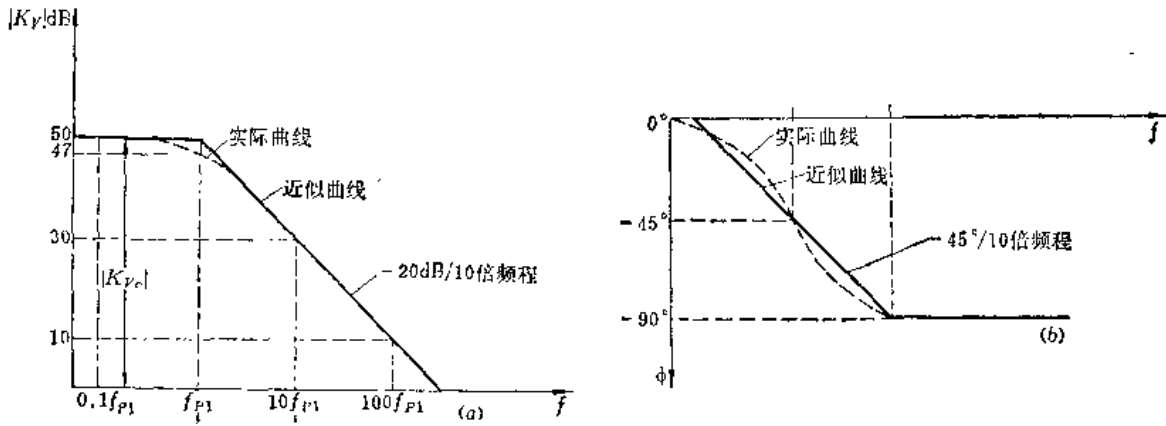


图 15-13 频率特性

(a) 幅频特性；(b) 相频特性。

集成运算放大器总是一个多级放大器，例如一个由三级放大器组成的运算放大器，则总的电压增益为：

$$K_v(f) = K_{v1} \cdot K_{v2} \cdot K_{v3} = \frac{K_{v01}}{\sqrt{1 + (f/f_{P1})^2}} e^{j\phi_1} \cdot \frac{K_{v02}}{\sqrt{1 + (f/f_{P2})^2}} e^{j\phi_2} \times \frac{K_{v03}}{\sqrt{1 + (f/f_{P3})^2}} e^{j\phi_3} = |K_v(f)| e^{j\phi} \quad (15-35)$$

其幅频特性为：

$$|K_v(f)| = \frac{|K_{v01}|}{\sqrt{1 + \left(\frac{f}{f_{P1}}\right)^2}} \cdot \frac{|K_{v02}|}{\sqrt{1 + \left(\frac{f}{f_{P2}}\right)^2}} \times \frac{|K_{v03}|}{\sqrt{1 + \left(\frac{f}{f_{P3}}\right)^2}} \quad (15-36)$$

相频特性为：

$$\begin{aligned} \phi &= \phi_1 + \phi_2 - \phi_3 \\ &= -\arctg\left(\frac{f}{f_{P1}}\right) - \arctg\left(\frac{f}{f_{P2}}\right) - \arctg\left(\frac{f}{f_{P3}}\right) \end{aligned} \quad (15-37)$$

把式 (15-36) 用分贝数表示，则

$$\begin{aligned} |K_v(f)|_{dB} &= 20 \log \frac{|K_{v01}|}{\sqrt{1 + (f/f_{P1})^2}} + 20 \log \frac{|K_{v02}|}{\sqrt{1 + (f/f_{P2})^2}} \\ &\quad + 20 \log \frac{|K_{v03}|}{\sqrt{1 + (f/f_{P3})^2}} \end{aligned} \quad (15-38)$$

若满足 $f_{p3} \gg f_{p2} \gg f_{p1}$, 可画出每一级的波德图如图 15-14 中虚线所示。若把图中各单级虚曲线迭加, 就得到描述三级放大器总的电压增益的幅频与相频特性 (波德图), 如图 15-14 中实线所示。由图可见: 对于幅频特性, 当

$$f_{p2} > f > f_{p1} \quad \text{斜率为} \quad -20\text{dB}/10\text{倍频程}$$

$$f_{p3} > f > f_{p2} \quad \text{斜率为} \quad -40\text{dB}/10\text{倍频程}$$

$$f > f_{p3} \quad \text{斜率为} \quad -60\text{dB}/10\text{倍频程}$$

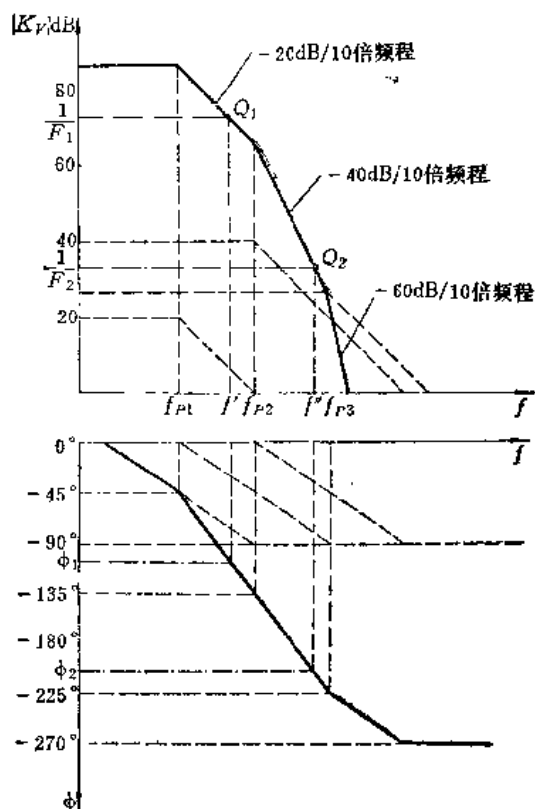


图15-14 三级放大器的幅频、相频特性

对于相频特性, 当

$$f_{p2} > f > f_{p1} \quad \text{附加相移为} \quad -45^\circ \sim -135^\circ$$

$$f_{p3} > f > f_{p2} \quad \text{附加相移为} \quad -135^\circ \sim -225^\circ$$

$$f > f_{p3} \quad \text{附加相移为} \quad -225^\circ \sim -270^\circ$$

由上可知, 随着电路级数的增加, 电压增益的模值随频率增加而下降得更快, 附加相移也相应增大, 对于三级放大器, 最大附加相移达 -270° 。

15.2.2 闭环稳定性

一、闭环稳定的条件

当运算放大器接成负反馈电路形式时 (如图 15-2(b)), 与其他负反馈放大器一样, 其闭环增益一般可写为,

$$K_f(f) = \frac{v_o}{v_i} = \frac{K_v(f)}{1 + K_v(f) \cdot F(f)} \quad (15-39)$$

其中 $K_v(f)$ 为放大器开环增益, $F(f)$ 为放大器反馈系数。如果在分析的问题中, 反馈元件是纯电阻的, 那么反馈系数与工作频率无关, 反馈网络不产生附加相移, 则闭环增益改写为:

$$K_f(f) = \frac{K_v(f)}{1 + K_v(f) \cdot F} \quad (15-40)$$

通常称式 (15-40) 中 $K_v(f) \cdot F$ 为环增益。若满足 $K_v(f) \cdot F = -1$, 那么闭环增益趋于无限大, 放大器就产生振荡。临界振荡条件可写为:

$$K_v(f) \cdot F = -1 \begin{cases} |K_v(f) \cdot F| = 1 \\ \phi = -180^\circ \end{cases} \quad (15-41)$$

上式中 ϕ 仅由开环增益附加相移所确定。在上面讨论的三级放大器中, 注意到当 f 由 $f_{P_2} \rightarrow f_{P_3}$ 时, 开环增益附加相移由 $-135^\circ \sim -225^\circ$, 在这区间某频率上, 附加相移 ϕ 会达到 -180° , 使负反馈变成正反馈; 当反馈量足够大时, 就产生振荡。为了避免振荡, 就应满足如下的闭环稳定条件:

$$\phi = -180^\circ \text{ 时, } |K_v(f) \cdot F| < 1 \quad (15-42)$$

或

$$|K_v(f) \cdot F| \geq 1 \text{ 时, } |\phi| < 180^\circ \quad (15-43)$$

二、闭环特性

当放大器加入负反馈之后, 称放大器处于闭环状态, 这时的幅频特性称为闭环特性。当反馈网络是纯电阻时, 其闭环增益由式 (15-40) 表示。在低频范围内, $|K_v(f)|$ 较大; 通常满足 $|K_v(f) \cdot F| \gg 1$, 因此闭环增益近似为:

$$K_f(f) \approx \frac{1}{F} \quad (15-44)$$

即低频闭环增益为反馈系数的倒数, 是一个不随频率变化的常数, 画在波德图中为平行于横轴的直线, 即图 15-14 中点划线所示。此直线必然与开环幅频特性曲线有一交点, 设为 Q_1 点, 此交点表示, 在该频率下开环增益等于闭环增益, 即当 $f = f'$ 时, $K_v(f') = K_f(f') = \frac{1}{F}$, 则

$$K_v(f') \cdot F = 1 \quad (15-45)$$

又从图可见, 当 $f < f'$ 时, $K_v(f) \cdot F > 1$; 当 $f > f'$ 时, $K_v(f) \cdot F < 1$, 注意到 $f > f'$ 后, 由于 $K_v(f)$ 随 f 不断下降, 由式 (15-40) 可近似认为闭环增益与开环增益近似相等。

综上所述, 一个负反馈放大器, 在未接入反馈时, 称放大器处于开环状态, 开环时的幅频和相频特性称为开环特性, 如图 15-14 中的实线所示。当放大器加入负反馈之后, 称放大器处于闭环状态, 这时的幅频特性称为闭环特性, 如图 15-14 中的点划线所示。以 $K_{f1} = \frac{1}{F_1}$ 一条曲线为例, 在 $f < f'$ 范围内, 闭环特性为一条水平点划线, 在 $f > f'$ 以后, 闭环特性与开环特性曲线近似重合。 f' 为闭环特性的极点频率或称闭环带宽频率, 这时开环附加相移为 ϕ_1 。

三、用闭环特性判别闭环稳定性

根据式 (15-43) 闭环稳定条件, 应有 $|K_v(f) \cdot F| \geq 1$ 时 $|\phi| < 180^\circ$ 。由于在闭环特性和开环特性的交点处 $K_v(f') \cdot F = 1$, 为保证放大器闭环处于稳定状态, 则要求相交点的频率 f' 对应的相频特性应满足 $|\phi(f')| < 180^\circ$, 以符合闭环稳定条件。但在实际应用中, 为保证放大器闭环运用在恶劣条件下能稳定工作, 常常要求有一定的相位余量, 一般要求在 $K_v(f') \cdot F = 1$ 处的附加相移 $|\phi(f')| \leq 135^\circ$, 这样就保证了放大器闭环工作处于稳定状态。由于对应于 $|\phi| = 135^\circ$ 的频率为开环特性的第二极点频率 f_{P2} , 而闭环特性和开环特性相交点的频率为 f' , 当要求 $|\phi(f')| \leq 135^\circ$ 时, 只要 $f' \leq f_{P2}$, 则必然有 $|\phi(f')| \leq 135^\circ$ 。也就是说, 只要闭环特性和开环特性相交点的频率 f' 低于开环特性第二极点频率 f_{P2} , 就能确保放大器闭环工作稳定。又从图 15-14 可知, 放大器开环幅频特性以 $-20 \text{ dB}/10$ 倍频程的斜率下降时, 其最大相移 $|\phi| = 135^\circ$, 而以 $-40 \text{ dB}/10$ 倍频程的斜率下降时, 其最大相移 $|\phi| = 225^\circ$ 。因此放大器闭环稳定的条件又可进一步描述为: 闭环特性与以 $-20 \text{ dB}/10$ 倍频程的斜率下降的开环特性相交时, 放大器是稳定的, 否则是不稳定的。在图 15-14 中画出了两个不同反馈系数 (F_1, F_2) 的闭环特性, 它与开环特性的交点分别为 Q_1, Q_2 , 相应频率为 f', f'' , 附加相移为 ϕ_1, ϕ_2 。从图可见, 交点 Q_1 处于开环特性斜率为 $-20 \text{ dB}/10$ 倍频程范围内, $f' < f_{P2}$, $|\phi_1| < 135^\circ$, 故此闭环工作稳定。交点 Q_2 处于开环特性斜率为 $-40 \text{ dB}/10$ 倍频程范围内, $f'' > f_{P2}$, $|\phi_2| > 180^\circ$, 故此闭环工作不稳定。

15.2.3 频率补偿 (或称相位校正) 技术

一、单个电容补偿

这个方法的关键是设法压低放大器的极点频率, 从而改变开环频率特性。图 15-15 表示有三个极点的放大器未补偿和有补偿时的开环频率特性。对于某一确定的反馈系统, 若反馈系数为 F , 在未补偿时, 闭环特性和开环特性交于 Q 点, 相应频率 f_0 位于 f_{P2} 与 f_{P3} 之间, $f_0 > f_{P2}$, 闭环工作不稳定。假若补偿后第一极点频率由 $f_{P1} \rightarrow f_{P1'}$, 则交点由 $Q \rightarrow Q'$, 则 $f_{0'} < f_{P2}$, 说明闭环工作稳定。下面介绍两种补偿的方法。

1. 简单的电容补偿

用图 15-16 表示一个两级放大器, 图中 K_{V01}, K_{V02} 分别为第一、二级直流电压增益, R_1, R_2 分别为一、二级输出电阻, C_1, C_2 分别为一、二级输出端寄生电容之和, C_+ 为实现频率补偿的电容, 其补偿原理如下:

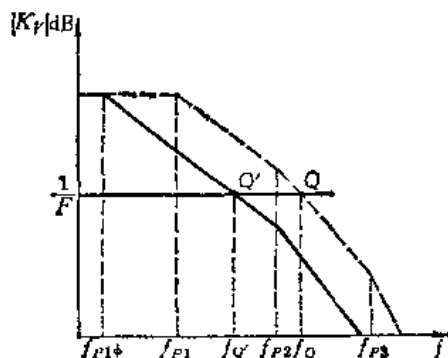


图 15-15 未补偿与有补偿波特图

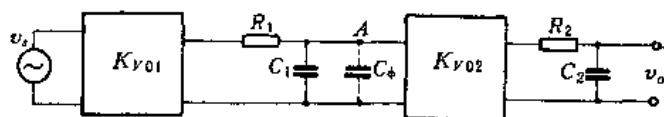


图 15-16 两级放大器原理图

图 15-16 所示放大器, 未加 C_ϕ 补偿时, 电压增益可表示为:

$$K_v(f) = \frac{K_{v01} \cdot K_{v02}}{\left(1 + j \frac{f}{f_{p1}}\right) \left(1 + j \frac{f}{f_{p2}}\right)} \quad (15-46)$$

其中 $f_{p1} = \frac{1}{2\pi R_1 C_1}$ 为第一极点频率, $f_{p2} = \frac{1}{2\pi R_2 C_2}$ 为第二极点频率。若在第一级输出端 A 点并联上补偿电容 C_ϕ , 则第一极点频率就变为 $f_{p1\phi}$, $f_{p1\phi} = \frac{1}{2\pi R_1 (C_1 + C_\phi)}$, 通常 $C_\phi \gg C_1$, 故 $f_{p1\phi} \approx \frac{1}{2\pi R_1 C_\phi}$ 。这样加入 C_ϕ 后, 开环特性为:

$$K_v(f) = \frac{K_{v01} \cdot K_{v02}}{\left(1 + j \frac{f}{f_{p1\phi}}\right) \left(1 + j \frac{f}{f_{p2}}\right)} \quad (15-47)$$

所选取的 C_ϕ 大小由 $f_{p1\phi}$ 来决定。

前面指出, 为了使放大器闭环稳定, 通常要求其闭环特性与开环特性交点对应的频率低于第二极点频率 f_{p2} , 也可把 f_{p2} 作为临界稳定的频率。因此对于一个反馈系数 F 确定的反馈网络, 为了使其闭环稳定, 选择补偿电容的原则为: $f = f_{p2}$ 时, 使开环增益 $K_v(f_{p2})$ 等于闭环增益 $K_f(f_{p2})$ 。在低频时, 一般情况闭环增益 $|K_f| \approx \frac{1}{F}$, 故有

$$|K_v(f_{p2})| = |K_f(f_{p2})| = \frac{1}{F} \quad (15-48)$$

假设补偿后第一极点频率为 $f_{p1\phi}$, 那么在 $f_{p1\phi} < f < f_{p2}$ 之间, 开环增益幅频特性是以 $-20\text{dB}/10$ 倍频程斜率下降, 因而 $K_v(f)$ 可写为:

$$|K_v(f)| = \frac{|K_{v0}|}{\sqrt{1 + (f/f_{p1\phi})^2}} \quad (f_{p1\phi} < f < f_{p2})$$

$$\text{当 } f = f_{p2} \text{ 时} \quad |K_v(f_{p2})| = \frac{K_{v0}}{\sqrt{1 + (f_{p2}/f_{p1\phi})^2}} \quad (15-49)$$

把式 (15-49) 代入式 (15-48) 有

$$\frac{|K_{v0}|}{\sqrt{1 + (f_{p2}/f_{p1\phi})^2}} = \frac{1}{F}$$

若 $f_{p2} \gg f_{p1\phi}$ (通常均成立) 有 $|K_{v0}| \frac{f_{p1\phi}}{f_{p2}} = \frac{1}{F}$, 所以

$$f_{p1\phi} = \frac{f_{p2}}{|K_{v0}|F} \quad (15-50)$$

由于 $f_{p1\phi} = \frac{1}{2\pi C_\phi R_1}$, 代入上式可得:

$$C_\phi = \frac{|K_{v0}|F}{2\pi R_1 f_{p2}} \quad (15-51)$$

● 可以从最坏情况出发, 选择闭环增益等于 1, 但这样其他参数性能有所损失。

图 15-17 表示了反馈系数为 F 的一个两级放大器补偿前后的幅频特性变化情况。未补偿时, 开环增益 K_V 与闭环增益交点为 Q , 闭环处于不稳定状态; 加补偿后, 交点由 $Q \rightarrow Q'$, Q' 处对应频率为 f_{P2} , 闭环处于稳定状态。从图 15-17 可以看出, 若补偿电容 C_c 越大, 则闭环稳定性越好。然而 C_c 越大, 相应的单位增益带宽变窄 (即 $f_{CP}' < f_{CP}$)。

2. “密勒电容”补偿

在单个电容补偿中, 通常所需补偿电容较大, 约 10^4 pF 数量级, 这样大的电容难于用集成工艺获得, 只能外接。然而可以利用在电子线路中学过的“密勒效应”, 即在电压增益级的输入和输出之间接一个电容 C_M , 其效果相当于在该输入端并联一个 $(1 + |K_V|) C_M$ 的电容。 $|K_V|$ 为该级电压增益模值, 电容 C_M 称为“密勒电容”。这样, 采用较小的“密勒电容”就能起到压低极点频率的作用, 使补偿电容做于集成的单片里成为可能 (如 $\mu A741$)。

无论用简单的电容或者“密勒电容”来实现补偿, 都是使放大器极点频率压低, 使放大器的电压增益在更低的频率时就开始下降, 使低频时附加相移增加, 故称滞后补偿 (或称积分校正)。

二、RC 串联网络补偿

上述利用单个电容补偿的方法, 其缺点是频带变窄较甚, 是否能在压低极点频率的同时又使带宽有所改善呢?

图 15-18 表示了反馈系数为 F 的三级放大器的波德图。曲线①是未补偿的开环特性; 曲线②是用单个电容补偿后的开环特性。如果设法消除第二极点频率 f_{P2} , 使放大器只剩下两个极点 f_{P1} 、 f_{P3} , 那么这样补偿后所得之开环特性如图中曲线③。显然曲线③比曲线②相应的单位增益带宽增加了 $(f_{CP}' - f_{CP})$ 。

如何在压低第一极点频率的同时消除第二极点呢? 还是从开环频率特性方程着手来分析。对于一个三级放大器, 未补偿时有

$$K_V(f) = \frac{K_{V01} \cdot K_{V02} \cdot K_{V03}}{\left(1 + j \frac{f}{f_{P1}}\right) \left(1 + j \frac{f}{f_{P2}}\right) \left(1 + j \frac{f}{f_{P3}}\right)} \quad (15-52)$$

如果使上式中 $f_{P1} \rightarrow f_{P1\phi}$, 且在分子上乘上一项 $\left(1 + j \frac{f}{f_{P2}}\right)$, 那么, 式(15-52)就变成

$$K_V(f) = \frac{K_{V01} \cdot K_{V02} \cdot K_{V03}}{\left(1 + j \frac{f}{f_{P1\phi}}\right) \left(1 + j \frac{f}{f_{P3}}\right)} \quad (15-53)$$

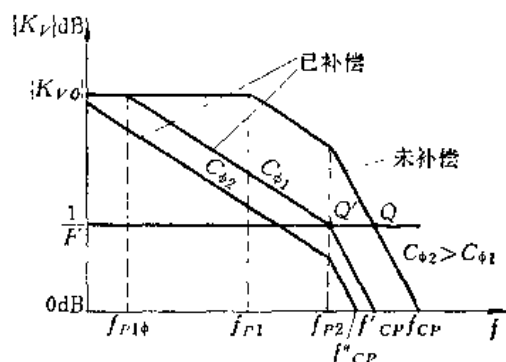


图 15-17 单个电容补偿前后的波德图

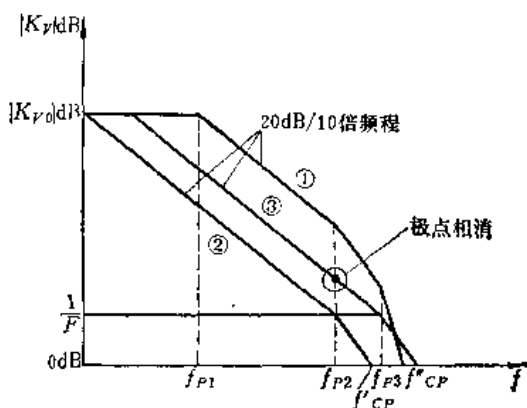


图 15-18 三级放大器的波德图

这就达到了在压低第一极点频率的同时又消除了第二极点的目的。这种消除极点的物理意义是：由于某种因素使电压增益在 $f \rightarrow f_{p_2}$ 时产生超前相移的趋势，从而抵消了原先在 $f \rightarrow f_{p_2}$ 时产生落后相移的趋势，维持了电压增益在 $f \rightarrow f_{p_2}$ 时仍按以前的斜率变化。这种产生超前相移的因素可通过在输出端并联 RC 串联网络来实现。

图 15-19 为三级放大器的原理图。若补偿加于第一级输出，即在输出端 A 点并联上 R_4 、 C_4 串联网络，那么第一级增益可写为：

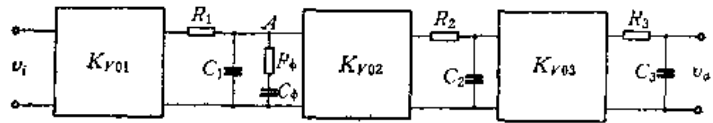


图 15-19 三级放大器原理图

$$K_{v_1}(f) = -\frac{v_{o_1}}{v_i} = K_{v_{01}} \frac{Z}{R_1 + Z} \quad (15-54)$$

其中 $K_{v_{01}}$ 为第一级放大器直流增益， Z 为 C_1 与 R_4 、 C_4 网络并联的阻抗：

$$Z = \frac{1 + j\omega R_4 C_4}{j\omega C_1 + j\omega C_4 (1 + j\omega R_4 C_4)} \quad (15-55)$$

把式 (15-55) 代入式 (15-54) 有

$$K_{v_1}(f) = K_{v_{01}} \frac{1 + j\omega R_4 C_4}{(1 + j\omega R_4 C_4)(1 + j\omega R_1 C_1) + j\omega R_1 C_4} \quad (15-56) \bullet$$

一般满足 $R_1 \gg R_4$ ， $C_4 \gg C_1$ ，则上式近似为：

$$K_{v_1}(f) \approx K_{v_{01}} \frac{1 + j\omega R_4 C_4}{1 + j\omega R_1 C_4} = K_{v_{01}} \frac{1 + j \frac{f}{f_{z_1}}}{1 + j \frac{f}{f_{p_1\phi}}} \quad (15-57)$$

由式 (15-57) 可知，由于 RC 串联网络的引入，使第一级放大器的幅频特性发生两个变化：一是使极点频率由原来 $f_{r_1} = \frac{1}{2\pi R_1 C_1}$ 变为 $f_{p_1\phi} = \frac{1}{2\pi R_1 C_4}$ ，二是在式 (15-57) 分子上多了一项 $(1 + j \frac{f}{f_{z_1}})$ ，称 f_{z_1} 为零点频率， $f_{z_1} = \frac{1}{2\pi R_4 C_4}$ ，因而三级放大器总的电压增益为

$$K_v(f) = \frac{K_{v_{01}} \left(1 + j \frac{f}{f_{z_1}}\right) K_{v_{02}} K_{v_{03}}}{\left(1 + j \frac{f}{f_{p_1\phi}}\right) \left(1 + j \frac{f}{f_{p_2}}\right) \left(1 + j \frac{f}{f_{p_3}}\right)} \quad (15-58)$$

只要适当选择 C_4 ，使 $f_{z_1} = f_{p_2}$ ，则上式可写为

$$K_v(f) = \frac{K_{v_{01}} K_{v_{02}} K_{v_{03}}}{\left(1 + j \frac{f}{f_{p_1\phi}}\right) \left(1 + j \frac{f}{f_{p_3}}\right)} \quad (15-59)$$

● 同时还应产生另一个极点 $f_{p_1\phi} = \frac{1}{2\pi R_4 C_1}$ 。因为 $R_4 C$ 一般较小， $f_{p_1\phi}$ 在较高频率处，所以在式 (15-56) 中已忽略。

因此三级放大器中原第二极点与新形成的零点相消, 只存在两个极点频率, 而且第一极点频率已由 f_{P1} 代替。

这种补偿方法, 通常是压低了第一极点频率, 从而使低频附加相移增加。虽然是零极点相消 (通常消去第二极点), 使高频附加相移减小, 但一般习惯还称为“滞后补偿”。

三、超前补偿 (或称微分校正)

前两种方法都是压低了极点频率, 从而在频率较低时增益就下降, 低频附加相移增大。超前补偿是在放大器支路 (或反馈支路) 加超前网络, 在不压低极点频率情况下, 使超前网络产生的零点与原来的极点 (一般是第二极点) 相消, 减小了高频时附加相移, 使闭环工作稳定。

一个三级放大器的原理图如图 15-20 所示。如果在第二级输出电阻旁并联一个电容 C_4 , 那么在高频时, C_4 提供了通路, 减小了电压

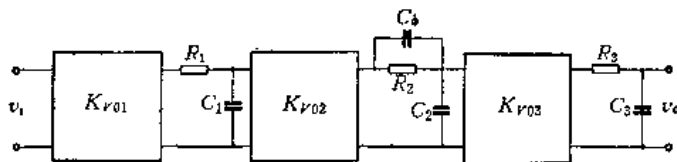


图15-20 三级放大器原理图

增益下降的趋势, 也减小了附加相移, 实现了超前补偿。具体分析如下。

对于放大器第二级其电压增益为:

$$K_{V2}(f) = K_{V02} \frac{1 + j\omega R_2 C_4}{1 + j\omega R_2 (C_4 + C_2)} \quad (15-60)$$

通常 $C_4 \gg C_2$, 故有

$$K_{V2}(f) \approx K_{V02} \cdot \frac{1 + j\omega R_2 C_4}{1 + j\omega R_2 C_4} = K_{V02} \quad (15-61)$$

则三级放大器总电压增益为:

$$K_V(f) = K_{V1} \cdot K_{V2} \cdot K_{V3} = \frac{K_{V01} \cdot K_{V02} \cdot K_{V03}}{\left(1 + j \frac{f}{f_{P1}}\right) \left(1 + j \frac{f}{f_{P3}}\right)} \quad (15-62)$$

可见, 三级放大器采用这样的补偿之后, 只剩下两个极点频率, 故最大附加相移总小于 180° , 所以闭环工作稳定。

图 15-21 表示了反馈系数为 F 的某三级放大器在补偿前后的幅频特性变化情况。从图中可见, 经补偿后的开环特性 (图中虚线), 当 $f = f_{P2}$, 由于该极点被消除, 故仍以 $-20\text{dB}/10$ 倍频程的斜率下降, 直到 $f = f_{P3}$ 后, 才以 $-40\text{dB}/10$ 倍频程的斜率下降, 显然使开环特性在 $f > f_{P2}$ 后附加相移减小了 (故称超前补偿)。若反馈系数为 F , 则补偿前 $K_V \cdot F = 1$ 时交点于 Q , 相应频率 $f_Q > f_{P2}$, 故闭环不稳定; 补偿后, $K_V \cdot F = 1$ 时交点于 Q' , 相应频率 $f'_Q < f_{P3}$ (f_{P3} 现已成为第二极点频率), 故闭环工作稳定。

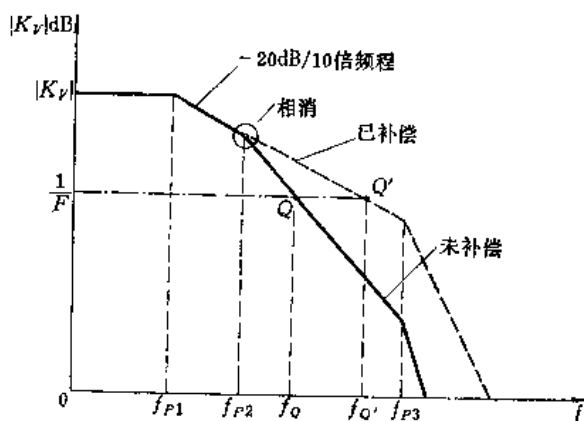


图15-21 补偿前后的波德图

15.2.4 大信号时运算放大器的瞬态特性

在运放的实际应用中,不仅要求运放有一定的闭环带宽,同时还要求在一定的频率下有一定的输出幅度,以及要求在大信号工作时,输出有足够的响应速度。特别是在阶跃大信号作用时,要求运放有足够的瞬态响应速度。前面讨论的频率特性都是放大器对小信号的响应,而运放的大信号瞬态响应已不能用前面叙述的频率特性来描述。在大信号作用下的运放瞬态特性,已不受电路带宽的影响,而是与电路非线性工作状态(如大信号输入使管子达到饱和或截止),相位补偿电容,以及各级工作电流对这些电容的充电能力等因素有关。描写大信号时运放瞬态特性的主要指标是转移速率 S_R (或称压摆率)。 S_R 的定义为:当放大器输入一个大的阶跃信号时,放大器输出电压的最大变化速率,即

$$S_R = \frac{dv_o}{dt} \quad (\text{单位: V}/\mu\text{s}) \quad (15-63)$$

S_R 的大小主要受到电路中电容上电压上升速率的限制。由于补偿电容 C_ϕ 比较大,因此 S_R 主要由对补偿电容充电能力所确定。若该级输出电压为 $v_x(t)$,可能的最大充电电流为 I_m ,则有

$$v_x(t) = \frac{1}{C_\phi} \int I_x dt = \frac{I_m}{C_\phi} \int dt$$

故

$$S_R = \frac{dv_o(t)}{dt} = \frac{dv_x(t)}{dt} = \frac{I_m}{C_\phi} \quad (15-64)$$

所以说,转移速率与补偿级可能的最大充电电流 I_m 成正比,与补偿电容 C_ϕ 成反比。

显然希望转移速率 S_R 尽量大一些,不然输出波形就会产生失真,如图 15-22 (a)、(b) 所示。图 (a) 中输入是方波 (虚线),由于 S_R 太小,使输出上升下降均较慢 (实线),严重失真。在图 (b) 中输入是正弦波 (虚线),由于 S_R 过小,输出几乎成为三角波 (实线)。

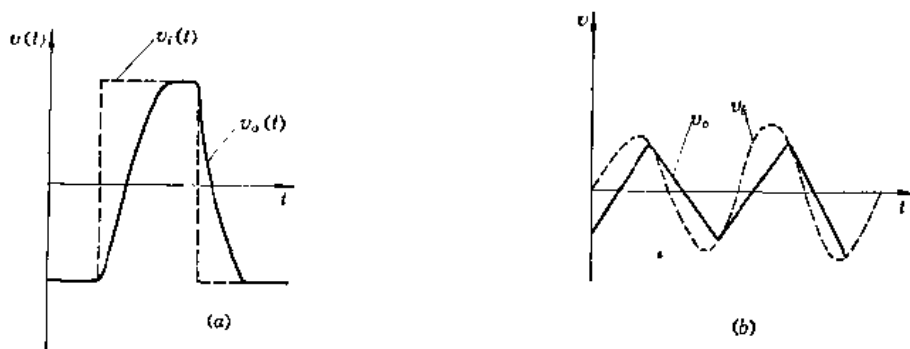


图15-22 S_R 太小时失真波形示意图

转移速率 S_R 的大小也直接决定了输出端不失真最大电压的幅值。例如输出为正弦波

$$v_o = U_m \sin \omega t$$

其中 U_m 为输出电压最大幅值,则转移速率为:

$$S_R = \frac{dv_o}{dt} = U_m \omega \cos \omega t$$

当 $\cos \omega t = 1$ 时, S_R 达最大值 $S_{R_{\max}}$

$$S_{R_{\max}} = U_m \omega \quad \text{或} \quad U_m = \frac{S_{R_{\max}}}{2\pi f} \quad (15-65)$$

上式表明, 对于一定频率的信号, S_R 越大, 则输出端能获得的不失真最大电压幅值也越大; 如果 S_R 一定, 频率越高, 输出振幅 U_m 越小。故大信号工作时, 输出电压幅值与闭环增益无关。

15.3 集成运放电路分析举例(通用型)

通用型集成运放, 按照其发展历史一般分为三代。第一代集成运放是以 $\mu A 709$ 为代表(相当于国内的 FC3、4E304), 线路中首次采用了横向 PNP 管。第二代集成运放是以 $\mu A 741$ 为代表(相当于国内的 FC4、5G24), 它是以采用有源集电极负载来提高电压增益为主要标志。第三代集成运放是以 MC 1556 为代表, 它的突出特点是线路中采用超 β 管作为输入晶体管。以后还发展了各种特殊类型的集成运放, 例如: 高输入阻抗型, 低功耗型, 高速型, 低漂移型等。本节着重于介绍通用型集成运放。一般集成运放均采用直接耦合放大器, 它的电路结构(以 $\mu A 709$ 为例)大体上如图 15-23

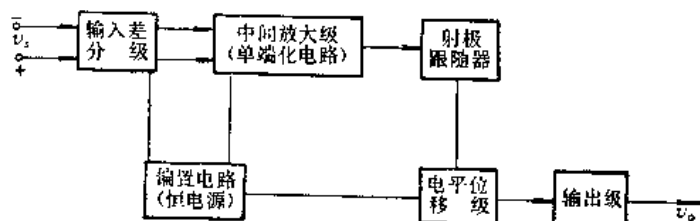


图15-23 集成运放结构方框图

所示, 包括有输入差分级、中间放大级(单端化电路)、偏置电路、电平位移级和输出级等。下面通过几个具体线路来进行分析。

15.3.1 $\mu A 709$ 电路分析

一、 $\mu A 709$ 电路组成

$\mu A 709$ 集成运算放大器线路如图 15-24 所示。它共有 15 个晶体管(包括两个 PNP 管)和 15 个电阻。 $\mu A 709$ 的电路可分为五个部分, 即输入差分级、中间放大级、互补输出级、电平位移级和偏置电路。

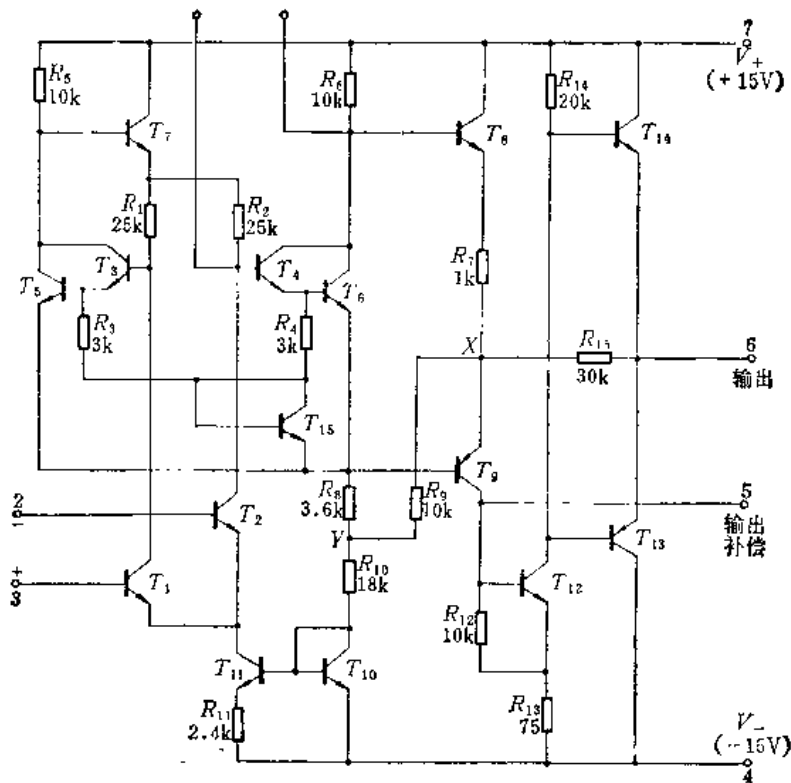
1. 输入差分级

T_1 、 T_2 管构成输入差分对, T_{10} 、 T_{11} 是它的恒流源偏置电路, T_1 、 T_2 的集电极双端输出到中间放大级。由于 T_1 、 T_2 集电极电流很小, 仅 $20\mu A$ 左右, 这就保证了放大器有较高的输入阻抗, 较小的基流, 但要求在这样小电流下, T_1 、 T_2 能有较大的 β 值。 R_1 、 R_2 分别为 T_1 、 T_2 集电极负载, 为获得一定的增益, $R_1 R_2$ 取得较大($25k\Omega$), 同时也要求下一级输入阻抗较大。

2. 中间放大级

中间放大级是由 T_3 、 T_4 、 T_5 、 T_6 构成的, 再加上 R_3 、 R_4 、 T_{15} , 称为改进型复合差分级, 把它单独画于图 15-25。 $T_3 T_4 T_5 T_6$ 组成达林顿复合形式, 使本级有较高输入阻抗, 减弱了对前级的负载效应, 保证了输入级的一定增益。加入 R_3 、 R_4 、 T_{15} , 提高了 T_5 、 T_6 击穿电压, 同时提供泄漏通路, 因为在接成复合管时晶体管漏电流较大。试观察一下图 15-25 左半边复合管, 此时流过 T_6 管总的漏电流(先不考虑 R_3 的分流)为:

$$I_{\text{ce}, \Sigma} = I_{\text{ce}05} + (\beta_5 + 1) I_{\text{ce}06}$$

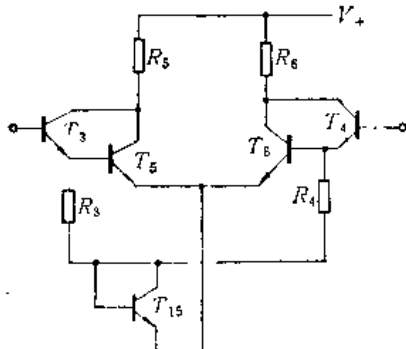
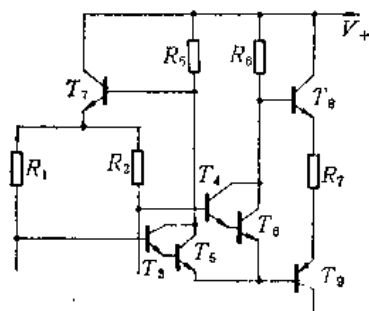
图15-24 $\mu A709$ 电路图

随着温度增高,漏电流还会增大,使 T_5 管有可能出现高温失控。在空载或轻载时易出现这种情况。加入 R_3 ,一方面提供了 I_{cso_5} 的通路,同时也减弱了 I_{cso_5} 对 I_{e_3} 的影响,改善了 T_5 在高温或空载情况下失控的影响。然而只加入 R_3 还存在两个问题:一是由于 R_3 的阻值不能太小,否则将失去复合管的作用,而在集成工艺中难以制做较大阻值的电阻,二是当温度上升时漏电流是增加的,但扩散电阻具有正的温度系数,使其漏放电流反而减小。为克服这一现象加入了 T_{15} 管,这样 T_5 、 T_{15} 、 R_3 就组成了一个小电流恒流源。这时 R_3 为:

$$R_3 = \frac{V_{BE5} - V_{BE15}}{I_d} \quad (15-66)$$

显然泄放同样大小电流 I_d , R_3 可大大减小,而且由于流过 T_{15} 管电流 $I_{e_{15}}$ 具有正温度系数,因此温度增高时能通过较多的漏电流,解决了只接电阻 R_3 时的两个问题。

在中间放大级中, T_3 、 T_5 通过 T_7 、 R_2 到 T_4 、 T_6 的基极实现了双端变单端输出,如图 15-26 所示。它类似图 14-24 所示的并联电压负反馈单端化电路,不同的只是这里 T_5 、 T_6

图15-25 $\mu A709$ 的中间放大级图15-26 $\mu A709$ 的单端化电路

射极不接地, 由此带来的好处是使 T_3 、 T_4 基极电位可以提高, 从而扩大了输入电压范围和正向共模电压范围。但是也造成一个不良影响: 当输入交流信号 v_i 时, 由于射极不接地, 这时 T_4 、 T_6 集电极输出不是 $K_{V_1}K_{V_2}v_i$, 而变成 $K_{V_1}K_{V_2}v_i + v_e$, 其中 v_e 是 T_5 、 T_6 射极上相应的信号电压。也就是说中间放大级未能完全完成双端输入变为单端输出的任务, 这个任务最终将由下面提到的横向 PNP 管 T_8 完成。

3. 电平位移级

本级由 T_8 、 R_7 、 T_9 组成, T_8 是射随器, T_9 起电平位移作用, 它属于 PNP 管共基接法的电平位移电路。计算可得: T_8 基极电位 $V_{B8} = 11\text{V}$, 而在 T_9 集电极处电位下降至 $V_{C9} = -14.2\text{V}$, 达到了电平位移的目的。 T_9 另一个作用是最终完成了单端化任务, 见图 15-26, 因为如前所述, T_6 集电极处交流信号是 v_{e6} , T_8 是跟随器, 故 T_9 射极处交流信号 $v_{e9} \approx K_{V_1}K_{V_2}v_i + v_e$, 所以在 T_9 BE 极上所加之交流信号为:

$$v_{e9} - v_{be} = (K_{V_1}K_{V_2}v_i + v_e) - v_e = K_{V_1}K_{V_2}v_i$$

即在 T_9 BE 端获得了完全的双端输出信号。

4. 偏置电路和共模负反馈

T_{10} 、 T_{11} 和 R_{11} 组成小电流恒流源, T_{10} 管接成二极管, I_{10} 即为参考电流。在这电路中, 通过 T_{10} 管还能起抑制共模信号的作用。从图 15-24 可见, 当两输入端输入一个共模信号, 设它为正, 这将引起 T_1 、 T_2 管电流增加, 使 T_1 、 T_2 集电极电位下降, 又引起 T_5 、 T_6 射极电位下降, 使 T_{10} 电流 I_{10} 下降, 由于恒流源作用, I_{11} 下降, 从而 T_1 、 T_2 集电极电流减小, 抵消了部分由于共模信号输入而引起的 T_1 、 T_2 电流的增加。另一方面, 当输入正向共模信号时, T_8 基极电位下降, T_9 射极电位也必随着下降, 则流过 R_8 的电流减小, 这也减小了 T_{10} 管中的电流, 同样起到了抑制共模信号的作用。

5. 输出级

由 T_9 管集电极输出信号, 经由 T_{12} 、 R_{14} 组成的共射激励级放大, 去推动 T_{13} 、 T_{14} 互补输出级。 R_{15} 的作用是应用负反馈方法来减弱乙类工作时出现的交越失真, 同时也稳定了整个输出级电压增益。 T_{13} 管集电极接最低电位, 故可考虑采用纵向 PNP 管。

二、PA709 直流工作状态分析

1. 静态工作电流计算 (空载时)

由 T_{10} 、 T_{11} 和 R_{11} 组成的小电流恒流源可得:

$$I_{11} = \frac{V_T}{R_{11}} \ln \frac{I_{10}}{I_{11}} = 10.8 \ln \frac{I_{10}}{I_{11}} \quad (15-67)$$

根据图 15-27 所示, 可写出

$$\frac{V_x - V_y}{R_9} + \frac{V_x - V_{BE9} - V_y}{R_8} = I_{10}$$

$$I_{10}R_{10} + V_{BE10} = V_y - (V_-)$$

已知: $V_- = -15\text{V}$, $V_{BE} = 0.7\text{V}$, $R_8 = 3.6\text{k}\Omega$, $R_9 = 10\text{k}\Omega$, $R_{10} = 18\text{k}\Omega$ 。

解得: $I_{10} = 0.048V_x + 0.67(\text{mA}) \quad (15-68)$

根据图 15-28, 可写出下列各式:

$$I_5R_5 + V_{BE7} + \frac{I_{11}}{2}R_1 + V_{BE3} + V_{BE5} = V_+ - (V_x - V_{BE9}) \quad (15-69)$$

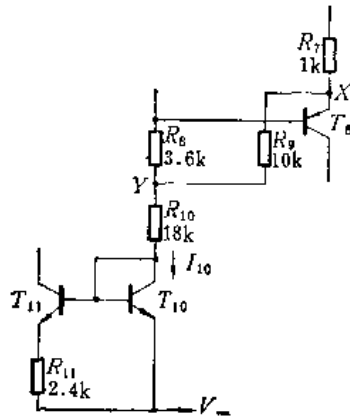
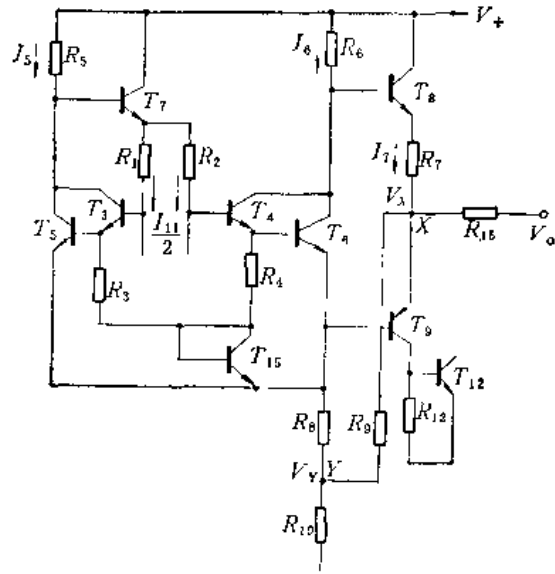


图15-27 小电流恒流源

图15-28 $\mu A709$ 中间级

$$I_5 R_5 + V_{BE8} + I_7 R_7 = V_+ - V_x \quad (15-70)$$

$$I_5 + I_6 \approx \frac{V_x - V_{BE8} - V_y}{R_8} \quad (15-71)$$

$$I_7 = \frac{V_x - V_0}{R_{15}} + \frac{V_{BE12}}{R_{12}} + \frac{V_x - V_y}{R_9} \quad (15-72)$$

$$I_{10} R_{10} + V_{BE10} = V_y - V_- \quad (15-73)$$

解上述五个方程, 消去 I_5 、 I_6 、 I_7 、 V_y , 且已知: $V_+ = 15\text{V}$, $V_- = -15\text{V}$, $R_1 = 25\text{k}\Omega$, $R_5 = 10\text{k}\Omega$, $R_6 = 10\text{k}\Omega$, $R_7 = 1\text{k}\Omega$, $R_8 = 3.6\text{k}\Omega$, $R_9 = 10\text{k}\Omega$, $R_{10} = 18\text{k}\Omega$, $R_{12} = 10\text{k}\Omega$, $R_{15} = 30\text{k}\Omega$, 取 $V_{BE} = 0.7\text{V}$, 设静态时输出电压 $V_0 = 0$, 则得到:

$$V_x = 10.55 I_{10} - 2.54 I_{11} - 2.32 \quad (15-74)$$

把式 (15-74) 代入式 (15-68) 得到:

$$0.43 I_{10} + 0.137 I_{11} = 0.505 \quad (15-75)$$

联立式 (15-75) 和式 (15-67), 则解得:

$$I_{11} = 38\mu\text{A}, \quad I_{10} = 1.16\text{mA}$$

将 I_{10} 、 I_{11} 代入式 (15-68) ~ 式 (15-73) 得到:

$$I_1 = I_2 = \frac{I_{11}}{2} = 19\mu\text{A}, \quad I_5 = 0.34\text{mA},$$

$$I_6 = 0.38\text{mA}, \quad I_7 = 0.43\text{mA}$$

从图 15-24 可见, 由于 T_{13} 、 T_{14} 工作于乙类, 在静态时 T_{13} 、 T_{14} 电流趋于零。当输出 $V_0 = 0$, 可认为 $V_{BE13} = V_{BE14} \approx 0$, 故 T_{12} 集电极电压近似为零, 故有

$$I_{12} \approx \frac{V_+}{R_{14}} = 0.75\text{mA}$$

$$I_{10} \approx I_{R12} = \frac{V_{BE12}}{R_{12}} = 70\mu\text{A}$$

设 PNP 管 $\beta_p = 3$, 则

$$I_{b9} = \frac{I_{c9}}{\beta_p} = 23.3 \mu\text{A}$$

$$I_{e9} = I_{c9} + I_{b9} = 93.3 \mu\text{A}$$

2. 静态直流电平计算

由上面算得的 $I_{10} = 1.16 \text{mA}$, 代入式(15-68), 解得 T_9 射极电平 $V_x = 9.9 \text{V}$ 。把 I_{10} 代入式(15-70), 得 y 点电平 $V_y = 6.5 \text{V}$ 。利用上面计算所得电流值, 可解出各集电极电平值:

$$V_{e1} = V_{e2} = V_+ - I_5 R_5 - V_{BE7} - I_1 R_1 = 10.26 \text{V}$$

$$V_{e5} = V_+ - I_5 R_5 = 11.45 \text{V}$$

$$V_{e6} = V_+ - I_6 R_6 = 11.06 \text{V}$$

$$V_{e9} = V_{BE12} + I_{K13} R_{13} + V_- = -14.2 \text{V}$$

三、 $\mu\text{A}709$ 主要参数分析

1. 输出电压最大幅度

输出电压最大幅度与电源电压、负载电阻及电路结构有关, 现分析负载电阻远大于输出电阻的情况。当输入信号变化使 T_{12} 集电极电位接近 15V 时, T_{12} 截止, 此时输出电压经 T_{14} 跟随而达到最大值, 即有

$$V_{o\max} = V_+ - V_{BE14} \approx 14.3 \text{V}$$

当输入信号变化, 使 T_{12} 趋于饱和, $V_{CB12} \approx 0 \text{V}$ 时, 此时输出电压经 T_{13} 跟随而达到负的最大值, 即有

$$V_{o\min} = V_- + (I_{e9} + I_{e12}) R_{13} + V_{BE12} + V_{BE13} \approx -13.6 \text{V}$$

故对正负方向对称的信号, 输出电压最大幅度为 $\pm 13 \text{V}$ 左右。相对电源来说, 利用率是较高的。

2. 共模输入电压范围

当输入端有正向共模电压时, 主要是受到 T_1 、 T_2 管进入饱和的限制。从上面计算得到 $V_{e1} = V_{e2} = 10 \text{V}$, 因此当 T_1 、 T_2 基极输入正向共模电压达到 10V 时, T_1 、 T_2 进入饱和, 即正向共模电压上限为 10V 。当输入端有负向共模电压时, 主要是受到 T_{11} 管进入饱和而失去恒流作用的限制。近似认为 T_{11} 进入饱和时 $V_{CB11} \approx 0$, 则

$$V_{e11} = V_{B11} = V_- + V_{BE10} = -14.3 \text{V}$$

此时输入端电压 V_{B1} 或 V_{B2} 为

$$V_{B1} = V_{B2} = V_{e11} + V_{BE} = -13.6 \text{V}$$

表明负向共模电压最大值为 -13.6V 。

3. 差模输入电阻

由式(14-7)得差分输入电阻 R_{in} 为

$$R_{in} = \frac{2\beta V_T}{I_1}$$

设 $\beta = 100$, $V_T = 26 \text{mV}$, 由 $I_1 = I_2 = 19 \mu\text{A}$, 得 $R_{in} = 273 \text{k}\Omega$ 。

由此可知, T_1 、 T_2 管小电流工作状态以及小电流状态下保证有较大 β 值, 都能提高输入电阻。

4. 静态总电流及静态功耗

对于 $\mu A709$, 当无输入信号时, 通过电源总电流为:

$$I_{\Sigma} = I_{I1} + I_{I6} + I_{I2} \approx 1.98 \text{ mA}$$

由此得空载时静态功耗 P_0

$$P_0 = I_{\Sigma}(V_+ - V_-) \approx 60 \text{ mW}$$

5. 开环电压增益

(1) 差分输入级的电压增益 根据式 (14-49), 得 T_1 、 T_2 差分对双端输出电压增益为:

$$K_{V1} = \frac{v_{o12}}{v_i} = -\frac{I_{I1}}{2V_T} R_{e1}$$

其中 I_{I1} 为 T_1 、 T_2 管电流之和, 前面算得 $I_{I1} = 38 \mu\text{A}$, R_{e1} 为 T_1 管集电极等效负载电阻, 它应为 R_1 与由 T_3 、 T_6 组成复合管输入电阻 R_{i3} 之并联值, 通常复合管输入电阻为几百千欧, 故有 $R_{e1} = R_1 // R_{i3} \approx R_1 = 25 \text{ k}\Omega$, 则

$$|K_{V1}| = \frac{I_{I1}}{2V_T} R_{e1} \approx 18.3 \text{ 倍}$$

(2) 中间放大级电压增益 本级信号是由 T_3 、 T_4 基极输入, 经单端化电路, 由 T_6 管集电极得到等于双端输出电压 v_{o6} 。如果近似认为 T_4 、 T_6 管射极电位在输入信号时保持不变, 又忽略在 R_3 、 R_4 上泄漏, 则可利用式 (14-54) 得到中间级电压增益

$$K_{V2} = \frac{v_{o6}}{v_{b3} - v_{b4}} = -\frac{I_{5,6}}{4V_T} R_{e6}$$

其中 R_{e6} 为 T_6 管集电极等效负载, 有

$$R_{e6} = R_6 // R_{i8} \approx \frac{R_6 \cdot \beta_8 (r_{e8} + R_7)}{R_6 + \beta_8 (r_{e8} + R_7)}$$

由于

$$I_{e8} = I_7 = 0.43 \text{ mA}, \quad r_{e8} = \frac{V_T}{I_{e8}} \approx 60 \Omega$$

设

$$\beta_8 = 50, \quad R_{e6} \approx 8.4 \text{ k}\Omega, \quad I_{5,6} = 0.72 \text{ mA}$$

则

$$|K_{V2}| = \frac{I_{5,6}}{4V_T} R_{e6} \approx 58 \text{ 倍}$$

(3) 输出级增益 输出级电路如图 15-29(a) 所示。可看成由 T_9 、 T_{12} 、 T_{13} 、 T_{14} 组成之并联电压负反馈放大器。方框图如图 (b) 所示。输入信号加于 T_8 基极 (T_8 为射随器), R_{15} 为反馈电阻, 考虑到本级总的开环增益很大, 根据图 (b) 所示电路可直接写出闭环电压增益 (即输出级增益)

$$|K_{V3}| \approx \frac{R_{15}}{R_7} = 30 \text{ 倍}$$

(4) $\mu A709$ 总的电压增益

$$|K_V| = |K_{V1}| \cdot |K_{V2}| \cdot |K_{V3}| \approx 32000 \text{ 倍}$$

$$|K_V|_{\text{dB}} = 20 \log 32000 \approx 90 \text{ dB}$$

6. 频率补偿

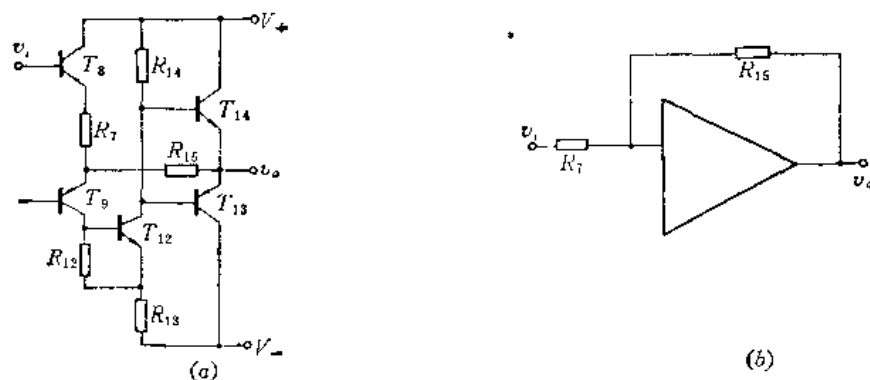


图15-29 $\mu A709$ 输出级
(a) 电路图; (b) 方框图。

$\mu A709$ 频率补偿采用了外接两个补偿电路的方法, 如图 15-30 所示。从图 15-24 可知, R_{ϕ} 、 $C_{\phi 1}$ 串联网络接于 T_4 管基极与集电极之间, 它就是前面所说的利用 RC 串联网络进行补偿的方法。不同的地方在于 R_{ϕ} 、 $C_{\phi 1}$ 接于第二级放大器的输入与输出之间, 即利用了“密勒效应”补偿, 补偿等效电路原理图画于图 15-31。图中 $\frac{R_{\phi}}{1+|K_{V2}|}$ 、 $C_{\phi 1}(1+|K_{V2}|)$ 即为 R_{ϕ} 、 $C_{\phi 1}$ 等效到第二级放大器输入端时的数值。因此它的作用是: 一方面把原第一极点频率压低为 $f_{p1\phi} = \frac{1}{2\pi R_{\phi} C_{\phi 1}(1+|K_{V2}|)}$; 另一方面产生一个零点为 $f_{z\phi} = \frac{1}{2\pi R_{\phi} C_{\phi 1}}$, 使放大器在高频时相移减小。从图 15-24 中可看出第二个补偿电容 $C_{\phi 2}$ 接于 T_{12} 管基极与输出端之间。 $C_{\phi 2}$ 的作用也是压低电路第二极点频率为 $f_{p2\phi}$, 使 $f_{p1\phi}$ 和所产生的零点 $f_{z\phi}$ 相消。

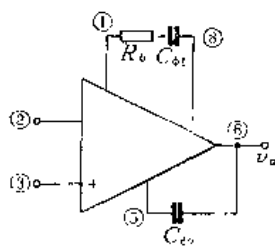


图15-30 $\mu A709$ 外接补偿连接图

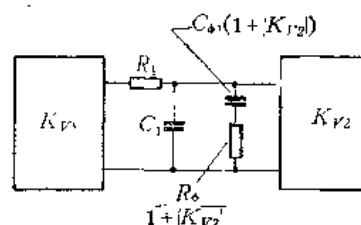


图15-31 R_{ϕ} 、 $C_{\phi 1}$ 补偿作用原理图

放大器加以不同反馈时, 所要求的补偿参数是不同的, 如表 15-1 所示。由表可见, 闭环增益越大(即反馈系数越小), 所需校正电容越小。

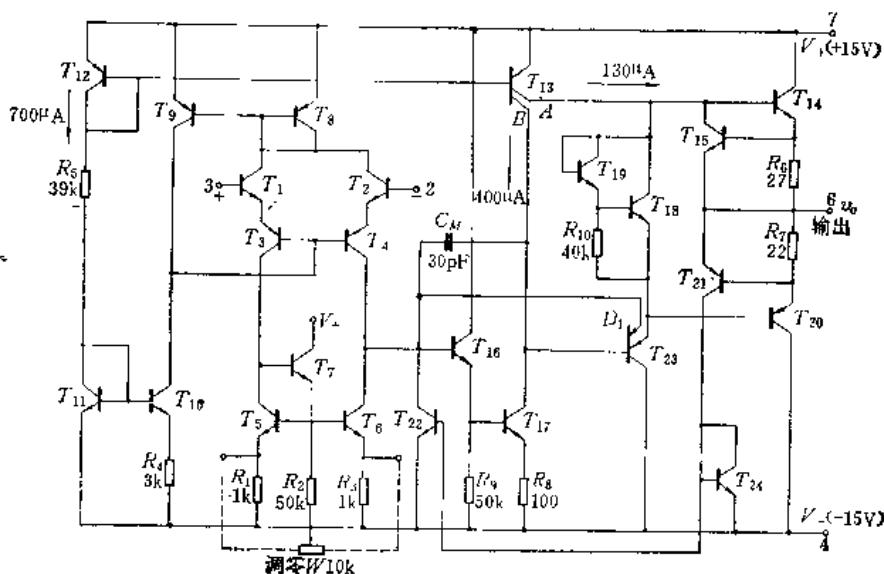
表 15-1

元 件 值	$C_{\phi 1}$ (pF)	R_{ϕ} (k Ω)	$C_{\phi 2}$ (pF)
闭环增益			
1000	10	0	3
100	100	1.5	3
10	500	1.5	20
1	5000	1.5	20

$\mu A709$ 其他特性参数见表 15-2。

15.3.2 $\mu A741$ 电路分析一、 $\mu A741$ 电路组成

$\mu A741$ 电路图如图 15-32 所示。它由 24 个晶体管 (其中 9 个 PNP 管)、9 个电阻、一个 MOS 电容组成。整个电路可分为四个部分, 即输入级、中间放大级、输出级和恒流源偏置电路。

图15-32 $\mu A741$ 电路图

1. 输入级

T_1 、 T_2 、 T_3 、 T_4 组成了等效复合 PNP 差分输入级。 T_8 作为其恒流供电, T_5 、 T_6 、 T_7 组成了具有缓冲的恒流源, 使 I_5 和 I_6 较好地相等。 T_5 、 T_6 在此又分别作为 T_1 、 T_3 、 T_2 、 T_4 复合管之集电极有源负载, 从而使输入级构成有源负载单端化电路, 信号由 T_4 管集电极输出。电阻 R_1 、 R_3 起稳定工作点作用。由于 T_3 、 T_4 为 PNP 管, 因此本级也完成了电平位移的功能。

2. 中间放大级

由 T_{16} 、 T_{17} 管组成共集-共射放大器, 因此本级有较高的输入阻抗, 减小了其 对输入级的负载效应。双收集极 T_{13} 管提供了恒流 I_{13B} , 且作为 T_{17} 管的集电极有源负载, 使本级获得较高的电压增益。电阻 R_9 作泄漏之用, 提高了温度稳定性。

3. 输出级

T_{14} 、 T_{20} 管组成了互补射极跟随器。与 $\mu A709$ 不同的是在 T_{14} 与 T_{20} 基极之间加了一个偏置以克服交越失真。由 T_{18} 、 T_{19} 、 R_{10} 来提供这个偏置。射极跟随器 T_{23} 为中间放大级提供一高阻抗负载, 并将中间级与输出级加以隔离, 提高负载能力。

输出过流保护电路由 T_{15} 、 R_6 、 T_{21} 、 R_7 以及 T_{22} 、 T_{24} 组成。正常时 T_{15} 、 T_{21} 、 T_{22} 、 T_{24} 均截止。当流过 T_{14} 管的输出电流过大时, R_6 上压降增加, 使 T_{15} 管导通, 从而分流了注入到 T_{14} 电流, 保护了 T_{14} 管; 当流过 T_{20} 管的电流过大时, R_7 上压降增加, 使 T_{21} 、 T_{24} 管导通, 而 T_{22} 与 T_{24} 又组成基本恒流源, T_{24} 导通同时 T_{22} 也导通, 分流了注入到 T_{16} 管的

算得

$$I_{e12B} \approx 400 \mu A$$

由 T_{10} 、 T_{11} 、 R_4 组成小电流恒流源, 根据式 (14-63) 有

$$I_{e10} = \frac{V_T}{R_4} \ln \frac{I_{e11}}{I_{e10}}$$

近似认为 $I_{e10} \approx I_{e10}$, $I_{e11} \approx I_r$, $R_4 = 3 k\Omega$, 则有

$$I_{e10} = \frac{26 \times 10^{-3}}{3 \times 10^3} \ln \frac{740}{I_{e10}} (\mu A)$$

对于上式的对数方程, 可用作图法 (或逼近法) 解得

$$I_{e10} \approx 28 \mu A$$

若假设 T_8 、 T_9 、 T_3 、 T_4 四个 PNP 管的 $\beta_p \approx 5$, 其他 NPN 管的 $\beta \gg 1$, 则根据图 15-33 容易解得

$$I_{e3} = I_{e4} \approx 14 \mu A$$

$$I_{b3} = I_{b4} \approx 2.8 \mu A$$

$$I_{e1} = I_{e2} \approx 14 \mu A$$

$$I_{e8} = I_{e9} \approx 22 \mu A$$

输出级工作于甲乙类状态, 有一定静态电流, 可作如下计算。由图 15-33 可写出

$$V_{MN} = V_{BE19} + V_{BE18} = V_{BE14} + V_{BE20} + I_{e14}(R_6 + R_7) \quad (15-77)$$

由于

$$V_{BE14} = V_T \ln \frac{I_{e14}}{A_{14} J_{e14}} = V_T \ln \frac{I_{e14}}{A_{14} J_{e14}} \quad (15-78)$$

$$V_{BE20} = V_T \ln \frac{I_{e20}}{A_{20} J_{e20}} \quad (15-79)$$

$$V_{BE19} = V_T \ln \frac{I_{e19}}{A_{19} J_{e19}} \quad (15-80)$$

$$V_{BE18} = V_T \ln \frac{I_{e18}}{A_{18} J_{e18}} \quad (15-81)$$

并且 $I_{e14} \approx I_{e14} = I_{e20}$, $I_{e18} \approx I_{e18}$, $I_{e19} \approx I_{e19}$, 所以式 (15-77) 可写成

$$V_T \ln \frac{I_{e19} I_{e18}}{A_{18} A_{19} J_{e18} J_{e19}} = V_T \ln \frac{I_{e14}^2}{A_{14} A_{20} J_{e14} J_{e20}} + I_{e14}(R_6 + R_7) \quad (15-82)$$

考虑到 R_{10} 比较大, 容易满足 $I_{e18} \gg I_{e10}$; NPN 管 β 较大, 可近似认为 $I_{e18} \gg I_{e19}$, 于是近似有

$$I_{e18} \approx I_{18A} = 130 \mu A \quad (15-83)$$

又

$$V_{BE18} \approx I_{e19} R_{10} = V_T \ln \frac{I_{e18}}{A_{18} J_{e18}}$$

所以

$$I_{e19} = \frac{V_T}{R_{10}} \ln \frac{I_{e18}}{A_{18} J_{e18}} \quad (15-84)$$

如果 T_{14} 、 T_{11} 、 T_{10} 、 T_{20} 管结构大小确定, 并把式 (15-83)、(15-84) 代入式 (15-82) 中, 则式 (15-82) 是一个未知数为 I_{e14} 的对数方程, 用作图法 (或逼近法) 可解出 I_{e14} , 这里就

不作进一步计算了。通常有

$$I_{e14} = I_{e20} \approx 100 \mu\text{A}$$

2. 各级直流电平计算

直接从图 15-32 可得出

$$V_{e1} = V_{e2} = V_+ - V_{BE8} \approx 14.3 \text{ V}$$

$$V_{e3} = V_{BE7} + V_{BE6} + I_{e6}R_3 + V_- \approx -13.6 \text{ V}$$

$$V_{e4} = V_{BE10} + V_{BE17} + I_{e17}R_8 + V_- \approx -13.6 \text{ V}$$

$$V_{e17} = -I_{e14}R_7 - V_{BE20} - V_{BE23} \approx -1.4 \text{ V}$$

三、 $\mu\text{A}741$ 主要参数分析

1. 输出电压最大幅度

假设负载电阻远大于输出电阻的情况。当输入信号使 T_{17} 管电流增加时, T_{17} 集电极电位 v_{e17} 下降, T_{23} 射极电位也下降, T_{14} 截止, T_{20} 导通, 输出电压 v_o 随着 v_{e17} 下降而下降。当 T_{17} 管饱和 (取 $V_{eB17} \approx 0 \text{ V}$ 作为饱和条件), 则相应输出电压 v_o 达到最小值 $V_{o\min}$

$$V_{o\min} = I_{e20}R_7 + V_{BE20} + V_{BE23} + V_{BE17} + I_{e17}R_8 + V_- \approx -13 \text{ V}$$

当输入信号使 T_{17} 管电流减小时, T_{17} 集电极电位 v_{e17} 上升, T_{23} 射极电位也上升, T_{14} 管导通, T_{20} 管截止, 输出电压 v_o 随着 v_{e17} 上升而上升。当 T_{17} 管截止, 其集电极电位 v_{e17} 接近于电源电压 V_+ , 故 T_{14} 管基极电位也趋于电源电压 V_+ 。这时输出电压 v_o 达正向最大值 $V_{o\max}$

$$V_{o\max} \approx V_+ - V_{BE14} - I_{e14}R_6 \approx 14.3 \text{ V}$$

如果要求输出对称的不失真的波形, 则最大输出电压幅度为 $\pm 13 \text{ V}$ 左右, 对于电源电压之利用是相当充分的。

2. 共模输入电压范围

输入端有正向共模电压时, 主要受到 T_1 、 T_2 管进入饱和的限制。由于 $V_{e1} = V_{e2} = 14.3 \text{ V}$, 近似选 $V_{eB} \approx 0 \text{ V}$ 为管子临界饱和, 则输入 v_{b1} 、 v_{b2} 达 14.3 V 时, 认为 T_1 、 T_2 管进入饱和, 即正向共模输入电压为 $+14.3 \text{ V}$ 。

当输入端有负向共模电压时, 见图 15-32, 这时主要受到两方面的限制。一方面随着输入负向电压的加大, T_{10} 集电极电位也下降, 致使 T_{10} 管饱和; 另一方面使 T_5 、 T_6 集电极电位下降, 致使 T_5 、 T_6 管进入饱和。从图可见, T_{10} 管进入饱和时饱和压降为零点几伏, 考虑到电阻 R_4 上压降, T_{10} 管集电极到负电源间电压约为 1 V 左右, 则

$$v_{e10} \approx 1 + V_- = -14 \text{ V}$$

由于 T_5 、 T_6 是恒流源负载, T_7 的存在起了负反馈作用, 使 T_5 、 T_6 不易进入饱和, 因此 v_{e5} 、 v_{e6} 电压也可以很小, 例如 v_{e10} 可小到 -14 V 时, T_5 、 T_6 还不至于饱和, 因此可选取 $v_{e10} = -14 \text{ V}$ 来估计负向共模电压。又因为输入电压比 v_{e10} 高 $2V_{BE}$, 故负向共模电压约为

$$v_{C10} + 2V_{BE} \approx -12.6 \text{ V}$$

如果要求对称共模输入电压, 则约为 $\pm 12 \text{ V}$ 左右。

3. 差模输入电压范围

当输入差模电压时, 其大小主要受到输入管 BE 结击穿的限制。在这方面, $\mu\text{A}741$ 比 $\mu\text{A}709$ 大为优越。对于 $\mu\text{A}709$, 输入差模电压范围基本上等于一个 BE 结反向击穿电压 (约

6~9V), 而 $\mu A741$, 输入差模信号时, 总有一个 PNP 管 BE 结承受反压。对于横向 PNP 管, BE 结反向击穿电压相当于 NPN 管中 BC 结反向击穿电压, 因此其差模输入电压比较大, 考虑 PNP 管穿通的影响, 约可达 30V 左右。

4. 输入电阻

根据式 (14-55) 有

$$R_{i_n} = \frac{8\beta_1 V_T}{I_0}$$

其中 β_1 为 T_1 、 T_2 管之 β , 设 $\beta_1 = \beta_2 = 100$; I_0 为 T_1 、 T_2 集电极电流之和, 由前面计算可得 $I_c = 2I_{c1} = 28\mu A$, 故

$$R_{i_n} \approx 740k\Omega$$

5. 静态总电流和静态功耗

当无输入信号时, 通过电源总电流 I_z 近似为

$$I_z = I_{R5} + I_{c9} + I_{c3} + I_{c4} + I_{c13} + I_{c14} \approx 1.42mA$$

由此得空载时静态功耗 P_0

$$P_0 = I_z(V_+ - V_-) \approx 42.6mW$$

6. 开环电压增益

(1) 输入级电压增益 由于输入级是有源负载单端化电路, 故可直接引入式 (14-56) 得

$$|K_{V1}| = \frac{v_{e4}}{v_i} = \frac{I_0}{4V_T} R_e$$

其中 $R_e = R_{e4} // R_{c6} // R_{i16}$, R_{e4} 、 R_{c6} 分别为 T_4 、 T_6 管集电极输出电阻, R_{i16} 为 T_{16} 管从基极看入的输入电阻。在 T_4 、 T_6 管工作电流为 $14\mu A$ 时, R_{e4} 、 R_{c6} 约为 $4M\Omega$ 。下一部分将证明 $R_{i16} \approx 1.37M\Omega$ 。因而

$$R_e = R_{e4} // R_{c6} // R_{i16} \approx 810k\Omega$$

又 $I_0 \approx 28\mu A$, 所以

$$|K_{V1}| = \frac{I_0}{4V_T} R_e \approx 218 \text{ 倍}$$

(2) 中间放大级电压增益 中间级是共集-共射放大器, 其电压增益可写为

$$K_{V2} = \frac{v_{e17}}{v_{b16}} = -\frac{i_{e17} R_{e17}}{i_{b16} R_{i16}} \approx -\frac{\beta_{16} \beta_{17} R_{e17}}{R_{i16}} \quad (15-85)$$

其中 $R_{e17} = R_{e17} // R_{c17} // R_{i23}$; R_{e17} 、 R_{c17} 分别为 T_{17} 、 T_{17} 集电极输出电阻, 在工作电流为 $400\mu A$ 时, R_{e17} 、 R_{c17} 约为 $250k\Omega$; R_{i23} 为 T_{23} 从基极看入的输入电阻, 由于 T_{23} 为射随器, 而等效负载近似为 T_{13A} 管集电极输出电阻 R_{e13A} , 所以 $R_{i23} \approx \beta_{23} R_{e13A}$, 一般认为很大, 因此 R_{e17} 近似认为:

$$R_{e17} \approx R_{e17} // R_{c17} = 125k\Omega$$

式 (15-85) 中 R_{i16} 为 T_{16} 管输入电阻, 由图 15-32 可写出

$$R_{i16} \approx \beta_{16} (r_{e16} + \{\beta_{17} (r_{e17} + R_e)\} // R_e) \quad (15-86)$$

设 $\beta_{16} = \beta_{17} = 100$ 。已知 $R_e = 100\Omega$ 、 $R_e = 59k\Omega$, $I_{e17} \approx I_{e17} \approx 400\mu A$, 又

$$I_{e16} = I_{K8} + I_{b17} \approx \frac{V_{BE}}{R_8} + \frac{I_{e17}}{\beta_{17}} \approx 18 \mu A$$

得

$$r_{e16} = \frac{V_T}{I_{e16}} \approx 1.4 \text{ k}\Omega$$

$$r_{e17} = \frac{V_T}{I_{e17}} \approx 65 \Omega$$

所以

$$R_{i16} \approx 1.37 \text{ M}\Omega$$

则由式(15-85)得

$$|K_{V2}| \approx 910 \text{ 倍}$$

(3) 总的电压增益 由于激励级 T_{23} 以及输出级都是射随器, 其电压增益近似为 1, 故 $\mu A741$ 总的电压增益

$$|K_V| \approx |K_{V1}| \cdot |K_{V2}| \approx 198000 \text{ 倍}$$

所以

$$|K_V|_{dB} = 20 \lg 198000 \approx 106 \text{ dB}$$

7. 频率补偿

$\mu A741$ 的频率补偿是在中间放大级输入与输出之间接了一个“密勒补偿电容” $C_M = 30 \text{ pF}$, 这个电容是设计在版图内的, 是一个 MOS 电容。由于中间放大级电压增益很高, 因此由于“密勒效应”, 这个电容等效到第二级输入端为

$$C_m = (1 + |K_{V2}|) C_M \approx 0.027 \mu F$$

图 15-34 画出了输入级到中间放大级之间传输网络等效电路, 其中 R_{o1} 是输入级输出电阻,

$$R_{o1} = R_{o4} // R_{e6} = 2 \text{ M}\Omega$$

R_{i2} 是中间放大级输入电阻

$$R_{i2} = R_{i16} = 1.37 \text{ M}\Omega$$

C_{i2} 为中间放大级输入电容, 近似取 $C_{i2} = C_{BE} = 2.5 \text{ pF}$, C_m 为密勒等效电容, $C_m = 0.027 \mu F$ 。令 $z_2 = R_{i2} // (C_m + C_{i2})$ 则图 15-34 所示网络传输系数为

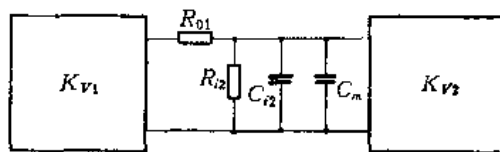


图15-34 输入级中间级之间等效电路

$$K = -\frac{z_2}{R_{o1} + z_2} = -\frac{R_{i2}}{R_{o1} + R_{i2}} \cdot \frac{1}{[1 + j\omega(R_{o1} // R_{i2})(C_m + C_{i2})]} \quad (15-87)$$

若无 C_M 补偿时, 上限频率为

$$f_{p1} = \frac{1}{2\pi(R_{o1} // R_{i2})C_{i2}} \approx 79 \text{ kHz}$$

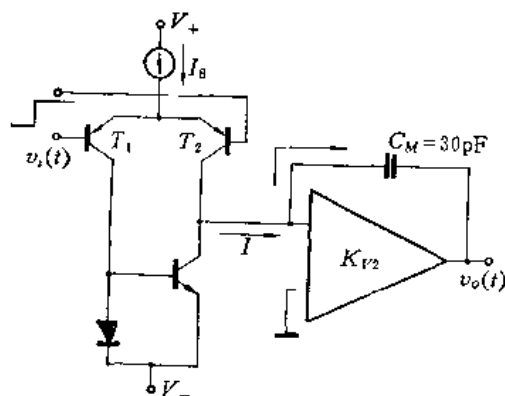
现有 C_m 补偿时, 上限频率压低为

$$f_{p1\phi} = \frac{1}{2\pi(R_{o1} // R_{i2})(C_m + C_{i2})} \approx 7.3 \text{ Hz}$$

由于 C_M 补偿, 使上限频率压低, 则闭环稳定性大大提高。

8. 转移速率(S_R)

$\mu A741$ 的转移速率主要由中间放大级“密勒补偿电容” C_M 与输入级的工作电流所决定, 可用简化图 15-35 来分析。在大阶跃信号输入的情况下, 可能使 T_1 截止, 于是 T_1 中的电

图15-35 计算 S_R 的简化电路

流下降, 完全转变成 T_2 电流的增加, 且 T_2 中的电流全部流入后级放大器, 形成对 C_M 的充电。这时电流最大增量

$$I = I_m = I_{e1} + I_{e2} \approx 28 \mu A$$

根据式 (15-64), 可算出转移速率 S_R

$$S_R = \frac{I_m}{C_M} \approx 0.9 V/\mu s$$

$\mu A741$ 其他特性参数见表 15-2。

15.3.3 MC1556 电路分析

下面简单地介绍一下作为第三代通用型集成运算放大器的代表产品 MC1556。它的主要特点是输入级采用了超 β 管 ($\beta = 1000 \sim 5000$), 大大地减小了输入基流和输入失调电流以及改善了电路的其他性能, 下面分别予以介绍。

一、电路组成

MC1556 电路如图 15-36 所示。它可分为四部分: 输入级、中间放大级、输出级和恒

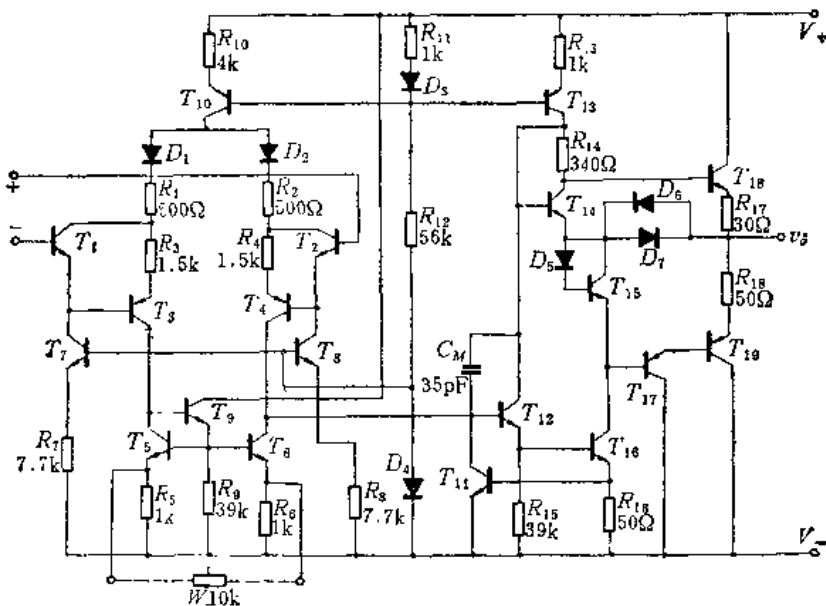


图15-36 MC1556 电路图

流偏置电路。

1. 输入级

MC1556 比起 $\mu A741$ 性能得到提高的主要关键在于输入级。由超 βT_1 、 T_2 管接成射极跟随器输入, 横向 PNP 管 T_3 、 T_4 接成共射形式, T_3 、 T_4 之 BE 极分别通过 R_3 、 R_4 跨于 T_1 、 T_2 管之集电极。由于电阻 R_3 、 R_4 上压降很小, 使超 β 管 T_1 、 T_2 集-基结电压接近零伏, 避免了由于超 β 管基区很薄而引起的穿通击穿, 同时也几乎消除了 BC 结反向漏电流 I_{CB0} 对输入基流的影响。由于基宽调变效应大大减弱, 使输出电导减小了, 提供了提高共模抑制比的条件。 T_7 、 T_8 为 T_1 、 T_2 管提供偏置电流, T_7 、 T_8 与 D_4 组成小电流恒流源, 且 T_5 、 T_6 分别为 T_3 、 T_4 管集电极有源负载, 从而输入级也构成了有源负载单端化电路, 输出信号由 T_4 集电极输出到下一级。二极管 D_1 、 D_2 是由横向 PNP 管的基-射结构成的, 它的 BV_{BE} 是很大的 (一般在 30 V 以上)。 D_1 、 D_2 的作用是提高电路的差模输入电压范围, 当差分输入电压很大时, 该两管子仍不会击穿, 限制了 R_1 、 R_2 中产生大电流, 从而保护了输入管。

2. 中间放大级

由 T_{12} 、 T_{16} 组成达林顿复合放大级, T_{13} 管为其集电极有源负载, R_{16} 、 T_{11} 组成了 T_{12} 、 T_{16} 管的保护电路。

3. 输出级

由纵向 PNP 管 T_{17} 、 T_{16} 组成复合管与 T_{18} NPN 管构成互补输出; T_{14} 、 D_5 、 T_{15} 为输出管提供偏置, 使之工作于甲乙类状态, 以消除交越失真; R_{17} 、 D_7 构成了正向限流保护, R_{18} 、 D_6 构成了负向限流保护。

4. 恒流偏置电路

偏置电路核心是由 R_{11} 、 D_3 、 R_{12} 、 D_4 组成, 此支路电流即为参考电流 (I_r); T_{10} 、 R_{10} 、 T_{13} 、 R_{13} 与 D_1 、 R_{11} 组成电阻比例恒流源; T_7 、 R_7 、 T_8 、 R_8 与 D_4 组成小电流恒流源。

二、静态电流计算

由图 15-36 可近似算出 I_r ,

$$I_r \approx \frac{V_+ - V_- - V_{D3} - V_{D4}}{R_{11} + R_{12}} \approx 500 \mu A$$

根据 T_{10} 、 R_{10} 与 D_3 、 R_{11} 构成电阻比例恒流源, 则

$$I_{e10} = \frac{R_{11}}{R_{10}} I_{D3} = \frac{1}{4} I_{D3} \quad (15-88)$$

$$I_{e13} = \frac{R_{11}}{R_{13}} I_{D3} = I_{D3} \quad (15-89)$$

又

$$I_{b10} + I_{D3} + I_{b13} = I_r$$

即

$$\frac{I_{e10}}{\beta_{10} + 1} + I_{D3} + \frac{I_{e13}}{\beta_{13} + 1} = I_r$$

在 MC1556 中, 假设横向 PNP 管电流增益 $\beta = 10$, 则

$$I_{D3} \approx I_r = 500 \mu A$$

则

$$I_{e10} \approx I_{e10} = -\frac{1}{4}I_{D3} = 125\mu\text{A}$$

流经 D_1 、 D_2 静态电流 I_{D1} 、 I_{D2} 分别为 $\frac{I_{e10}}{2}$ ，即

$$I_{D1} = I_{D2} = \frac{I_{e10}}{2} = 62.5\mu\text{A}$$

由式 (15-89) 得

$$I_{e13} \approx I_{e13} = I_{D3} = 500\mu\text{A}$$

因为 T_7 、 R_7 、 T_8 、 R_8 分别与 D_4 构成小电流恒流源，可解得

$$I_7 = I_8 \approx 12.5\mu\text{A}$$

近似认为

$$I_{e1} = I_{e2} \approx I_7 = 12.5\mu\text{A}$$

则经 T_3 、 T_4 集电极电流为

$$I_{e3} = I_{e4} = I_{D1} - I_{e1} \approx 50\mu\text{A}$$

三、共模输入电压范围

由图 15-36 可知，当输入正向共模电压时，受到 T_{1c} 管饱和之限制；当输入负向共模电压时，受到 T_7 、 T_8 、 T_3 、 T_4 管饱和之限制。与 $\mu\text{A}741$ 分析类似，共模输入电压范围可达 $\pm 12\text{V}$ 。

四、输入基流

由上面计算得 T_1 、 T_2 集电极电流 $I_{e1} = I_{e2} = 12.5\mu\text{A}$ ，若取 T_1 、 T_2 管之 $\beta \approx 2000$ ，则输入基流为

$$I_{b1} = I_{b2} = \frac{I_{e1}}{\beta} \approx 6.25\text{nA}$$

因此输入级具有很高的输入电阻（约 $2\text{M}\Omega$ 以上）。

五、开环电压增益

方法与 $\mu\text{A}741$ 分析相类似，故不作详细的计算。对于输入级， $|K_{v1}| \approx 230$ 倍；对于中间放大级， $|K_{v2}| \approx 940$ 倍；故总的电压增益

$$|K_v| = |K_{v1}| \cdot |K_{v2}| \approx 216000 \text{ 倍}$$

$$|K_v|_{\text{dB}} = 20 \log 216000 \approx 107\text{dB}$$

六、频率补偿及转移速率(S_R)

MC1555 采用内接一个 $C_M = 35\text{pF}$ 的“密勒电容”于中间放大级输入、输出之间，利用“密勒效应”以增大补偿电容，因而压低了上限频率，以获得闭环的稳定。

由于采用了超 β 管， T_3 、 T_4 管之工作电流可取大一些， $I_{e3} = I_{e4} = 50\mu\text{A}$ ，虽然补偿电容比 $\mu\text{A}741$ 还略大一些，仍能得到较大的转移速率。根据式 (15-64) 可得

$$S_R = \frac{I_m}{C_+} = \frac{2I_{e4}}{C_M} \approx 2.9\text{V}/\mu\text{V}$$

MC1555 其他参数在表 15-2 中列出，且与 $\mu\text{A}709$ 、 $\mu\text{A}741$ 作一比较。

表15-2 三代集成运放主要性能指标

型 号				$\mu A709$	$\mu A741$	MC1556
参 数 名 称	符 号	单 位				
输入失调电压	V_{OS}	mV	2	1	2	
输入失调电流	I_{CS}	nA	100	20	1	
输入偏置电流	I_{ib}	nA	300	80	8	
输入电阻(差模)	R_{In}	M Ω	0.25	2	5	
开环电压增益	K_V	dB	93	106	100	
最大输出电压	V_{OPP}	V	± 14	± 13	± 14	
总静态电流		mA	2.7	1.7	1.5	
静态功耗	P_{C0}	mW	80	50	<45	
共模输入电压范围		V	± 10	± 13	± 13	
差模输入电压范围		V	± 5	± 30	± 30	
共模抑制比	CMRR	dB	80	90	100	
转移速率	S_K	V/ μs	2	0.5	2.5	
频率补偿			外 接	内接 30pF	内接35pF	

注：此表系根据国外产品手册摘录。前面计算之值与此有所差别，这里仅供比较之用。

参 考 资 料

- [1] 《电机工程手册》，第42篇集成电路，机械工程手册电机工程手册编辑委员会，机械工业出版社，1978年。
- [2] 《半导体器件》，上海元件五厂情报资料室，第3期，1976.6。
- [3] 张郁弘、庄灿涛编著，《晶体管运算放大器及其应用》，国防工业出版社，1976年。
- [4] Alan B. Grebene, 《Analog Integrated Circuit Design》，V. N. R. Company, 1972.
- [5] Douglas J. Hamilton, 《Basic Integrated Circuit Engineering》McGraw-Hill Book Company, 1975.
- [6] V. H. Grinich, et al, 《Introduction to Integrated Circuits》，McGraw-Hill Book Company, 1975.
- [7] 片岡治，“オペアンプ実践コース”，《電子展覧》Vol. 13, №2, pp. 33-66, 1976.

第十六章 模拟集成电路版图设计

双极型逻辑集成电路版图设计的有关内容,即各种元件的设计、一般设计原则和设计步骤,也适用于模拟集成电路,此处就不再重复。模拟集成电路类型较多,本章仅围绕集成运算放大器,讨论模拟集成电路中几种特殊元件的设计,再以运算放大器 $\mu A741$ 电路为例介绍集成运放电路的版图设计。

16.1 模拟集成电路中的几种特殊元件

16.1.1 横向PNP晶体管

横向 PNP 晶体管在模拟集成电路中应用较为广泛,它的制作也比较方便。横向 PNP 管发射区和集电区与 NPN 管的基区浅硼扩散同时完成,而基极引出则与 NPN 管的集电极引出同时完成,它的基本图形和结构如图 16-1 所示。

在图 16-1 所示的横向 PNP 晶体管图形结构中,中心 P 型扩散区为发射区,外围 P 型扩散区为集电区,基区就是外延层。发射区注入的少数载流子(空穴)横向流过基区而被集电区收集,这就是横向 PNP 晶体管名称的由来。下面我们分析横向 PNP 管的主要特性,并介绍它在模拟集成电路中常用的几种图形。

一、横向 PNP 晶体管电学特性

1. 电流增益

横向 PNP 晶体管,由于其纵向效应与横向效应同时存在,是一个三维的问题,又由于浅硼发射区和 N^+ 埋层扩散上推区均存在漂移场,所以很难建立增益的精确表达式。下面的分析采用简化模型,得到的结果仅是一个简单的估算公式,但对指导横向 PNP 晶体管的设计和制造仍有一定的实用价值。

为分析方便,把图 16-1 (b) 放大成图 16-2。图 16-2 (a) 中 W_b 表示横向基区宽度,

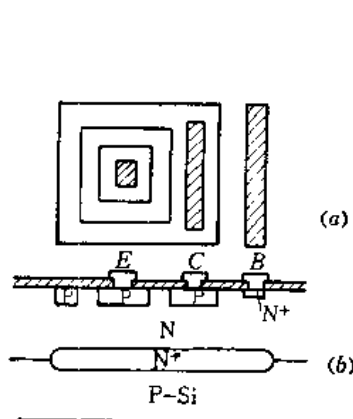


图16-1 横向PNP晶体管

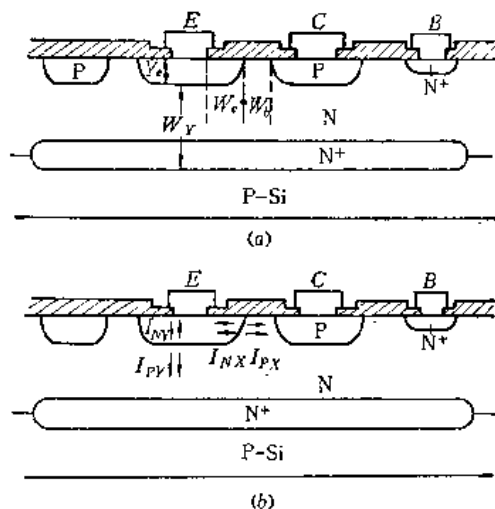


图16-2 横向PNP晶体管截面图

W_y 表示发射结底面到衬底 P 型硅的距离, 也称纵向基区宽度, Y_e 是发射结深, W_e 是发射极引线孔到发射区边的距离。图 16-2 (b) 标出了横向 PNP 管发射结电流各成分分量。我们把发射结的面积分为横向和纵向两部分, 用 A_x 表示横向结面积, A_y 表示纵向结面积; 并用 I_{Px} 表示发射结横向空穴电流, I_{Nx} 表示发射结横向电子电流, I_{Py} 表示发射结纵向空穴电流, I_{Ny} 表示发射结纵向电子电流。

采用晶体管原理的计算方法可得到:

$$I_{Px} = A_x \frac{qD_{pb}n_i^2}{W_y N_b} \left(e^{\frac{qV_{eb}}{kT}} - 1 \right) \quad (16-1)$$

$$I_{Nx} = A_x \frac{qD_{ne}n_i^2}{W_e N_e} \left(e^{\frac{qV_{eb}}{kT}} - 1 \right) \quad (16-2)$$

$$I_{Ny} = A_y \frac{qD_{ne}n_i^2}{Y_e N_e} \left(e^{\frac{qV_{eb}}{kT}} - 1 \right) \quad (16-3)$$

纵向空穴电流 I_{Py} 有两种情况:

(1) 如果基区中空穴扩散长度 L_{pb} 大于纵向基区宽度 W_y , 即 $L_{pb} > W_y$, 则 I_{Py} 的一部分将穿过外延层和隐埋层而被连接最负电位的 P 型衬底收集, 电流流动情况如图 16-3 (a) 所示, 这时就存在一个寄生纵向 PNP 晶体管。纵向空穴电流由下式表示:

$$I_{Py} = A_y \frac{qD_{pb}n_i^2}{W_y N_b} \left(e^{\frac{qV_{eb}}{kT}} - 1 \right) \quad (16-4)$$

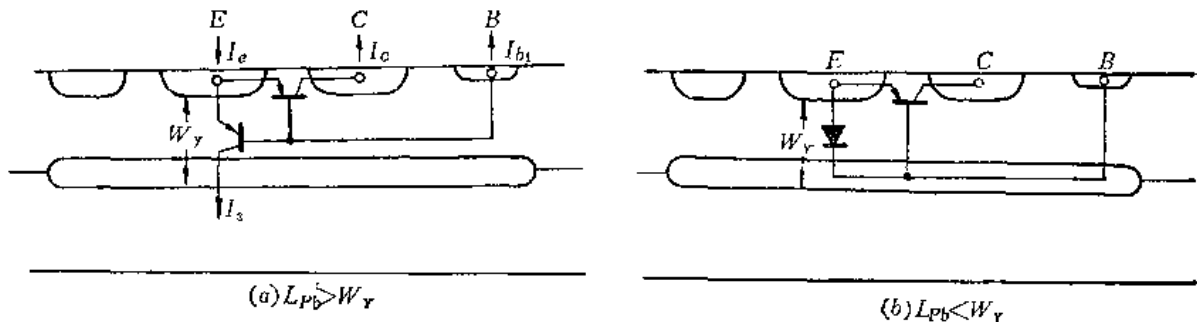


图 16-3 横向 PNP 晶体管等效电路

(2) 如果基区中空穴扩散长度 L_{pb} 小于发射结底面到 P 型衬底的距离 W_y , 即 $L_{pb} < W_y$, 则纵向注入空穴将在外延层和隐埋层中逐渐与多数载流子复合, 此时就相当于有一个寄生的二极管并联于横向 PNP 管的 eb 结, 如图 16-3 (b) 所示, 在此情况下:

$$I_{Py} = A_y \frac{qD_{pb}n_i^2}{L_{pb} N_b} \left(e^{\frac{qV_{eb}}{kT}} - 1 \right) \quad (16-5)$$

晶体管共射极电流增益 β 的表示式为:

$$\beta = \frac{I_c}{I_b} \quad (16-6)$$

对应图 16-3 所示两种等效电路, 有:

$$I_C = I_{PX} \left(1 - \frac{W_b^2}{2L_{pb}^2} \right) \quad (16-7)$$

I_B 有两种情况:

(1) 对应图 16-3 (a) 等效电路, $L_{pb} > W_y > W_b$ 时有:

$$I_B = I_{NX} + I_{NY} + I_{PX} \frac{W_b^2}{2L_{pb}^2} + I_{PY} \frac{W_y^2}{2L_{pb}^2} \quad (16-8)$$

(2) 对应图 16-3 (b) 等效电路, $W_y > L_{pb} > W_b$ 时有:

$$I_B = I_{NX} + I_{NY} + I_{PX} \frac{W_b^2}{2L_{pb}^2} + I_{PY} \quad (16-9)$$

若 $L_{pb} > W_y$, 用 (16-7) 和 (16-8) 式代入 (16-6) 式得:

$$\beta_1 = \frac{I_{PX} \left(1 - \frac{W_b^2}{2L_{pb}^2} \right)}{I_{NX} + I_{NY} + I_{PX} \frac{W_b^2}{2L_{pb}^2} + I_{PY} \frac{W_y^2}{2L_{pb}^2}} \quad (16-10)$$

若 $L_{pb} < W_y$, 用 (16-7) 和 (16-9) 式代入 (16-6) 式得:

$$\beta_2 = \frac{I_{PX} \left(1 - \frac{W_b^2}{2L_{pb}^2} \right)}{I_{NX} + I_{NY} + I_{PX} \frac{W_b^2}{2L_{pb}^2} + I_{PY}} \quad (16-11)$$

用 (16-1)~(16-5) 式分别代入 (16-10) 和 (16-11) 两式, 并利用爱因斯坦关系式 $D = \frac{kT}{q} \mu$ 和杂质浓度与电阻率之间的关系式 $q\mu n = \frac{1}{\rho}$ 进行化简, 就得到:

$$\beta_1 = \frac{\frac{A_x \rho_b}{W_b} \left(1 - \frac{W_b^2}{2L_{pb}^2} \right)}{\frac{A_x \rho_e}{W_e} + \frac{A_y \rho_e}{Y_e} + \frac{A_x \rho_b W_b}{2L_{pb}^2} + \frac{A_y \rho_b W_y}{2L_{pb}^2}} \quad (16-12)$$

$$\beta_2 = \frac{\frac{A_x \rho_b}{W_b} \left(1 - \frac{W_b^2}{2L_{pb}^2} \right)}{\frac{A_x \rho_e}{W_e} + \frac{A_y \rho_e}{Y_e} + \frac{A_x \rho_b W_b}{2L_{pb}^2} + \frac{A_y \rho_b}{L_{pb}}} \quad (16-13)$$

为简化问题的讨论, 可忽略横向基区的复合和横向的电子注入, 这对实际计算影响不大, 这时 β 的表达式就简化为:

$$\beta_1 = \frac{\frac{A_x}{A_y} \cdot \frac{1}{W_b}}{\frac{\rho_e}{\rho_b Y_e} + \frac{W_y}{2L_{pb}^2}} \quad (16-14)$$

$$\beta_2 = \frac{\frac{A_x}{A_y} \cdot \frac{1}{W_b}}{\frac{\rho_e}{\rho_b Y_e} + \frac{1}{L_{pb}}} \quad (16-15)$$

下面对一个实际的横向 PNP 管进行计算。图形结构如图 16-1 所示, 发射区面积为 $36 \times 36 \mu\text{m}^2$, 结深 $Y_e = 3 \mu\text{m}$, $R_{\square} = 200 \Omega/\square$, 基区电阻率 $\rho_b = 3 \Omega \cdot \text{cm}$, 并假定 $W_b = 6 \mu\text{m}$,

$$W_v = 20\mu\text{m}.$$

若取 $L_{pb} = 50\mu\text{m}$, 用 (16-14) 式算得 $\beta_1 \approx 10$ 。

若取 $L_{pb} = 10\mu\text{m}$, 用 (16-15) 式算得 $\beta_2 \approx 1$ 。

实际测试中也有超出计算值的情况, 其原因主要是公式的推导没有考虑发射区和埋层上推区杂质浓度梯度造成的漂移场, 它的作用是减弱纵向寄生晶体管的影响, 从而使 β 值增大。

(16-14) 和 (16-15) 式建立了电流增益和工艺、材料、结构之间的关系, 由此我们可以得出, 提高横向 PNP 管的 β 值应从下列几个方面着手:

- (1) 提高 N 型材料的少数载流子寿命, 电路在无金工艺中操作。
- (2) 增大发射结横向面积和纵向面积比, 这就要求增加浅硼结深, 缩小发射区图形尺寸。
- (3) 减小横向基区宽度。
- (4) 降低硼扩散方块电阻, 提高外延层电阻率。
- (5) 进行表面钝化处理, 改善表面态。

2. 击穿特性

横向 PNP 晶体管发射区和集电区是与 NPN 晶体管的基区硼扩散同时完成的, 它的基区是 N 型外延层, 所以横向 PNP 晶体管的 eb 结和 cb 结的雪崩击穿电压是比较高的。但是横向 PNP 晶体管的基区掺杂浓度比收集区浓度低, 在 cb 结加上反向偏压时, 耗尽层主要伸向基区一侧, 如图 16-4 所示, 通常外延层电阻率较高, 如果基区宽度 W_b 较小, EC 之间的电压尚未达到 BV_{ceo} , 集电结耗尽层已与发射结相遇, EC 之间就发生穿通, 此时横向 PNP 管的使用电压就受穿通电压限制。

根据晶体管原理, 横向 PNP 管穿通电压的计算公式为:

$$V_{PT} = \frac{qNW_b^2}{2\epsilon_{\text{SiO}_2}\epsilon_0} \quad (16-16)$$

可见, 要提高穿通电压就要求增加基区宽度 W_b , 但这与电流增益对基区宽度的要求是矛盾的。设计中基区宽度的取值是首先考虑保证使用电源电压的要求, 再照顾电流增益, 根据 (16-16) 式, W_b 的下限值应为:

$$W_b = \sqrt{\frac{2\epsilon_{\text{SiO}_2}\epsilon_0 V_{PT}}{qN}} \quad (16-17)$$

对于使用电源电压为 30V 的电路, 若材料电阻率 $\rho = 3\Omega \cdot \text{cm}$, $N = 1.8 \times 10^{15}/\text{cm}^3$, 算得 W_b 为 $4.7\mu\text{m}$ 。考虑到横向扩散和光刻误差, 横向 PNP 管版图的基区宽度一般取 $12 \sim 16\mu\text{m}$ 。为了照顾电流增益, 此值不宜取得过大。

此外, 横向 PNP 管基区调变效应比较明显, 输出阻抗较低, 在作有源负载时, 这是一个缺点, 为了提高输出阻抗, 基区宽度就要适当取大些。

3. 频率特性

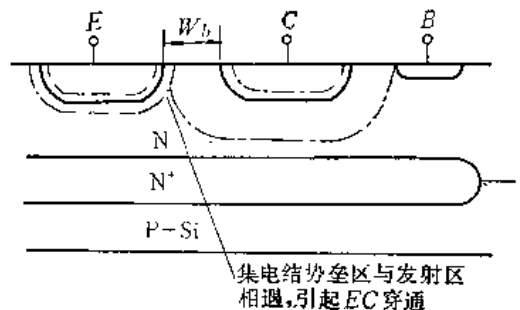


图16-4 横向PNP晶体管的势垒区

横向 PNP 管的频率特性较差, 这主要是因为横向 PNP 管的基区宽度 W_b 较大, 本身的特征频率比较低, 其次是寄生三极管或寄生二极管的影响, 使它的频率特性更差。

普通晶体管的特征频率 f_T 主要取决于基区渡越时间 τ_b 。对于横向 PNP 管, 基区宽度较宽, f_T 可用下面公式计算:

$$f_T = \frac{1}{2\pi \times 1.4 \times \tau_b} \quad (16-18)$$

横向 PNP 管基区杂质是均匀分布的, 基区渡越时间 $\tau_b = W_b^2 / 2D_{p_b}$, 因而 (16-18) 式可写成:

$$f_T = \frac{D_{p_b}}{1.4\pi W_b^2} \quad (16-19)$$

对于实际的横向 PNP 管, W_b 约为 $4 \sim 6 \mu\text{m}$, D_{p_b} 约为 $13 \text{cm}^2/\text{s}$, 算得 f_T 在 10MHz 左右。由于寄生三极管或寄生二极管的影响, 它的特征频率 f_T 比上而的计算值还要低, 通常仅有几个兆赫, 因此横向 PNP 管的应用范围受到频率特性的限制。

根据上边的分析得知: 横向 PNP 管的特点是: (1) 电流增益 β 值不高, 一般为 $5 \sim 10$; (2) 输出阻抗低; (3) 频率特性较差。由于横向 PNP 管的制造与 NPN 管相一致, 电极电位也可以自由选择, 只要在线路设计中选用恰到好处的线路方案, 采用横向 PNP 管就可以显著提高电路性能。因此横向 PNP 管在模拟集成电路中应用较为广泛。

二、横向 PNP 晶体管常用图形

横向 PNP 晶体管的基区就是 N 型外延层, 基区电位相同的横向 PNP 管可放在同一隔离区内, 这样, 在一个隔离区内, 基极是一个, 发射极和集电极就可能是一个或多个。为讨论方便, 下面把横向 PNP 管分为三种类型: 第一种是只有一个发射极、一个基极、一个集电极的单管; 第二种是多集电极 (单发射极、单基极); 第三种是多发射极、多集电极 (单基极)。

1. 单管

单管图形有圆形和方形两种形式。圆形具有最短周界, 这对减小表面复合, 提高电流放大系数有利, 同时还可以减小棱角电场, 提高击穿电压; 方形便于画图、刻图。如图 16-5 所示。横向 PNP 管的发射区面积应该比较小, 这样有利于提高电流增益 β ; 要求对称性好的对管; 发射区可略大一点。横向基区宽度 (版图上尺寸) 一般为 $12 \sim 16 \mu\text{m}$, 基区接触孔位置尽可能靠近发射区, 面积要稍大点, 为的是减小基区电阻。应注意, 所有的横向 PNP 管都要有隐埋层。

2. 多集电极横向 PNP 管



图16-5 横向PNP单管图形

多集电极横向 PNP 管如图 16-6 所示。由于发射极和基极是共同的，所以各集电极之间的电流比值取决于每个集电极所对应的基区宽度和所对应的发射结面积。在基区宽度相同的条件下，各集电极之间电流比值就直接等于它们所对应的发射区边长之比。图 16-6 中 (a) 是三个集电极横向 PNP 管，因为集电极 C_1 、 C_2 、 C_3 是均匀分布，所以三路电流相等；(b) 是双集电极横向 PNP 管， C_1 和 C_2 电流之比近似于 3；(c) 则是一个增益接近于 3 的可控增益横向 PNP 管，它的电流增益 β 值由图形设计确定，其控制原理已在第十四章讨论过。

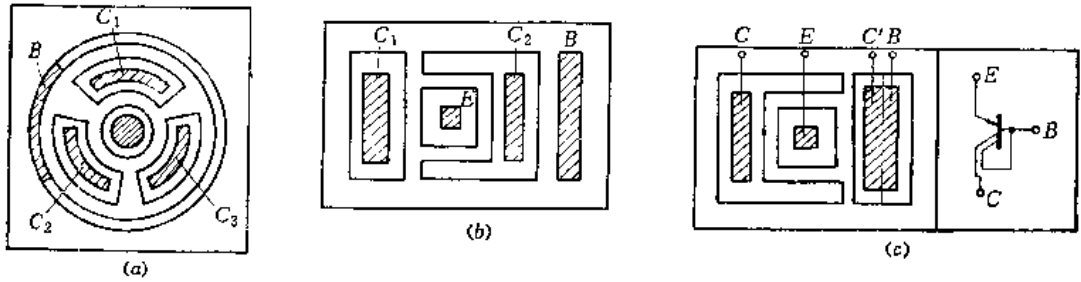


图16-6 多集电极横向PNP管

3. 多发射极多集电极横向 PNP 管

多发射极多集电极横向 PNP 管如图 16-7 所示。图中 (a) 是双发射极双集电极对管，(b) 是可控增益横向 PNP 对管。

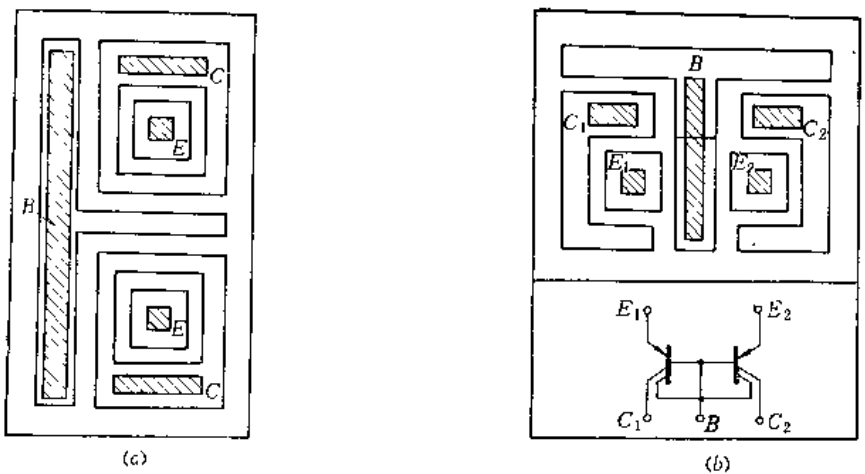


图16-7 多发射极多集电极横向PNP管

16.1.2 纵向 PNP 晶体管

纵向 PNP 晶体管又称衬底 PNP 晶体管，它以衬底 P 型硅作集电区，集电极从浓硼隔离槽引出，N 型外延层作基区，发射区通常由淡硼扩散完成。它的制造也是比较方便的，而且电性能优于横向 PNP 管，所以同样受到重视。由于纵向 PNP 管集电极与衬底相通，在电路中总是接在最低电位上，这就使它的应用场合受到限制，在运算放大器中，通常作为输出级，有时也作输出级之前的缓冲级。下面讨论它的有关电特性并介绍几种常用图形。

一、电学特性

普通纵向 PNP 晶体管截面如图 16-8 所示。因为它与 NPN 管同时制作，而集成电路

中大部分是 NPN 晶体管, 工艺上必然首先保证 NPN 晶体管的性能, 这就使得纵向 PNP 晶体管的性能受到很大限制。以下对其有关电性能: 电流增益、大电流特性以及频率特性作简单讨论。

纵向 PNP 晶体管基区是均匀掺杂的外延层, 若表面复合速率不大, 在工作电流适中时, 电流增益 β 可用下式计算:

$$\frac{1}{\beta} = \frac{R_{\square} W_b}{\rho_b} + \frac{W_b^2}{2L_{pb}^2} \quad (16-20)$$

式中 $R_{\square}$ 是淡硼扩散方块电阻, ρ_b 是外延层电阻率, W_b 是基区宽度, L_{pb} 是基区中空穴扩散长度。

纵向 PNP 晶体管因发射区掺杂浓度较低, 基区宽度 W_b 又大, 其发射效率和基区输运系数比较低, 以致纵向 PNP 管的电流增益比 NPN 管要低。通常情况下, 淡硼扩散方块电阻 $R_{\square} = 150 \Omega/\square$, 外延层电阻率 $\rho_b = 3 \Omega \cdot \text{cm}$, 用不同的基区宽度 W_b 和空穴扩散长度 L_{pb} 代入公式 (16-20) 进行计算, 得出一组 β 值列表如下:

$L_{pb}(\tau_p)$	β	W_b	2 μm	4 μm	6 μm	8 μm	10 μm
10 μm (0.075 μs)	33	10	4.8	2.8	1.8		
20 μm (0.3 μs)	67	25	13	8.3	5.7		
50 μm (2 μs)	93	43	29	19	14		

显然, 提高纵向 PNP 晶体管电流增益应从下面几方面着手:

- (1) 尽可能提高材料少子寿命, 这与横向 PNP 管是一致的。
- (2) 适当减薄基区宽度, 注入效率和输运系数都得到提高, β 值显著增大。
- (3) 适当提高外延层电阻率、降低硼扩散方块电阻。

纵向 PNP 晶体管常用在工作电流较大的场合, 需要有良好的大电流特性。考虑到大注入效应时, 纵向 PNP 管的电流增益 β 可表示为:

$$\frac{1}{\beta} = \frac{R_{\square} W_b}{\rho_b} \left(1 + \frac{n_b}{N_b} \right) + \frac{W_b^2}{2L_{pb}^2} \quad (16-21)$$

式中 N_b 是外延层掺杂浓度, n_b 是注入基区的少数载流子浓度, 根据晶体管原理分析结果:

$$n_b = \frac{W_b}{qD_{pb}} \cdot \frac{I_e}{A} \quad (16-22)$$

从 (16-21) 和 (16-22) 两式可以看出: 纵向 PNP 晶体管由于基区掺杂浓度较低, 而宽度又较大, 即 N_b 小而 W_b 大, 所以大注入出现时对应的电流密度较 NPN 晶体小得多。通常纵向 PNP 晶体管作线性放大应用时, 单位有效发射极条长工作电流取 $5 \sim 15 \mu\text{A}/\mu\text{m}$, 这个数据比 NPN 管要低 10 倍左右。为了改善纵向 PNP 晶体管 β 的大电流特性, 应增大发射极条长。此外, 如能提高纵向 PNP 晶体管发射区掺杂浓度, 即提高其发射效率, 从而减小发射效率下降对 β 值的影响, 则 β 的大电流特性也可以得到改善。

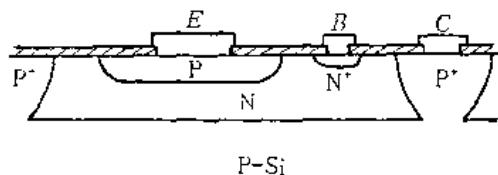


图16-8 纵向PNP晶体管截面图

纵向 PNP 晶体管的频率特性较横向 PNP 管有所改善, 其原因是纵向 PNP 没有寄生晶体管的影响。纵向 PNP 管和横向 PNP 管的基区宽度差不多, 它的特征频率 f_T 也可用 (16-19) 式计算, 其值一般在 10MHz 以上, 可应用于高速运放电路中。

二、纵向 PNP 晶体管图形

图 16-9 画出了纵向 PNP 晶体管的基本常用图形, (a)、(b) 两图是单发射极条, 工作电流比较小, 适用于非输出级; (c) 图是多发射极条, 工作电流比较大, 主要用在输出级。为了减小基区体电阻, 基区上都覆盖了 N^+ 层。要注意: 纵向 PNP 晶体管都不能加 N^+ 埋层, 有时为了提高 β 值, 增加了 P 型隐埋层。

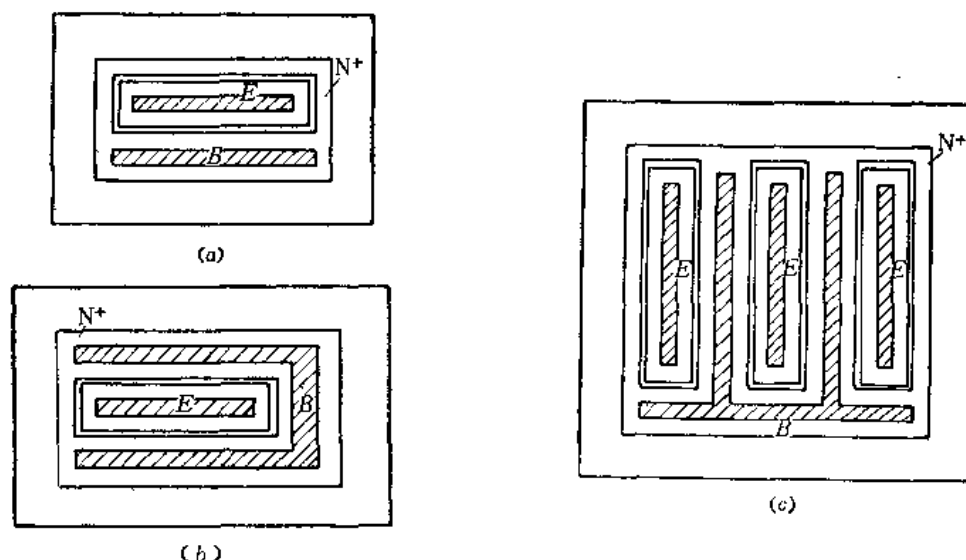


图 16-9 纵向 PNP 晶体管图形

16.1.3 超增益 NPN 晶体管

第十五章介绍了采用超增益 NPN 晶体管作输入管的第三代集成运算放大器。由于超增益晶体管 (β 值在一千至数千范围) 比一般 NPN 晶体管电流增益高出一个数量级, 因而使得集成运算放大器的输入偏流 I_b 和失调电流 I_{os} 均能有数量级的减小, 失调电压 V_{os} 的温漂也有显著改善。超增益晶体管的突出优点是, 在很低的工作电流下仍有很高的电流增益, 因而对运算放大器以及其它某些电子线路性能的提高有显著成就。本节我们将对如何实现超增益进行扼要的讨论, 并简略介绍穿透型超增益 NPN 晶体管的制造过程。

一、提高 NPN 晶体管电流增益的主要途径

从晶体管原理得知, 以平面型双扩散法制造的晶体管电流增益 β , 主要取决于它的发射效率和基区输运系数, 前者受势垒复合的影响, 而后者受基区表面复合影响。若不考虑势垒复合和表面复合的影响, 则 β 的表达式可写为:

$$\beta = \frac{D_{pe}Q_B}{D_{nb}Q_E} + \frac{W_b^2}{5D_{nb}\tau} \quad (16-23)$$

式中 D_{pe} 是空穴在发射区的扩散系数, D_{nb} 是电子在基区的扩散系数, Q_E 是发射区单位面积有效掺杂总量, Q_B 是发射区下的基区单位面积净掺杂总量, τ 是基区电子寿命, W_b 是基区宽度。

制造超 β 晶体管时,通常应选用长寿命材料,工艺过程中严格避免重金属的沾污,故载流子寿命 τ 一般比较长,而晶体管的基区宽度通常在微米以下,所以反映基区复合的第二项实际很小,可以忽略,于是电流增益 β 就由发射效率决定,即

$$\beta = \frac{D_{ab}Q_E}{D_{vb}Q_B} \quad (16-24)$$

显然,提高电流增益 β 值,主要在于设法提高 Q_E 对 Q_B 的比值,即要求增大 Q_E 减小 Q_B 。

根据经典晶体管理论:

$$Q_E = \int_0^{X_{EB}} [N_D(x) - N_A(x)] dx \quad (16-25)$$

因此,只要提高发射区施主杂质浓度, Q_E 就增大, β 值就可提高。实际上,由于发射区掺杂通常都是比较高的,继续提高发射区浓度 β 值不但不再上升,反而下降。其原因是,发射区掺杂浓度过高时,杂质能级分裂为杂质能带,导致发射区的禁带宽度变狭,有效掺杂浓度下降,因而 Q_E 值减小,以致 β 值下降。这种现象就称为重掺杂效应。

根据实际测定,N型硅中禁带宽度随掺杂浓度 N_D 增加而减小的关系[●]为:

$$\Delta E_g = 3.4 \times 10^{-8} (N_D^{1/2} - N_d^{1/2}) \quad (\text{eV}) \quad (16-26)$$

式中 N_D 为N型硅中施主掺杂浓度, $N_d = 1.85 \times 10^{19} \text{cm}^{-3}$,对于 $N_D < N_d$, $\Delta E_g = 0$ 。

在晶体管发射区 $N_D > N_d$ 的区域,本征浓度 n_i 由下式给出:

$$\begin{aligned} n_i^2(X) &= N_c N_v \exp \left[-\frac{E_{g0} - \Delta E_g(x)}{KT} \right] \\ &= n_{i0}^2 \exp \left[-\frac{\Delta E_g(x)}{KT} \right] \geq n_{i0}^2 \end{aligned} \quad (16-27)$$

而有效掺杂浓度为:

$$\begin{aligned} N_{eff}(x) &= N(x) \frac{n_{i0}^2}{n_i^2(X)} \\ &= N(x) \exp \left[-\frac{3.4 \times 10^{-8} q}{KT} (N_D^{1/2} - N_d^{1/2}) \right] < N(x) \end{aligned} \quad (16-28)$$

图16-10中实线表示发射区掺杂 $N_D(x)$,虚线为按公式(16-28)算出的有效掺杂浓度。可见 $N_D > N_d$ 后, N_D 越高,有效掺杂浓度反而变低。图中曲线I是发射区施主高斯分布,曲线II、III、IV分别表示250、300和350K时发射区有效杂质分布。

考虑重掺杂效应后,晶体管发射区单位面积有效杂质总量应为:

$$Q_E = \int_0^{X_{EB}} N_{eff}(x) dx \quad (16-29)$$

可见,当发射区掺杂过高时,反而使有效杂质总量下降,从而使 β 值下降。电流增益 β 值与表面掺杂浓度 N_{D0} 的关系如图16-11所示。

将重掺杂效应引入晶体管理论,就成为制造工艺中监控电流增益的一个理论依据。要

● "The Influence of Heavy Doping on the Emitter Efficiency of a Bipolar Transistor" IEEE Transactions on Electron Devices, Vol. ED-18, No. 10, Oct. 1971.

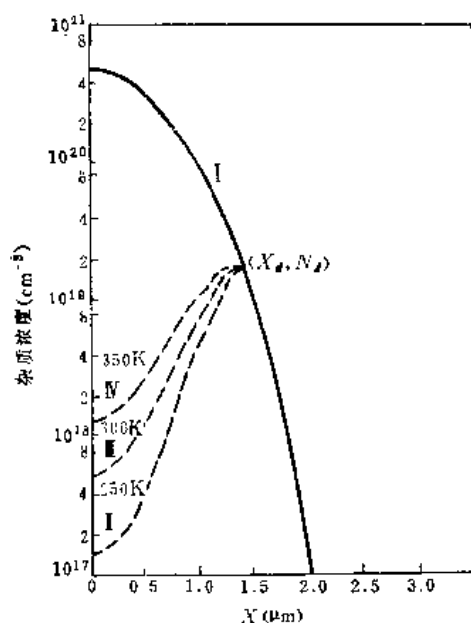
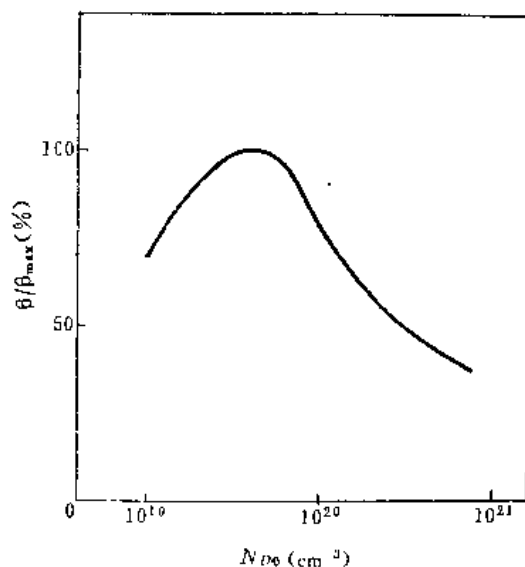


图 16-10

图16-11. 归一化共发射极电流增益 $\beta/\beta_{\max}$ 和
施主表面浓度 N_{D0} 的关系

提高发射效率, 以获得足够高的电流增益, 发射区掺杂应有适当的表面浓度和杂质分布, 使施主杂质接近高斯分布, 避免表面浓度过高。

怎样减小 Q_B ? Q_B 与基区的掺杂浓度和基区宽度的关系式为:

$$Q_B = \int_{X_{EB}}^{X_{BC}} N(X) dX \quad (16-30)$$

式中 $N(X) = N_A(X) - N_D(X)$ 。由此, 减小 Q_B 有两个办法: 降低基区净杂质浓度和减薄基区宽度。降低基区净杂质浓度就要提高外延层电阻率。道理很简单, 因基区杂质浓度高于集电区, 要使基区浓度低, 集电区必须更低。适当增加基区结深, 可使基区杂质浓度梯度减缓, 也有利于 Q_B 的减小。所以制造超 β 管的材料电阻率都比较高, 结也较深。减薄基区宽度对提高 β 有明显的意义, 但过分减小基区宽度将给工艺控制带来很大困难, 晶体管的其他特性也要变差。

超增益晶体管通常都是小电流工作, 所以必须特别强调改善其小电流特性。电流增益 β 随集电极电流下降而减小, 对 NPN 管, 引起这个现象的主要原因是势垒区复合, 其中势垒区表面的影响更为严重, 由于器件表面氧化膜中钠离子沾污, 它使 eb 结基区侧的耗尽区展宽, 从而使表面复合电流增大。为减缓电流增益随集电极电流下降而减小的趋势, 在硅材料的制备和器件加工过程中, 都必须避免重金属离子的沾污以及热缺陷的产生, 使少子寿命尽可能的长。在电路元件全部制成后, 还必须进行表面钝化处理。常用的钝化层为磷硅玻璃 PSG, 氮化硅 Si_3N_4 和三氧化二铝 Al_2O_3 。其中氮化硅的钝化作用最为显著。在淀积钝化层以后, 还可采用氮氢烘焙等措施, 以进一步降低表面态密度和激活钝化层对氧化硅中正电荷与硅中重金属离子的吸附。钝化处理不仅改善了小电流特性, 也使电流增益的峰值得到提高。

二、穿通型超增益晶体管的制造

在集成电路中, 为使超增益 NPN 晶体管与一般 NPN 晶体管以及其它元件在工艺上相

容, 通常采用两次磷扩散或两次硼扩散工艺。前者是在相同基区结深的条件下, 在超 β 管范围先做一次发射区磷扩散, 然后再把所有的发射区窗口一起开出来, 做第二次磷扩散。两次硼扩散的做法是让超 β 管的基区做得较浅, 而发射区则一次完成, 此种方案工艺重复性要求较高, 如果采用离子注入工艺, 则此方案也较容易实现。两种超 β 管相容工艺的结构如图 16-12 所示。

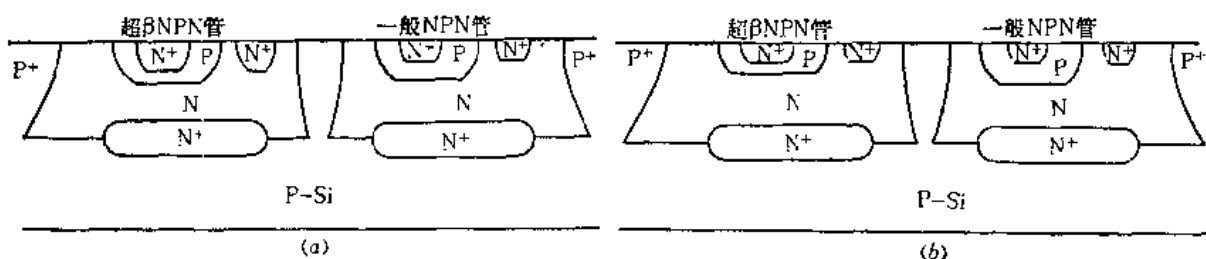


图16-12 两种穿通型超 β 管的工艺结构
(a) 两次磷扩散工艺; (b) 两次硼扩散工艺。

穿通型超增益 NPN 管比一般 NPN 管的基区薄, W_b 一般在 $0.5\mu\text{m}$ 以下, 而 β 值比一般 NPN 管高出一个数量级, 可达几千。这种晶体管, 当集电区-基区结上加较大反向偏压后, 集电结的势垒区将伸向发射结, 造成集电区与发射区的“穿通”。穿通电压较低, 一般仅为 $2\sim 7\text{V}$, 故被称为穿通型超增益晶体管。

穿通型超增益晶体管的特点是基区较薄, 因而击穿电压很低, 基区调变效应也较为显著, 漏电流较大, 它的特性曲线如图 16-13。根据其特点, 使用中通常都是采取适当措施, 把超 β 管的集电极-基极间电压限制在接近零伏, 这样既避免超 β 管被击穿, 同时大大减轻基区调变效应, 也减小了漏电流, 从而使穿通型超增益晶体管的缺点得到克服。

穿通型超增益 NPN 晶体管的图形设计, 目前大多采用较大面积的圆形发射区 (见图 16-14)。

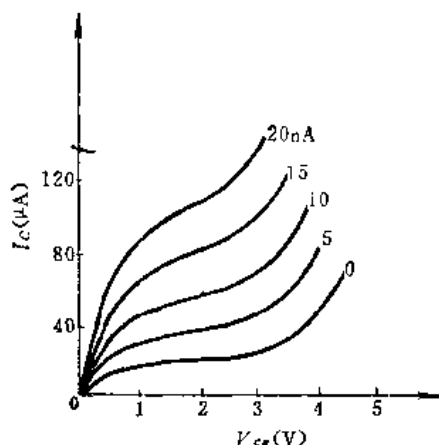


图16-13 穿通型超 β 管典型特性曲线

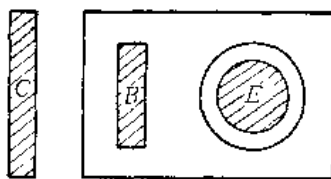


图16-14 穿通型超增益NPN晶体管图形

16.1.4 半导体集成电路中的电容器

半导体集成电路中的电容器目前有两种: 扩散结电容器和金属-氧化物-半导体电容器。这两种电容器也仅限于小容量的, 下面分别进行介绍。

一、扩散结电容器

采用 PN 结隔离的集成结构中, 有三种 PN 结, 即 be 结、 bc 结、 sc 结 (隔离结), 原则上都可以用来制作电容器。就单位面积而言, be 结电容量最大, bc 结次之, sc 结最小。虽然 be 结电容量最大, 但因串联电阻太大, 导致损耗大, Q 值低, 没有多大实用价值; sc 结单位面积电容量最小, 也不宜采用, 实际上只采用 bc 结来制作电容器。

bc 结电容器结构和等效电路如图 16-15 所示。为防止寄生晶体管效应, PN 结一般要反偏。 bc 结电容器其 N 型电极引出端串联电阻与 NPN 晶体管的集电极串联电阻大致相同, 约 $20\ \Omega$ 左右, 故它的品质因素 Q 比较低。在采用 PN 结隔离的电路中, 还存在寄生电容 C_i (隔离电容)。

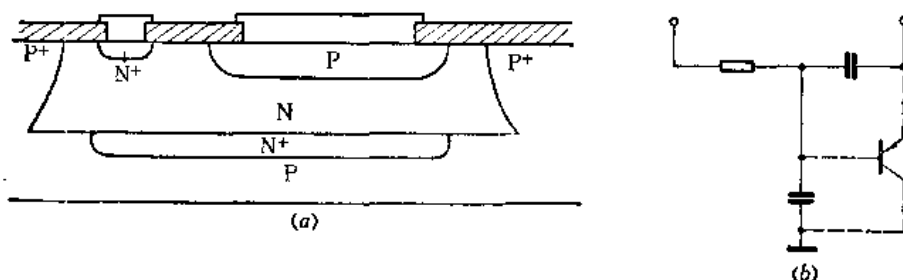


图16-15 bc 结电容器
(a) 剖面图; (b) 等效电路。

bc 结电容器单位面积的电容量由制作电路的工艺参数决定, 并与它的工作电压有关。其值可按晶体管原理查曲线的方法获得。集成电路中集电区电阻率在零点几到几个欧姆·厘米范围, 零偏压时 bc 结电容约为 $1 \times 10^4 \sim 3 \times 10^4\ \text{pF}/\mu\text{m}^2$, 在负向偏置时, 随着偏压的增大电容量减小。

为了得到较大容量的电容器, 可采用图 16-16 所示的结构。它是利用发射区-隔离扩散区-隐埋区两个 PN 结并联作电容器。这两个结都是由强 P 型和强 N 型区构成的结, 所以单位面积的电容量较大。发射区和隔离区构成的 PN 结零偏时单位面积电容约为 $2.4 \times 10^{-3}\ \text{pF}/\mu\text{m}^2$, 隔离区和隐埋区构成的 PN 结零偏时单位面积电容量约为 $1.2 \times 10^{-3}\ \text{pF}/\mu\text{m}^2$, 总的单位面积电容量为两者之和。

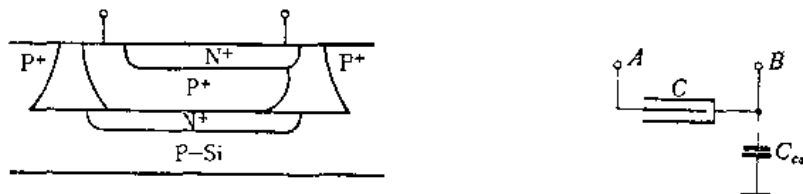


图16-16 N^+P^+ 和 P^+N^+ 结并联电容器

图 16-16 所示电容器的特点是串联电阻很小, 故 Q 值较高, 它也有寄生电容 C_i 存在, 但影响较小。因发射区和隔离区结击穿电压只有 $4.5\ \text{V}$ 左右, 隔离区和隐埋区结击穿电压约 $9\ \text{V}$, 故这种电容器的使用电压较低, 只能在 $4.5\ \text{V}$ 以下。

二、MOS 电容器

MOS 电容器是以二氧化硅为电介质, 铝膜为上电极, 高掺杂的 N^+ 区作下电极, 它的结构和等效电路如图 16-17 所示。

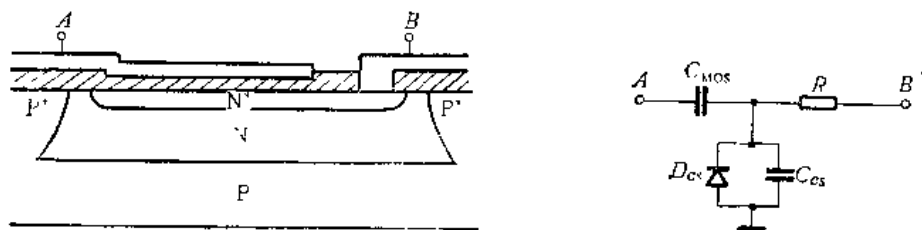


图16-17 MOS电容器及其等效电路

MOS 电容器可以视为平行板电容器, 当加上正向偏压时 (铝膜接正, N^+ 接负), 它的电容量可用下式计算:

$$C = \frac{\epsilon_{SiO_2} \epsilon_0 A}{t_{ox}} \quad (16-31)$$

式中 $\epsilon_0 = 8.85 \times 10^{-2} \text{ pF/cm}^2$, 为真空介电系数; ϵ_{SiO_2} 是二氧化硅的相对介电系数, 约 3~5; A 是电容极板面积; t_{ox} 是 SiO_2 厚度, 如果取 $\epsilon_{SiO_2} = 4$, 则 MOS 电容为:

$$C = \frac{3.54 \times 10^{-6} A}{t_{ox}} \quad (\text{pF}/\mu\text{m}^2) \quad (16-32)$$

式中 t_{ox} 单位用微米, A 单位用微米²。

在加上负向偏压时 (铝膜接负, N^+ 接正) N^+ 表面将产生耗尽层, 电容量随负压的增大而减小, 但由于 N^+ 表面浓度通常都在 10^{19} cm^{-2} 以上, 电容随电压的变化很小, 可以忽略。

MOS 电容器的优点是电容器的电容值不受偏压影响, 使用不分正负极, 应用灵活; 同时电极的串联电阻较低, Q 值较高; 此外, MOS 电容器的击穿电压较高, 完好的 SiO_2 层, $0.1 \mu\text{m}$ 厚就可以经受 60 V 的电压, 这些优点使得 MOS 电容器在集成电路中有很实用价值。

16.2 集成运算放大器版图设计

集成电路的设计是由线路设计、工艺设计和版图设计三部分组成。版图设计是根据线路要求和工艺条件来进行的, 而工艺条件又是按线路设计来选定的, 故线路设计, 工艺设计和版图设计三者不是孤立的, 而是互相渗透, 互相关联的。只有把三者融会贯通了, 才能设计出好的版图来。本节以运算放大器 $\mu A741$ 为例, 来介绍集成运算放大器的版图设计。

一、集成运算放大器的主要特点

1. 线路设计对元件的要求

(1) 运算放大器电源电压比较高, 一般为 30 V , 这就要求电路中隔离区和晶体管的耐压大于 30 V 。

(2) 运算放大器的参数指标与晶体管的增益密切相关, 它要求 NPN 管的电流增益 β 在 100 以上, 超 β 管则高于 1000, 横向和纵向 PNP 管的 β 值尽可能大点。

(3) 运算放大器的部分参数指标主要由输入级决定, 输入级的设计比较重要, 对输入级有关元件的要求主要是对称性要好, 并要求差分输入管有良好的小电流特性。

(4) 输出级要求输出管有一定的电流容量, 以保证负载能力与输出电压波形不失真。

2. 工艺设计及特点

(1) 为使运放电路的 NPN 管 β 值在 100 以上, BV_{ceo} 应大于 36 V (电源电压为 ± 15 V, 允许 $\pm 10\%$ 的波动, 故最高电压是 36 V), 则外延层的电阻率至少应在 $2\Omega \cdot \text{cm}$ 以上。为了制出较大 β 值的横向和纵向 PNP 管以及超 β 管, 还希望外延层的电阻率选得更高些, 一般在 $3\Omega \cdot \text{cm}$ 左右, 厚度在 $13\mu\text{m}$ 左右。制备高阻外延层是制造集成运放工艺中的一个关键。

(2) 运放电路中为提高横向 PNP 管和纵向 PNP 管的电流增益, 希望基区扩散方块电阻 $R_{\square}$ 低点、结深点, 通常基区扩散 $R_{\square}$ 在 $120 \sim 200\Omega/\square$ 范围, 结深在 $3 \sim 4\mu\text{m}$ 范围。

此外集成运放电路中, 由于元件的品种多, 参数要求也较严格, 必要时需添加表面钝化措施, 有些特殊元件则需增加工艺步骤, 因此工艺比较复杂, 掩模版的块数也要增多, 例如 MOS 电容的制作, 其 SiO_2 介质层就要增加光刻氧化过程, 超 β 管的制作则要增加一次光刻扩散过程。

3. 版图设计特点

运算放大器一般要求输入失调小, 温度漂移小, 共模抑制能力强, 这些参数主要取决于输入级有关元件对称性的好坏。因而版图设计时要特别重视对称元件的设计, 在版图设计时通常是把要求对称的元件设计得完全一样, 并排在临近的位置上。高增益低漂移型运放电路对温漂要求特别严格, 则还要仔细做好热平衡设计, 以使要求对称的元件处于温度分布完全一样的条件下。图 16-18 是高增益低漂移运放电路 AD508 热平衡草图, 它把输出级功耗较大的元件对称的放置在芯片一端中心线两侧, 输入差分管放置在芯片另一端的对称位置上。图中 4 只管子交叉耦合, T_1 、 T_4 并联, T_2 、 T_3 并联组成差分对管, 这种排列可更好的消除热梯度、材料的不均匀以及工艺等对对称性的不利影响。

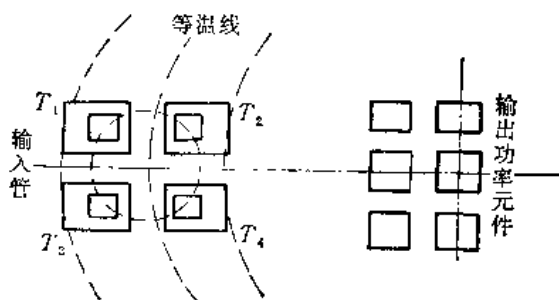
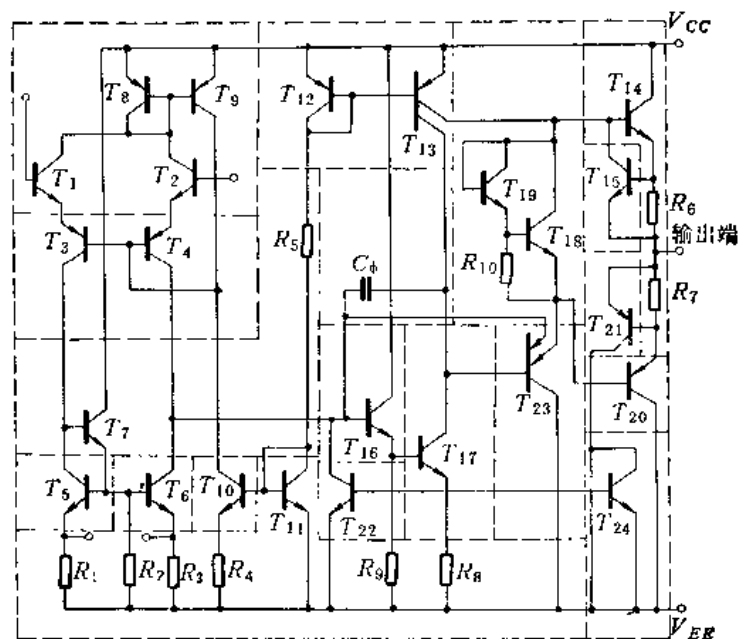


图16-18 高增益低漂移运放电路热平衡配制草图

二、运算放大器 $\mu\text{A}741$ 版图设计

1. 隔离区划分

按照隔离区的划分原则, NPN 管集电极电位相同的可放在一个隔离区内, 基极电位相同的 PNP 管可放在一个隔离区内, 若 NPN 管的集电极与 PNP 管的基极电位相同也可以放在同一隔离区内; 电阻的放置比较灵活, 可根据情况安排; 电容占面积较大, 单独放在一个隔离区内。运算放大器 $\mu\text{A}741$ 共有 24 只晶体管, 10 只电阻和 1 只电容器, 放置在 19 个隔离区内, 见图 16-19。

图16-19 $\mu A741$ 隔离区划分图

2. 元件图形和尺寸

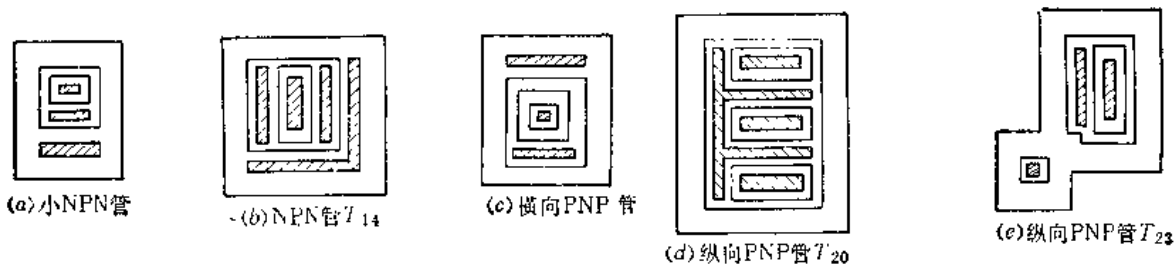
(1) 晶体管的图形尺寸

电路中的 24 只晶体管，有 15 只是 NPN 晶体管，7 只是横向 PNP 晶体管，2 只是纵向 PNP 晶体管，图形尺寸基本上有下列五种：

(i) 小尺寸 NPN 晶体管

NPN 晶体管 T_1 、 T_2 、 T_5 、 T_6 、 T_7 、 T_{10} 、 T_{11} 、 T_{15} 、 T_{16} 、 T_{17} 、 T_{18} 、 T_{19} 、 T_{21} 、 T_{24} 工作电流均在 1mA 以下，NPN 晶体管作线性放大应用时，单位有效发射极条长允许流过的最大工作电流为 $0.04 \sim 0.16\text{mA}/\mu\text{m}$ ，故此 14 只 NPN 晶体管的尺寸均按光刻工艺水平来确定。采用单发射极、单基极和单集电极的小尺寸晶体管图形，发射区引线孔取 $14 \times 20\mu\text{m}^2$ ，发射区面积为 $30 \times 36\mu\text{m}^2$ ，套刻间距为 $8\mu\text{m}$ ，基本图形见图 16-20(a)。

(ii) NPN 晶体管 T_{14}

图16-20 运算放大器 $\mu A741$ 晶体管图形

晶体管 T_{14} 是输出管, 它的设计要考虑电流容量, 集电区体电阻应该比较小。运算放大器 $\mu A741$ 在负载为 $2k\Omega$ 时输出电压达 $\pm 10V$ 。在要求较高的场合, 希望在 $1k\Omega$ 的负载上得到 $\pm 10V$ 的输出电压, 所以 NPN 管 T_{14} 的最大工作电流应大于 $10mA$ 。为增大管子的工作电流, 晶体管 T_{14} 采用双基极条形, 其发射区面积为 $40 \times 80\mu m^2$, 图形见图 16-20(b)。

(iii) 横向 PNP 晶体管

横向 PNP 晶体管 T_3 、 T_4 、 T_8 、 T_9 、 T_{12} 、 T_{13} 、 T_{21} 的设计主要考虑 EC 穿通电压与电流增益的要求。它们的发射区通常都设计得比较小, 这有利于提高 β 值, 发射区引线孔取 $14 \times 14\mu m^2$, 套刻间距为 $8\mu m$, 发射区面积为 $30 \times 30\mu m^2$ 。基区宽度取 $14\mu m$, 基本图形见图 16-20(c)。每只管的具体图形见图 16-21。

(iv) 纵向 PNP 晶体管 T_{20}

纵向 PNP 晶体管 T_{20} 与 NPN 晶体管 T_{14} 构成互补输出级, 为保证负载能力和输出电压波形不失真, 纵向 PNP 晶体管的发射极条长为相应的 NPN 晶体管发射极条长的三到四倍; 纵向 PNP 晶体管 T_{20} 的图形见图 16-20(d), 发射极为条状, 每条的面积为 $30 \times 80\mu m^2$ 。

(v) 纵向 PNP 晶体管 T_{23}

纵向 PNP 晶体管 T_{23} 工作电流不大, 约为几百微安, 但因纵向 PNP 晶体管的单位发射极有效边长的电流容量较小, 一般仅为 $0.005 \sim 0.015mA/\mu m$, 故设计时要考虑电容量。 T_{23} 的大发射区面积为 $30 \times 90\mu m^2$, 小发射区面积为 $30 \times 30\mu m^2$ 。图形见图 16-20(e)。

(2) 电阻的设计

运算放大器 $\mu A741$ 中有十只电阻, 其中 R_2 、 R_9 和 R_{10} 阻值较大, R_2 和 R_9 为 $50k\Omega$, R_{10} 为 $40k\Omega$, 但它们的精度要求不太高, 工作电流很小, 可采用沟道电阻, 沟道电阻每方约 $15k\Omega$, 这比采用淡硼电阻所用面积小得多; R_1 、 R_3 、 R_4 、 R_5 、 R_6 、 R_7 都采用淡硼电阻。

电阻条宽的确定原则是: 在保证精度和耗散功率要求的前提下, 尽量缩小占用面积, 即条宽不要取得过大。 R_6 和 R_7 以及 R_8 阻值较小, 为保证精度, 要取宽些。 R_1 和 R_3 应有较小的相对误差, 也可以适当取宽些, 并注意把它们平行的排在一起。其余电阻可根据工艺水平取窄些, 以便缩小占用面积。

电阻条长按阻值要求, 根据其图形和已定的条宽来确定。各电阻的图形参看图 16-21, 电阻的图形视排版的方便而定, 不是固定不变的。

(3) 电容器

集成运放 $\mu A741$ 采用了 MOS 电容器。为保证介质层的完好, SiO_2 应致密, 并有一定的厚度。这层 SiO_2 通常是专门生长的, 厚度在 $0.1 \sim 0.2\mu m$ 范围。以 $0.2\mu m$ 厚的 SiO_2 介质层来计算, $30pF$ 电容约占面积 $1.7 \times 10^5\mu m^2$, 电容器的图形见图 16-21。

3. 排版和布线

排版布线对电路的成品率和可靠性影响很大, 需要经过认真构思, 反复推敲。图 16-21 是运算放大器 $\mu A741$ 芯片测绘图, 它的特点是排列紧凑, 但热平衡不太理想, 仅供学习时参考。

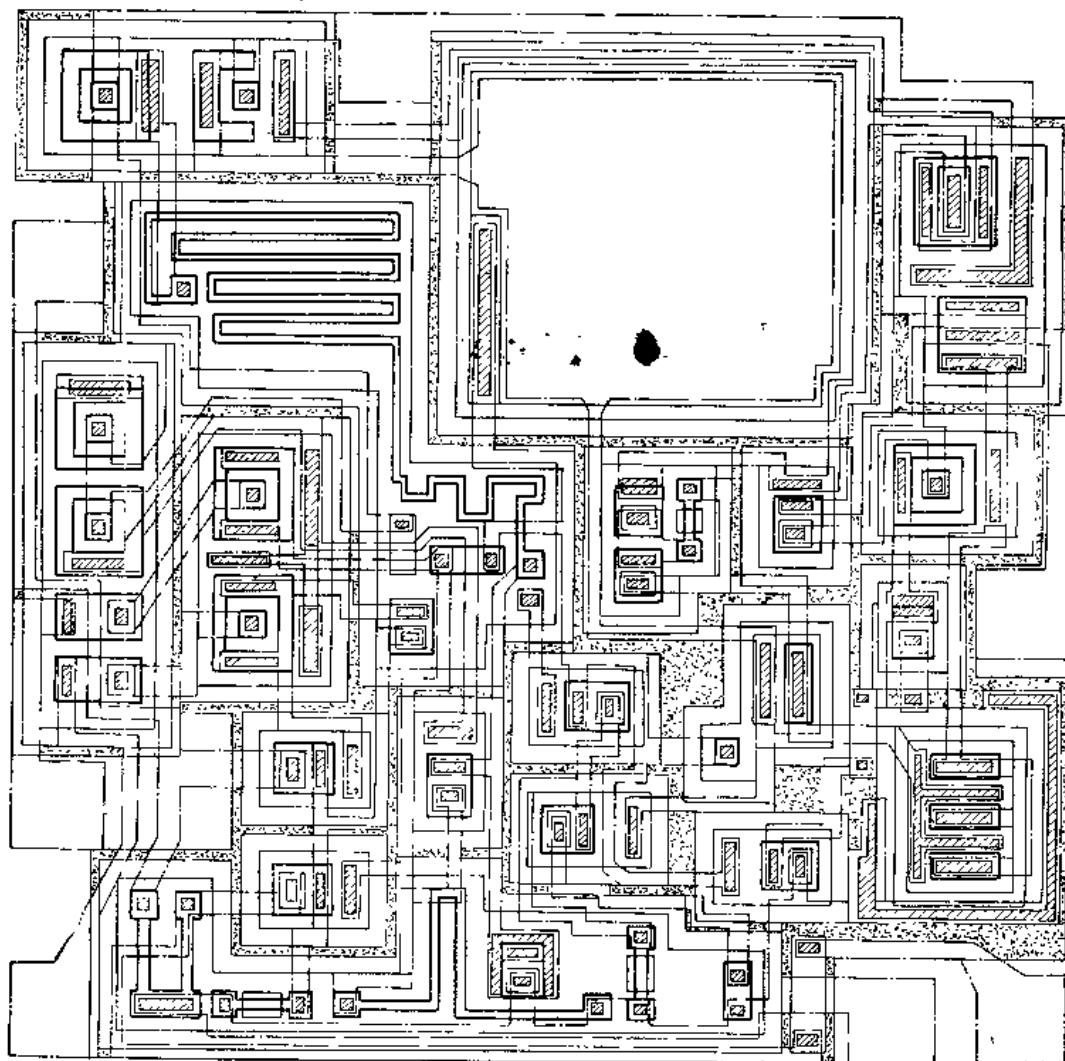


图16-21 $\mu A741$ 集成运算放大器版图

19

